

特長

シングルエンド信号にも使用するフル差動信号パス
 入力: 0.3 mV~1 V rms、出力: レール to レール
 $R_{IN} = 1 \text{ k}\Omega$ (差動); $R_{OUT} = 75 \Omega$ (各出力)
 自動オフセット補償(オブション)
 リニア dB モードとリニア振幅ゲイン・モード
 $0 \text{ V} < V_{DBS} < 1.5 \text{ V}$ (30 mV/dB)で 0 dB~50 dB
 反転ゲイン・モード: -30 mV/dB で 50 dB~0 dB
 $15 \text{ mV} < V_{MAG} < 5 \text{ V}$ で公称ゲイン= $\times 0.03 \sim \times 10$
 一定の帯域幅: すべてのゲインで 150 MHz
 低ノイズ: 最大ゲインで 5 nV/ $\sqrt{\text{Hz}}$
 低歪み: -62 dBc (typ)以下
 低消費電流: $V_S = 2.7 \text{ V} \sim 6 \text{ V}$ で 20 mA (typ)
 省スペースの 3 mm $\times$ 3 mm LFCSP パッケージを採用

アプリケーション

ADC のシグナル・プリコンデショニング
 75 Ω ケーブル駆動の調整
 AGC アンプ

概要

AD8330¹ は広帯域可変ゲイン・アンプであり、DC~150 MHz に対して差動信号パス、低ノイズ、明確なゲイン、適度の低歪みを必要とするアプリケーションを対象としています。また、入力ピンは、シングルエンド・ソースから駆動することもできます。ピーク差動入力は $\pm 2 \text{ V}$ であるため、余裕のあるヘッドルームで 1 V rms の正弦波動作が可能です。出力ピンは、レール to レールでシングルエンド負荷を駆動することができます。差動出力抵抗は 150 Ω です。出力振幅は、VMAG ピン(内部デフォルト値= 0.5 V)に加えられる電圧の直線関数であるため、 $\pm 2 \text{ V}$ のピーク出力を提供します。これは 10 V p-p に上げることができますが、電源電圧により制限されます。

基本ゲインは、VDBS ピンに加えられる電圧で制御される、dB 表示で直線の関数です。ゲイン範囲は、0 V~1.5 V の制御電圧に対して 0 dB~50 dB であり、傾きは 30 mV/dB です。ゲイン直線性は、 $\pm 0.1 \text{ dB}$ (typ)以内です。MODE ピンのロジック・レベルを変えると、ゲインは同じ範囲で反対の傾きで減少します。2 つ目のゲイン・コントロール・ポートが VMAG ピンに設けてあるため、ゲイン値を 0.03~10 倍の範囲で変えることができます。AD8330 のすべてのパラメータは、温度と電源電圧に対して安定です。

¹ 米国特許 No. 5,969,657 により保護されています。その他の特許は申請中です。

機能ブロック図

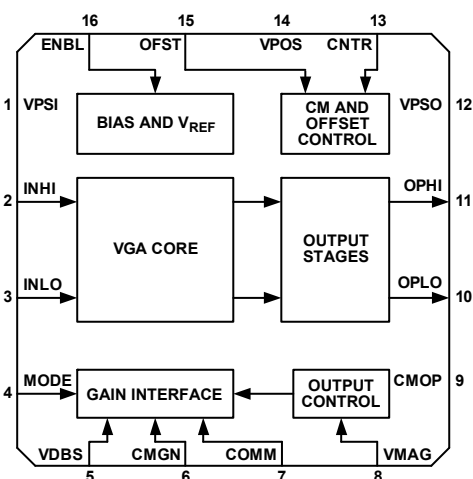


図 1.

VMAG を使うと、アプリケーションに合わせて、0 dB~50 dB の基本レンジを 20 dB 高い値(すなわち 20 dB~70 dB)から少なくとも 30 dB 低い値(すなわち -30 dB~+20 dB)までの範囲内の任意の値に再配置することができます。したがって、100 dB のこれまでにない広いゲイン範囲を提供します。AD8330 の独自の点は、50 dB のリニア dB 基本レンジとリニア振幅機能を使った場合に、帯域幅とパルス応答はすべてのゲインに対して本質的に一定であることです。ゲイン範囲に対する HF 応答の優れた安定性は、高い周波数で正確なゲイン則適合性を維持することが不可欠である VGA アプリケーションでは特に重要です。

OFST ピンの外付けコンデンサは、オフセット削減ループのハイパス・コーナー周波数(5 Hz まで下げることが可能)を設定します。このピンをグラウンドに接続すると、信号パスは DC 結合になります。ADC の駆動に使用するときは、CNTR ピンの外部同相モード制御電圧をグラウンドまたは V_S の 0.5 V 以内に駆動して、様々な条件に対応することができます。デフォルトとして、2 つの出力は電源の中心 $V_S/2$ に設定されています。パワーダウン(フル・オフ・モードとハイパネート・モード)の 2 つのレベルのようなその他の機能により、この極めて融通性の高い VGA の実用的な値がさらに拡張されます。

AD8330 は、16 ピン LFCSP パッケージまたは 16 ピン QSOP パッケージを採用し、-40°C~+85°C の動作で仕様が規定されています。

目次

特長	1	アプリケーション情報	25
アプリケーション	1	ADCの駆動	25
機能ブロック図	1	簡単なAGCアンプ	25
概要	1	広いレンジの真のRMS電圧計	26
改訂履歴	2	評価ボード	28
仕様	3	概要	28
絶対最大定格	5	基本動作	28
ESDの注意	5	オプション	29
ピン配置およびピン機能説明	6	測定のセットアップ	29
代表的な性能特性	7	AD8330-EVALZのボード・デザイン	29
動作原理	14	外形寸法	32
回路説明	14	オーダー・ガイド	33
AD8330 の使い方	20		

改訂履歴

1/08—Rev. C to Rev. D

Changes to Figure 28 and Figure 29	12
Added Evaluation Board Section	28
Changes to Ordering Guide	33

6/06—Rev. B to Rev. C

Updated Format	Universal
Changes to Figure 1	1
Deleted Figure 2	1
Changes to Specifications Section	3
Change to Absolute Maximum Ratings	5
Changes to Typical Performance Characteristics	
Summary Statement	7
Changes to Figure 14 and Figure 15	8
Changes to Figure 31 and Figure 32	11
Updated Outline Dimensions	28

10/04—Rev. A to Rev. B

Changes to Absolute Maximum Ratings	4
Changes to Ordering Guide	4
Change to TPC 14	8
Note added to CP-16 Package	26

4/03—Rev. 0 to Rev. A

Updated Outline Dimensions	26
----------------------------------	----

仕様

特に指定がない限り、 $V_S = 5\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、OPHI と OPLO に $C_L = 12\text{ pF}$ 、 $R_L = \infty$ 、 $V_{\text{DBS}} = 0.75\text{ V}$ 、 $V_{\text{MODE}} = \text{ハイ・レベル}$ 、 $V_{\text{MAG}} = V_{\text{MAG}}$ 、ピンはオープン(0.5 V)、 $V_{\text{OFST}} = 0\text{ V}$ 、差動動作。

表 1.

Parameter	Conditions	Min	Typ	Max	Unit
INPUT INTERFACE					
Full-Scale Input	Pin INHI, Pin INLO $V_{\text{DBS}} = 0\text{ V}$, differential drive	± 1.4	± 2		V
	$V_{\text{DBS}} = 1.5\text{ V}$	± 4.5	± 6.3		mV
Input Resistance	Pin-to-pin	800	1 k	1.2 k	Ω
Input Capacitance	Either pin to COMM		4		pF
Voltage Noise Spectral Density	$f = 1\text{ MHz}$, $V_{\text{DBS}} = 1.5\text{ V}$; inputs ac-shortcd		5		nV/ $\sqrt{\text{Hz}}$
Common-Mode Voltage Level			3.0		V
Input Offset	Pin OFST connected to Pin COMM		1		mV rms
Drift			2		$\mu\text{V}/^\circ\text{C}$
Permissible CM Range ¹		0		V_S	V
Common-Mode AC Rejection	$f = 1\text{ MHz}$, 0.1 V rms		-60		dB
	$f = 50\text{ MHz}$		-55		dB
OUTPUT INTERFACE					
Small Signal -3 dB Bandwidth	Pin OPHI, Pin OPLO $0\text{ V} < V_{\text{DBS}} < 1.5\text{ V}$		150		MHz
Peak Slew Rate	$V_{\text{DBS}} = 0\text{ V}$		1500		V/ μs
Peak-to-Peak Output Swing		± 1.8	± 2	± 2.2	V
	$V_{\text{MAG}} \geq 2\text{ V}$ (peaks are supply limited)	± 4	± 4.5		V
Common-Mode Voltage	Pin CNTR O/C	2.4	2.5	2.6	V
Voltage Noise Spectral Density	$f = 1\text{ MHz}$, $V_{\text{DBS}} = 0\text{ V}$		62		nV/ $\sqrt{\text{Hz}}$
Differential Output Impedance	Pin-to-pin	120	150	180	Ω
HD2 ²	$V_{\text{OUT}} = 1\text{ V p-p}$, $f = 10\text{ MHz}$, $R_L = 1\text{ k}\Omega$		-62		dBc
HD3 ²	$V_{\text{OUT}} = 1\text{ V p-p}$, $f = 10\text{ MHz}$, $R_L = 1\text{ k}\Omega$		-53		dBc
OUTPUT OFFSET CONTROL					
AC-Coupled Offset	Pin OFST C_{HPF} on Pin OFST ($0\text{ V} < V_{\text{DBS}} < 1.5\text{ V}$)		10		mV rms
High-Pass Corner Frequency	$C_{\text{HPF}} = 3.3\text{ nF}$, from OFST to CNTR (scales as $1/C_{\text{HPF}}$)		100		kHz
COMMON-MODE CONTROL					
Usable Voltage Range	Pin CNTR	0.5		4.5	V
Input Resistance	From Pin CNTR to $V_S/2$		4		k Ω
DECIBEL GAIN CONTROL					
Normal Voltage Range	V_{DBS} , CMGN, and MODE pins CMGN connected to COMM		0 to 1.5		V
Elevated Range	CMGN O/C (V_{CMGN} rises to 0.2 V)		0.2 to 1.7		V
Gain Scaling	Mode high or low	27	30	33	mV/dB
Gain Linearity Error	$0.3\text{ V} \leq V_{\text{DBS}} \leq 1.2\text{ V}$	-0.35	± 0.1	+0.35	dB
Absolute Gain Error	$V_{\text{DBS}} = 0\text{ V}$	-2	± 0.5	+2	dB
Bias Current	Flows out of Pin V_{DBS}		100		nA
Incremental Resistance			100		M Ω
Gain Settling Time to 0.5 dB Error	V_{DBS} stepped from 0.05 V to 1.45 V or 1.45 V to 0.05 V		250		ns
Mode Up/Down	Pin MODE				
Mode Up Logic Level	Gain increases with V_{DBS} , MODE = O/C	1.5			V
Mode Down Logic Level	Gain decreases with V_{DBS}			0.5	V
LINEAR GAIN INTERFACE					
Peak Output Scaling, Gain vs. V_{MAG}	Pin V_{MAG} , Pin CMGN See the Circuit Description section	3.8	4.0	4.2	V/V
Gain Multiplication Factor vs. V_{MAG}	Gain is nominal when $V_{\text{MAG}} = 0.5\text{ V}$		$\times 2$		
Usable Input Range		0		5	V
Default Voltage	V_{MAG} O/C	0.48	0.5	0.52	V
Incremental Resistance			4		k Ω
Bandwidth	For $V_{\text{MAG}} \geq 0.1\text{ V}$		150		MHz
CHIP ENABLE					
Logic Voltage for Full Shutdown	Pin ENBL			0.5	V
Logic Voltage for Hibernate Mode	Output pins remain at CNTR	1.3	1.5	1.7	V
Logic Voltage for Full Operation		2.3			V
Current in Full Shutdown			20	100	μA

Parameter	Conditions	Min	Typ	Max	Unit
Current in Hibernate Mode			1.5		mA
Minimum Time Delay ³			1.7		μs
POWER SUPPLY	VPSI, VPOS, VPSO, COMM, and CMOP pins				
Supply Voltage		2.7		6	V
Quiescent Current	V _{DBS} = 0.75 V		20	27	mA

¹ 内部設定値から大きく異なる入力同相モード電圧を使用することは、ノイズ性能に影響を与えるため、推奨されません。

図 56 を参照してください。

² 様々な動作状態での歪みについては、代表的な性能特性のセクションを参照してください。

³ 最小サイズの結合コンデンサの場合。

絶対最大定格

表 2.

Parameter	Rating
Supply Voltage	6 V
Power Dissipation	
RQ-16 Package ¹	0.62 W
CP-16-3 Package	1.67 W
Input Voltage at Any Pin	$V_S + 200 \text{ mV}$
Storage Temperature Range	-65°C to $+150^{\circ}\text{C}$
θ_{JA}	
RQ-16 Package	105.4°C/W
CP-16-3 Package	60°C/W
θ_{JC}	
RQ-16 Package	39°C/W
Operating Temperature Range	-40°C to $+85^{\circ}\text{C}$
Lead Temperature (Soldering 60 sec)	300°C

¹ 4層 JEDEC ボード(252P)。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

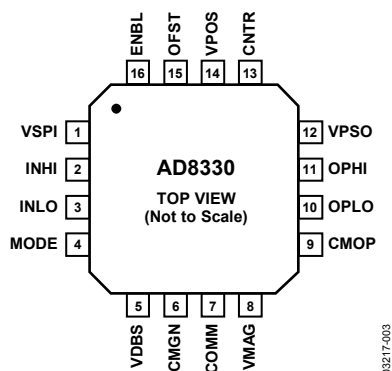


図 2.16 ピン LFCSP のピン配置

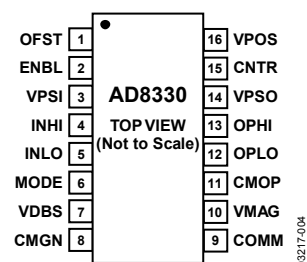


図 3.16 ピン QSOP のピン配置

表 3.16 ピン LFCSP のピン機能説明

ピン番号	記号	説明
1	VPSI	入力ステージの正側電源。
2	INHI	差動信号入力、正極性。
3	INLO	差動信号入力、負極性。
4	MODE	ロジック入力:ゲイン傾きを選択。ハイ・レベル=ゲイン増加対 V_{DBS} 。
5	VDBS	dB リニア表示ゲイン・コントロール電圧の入力 V_{DBS} 。
6	CMGN	ゲイン・コントロール・インターフェースのコモン・ベースライン。
7	COMM	入力とゲイン・コントロール・バイアス回路のグラウンド。
8	VMAG	ゲイン/振幅コントロールの入力 V_{MAG} 。
9	CMOP	出力ステージのグラウンド。
10	OPLO	差動信号出力、負極性。
11	OPHI	差動信号出力、正極性。
12	VPSO	出力ステージの正側電源。
13	CNTR	同相モード出力電圧コントロール。
14	VPOS	正電源の内部ステージ。
15	OFST	オフセット・コントロール・モードで使用。
16	ENBL	電源イネーブル、アクティブ・ハイ。

表 4.16 ピン QSOP のピン機能説明

ピン番号	記号	説明
1	OFST	オフセット・コントロール・モードで使用。
2	ENBL	電源イネーブル、アクティブ・ハイ。
3	VPSI	入力ステージの正側電源。
4	INHI	差動信号入力、正極性。
5	INLO	差動信号入力、負極性。
6	MODE	ロジック入力:ゲイン傾きを選択。ハイ・レベル=ゲイン増加対 V_{DBS} 。
7	VDBS	dB リニア表示ゲイン・コントロール電圧の入力 V_{DBS} 。
8	CMGN	ゲイン・コントロール・インターフェースのコモン・ベースライン。
9	COMM	入力とゲイン・コントロール・バイアス回路のグラウンド。
10	VMAG	ゲイン/振幅コントロールの入力 V_{MAG} 。
11	CMOP	出力ステージのグラウンド。
12	OPLO	差動信号出力、負極性。
13	OPHI	差動信号出力、正極性。
14	VPSO	出力ステージの正側電源。
15	CNTR	同相モード出力電圧コントロール。
16	VPOS	正の電源の内部ステージ。

代表的な性能特性

特に指定がない限り、 $V_S = 5\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、 $C_L = 12\text{ pF}$ 、 $V_{\text{DBS}} = 0.75\text{ V}$ 、 $V_{\text{MODE}} = \text{ハイ}$ ・レベル(またはオープン) $V_{\text{MAG}} = \text{オープン}(0.5\text{ V})$ 、 $R_L = \infty$ 、 $V_{\text{OFST}} = 0$ 、差動動作。

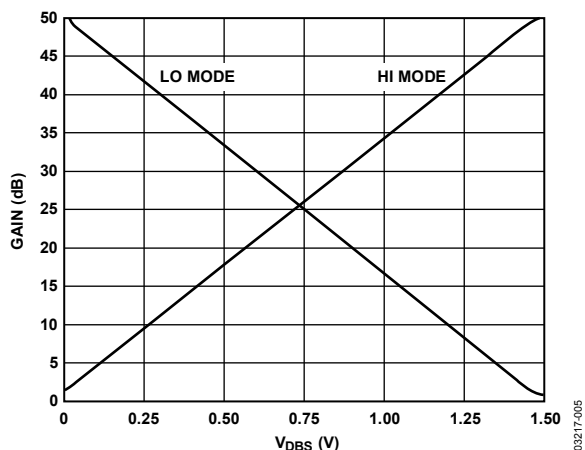


図 4. V_{DBS} 対ゲイン

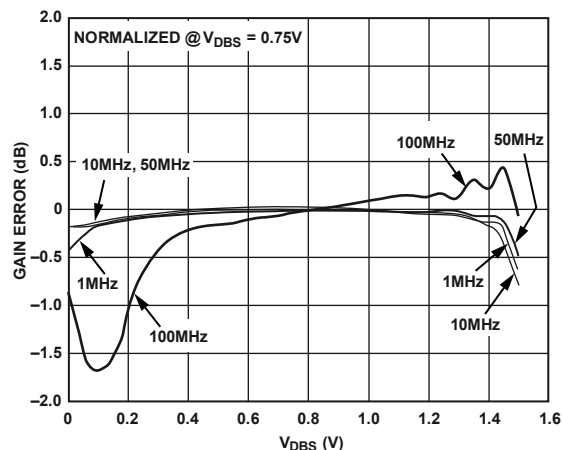


図 7. 様々な周波数での V_{DBS} 対ゲイン誤差

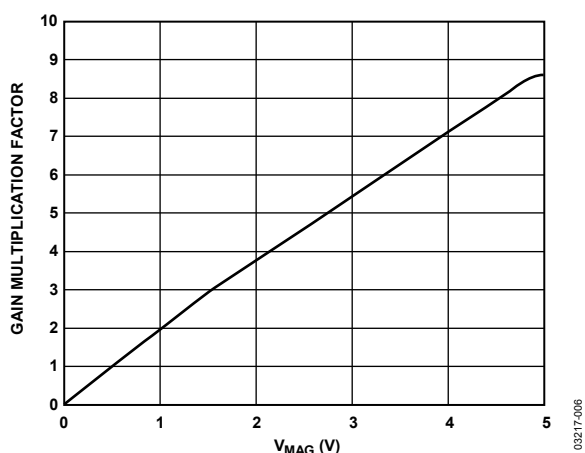


図 5. V_{MAG} 対リニア・ゲイン倍率

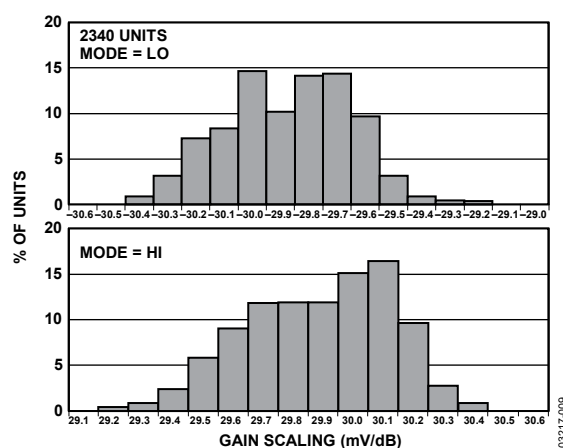


図 8. ゲイン傾きのヒストグラム

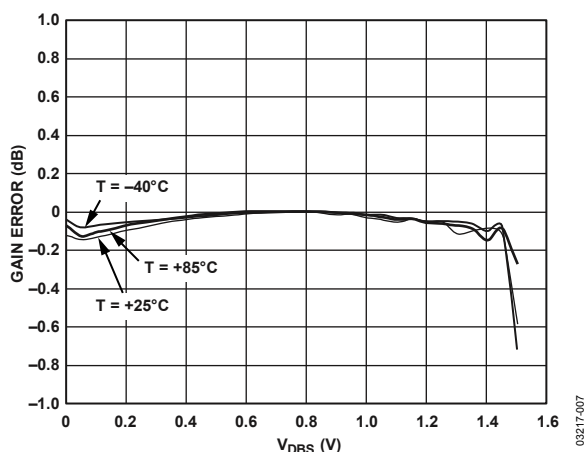


図 6. V_{DBS} 対 25°C で正規化したゲイン直線性誤差
3つの温度、 $f = 1\text{ MHz}$

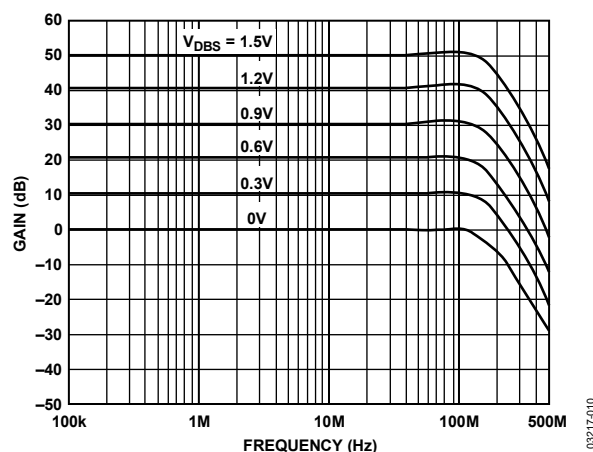


図 9. V_{DBS} の様々な値での 10 dB ステップの周波数応答

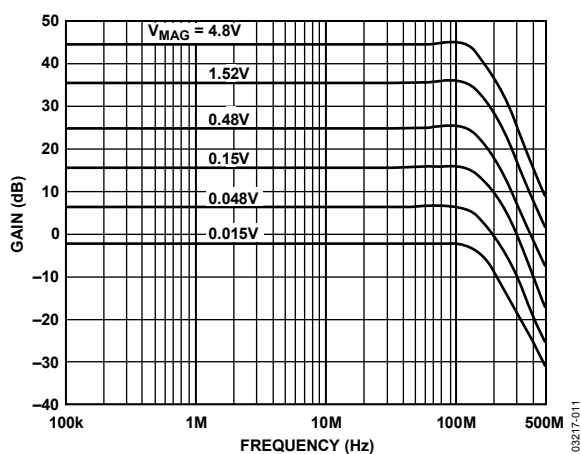


図 10. V_{MAG} の様々な値での周波数応答
 $V_{DBS} = 0.75\text{ V}$

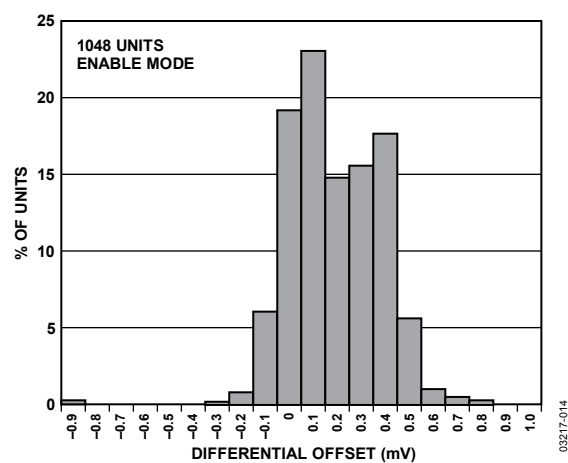


図 13. 差動入力オフセットのヒストグラム

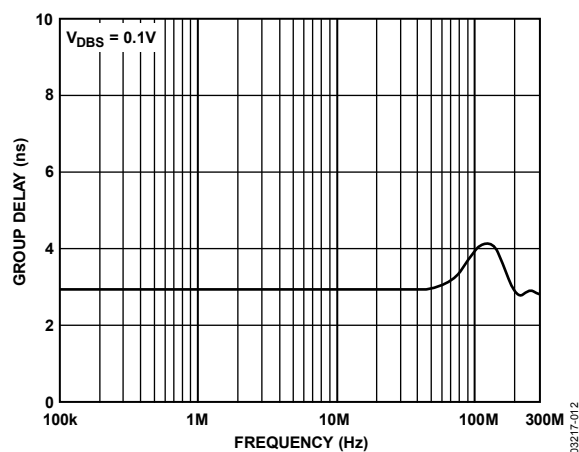


図 11. 群遅延の周波数特性

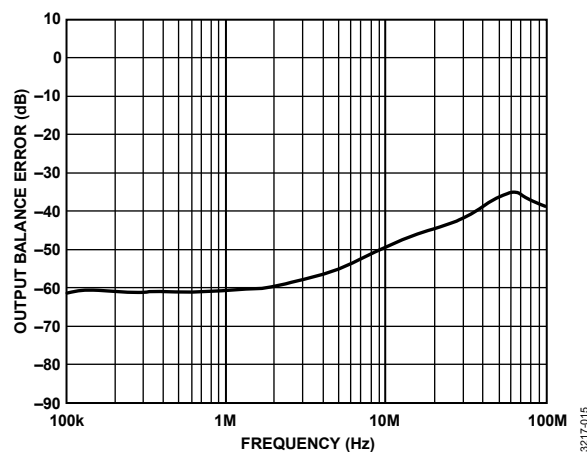


図 14. 代表的デバイスの出力平衡誤差の周波数特性

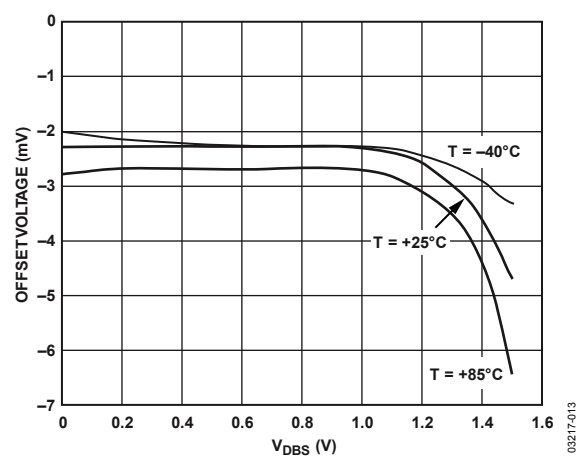


図 12. V_{DBS} 対差動出力オフセット
3つの温度、代表的デバイス

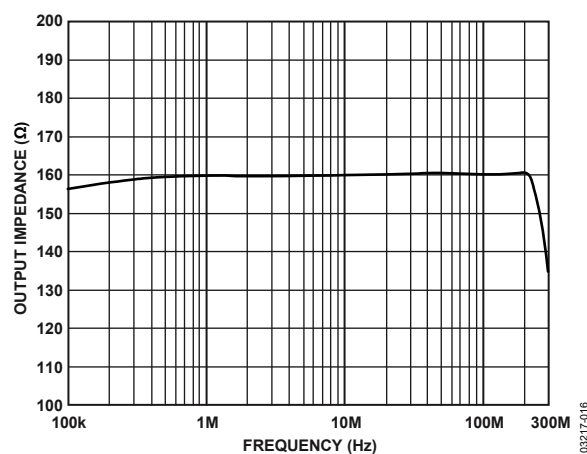


図 15. 出力インピーダンスの周波数特性

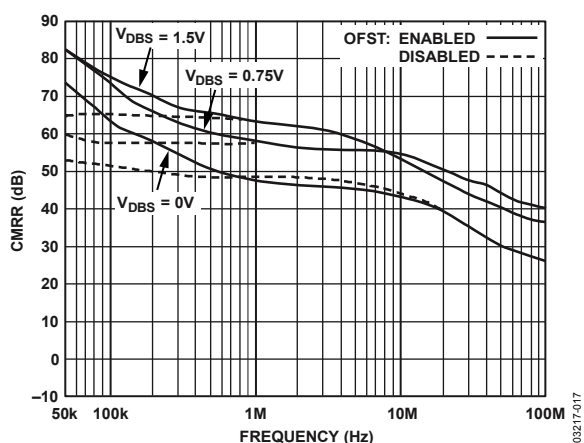
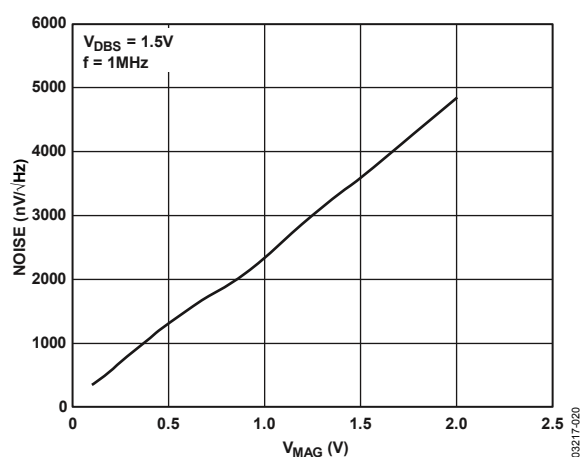
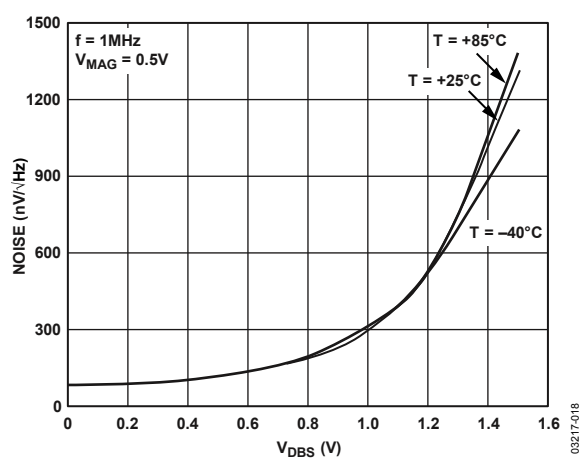
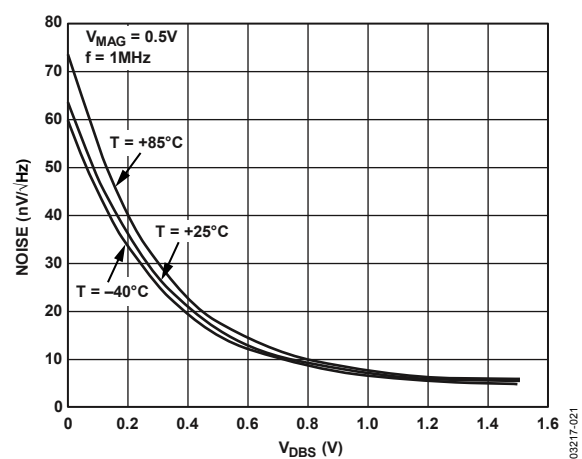
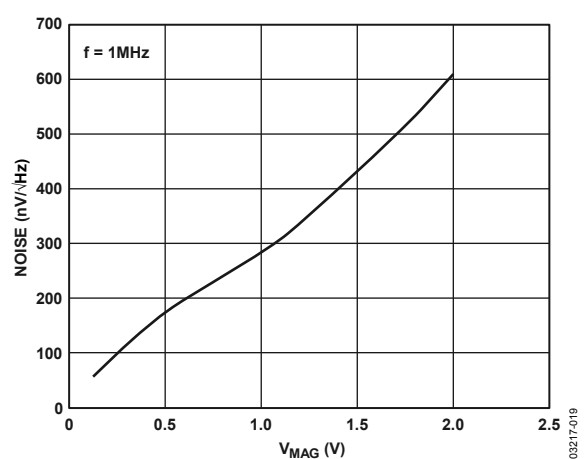
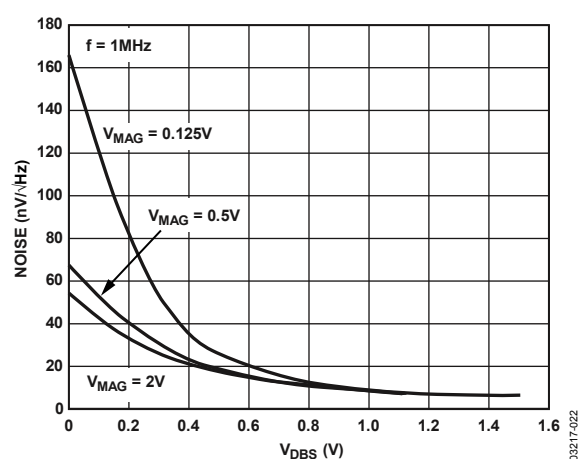


図 16. CMRR の周波数特性

図 19. V_{MAG} 対出力換算ノイズ図 17. V_{DBS} 対出力換算ノイズ
3つの温度図 20. V_{DBS} 対入力換算ノイズ
3つの温度図 18. V_{MAG} 対出力換算ノイズ
 $V_{DBS} = 0.75V$ 図 21. V_{DBS} 対入力換算ノイズ
 V_{MAG} の3つの値

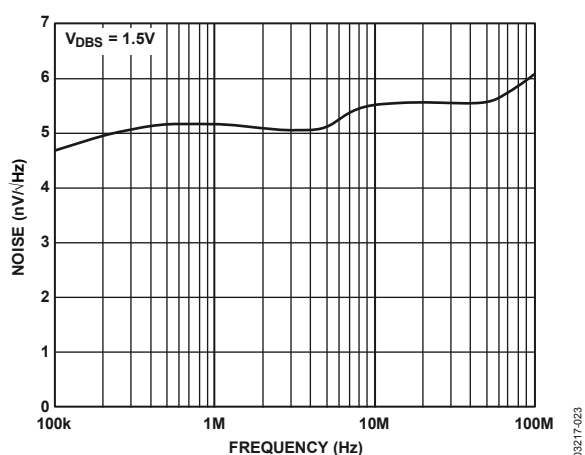


図 22. 入力換算ノイズの周波数特性

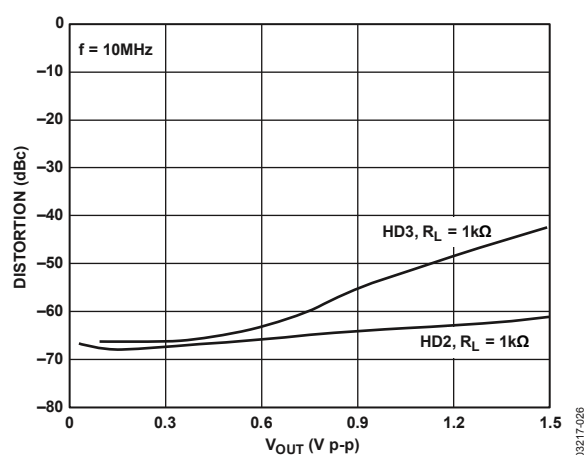
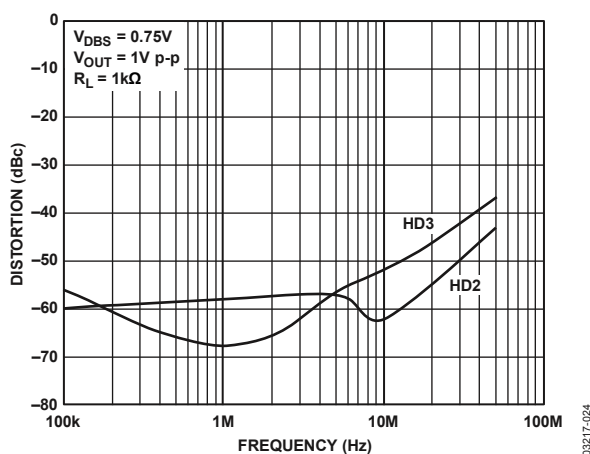
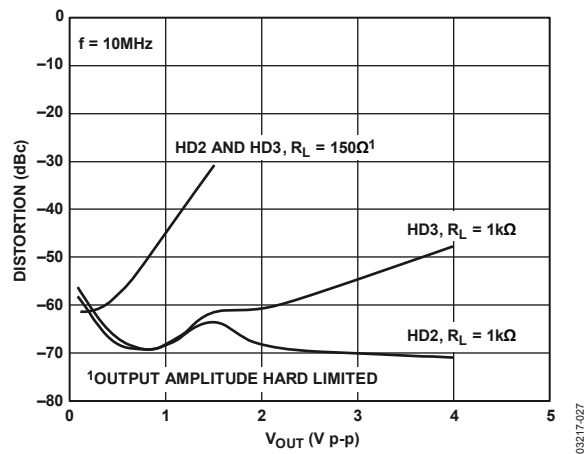
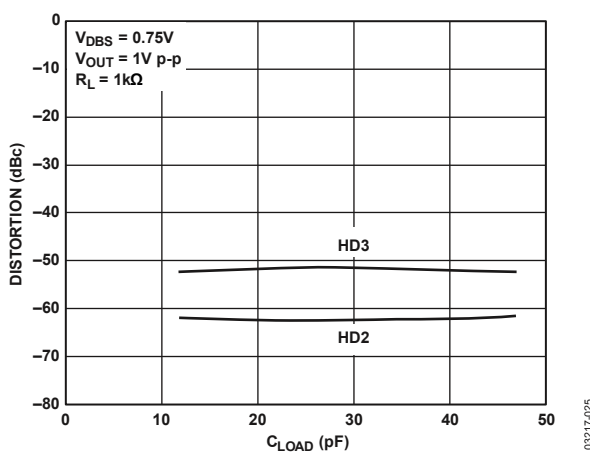
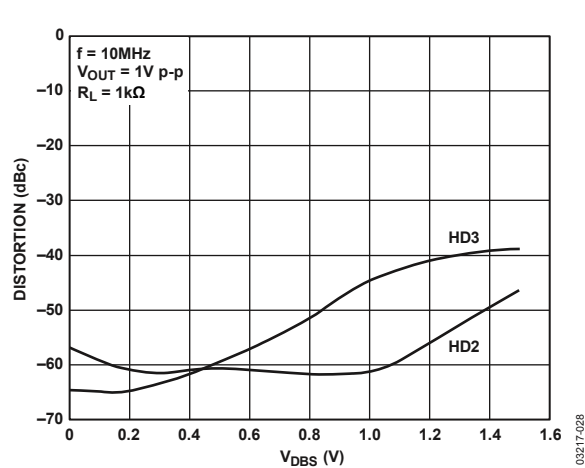
図 25. V_{OUT} 対高調波歪み
 $V_{MAG} = 0.5 V$ 

図 23. 高調波歪みの周波数特性

図 26. V_{OUT} 対高調波歪み
 $V_{MAG} = 2.0 V$ 図 24. C_{LOAD} 対高調波歪み図 27. V_{DBS} 対高調波歪み

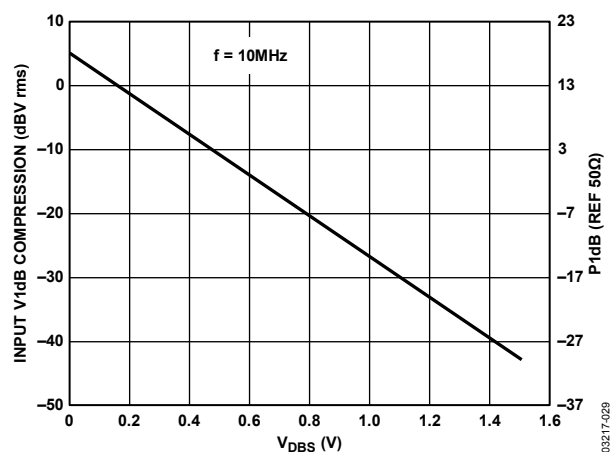
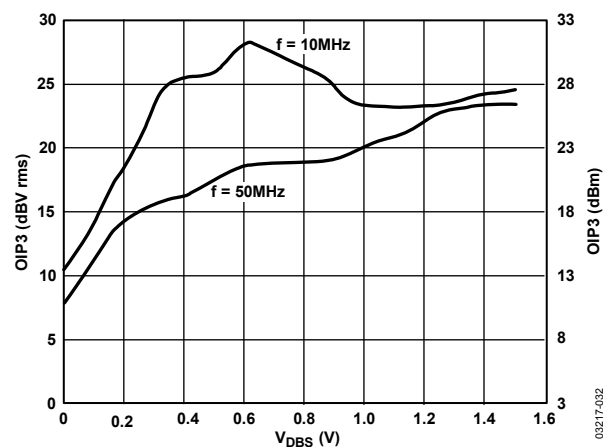
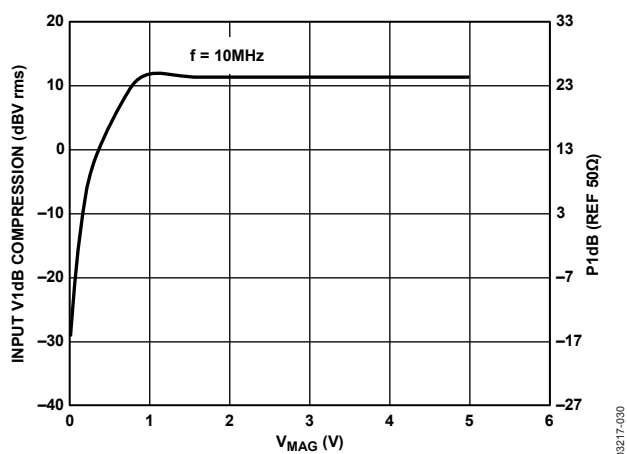
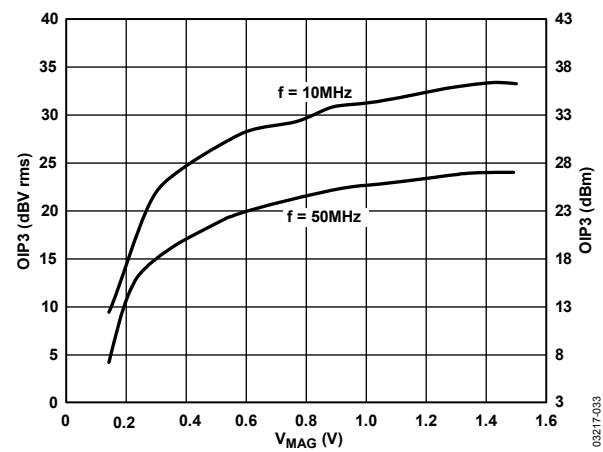
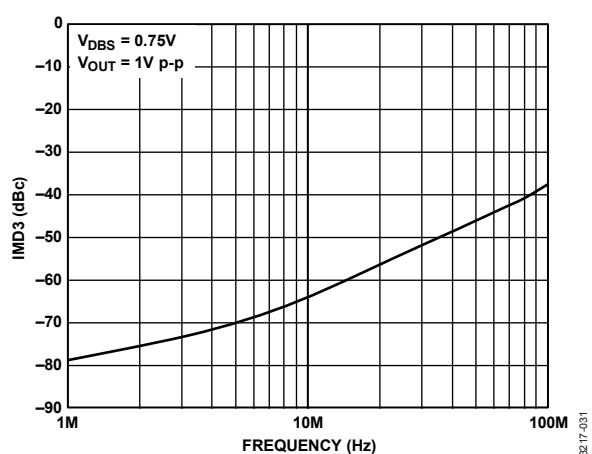
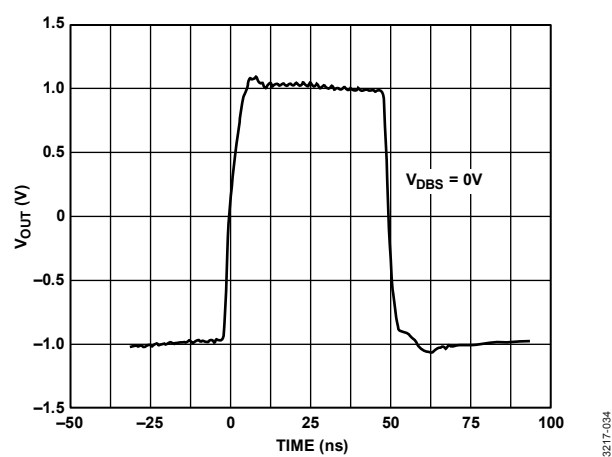
図 28. V_{DBS} 対入力 V1dB 圧縮図 31. V_{DBS} 対 OIP3図 29. V_{MAG} 対出力 V1dB 圧縮図 32. V_{MAG} 対 OIP3

図 30. IMD3 歪みの周波数特性

図 33. フル・スケール過渡応答
 $V_{DBS} = 0V$

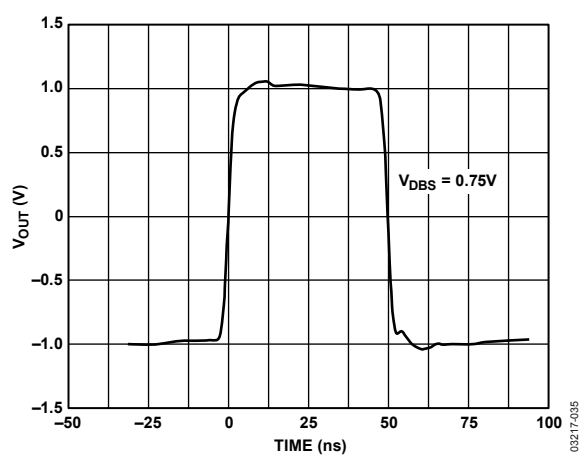


図 34.フル・スケール過渡応答
 $V_{DBS} = 0.75\text{ V}$ 、 $f = 1\text{ MHz}$ 、 $V_{OUT} = 2\text{ V p-p}$

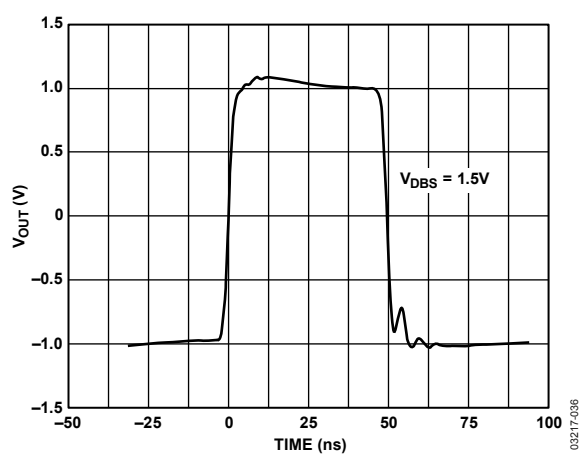


図 35.フル・スケール過渡応答
 $V_{DBS} = 1.5\text{ V}$ 、 $f = 1\text{ MHz}$ 、 $V_{OUT} = 2\text{ V p-p}$

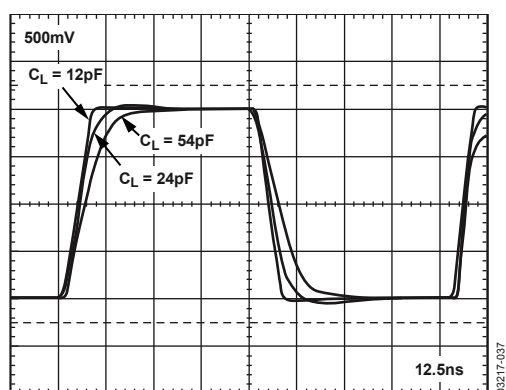


図 36.様々な負荷容量対過渡応答
 $G = 25\text{ dB}$

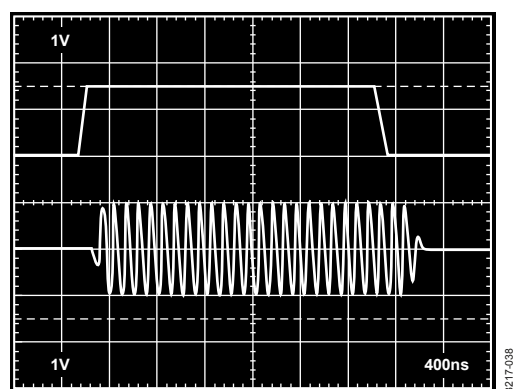


図 37. V_{DBS} インターフェース応答
 上側: V_{DBS} 、下側: V_{OUT}

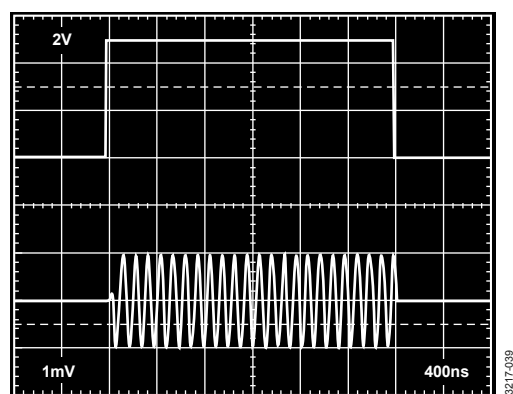


図 38. V_{MAG} インターフェース応答
 上側: V_{MAG} 、下側: V_{OUT}

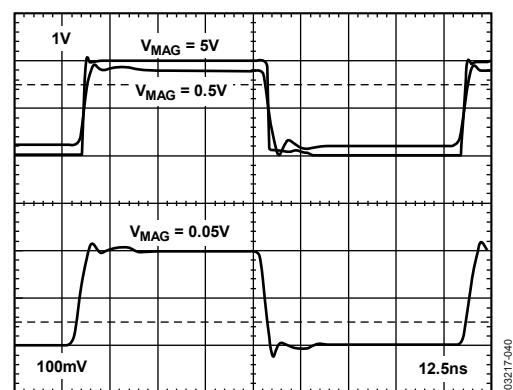


図 39. V_{MAG} 対過渡応答

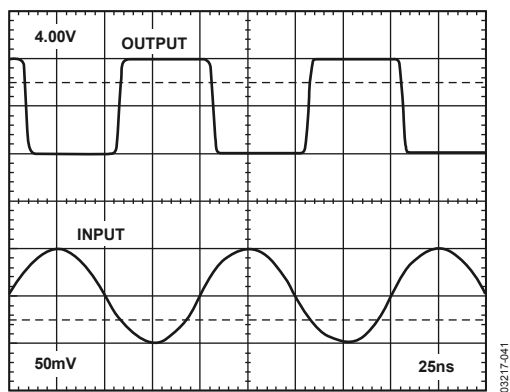


図 40. オーバードライブ応答
 $V_{DBS} = 1.5\text{ V}$ 、 $V_{MAG} = 0.5\text{ V}$ 、18.5 dB オーバードライブ

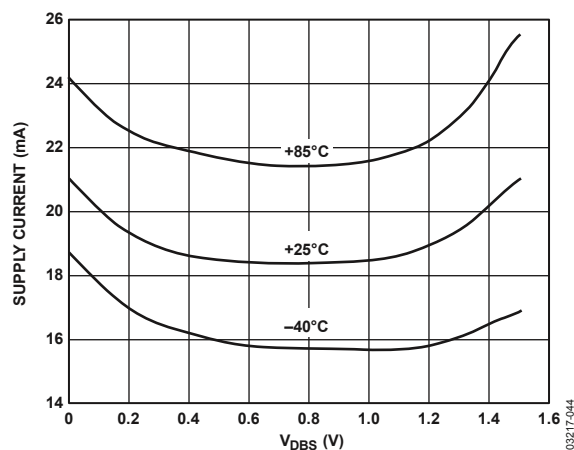


図 43. V_{DBS} 対電源電流
 3つの温度

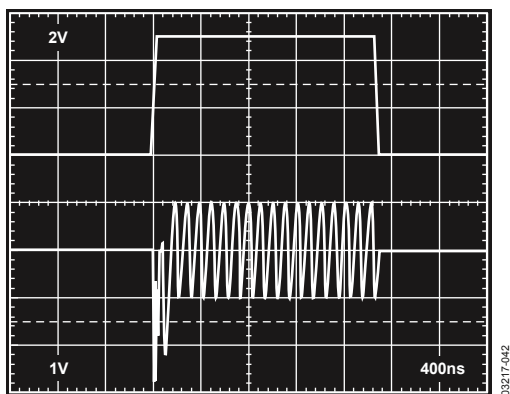


図 41. ENBL インターフェース応答
 上側: V_{ENBL} ; 下側: V_{OUT} 、 $f = 10\text{ MHz}$

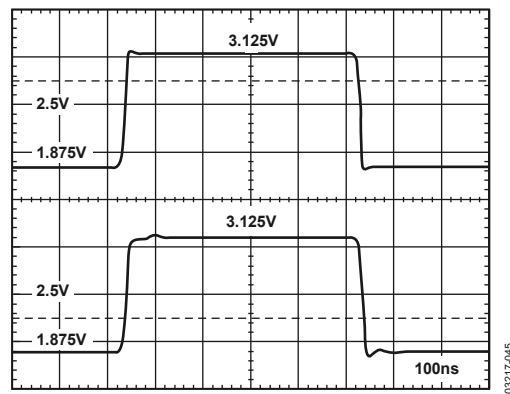


図 44. CNTR 過渡応答
 上側: 入力から CNTR まで
 下側: V_{OUT} シングル-エンド

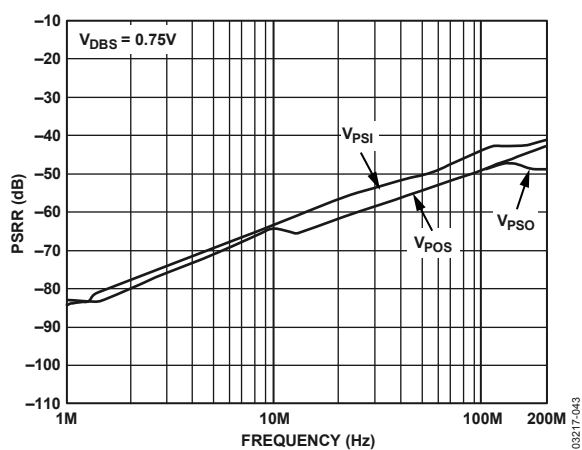


図 42. PSRR の周波数特性

動作原理

回路説明

多くのモノリシック可変ゲイン・アンプでは、トランスリニアとして一般に分類されている共通原理を共用する技術を採用しています。この用語は、バイポーラ接合トランジスタの予測可能な特性(相互コンダクタンスがコレクタ電流に比例)に直接依存する機能を持つ回路セルを意味します。1967 年のこれらのセル登場以来、1970 年台の初期に開発された製品での商用、正確な幅帯域幅のアナログ乗算器、デバイダ、可変ゲイン・アンプでは、いつもトランスリニア原理を採用してきました。

これらの技術はよく理解されていますが、高性能可変ゲイン・アンプ(VGA)の実現では、デザインの多くの詳細に対して特別な技術と注意が必要です。AD8330 はアナログ・デバイス独自のシリコン・オン・インシュレータ相補バイポーラ IC プロセスと、これまでないレベルの多機能性を提供するトランスリニア原理を採用した多くの最先端製品開発での数十年もの経験により製造されています。

図 45 に、4 個だけのトランジスタで構成される代表的な基本セルを示します。このセル、またはこれと密接に関係した形式のものが、大部分のトランスリニア乗算器、デバイダ、VGA の中核を構成しています。主要な概念は次のようなものです。

1 つ目は、トランジスタの左側の対の電流比と右側の対の電流比は一致しており変調係数 x で表され、値は $-1 \sim +1$ の範囲です。2 つ目は、入力信号が固定テール電流 I_D を変調して変数値 x を発生するように設定され、左側の対に入力されて、右側の対でこれが複製されて、公称固定のテール電流 I_N を変調することにより出力が発生されます。3 つ目は、このセルの電流ゲインが、変数バイアス電流の広いディケード範囲で正確に $G = I_N/I_D$ となります。

実際には、この回路のフル能力を実現するためには、他の多くのファクタが関係しますが、これらの 3 つの原理的な考え方が基本になります。

I_N を変化させることにより、全体の機能は 2 象限アナログ乗算器の機能と同じで、信号変調係数(x)とこの分子の電流の両方に対する直線的関係を示します。これに対して、 I_D を変化させることにより、2 象限アナログ・デバイダが実現され、この分母の電流から制御される入力係数 x に対する双曲線ゲイン関数を持っています。AD8330 では両動作モードを利用します。ただし、双曲線ゲイン関数は一様に 1 より小さい値を持ち、デシベル・ゲインが制御入力のリニア関数となっているため、 I_D の指数制御を増加または減少させるための特別なインターフェースが含まれています。

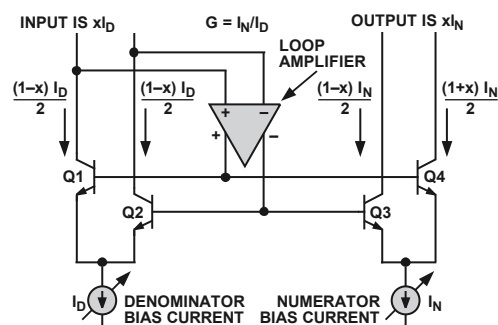


図 45. 基本コア

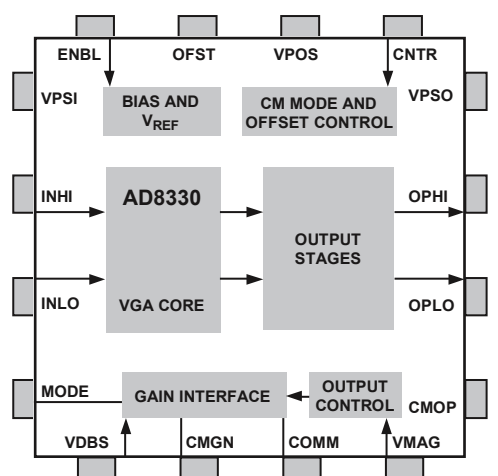


図 46. ブロック図

全体構造

図 46 に、主要なセクションを示す AD8330 のブロック回路図を示します。この構造と機能の詳細については、動作原理のセクションで説明しますが、能力の概要は図 46 に示します。

VGA コアには、図 45 に示すセルを少し複雑にしたものが含まれています。電流 I_D は、VDBS ピンのデシベル・ゲイン・インターフェースとローカル・コモン CMGN ピンを使って指数的(デシベル表示で直線)に制御されます。この制御関数が提供するゲイン・スパン(最大値と最小値のデシベル差)は、50 dB より少し大きくなっています。入力から出力までの絶対ゲインは、ソース・インピーダンスと負荷インピーダンスの関数であり、通常動作の条件のセクションで説明する 2 つ目のゲイン・コントロール・ピン(VMAG)の電圧に依存します。

通常動作の条件

紛らわしさを避けるために、通常の動作条件を次のように定義します。

- 入力ピンは電圧駆動されます(ソース・インピーダンスはゼロと見なします)。
- 出力ピンはオープンとします(負荷インピーダンスは無限大とします)。
- VMAG ピンは未接続で、出力バイアス電流(4 トランジスタ・ゲイン・セル内の I_N)を公称値に設定します。
- CMGN ピンはグラウンドに接続します。
- MODE ピンは、ロジック・ハイに接続するかオープンのままにして、アップゲイン・モードを設定します。

その他の動作条件の影響は個別に考慮します。

このデータシートでは、通常の動作条件での端子—端子間電圧ゲインを基本ゲインと呼びます。これらの条件で、 $V_{DBS} = 0$ V (この電圧は CMGN ピンを基準としてさらに正確に測定されます。CMGN ピンはグラウンドに接続されるとは限りません)での 0 dB から $V_{DBS} = 1.5$ V での 50 dB まで動作します。 V_{DBS} ピンがグラウンドより下にまたは公称フルスケール値より上に駆動されてもゲインは圧縮されません。

入力は INHI/INLO 差動ポートに与えられます。これらのピンは内部でバイアスされ、電源 V_S のほぼ中心(実際には $V_S = 5$ V と $V_{DBS} = 0$ V で約 2.75 V、 $V_S = 3$ V で 1.5 V)に設定されますが、AD8330 にはゼロから V_S までの制限された強制同相モード値も入力することができます。このインターフェースは高い周波数まで優れた同相モード除去比を提供するため(図 16 参照)、シングルエンドまたは差動で駆動することができます。ただし、差動駆動による動作が望ましく、他に注記がない限り、仕様ではこれを想定しています。

ピン間入力抵抗は $950 \Omega \pm 20\%$ と規定されています。信号ソースの駆動点インピーダンスの範囲は、ノイズ係数の変動に対応して、ゼロからこの抵抗値を大きく上回る値まで可能です(図 53 参照)。大部分の場合、入力は十分低い周波数を通過させる 2 個のコンデンサで結合されます。これにより、入力ノイズが最小になります。入力ノイズは他の同相モード電圧がこれらのピンに加わったときには大きくなります。最大ゲインでの短絡入力換算ノイズは約 5 nV/√Hz です。

出力ピン OPHI と出力ピン OPLO は、電源中心 $V_S/2$ (数 mV 以内)で、同相モード電圧で動作します。これにより、これらの出力に接続される A/D コンバータ(ADC)がデザインで許容される狭い範囲内でも確実に動作できるようになっています。このインターフェースで $V_S/2$ 以外の同相モード電圧が必要とされる場合は、電圧を外部から出力中心ピン CNTR に加えることにより、容易に実現することができます。この電圧はゼロからフル電源電圧まで可能ですが、このような極限值を使うと、差動出力信号振幅には小さい範囲しか許容できなくなります。

OPHI と OPLO の間で測定する差動インピーダンスは $150 \Omega \pm 20\%$ です。そのため、ゲインとフル・スケール電圧振幅は負荷インピーダンスに依存します。この値も 150Ω のときは、両値とも 1/2 になります。高速アプリケーションには、オペアンプ型の電圧モード出力ではなく固定インピーダンスの出力インターフェースが望まれます。これは、ゲインと位相に対する複素リアクティブ負荷をよく制御できるためです。AD8330 AC 応答の上端は各ピンの 12 pF 負荷に対して理想的に平坦ですが、これはクリティカルではないので、システムはゼロを含む任意の負荷容量値に対して安定です。

ADC 駆動接続でのこの VGA のもう 1 つの便利な機能は、ピーク出力振幅を VMAG ピンの電圧で正確に制御することができることです。通常、この電圧は内部で 500 mV に設定され、ピーク差動無負荷出力振幅は ± 2 V $\pm 3\%$ になります。ただし、正確に比例する方法でピーク出力を変えるときは、ゼロから少なくとも 5 V までの任意の電圧をこのピンに加えることができます。いずれの出力ピンもレール to レール振幅が可能のため(実際には下側は少なくとも 0.35 V から上側は電源の下 0.35 V まで)、これらのピン間のピーク to ピーク出力は $V_S = 6$ V の場合に 10 V まで高くすることができます。

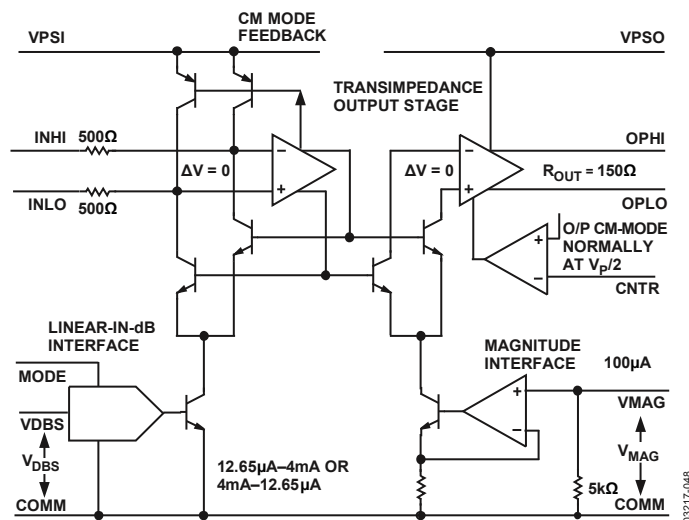


図 47. 主要部分の回路図

dB リニア表示ゲイン・コントロール(V_{DBS})

X-AMP®ファミリーのような dB リニア表示ゲイン則を採用するすべてのアナログ・デバイスの VGA は、規定の全ゲイン範囲で正確な一定のゲイン・スケーリングを提供し、理論応答からの偏差は 1dB 未満です。AD8330 の場合、両ゲイン・インターフェースのスケーリングは、処理、電源電圧、または温度に実質的に依存しません。基本ゲイン G_B は、シンプルで次のように表されます。

$$G_B(\text{dB}) = \frac{V_{DBS}}{30 \text{ mV}} \quad (1)$$

ここで、 V_{DBS} の単位は V です。

あるいは、ゲイン振幅量として次のように表すことができます。

$$G_{BN} = 10^{\frac{V_{DBS}}{0.6 \text{ V}}} \quad (2)$$

VMAG ピンに加える電圧 V_{MAG} を変えることにより、ゲインを増加または減少させることができます。500 mV の内部設定デフォルト値は、デシベル・スケーリングを決定する同じバンド・ギャップ・リファレンスから発生しています。この電圧の偏差、およびある内蔵抵抗の不一致により、小さいゲイン誤差が発生します(仕様のセクション参照)。VGA のすべてのアプリケーションで正確なゲイン・キャリブレーションが必要とは限りませんが、たとえばデザイン偏差の削減などの多くの状況で有効な機能です。

図 47 に、コア回路をさらに詳しく示します。 V_{DBS} の範囲とスケールリングは、電源電圧に依存しません。さらにゲイン・コントロール・ピン V_{DBS} は大きなインクリメント入力抵抗(約 100 M Ω)と低バイアス電流(約 100 nA)を持つため、多様なゲイン・コントロール・ソースからAD8330を容易に駆動できるようになっています。

ゲイン傾斜の反転

AD8330 は、広帯域ゲイン・コントロール・システムでのこのVGAの多機能性をさらに拡張する多くの機能をサポートしています。例えば、ロジック・ピンMODEを使うと、ゲイン関数の傾きを反転させることができるため、基本ゲインをゲイン電圧 $V_{DBS} = 0$ で+50 dBから開始させ、 $V_{DBS} = 1.5$ V (最大規定値)で 0 dBまでに減少させることができます。これら 2 つのゲイン・コントロール・モードの基本形式を図 48 に示します。

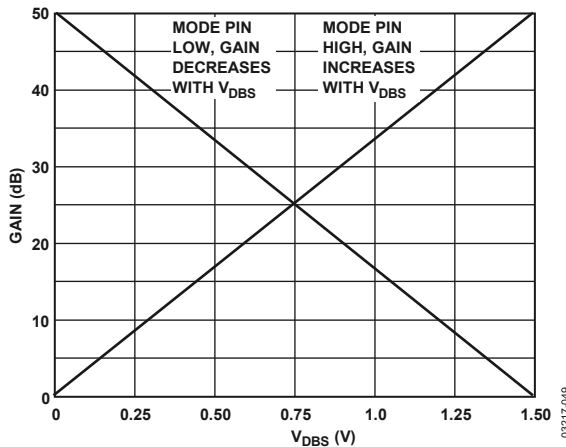


図 48.AD8330 の 2 方向のゲイン

ゲイン振幅コントロール(V_{MAG})

基本的なdBリニア表示制御の他に、さらに 2 つのゲイン・コントロール機能を提供しています。 V_{MAG} ピンに加えられる電圧は、非常に高速な応答を持つ正確なリニア振幅ゲイン・コントロールを提供します。このインターフェースの帯域幅は、100 MHz以上です。このピンをオープンにすると、 V_{MAG} はデフォルト値の 500 mVになり(図 47 参照)基本の 0 dB ~ 50 dBの範囲が設定されます。ただし、約 15 mV~5 Vの任意の電圧を加えて、ゲインを最大 30 dB下げるか、またはゲインを 20 dB上げることができます。したがって、総合ゲイン・スパンは 100 dBになります。すなわち、 V_{DBS} により設定される 50 dBの基本ゲイン・スパンと V_{MAG} により設定される 60 dBのリニア振幅スパンの和になります。後者は、基本ゲイン量 G_{BN} を変更して総合ゲインを発生(ここでは振幅項で表示)させます。

$$G_T = G_{BN} \frac{V_{MAG}}{0.5 \text{ V}} \quad (3)$$

この式を使って出力電圧を計算します。

$$V_{OUT} = 2 \times G_{IN} \times V_{IN} \times V_{MAG} \quad (4)$$

この式から明らかなように、AD8330 はバイポーラ V_{IN} とユニポーラ V_{MAG} を持つリニアな 2 象限乗算器を実現しています。AD8330 は DC 結合システムであるため、両入力(V_{IN} または V_{MAG})で DC ~ 約 100 MHz の広帯域 2 象限乗算機能が必要とされる多くのアプリケーションで使うことができます。

V_{MAG} が変化すると、ピーク出力振幅も電源電圧で限定される絶対出力値により制限されるポイントまで変化します。後者の影響がない場合、オープン負荷時のピーク出力は、

$$V_{OUT_PK} = \pm 4 V_{MAG} \quad (5)$$

一方、OPHI と OPLO に直接接続する負荷抵抗 R_L に対しては、

$$V_{OUT_PK} = \frac{\pm 2 V_{MAG} R_L}{(R_L + 150)} \quad (6)$$

これらの機能を図 49 に示します。ここで、 $V_S = 6$ V、 $R_L = O/C$ 、 $V_{DBS} = 0$ V、 V_{IN} は-2.5 V DC ~ +2.5 V DCで掃引、 $V_{MAG} = 0.25$ V、0.5 V、1 V、2 Vです。 V_{MAG} の最終値を除き、ピーク出力は式 5 に従います。 $V_{MAG} = 2$ Vのとき電源による制限値を超えて、ピーク出力は ± 5.65 V (= ± 6 V - 0.35 V)になります。図 50 に、高速乗算機能を示します。信号入力に 100 MHz、0.1 Vの正弦波、 $V_{DBS} = 0.6$ V、 V_{MAG} は 0.25 Vから 1 Vへ変化する 5 MHzの方形波。出力は 0.5 V ~ 2 Vの振幅でスイッチングする理想的な正弦波です。

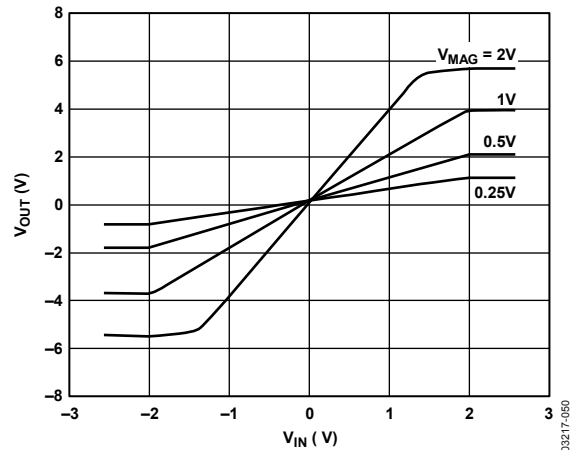


図 49.ゲインとピーク出力に対する V_{MAG} の影響

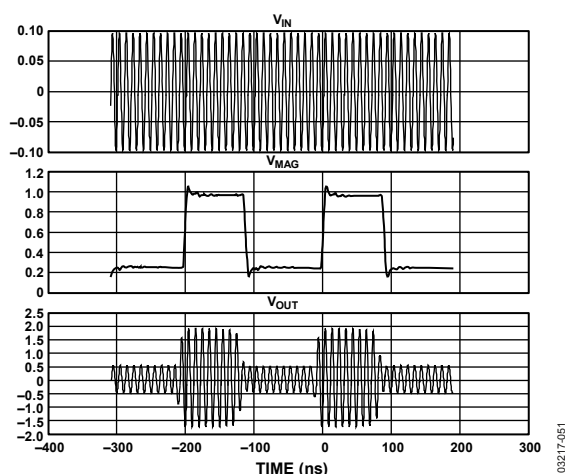


図 50. 変調モードでの VMAG の使用

ゲインに関係するもう 1 つの機能を使うと、両ゲイン・コントロール範囲を正確に 200 mV だけ上げることができます。このオフセットをイネーブルするときは、CMGN (ピン 6 の LFCSP、ピン 8 の LQFP) をオープンにし、0.1 μ F のコンデンサ(グラウンドへ接続)を接続します。これを使うと、 V_{DBS} の公称範囲は 0.2 V から 1.7 V に、 V_{MAG} は 0.2 V から 5.2 V にそれぞれ広がります。これらの仕様は任意の電源電圧に適用されます。これにより、ゲイン・コントロール機能にソースとしてグラウンドを含まない出力範囲を持つ DAC の使用が可能になります。

このピンに出力される 200 mV は、外部から加えた V_{MAG} に対する応答に影響を与えますが、 V_{MAG} ピンをオープンにすると、内部設定のデフォルト値 0.5 V が使用されることに注意してください。さらに、必要に応じて、CMGN ピンをユーザ指定の電圧で駆動して、 V_{DBS} のベースライン(外部から加えた V_{MAG})を 500 mV までの任意の電圧に再配置することができます。すべてのケースで、ゲイン・スケーリング、ゲイン則適合度、温度安定性は影響を受けません。

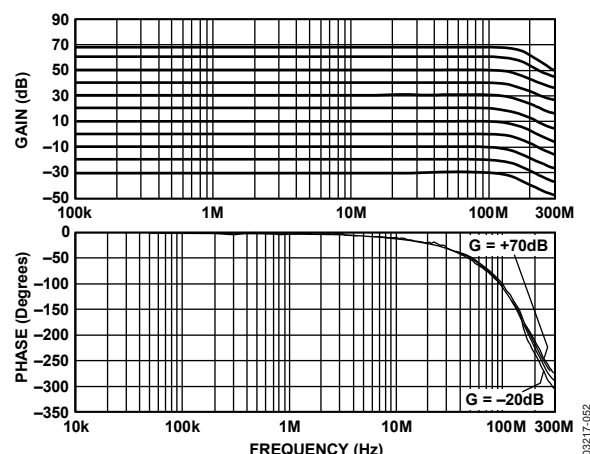
可変ゲイン・アンプの 2 つのクラス

VGA には 2 つの大きなクラスがあります。1 つ目のタイプは、ゲイン・コントロール機能を使って入力範囲を実質的に一定の出力に圧縮することにより、非常に広い範囲の入力振幅に対応するようにデザインされています。これが、AGC システムで必要とされる機能です。このような VGA は IVGA と呼ばれ、広い範囲の入力振幅に対処するように最適化された構造を意味します。これに対して、OVGA は広い範囲の出力値を提供すると同時に、実質的に一定な入力振幅で動作するように最適化されています。たとえば、この機能はパワー・アンプに可変駆動を提供するときに必要とされます。

AD8330 が 1 つのパッケージに IVGA と OVGA を内蔵していることは、前のセクションから明らかです。これは普通のことではないため、VGA の多機能性について紛らわしさが生ずる可能性があります。このため、これら 2 つの制御機能をこのデータシート内で個別にとりあげて、この製品の動作とアプリケーションを説明します。それでも、これらの機能を組み合わせて使用する場合に必要説明が役立ちます。

振幅/位相応答

AD8330 の AC 応答は、全基本ゲイン範囲だけでなく V_{MAG} の変化によるゲイン変化に対しても 50 dB 一定です(図 51 参照)。これは 2 つの結果が重なり合ったものです。すなわち、1 つ目は 16 mV の非常に低い V_{MAG} により全体ゲインが 30 dB [$20 \times \log_{10}(500 \text{ mV}/16 \text{ mV})$] だけ減少したこと、2 つ目は $V_{MAG} = 5 \text{ V}$ によりゲインが 20 dB $= 20 \times \log_{10}(5 \text{ V}/0.5 \text{ V})$ だけ増加したことです。

図 51. 2 つの V_{MAG} 値の使用により得られた 100 dB ゲイン範囲での AC 性能

ゲインのこの 50 dB ステップ変化により、2 つのゲイン・カーブが発生して、100 dB の総合ゲイン・スパンになります。振幅応答と位相応答はこの広範囲のゲインに対して実質的に依存しないことは明らかで、これは従来の VGA にはない AD8330 の性能です。

アプリケーションでこのような広い範囲のゲインを必要とすることは一般的でないため、特別なこととして、 $V_{MAG} = 16 \text{ mV}$ に対するピーク出力電圧を 16/500 倍に減少させています(公称値 $\pm 2 \text{ V}$ に対して、 $\pm 64 \text{ mV}$ に減少)。前述のように、VGA の多くのアプリケーションでは、ミックス・モードではなく、IVGA または OVGA 型が支配的になるモードでの動作が必要とされます。

この制限を念頭におき、AD8330 の非一般的な機能を簡単に説明すると、 V_{DBS} と V_{MAG} を適切に直列駆動すると、ゲイン・スパンは 120 dB になり、1 MHz と 100 MHz での動作に対して -50 dB $\sim$ +70 dB に広がることに注意してください(図 52 参照)。このケースでは、 V_{DBS} と V_{MAG} を共通の制御電圧 V_{GAIN} から駆動しています。この V_{GAIN} は 1.2 mV $\sim$ 5 V で変化し、 V_{GAIN} の 30% (1.5/5) が V_{DBS} に、100% が V_{MAG} に、それぞれ加えられています。

V_{MAG} の応答はリニア振幅ですが、ゲインは V_{DBS} に対して dB リニアで変化します。したがって、これらの 2 つの機能の積である全体ゲイン量は、

$$GAIN = V_{GAIN} / 0.5 \text{ V} \times 0.3 \times 10^{\frac{V_{GAIN}}{0.6 \text{ V}}} \quad (7)$$

このような広いゲイン範囲が重要となる場合でも、キャリブレーションは正確で温度に対して安定です。

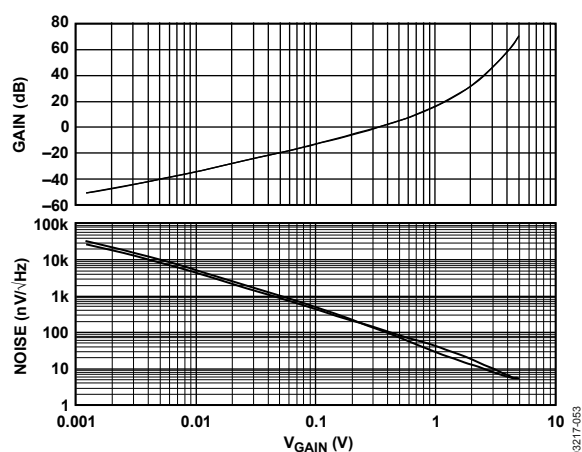


図 52. 120 dB 範囲でのゲイン・コントロール機能と入力換算ノイズ・スペクトル密度

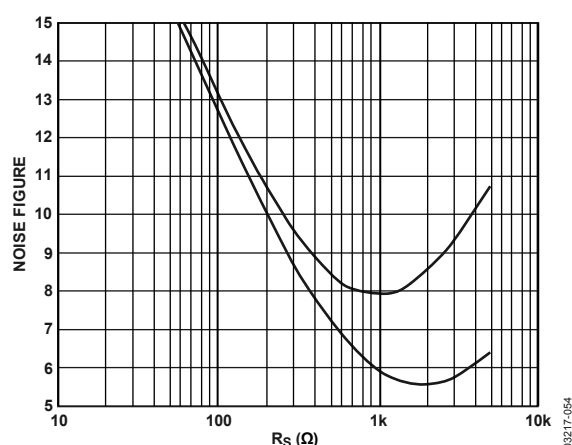


図 53. 50 Ω ~ 5 kΩ のソース抵抗に対するノイズ係数、 $f = 10$ MHz (下側)および 100 MHz (シミュレーション)

ノイズ、入力容量、ダイナミック・レンジ

可変ゲイン・アンプのデザインでは、ノイズ性能での妥協が避けられませんが、AD8330 の構造は、この犠牲が最小になるようになっています。簡略化した回路図(図 47)から、INHIピンとINLOピンの 2 本の 500 Ω 抵抗(合計ジョンソン・ノイズ成分は 4.08 nV/√Hz)により入力電圧が電流モード形式に変換されていることが分かります。フル・ゲインでの合計入力ノイズ(低インピーダンス・ソースから駆動)は、ループ・アンプの電圧と電流ノイズ成分を考慮して 5 nV/√Hz (typ)になっています。200 kHz のチャンネル帯域幅の場合、この値は 2.24 μV rms になります。フル・ゲインでのピーク入力とは±6.4 mV(正弦波信号では+4.5 mV rms)になります。これらの条件でのフル入力での信号対ノイズ比すなわちダイナミック・レンジは、 $20 \log_{10}(4.5 \text{ mV}/2.24 \text{ μV})$ すなわち 66 dB になります。 V_{MAG} の値は実質的に入力換算ノイズに影響を与えませんが、0.5 V と見なされます。

ミッドゲイン(25 dB、 $V_{\text{DBS}} = 0.75 \text{ V}$)より下では、出力セクションのノイズが支配的で、合計入力ノイズは 200 kHz 帯域幅で 11 nV/√Hz、すなわち 4.9 μV rms であり、ピーク入力は 78 mV rms です。したがって、ダイナミック・レンジは 84 dB に広がります。最小ゲインで、入力ノイズは 200 kHz 帯域幅で最大 120 nV/√Hz すなわち 53.7 mV rms になり、入力範囲は±2 V すなわち+1.414 V rms (正弦波)に、ダイナミック・レンジは 88.4 dB に、それぞれなります。その他のチャンネル帯域幅 Δf に対するダイナミック・レンジの計算では、これら説明で使った値から $10 \log_{10}(\Delta f/200 \text{ kHz})$ を減算してください。例えば、2 MHz 帯域幅でのシステム動作では、均一に 10 dB 低いダイナミック・レンジ値になります。20 kHz 帯域幅のオーディオ・アプリケーションで使用すると、10 dB 高くなります。

ノイズ係数は、入力でインピーダンスが整合していないアンプに対して紛らわしい係数になります。このようなアンプは、入力ポートで信号の電圧成分と電流成分すなわち信号電力を使用する場合にのみ発生する特別なケースです。インピーダンス(R_S)のソースを抵抗 R_S (整合と区別される条件)で終端すると、電流(AD8330 の場合)または電圧の一方の成分のみが使われます。そのため、アンプが完全でも、ノイズ係数は 3 dB より良くなりません。1 kΩ の内部終端抵抗でも、アンプにノイズがない場合、 $R_S = 1 \text{ kΩ}$ で最小ノイズ係数 3 dB が得られます。ただし、この場合は異なり、最小ノイズ係数は R_S の少し異なる値で発生します(例えば、図 53 と AD8330 の使い方のセクション参照)。

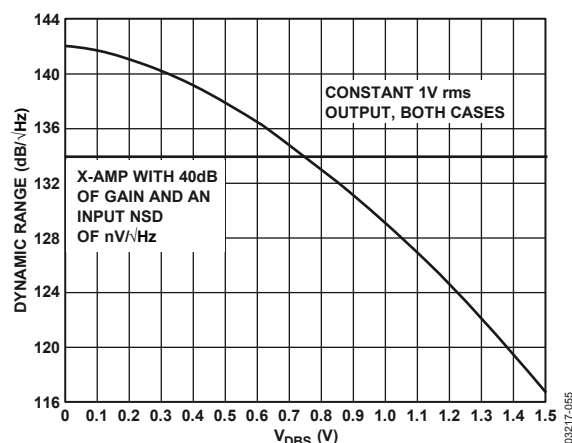


図 54. V_{DBS} ($V_{\text{MAG}} = 0.5 \text{ V}$ 、1 V rms 出力)対ダイナミック・レンジ (dB/Hz)
代表的な X-AMP (シミュレーション)と比較

ダイナミック・レンジ

出力換算ノイズ・スペクトル密度に対する、rms で表したピーク出力振幅の比は、dB/√Hz で表したダイナミック・レンジの大きさを表します。例えばアナログ・デバイゼスの X-AMP® ファミリーのようなクラスの変ゲイン・アンプの場合、ダイナミック・レンジは、ピーク出力振幅とノイズは共に一定であるため、ゲイン設定に無関係です。AD8330 では、これらの 2 つのパラメータ間に一定の関係が存在しなくなったため異なるダイナミック・レンジ・プロファイルを提供します。図 54 に、AD8330 と代表的な X-AMP とのダイナミック・レンジの比較を示します。

入力同相モード範囲と除去比

大部分のアプリケーションで規定のノイズ性能を実現するためには、入力の INHI ピンと INLO ピンは AC 結合する必要があります。一般に直接結合する場合、ノイズを小さくすることが不可欠の場合には特に、これらの入力での DC 電圧レベルの設定に注意する必要があります。この作業は、基本ゲイン電圧 V_{DBS} により同相モード・レベルが変化するため困難になります。図 55 に、電源電圧 = 5 V、温度 = -40°C 、 $+25^{\circ}\text{C}$ 、 $+85^{\circ}\text{C}$ でのこの関係を示します。図 56 に、 $V_{DBS} = 0.5\text{ V}$ 、 0.6 V 、 0.75 V 、 1.5 V での入力ノイズ・スペクトル密度 ($R_S = 0$) 対入力同相モード電圧を示します。この DC レベルからノイズが影響を受けない広い範囲が明らかに存在します。入力 CMRR は優れています(図 16 参照)。

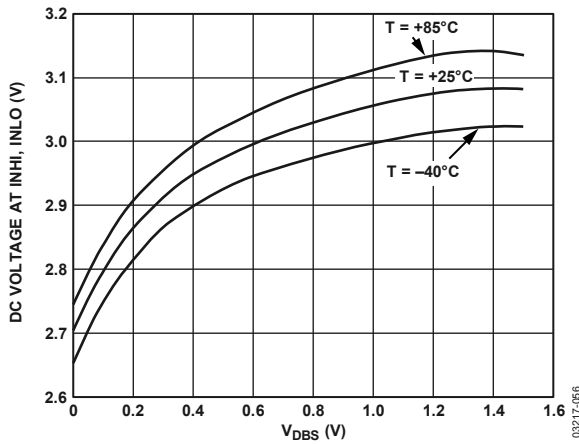


図 55. V_{DBS} 対入力ピンでの同相モード電圧
 $V_S = 5\text{ V}$ 、 $T = -40^{\circ}\text{C}$ 、 $+25^{\circ}\text{C}$ 、 $+85^{\circ}\text{C}$

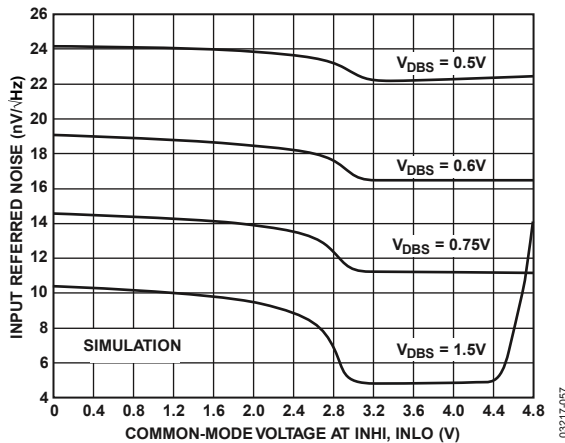


図 56. 同相モード入力電圧対入力ノイズ
 $V_{DBS} = 0.5\text{ V}$ 、 0.6 V 、 0.75 V 、 1.5 V

出力ノイズとピーク振幅

AD8330 の出力ノイズは入力ノイズと全体ゲインの積で、 V_{MAG} ピンに加えられる、電圧 V_{MAG} へのすべてのオプション変化を含みます。また、ピーク出力振幅もこの電圧に比例し、低いゲインと V_{MAG} の大きな値で、出力ノイズに影響を与えます。

$V_{DBS} = 0\text{ V}$ に対するスケージングは、

$$V_{OUT_PK} = \pm 4 V_{MAG} \quad (8)$$

$$V_{NOISE_OUT} = (85 + 70 V_{MAG}) \text{ nV}/\sqrt{\text{Hz}} \quad (9)$$

例えば、すべてのゲイン値を 6 dB だけ小さくする小さい値 $V_{MAG} = 0.25\text{ V}$ を使うと、ピーク出力振幅は $\pm 1\text{ V}$ (差動)に、出力ノイズ・スペクトル密度は $102.5\text{ nV}/\sqrt{\text{Hz}}$ に、それぞれなります。ピーク出力振幅はフル・ゲインで異なりませんが、ノイズは次のようになります。

$$V_{NOISE_OUT} = (0.1 + 0.32 V_{MAG}) \mu\text{V}/\sqrt{\text{Hz}} \quad (10)$$

ここで、 $R_S = 0$ 、 $V_{DBS} = 1.5\text{ V}$ 、入力ノイズ = $5\text{ nV}/\sqrt{\text{Hz}}$ とします。非常に小さい値の V_{MAG} (15 mV 以下)に対する出力ノイズは正確ではなく、このインターフェースに対応する小さい入力オフセットがゲインに大きな影響を与えることが一因です。

オフセットの補償

AD8330 は、デフォルト状態 (OFST ピンは未接続) で動作するオフセット補償機能を内蔵しています。このループは信号パスにハイパス・フィルタ機能を導入し、 -3 dB コーナー周波数は次式で与えられます。

$$f_{HPF} = \frac{1}{(2\pi R_{INT} C_{HP})} \quad (11)$$

ここで、 C_{HP} は OFST と CNTR に接続される外付け容量で、 R_{INT} は約 $480\ \Omega$ (最大偏差約 $\pm 20\%$) の内部抵抗です。

これは、次のように表されます。

$$f_{HPF} = \frac{330\ \mu}{C_{HP}} \quad (C_{HP} \text{ は } \mu\text{F}) \quad (12)$$

小さいコンデンサ値を使用したときのこのコーナーでの小さいピーキングは、直列抵抗の接続により解消させることができます。役立つ組み合わせは、 $C_{HP} = 3\text{ nF}$ 、 $R_{HP} = 180\ \Omega$ 、 $f = 100\text{ kHz}$ ； $C_{HP} = 33\text{ nF}$ 、 $R_{HP} = 10\ \Omega$ 、 $f = 10\text{ kHz}$ ； $C_{HP} = 0.33\ \mu\text{F}$ 、 $R_{HP} = 0\ \Omega$ 、 $f = 1\text{ kHz}$ ； $C_{HP} = 3.3\ \mu\text{F}$ 、 $R_{HP} = 0\ \Omega$ 、 $f = 100\text{ Hz}$ です。

オフセット補償機能は、OFST ピンをグラウンドに接続してディスエーブルすることができます。これにより DC 結合信号パスが提供され、AC 応答全体には影響を与えません。入力オフセットは、この動作モードでは外部でゼロにする必要があります(図 58 参照)。

ゲインに対する負荷の影響と AC 応答

差動出力インピーダンス (R_O) は $150\ \Omega$ で、出力ステージの周波数応答は各出力ピン (OPHI と OPLO) とグラウンドとの間の負荷容量とこれらのピン間に接続した負荷抵抗 (R_L) との組み合わせに対する動作に対して最適化されています。これらの容量がない場合、AC 応答の上端で小さいピーキングが発生します。適切な組み合わせは、 $R_L = \infty$ 、 $C_L = 12\text{ pF}$ ； $R_L = 150\ \Omega$ 、 $C_L = 25\text{ pF}$ ； $R_L = 75\ \Omega$ 、 $C_L = 40\text{ pF}$ ；または $R_L = 50\ \Omega$ 、 $C_L = 50\text{ pF}$ です。

ゲイン・キャリブレーションは、ADC の高入力抵抗などのようなオープン負荷に対して規定されています。抵抗負荷の場合、すべての公称ゲイン値は次のように小さくなります。

$$G_{LOADED} = \frac{G_{UNLOADED} R_L}{(150 \Omega + R_L)} \quad (13)$$

したがって、 $R_L = 150 \Omega$ のとき、ゲインは 6 dB だけ小さくなります。 $R_L = 75 \Omega$ の場合の減少量は 9.5 dB に、 $R_L = 50 \Omega$ の場合の減少量は 12 dB に、それぞれなります。

内蔵抵抗偏差によるゲイン誤差

外付け抵抗を使うすべてのケースでは、 R_O や入力抵抗(R_I)などのすべての内蔵抵抗が最大 $\pm 20\%$ の分散を持つことに注意してください。

入力負荷と出力負荷を持つゲインを計算する場合には、これらの分散を考慮する必要があります。ソース抵抗と負荷抵抗が次のように逆比例関係を持つように調整することにより、この影響をなくすることができます。

$R_S = \alpha R_I$ の場合は、 $R_L = R_O/\alpha$ とします。あるいは $R_L = \alpha R_O$ の場合は、 $R_S = R_I/\alpha$ とします。

最も簡単なケースは、 $R_S = 1 \text{ k}\Omega$ かつ $R_L = 150 \Omega$ の場合、ゲインは基本値より 12 dB 低くなります。負荷でのピーク振幅の低下は $V_{MAG} = 1 \text{ V}$ を使うことにより補正することができます。したがって、6 dB のゲインに戻すことができます。 $V_{MAG} = 2 \text{ V}$ を使うと、フル基本ゲインを回復することができ、ピーク有効出力振幅を倍にすることができます。

出力(入力)同相モード・コントロール

公称出力電圧は $2.7 \text{ V} < V_S < 6 \text{ V}$ の範囲で電源中心 $V_S/2$ に設定され、この電圧が CNTR ピンに現れます。このピンには通常、負荷が接続されません(ソース抵抗は約 $4 \text{ k}\Omega$)。ただし、状況によってはこの電圧に小さい変更が必要なことがあり、CNTR とグラウンドの間に抵抗を接続すると、この電圧を下げるすることができます。これに対して抵抗を電源に接続すると、電圧を上げることができます。一方、このピンを外部電圧ソースから駆動して、たとえば後段の ADC の要求を満たす同相モード・レベルを設定することができます。グラウンドより 0.5 V 高い電圧から電源より 0.5 V 低い電圧までの任意の値が可能です。もちろん、極限の同相モード・レベルを使うと、有効出力振幅が制限されるため、デフォルトの $V_{CNTR} = V_S/2$ に等しいか、近い値を使うことが推奨されます。加えられる電圧と出力ピンでの実際の同相モード・レベルとの間には数 mV のオフセットが存在することがあります。

INHI ピンと INLO ピンの入力同相モード電圧 V_{CMI} は出力に現れますが、次のシフト値が加わります。

$$V_{CMI} = 0.757 V_{CNTR} + 1.12 \text{ V} \quad (14)$$

ここで、 $V_{DBS} = 0.75$ かつ $T = 25^\circ\text{C}$ です。したがって、 V_{CMI} のデフォルト値は、 $V_S = 5 \text{ V}$ の場合 3.01 V になります(図 55 参照)。

AD8330 の使い方

このセクションでは、AD8330 の使い方について幾つかの一般的な事項を説明します。AD8330 を様々な状況で使う場合、注意すべき事項は多くありません。

すべての高周波回路と同様に、各機能に対応するグラウンド・ノードに注意することは重要です。3 本の正電源ピンが設けてあります。VPSI は比較的高い感度で動作する入力回路をサポートし、VPOS は一般的なバイアス・ソースをサポートするためデカップリングが不要です。VPSO は出力ステージをバイアスし、グリッチのない出力を維持するためにはデカップリングが有効なことがあります。図 57 に、VPSI と VPSO にそれぞれのデカップリング回路が付いた一般的なケースを示しますが、これはすべてのケースに必要なわけではありません。

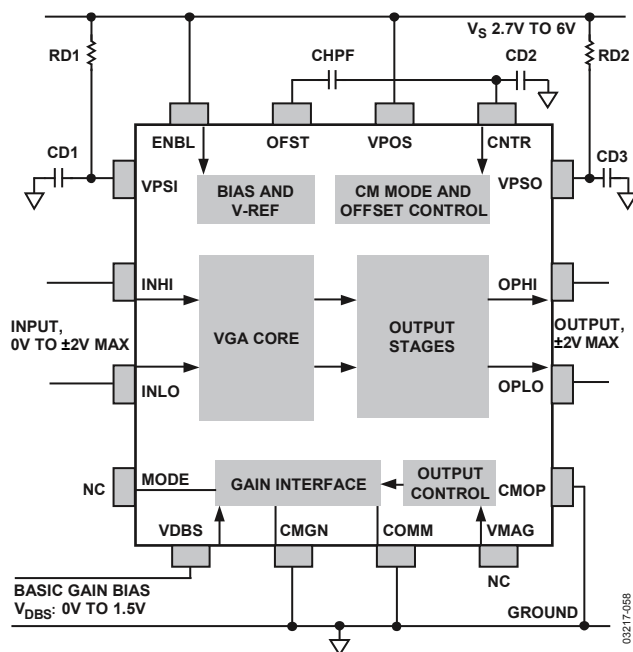


図 57. 電源デカップリングと基本接続

信号パスの差動の性質により、一般に電源デカップリングはシングルエンド・アンプよりクリティカルではありませんが、ボード・レベルの部品数を少なくすることが特に重要な場合には、これらのピンにデカップリングを行わないことも可能です。これに対して、信号ソースがシングルエンドの場合は、VPSI ピンでのデカップリングに注意が必要となる場合があります。同様に、2 本の出力ピンの内の一方向にのみ負荷が接続される場合には、VPSO ピンのデカップリングに注意が必要です。全体コモン(COMM)と出力ステージ・コモン(CMOP)は通常、図 57 に示すようにグラウンドに接続されますが、アプリケーションのセクションに、負の電源をオプションで使用方法を示します。

ENBL ピンをロジック・ハイ(すべてのケースで電源に接続)すると、AD8330 がイネーブルされます。アップゲイン・モードは、MODE ピンを未接続のままにするか、ロジック・ハイにすることによりイネーブルされます。逆ゲイン方向が必要な場合は、MODE ピンをグラウンドに接続するか、またはロジック・ローに駆動します。オフセット・ループのローパス・コーナーはコンデンサ CHPF によって決定されます。これを CNTR ピンに接続して、次にグラウンドへデカップリングすることが望まれます。ゲイン・インターフェースのコモン・ピン(CMGN)はグラウンドに接続し、出力振幅コントロール・ピン(VMAG)は未接続のままにします。あるいは、オプションとして基本ゲインのキャリブレーションのために 500 mV ソースに接続します。

使用可能なオプションが多数あるため、図 57 には入力ピンと出力ピンに対する接続を示してありません。AD8330 を使ってADCを駆動するときは、OPHIピンとOPLOピンをAD9214 のような適切なコンバータの差動入力に直接接続します。この同相モード・レベルに調整が必要な場合には、CNTRピンに電圧を加えるか、あるいは単にこのピンといずれかのグラウンドまたは電源との間に抵抗を接続することにより実現することができます(アプリケーションのセクション参照)。CNTRピンからこのような機能をサポートしているADCに対して同相モード電圧を供給することもできます。

駆動される負荷によりグラウンドに対する DC 抵抗パスが生ずる場合は、結合コンデンサを使う必要があります。これらのコンデンサは、大きな減衰なしに信号の低周波成分を通過させるために十分な値である必要があります。このような負荷での電圧振幅はグラウンドの上下で変化するため、後段の部品は負への信号変化に対応できるものである必要があることに注意する必要があります。

負荷時のゲインと振幅の調整

インピーダンス変換により大きな負荷電力を実現するために、トランスを介して出力を負荷に接続することもできます。例えば、巻数比 2:1 を使うと、50 Ω の最終負荷が出力の 200 Ω 負荷に現れます。ゲイン損失 (無終端での基本値が基準) は $20 \log_{10}\{(200+150)/200\}$ すなわち 4.86 dB になります。これは、VMAG ピンの電圧を $10^{4.86/20}$ すなわち 1.75 倍に上げることで、基本値の 0.5 V から 0.875 V へ戻すことができます。これにより、200 Ω レベルでのピーク振幅も 50 Ω 最終負荷での ± 2 V または ± 1 V に戻すことができます。

安定した電源電圧が使用可能な場合は、VMAG ピンと電源との間に抵抗を接続することにより、電圧振幅を増やすことができます。計算は、内部バイアスが 5 kΩ ソースを介して供給されることに基いています。0.375 V の追加が必要なため、この外付け抵抗の電流は $0.375 \text{ V} / 5 \text{ k}\Omega = 75 \mu\text{A}$ である必要があります。したがって、5 V 電源を使用する場合、 $5 \text{ V} - 0.875 \text{ V} / 75 \mu\text{A} = 55 \text{ k}\Omega$ の抵抗が使用されます。この例に基づく、その他の負荷条件に対する補正は計算し易くなります。電源変動によるゲインとピーク出力振幅に対する影響が許容できない場合は、VMAG を正確な電圧で駆動する必要があります。

入力結合

入力ピンでのDC同相モード電圧は、電源、基本ゲイン・バイアス、温度により変わります(図 55 参照)。このため、多くのアプリケーションで、ソースと結合するコンデンサが必要で、コンデンサ値は伝送される低周波を通過させるために十分大きい必要があります。各入力ピンに 1 個のコンデンサを使う場合、最小値は次式から簡単に求めることができます。

$$C_{IN_CPL} = \frac{320 \mu\text{F}}{f_{HPF}} \quad (15)$$

ここで、 f_{HPF} は -3dB 周波数(Hz)。したがって、 $f_{HPF} = 10 \text{ kHz}$ の場合、33 nF のコンデンサを使用します。

駆動ソースのDCレベルがある範囲内にある場合(図 56)、結合コンデンサを使用しないで済むことがあります。5 V 電源を使用し、さらに不正なDCレベルの影響により入力ステージの内部的な面からノイズ・レベルが低下する高い基本ゲインでは、この範囲は 3.5 V ~ 4.5 V になります。例えば、ドライバICがLNAであり、その出力回路で負荷抵抗が電源に接続され、さらに出力がエミッタ・フォロワでバッファされている場合、これをAD8330 のソースとすることができ、容易に直接結合することができます。

DC結合信号パス

VGA が最小ノイズを提供する必要がある多くのケースでは、ゼロから V_S までのフル同相モード入力範囲を問題なく使うことができるため、AC 結合の必要はありませんが、入力と出力でのこのような直接結合により、自動的なフル DC 信号パスが得られる訳ではありません。内部オフセット補償ループも、OFST ピンをグラウンドへ接続することにより、ディスエーブルする必要があります。50 dB ($\times 316$) の最大基本ゲインで、ソースは何であろうと入力で 1 mV のオフセットが発生すると、出力オフセットは 316 mV になり、ピーク出力振幅の検知可能なレベルになることに注意してください。

オフセット補正ループがAD8330 のフロントエンド可変ゲイン・セクションの後に配置されているため、このようなオフセットを処理する最も効果的な方法は、入力ピンにあります(図 58 参照)。説明のために、例えばあるアプリケーションで各ソース側に接続された抵抗が 50 Ω とします。このソースが非常に小さい出力インピーダンスを持つ場合(オペアンプ)、ノイズの増加と 0.83 dB の減衰を無視して、追加抵抗を接続する必要があります。図示する抵抗値は約 $\pm 2 \text{ mV}$ の調整範囲を提供します。

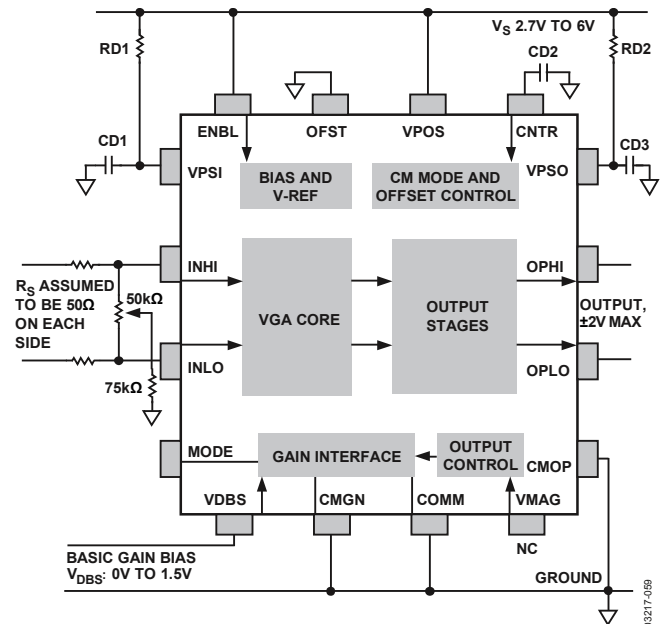
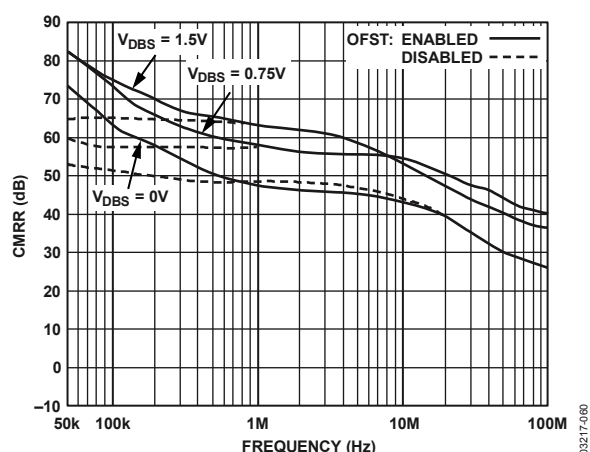


図 58. DC 結合システムでの入力オフセットの除去

図 59.様々な V_{DBS} の値に対する入力 CMRR の周波数特性

シングルエンド・ソースと負荷の使用

ソースがシングルエンド出力の場合、入力に INHI または INLO を使うことができ、INLO を使うと、極性を変えることができます。未使用ピンはコンデンサを経由してグラウンドに接続するか、またはアクティブ信号ピンの DC レベルに密接に対応する DC バイアス・ポイントに接続する必要があります。フル周波数範囲での CMRR 入力を図 59 に示します。場合によっては、SAW フィルタ(シングルエンド平衡構成)または磁束結合トランスのような追加エレメントを挿入することもできます。このエレメントを $1\text{ k}\Omega$ 以外の正しいインピーダンスで終端する必要がある場合には、このインターフェースにシャント抵抗または直列抵抗を接続する必要があります。

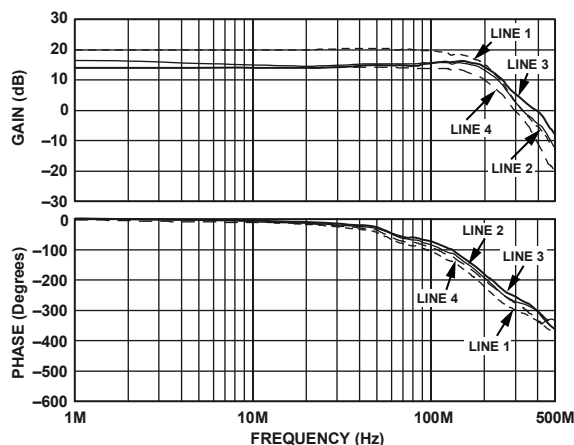


図 60.様々な負荷条件での AC ゲインと位相

シングルエンド負荷を駆動する際は、OPHI または OPLO を使うことができます。これらの出力は対称で、極性を選択するときだけに区別が必要です。ただし、注目の周波数範囲が AD8330 の上限まで広がる場合は、同じ値のダミー抵抗を未使用出力に接続する必要があります。図 60 に、 $V_{DBS} = 0.75\text{ V}$ に対して、種々の負荷での AC ゲイン応答と位相応答を示します。Line 1 は、リファレンスの無負荷($C_L = 12\text{ pF}$)ケース; ゲインは、シングルエンド出力のみを使用するため 6 dB 低下しています(20 dB)。OPHI と AC グラウンドの間に $75\text{ }\Omega$ 負荷を接続すると、Line 2 が得られます。ゲインは $1/1.5$ 倍すなわち 3.54 dB 低くなりますが、出力同相モード制御ループの影響が振幅と位相の応答に見られます。

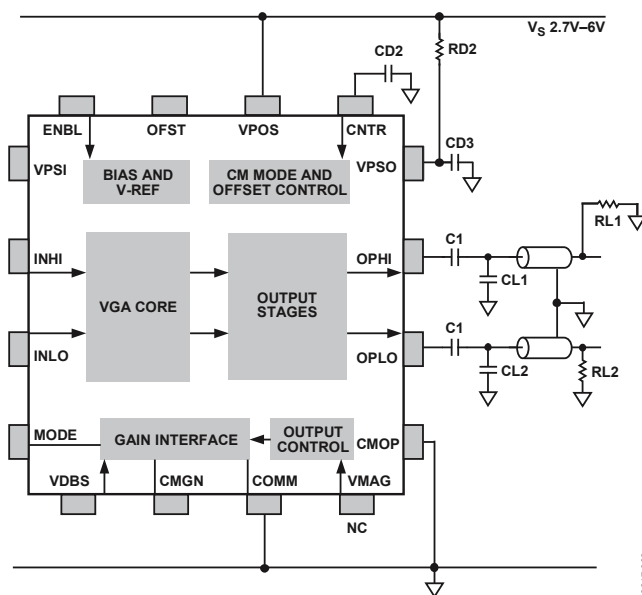
ダミーの $75\text{ }\Omega$ を OPLO に接続すると、Line 3 が得られ、ゲインはさらに 2.5 dB 低くなり、約 14 dB になります。CM の影響はなくなりますが、小さいピーキングが発生します。望ましくない場合には、図 60 の Line 4 に示すように、両出力ピンのコンデンサを 25 pF に増やしてピーキングをなくすることができます。

一方の出力のみの使用と負荷の追加効果により発生するゲイン低下は、VMAG 機能を利用して解決することができます。この VMAG 機能は主にこのような目的のために設けてあります。したがって、最初のケース(Line 1)で基本ゲインを元に戻すときは、 1 V ソースをこのピンに接続する必要があります。2 つ目のケースでゲインを元に戻すときは、この電圧を 1.5 倍して 1.5 V に上げる必要があります。ケース 3 とケース 4 では、さらに 1.33 倍して 2.5 dB の損失にする必要があります。すなわち、 V_{MAG} を 2 V に上げる必要があります。ゲインを戻すと、負荷でのピーク出力振幅も元に戻されて $\pm 2\text{ V}$ になります。

パルス動作

過渡応答が重要で、かつ同軸ケーブルを経由して出力が負荷に接続されるアプリケーションで AD8330 を使う場合には、接続する容量値は少し異なり、ケーブルの送信端または負荷端に配置するか、またはこれらのノード間で分割して配置することができます。図 61 に、2 本の 1 m 、 $75\text{ }\Omega$ ケーブルを DC 阻止コンデンサから駆動し、それぞれ独立にグラウンド・レベルへ終端する例を示します。

アプリケーション毎に大きな違いがあるため、パルス・オーバーシュートとドループを抑える方法については一般的な推奨事項しか示すことができません。前者は必要に応じて小さい負荷容量を追加することにより最適化することができます。後者では十分大きなコンデンサ($C1$)の使用が必要です。



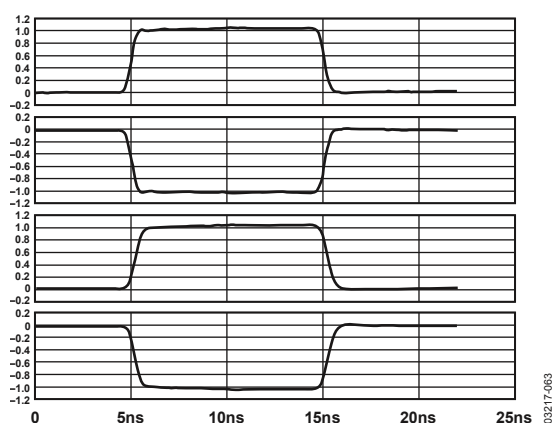


図 62. 図 61 の代表的なパルス応答

図 62 に、 $V_{DBS} = 0.24 \text{ V}$ 、方形波入力振幅 = 450 mV (実際の組み合わせは重要ではありません)、立ち上がり時間 = 2 ns 、 $V_{MAG} = 2.0 \text{ V}$ の代表的な結果を示します。上側の波形で、両負荷コンデンサはゼロ、小さいオーバーシュートがあります。40 pF では、応答はきれいです。OPHI と OPLO の間に接続する 20 pF のシャント容量も同様の効果を与えます。この例での結合コンデンサは十分大きいいため、このタイム・スケールでドループは見えません。負荷側での出力は、デューティ・サイクルに応じて負と正へ変化するため、実質的に平均値ゼロと見なしています。

V_{MAG} ピンからこれら出力までの帯域幅は、通常の入力ピンよりある程度広がっています。このため、このピンを使ってプライマリ信号を急速に変調するときは、最適化した応答を使ってさらに調査する必要があります。一般に、AD8330 は広い範囲の負荷条件に対応する能力が非常に高くなっています。

絶対ゲインの維持

AD8330 ではレーザ・トリムを行っていませんが、主に比に基づく絶対ゲイン・キャリブレーションは非常に優れています。詳しい説明は仕様のセクションに、代表的性能カーブは代表的な性能特性のセクションに、それぞれ示します。それでも、有限の入力インピーダンスと出力インピーダンスを持つため、ゲインは必然的にソースと負荷条件に依存します。これらのいずれかが有限の場合に生ずる損失から絶対ゲインに誤差が発生します。また、絶対ゲインは、入力インピーダンスと出力インピーダンスの絶対値の約 $\pm 20\%$ 偏差による不確実性も持っています。

このような損失と不確実性は、ゲイン・コントロール・バイアスに対する補正により対処することができる場合があります。一方、損失の誤差はソース・インピーダンス (R_S) または負荷インピーダンス (R_L)、または両方 (直列またはシャント部品を追加することもあります) に適切な変更を行うことにより、実質的にゼロにすることができます。

この補正技術については既に説明しました。ただし、その使い方を簡素化するため、表 5 に、内蔵抵抗のサンプル・サンプル間変動に依存しない全体損失を得る R_S と R_L の組み合わせを示します。さらに、この固定の予測可能な損失は、表 5 に示すように、 V_{MAG} の調整により補正することができます。

表 5. 絶対ゲインの維持

$R_S (\Omega)$	$R_L (\Omega)$	Uncorrected Loss		V_{MAG} Required to Correct Loss
		Factor	dB	
10	15 k	0.980	0.17	0.510
15	10 k	0.971	0.26	0.515
20	7.5 k	0.961	0.34	0.520
30	5.0 k	0.943	0.51	0.530
50	3.0 k	0.907	0.85	0.551
75	2.0 k	0.865	1.26	0.578
100	1.5 k	0.826	1.66	0.605
150	1.0 k	0.756	2.43	0.661
200	750	0.694	3.17	0.720
300	500	0.592	4.56	0.845
500	300	0.444	7.04	1.125
750	200	0.327	9.72	1.531
1 k	150	0.250	12.0	2.000
1.5 k	100	0.160	15.9	3.125
2 k	75	0.111	19.1	4.500

ノイズ係数の計算

AD8330 のノイズは、固有な電圧ノイズ・スペクトル密度 (E_{NSD}) と電流ノイズ・スペクトル密度 (I_{NSD}) からなります。この組み合わせ効果により、ネット入力ノイズ V_{NOISE_IN} が発生し、これはデバイス (R_I) の公称 1 k Ω 入力抵抗と差動ソース抵抗 (R_S) の次のような関数になります。

$$V_{NOISE_IN} = \sqrt{\{E_{NSD}^2 + I_{NSD}^2 (R_I + R_S)^2\}} \quad (16)$$

単純化のために、純抵抗のソース・インピーダンスと入力インピーダンスを仮定していることに注意してください。ソースがリアクタン性であるケースに対するノイズ・メカニズムの詳しい扱いについては、これらブリーフ・ノートの範囲を超えます。また、 V_{NOISE_IN} は INHI と INLO (差動入力ピン) の間に現れる電圧ノイズ・スペクトル密度であることに注意してください。ノイズ係数計算の準備のため、 V_{SIG} はソースのオープン電圧として、 V_{IN} は AD8330 への差動入力として、それぞれ定義します。関係は次のようになります。

$$V_{IN} = \frac{V_{SIG} R_I}{(R_I + R_S)} \quad (17)$$

最大ゲインで、 $E_{NSD} = 4.1 \text{ nV}/\sqrt{\text{Hz}}$ 、 $I_{NSD} = 3 \text{ pA}/\sqrt{\text{Hz}}$ になります。したがって、短絡電圧ノイズは、

$$V_{NOISE_IN} = \sqrt{\left\{ \left(4.1 \text{ nV}/\sqrt{\text{Hz}} \right)^2 + \left(3 \text{ pA}/\sqrt{\text{Hz}} \right)^2 (1 \text{ k}\Omega + 0)^2 \right\}} =$$

$$5.08 \text{ nV}/\sqrt{\text{Hz}} \quad (18)$$

次に、 $R_S = R_I = 1 \text{ k}\Omega$ のときのネット・ノイズを調べます。この場合はソース・インピーダンスの終端に該当しますが、整合状態と混同されることがあります。

手順を繰り返します。

$$V_{\text{NOISE_IN}} = \sqrt{(4.1 \text{ nV}/\sqrt{\text{Hz}})^2 + (3 \text{ pA}/\sqrt{\text{Hz}})^2 (1 \text{ k}\Omega + 1 \text{ k}\Omega)^2} = 7.3 \text{ nV}/\sqrt{\text{Hz}} \quad (19)$$

ノイズ係数はノイズ係数 N_{FAC} のデシベル値で表され、一般に次のように定義されます。

$$N_{\text{FAC}} = \frac{\text{SNR at input}}{\text{SNR at output}} \quad (20)$$

ただし、この式は次式と等価です。

$$N_{\text{FAC}} = \frac{\text{SNR at the source}}{\text{SNR at the input pins}} \quad (21)$$

V_{NSD} をソース抵抗から発生する電圧ノイズ・スペクトル密度 $\sqrt{k\text{TR}S}$ とします。式 17 から次式が得られます。

$$N_{\text{FAC}} = \frac{V_{\text{SIG}} \{R_I / (R_I + R_S)\} / V_{\text{NSD}}}{V_{\text{IN}} / \{V_{\text{NOISE_IN}} R_S / (R_I + R_S)\}} = \frac{R_I V_{\text{NOISE_IN}}}{R_S V_{\text{NSD}}} \quad (22)$$

次に、式 19 の結果を $1 \text{ k}\Omega$ のソース抵抗(ノイズ・スペクトル密度 $4.08 \text{ nV}/\sqrt{\text{Hz}}$)に使うと、次式が得られます。

$$N_{\text{FAC}} = \frac{(1 \text{ k}\Omega)(7.3 \text{ nV}/\sqrt{\text{Hz}})}{(1 \text{ k}\Omega)(4.08 \text{ nV}/\sqrt{\text{Hz}})} = 1.79 \quad (23)$$

最後に、次式を使ってこれをデシベルに変換します。

$$N_{\text{FIG}} = 10 \log_{10}(N_{\text{FAC}}) \quad (24)$$

したがって、この例で得られるノイズ係数は 5.06 dB になります。これはこの動作条件に対して 図 53 に示す値よりある程度小さくなっています。

V_{DBS} の関数としてのノイズ

V_{DBS} を使用して基本ゲインを下げることによって得られる主な結論は、電流ノイズ・スペクトル密度 I_{NSD} が、次式のように基本ゲイン振幅 G_{BN} の平方根に比例して増加することです。

$$I_{\text{NSD}} = (3 \text{ pA}/\sqrt{\text{Hz}})(\sqrt{G_{\text{BN}}}) \quad (25)$$

したがって、最小基本ゲイン = 0 で、 I_{NSD} は $53.3 \text{ pA}/\sqrt{\text{Hz}}$ に増えます。ただし、式 16~式 24 の手順を使って再計算すると、ノイズ係数は 17.2 dB に増えます。

歪みについての考慮事項

連続可変ゲイン・アンプでは非線形回路エレメントの使用を避けることができないため、良くデザインされた固定ゲイン・アンプに比べて歪みが大きいことが一般的です。AD8330 で採用しているトランスリニア乗算原理では、理論的には、これらの回路に固有な基本的直線化技術により歪みは極めて小さくなります。

ただし、実際には、デバイスの不一致、コア・セル内のジャンクション抵抗、サポート回路内のその他のメカニズムの影響により歪みの発生は避けられず、さらに後段出力ステージのその他の影響により歪みが増えます。これらの影響の幾つかはサンプル間で一定ですが、不一致の影響はよく変動します(主に偶数次歪み成分を発生)。最高の直線性(さらに最小ノイズ)が必要な場合は、[AD603](#) (シングル・チャンネル)、[AD604](#) (デュアル・チャンネル)、または [AD8332](#) (超低ノイズLNA付きの広帯域デュアル・チャンネル)のようなX-AMP製品の使用を検討してください。

P1dBとV1dB

中程度の出力レベルで AD8330 コア内で生ずる非線形性の他に、大きな電力を負荷に供給する RF 部品に対して広く使用されているもう 1 つの基準は 1 dB 圧縮ポイントです。これは非常に特別な方法で定義されます。すなわち、出力レベルを上げたとき、負荷に供給される電力が実質的に線形システムである場合に供給されるはずの値より 1 dB 低い値になるポイントとして定義されます(この基準は 1 dB ゲイン圧縮ポイントと呼ばれることがあります、ゲイン増分が 1 dB になってしまう出力レベルでないことに注意することが重要です)。

図 49 に示すように、AD8330 出力は急激に制限され、ゲインはクリッピング・レベルの上で急激に低下します。一方、外付け抵抗負荷 R_L を使った出力電力は増加し続けます。最も極端なケースでは、波形がクリッピング・レベル V_{CLIP} より少し小さい振幅を持つテスト信号の正弦波から正確に同じ振幅を持つ方形波に変形します。この範囲での電力の変化は、 $(V_{\text{CLIP}}/\sqrt{2})^2/R_L$ から $(V_{\text{CLIP}})^2/R_L$ への変化になり、電力で 2 dB または 3 dB の変化になります。理想制限アンプの場合には、 1 dB 圧縮ポイントは 2 dB の過駆動で発生することが分かります。

例えば、AD8330 が 150Ω 負荷を駆動し、かつ $V_{\text{MAG}} = 2 \text{ V}$ の場合、公称ピーク出力は $\pm 4 \text{ V}$ (前述のように、負荷がある場合の実際の値は、内蔵抵抗と外付け抵抗との間の不一致により異なることがあります)に、すなわち正弦波出力では 2.83 V rms になります(電力 53.3 mW に対応し、 150Ω で 17.3 dBm)。したがって、クリッピングより 2 dB 上の P1dB レベルは 19.3 dBm になります。

電力伝送に関係なくとも、正弦波のクリッピングより 2 dB 上の出力電圧(無負荷または有負荷)である V1dB を規定することが有効な場合があります。上の例では、この電圧は 2.83 V rms であり、 9.04 dBV と表すことができます(0 dBV は 1 V 正弦波に対応)。したがって、V1dB は 11.04 dBV となります。

アプリケーション情報

AD8330 は多機能性、広い範囲のゲインに対して一定の AC 応答、広い信号ダイナミック・レンジ、出力振幅、単電源動作、低消費電力を持っているため、この VGA を様々なアプリケーションで使用する事が推奨されます。ここでは、最も基本な用途とある程度特殊な用途を含む 2、3 の例のみを示します。

ADCの駆動

AD8330 は、高速コンバータの駆動に適しています。多くの高速コンバータがありますが、一般的な機能を説明するため、このデータシートの例では安価な AD9214 を使います。これには、65 MHz、80 MHz、105 MHz の 3 種類の動作グレードがあります。AD9214BRS-80 はこの VGA の全体機能に良く適合します。

図 63 に、ADC駆動の接続を示します。3.3 Vの電源を両デバイスに使用しています。このADCでは、入力ピンを電源電圧の 1/3 すなわち 1.1 Vに設定することが必要です。VGAのデフォルト出力レベルを電源電圧の 1/2 すなわち 1.65 Vに設定すると、CNTRとグラウンドとの間の 8 k Ω 抵抗により、小さい変化が発生します。ADC仕様では、同相モード入力を公称 1.1 Vの ± 0.2 V以内にすることが要求されています。AD8330 の内蔵抵抗の最大 $\pm 20\%$ の変動により、この電圧は ± 70 mVだけ変化します。図 63 に示す接続では、AD9214 は 2 V p-pを入力することができます。VMAGとグラウンドとの間に抵抗を追加すると、AD8330 のピーク出力を小さくすることができます。

範囲外状態は、[AD9214](#) のORピンのハイ・レベルにより通知されます。この例では、DFS/GAINは未接続で、オフセット・バイナリ出力になっています。2 の補数を出力するときは、REFピンに接続する必要があります。

ADC が AD8330 の帯域幅を大幅に下回るサンプリング・レートで動作する場合は、干渉ノイズ・フィルタを使用してノイズ帯域幅を制限することが推奨されます。1 極フィルタは、OPHI 出力と OPLO 出力の間に 1 個の差動コンデンサを接続することにより容易に実現できます。コーナ一周波数 f_c に対して、コンデンサ値は次式で与えられます。

$$C_{FILT} = 1/942 f_c \quad (26)$$

例えば、10 MHz のコーナーには約 100 pF が必要です。

簡単なAGCアンプ

図 64 に、低価格な AGC ループをサポートする反転ゲイン・モードとオフセット・ゲイン範囲 ($0.2\text{ V} < V_{\text{DBS}} < 1.7\text{ V}$) の使用を示します。Q1 は検出器として使っています。信号振幅のために OPHI が CNTR より十分高い場合、OPHI が導通して C1 を充電します。これにより V_{DBS} が上昇して、ゲインが急速に低下します。MODE ピンがグラウンドに接続されていることに注意してください (図 48 参照)。CMGN は DC 的にオープン (これにより V_{MAG} は変わりません) であり、最大電圧が 1.7 V であるため、フル・ゲインの設定のために R1 の両端に必要な最小電圧は 0.2 V になります。

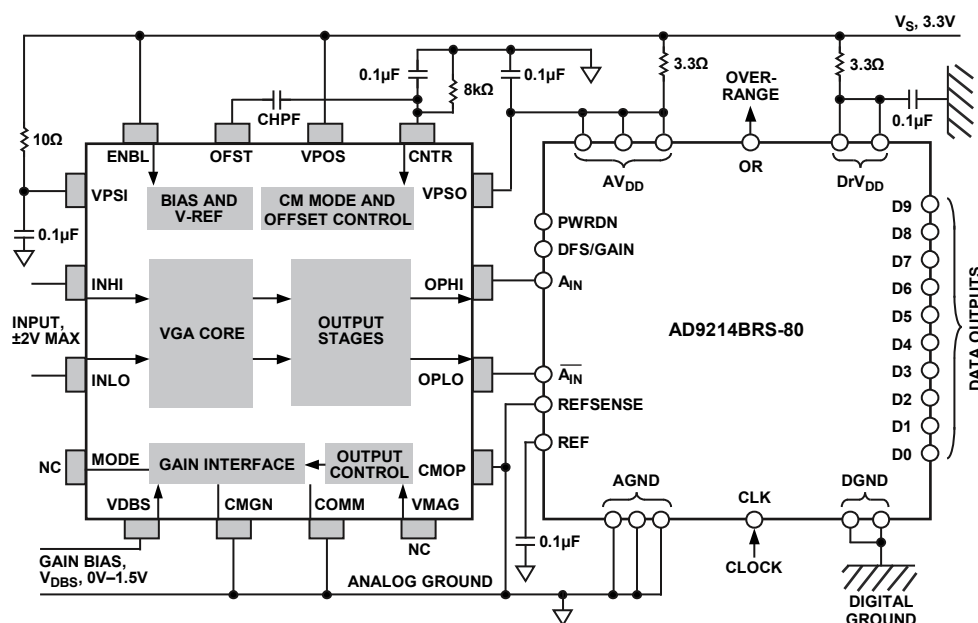


図 63.A/D コンバータの駆動(暫定版)

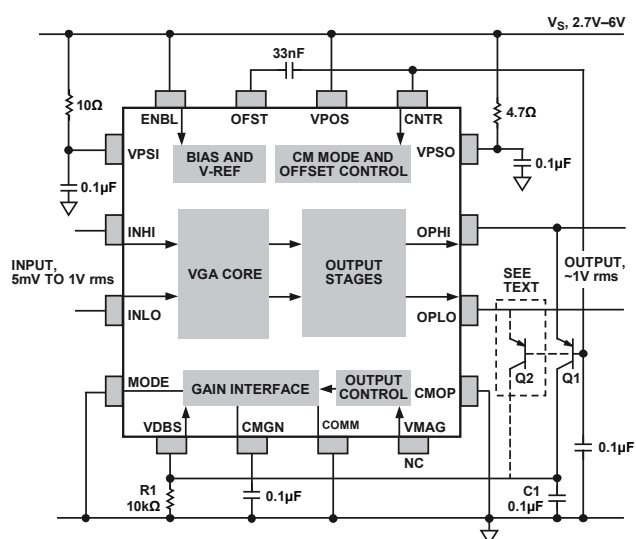


図 64. 簡単な AGC アンプ(暫定版)

ループが安定すると、Q1 の平均電流が $V_{DBS}/R1$ になります。この電流は、最大ゲイン($V_{DBS} = 0.2 \text{ V}$)の $2 \mu\text{A}$ から最小ゲイン($V_{DBS} = 1.7 \text{ V}$)の $17 \mu\text{A}$ まで変化します。Q1 電流のこの変化により、ミッド・レンジ(3.08 V p-p)での公称 0.75 dBV の差動出力が、フル・ゲイン範囲に対して約 0.25 dB 増えます。これは 200:1 の圧縮比に対応します。代表的な 100 kHz 入力に対するプロットを図 65 に示します。

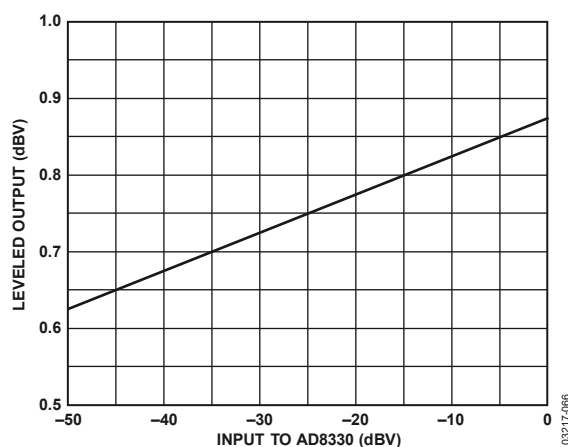


図 65. 入力振幅対 AGC 出力(シミュレーション)

図 66 の上側のパネルに、3 dB ステップ×14 の入力振幅(5.4 mV から 1.7 V まで)に対する時間領域出力を示します。図 65 に AGC 電圧(V_{DBS})の波形を示します。

この簡単な検出器は、差動出力振幅で約 $4 \text{ mV}/^\circ\text{C}$ の温度変動を示します。この検出器は高速なアタック・タイム(入力が上昇すると、Q1 のピーク電流が大きいため迅速に公称出力に到達します)と低速なリリース・タイム(入力が下降すると、迅速に戻ります)を提供します。 V_{DBS} ピンの電圧を 30 mV/dB スケールの RSSI 出力として使うことができます。アタック・タイムは、図 64 に示す 2 つ目のトランジスタ(Q2)を追加することにより、1/2 にすることができることに注意してください。低周波での動作では、AGC ホールド・コンデンサを大きくする必要があります。

広いレンジの真のRMS電圧計

AD8362 は rms に応答する検出器で、低周波から 2.7 GHz までの範囲で 60 dB のダイナミック・レンジを提供します。ノイズ帯域幅をステージ間ローパスまたはバンドパス・フィルタにより制限した場合、AD8330 をリコンデショナとして使うことにより、これを 110 dB にまで拡張することができます。

また、VGA は AD8362 の 200Ω 入力より容易に駆動できる入力ポートも提供します。図 67 に一般的な方式を示します。

AD8330 と AD8362 は、リニア・デシベル表示のコントロール・インターフェースを提供します。このため、AD8362 出力を使って AD8330 のゲインを制御するときは、機能は影響を受けません。全体スケールは 33 mV/dB です。図 68 に、 $10 \mu\text{V}$ ~ 1 V rms の入力範囲すなわち 100 dB 計測範囲に対して、 10 nF のループ・フィルタ・コンデンサを使った時間領域応答を示します。

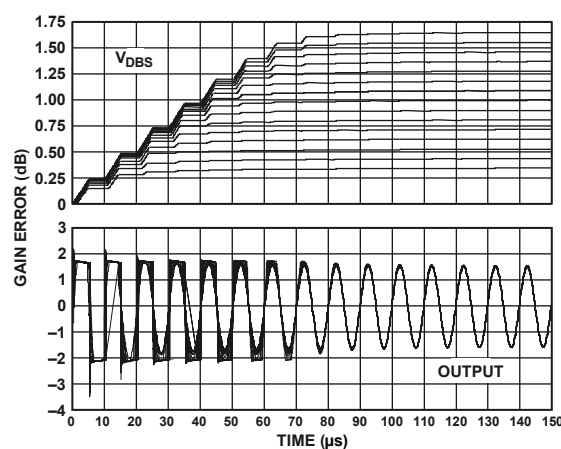


図 66. 時間領域波形(シミュレーション)

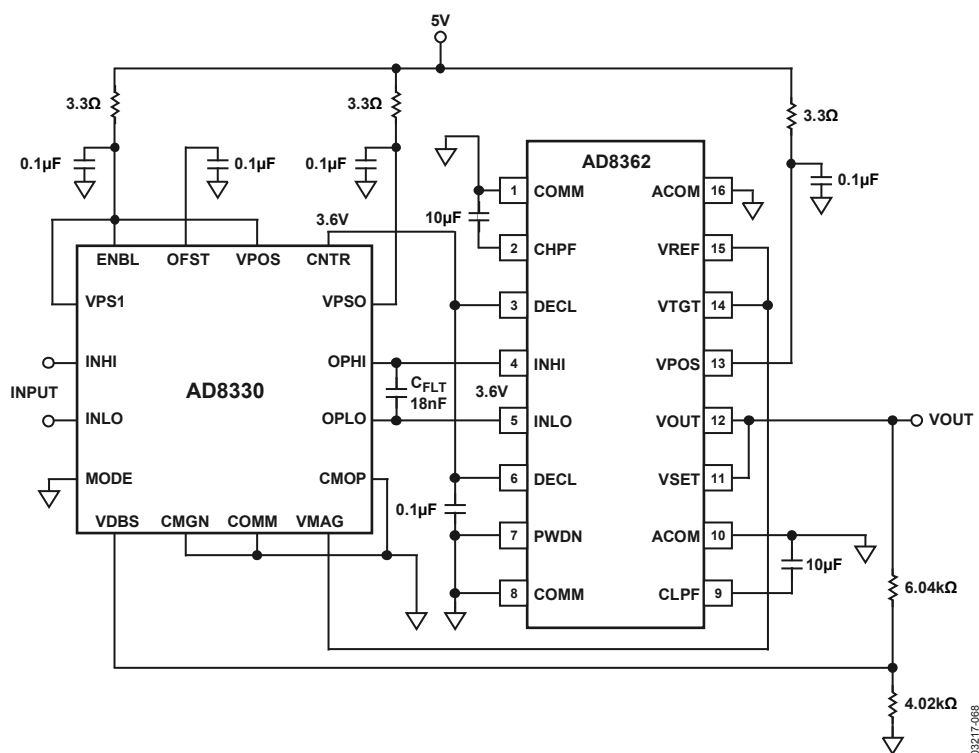


図 67. 広いレンジの真の RMS 電圧計(暫定版)

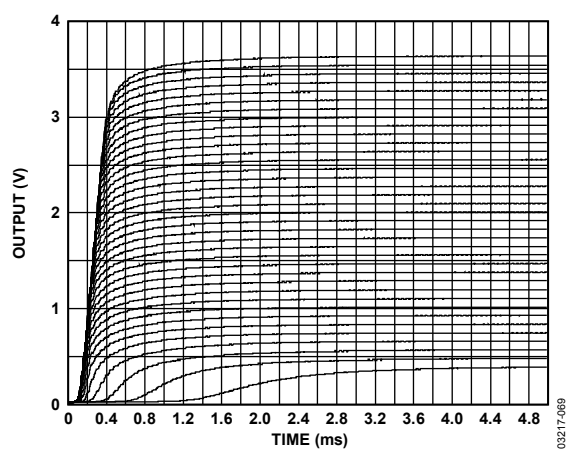


図 68. RMS 電圧計の時間領域応答(シミュレーション)

評価ボード

概要

AD8330-EVALZは、AD8330 可変ゲイン・アンプ(VGA)の実践的な評価を可能にする使い易いツールです。すべての機能的なデバイス入力を接続するためのテスト・ピンが設けてあります。図 69 にボードのフル・サイズ写真を示します。

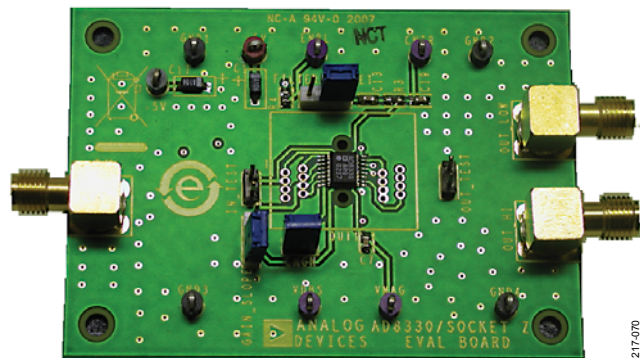


図 69. AD8330 評価ボードの写真

基本動作

入力SMAコネクタINは $49.9\ \Omega$ の抵抗で終端されています(図 70 参照)。便利のために、ボードにはシングルエンド信号ソースをAD8330 の差動入力に変換する AD8131 高速差動アンプが内蔵されています。必要に応じてAD8131 を削除して、AD8330 の一方の入力をシングルエンド・ソースから駆動することができます。

AD8330 出力は、SMA コネクタ OUT_HI と OUT_LO、またはデバイスの隣りにある 2 ピン・ヘッダーOUT_HI/ OUT_LO を使って観測します。

AD8330 には+5 V 電源だけが必要ですが、AD8131 パッファのバイポーラ電源条件があるため、ボード電源としては $\pm 5\text{ V}$ 電源が必要です。ボードに必要な電流は、+5 V 電源が約 40 mA、-5 V 電源が 10 mA です。

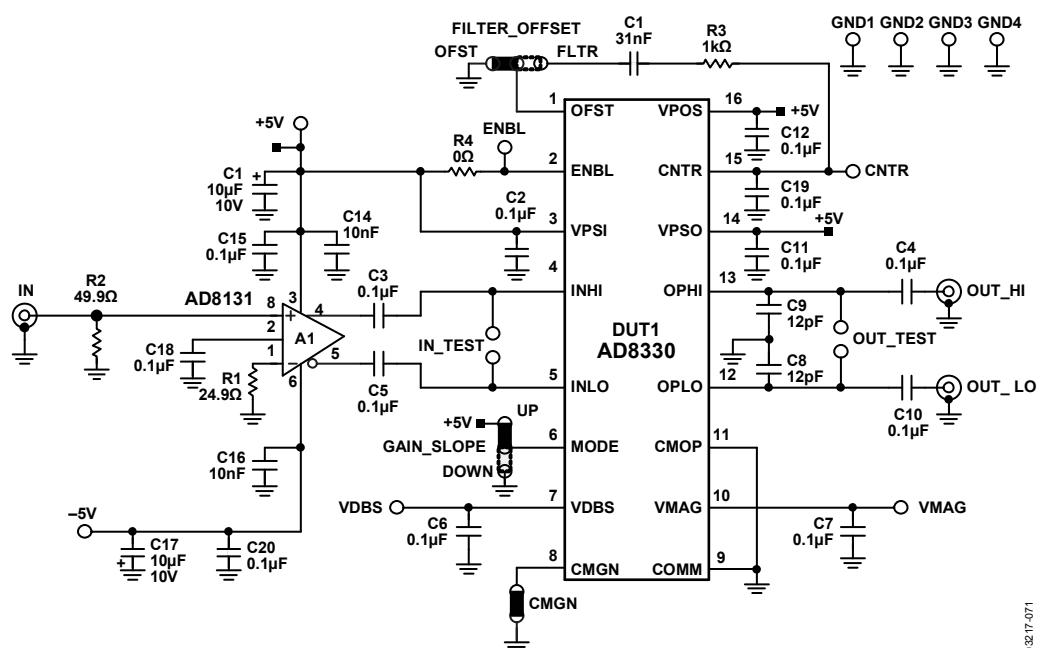


図 70. 回路図

オプション

表 6 に、ボード上のジャンパ接続と機能を示します。

表 6. ジャンパー接続の機能

Name	Function
FLTR	Connects a high-pass filter to the offset control loop pin. This jumper is normally not installed.
OFST	Disables the offset correction loop. This jumper is installed for dc or low frequency operation.
UP	Mode up. Install for ascending gain with increasing VDBS gain control voltage.
DOWN	Mode down. Install for descending gain with increasing VDBS gain control voltage.

測定のセットアップ

代表的な測定の基本ボード接続を図 71 に示します。回路負荷の影響を小さくするため、小さい容量の FET プローブを使って入力波形または出力波形を観測することが推奨されます。2 つのピン・ヘッダー IN_TEST と OUT_TEST は、このために設けてあります。SMA コネクタ OUT_HI と OUT_LO も使うことができますが、負荷容量の影響を考慮する必要があります。

AD8330-EVALZ のボード・デザイン

AD8330-EVALZ は、グラウンド・プレーン面積を大きくするために 4 層デザインを採用しています。評価ボード側のシルクスクリーンと配線パターンを図 72～図 77 に示します。

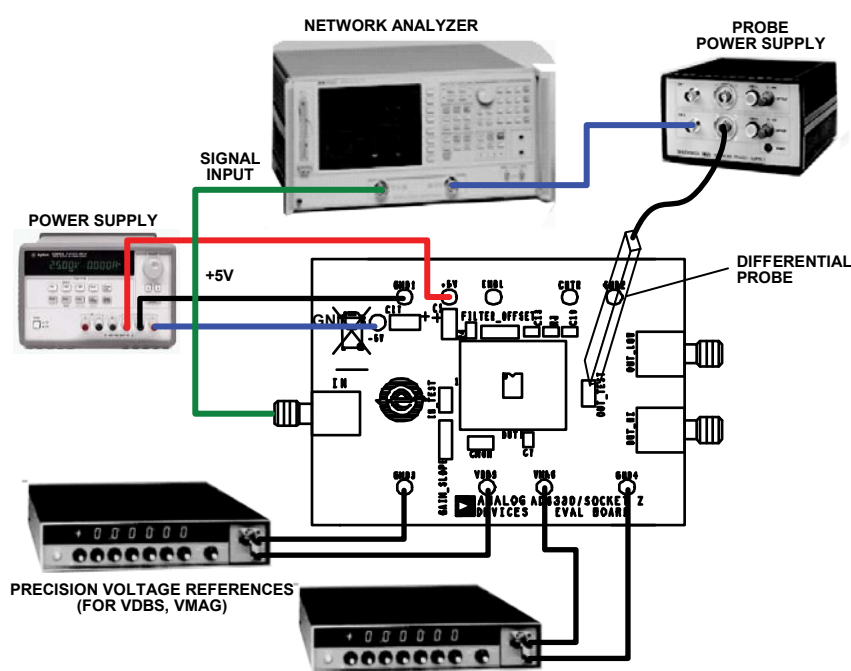


図 71. 代表的な接続

03217-072

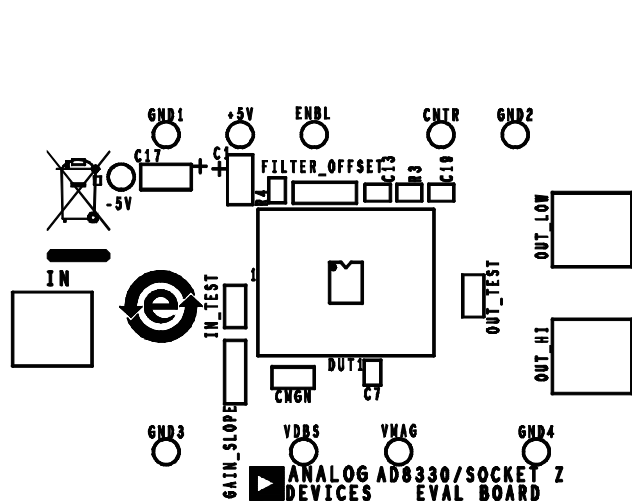


図 72.部品面のシルクスクリーン

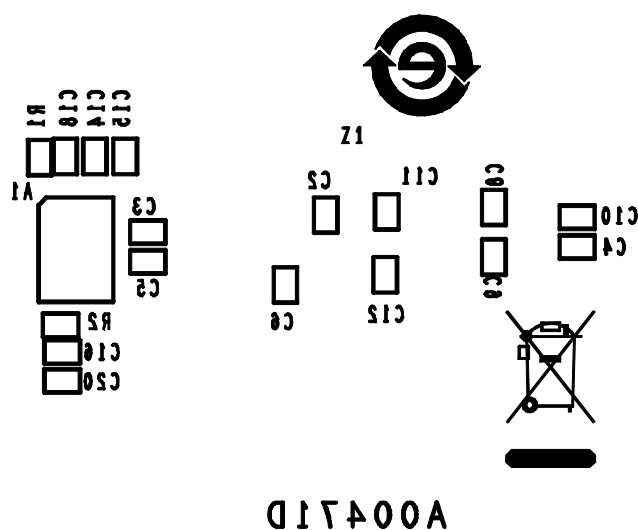


図 75.裏面のシルクスクリーン

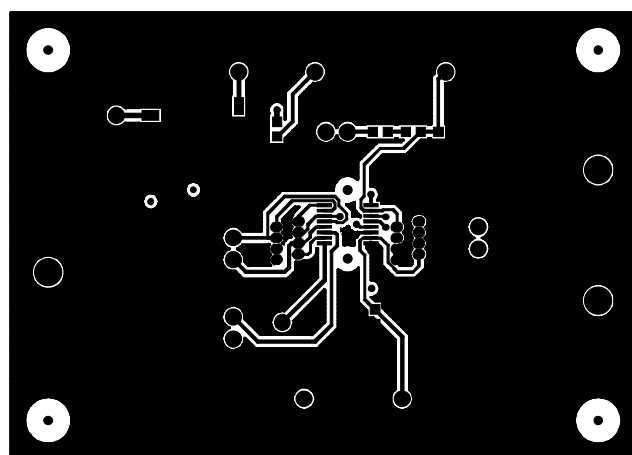


図 73.部品面の配線

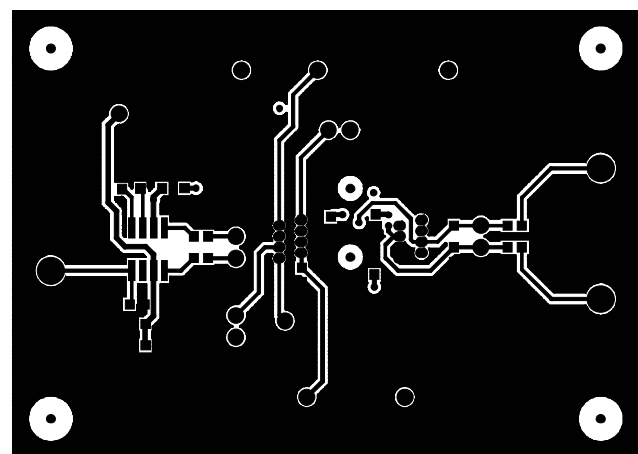


図 76.裏面のパターン

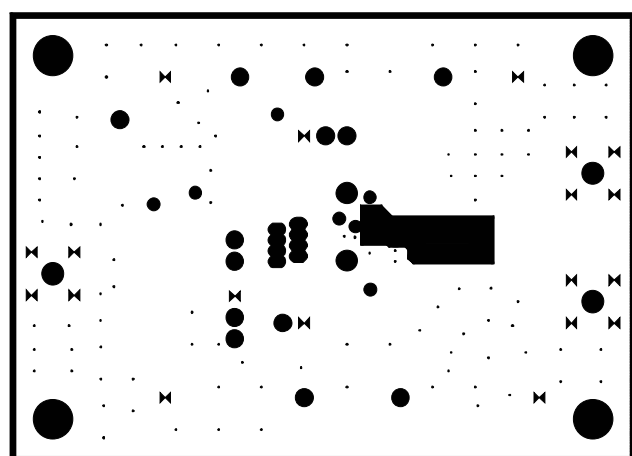


図 74.グラウンド・プレーン

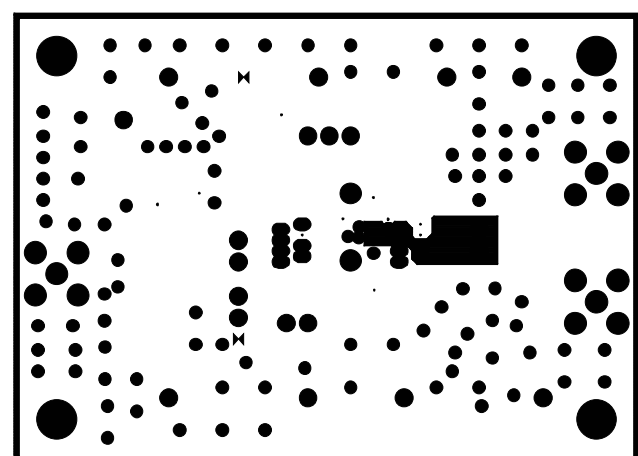


図 77.内部 2 層目

表 7. 部品表

Qty	Reference Designator	Description	Manufacturer	Part Number
1	R2	Resistor, 49.9 Ω , 1%, 1/16 W, 0603	Panasonic	ERJ-3EKF49R9V
1	R1	Resistor, 24.9 Ω , 1%, 1/10 W, 0603	Panasonic	ERJ-3EKF24R9V
1	R4	Resistor, 0 Ω , 5%, 1/10 W, 0603	Panasonic	ERJ-2GE0R00X
1	R3	Resistor, 1 k Ω , 1%, 1/8 W, 0603	Panasonic	ERJ-3EKF1001V
13	C2, C3, C4, C5, C6, C7, C10, C11, C12, C15, C18, C19, C20	Capacitor, 0.1 μ F, 50 V, 0603, X7R	Kemet	C0603C104K4RACTU
2	C1, C17	Capacitor, tantalum, 10 μ F, 10 V, 3206	Nichicon	F931A106MAA
2	C14, C16	Capacitor, 10 nF, 50 V, 0603	Yageo	CC0603KRX7R9BB103
2	C8, C9	Capacitor, 12 pF, 5%, NPO, 0603	AVX	06035A120JAT2A
1	C13	Capacitor, 1 nF, 100 V, 10%, 0603	Panasonic	ECJ-1VB2A102K
3	IN_TEST, OUT_TEST, CMGN	Header, 2-pin	Molex	22-10-2021
3	CMGN, UP, OFST	Shunt	Berg	65474-001
1	DUT1	Integrated circuit, variable gain amplifier	Analog Devices	AD8330ARQZ
1	A1	Integrated circuit, differential amplifier	Analog Devices	AD8131ARZ-REEL7
3	IN, OUT_HI, OUT_LO	Connector, SMA female right angle	Amphenol	901-143-6RFX
1	+5 V	Test loop, red	Bisco	TP-104-01-02
1	-5 V	Test loop, green	Bisco	TP-104-01-05
4	ENBL, CNTR, VDBS, VMAG	Test loop, purple	Bisco	TP-104-01-07
2	FILTER_OFFSET, GAIN SLOPE	Header, 3-pin	Molex	22-10-2031
4	GND1, GND2, GND3, GND4	Test point, black	Bisco	TP-104-01-00

外形寸法

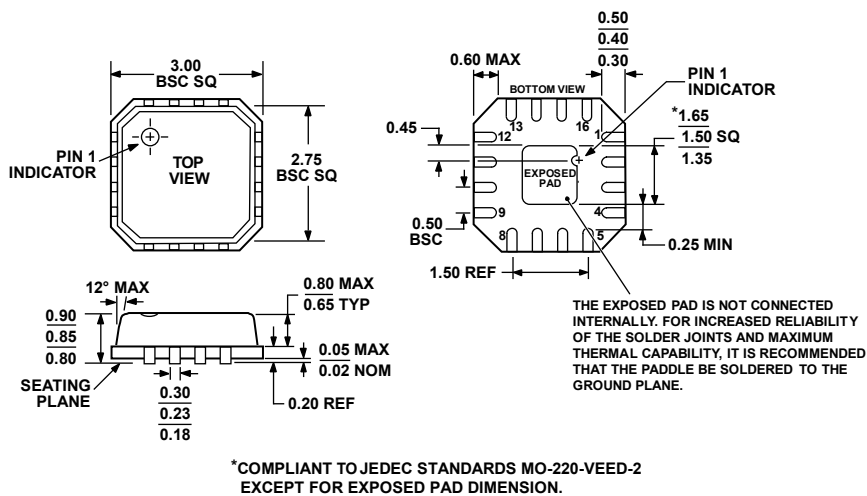


図 78.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
3 mm × 3 mm ボディ、極薄クワッド(CP-16-3)
寸法: mm

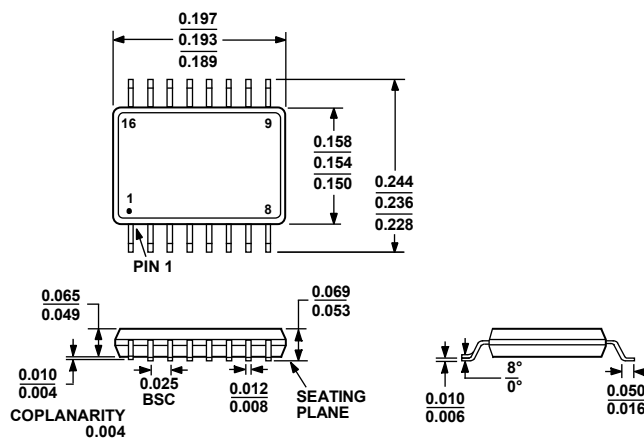


図 79.16 ピン・シュリンク・スモール・アウトライン・パッケージ[QSOP]
(RQ-16)
寸法: インチ

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
AD8330ACP-R2	−40°C to +85°C	16-Lead LFCSP_VQ	CP-16-3	JFA
AD8330ACP-REEL	−40°C to +85°C	16-Lead LFCSP_VQ	CP-16-3	JFA
AD8330ACP-REEL7	−40°C to +85°C	16-Lead LFCSP_VQ	CP-16-3	JFA
AD8330ACPZ-R2 ¹	−40°C to +85°C	16-Lead LFCSP_VQ	CP-16-3	JFZ
AD8330ACPZ-RL ¹	−40°C to +85°C	16-Lead LFCSP_VQ	CP-16-3	JFZ
AD8330ACPZ-R7 ¹	−40°C to +85°C	16-Lead LFCSP_VQ	CP-16-3	JFZ
AD8330ARQ	−40°C to +85°C	16-Lead QSOP	RQ-16	
AD8330ARQ-REEL	−40°C to +85°C	16-Lead QSOP	RQ-16	
AD8330ARQ-REEL7	−40°C to +85°C	16-Lead QSOP	RQ-16	
AD8330ARQZ ¹	−40°C to +85°C	16-Lead QSOP	RQ-16	
AD8330ARQZ-RL ¹	−40°C to +85°C	16-Lead QSOP	RQ-16	
AD8330ARQZ-R7 ¹	−40°C to +85°C	16-Lead QSOP	RQ-16	
AD8330-EVAL		Evaluation Board		
AD8330-EVALZ ¹		Evaluation Board		

¹ Z = RoHS 準拠製品