4:1 HDMI/DVIスイッチ、イコライゼーション機能付き

AD8191

特長

4入力、1出力のHDMI™/DVIリンク
- 1リンク当たり4つのTMDSチャンネル
  - 250Mbps～1.65Gbpsのデータレートに対応
  - 25～160MHzのピクセル・クロックに対応
  - イコライズ入力：長いHDMIケーブル（1080p時20メートル）に対応
  - フル・バッファ付きの単方向入出力
  - グローバルに切替え可能な50Ωの終端を内蔵
  - 出力プリエンファシス
  - 低ジッタ
  - 単電源動作：3.3V
- 1リンク当たり4つの補助チャンネル
  - 双方向のバッファなし入出力
  - 柔軟な電源動作（3.3～5V）
  - HDCP標準に適合
  - DDCバスに加え2つの信号の切替えが可能

複数チャンネル・バンドリング・モード
- （4:1）HDMI/DVIリンク・スイッチ×1（デフォルト）
- （8:1）TMDSチャンネル×2および補助信号スイッチ×1
- （16:1）TMDSチャンネル×1および補助信号スイッチ×1

出力ディスエーブル機能
- 消費電力の削減
- 取り外し可能な出力終端
- さらに大きなアレイの作成が可能

AD8191を2個使ってHDMI／DVIデュアル・リンクに対応可能
準拠標準：HDMIレシーバ、DVI、HDCP
シリアル（I²C®スレーブ）とパラレルの制御インターフェースを内蔵
鉛フリー、14mm×14mmの100ピンLQFPパッケージ

アプリケーション

複数入力対応のディスプレイ
プロジェクタ
A/Vレシーバ
セットトップ・ボックス
アドバンスト・テレビ・セット（HDTVなど）

概要

AD8191は、イコライズ機能付きのTMDS入力とプリエンファシス機能付のTMDS出力を備えたHDMI/DVIスイッチで、長いケーブルを使用するシステムに最適です。出力を高インピーダンス状態に設定できるため、消費電力の削減や、ワイヤドOR接続によりさらに大きなアレイを作成することができます。TMDSチャンネルと補助信号を対象とするフレキシブルなチャンネル・バンドル・モードを使うと、AD8191を4:1 HDMI/DVIリンク・スイッチ×1、8:1スイッチ×2、16:1スイッチ×1のいずれかとして構成できます。

AD8191は、鉛フリーの100ピン表面実装LQFPパッケージを採用しており、−40～＋85℃の動作温度範囲で仕様規定されています。

機能ブロック図

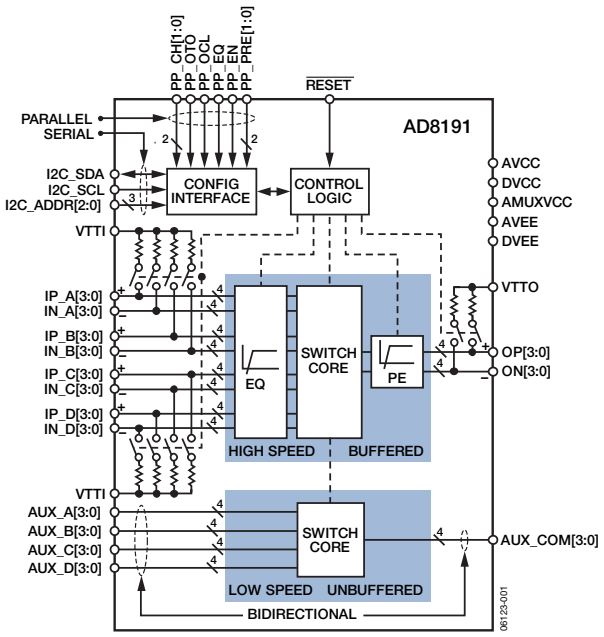

図1

代表的なアプリケーション

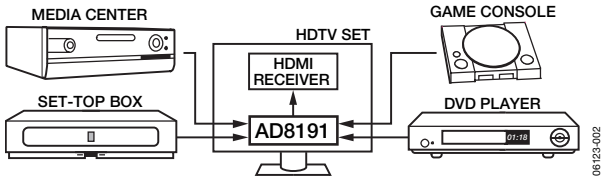

図2. 代表的なHDTVアプリケーション

製品のハイライト

1. 最大1.65Gbpsのデータレートに対応するため、1080p HDMIフォーマットおよびUXGA（1600×1200）のDVI分解能を提供できます。
2. 入力ケーブル・イコライザを持つため、入力に長いケーブルを使用できます（1080p時に20メートル超の24AWGケーブル）。
3. HDMI 1.2a受信規格に準拠したシングルチップ・ソリューション向けに、補助スイッチはDDCバスの他に2つの信号のルーティングを行うことができます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本　　社／〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03（5402）8200

大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06（6350）6868

目次

特長 1
アプリケーション 1
機能ブロック図 1
代表的なアプリケーション 1
概要 1
製品のハイライト 1
改訂履歴 2
仕様 3
絶対最大定格 5
　熱抵抗 5
　最大消費電力 5
　ESDに関する注意 5
ピン配置と機能の説明 6
代表的な性能特性 9
動作原理 13
　はじめに 13
　入力チャンネル 13
　出力チャンネル 13
　高速（TMDS）スイッチ・モード 14
　補助スイッチ 14
　補助（低速）スイッチ・モード 15
シリアル制御インターフェース 16
　リセット 16
　書込み手順 16
　読出し手順 17
パラレル制御インターフェース 18
シリアル・インターフェース設定レジスタ 19
　高速デバイス・モード・レジスタ 19
　補助デバイス・モード・レジスタ 20
　レシーバ設定レジスタ 22
　入力終端パルス・レジスタ1およびレジスタ2 22
　受信イコライザ・レジスタ1およびレジスタ2 22
　トランスミッタ設定レジスタ 22
パラレル・インターフェース設定レジスタ 23
　高速デバイス・モード・レジスタ 23
　補助デバイス・モード・レジスタ 23
　レシーバ設定レジスタ 24
　入力終端パルス・レジスタ1およびレジスタ2 24
　受信イコライザ・レジスタ1およびレジスタ2 24
　トランスミッタ設定レジスタ 24
アプリケーション情報 25
　ピン配置 25
　ケーブル長とイコライゼーション 25
　PCボード・レイアウトのガイドライン 26
外形寸法 30
　オーダー・ガイド 30

改訂履歴

10/06—Revision 0: Initial Version

仕様

特に指定のない限り、T_A＝27℃、AVCC＝3.3V、VTTI＝3.3V、VTTO＝3.3V、DVCC＝3.3V、AMUXVCC＝5V、AVEE＝0V、DVEE＝0V、差動入力振幅＝1000mV、TMDS出力は50Ωの外付け抵抗（3.3Vに接続）で終端

表1

Parameter	Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
Maximum Data Rate (DR) per Channel	NRZ	1.65			Gbps
Bit Error Rate (BER)	PRBS $2^{23}-1$			10^{-9}	
Added Deterministic Jitter	DR ≤ 1.65 Gbps, PRBS $2^{23}-1$		40		ps (p-p)
Added Random Jitter			2		ps (rms)
Differential Intrapair Skew	At output		1		ps
Differential Interpair Skew[1]	At output		40		ps
EQUALIZATION PERFORMANCE					
Receiver (Highest Setting)[2]	Boost frequency = 825 MHz		12		dB
Transmitter (Highest Setting)[3]	Boost frequency = 825 MHz		6		dB
INPUT CHARACTERISTICS					
Input Voltage Swing	Differential	150		1200	mV
Input Common-Mode Voltage (V_{ICM})		AVCC－800		AVCC	mV
OUTPUT CHARACTERISTICS					
High Voltage Level	Single-ended high speed channel	AVCC－10		AVCC＋10	mV
Low Voltage Level	Single-ended high speed channel	AVCC－600		AVCC－400	mV
Rise/Fall Time (20% to 80%)		75	135	200	ps
INPUT TERMINATION					
Resistance	Single-ended		50		Ω
AUXILIARY CHANNELS					
On Resistance, R_{AUX}			100		Ω
On Capacitance, C_{AUX}	DC bias = 2.5 V, ac voltage = 3.5 V, f = 100 kHz		8		pF
Input/Output Voltage Range		DVEE		AMUXVCC	V
POWER SUPPLY					
AVCC	Operating range	3	3.3	3.6	V
QUIESCENT CURRENT					
AVCC	Outputs disabled	30	40	44	mA
	Outputs enabled, no pre-emphasis	48	60	64	mA
	Outputs enabled, maximum pre-emphasis	88	100	110	mA
VTTI	Input termination on[4]	5	40	54	mA
VTTO	Output termination on, no pre-emphasis	35	40	46	mA
	Output termination on, maximum pre-emphasis	72	80	90	mA
DVCC		3.2	7	8	mA
AMUXVCC			0.01	0.1	mA
POWER DISSIPATION					
	Outputs disabled	115	271	361	mW
	Outputs enabled, no pre-emphasis	384	574	671	mW
	Outputs enabled, maximum pre-emphasis	704	910	1050	mW
TIMING CHARACTERISTICS					
Switching/Update Delay	High speed switching register: HS_CH			200	ms
	All other configuration registers			1.5	ms
$\overline{\text{RESET}}$ Pulse Width		50			ns

Parameter	Conditions/Comments	Min	Typ	Max	Unit
SERIAL CONTROL INTERFACE[5]					
Input High Voltage, V_{IH}		2			V
Input Low Voltage, V_{IL}				0.8	V
Output High Voltage, V_{OH}		2.4			V
Output Low Voltage, V_{OL}				0.4	V
PARALLEL CONTROL INTERFACE					
Input High Voltage, V_{IH}		2			V
Input Low Voltage, V_{IL}				0.8	V

[1] 差動ペア間スキューは、シングル・リンクのTMDSペア間で測定。
[2] AD8191出力は、DVI Standard Revision 1.0およびHDMI Standard Revision 1.2aで規定されている送信アイパターン図を満たします。
[3] ケーブル出力は、DVI Standard Revision 1.0およびHDMI Standard Revision 1.2aで規定されている受信アイパターン図のマスクを満たします。
[4] 代表値は、選択したHDMI/DVIリンクのみがアクティブで（公称信号振幅）、かつ選択していないHDMI/DVIリンクが非アクティブである場合の値です。最大制限値と最小制限値は、それぞれ入力終端抵抗と入力電圧振幅の限界点で測定します。
[5] AD8191はI^2Cスレーブであり、そのシリアル制御インターフェースは3.3V のI^2Cバス仕様を採用しています。

絶対最大定格

表2

Parameter	Rating
AVCC to AVEE	3.7 V
DVCC to DVEE	3.7 V
DVEE to AVEE	±0.3 V
VTTI	AVCC + 0.6 V
VTTO	AVCC + 0.6 V
AMUXVCC	5.5 V
Internal Power Dissipation	2.2 W
High Speed Input Voltage	AVCC − 1.4 V < V_{IN} < AVCC + 0.6 V
High Speed Differential Input Voltage	2.0 V
Low Speed Input Voltage	DVEE − 0.3 V < V_{IN} < AMUXVCC + 0.6 V
I^2C and Parallel Logic Input Voltage	DVEE − 0.3 V < V_{IN} < DVCC + 0.6 V
Storage Temperature Range	−65℃ to +125℃
Operating Temperature Range	−40℃ to +85℃
Junction Temperature	150℃

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA}は、最悪時の状態、すなわち4層JEDEC回路ボードに表面実装パッケージをハンダ付けした状態で規定しています。θ_{JC}は空気流なしで規定しています。

表3. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
100-Lead LQFP	56	19	℃/W

最大消費電力

AD8191が安全に消費できる最大電力は、ジャンクション温度の上昇によって制限されます。プラスチック・パッケージを使用するデバイスの安全な最大ジャンクション温度は、プラスチックのガラス遷移温度により決定されます。この温度は約150℃です。パッケージからチップに加えられる応力が変化するため、一時的にこの規定値を超えた場合でも、パラメータ性能がシフトすることもあります。

長時間にわたり175℃のジャンクション温度を超えると、デバイスが故障する原因になります。適正な動作を保証するには、表3の係数で決められている最大電力定格に従う必要があります。

ESDに関する注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

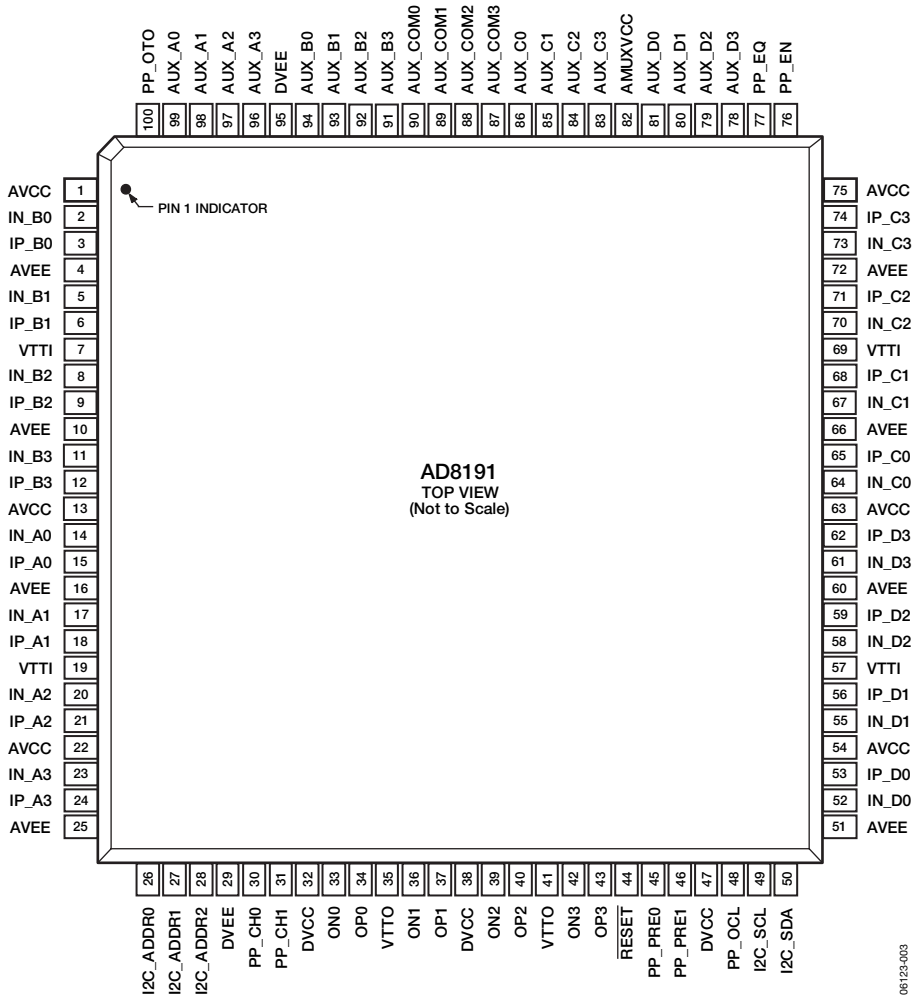

図3. ピン配置

表4. ピン機能の説明

ピン番号	記号	タイプ[1]	説明
1, 13, 22, 54, 63, 75	AVCC	電源	正のアナログ電源、3.3V（公称値）
2	IN_B0	HS I	B0チャンネル高速入力（負側）
3	IP_B0	HS I	B0チャンネル高速入力（正側）
4, 10, 16, 25, 51, 60, 66, 72	AVEE	電源	負のアナログ電源、0V（公称値）
5	IN_B1	HS I	B1チャンネル高速入力（負側）
6	IP_B1	HS I	B1チャンネル高速入力（正側）
7, 19, 57, 69	VTTI	電源	入力終端電源。通常はAVCCに接続
8	IN_B2	HS I	B2チャンネル高速入力（負側）
9	IP_B2	HS I	B2チャンネル高速入力（正側）
11	IN_B3	HS I	B3チャンネル高速入力（負側）
12	IP_B3	HS I	B3チャンネル高速入力（正側）
14	IN_A0	HS I	A0チャンネル高速入力（負側）
15	IP_A0	HS I	A0チャンネル高速入力（正側）

ピン番号	記号	タイプ[1]	説明
17	IN_A1	HS I	A1チャンネル高速入力（負側）
18	IP_A1	HS I	A1チャンネル高速入力（正側）
20	IN_A2	HS I	A2チャンネル高速入力（負側）
21	IP_A2	HS I	A2チャンネル高速入力（正側）
23	IN_A3	HS I	A3チャンネル高速入力（負側）
24	IP_A3	HS I	A3チャンネル高速入力（正側）
26	I2C_ADDR0	制御	I²Cアドレス、第1LSB
27	I2C_ADDR1	制御	I²Cアドレス、第2LSB
28	I2C_ADDR2	制御	I²Cアドレス、第3LSB
29, 95	DVEE	電源	デジタルおよび補助マルチプレクサの負電源、0V（公称値）
30	PP_CH0	制御	クワッド・スイッチング・モード高速ソース選択パラレル・インターフェースのLSB
31	PP_CH1	制御	クワッド・スイッチング・モード高速ソース選択パラレル・インターフェースのMSB
32, 38, 47	DVCC	電源	正のデジタル電源、3.3V（公称値）
33	ON0	HS O	0チャンネル高速出力（負側）
34	OP0	HS O	0チャンネル高速出力（正側）
35, 41	VTTO	電源	出力終端電源。通常はAVCCに接続
36	ON1	HS O	1チャンネル高速出力（負側）
37	OP1	HS O	1チャンネル高速出力（正側）
39	ON2	HS O	2チャンネル高速出力（負側）
40	OP2	HS O	2チャンネル高速出力（正側）
42	ON3	HS O	3チャンネル高速出力（負側）
43	OP3	HS O	3チャンネル高速出力（正側）
44	$\overline{\text{RESET}}$	制御	設定レジスタのリセット。通常はAVCCにプルアップ
45	PP_PRE0	制御	高速プリエンファシス選択パラレル・インターフェースのLSB
46	PP_PRE1	制御	高速プリエンファシス選択パラレル・インターフェースのMSB
48	PP_OCL	制御	高速出力電流レベル・パラレル・インターフェース
49	I2C_SCL	制御	I²Cクロック
50	I2C_SDA	制御	I²Cデータ
52	IN_D0	HS I	D0チャンネル高速入力（負側）
53	IP_D0	HS I	D0チャンネル高速入力（正側）
55	IN_D1	HS I	D1チャンネル高速入力（負側）
56	IP_D1	HS I	D1チャンネル高速入力（正側）
58	IN_D2	HS I	D2チャンネル高速入力（負側）
59	IP_D2	HS I	D2チャンネル高速入力（正側）
61	IN_D3	HS I	D3チャンネル高速入力（負側）
62	IP_D3	HS I	D3チャンネル高速入力（正側）
64	IN_C0	HS I	C0チャンネル高速入力（負側）
65	IP_C0	HS I	C0チャンネル高速入力（正側）
67	IN_C1	HS I	C1チャンネル高速入力（負側）
68	IP_C1	HS I	C1チャンネル高速入力（正側）
70	IN_C2	HS I	C2チャンネル高速入力（負側）
71	IP_C2	HS I	C2チャンネル高速入力（正側）
73	IN_C3	HS I	C3チャンネル高速入力（負側）
74	IP_C3	HS I	C3チャンネル高速入力（正側）
76	PP_EN	制御	高速出力イネーブル・パラレル・インターフェース
77	PP_EQ	制御	高速イコライゼーション選択パラレル・インターフェース
78	AUX_D3	LS I/O	低速の入出力

ピン番号	記号	タイプ[1]	説明
79	AUX_D2	LS I/O	低速の入出力
80	AUX_D1	LS I/O	低速の入出力
81	AUX_D0	LS I/O	低速の入出力
82	AMUXVCC	電源	補助マルチプレクサの正電源、5V（typ）
83	AUX_C3	LS I/O	低速の入出力
84	AUX_C2	LS I/O	低速の入出力
85	AUX_C1	LS I/O	低速の入出力
86	AUX_C0	LS I/O	低速の入出力
87	AUX_COM3	LS I/O	低速の共通入出力
88	AUX_COM2	LS I/O	低速の共通入出力
89	AUX_COM1	LS I/O	低速の共通入出力
90	AUX_COM0	LS I/O	低速の共通入出力
91	AUX_B3	LS I/O	低速の入出力
92	AUX_B2	LS I/O	低速の入出力
93	AUX_B1	LS I/O	低速の入出力
94	AUX_B0	LS I/O	低速の入出力
96	AUX_A3	LS I/O	低速の入出力
97	AUX_A2	LS I/O	低速の入出力
98	AUX_A1	LS I/O	低速の入出力
99	AUX_A0	LS I/O	低速の入出力
100	PP_OTO	制御	高速出力終端選択パラレル・インターフェース

[1] HS＝高速、LS＝低速、I＝入力、O＝出力

代表的な性能特性

特に指定のない限り、T_A＝27℃、AVCC＝3.3V、VTTI＝3.3V、VTTO＝3.3V、DVCC＝3.3V、AMUXVCC＝5V、AVEE＝0V、DVEE＝0V、差動入力振幅＝1000mV、TMDS出力は50Ωの外付け抵抗（3.3Vに接続）で終端、パターン＝PRBS 2^7-1、データレート＝1.65Gbps

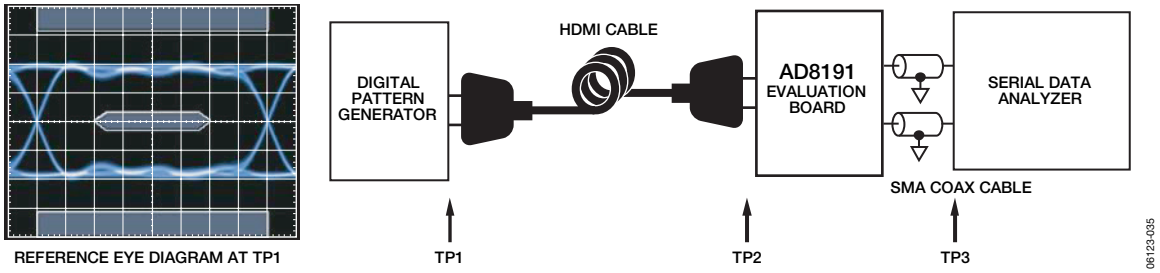

図4.　RXアイパターン図対応のテスト回路図

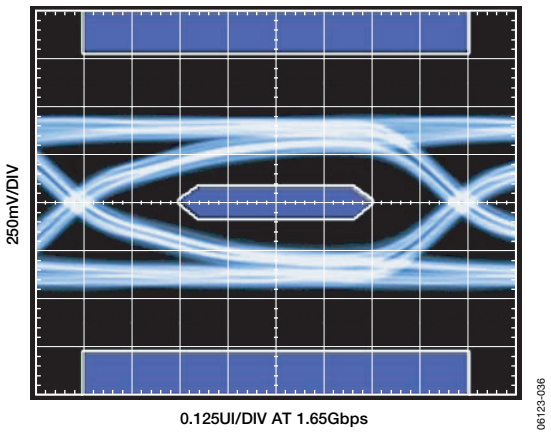

図5.　TP2のRXアイパターン図（ケーブル＝2m、30AWG）

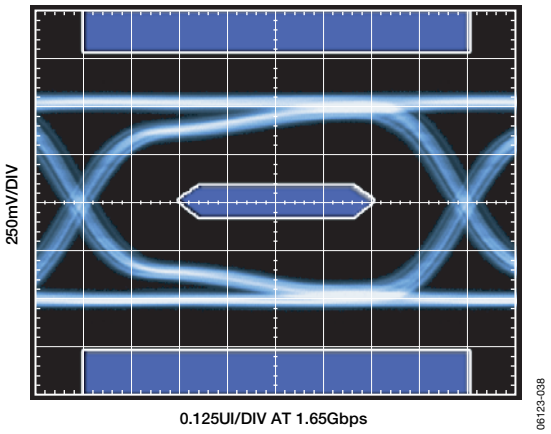

図7.　TP3のRXアイパターン図、EQ＝6dB（ケーブル＝2m、30AWG）

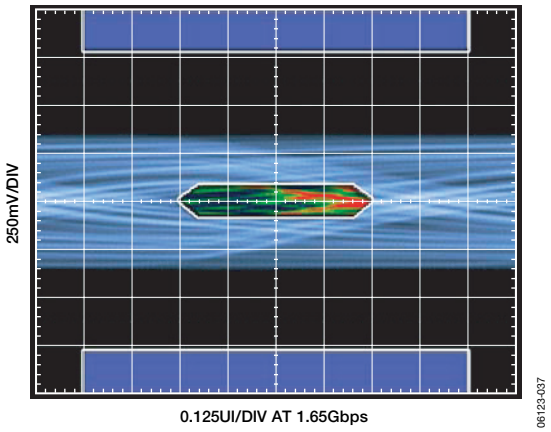

図6.　TP2のRXアイパターン図（ケーブル＝20m、24AWG）

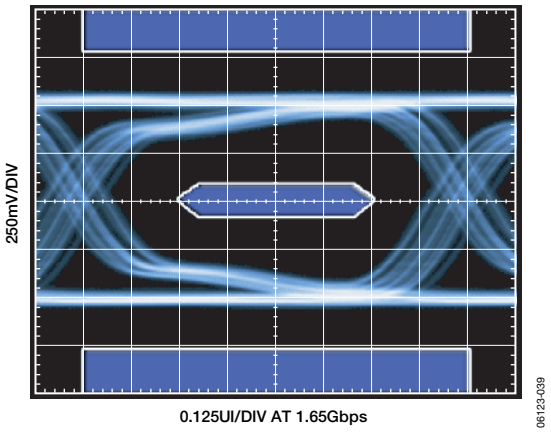

図8.　TP3のRXアイパターン図、EQ＝12dB（ケーブル＝20m、24AWG）

特に指定のない限り、T_A＝27℃、AVCC＝3.3V、VTTI＝3.3V、VTTO＝3.3V、DVCC＝3.3V、AMUXVCC＝5V、AVEE＝0V、DVEE＝0V、差動入力振幅＝1000mV、TMDS出力は50Ωの外付け抵抗（3.3Vに接続）で終端、パターン＝PRBS 2^7-1、データレート＝1.65Gbps

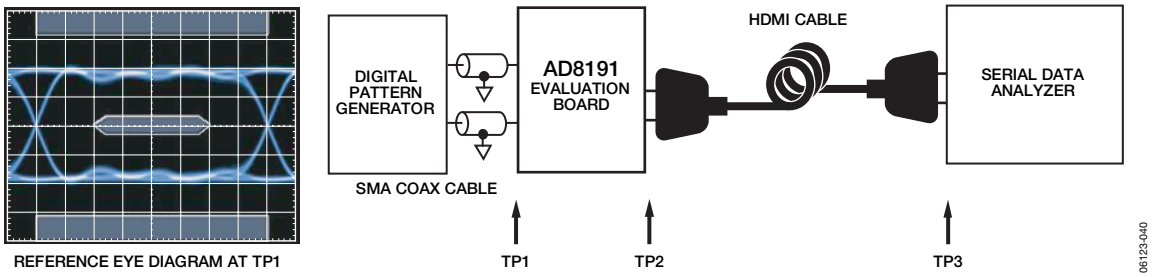

図9.　TXアイパターン図対応のテスト回路図

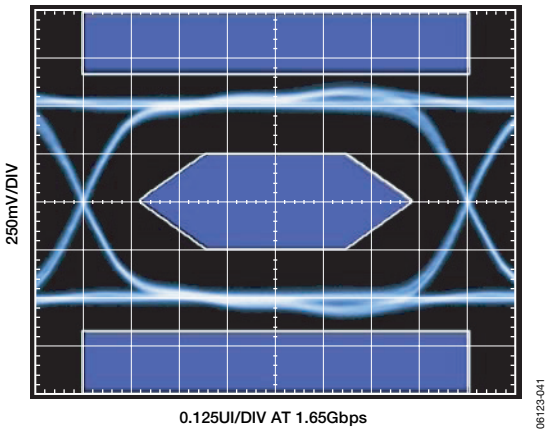

図10.　TP2のTXアイパターン図、PE＝2dB

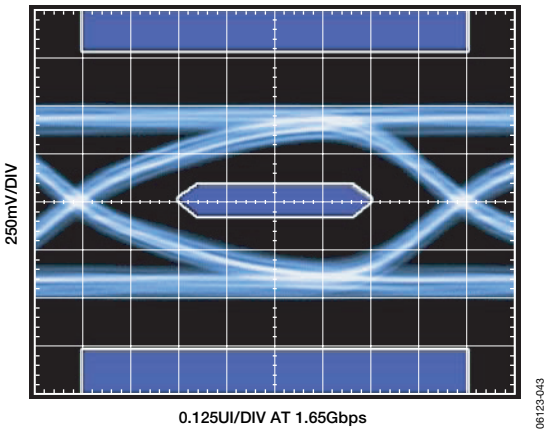

図12.　TP3のTXアイパターン図、PE＝2dB
（ケーブル＝2m、30AWG）

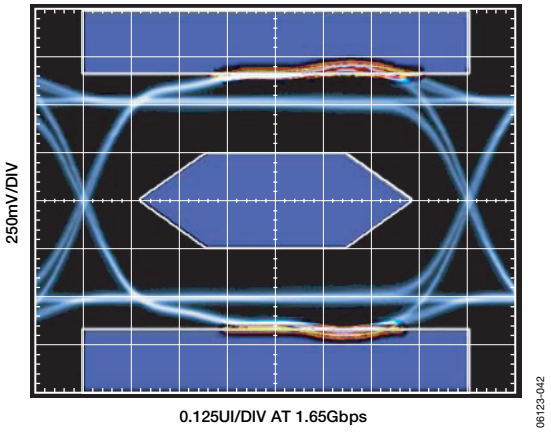

図11.　TP2のTXアイパターン図、PE＝6dB

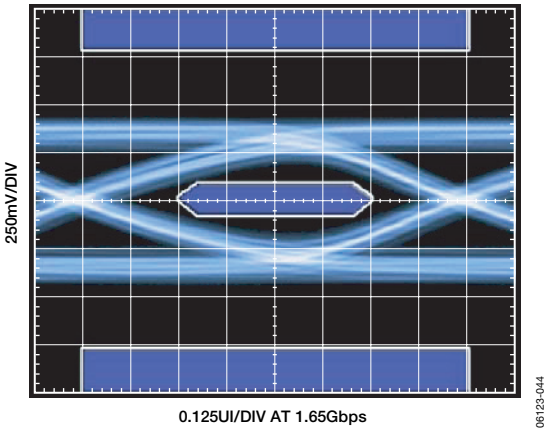

図13.　TP3のTXアイパターン図、PE＝6dB
（ケーブル＝10m、28AWG）

特に指定のない限り、T_A＝27℃、AVCC＝3.3V、VTTI＝3.3V、VTTO＝3.3V、DVCC＝3.3V、AMUXVCC＝5V、AVEE＝0V、DVEE＝0V、差動入力振幅＝1000mV、TMDS出力は50Ωの外付け抵抗（3.3Vに接続）で終端、パターン＝PRBS 2^7-1、データレート＝1.65Gbps

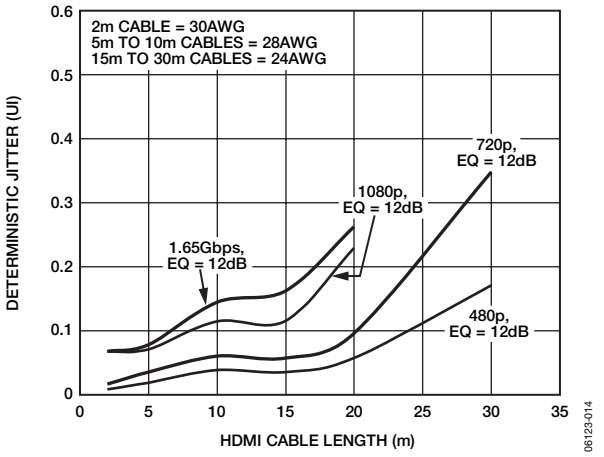

図14. 入力ケーブル長 対 ジッタ（テスト設定は図4を参照）

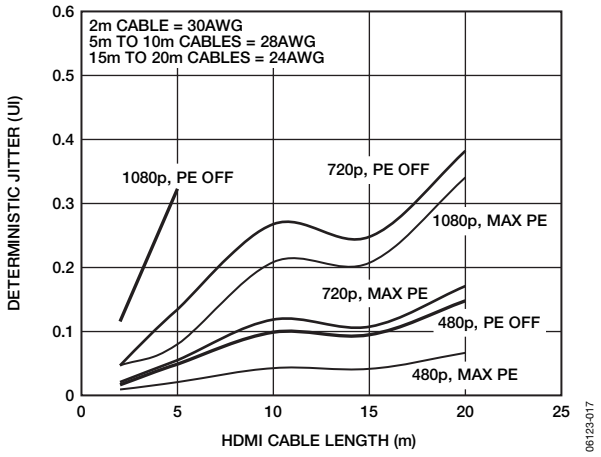

図17. 出力ケーブル長 対 ジッタ（テスト設定は図9を参照）

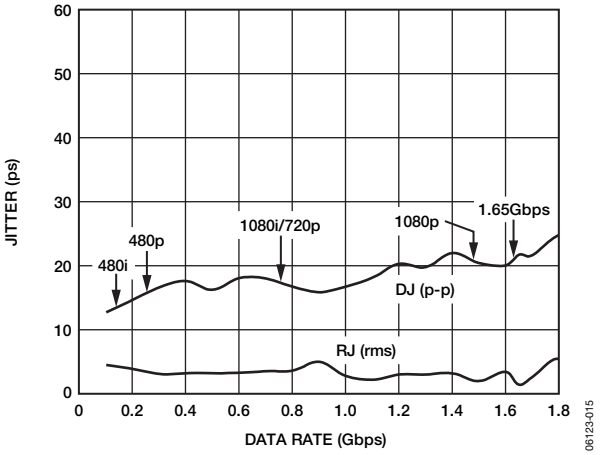

図15. データレート 対 ジッタ

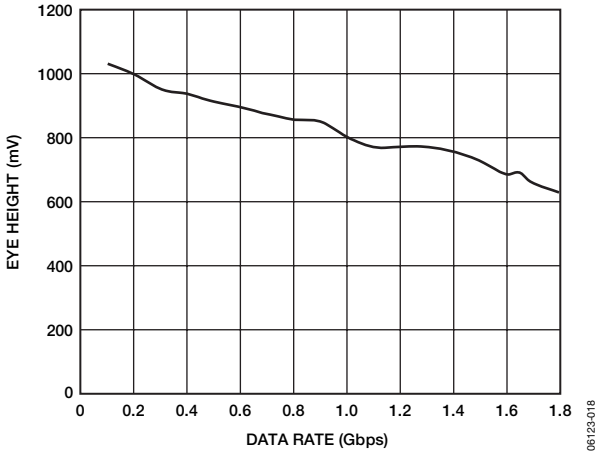

図18. データレート 対 アイの高さ

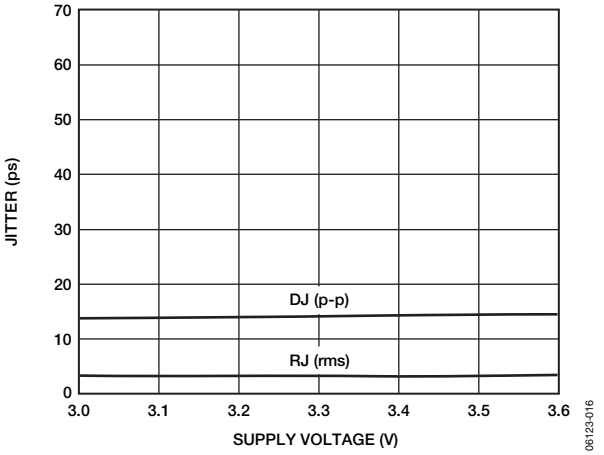

図16. 電源電圧 対 ジッタ

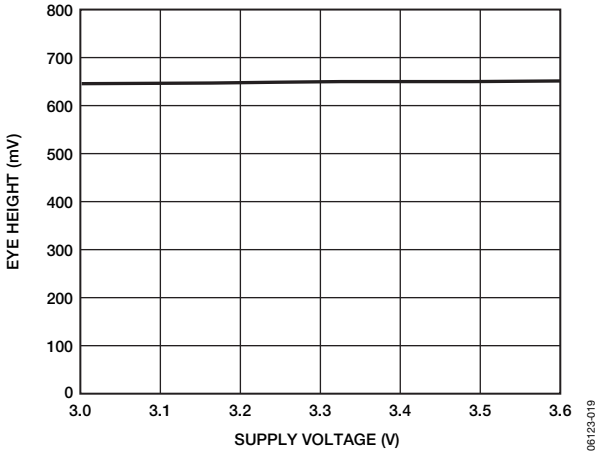

図19. 電源電圧 対 アイの高さ

特に指定のない限り、T_A＝27℃、AVCC＝3.3V、VTTI＝3.3V、VTTO＝3.3V、DVCC＝3.3V、AMUXVCC＝5V、AVEE＝0V、DVEE＝0V、差動入力振幅＝1000mV、TMDS出力は50Ωの外付け抵抗（3.3Vに接続）で終端、パターン＝PRBS 2^7-1、データレート＝1.65Gbps

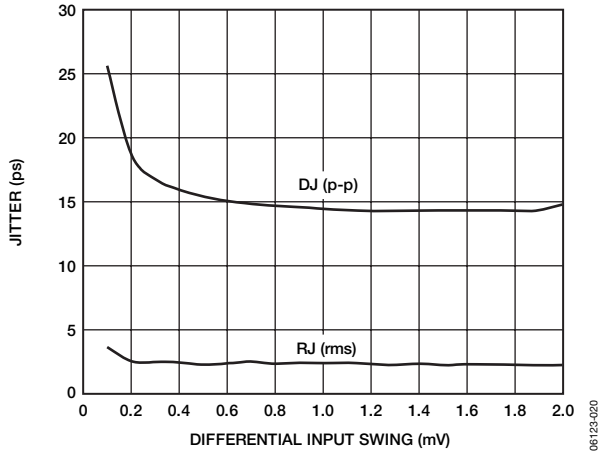

図20. 差動入力振幅 対 ジッタ

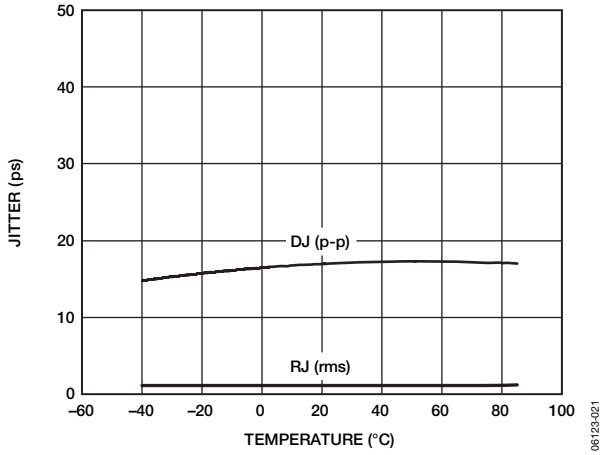

図21. ジッタの温度特性

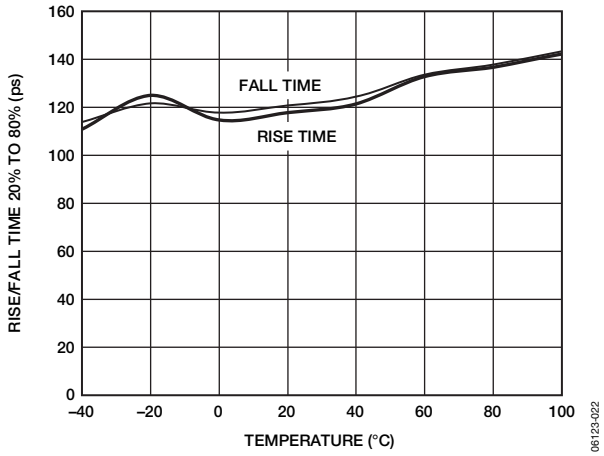

図22. 立上がり／立下がり時間の温度特性

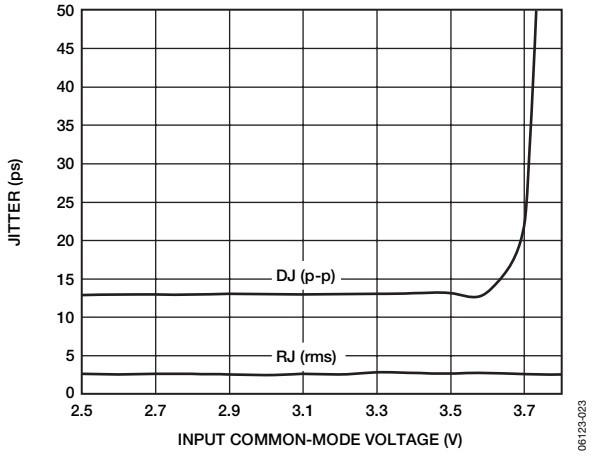

図23. 入力同相電圧 対 ジッタ

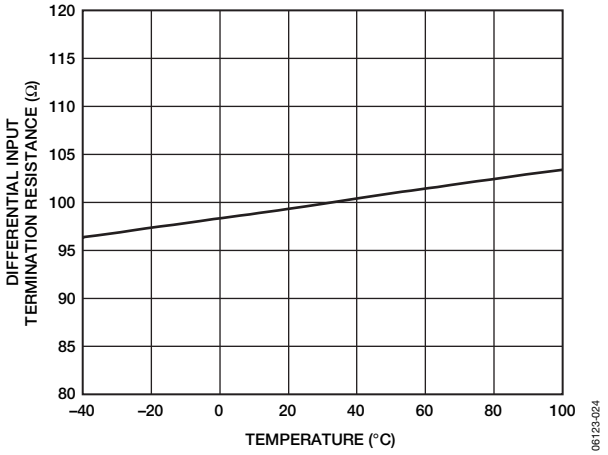

図24. 差動入力終端抵抗の温度特性

動作原理

はじめに

AD8191の基本機能は、4リンク（図1ではA～Dで区別）の入力信号源（HDMIまたはDVI）から1リンクを選択して出力することです。HDMI/DVIリンクの各々は、高速な差動4チャンネルと4本の低速シングルエンド制御信号から構成されます。この高速チャンネルには、1本のデータ・ワード・クロックと3チャンネルのTMDS（Transition Minimized Differential Signaling）データが含まれています。このTMDSデータは、1.65Gbpsまでのデータレートに対してデータ・ワード・クロック周波数の10倍で動作します。4本の低速制御信号は、5Vに対応できる双方向ラインであり、アプリケーションに応じて、設定信号、HDCP暗号、その他の情報を伝送することができます。

各リンク内では4チャンネルの高速TMDSはすべて同じです。すなわち、ピクセル・クロックを4チャンネルのどのTMDS上でも動作させることができます。各高速チャンネルに対しては送信チャンネル補償機能と受信チャンネル補償機能が用意されており、ユーザが多くの固定設定の中から選んでマニュアルで設定することができます。

AD8191スイッチング・ロジックには、クワッド・モード（4:1スイッチ×4）、デュアル・モード（8:1スイッチ×2）、シングル・モード（16:1スイッチ×1）の3つのモードがあります。

AD8191には2つの制御インターフェースがあります。デバイスの制御には、パラレル制御インターフェースまたはI^2C制御インターフェースのいずれかを使用することができます。1本のI^2Cバスで複数のAD8191を制御できるように、ユーザ・プログラマブルな8個のI^2Cスレーブ・アドレスが用意してあります。AD8191の制御レジスタをデフォルト値に戻すときは、$\overline{\text{RESET}}$ピンを使用します。シリアル・プログラミング値は、常に前のパラレル・プログラミング値より優先され、シリアル制御インターフェースが使用されると、AD8191がリセットされるまでパラレル制御インターフェースはディスエーブルされます。

シリアル制御インターフェースの使用時は、3つのスイッチ・モード（クワッド、デュアル、シングル）のすべてにアクセスでき、高速チャンネル・スイッチ・モードは補助信号スイッチ・モードとは独立に制御されます。パラレル制御インターフェースの使用時は、クワッド・スイッチ・モードのみにアクセスでき、同じチャンネル選択バス（PP_CH[1:0]）によって高速チャンネルと補助信号の両方が同時に切り替えられます。

入力チャンネル

図25に示すように、高速入力差動ペアはそれぞれ内蔵の1対のシングルエンド50Ω抵抗を介して3.3V VTTI電源に終端されます。この入力終端は、必要に応じてソース切替えの後に約100ms間切り離すことができます。高速入力16チャンネルのどのチャンネルでこの機能を使用するか指定する場合は、シリアル制御インターフェースを介して入力終端パルス・レジスタの該当するRX_PTビットを設定します。また、すべての入力終端を切り離す場合は、レシーバ設定レジスタのRX_TOビットを設定します。デフォルトでは、入力終端はイネーブルされています。イネーブルされている入力終端は、パラレル制御インターフェースを介してAD8191を設定するときに切り替えることはできません。

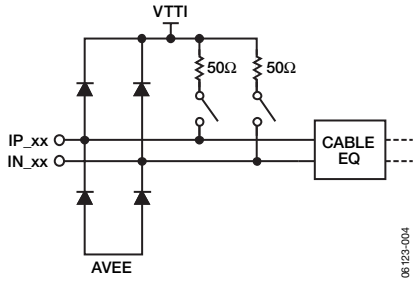

図25. 高速入力の簡略回路図

入力イコライザは、マニュアル設定により高周波レベルを6dBまたは12dB上げるように指定することができます。8個の高速入力チャンネルのイコライゼーション・レベルを個別に制御するには、シリアル制御インターフェースを介して受信イコライザ・レジスタの該当するRX_EQビットを設定します。また、パラレル制御インターフェースのPP_EQピンを設定して、8個全部の高速入力チャンネルのイコライゼーション・レベルをグローバルに制御することもできます。メーカーによってケーブルの性能に大きな差があるため、特定のイコライゼーション設定に対して特定のケーブル長を推奨することはできませんが、一般にAD8191のイコライゼーションは、短い入力ケーブルの場合でも信号の完全性を損なうことなく12dBに設定できます。12dB設定時、AD8191は1.65Gbpsで20メートル超の24AWGケーブルをイコライズできます。

出力チャンネル

高速出力差動ペアはそれぞれ、内蔵の50Ω抵抗を介して3.3V VTTO電源に終端されます（図26）。この終端はユーザが選択できます。これをオンまたはオフにするには、シリアル制御インターフェースを介してトランスミッタ設定レジスタのTX_PTOビットを設定するか、パラレル制御インターフェースを介してPP_OTOピンを設定します。

AD8191の出力終端抵抗は、出力TMDS伝送ラインを逆終端します。この逆終端は、出力パターン上のインピーダンス不連続によって生じる信号反射を吸収し、出力パターンの信号の完全性を改善するとともに、出力パターンのルーティングに柔軟性を与えます。たとえば、層間ビアを利用して、出力信号の品質をそれほど劣化させずにPCボードの複数の層でAD8191 TMDS出力をルーティングすることができます。

AD8191には、出力をスリーステート・モードにするディスエーブル機能があります。このモードをイネーブルするときは、シリアル制御インターフェースを介して高速デバイス・モード・レジスタのHS_ENビットを設定するか、パラレル制御インターフェースを介してPP_ENピンを設定します。このモードでは、AD8191を使って大きなワイヤドORアレイを作成できます。

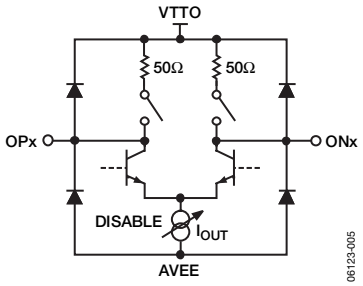

図26. 高速出力の簡略回路図

AD8191は、高速出力がイネーブルされているときに出力終端抵抗を必要とします。内部終端または外部終端、あるいはその両方を使用できます。AD8191の内部終端をイネーブルするには、トランスミッタ設定レジスタのTX_PTOビットを設定するか、またはパラレル制御インターフェースのPP_OTOピンを設定します。AD8191の内部終端のデフォルトは、リセット時にPP_OTOで示された設定値となります。外部終端は、オンボード抵抗またはHDMI/DVIレシーバの入力終端抵抗によって提供できます。内部終端がイネーブルで、外部終端が存在する場合は、出力電流レベルを20mAにするために、シリアル制御インターフェースを介してトランスミッタ設定レジスタのTX_OCLビットを設定するか、パラレル制御インターフェースのPP_OCLピンを設定します。デフォルトの出力電流レベルは、リセット時にPP_OCLで示された値となります。外部終端のみが提供されている場合（内部終端がディスエーブルの場合）は、出力電流レベルを10mAにするために、トランスミッタ設定レジスタのTX_OCLビットを設定するか、パラレル制御インターフェースのPP_OCLピンを設定します。システム内に出力終端抵抗が存在しない場合は、高速出力をディスエーブルにする必要があります。

出力プリエンファシスのマニュアル設定により、4レベルの高周波ブーストのいずれかを提供できます。ブースト・レベルを選択するには、シリアル制御インターフェースを介してトランスミッタ設定レジスタのTX_PEビットを設定するか、パラレル制御インターフェースのPP_PEバスを設定します。メーカーによってケーブルの性能に大きな差があるため、個別のプリエンファシス設定に対応した推奨ケーブル長はありません。

高速（TMDS）スイッチ・モード

AD8191には、クワッド、デュアル、シングルという3つの高速スイッチ・モードがあります。このモードを選択するには、シリアル制御インターフェースを介して高速デバイス・モード・レジスタのHS_SMビットを設定します。

クワッド・スイッチ・モード

これはデフォルト・モードです。クワッド・モード中のAD8191は4:1 HDMI/DVIリンク・マルチプレクサと同じように動作し、4つのTMDS入力チャンネルのグループを4チャンネル出力にルーティングします。このモードにはシリアル制御インターフェースとパラレル制御インターフェースの両方からアクセスできます。シリアル制御インターフェースを使用するときは、表8に示すスイッチ・マッピングに従って高速デバイス・モード・レジスタのHS_CHビットを設定することで、出力にルーティングするTMDSリンクを選択できます。パラレル制御インターフェースを使用するときは、表26に示すスイッチ・マッピングに従ってパラレル制御インターフェースのPP_CHバスを設定することで、出力にルーティングするTMDSリンクを選択できます。

デュアル・スイッチ・モード

このモードのときは、AD8191はロックされたデュアル[8:1] TMDSチャンネル・スイッチと同じように動作します。2個の8:1スイッチはチャンネル選択入力を共有するため、連携してスイッチ動作を行います。8つの入力グループの中から2つのグループを選択して、それを出力にルーティングする場合は、表9に示したスイッチ・マッピングに従って高速デバイス・モード・レジスタのHS_CHビットを設定します。このモードには、シリアル制御インターフェースでのみアクセスできます。

シングル・スイッチ・モード

このモードのときは、AD8191はシングル16:1 TMDSチャンネル・マルチプレクサと同じように動作します。16入力チャンネルの1つが全出力にルーティングされます。出力にルーティングする入力チャンネルを選択する場合は、表10に示したスイッチ・マッピングに従って高速デバイス・モード・レジスタのHS_CHビットを設定します。このモードには、シリアル制御インターフェースでのみアクセスできます。

補助スイッチ

補助（低速）ラインにアンプは付いていません。これらのラインは、標準速度のI²Cと帯域互換のパッシブ・スイッチを使ってルーティングされます。このパッシブ接続と等価の回路図を図27に示します。

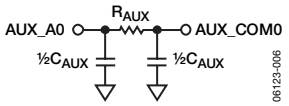

図27. 補助チャンネルの簡略回路図、AUX_A0からAUX_COM0へのルーティング例

AD8191をオフにするときは、補助マルチプレクサのピンが高インピーダンス状態を保つようにAMUXVCC電源に注意する必要があります。これが必要となるのは、補助マルチプレクサがDDC（ディスプレイ・データ・チャンネル）バスの切替えに使用される場合などです。アプリケーションによっては、AD8191のDDCバス（EDID情報を格納したEEPROMなど）の上流側に追加のデバイスを接続できます。EDID（拡張ディスプレイ識別データ）は、ソースにディスプレイ設定情報を送信するためのVESA規格の標準定義データ・フォーマットであり、これによってディスプレイの使用を最適化することができます。EDIDデバイスは、AD8191や下流側回路の状態とは関わりなく、DDCバスを介して使用できるようにします。この設定の場合、パワーダウンされたAD8191の補助入力は高インピーダンス状態にする必要があります。そうすることで、DDCラインのプルダウンを回避でき、他のデバイスによるバスの使用を禁止することができます。

図28に示すように、AD8191デバイスは単純な抵抗ネットワークから駆動される場合に、補助マルチプレクサのピンが高インピーダンスになるように、任意のHDMI/DVIソースから必要な5V電源を使用します。AMUXVCC電源には静的電流は流れないため、抵抗ネットワークで5V電源をコネクタのできるだけ近くにタップして余分な電圧降下を防ぐことを推奨します。

DDCの周辺回路がAD8191のバス下流に接続されている場合は、こういった予防策は必要ありません。

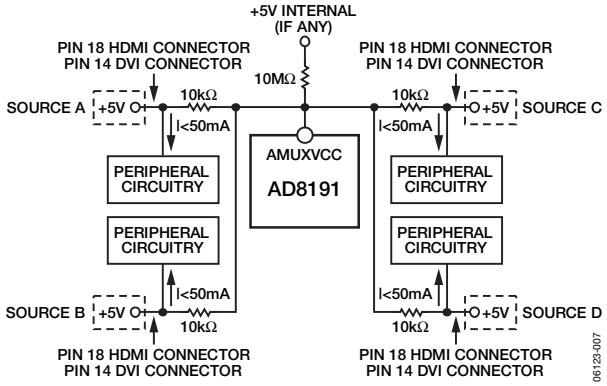

図28. AMUXVCC電源の推奨回路例

補助（低速）スイッチ・モード

AD8191には、クワッド、デュアル、シングルという3つの補助スイッチ・モードがあります。このモードを選択するには、シリアル制御インターフェースを介して補助デバイス・モード・レジスタのAUX_SMビットを設定します。補助スイッチ・モードは、デバイスがシリアル制御インターフェース経由で制御されているときに高速スイッチ・モードから独立しています。ただし、デバイスがパラレル制御インターフェース経由で制御されているときは、クワッド・モードにのみアクセス可能であり、補助スイッチ・モードを独立して制御することはできません。

クワッド・スイッチ・モード

これはデフォルト・モードです。クワッド・モード中のAD8191は4:1補助リンク・マルチプレクサと同じように動作し、4つの補助入力信号のグループを4つの信号出力にルーティングします。ユーザは、表13に示すスイッチ・マッピングに従ってシリアル制御インターフェースを介して補助デバイス・モード・レジスタのAUX_CHビットを設定することで、出力にルーティングする出力のグループを選択できます。あるいは、表27に示すスイッチ・マッピングに従ってパラレル制御インターフェースのPP_CHバスを設定することで、出力にルーティングする出力のグループを選択できます。

デュアル・スイッチ・モード

このモードのときは、AD8191はロックされたデュアル[8:1]補助信号スイッチと同じように動作します。2個の8:1スイッチはチャンネル選択入力を共有するため、連携してスイッチ動作を行います。8つの入力グループの中から2つのグループを選択して、それを出力にルーティングする場合は、表14に示したスイッチ・マッピングに従って補助デバイス・モード・レジスタのAUX_CHビットを設定します。このモードには、シリアル制御インターフェースでのみアクセスできます。

シングル・スイッチ・モード

このモードのときは、AD8191はシングルの16:1 TMDSチャンネル・マルチプレクサと同じように動作します。16チャンネルの1つが全出力にルーティングされます。出力にルーティングする入力チャンネルを選択する場合は、表15に示したスイッチ・マッピングに従って補助デバイス・モード・レジスタのAUX_CHビットを設定します。このモードには、シリアル制御インターフェースでのみアクセスできます。

シリアル制御インターフェース

リセット

最初のパワーアップ時または動作中の任意の時点で、AD8191のレジスタ・セットを事前設定のデフォルト値に戻すことができます。これを行うには、表1の仕様に従って$\overline{\text{RESET}}$ピンをローレベルにします。しかし、通常の動作中は、$\overline{\text{RESET}}$ピンを3.3Vにプルアップする必要があります。AD8191レジスタ・セットのデフォルト値（事前設定値）は、リセット後に、パラレル・インターフェース設定レジスタの状態に対応した値となります（表24を参照）。AD8191は、最初のシリアル制御イベントが発生するまでパラレル制御インターフェースで制御できます。シリアル制御イベントが発生するとすぐに、シリアル・インターフェース制御レジスタ（表5）の状態に対応したシリアル設定値によって前のすべてのパラレル設定値が無効となり、パラレル制御インターフェースはデバイスが次にリセットされるまでディスエーブルとなります。

書込み手順

AD8191レジスタ・セットにデータを書き込むには、I²Cマスタ（マイクロコントローラなど）からAD8191スレーブ・デバイスに制御信号を送信する必要があります。その信号は、特に指定がない限りI²Cマスタによって制御されます。この手順のタイミング図については、図29を参照してください。書込みの手順は以下のとおりです。

1. スタート状態を送信します（I2C_SCLラインをハイレベルに維持して、I2C_SDAラインをローレベルにします）。
2. AD8191デバイスのアドレス（7ビット）を送信します。このアドレスの上位4ビットはスタティック値[1001]であり、下位3ビットは入力ピンI2C_ADDR2、I2C_ADDR1、I2C_ADDR0（LSB）で設定されます。このアドレス送信はMSBファーストとします。
3. 書込みインジケータ・ビット（0）を送信します。
4. AD8191が要求に応答するまで待ちます。
5. データの書込み先のレジスタ・アドレス（8ビット）を送信します。この送信はMSBファーストとします。
6. AD8191が要求に応答するまで待ちます。
7. ステップ5でアドレスを指定した、レジスタに書き込むデータ（8ビット）を送信します。この送信はMSBファーストとします。
8. AD8191が要求に応答するまで待ちます。
9. 以下のいずれか1つを実行します。
   - 9a. ストップ状態を送信し（I2C_SCLラインをハイレベルに維持して、I2C_SDAラインをハイレベルにします）、バスの制御を開放してトランザクションを終了します（図29を参照）。
   - 9b. 反復スタート状態を送信し（I2C_SCLラインをハイレベルに維持して、I2C_SDAラインをローレベルにします）、この手順のステップ2を続行して次の書込みを実行します。
   - 9c. 反復スタート状態を送信し（I2C_SCLラインをハイレベルに維持して、I2C_SDAラインをローレベルにします）、読出し手順のステップ2（「読出し手順」を参照）を続行して次のアドレスから読出しを行います。
   - 9d. 反復スタート状態を送信し（I2C_SCLラインをハイレベルに維持して、I2C_SDAラインをローレベルにします）、読出し手順のステップ8（「読出し手順」を参照）を続行して、ステップ5で指定したアドレスから読出しを行います。

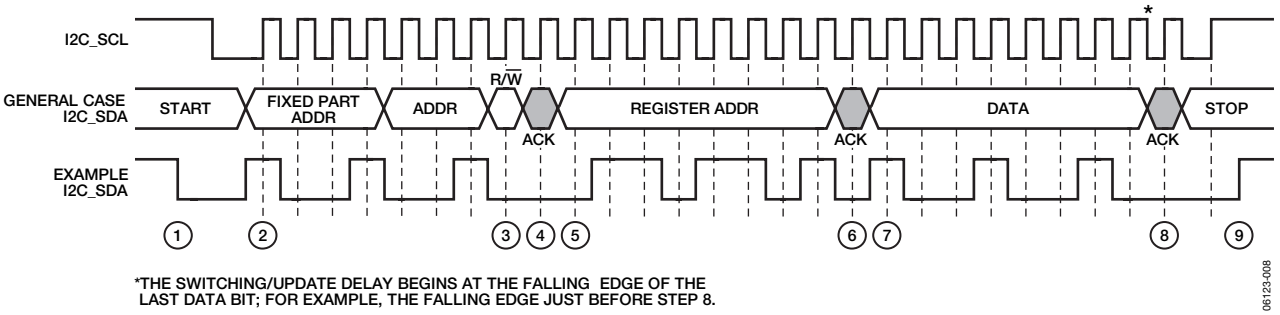

図29. I²C書込みのタイミング図

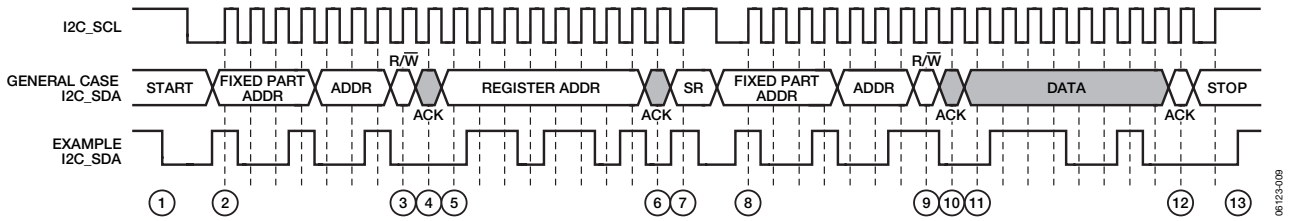

図30. I²C読出しのタイミング図

読出し手順

AD8191レジスタ・セットからデータを読み出すには、I²Cマスタ（マイクロコントローラなど）からAD8191スレーブ・デバイスに制御信号を送信する必要があります。その信号は、特に指定がない限りI²Cマスタによって制御されます。この手順のタイミング図については、図30を参照してください。読出しの手順は以下のとおりです。

1. スタート状態を送信します（I2C_SCLラインをハイレベルに維持して、I2C_SDAラインをローレベルにします）。
2. AD8191デバイスのアドレス（7ビット）を送信します。このアドレスの上位4ビットはスタティック値[1001]であり、下位3ビットは入力ピンI2C_ADDR2、I2C_ADDR1、I2C_ADDR0（LSB）で設定されます。このアドレス送信はMSBファーストとします。
3. 書込みインジケータ・ビット（0）を送信します。
4. AD8191が要求に応答するまで待ちます。
5. データの読出し対象となるレジスタ・アドレス（8ビット）を送信します。この送信はMSBファーストとします。
6. AD8191が要求に応答するまで待ちます。
7. I2C_SCLラインをハイレベルに維持し、I2C_SDAラインをローレベルにして、反復スタート状態（Sr）を送信します。
8. ステップ2に従ってAD8191デバイス・アドレス（7ビット）を再送します。このアドレスの上位4ビットはスタティック値[1001]であり、下位3ビットは入力ピンI2C_ADDR2、I2C_ADDR1、I2C_ADDR0（LSB）で設定されます。このアドレス送信はMSBファーストとします。
9. 読出しインジケータ・ビット（1）を送信します。
10. AD8191が要求に応答するまで待ちます。
11. AD8191は、ステップ5で指定したアドレスのレジスタに保持されているデータ（8ビット）をシリアルに送信します。このデータ送信はMSBファーストです。
12. AD8191からのデータに確認応答します。
13. 以下のいずれか1つを実行します。

    13a. ストップ状態を送信し（I2C_SCLラインをハイレベルに維持して、I2C_SDAラインをハイレベルにします）、バスの制御を開放してトランザクションを終了します（図30を参照）。

    13b. 反復スタート状態を送信し（I2C_SCLラインをハイレベルに維持して、I2C_SDAラインをローレベルにします）、書込み手順のステップ2（前出の「書込み手順」）を続行して書込みを実行します。

    13c. 反復スタート状態を送信し（I2C_SCLラインをハイレベルに維持して、I2C_SDAラインをローレベルにします）、この手順のステップ2を続行して次のアドレスから読出しを行います。

    13d. 反復スタート状態を送信し（I2C_SCLラインをハイレベルに維持して、I2C_SDAラインをローレベルにします）、この手順のステップ8を続行して、同じアドレスから読出しを行います。

パラレル制御インターフェース

AD8191は、PP_EN、PP_CH[1:0]、PP_EQ、PP_PRE[1:0]、PP_OTO、PP_OCLピンを使ってパラレル・インターフェースから制御できます。パラレル・インターフェース・ピンのロジック・レベルは、表1に示した仕様に従って設定されます。これらのピンを設定すると、表24に示すパラレル制御インターフェース・レジスタが更新されます。リセット後には、最初のシリアル制御イベントが発生するまでパラレル制御インターフェースでAD8191を制御できます。シリアル制御イベントが発生するとすぐに、シリアル設定値によって前のすべてのパラレル設定値が無効となり、パラレル制御インターフェースはデバイスが次にリセットされるまでディスエーブルとなります。デフォルトのシリアル設定値は、表5に示すようにシリアル・インターフェース設定レジスタの状態に対応しています。

シリアル・インターフェース設定レジスタ

シリアル・インターフェース設定レジスタの読出しと書込みは、I²Cシリアル制御インターフェース、I2C_SDAピン、I2C_SCLピンを使って行います。AD8191デバイス・アドレスの最下位ビットは、I2C_ADDR2、I2C_ADDR1、I2C_ADDR0の各ピンを3.3V（ロジック1）または0V（ロジック0）に接続して設定します。「シリアル制御インターフェース」の項で説明したように、シリアル制御インターフェースが使用されるとすぐに、パラレル制御インターフェースはAD8191がリセットされるまでディスエーブルとなります。

表5. シリアル（I²C）インターフェース・レジスタ・マップ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Addr.	Default
High Speed Device Modes		High speed switch enable	High speed switching mode select		High speed source select				0x00	0x40
		HS_EN	HS_SM[1]	HS_SM[0]	HS_CH[3]	HS_CH[2]	HS_CH[1]	HS_CH[0]		
Auxiliary Device Modes		Auxiliary switch enable	Auxiliary switching mode select		Auxiliary switch source select				0x01	0x40
		AUX_EN	AUX_SM[1]	AUX_SM[0]	AUX_CH[3]	AUX_CH[2]	AUX_CH[1]	AUX_CH[0]		
Receiver Settings								High speed input termination select	0x10	0x01
								RX_TO		
Input Termination Pulse 1	Source A and Source B : input termination pulse-on-source switch select (disconnect termination for a short period of time)								0x11	0x00
	RX_PT[7]	RX_PT[6]	RX_PT[5]	RX_PT[4]	RX_PT[3]	RX_PT[2]	RX_PT[1]	RX_PT [0]		
Input Termination Pulse 2	Source C and Source D: input termination pulse-on-source switch select (disconnect termination for a short period of time)								0x12	0x00
	RX_PT[15]	RX_PT[14]	RX_PT[13]	RX_PT[12]	RX_PT[11]	RX_PT[10]	RX_PT[9]	RX_PT[8]		
Receive Equalizer 1	Source A and Source B: input equalization level select								0x13	0x00
	RX_EQ[7]	RX_EQ[6]	RX_EQ[5]	RX_EQ[4]	RX_EQ[3]	RX_EQ[2]	RX_EQ[1]	RX_EQ[0]		
Receive Equalizer 2	Source C and Source D: input equalization level select								0x14	0x00
	RX_EQ[15]	RX_EQ[14]	RX_EQ[13]	RX_EQ[12]	RX_EQ[11]	RX_EQ[10]	RX_EQ[9]	RX_EQ[8]		
Transmitter Settings					High speed output pre-emphasis level select		High speed output termin ation select	High speed output current level select	0x20	0x03
					TX_PE[1]	TX_PE[0]	TX_PTO	TX_OCL		

高速デバイス・モード・レジスタ

HS_EN：高速（TMDS）チャンネル・イネーブル・ビット

表6. HS_ENの説明

HS_EN	説明
0	高速チャンネル・オフ、低消費電力／スタンバイ・モード
1	高速チャンネル・オン

HS_SM[1:0]：高速（TMDS）スイッチ・モード選択バス

表7. HS_SMの説明

HS_SM[1:0]	説明
00	クワッド・モード、4×[4:1]
01	デュアル・モード、2×[8:1]
10	シングル・モード、1×[16:1]
11	無効値：HS_SM[1:0]に保持されている前の値

HS_CH[3:0]：高速（TMDS）スイッチ・ソース選択バス

表8. クワッド・モード、4×[4:1]、高速スイッチ・マッピング

HS_CH[3:0]	O[3:0]	説明
XX00	A[3:0]	高速ソースAを出力に切り替える
XX01	B[3:0]	高速ソースBを出力に切り替える
XX10	C[3:0]	高速ソースCを出力に切り替える
XX11	D[3:0]	高速ソースDを出力に切り替える

表9. デュアル・モード、2×[8:1]、高速スイッチ・マッピング

HS_CH[3:0]	O[3:2]	O[1:0]	説明
X000	A1	A0	高速チャンネルA0、A1を出力に切り替える
X001	A3	A2	高速チャンネルA2、A3を出力に切り替える
X010	B1	B0	高速チャンネルB0、B1を出力に切り替える
X011	B3	B2	高速チャンネルB2、B3を出力に切り替える
X100	C1	C0	高速チャンネルC0、C1を出力に切り替える
X101	C3	C2	高速チャンネルC2、C3を出力に切り替える
X110	D1	D0	高速チャンネルD0、D1を出力に切り替える
X111	D3	D2	高速チャンネルD2、D3を出力に切り替える

表10. シングル・モード、1×[16:1]、高速スイッチ・マッピング

HS_CH[3:0]	O[3:0]	説明
0000	A0	高速チャンネルA0を出力に切り替える
0001	A1	高速チャンネルA1を出力に切り替える
0010	A2	高速チャンネルA2を出力に切り替える
0011	A3	高速チャンネルA3を出力に切り替える
0100	B0	高速チャンネルB0を出力に切り替える
0101	B1	高速チャンネルB1を出力に切り替える
0110	B2	高速チャンネルB2を出力に切り替える
0111	B3	高速チャンネルB3を出力に切り替える
1000	C0	高速チャンネルC0を出力に切り替える
1001	C1	高速チャンネルC1を出力に切り替える
1010	C2	高速チャンネルC2を出力に切り替える
1011	C3	高速チャンネルC3を出力に切り替える
1100	D0	高速チャンネルD0を出力に切り替える
1101	D1	高速チャンネルD1を出力に切り替える
1110	D2	高速チャンネルD2を出力に切り替える
1111	D3	高速チャンネルD3を出力に切り替える

補助デバイス・モード・レジスタ

AUX_EN：補助（低速）スイッチ・イネーブル・ビット

表11. AUX_ENの説明

AUX_EN	説明
0	補助スイッチ・オフ、低速入出力から低速共通入出力への接続なし
1	補助スイッチ・オン

AUX_SM[1:0]：補助（低速）スイッチ・モード選択バス

表12. AUX_SM[1:0]の説明

AUX_SM[1:0]	説明
00	クワッド・モード、4×[4:1]
01	デュアル・モード、2×[8:1]
10	シングル・モード、1×[16:1]
11	無効値：AUX_SM[1:0]に保持されている前の値

AUX_CH[3:0]：補助（低速）スイッチ・ソース選択バス

表13. クワッド・モード、4×[4:1]、補助スイッチ・マッピング

AUX_CH[3:0]	AUX_COM[3:0]	説明
XX00	AUX_A[3:0]	出力に切り替えられる補助ソースA
XX01	AUX_B[3:0]	出力に切り替えられる補助ソースB
XX10	AUX_C[3:0]	出力に切り替えられる補助ソースC
XX11	AUX_D[3:0]	出力に切り替えられる補助ソースD

表14. デュアル・モード、2×[8:1]、補助スイッチ・マッピング

AUX_CH[3:0]	AUX_COM[3:2]	AUX_COM[1:0]	説明
X000	AUX_C0	AUX_A0	出力に切り替えられる補助チャンネルA0、C0
X001	AUX_C1	AUX_A1	出力に切り替えられる補助チャンネルA1、C1
X010	AUX_C2	AUX_A2	出力に切り替えられる補助チャンネルA2、C2
X011	AUX_C3	AUX_A3	出力に切り替えられる補助チャンネルA3、C3
X100	AUX_D0	AUX_B0	出力に切り替えられる補助チャンネルB0、D0
X101	AUX_D1	AUX_B1	出力に切り替えられる補助チャンネルB1、D1
X110	AUX_D2	AUX_B2	出力に切り替えられる補助チャンネルB2、D2
X111	AUX_D3	AUX_B3	出力に切り替えられる補助チャンネルB3、D3

表15. シングル・モード、1×[16:1]、補助スイッチ・マッピング

AUX_CH[3:0]	AUX_COM[3:0]	説明
0000	AUX_A0	出力に切り替えられる補助チャンネルA0
0001	AUX_A1	出力に切り替えられる補助チャンネルA1
0010	AUX_A2	出力に切り替えられる補助チャンネルA2
0011	AUX_A3	出力に切り替えられる補助チャンネルA3
0100	AUX_B0	出力に切り替えられる補助チャンネルB0
0101	AUX_B1	出力に切り替えられる補助チャンネルB1
0110	AUX_B2	出力に切り替えられる補助チャンネルB2
0111	AUX_B3	出力に切り替えられる補助チャンネルB3
1000	AUX_C0	出力に切り替えられる補助チャンネルC0
1001	AUX_C1	出力に切り替えられる補助チャンネルC1
1010	AUX_C2	出力に切り替えられる補助チャンネルC2
1011	AUX_C3	出力に切り替えられる補助チャンネルC3
1100	AUX_D0	出力に切り替えられる補助チャンネルD0
1101	AUX_D1	出力に切り替えられる補助チャンネルD1
1110	AUX_D2	出力に切り替えられる補助チャンネルD2
1111	AUX_D3	出力に切り替えられる補助チャンネルD3

レシーバ設定レジスタ

RX_TO：高速（TMDS）チャンネル入力終端オン／オフ選択ビット

表16. RX_TOの説明

RX_TO	説明
0	入力終端オフ
1	入力終端オン（入力終端パルス・レジスタの設定に従ってパルス・オンまたはオフを選択）

入力終端パルス・レジスタ1およびレジスタ2

RX_PT[X]：高速（TMDS）入力チャンネルXパルスオン・ソース・スイッチ選択ビット

表17. RX_PT[X]の説明

RX_PT[X]	説明
0	ソースが切り替えられると、TMDSチャンネルXの入力終端が接続されます。
1	ソースが切り替えられると、100msのあいだTMDSチャンネルXの入力終端が切断されます。

表18. RX_PT[X]のマッピング

RX_PT[X]	対応する入力TMDSチャンネル
Bit 0	B0
Bit 1	B1
Bit 2	B2
Bit 3	B3
Bit 4	A0
Bit 5	A1
Bit 6	A2
Bit 7	A3
Bit 8	C3
Bit 9	C2
Bit 10	C1
Bit 11	C0
Bit 12	D3
Bit 13	D2
Bit 14	D1
Bit 15	D0

受信イコライザ・レジスタ1およびレジスタ2

RX_EQ[X]：高速（TMDS）入力Xイコライゼーション・レベル選択ビット

表19. RX_EQ[X]の説明

RX_EQ[X]	説明
0	低イコライゼーション（6dB）
1	高イコライゼーション（12dB）

表20. RX_EQ[X]のマッピング

RX_EQ[X]	対応する入力TMDSチャンネル
Bit 0	B0
Bit 1	B1
Bit 2	B2
Bit 3	B3
Bit 4	A0
Bit 5	A1
Bit 6	A2
Bit 7	A3
Bit 8	C3
Bit 9	C2
Bit 10	C1
Bit 11	C0
Bit 12	D3
Bit 13	D2
Bit 14	D1
Bit 15	D0

トランスミッタ設定レジスタ

TX_PE[1:0]：高速（TMDS）出力プリエンファシス・レベル選択バス（全TMDSチャンネル）

表21. TX_PE[1:0]の説明

TX_PE[1:0]	説明
00	プリエンファシスなし（0dB）
01	低プリエンファシス（2dB）
10	中プリエンファシス（4dB）
11	高プリエンファシス（6dB）

TX_PTO：高速（TMDS）出力終端オン／オフ選択ビット（全チャンネル）

表22. TX_PTOの説明

TX_PTO	説明
0	出力終端オフ
1	出力終端オン

TX_OCL：高速（TMDS）出力電流レベル選択ビット（全チャンネル）

表23. TX_OCLの説明

TX_OCL	説明
0	出力電流を10mAに設定
1	出力電流を20mAに設定

パラレル・インターフェース設定レジスタ

パラレル・インターフェース設定レジスタは、PP_EN、PP_CH[1:0]、PP_EQ、PP_PRE[1:0]、PP_OTO、PP_OCLの各ピンを使って直接設定できます。このインターフェースへのアクセスは、デバイスがリセットされてからシリアル制御インターフェース経由で特定のレジスタにアクセスが行われるまでの間に限られます。各ピンの状態は、そのピンを3.3V（ロジック1）または0V（ロジック0）に接続して設定します。

表24. パラレル・インターフェース・レジスタ・マップ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
High Speed Device Modes		High speed switch enable	High speed switching mode select (quad)		High speed source select			
		PP_EN	0	0	0	0	PP_CH[1]	PP_CH[0]
Auxiliary Device Modes		Auxiliary switch enable	Auxiliary switching mode select (quad)		Auxiliary switch source select			
		1	0	0	0	0	PP_CH[1]	PP_CH[0]
Receiver Settings								Input term. on/off select (termination always on)
								1
Input Termination Pulse 1	Source A and Source B input termination pulse-on-source switch select (termination always on)							
	0	0	0	0	0	0	0	0
Input Termination Pulse 2	Source C and Source D input termination pulse-on-source switch select (termination always on)							
	0	0	0	0	0	0	0	0
Receive Equalizer 1	Source A and Source B input equalization level select							
	PP_EQ	PP_EQ	PP_EQ	PP_EQ	PP_EQ	PP_EQ	PP_EQ	PP_EQ
Receive Equalizer 2	Source C and Source D input equalization level select							
	PP_EQ	PP_EQ	PP_EQ	PP_EQ	PP_EQ	PP_EQ	PP_EQ	PP_EQ
Transmitter Settings					Output pre-emphasis level select		Output termination on/off select	Output current level select
					PP_PE[1]	PP_PE[0]	PP_OTO	PP_OCL

高速デバイス・モード・レジスタ

パラレル・インターフェースを使用するときは、高速（TMDS）スイッチ・モードはクワッド・モードに固定されています。

PP_EN：高速（TMDS）チャンネル・イネーブル・ビット

表25. PP_ENの説明

PP_EN	説明
0	高速チャンネル・オフ、低消費電力／スタンバイ・モード
1	高速チャンネル・オン

PP_CH[1:0]：高速（TMDS）スイッチ・ソース選択バス

表26. クワッド高速スイッチ・モードのマッピング

PP_CH[1:0]	O[3:0]	説明
00	A[3:0]	高速ソースAを出力に切り替える
01	B[3:0]	高速ソースBを出力に切り替える
10	C[3:0]	高速ソースCを出力に切り替える
11	D[3:0]	高速ソースDを出力に切り替える

補助デバイス・モード・レジスタ

補助（低速）スイッチは常にイネーブルとなります。パラレル・インターフェースを使用するときは、補助スイッチ・モードがクワッド・モードに固定されます。

PP_CH[1:0]：補助スイッチ・ソース選択バス

表27. クワッド補助スイッチ・モードのマッピング

PP_CH[1:0]	AUX_COM[3:0]	説明
00	AUX_A[3:0]	補助ソースAを出力に切り替える
01	AUX_B[3:0]	補助ソースBを出力に切り替える
10	AUX_C[3:0]	補助ソースCを出力に切り替える
11	AUX_D[3:0]	補助ソースDを出力に切り替える

レシーバ設定レジスタ

パラレル・インターフェースを使用するときは、高速（TMDS）チャンネル入力終端はオンに固定されます。

入力終端パルス・レジスタ1およびレジスタ2

パラレル・インターフェースを使用するときは、高速入力（TMDS）チャンネルパルス・オン・ソース・スイッチはオフに固定されます。

受信イコライザ・レジスタ1およびレジスタ2

PP_EQ：高速（TMDS）入力イコライゼーション・レベル選択ビット（全TMDS入力チャンネル）

パラレル・インターフェースを使用するときは、入力イコライゼーションを個別に（チャンネルごとに）設定することはできません。1つのイコライゼーション設定がすべての入力チャンネルに影響します。

表28. PP_EQの説明

PP_EQ	説明
0	低イコライゼーション（6dB）
1	高イコライゼーション（12dB）

トランスミッタ設定レジスタ

PP_PE[1:0]：高速（TMDS）出力プリエンファシス・レベル選択バス（全TMDSチャンネル）

表29. PP_PE[1:0]の説明

PP_PE[1:0]	説明
00	プリエンファシスなし（0dB）
01	低プリエンファシス（2dB）
10	中プリエンファシス（4dB）
11	高プリエンファシス（6dB）

PP_OTO：高速（TMDS）出力終端オン／オフ選択ビット（全TMDSチャンネル）

表30. PP_OTOの説明

PP_OTO	説明
0	出力終端オフ
1	出力終端オン

PP_OCL：高速（TMDS）出力終端オン／オフ選択ビット（全TMDSチャンネル）

表31. PP_OCLの説明

PP_OCL	説明
0	出力電流を10mAに設定
1	出力電流を20mAに設定

アプリケーション情報

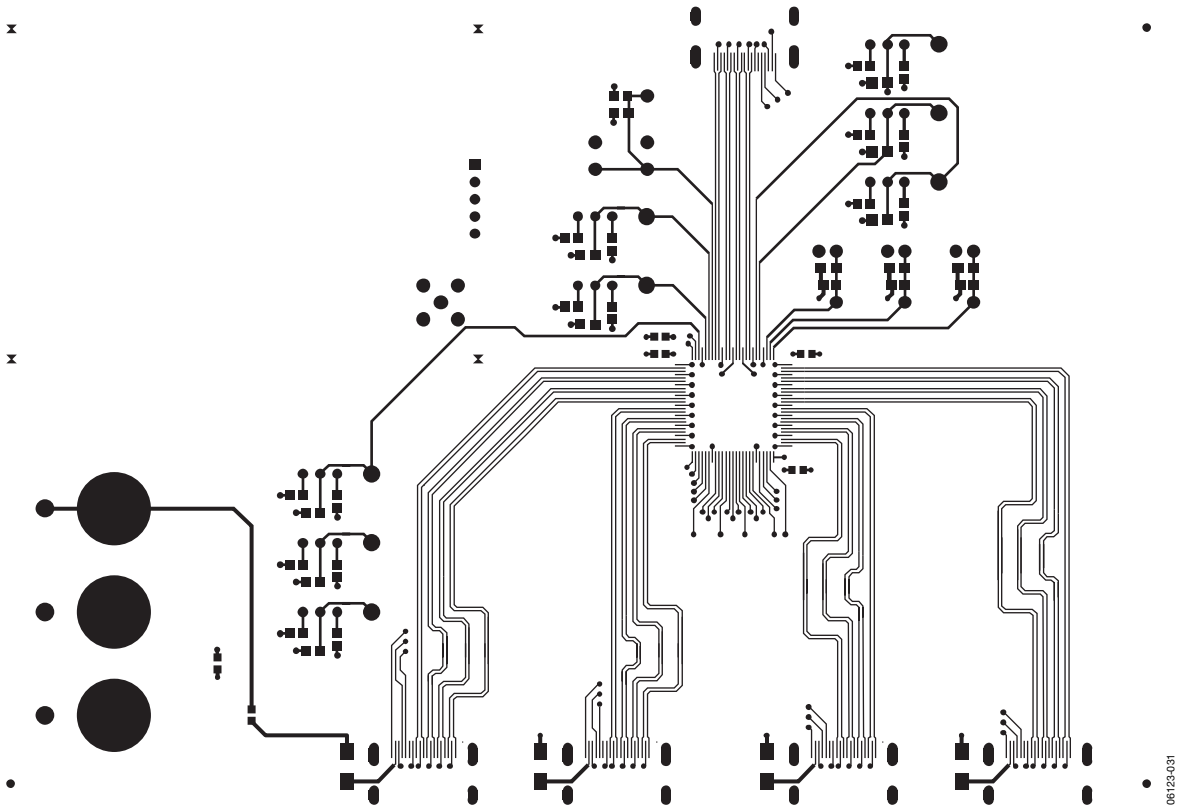

図31. AD8191評価用ボードのTMDSパターン・レイアウト（最上層の信号配線のみ）

AD8191は、イコライズされたTMDS入力とプリエンファシスされたTMDS出力を提供するHDMI/DVIスイッチです。このスイッチは、入力側と出力側の両方で長いケーブルを使用するシステムで、4:1スイッチとして使用できます。これはHDMI 1.2a受信に完全に準拠しています。

ピン配置

AD8191は、入力のHDMI/DVIレシーバのピン配置と出力のトランスミッタのピン配置を備えています。このため、AD8191は、入力と出力の両方がHDMI/DVIコネクタに直接ルーティングされるAVRタイプのアプリケーションに最適です。このタイプのレイアウトは、図31に示すように、AD8191評価用ボードで使用されます。AD8191をレシーバ・タイプのアプリケーションで使用するときは、PCボード上の出力ピンの配置を内蔵レシーバに適合するように変更する必要があります。

AVRタイプのアプリケーションでAD8191を使用するメリットは、図31に示すように、ボードの最上層でルーティングを行えるという点です。AD8191は、12dBの入力イコライゼーションだけではなく、最大6dBの出力プリエンファシスを提供します。このプリエンファシス機能によって、出力TMDS信号を増幅でき、PCボード上の長いパターンまたは長い出力ケーブルを駆動するときに事前補償が可能となります。AD8191の入力イコライゼーションと出力プリエンファシスの実質的な利点は、入力ケーブルと出力ケーブルの両方で信号劣化を補償できるということです。この場合、AD8191は閉じた入力データ・アイパターンを開いて、フルスイングHDMI信号を受信側に送信します。

AD8191は、フルバッファのHDMI/DVIスイッチなので、受信タイプのアプリケーションには大きなメリットがあります。PCボードに搭載されたAD8191の出力ピンの順序を逆にする場合は、高速信号パスにビアを配置する必要がありますが、AD8191は完全なバッファリングを行い、入力から出力をデカップリングします。したがって、出力信号ライン上に配置されたビアの影響は、AD8191の入力にはみられません。プログラマブルな出力終端により、AD8191の出力の信号品質も向上します。そのため、他のソリューションに比べてAD8191の出力信号パスの配置やルーティングの柔軟性が大幅に増しています。

ケーブル長とイコライゼーション

AD8191は、高速入力に対して設定可能な2つのレベルのイコライゼーション（6dBと12dB）を提供します。AD8191のイコライザは、1.65Gbpsのビデオ・データレートに最適化されています。ビデオ・フォーマット1080pに対応したデータレートで最長20メートルの24AWG HDMIケーブルをイコライズできます。

一般的なHDMI/DVIアプリケーションで使用できるケーブルの長さは、以下のような多くの条件によって違ってきます。

- ケーブル品質：電線ゲージとシールド効果の点からみたケーブルの品質。導体の厚みが大きいほど単位長あたりの信号劣化は小さくなります。
- データレート：データをケーブルで送信するときのデータレート。HDMIケーブルの信号劣化はデータレートに応じて増大します。
- エッジレート：ソース入力のエッジレート（立上がりレートと立下がりレート）。入力エッジが遅くなると、その分だけケーブル終端でのデータ・アイパターンの閉じ具合が大きくなります。
- レシーバ感度：終端レシーバの感度。

したがって、特定のイコライザ設定に特定のケーブル・タイプやケーブル長を推奨することはできません。ほとんどのアプリケーションでは、信号の完全性を損なうことなく、すべてのデータレートのすべての入力ケーブル設定に対して、AD8191のイコライゼーション・レベルを高い値（12dB）に設定することができます。

PCボード・レイアウトのガイドライン

AD8191は、HDMIおよびDVIビデオに必要な2つの異なるタイプの信号の切替えに使用します。これらの信号グループは、PCボードのレイアウト時にそれぞれ個別に扱う必要があります。

信号の最初のグループは、オーディオビジュアル（AV）データを送信します。HDMI/DVIビデオ信号は、差動、片方向、高速（最大1.65Gbps）という特性を備えています。ビデオ・データを送信するチャンネルは、インピーダンスを制御してレシーバで終端し、少なくとも最大1.65Gbpsで動作する必要があります。ここで特に留意すべき点は、TMDS信号を送信する差動パターンを、100Wの制御された差動インピーダンスで設計するということです。AD8191は入力と出力の両方に内蔵のシングルエンド50W終端を提供しており、入力終端と出力終端はシリアル・インターフェース経由でイネーブルまたはディスエーブルにすることができます。トランスミッタ終端はHDMI標準で完全に仕様規定されてはいませんが、システム全体の信号の完全性が改善されています。

これらの高速チャンネルで送信されるオーディオビジュアルは、TMDS（遷移時間最短差動信号伝送方式）と呼ばれる方式でエンコードされ、HDMIの場合は、HDCP（広帯域デジタル・コピー保護）標準に従って暗号化も行われます。

もう1つの信号グループは、ソースとシンク間の通信に使用される低速の補助制御信号です。アプリケーションによりますが、これらの信号にはDDCバス（ソースとシンク間でEDID情報とHDCP暗号化キーを送信するI2Cバス）、CEC（Consumer Electronics Control：民生電子機器制御）ライン、およびHPD（Hot Plug Detect：ホット・プラグ検出）ラインを含めることができます。これらの補助信号は双方向、低速度で、制御されたインピーダンスを必要としないシングルエンド伝送ラインで送信されます。補助ラインをレイアウトする際の要点は、I2Cバス標準に準拠して、容量性負荷を過剰に使用しないということです。

TMDS信号

HDMI/DVI標準では、4つの差動ペアでTMDS信号を送信します。DVIでは、これらのうち3つのペアをRGBビデオと同期データの送信用として使用します。HDMIの場合は、オーディオ・データとビデオ・データがインターリーブされます。DVI標準はオーディオ情報に対応していません。残り1つの高速差動ペアはAVデータワード・クロックに使用され、TMDSデータ・チャンネルの1/10の速度で動作します。

AD8191の4つの高速チャンネルはすべて同じです。ピクセル・クロック用に4番目のチャンネルの帯域幅を下げることは行われていないため、任意のチャンネルを任意のTMDS信号用に使用できます。どの信号をどのチャンネルでルーティングするかはユーザが選択します。また、対称性のTMDSチャンネルを使用するため、任意の差動ペアのpとnは相互に交換可能です。この場合、AD8191のすべての入出力でその変更に一貫性を持たせる必要があります。ただし、AD8191を用いた入出力間のルーティングは固定されます。たとえば、クワッド・モードの場合、出力チャンネル0は常に入力A0、入力B0、入力C0、入力D0（以下同様）間の切替えを行います。

AD8191はTMDS信号をバッファし、入力パターンは電気的に出力パターンとは独立したものとみなせます。ほとんどのアプリケーションでは、入力TMDSパターン上の信号品質はPCボードのレイアウトの影響を受けます。特定のTMDSチャンネルで送信されるデータとは関係なく、またTMDSラインがAD8191の入力側か出力側かには関わりなく、4つの高速信号はすべて同じRFレイアウト・ガイドラインに従ってPCボード上でルーティングする必要があります。

TMDS信号のレイアウト

TMDS差動ペアはボードの外側の層でルーティングされるマイクロストリップ・パターンか、または内側の層でルーティングされるストリップライン・パターンです。マイクロストリップ・パターンを使用する場合は、パターンのすぐ下のPCボード層に連続したリファレンス・プレーンが必要となります。ストリップライン・パターンを使用する場合は、そのパターンをPCボードのスタックアップの2つの連続したリファレンス・プレーンの間にはさみます。また、各差動ペアのpとnには、制御された差動インピーダンス（100W）が必要となります。差動ペアの特性インピーダンスは、パターン幅、2つのパターン間の距離、パターンとリファレンス・プレーンとの間隔、PCボードのバインダ材料の誘電率などを含む、複数の変数の関数です。層間のビアはインピーダンスの不連続性をもたらし、信号パス上で反射やジッタを発生させるため、TMDSラインはボードの1つの層でのみルーティングするようにします。入力パターンの場合は特にそうです。たとえば、複数のAD8191を使って大きな入力アレイを構築するアプリケーションでは、層間のビアの使用は不可避となります。こういった場合は、AD8191の入力終端機能で反射を吸収してシステム信号の完全性を改善できます。ビアの使用はできる限り抑えるようにし、任意の差動ペアの各サイドに対して対称にビアを配置してください。また、不要な信号カップリングや干渉を防ぐために、PCボード上ではTMDS信号を他の信号やノイズ源から離れた位置でルーティングしてください。

差動ペアの両パターンは同じ長さにして、ペア内スキューを最小限に抑えます。差動ペアの物理的な対称性を維持することは、信号の完全性を実現するうえで不可欠です。過剰なペア内スキューは、DCD（デューティ・サイクル歪み）ジッタの原因となります。差動ペアのpとnは、必要な差動インピーダンス（100Ω）を得るために必ずまとめてルーティングします。特定のグループに属する各差動ペア間は十分なスペースを設けて、差動ペアのnが別のペアのpとカップリングするのを防ぐようにします。たとえば、ペア間の距離をペア内の間隔よりも4～10倍広くします。

4つのTMDSチャンネル（入力A、入力B、入力C、入力D、または出力）のグループはどれもほぼ同じパターン長にして、ペア間スキューを最小限に抑えます。ペア間スキューが大きいと、グループ内の4つの差動チャンネル上のデータが互いにばらばらに到着する可能性があります。4チャンネルを含むグループのパターン長は、FR4材料のボード上で0.05インチ以内に合わせるようにします。

TMDSパターンの長さは最小限にして信号全体の劣化を抑えます。一般的に使用されるPCボードの材料（FR4など）は高周波損失が大きくなります。したがって、回路ボード上のパターンが長くなると信号の減衰が大きくなり、信号の振幅が小さくなって、シンボル間インターフェース（ISI）ジッタが増大します。

TMDS差動ペアの特性インピーダンスの制御

差動ペアの特性インピーダンスは、パターン幅、2つのパターン間の距離、パターンとその下のリファレンス・プレーン間の誘電材料、PCボードのバインダ材料の誘電定数など、数多くの変数に依存します。また、その度合いは落ちますが、パターンの厚みやハンダ・マスクの有無にも依存します。この多くの組合わせにより、適正な特性インピーダンスを発生させることができます。所望の結果を生むためのパラメータ・セットを得るには、一般にPCボード製作業者との協力が必要になります。

100Ωの差動インピーダンスを持つ差動ペアをパターン長全体で保証することは非常に重要です。この目的を達成するには、パターン同士をどれだけ近づけて結合するかという点を基準にしてパターン幅を変更することもできます。差動ペアの2つのパターンを近接した状態で強く結合するときは、100Ωの差動インピーダンスを発生させるだけのパターン幅にします。パターン間の間隔を広げて、たとえばコネクタに接続し、それほど強く結合しない場合は、パターン幅を広げて、新しい設定で100Ωの差動インピーダンスを得るようにします。

TMDS終端

AD8191は、すべての高速入出力に対して内蔵の50Ωシングルエンド終端を提供します。PCボード上のTMDS差動ペアに対して終端抵抗を外付けする必要はありません。

AD8191の出力終端抵抗は出力TMDS伝送ラインをバック終端します。このバック終端によって出力パターン上のインピーダンス不連続による信号反射を吸収し、出力パターンの信号の完全性を改善するとともに、出力パターンのルーティングに柔軟性が得られます。たとえば、層間ビアを利用して、出力信号の品質をそれほど劣化させずにPCボードの複数の層でAD8191 TMDS出力をルーティングすることができます。

補助制御信号

HDMI/DVIアプリケーションでは、各ソースまたはシンクに関連する4つのシングルエンド制御信号、すなわちCEC（民生電子機器制御）ライン、HPD（ホット・プラグ検出）ライン、2つのDDC（ディスプレイ・データ・チャンネル）ラインがあります。DDCバス上の2つの信号は、SDA（シリアル・データ）とSCL（シリアル・クロック）です。この4つの信号はAD8191の補助バスで切り替えることができます。これらの信号は、高速TMDS信号ほど厳密にルーティングする必要はありません。

一般に、各補助信号をシングルエンド・パターンとしてルーティングすれば十分です。これらの信号はインピーダンス不連続の影響を受けにくいため、リファレンス・プレーンの必要はなく、PCボードの複数の層でルーティングできます。しかし、PCボードの設計がアプリケーション全体に影響しないようにできる場合は、厳密なレイアウト法に従うのが最適です。HPD、CEC、DDCの各ラインのルーティングは、AD8191を使用するアプリケーションに依存します。

たとえば、補助ラインに存在する最大速度の信号はDDCライン上の100kHzのI^2Cデータです。したがって、DDCバス上を100kHzのI^2Cデータが通過できるレイアウトであれば、それで十分です。しかし、HDMI 1.2a仕様は、HDMI入力コネクタのSDAまたはSCLラインで測定できる容量に50pF未満という厳しい制限を課しています。この50pFという制限には、HDMIコネクタ、PCボード、AD8191の入力のすべての容量、または等価のレシーバが含まれます。CECラインについても同様に、入力容量に対して100pFという制限を課しています。

PCボード上のパターンの寄生特性は、パターンの長さに応じて増大します。設計でHDMI仕様を満たすには、PCボード上のCECラインとDDCラインの長さを可能な限り短くする必要があります。また、PCボードのスタックアップの補助パターンの隣の層にリファレンス・プレーンが存在する場合に、補助パターンの真下にあるこのプレーンを開放するか取り除くと、寄生パターン容量の量が大幅に減ります。ボードのスタックアップの例を図32に示します。

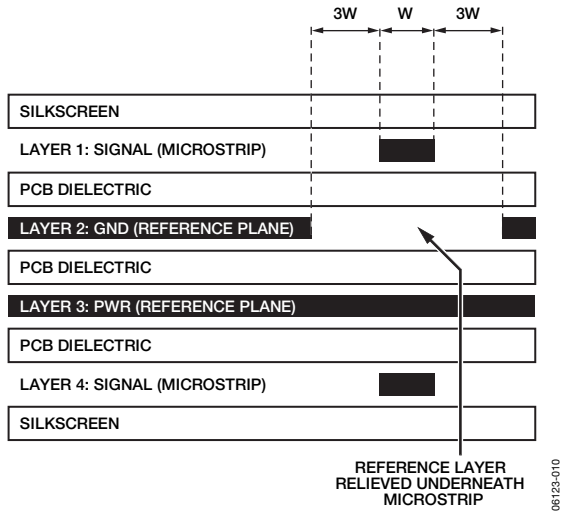

図32. サンプル・ボードのスタックアップ

HPDはシンクからソースに与えられるDC信号であり、読み出せるソースEDIDがあることを示しています。この信号の配置は重要ではありませんが、できる限りまっすぐにルーティングしてください。

AD8191がパワーアップされると、1つの補助入力セットが出力に受動的にルーティングされます。この状態のとき、AD8191は指定された補助入力とそれに対応する出力との間に接続された100Ωの抵抗のようにみえます（図27を参照）。AD8191は補助信号をバッファしないため、入力パターン、出力パターン、AD8191経由の接続などはすべて、PCボードを設計する際によく検討してHDMI/DVI仕様を満たす必要があります。AD8191の選択されていない補助入力は、デバイスのパワーアップ時に高インピーダンス・モードになります。デバイスをパワーオフしたときにAD8191のすべての補助入力を高インピーダンス・モードにするには、AMUXVCC電源を駆動する必要があります（図28を参照）。

補助信号とは対照的に、AD8191はTMDS信号をバッファするため、PCボードの設計者は出力とは独立にTMDS入力をレイアウトすることができます。

電源

AD8191には、2つの個別のグラウンドを基準とする5個の電源があります。電源／グラウンド・ペアは以下のとおりです。

- AVCC/AVEE
- VTTI/AVEE
- VTTO/AVEE
- DVCC/DVEE
- AMUXVCC/DVEE

AVCC/AVEE（3.3V）およびDVCC/DVEE（3.3V）電源は、AD8191のコアを駆動します。VTTI/AVEE電源（3.3V）は入力終端を駆動し（図25を参照）、VTTO/AVEE電源（3.3V）は出力終端を駆動します（図26）。また、AMUXVCC/DVEE電源（3.3～5V）は補助マルチプレクサ・コアを駆動し、補助ラインの最大許容電圧を決定します。たとえば、DDCバスが5V I²Cを使用する場合は、＋5V（DVEEを基準）にAMUXVCCを接続します。

一般的なアプリケーションでは、AVEEまたはDVEEと表示されているピンはすべてグラウンドに直接接続します。AVCC、DVCC、VTTI、VTTOという名前のピンはすべて3.3Vに接続し、AMUXVCCピンは5Vに接続します。電源は個別に駆動することもできますが、各段を適正に駆動するよう注意が必要です。

電源のバイパス

AD8191は最小電源バイパスを必要とします。電源を個別に駆動するときは、AVCC、DVCC、VTTI、VTTO（3.3V電源）の各ピンとグラウンドの間に0.01µFのコンデンサを接続して、電源ノイズを除去します。一般に、バイパス・コンデンサは電源ピンの近くに配置し、（長いパターンを使わずに）当該電源に直接接続します。たとえば、電源デカップリング・コンデンサの寄生インダクタンスを改善するには、図33に示すように、コンデンサのランド・パッドとビアの間のパターン長を最小限に抑える必要があります。

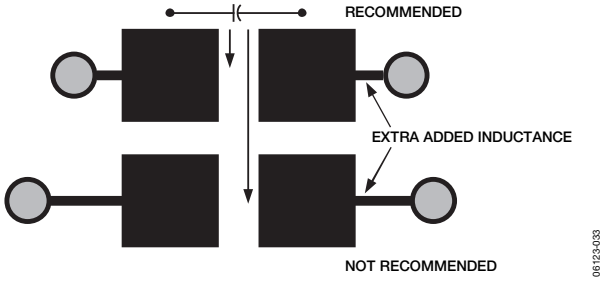

図33. 推奨しているバイパス・コンデンサのパッド外形図

AD8191を3.3V単電源で駆動するアプリケーションでは、2つのリファレンス電源プレーンを使用し、1個の220pF、1個の1000pF、2個の0.01µF、1個の4.7µFコンデンサで3.3Vリファレンス・プレーンをグラウンド・リファレンス・プレーンにバイパスすることを推奨します。コンデンサは、ビアを通して電源プレーンに直接接続し、AD8191から数センチメートル以内に配置します。AMUXVCC電源は、追加のバイパスを必要としません。図34はこのバイパス方法を示しています。

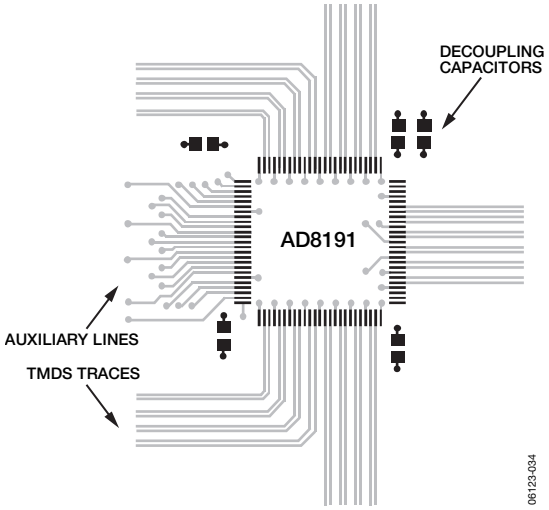

図34. AD8191周りの電源デカップリング・コンデンサの配置例

外形寸法

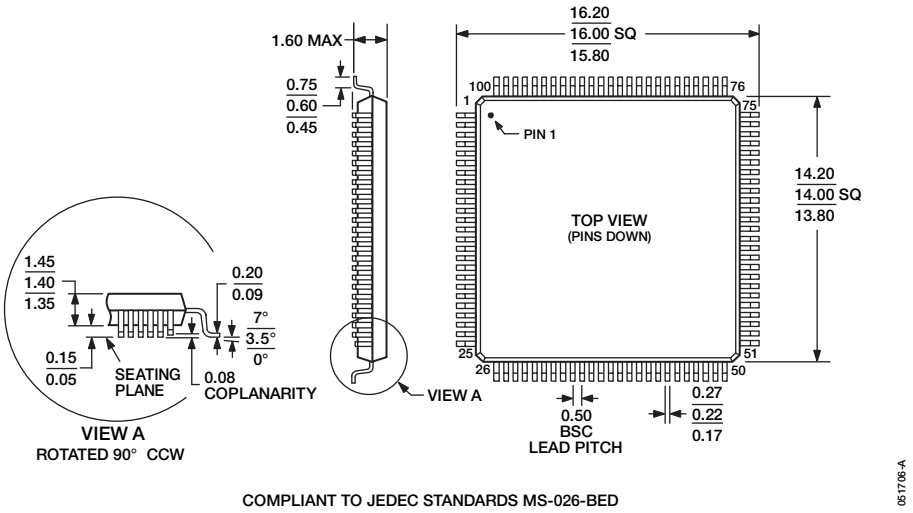

図35. 100ピン薄型クワッド・フラット・パッケージ［LQFP］
（ST-100）
寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Ordering Quantity
AD8191ASTZ[1]	−40℃ to +85℃	100-Lead Low Profile Quad Flat Package [LQFP]	ST-100	
AD8191ASTZ-RL[1]	−40℃ to +85℃	100-Lead Low Profile Quad Flat Package [LQFP], Reel	ST-100	1,000
AD8191-EVAL		Evaluation Kit		

1 Z=鉛フリー製品

アナログ・デバイセズ社またはその二次ライセンスを受けた関連会社からライセンスの対象となるI²Cコンポーネントを購入した場合、購入者にはこれらのコンポーネントをI²Cシステムで使用するフィリップス社のI²Cの特許権に基づくライセンスが許諾されます。ただし、フィリップス社が規定するI²C規格仕様に準拠したシステムが必要です。

D06123-0-10/06(0)-J