

特長

広帯域ビデオ・ケーブルを 200 m まで補償
 UXGA までの全解像度に対応
 高速な立上がり/立下がり時間
 200 m の UTP ケーブル、2 V ステップで 8 ns
 100 MHz でのピーク・ゲイン: 37 dB
 2 本の周波数応答ゲイン調整ピン
 高周波ピーキング調整(V_{PEAK})
 ブロードバンド・フラット・ゲイン調整(V_{GAIN})
 極位置調整ピン(V_{POLE})
 ケーブル間の変動を補償
 UTP または同軸ケーブルの最適化可能
 DC 出力オフセット調整(V_{OFFSET})
 低出力オフセット電圧: 24 mV
 RGB と YPbPr の両方を補償
 ヒステリシス付きのコンパレータを 2 個内蔵
 同相モード同期の抽出に使用可能
 40 ピンの 6 mm × 6 mm LFCSP パッケージを採用

機能ブロック図

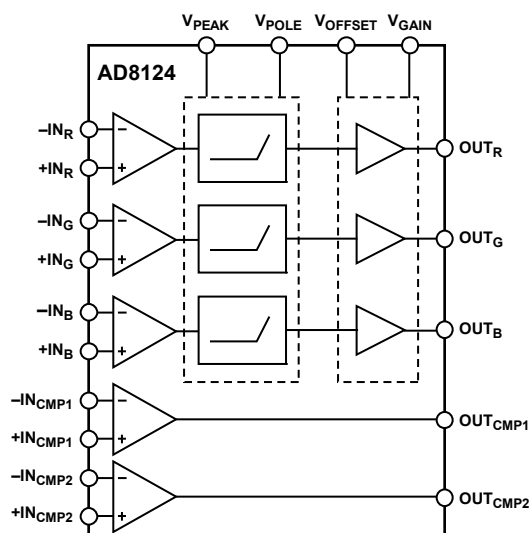


図 1.

アプリケーション

キーボード・ビデオ・マウス(KVM)
 デジタル署名
 UTP ケーブルを使用する RGB ビデオ
 業務用ビデオのプロジェクトンと分配
 HD ビデオ
 セキュリティ・ビデオ

概要

AD8124 は、最大 200 m の UTP ケーブルと同軸ケーブルの伝送損失を補償する高速なトリプル差動レシーバ/イコライザです。様々なゲイン・ステージを加算して、ケーブルの逆周波数応答を最適近似します。AD8124 の内部ロジック回路は、短距離から中距離長のケーブルで最小ノイズを実現できるように、個々のステージのゲイン関数を制御します。この技術は、低ノイズの短距離から中距離範囲のアプリケーションの性能を最適化すると同時に、長いケーブル(最大 200 m)の等化が必要とされる高いゲイン帯域幅を提供します。各チャンネルには、ケーブルへの直接インターフェースに最適なハイ・インピーダンス差動入力があります。

AD8124 には、ケーブル最適補償用の 3 本のコントロール・ピンと出力オフセット調整ピンがあります。2 本の電圧制御ピンは様々なケーブル長の補償に、 V_{PEAK} ピンは高周波ピーキングの大きさの制御に、 V_{GAIN} ピンは広帯域フラット・ゲイン(このゲインで低周波フラット・ケーブル損失を補償)の調整に、それぞれ使用されます。

オプションの極調整ピン V_{POLE} を使うと極位置を移動できるため、様々な径とタイプのケーブルの補償、さらに様々なケーブルおよびまたはイコライザ間の変動の補償ができるので柔軟性が向上します。 V_{OFFSET} ピンを使うと、出力 DC 電圧を調整するため、DC 結合システムでの柔軟性が向上します。

AD8124 は 6 mm × 6 mm の 40 ピン LFCSP を採用し、動作は -40°C ~ +85°C の拡張温度範囲で規定されています。

目次

特長.....	1	アプリケーション情報.....	11
アプリケーション.....	1	基本動作.....	11
機能ブロック図.....	1	コンパレータ.....	11
概要.....	1	コンパレータを使用した同期パルス抽出機能.....	12
改訂履歴.....	2	V _{PEAK} 、V _{POLE} 、V _{GAIN} 、V _{OFFSET} の各入力の使い方.....	12
仕様.....	3	AD8124 の同軸ケーブルでの使い方.....	13
絶対最大定格.....	5	AD8124 による 75 Ωビデオ・ケーブルの駆動.....	13
熱抵抗.....	5	容量負荷の駆動.....	13
最大消費電力.....	5	電源のフィルタリング.....	13
ESDの注意.....	5	レイアウトと電源デカップリングの考慮事項.....	14
ピン配置とピン機能説明.....	6	パワーダウン.....	14
代表的な性能特性.....	7	外形寸法.....	15
動作原理.....	10	オーダー・ガイド.....	15
入力同相モード電圧範囲の考慮事項.....	10		

改訂履歴

1/11—Revision 0: Initial Version

仕様

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5\text{ V}$ 、 $R_L = 150\ \Omega$ 、Beldenケーブル(BL-7987R)、 $V_{\text{OFFSET}} = 0\text{ V}$ 、 V_{PEAK} 、 V_{GAIN} 、 V_{POLE} には図16の推奨設定値を設定。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
10% to 90% Rise/Fall Time	$V_{\text{OUT}} = 2\text{ V}$ step, 200 meters Cat-5		8		ns
Settling Time to 2%	$V_{\text{OUT}} = 2\text{ V}$ step, 200 meters Cat-5		47		ns
–3 dB Large Signal Bandwidth	$V_{\text{OUT}} = 2\text{ V}$ p-p, <10 meters Cat-5		110		MHz
	$V_{\text{OUT}} = 2\text{ V}$ p-p, 200 meters Cat-5		52		MHz
Integrated Output Voltage Noise	200 meter setting, integrated to 160 MHz		4		mV rms
INPUT DC PERFORMANCE					
Input Voltage Range	–IN and +IN		± 3.0		V
Maximum Differential Voltage Swing			4		V p-p
Voltage Gain	$\Delta V_O/\Delta V_I$, V_{GAIN} set for 0 meters of cable		1		V/V
Common-Mode Rejection Ratio (CMRR)	At dc, $V_{\text{PEAK}} = V_{\text{GAIN}} = V_{\text{POLE}} = 0\text{ V}$		–86		dB
	At dc, $V_{\text{PEAK}} = 1.15\text{ V}$, $V_{\text{GAIN}} = 1.4\text{ V}$, $V_{\text{POLE}} = 1.5\text{ V}$		–65		dB
	At 1 MHz, $V_{\text{PEAK}} = 1.15\text{ V}$, $V_{\text{GAIN}} = 1.4\text{ V}$, $V_{\text{POLE}} = 1.5\text{ V}$		–50		dB
Input Resistance	Common mode		4.4		M Ω
	Differential		3.7		M Ω
Input Capacitance	Common mode		1.0		pF
	Differential		0.5		pF
Input Bias Current			2.4		μA
V_{OFFSET} Pin Current			30		μA
V_{GAIN} Pin Current			0.5		μA
V_{PEAK} Pin Current			0.4		μA
V_{POLE} Pin Current			0.4		μA
ADJUSTMENT PINS					
V_{PEAK} Input Voltage Range	Relative to GND		0 to 1.5		V
V_{POLE} Input Voltage Range	Relative to GND		0 to 1.5		V
V_{GAIN} Input Voltage Range	Relative to GND		0 to 1.5		V
V_{OFFSET} to OUT Gain	OUT/ V_{OFFSET} , range limited by output swing		1		V/V
Maximum Flat Gain	$V_{\text{GAIN}} = 1.5\text{ V}$		1.9		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	150 Ω load		–3.75 to +3.69		V
	1 k Ω load		–3.66 to +3.69		V
Output Offset Voltage	Referred to output, $V_{\text{PEAK}} = V_{\text{GAIN}} = V_{\text{POLE}} = 0\text{ V}$		24		mV
	Referred to output, $V_{\text{PEAK}} = 1.15\text{ V}$, $V_{\text{GAIN}} = 1.4\text{ V}$, $V_{\text{POLE}} = 1.5\text{ V}$		37		mV
	Referred to output		33		$\mu\text{V}/^\circ\text{C}$
POWER SUPPLY					
Operating Voltage Range		± 4.5		± 5.5	V
Positive Quiescent Supply Current			132		mA
Negative Quiescent Supply Current			126		mA
Supply Current Drift, $I_{\text{CC}}/I_{\text{EE}}$			80		$\mu\text{A}/^\circ\text{C}$
Positive Power Supply Rejection Ratio	DC, referred to output		–51		dB
Negative Power Supply Rejection Ratio	DC, referred to output		–63		dB
Power Down, V_{IH} (Minimum)	Minimum Logic 1 voltage		1.1		V
Power Down, V_{IL} (Maximum)	Maximum Logic 0 voltage		0.8		V
Positive Supply Current, Powered Down	$V_{\text{PEAK}} = V_{\text{GAIN}} = V_{\text{POLE}} = 0\text{ V}$		1.1		μA
Negative Supply Current, Powered Down	$V_{\text{PEAK}} = V_{\text{GAIN}} = V_{\text{POLE}} = 0\text{ V}$		0.7		μA
COMPARATORS					
Output Voltage Levels	$V_{\text{OH}}/V_{\text{OL}}$		3.33/0.043		V
Hysteresis	V_{HYST}		70		mV
Propagation Delay	$t_{\text{PD, LH}}/t_{\text{PD, HL}}$		17.5/10.0		ns
Rise/Fall Times	$t_{\text{RISE}}/t_{\text{FALL}}$		9.3/9.3		ns
Output Resistance			0.03		Ω

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
OPERATING TEMPERATURE RANGE		−40		+85	°C

絶対最大定格

表 2.

Parameter	Rating
Supply Voltage	11 V
Power Dissipation	See Figure 2
Input Voltage (Any Input)	$V_S - 0.3 \text{ V}$ to $V_S + 0.3 \text{ V}$
Storage Temperature Range	-65°C to $+125^{\circ}\text{C}$
Operating Temperature Range	-40°C to $+85^{\circ}\text{C}$
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわちデバイスを自然空冷の回路ボードにハンダ付けした状態で θ_{JA} を規定。

表 3.底面パッドをプレーンに接続したときの熱抵抗

Package Type/PCB Type	θ_{JA}	Unit
40-Lead LFCSP/4-Layer	29	$^{\circ}\text{C}/\text{W}$

最大消費電力

AD8124 のパッケージ内での安全な最大消費電力は、チップのジャンクション温度(T_J)上昇により制限されます。約 150°C のガラス遷移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、AD8124 のパラメータ性能が永久的にシフトしてしまうことがあります。 175°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、故障の原因になることがあります。

パッケージ内の消費電力(P_D)は、静止消費電力と全出力での負荷駆動に起因するパッケージ内の消費電力との和になります。静止電力は、電源ピン(V_S)間の電圧に静止電流(I_S)を乗算して計算されます。各負荷電流による消費電力は、負荷電流に対応する電源と出力電圧との間の電位差を乗算して計算します。次に、負荷電流による総合消費電力を各消費電力を加算して求めます。AC 信号を扱うときは、RMS 出力電圧を使用する必要があります。

空気流があると、 θ_{JA} が小さくなります。さらに、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。パッケージ底面のエクスポーズド・パッドは、規定の θ_{JA} を実現するために、厚いプレーン(通常グラウンド・プレーン)へ熱的に接続された PCB 表面のパッドへハンダ付けする必要があります。

図 2 に、JEDEC標準 4 層ボードに実装した 40 ピンLFCSP ($29^{\circ}\text{C}/\text{W}$)パッケージ(底面のパッドはPCBプレーンに熱的に接続されているパッドにハンダ付け)について、パッケージ内の周囲温度対最大安全消費電力を示します。 θ_{JA} 値は近似値です。

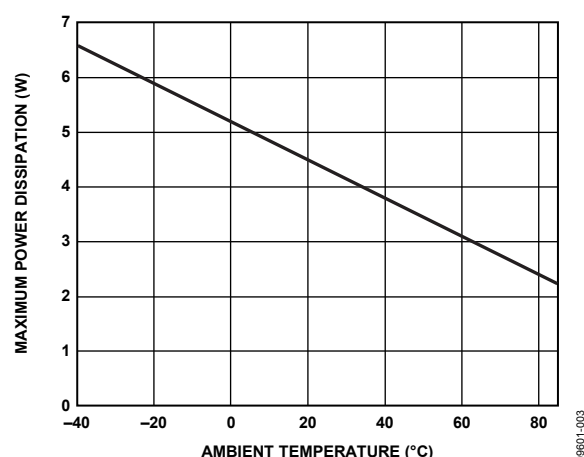


図 2.最大消費電力の温度特性、4 層ボード

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置とピン機能説明

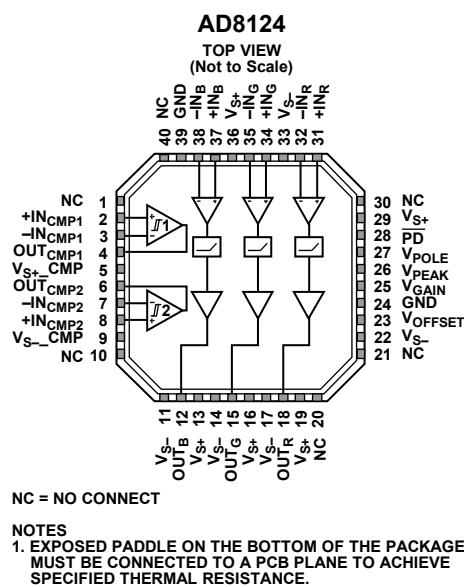


図 3. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1、10、20、21、30、40	NC	内部接続なし。
2	+IN _{CMP1}	正入力、コンパレータ 1。
3	-IN _{CMP1}	負入力、コンパレータ 1。
4	OUT _{CMP1}	出力、コンパレータ 1。
5	V _{S+} _CMP	正電源、コンパレータ。V _{S+} に接続します。
6	OUT _{CMP2}	出力、コンパレータ 2。
7	-IN _{CMP2}	負入力、コンパレータ 2。
8	+IN _{CMP2}	正入力、コンパレータ 2。
9	V _{S-} _CMP	負電源、コンパレータ。V _{S-} に接続します。
11、14、17、22、33	V _{S-}	負電源、イコライザ・セクション。
12	OUT _B	出力、青チャンネル。
13、16、19、29、36	V _{S+}	正電源、イコライザ・セクション。
15	OUT _G	出力、緑チャンネル。
18	OUT _R	出力、赤チャンネル。
23	V _{OFFSET}	出力オフセット・コントロール電圧。
24、39	GND	信号グラウンド・リファレンス電圧。
25	V _{GAIN}	ブロードバンド・フラット・ゲイン・コントロール電圧。
26	V _{PEAK}	イコライザ高周波ブースト・コントロール電圧。
27	V _{POLE}	イコライザ極位置調整コントロール電圧。
28	PD	パワーダウン。
31	+IN _R	正入力、赤チャンネル。
32	-IN _R	負入力、赤チャンネル。
34	+IN _G	正入力、緑チャンネル。
35	-IN _G	負入力、緑チャンネル。
37	+IN _B	正入力、青チャンネル。
38	-IN _B	負入力、青チャンネル。
底面エクスポーズド・パッド		サーマル・プレーン接続。V _{S+} ～V _{S-} の電圧の任意の PCB プレーンに接続します。

代表的な性能特性

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5\text{ V}$ 、 $R_L = 150\ \Omega$ 、Beldenケーブル(BL-7987R)、 $V_{\text{OFFSET}} = 0\text{ V}$ 、 V_{PEAK} 、 V_{GAIN} 、 V_{POLE} には図16の推奨設定値を設定。

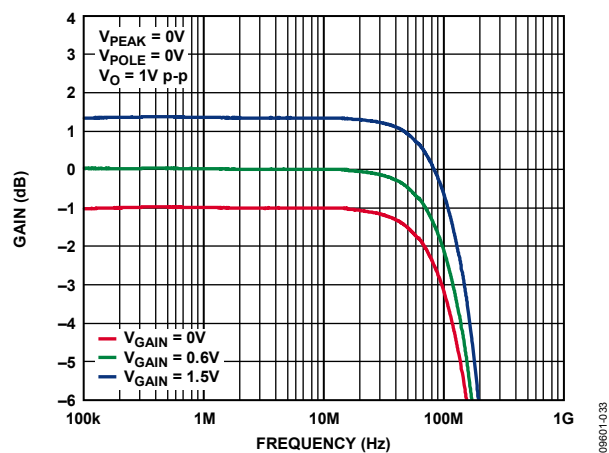


図4.様々な V_{GAIN} での周波数応答、ケーブルなし

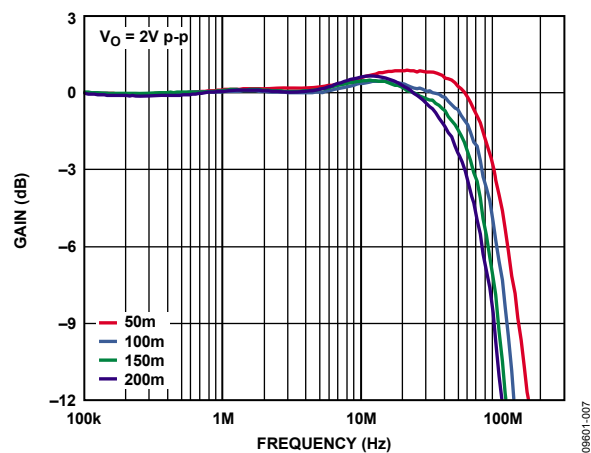


図7.様々なケーブル長でのイコライザ周波数応答

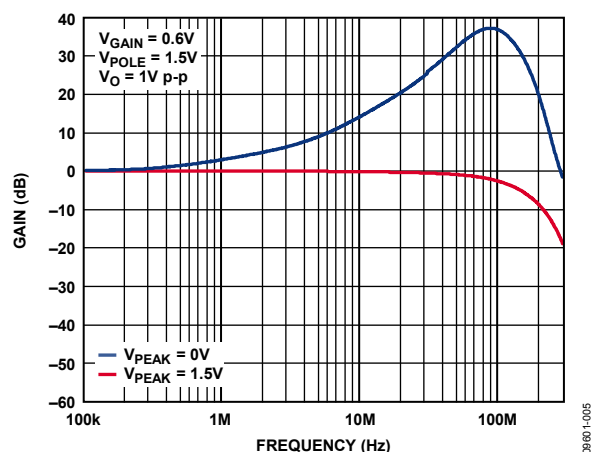


図5.様々な V_{PEAK} での周波数応答、ケーブルなし

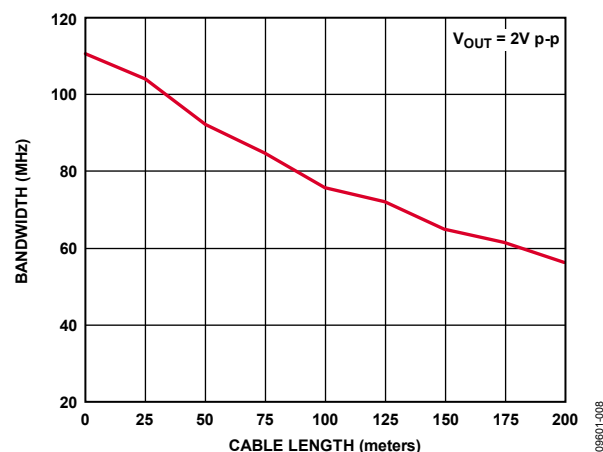


図8.ケーブル長対イコライザ-3dB帯域幅

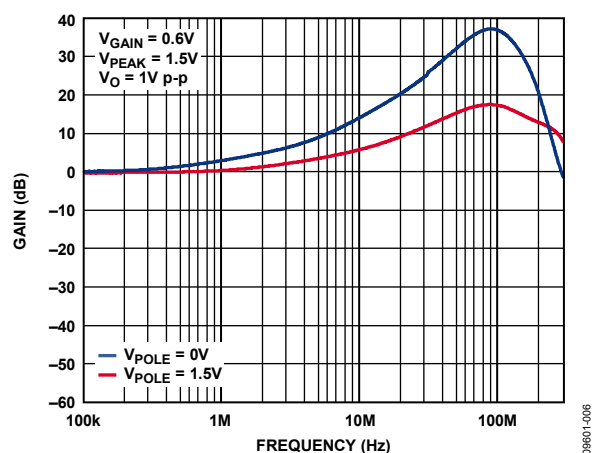


図6.様々な V_{POLE} での周波数応答、ケーブルなし

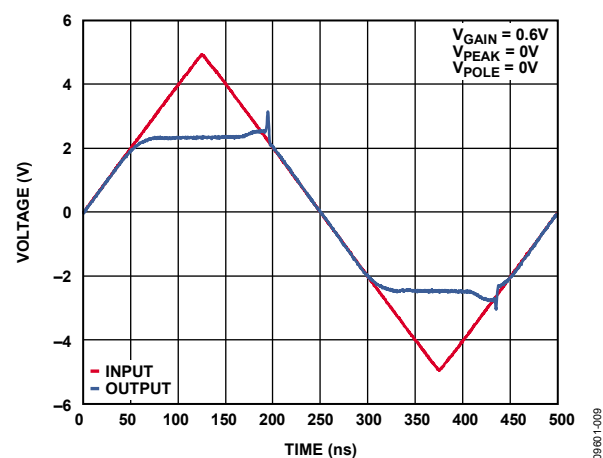


図9.オーバードライブからの回復

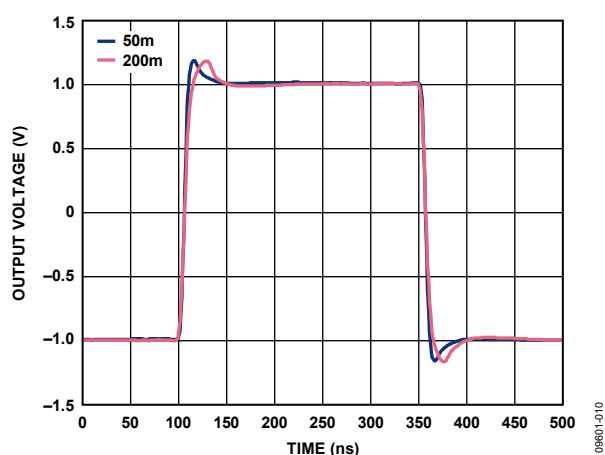


図 10.様々なケーブル長でのパルス応答 (2 MHz)

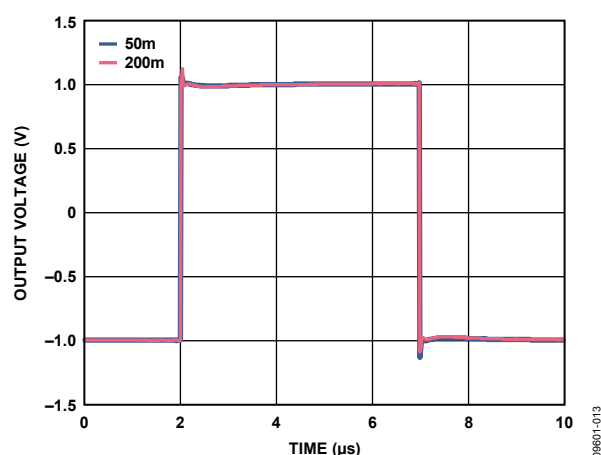


図 13.様々なケーブル長でのパルス応答 (100 kHz)

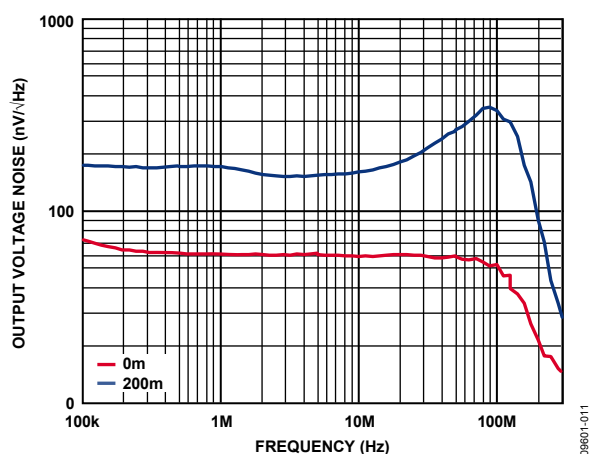


図 11.様々なケーブル長での出力電圧ノイズ周波数特性

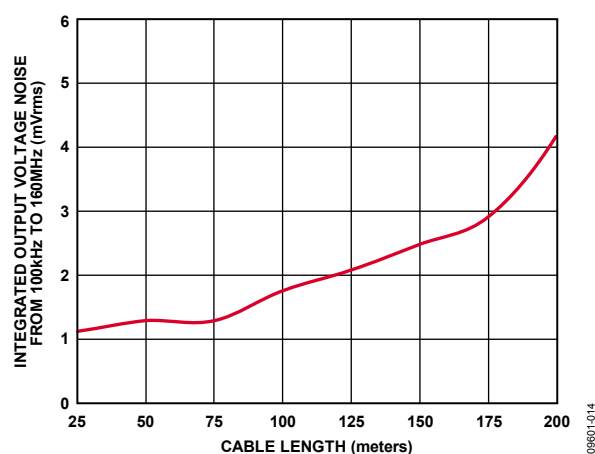


図 14.ケーブル長対積分出力電圧ノイズ

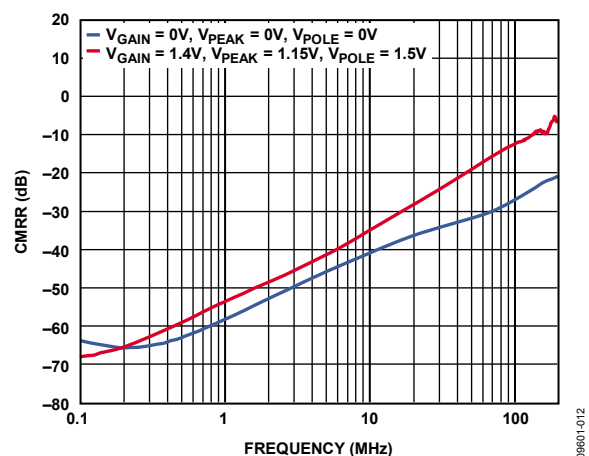


図 12.CMRR の周波数特性

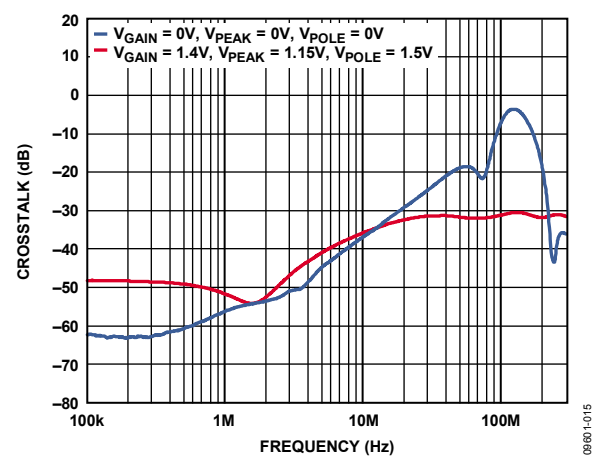


図 15.クロストークの周波数特性

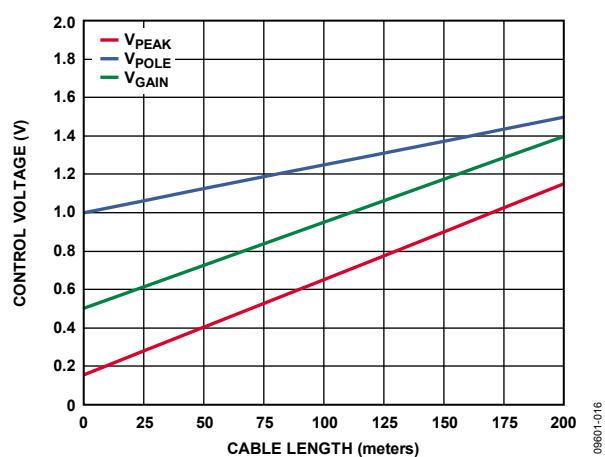


図 16.UTP ケーブルに対する推奨設定値

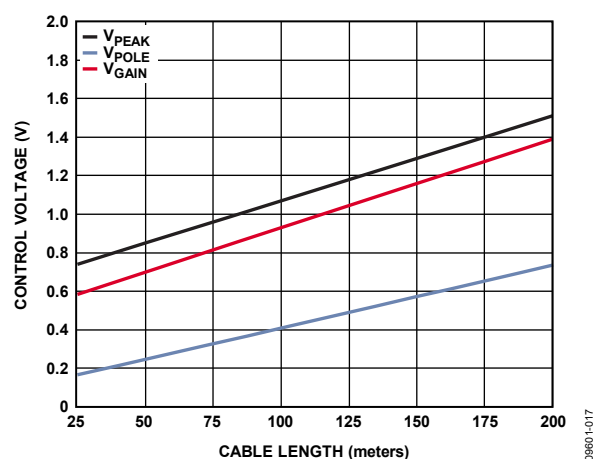


図 17.同軸ケーブルに対する推奨設定値

動作原理

AD8124 は、最大 200 m の UTP ケーブルと同軸ケーブルの損失を補償する、ゲイン=1 の広帯域低ノイズ・トリプル・アナログ・ライン・イコライザです。この 3 チャンネル・アーキテクチャは、高解像度 RGB アプリケーションを対象としますが、HD YPbPr アプリケーションでも使用することができます。

種々のケーブル長やケーブル自体の変動を補償するために、各 RGB チャンネルに共通の 3 つの連続調整可能なコントロール電圧を使用することができます。V_{PEAK} 入力が高周波ピーキングの大きさを制御するときに使います。V_{PEAK} は、周波数とケーブル長に依存し、ケーブルの表皮効果により発生する高周波損失を補償するときに使う最初のコントロール・ピンです。2 本目のコントロール・ピン V_{GAIN} は、ケーブル内に存在する低周波フラット損失を補償ために広帯域幅ゲインを調整するときに使います。3 本目のコントロール・ピン V_{POLE} は、イコライザの極位置を移動し、代表的な性能特性のセクションと アプリケーション情報のセクションで説明するように、UTP ケーブルと同軸ケーブルに対して V_{PEAK} から直線的に発生させることができます。最後の出力オフセット調整コントロール・ピン V_{OFFSET} を使うと、出力 DC レベルをシフトさせることができます。

AD8124 にはハイ・インピーダンス差動入力があります。この入力を使うと、終端がシンプルになり、ケーブルから DC 結合信号を直接受信することができます。AD8124 入力は、同軸ケーブル・アプリケーションでシングルエンド形式で使用することもできます。

AD8124 には、150 Ω 負荷を駆動できるロー・インピーダンス出力があります。AD8124 からハイ・インピーダンス容量負荷を駆動する必要のあるシステムでは、容量をバッファするために出力と負荷の間に小さい直列抵抗を接続することが推奨されます。この抵抗は、全体の帯域幅を許容できないレベルまで狭くしてしまうような大きな値にすることはできません。

AD8124 は、短距離/中距離ケーブルを使うシステムでは大きなゲインが必要とされないため、大きなゲインによるノイズの代償を払わなくても済むようにデザインされています。高ゲインは、長いケーブルのシステムで必要な場合のみ使用されます。この機能は V_{PEAK} コントロールに組込まれていて、ユーザからは見えません。

2 個のコンパレータが内蔵されており、これらはシンク・オン・コモン・モード・エンコーディングを採用するシステムで同期パルスの抽出の際に使用することができます。各コンパレータは非常に低い出力インピーダンスを持つため、ケーブルの特性インピーダンスに等しい直列抵抗をコンパレータ出力に直接接続することにより、送信側ケーブル終端方式で 사용할ことができます。詳細については、アプリケーション情報のセクションを参照してください。

入力同相モード電圧範囲の考慮事項

AD8124 をレシーバとして使用する場合、入力同相モード電圧が規定の範囲内にあることが重要です。受信同相モード・レベルは、ドライバの同相モード・レベル、受信信号のシングルエンド・ピーク振幅、すべての同期パルスの振幅、導入されたその他の同相モード信号(例えばドライバと AD8124 の間のグラウンド・シフト)、外部ソースからの混入(例えば電力ラインや蛍光灯)を加算して計算されます。詳細については、アプリケーション情報のセクションを参照してください。

アプリケーション情報

基本動作

AD8124 はケーブル損失補償に必要なものはすべて内蔵しているため使い易いデバイスです。図 19 に、AD8134、AD8142、AD8147、AD8148 のトリプル差動ドライバで採用されている同相モード同期パルス・エンコーディング技術と互換性のある同相モード同期パルス抽出機能を持つ基本アプリケーション回路(電源は省略)を示します。同期抽出機能が不要な場合は、終端を 1 本の $100\ \Omega$ 抵抗にして、コンパレータ入力をフローティングのままにすることができます。図 19 では、AD8124 が遅延ラインやクロスポイント・スイッチのようなハイ・インピーダンス入力を駆動し、ダブル終端損失を埋め合わせるゲイン=2 への増加は不要です。

コンパレータ

汎用アプリケーションの他に、2 個の内蔵コンパレータは受信同相モード電圧からのビデオ同期パルスの抽出、または差動デジタル情報の受信に使用することができます。ヒステリシスが組み込まれているため、ノイズによる偽トリガーの解消に役立ちます。同期抽出機能の詳細は、コンパレータを使用した同期パルス抽出機能のセクションに記載します。

コンパレータ出力は $0\ \Omega$ に近い出力インピーダンスを持っているため、ソース終端伝送線を駆動するようにデザインされています。ソース終端技術では、各コンパレータ出力と直列に抵抗を接続して、コンパレータ・ソース抵抗($\approx 0\ \Omega$)と直列抵抗の和が伝送線の実特性インピーダンスと等しくなるようにします。伝送線の負荷端はハイ・インピーダンスです。信号がソース終端を出発するとき、その初期値はソース値の $1/2$ になります。これは振幅がソース終端と伝送線で形成される分圧器で半分になるためです。負荷端で、信号はハイ・インピーダンス負荷によりほぼ 100% 正反射されるため、信号はほぼフル値に近い値に回復されます。この技術は、高速デジタル・ロジックを含む PCB レイアウトで広く採用されています。

図 18 に、受信端でハイ・インピーダンスを持つ $50\ \Omega$ 伝送線を駆動する場合のソース終端コンパレータの使用方を示します。

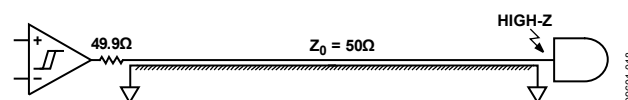


図 18. ソース終端コンパレータの使い方

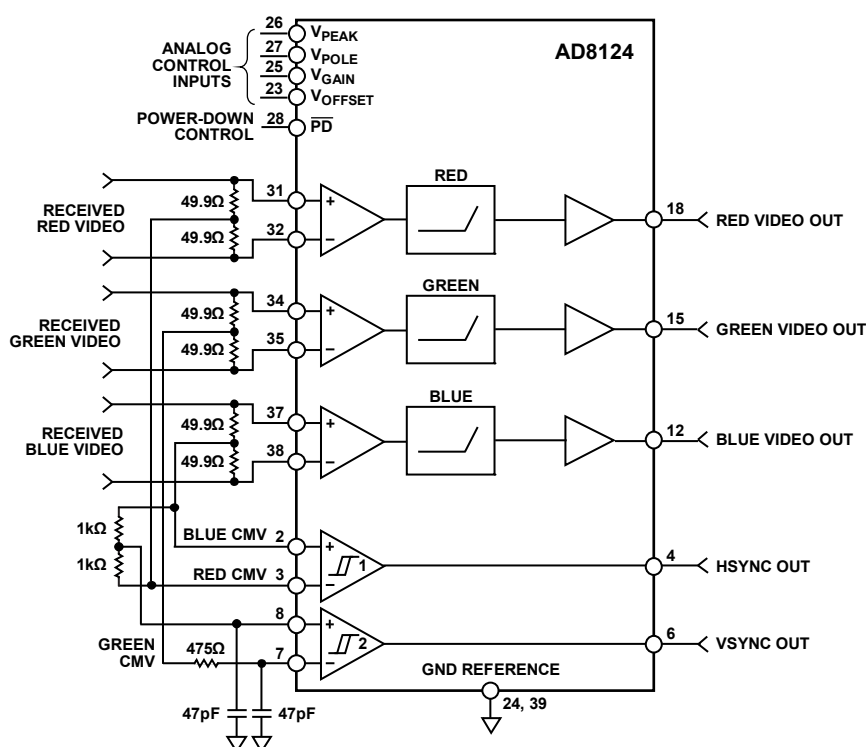


図 19. 基本的なアプリケーション回路、同相モード同期抽出機能付き

コンパレータを使用した同期パルス抽出機能

AD8124 は、コンピュータ・ビデオ信号を伝送する多くのシステムで役立ちます。このようなシステムは、赤、緑、青(RGB)ビデオ信号と、個別の水平同期信号および垂直同期信号から構成されています。両同期信号はカラー信号に組込まれていない別信号であるため、3つの同相モード電圧のRGB信号の中に両同期信号をエンコードするシンプルな方式を使って伝送することは有利です。AD8134、AD8142、AD8147、AD8148 トリプル差動ドライバは、必要な内蔵回路で同期パルス・エンコーディングを行うため、AD8124 はこれらデバイスの自然な受け側になります。同期エンコーディング式は次のようになります。

$$\text{Red } V_{CM} = \frac{K}{2} [V - H] \quad (1)$$

$$\text{Green } V_{CM} = \frac{K}{2} [-2V] \quad (2)$$

$$\text{Blue } V_{CM} = \frac{K}{2} [V + H] \quad (3)$$

ここで、Red V_{CM} 、Green V_{CM} 、Blue V_{CM} は、それぞれのカラー信号の伝送される同相モード電圧です。Kは調整可能なゲイン定数でドライバにより設定されます。VとHは垂直同期パルスと水平同期パルスであり、パルスがロー・レベル状態のとき重みが-1に、ハイ・レベル状態のとき重みが+1に、それぞれ設定されています。

エンコーディング方式の詳細は、AD8134、AD8142、AD8146/AD8147/AD8148 のデータ・シートに記載されています。図 19 に、上述のドライバによりRGB同相モード電圧にエンコードされた水平同期パルスと垂直同期パルスを抽出する際のAD8124 コンパレータの使い方を示します。

V_{PEAK} 、 V_{POLE} 、 V_{GAIN} 、 V_{OFFSET} の各入力の使い方

V_{PEAK} 入力にはメイン・ピーキング・コントロール・ピンで、ケーブル応答のローパス・ロールオフを補償するときに使います。 V_{POLE} 入力には2つ目の周波数応答シェイピング・コントロール・ピンで、イコライザ極の位置を移動させます。 V_{GAIN} 入力には広帯域フラット・ゲインを制御し、公称フラットである低周波ケーブル損失を補償するときに使います。 V_{OFFSET} 入力には、AD8124 出力オフセットを小さくするときに使います。出力オフセットは V_{OFFSET} 入力に加えられる電圧に一致し、出力振幅規定値により制限されます。

V_{PEAK} コントロール・ピンと V_{POLE} コントロール・ピンは個別に使うことができます。あるいは組み合わせて使って1つのピーキング制御を行うことができます。図 16 と図 17 に、推奨設定対ケーブル長を示しますが、ユーザはその他の組み合わせを選択することもできます。これらの2本のコントロール・ピンにより自由度がおおきくなり、さらに様々なケーブル・タイプ(例えば、UTPや同軸ケーブル)の補償も可能になります。これは周波数シェイピング・コントロール・ピンが1本の場合と対照的です。

自動制御で見られるようなケースでは、 V_{PEAK} コントロールは、オペアンプのようなロー・インピーダンス・ソースから発生されます。ロー・インピーダンス・ソースから V_{PEAK} を発生させる場合、UTPアプリケーションで、図 16 に示す推奨カーブに従って V_{PEAK} から V_{POLE} を発生させる方法を図 20 に示します。明らかに、5V電源はクリーンな V_{POLE} 電圧を供給するためクリーンである必要があります。

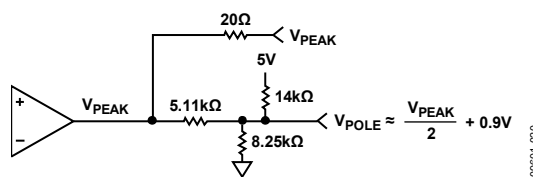


図 20.UTP ケーブルでローZ ソースの V_{PEAK} から V_{POLE} を発生させる方法

V_{PEAK} パスにある 20 Ω 直列抵抗は、オペアンプに対して容量負荷のバッファリング機能を提供します。この値は実際の容量負荷に応じて変更することができます。

コントロール電圧が帰還ループ内にある自動等化回路では、加算抵抗と負荷容量で形成される極について注意する必要があります。

ピーキングは、機械的制御またはデジタル制御のポテンショメータにより調整することもできます。これらのケースでは、ポテンショメータ抵抗が V_{POLE} の発生に使う抵抗値より数桁小さい場合、抵抗は無視できます。図 21 に、図 20 に示す抵抗値を持ちスケール・ファクタ 10 の 500 Ωポテンショメータの使い方を示します。

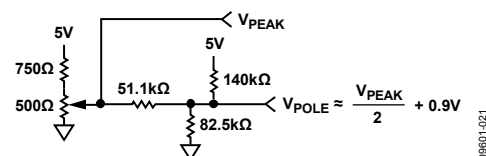


図 21.UTP ケーブルでポテンショメータにより V_{PEAK} から V_{POLE} を発生する方法

多くのポテンショメータは広い許容偏差値を持っています。偏差値が大きいポテンショメータを使う場合、 V_{PEAK} のフル振幅を実現するためには 750 Ω 抵抗の値を変更する必要があります。

V_{GAIN} 入力にはコントラスト制御に不可欠であり、AD8124 出力での既知テスト信号(例えば白スクリーン)が適切な振幅になるようにこの入力を調整することにより設定することができます。

V_{GAIN} は図 16 と図 17 に示す直線的な関係に従って V_{PEAK} から発生することもできます。図 22 に、ローZソースから駆動されるUTPアプリケーションで V_{PEAK} から V_{POLE} と V_{GAIN} を発生する方法を示します。

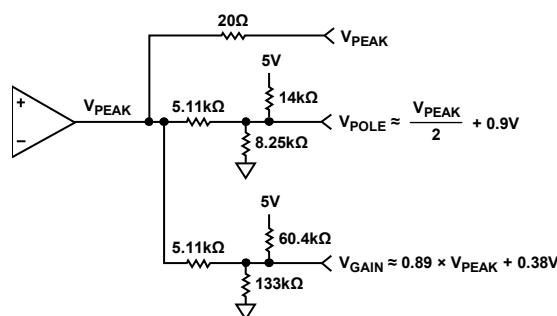


図 22.UTP ケーブルでローZ ソースの V_{PEAK} から V_{POLE} と V_{GAIN} を発生させる方法

AD8124 の同軸ケーブルでの使い方

V_{POLE} コントロール・ピンを使うと、AD8124 を同軸ケーブルなどの他のタイプのケーブルで使うことができます。図 17 に、高品質 75 Ω ビデオ・ケーブルで AD8124 を使う際の V_{PEAK} 、 V_{POLE} 、 V_{GAIN} の推奨設定値を示します。図 23 に、ロー Z ソースから V_{PEAK} を発生する同軸ケーブル・アプリケーションで、 V_{PEAK} から V_{POLE} と V_{GAIN} を発生する方法を示します。

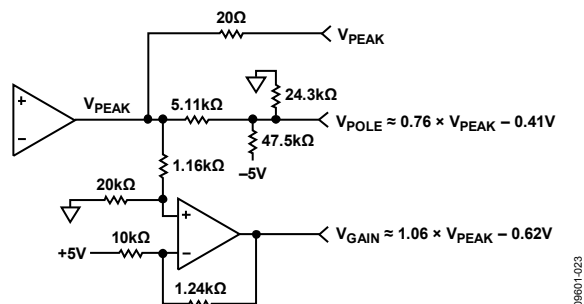


図 23. 同軸ケーブルでロー Z ソースの V_{PEAK} から V_{POLE} と V_{GAIN} を発生させる方法

V_{GAIN} を発生する回路のオペアンプは、オフセット -0.62 V を加えるために必要です。このオペアンプのゲインは $V_{PEAK} \sim V_{GAIN}$ の範囲で 1 に近い値です。受動オフセット回路では、オフセット注入電圧が必要です。この電圧は使用可能な -5 V 電源より遥かに高い電圧である必要があります。明らかに、 V_{GAIN} コントロール電圧も独立に発生することができます。

AD8124 差動入力は、不平衡 75 Ω 同軸ケーブル終端の図 24 に示すように、不平衡ケーブルを伝送してきた信号も受け付けることができます。

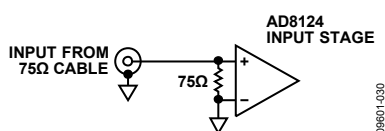


図 24. 75 Ω ケーブルの終端

AD8124 による 75 Ω ビデオ・ケーブルの駆動

RGB 出力でハイ・インピーダンス負荷ではなく 75 Ω 伝送線を駆動する必要がある場合、ダブル終端損失(75 Ω ソースと負荷終端)を埋め合わせるため、ゲイン= 2 への増加が必要です。これに対処する 2 つのオプションがあります。

1 つ目のオプションは、ADA4862-3 トリプル差動ドライバを使ってケーブルを駆動し、駆動端でゲイン= 2 に増やします。ADA4862-3 は通常のゲイン= 2 ではなく固定ゲイン= 4 であるため、信号チェーンにアンプを追加することなくゲイン= 2 を得ることができます。ADA4862-3 もシンク・オン・コモンモード・エンコーディング機能を内蔵しています。シンク・オン・コモンモード機能が不要な場合は、同期レベル入力をグラウンドへ接続して ADA4862-3 上の機能を停止させることができます。

別のオプションは、ゲイン= 2 のトリプル・バッファ(例えば ADA4862-3)を AD8124 RGB 出力に使用する方法です。この例を 1 チャンネルについて図 25 に示します(電源は省略)。ADA4862-3 はゲイン= 2 であるため、ダブル終端損失を補償します。

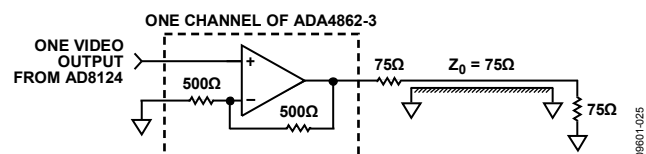


図 25. AD8124 出力に ADA4862-3 を使用する方法

容量負荷の駆動

ハイ・インピーダンス容量入力を駆動する場合、3 本の各 AD8124 ビデオ出力と負荷との間に小さい直列抵抗を接続して、駆動されるデバイスの入力容量をバッファする必要があります。明らかに、抵抗値は所要帯域幅を維持するため十分小さくする必要があります。

電源のフィルタリング

大部分のアプリケーションでシステム電源と AD8124 の間に外付け電源フィルタリングを接続して、受信信号への電源ノイズの混入防止と、不安定の原因となる、電源への不要な帰還を防止することが推奨されます。図 26 に、周波数が高くなると AD8124 の電源除去比が低下することを示します。これらのプロットは最小制御設定値の場合で、ピーキングが大きくなると上にシフトします。

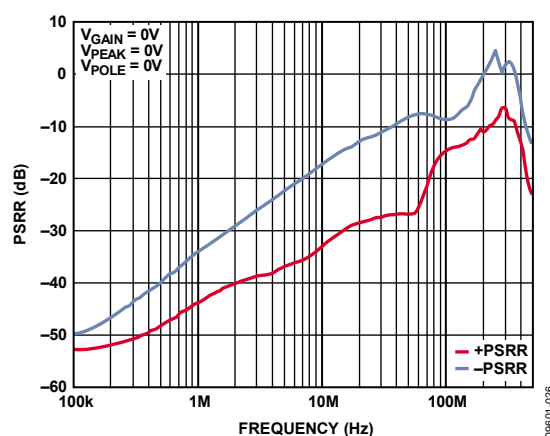


図 26. PSRR の周波数特性

表面実装のフェライト・ビードを使った適切なフィルタを図 27 に、周波数応答を図 28 に、それぞれ示します。周波数応答は $50\ \Omega$ ネットワーク・アナライザで取得し、AD8124 側に $0.1\ \mu\text{F}$ のコンデンサを 1 個だけ使用しているため、実際のアプリケーションでのフィルタの除去比は図 28 と異なります。ただし、除去比カーブの全体的な形は、図 28 に一致しており、最も必要とされる約 $5\ \text{MHz}$ ～ $500\ \text{MHz}$ の範囲で全体 PSRR が大幅に増えています。2 つの各電源に 1 個のフィルタが必要です(電源ピンあたりフィルタ 1 個ではありません)。

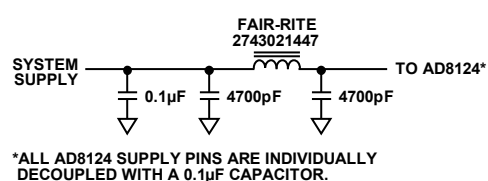


図 27. 電源フィルタ

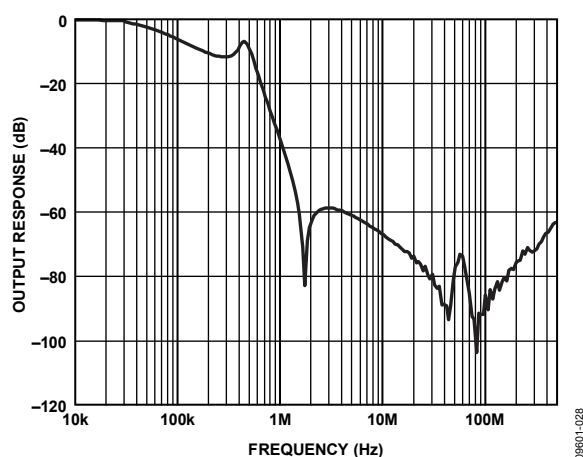


図 28. $50\ \Omega$ システムでの電源フィルタ周波数応答

レイアウトと電源デカップリングの考慮事項

AD8124 のデザインでは標準の高速 PCB レイアウトの手法が必要です。厚いグラウンド・プレーンが必要で、高速信号を接続するときはインピーダンス・パターンの制御が必要です。すべての出力のソース終端抵抗は、できるだけ出力ピンの近くに接続する必要があります。

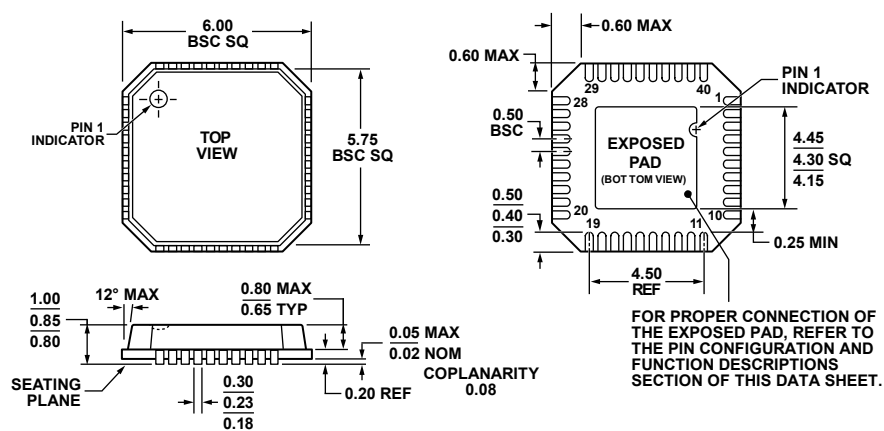
AD8124 の底面のエクスポーズド・パッドは、少なくとも 1 枚の PCB プレーンに接続されているパッドに接続する必要があります。複数のサーマル・ビアを使って、パッドとプレーン間を接続する必要があります。

$0.1\ \mu\text{F}$ の高品質電源デカップリング・コンデンサは、すべての電源ピンのできるだけ近くに接続する必要があります。小型の表面実装セラミック・コンデンサを使う必要があります、タンタル・コンデンサはバルク電源デカップリング用に推奨されます。

パワーダウン

使用しないデバイスがあり、かつそのアサート時に出力をハイ・インピーダンス状態にしない場合に、消費電力を削減するためにパワーダウン機能が設けてあります。パワーダウン・モードでの入力ロジック・レベルと電源電流は、表 1 の電源セクションに記載してあります。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VJJD-2

122107-A

図 29.40 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
6 mm x 6 mm、極薄クワッド(CP-40-4)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD8124ACPZ	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-4
AD8124ACPZ-R7	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-4
AD8124ACPZ-RL	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-4

¹ Z = RoHS 準拠製品