

AD7991/AD7995/AD7999

特長

- 1 μ s (typ)の高速変換時間を持つ 12/10/8 ビット ADC
- 4 チャンネルのアナログ入力 / 3 チャンネルのアナログ入力
+ リファレンス入力
- $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ で仕様を規定
- シーケンサ動作
- 温度範囲: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- I²C 互換シリアル・インターフェースはスタンダード、ファースト、
ハイスピードの 3 モードをサポート
- 2 個のバージョンで 2 個の I²C アドレスが可能
- 低消費電力
- シャットダウン・モード: 最大 1 μ A
- 8 ピン SOT-23 パッケージを採用

アプリケーション

- システム・モニタリング
- バッテリー駆動のシステム
- データ・アキュイジション
- 医用計測機器

概要

AD7991/AD7995/AD7999 は、I²C[®]互換インターフェースを内蔵した低消費電力逐次比較型の 12/10/8 ビット ADC です。このデバイスは 2.7 V \sim 5.5 V の単電源で動作し、1 μ s の変換時間を持っています。トラック・アンド・ホールド・アンプの使用により各デバイスは最大 14 MHz の入力周波数の処理が可能で、マルチプレクサの使用により 4 チャンネルからのサンプル取得が可能です。

各 AD7991/AD7995/AD7999 は、I²C インターフェースと互換性を持つ 2 線式シリアル・インターフェースを内蔵しています。AD7991 と AD7995 には 2 つのバージョンがあり、各バージョンは固有の I²C アドレスを持っています。この機能により、2 個の同じデバイスを同じ I²C バスに接続することができます。両バージョンは、スタンダード、ファースト、ハイスピードの I²C インターフェース・モードをサポートしています。AD7999 は 1 つのバージョンのみです。

AD7991/AD7995/AD7999 は通常シャットダウン状態にあり、変換時のみパワーアップします。変換プロセスはコマンド・モードにより制御され、コマンド・モードでは各 I²C 読み出し動作により、変換が開始され、変換結果が I²C バスを介して戻されます。

4 チャンネルをアナログ入力として使用する場合は、デバイスのリファレンス電圧は V_{DD} から取得されます。この方法では ADC の最も広い入力ダイナミック・レンジが得られます。この

機能ブロック図

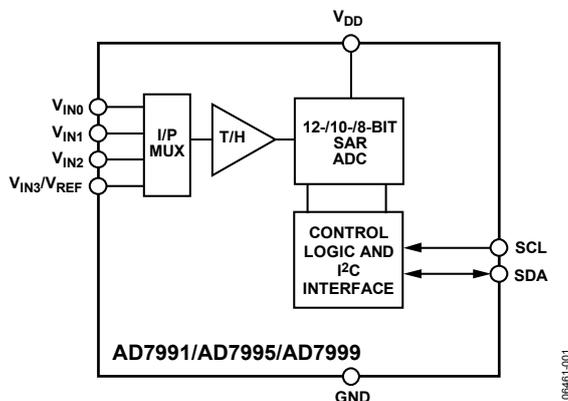


図 1.

ため、ADC アナログ入力範囲は 0 V \sim V_{DD} になります。このデバイスでは、外付けリファレンスも V_{IN3}/V_{REF} 入力に接続して使用することができます。

製品のハイライト

- 4 チャンネルのシングルエンド・アナログ入力、または 3 チャンネルのシングルエンド・アナログ入力と 1 チャンネルのリファレンス入力。
- I²C 互換シリアル・インターフェース。スタンダード、ファースト、ハイスピードの各モード。
- 自動シャットダウン。
- リファレンス電圧は電源から発生または外付けリファレンス。
- 8 ピン SOT-23 パッケージを採用

表 1. 関連デバイス

Device	Resolution	Input Channels
AD7998	12	8
AD7997	10	8
AD7994	12	4
AD7993	10	4
AD7992	12	2

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許その他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2007 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	動作原理.....	17
アプリケーション.....	1	コンバータの動作.....	17
機能ブロック図.....	1	代表的な接続図.....	18
概要.....	1	アナログ入力.....	18
製品のハイライト.....	1	内部レジスタ構造.....	20
改訂履歴.....	2	設定レジスタ.....	20
仕様.....	3	サンプル遅延とビット判定遅延.....	21
AD7991.....	3	変換結果レジスタ.....	21
AD7995.....	5	シリアル・インターフェース.....	22
AD7999.....	7	シリアル・バス・アドレス.....	22
I ² C タイミング仕様.....	9	AD7991/AD7995/AD7999 への書き込み.....	23
絶対最大定格.....	11	AD7991/AD7995/AD7999 からの読み出し.....	24
ESD の注意.....	11	AD7991/AD7995/AD7999 のハイスピード・モードへの設定.....	25
ピン配置およびピン機能説明.....	12	動作モード.....	26
代表的な性能特性.....	13	外形寸法.....	27
用語.....	16	オーダー・ガイド.....	27

改訂履歴

12/07—Revision 0: Initial Version

仕様

AD7991¹

Yバージョンの温度範囲は-40°C~+125°C。特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$ 、 $f_{SCL} = 3.4\text{ MHz}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 2.

Parameter	Y Version			Unit	Test Conditions/Comments
	Min	Typ	Max		
DYNAMIC PERFORMANCE^{2,3}					
Signal-to-Noise and Distortion (SINAD) ⁴	69.5	70		dB	See the Sample Delay and Bit Trial Delay section, $f_{IN} = 10\text{ kHz}$ sine wave for f_{SCL} from 1.7 MHz to 3.4 MHz $f_{IN} = 1\text{ kHz}$ sine wave for f_{SCL} up to 400 kHz $f_a = 11\text{ kHz}$, $f_b = 9\text{ kHz}$ for f_{SCL} from 1.7 MHz to 3.4 MHz $f_a = 5.4\text{ kHz}$, $f_b = 4.6\text{ kHz}$ for f_{SCL} up to 400 kHz $f_{IN} = 10\text{ kHz}$ @ 3 dB @ 0.1 dB
Signal-to-Noise Ratio (SNR) ⁴	70	71		dB	
Total Harmonic Distortion (THD) ⁴			-75.5	dB	
Peak Harmonic or Spurious Noise (SFDR) ⁴			-77.5	dB	
Intermodulation Distortion (IMD) ⁴					
Second-Order Terms		-92		dB	
Third-Order Terms		-88		dB	
Channel-to-Channel Isolation ⁴		-90		dB	
Full-Power Bandwidth ⁴		14		MHz	
		1.5		MHz	
DC ACCURACY^{2,5}					
Resolution	12			Bits	Guaranteed no missed codes to 12 bits
Integral Nonlinearity ⁴			±1	LSB	
		±0.5		LSB	
Differential Nonlinearity ⁴			±0.9	LSB	
		±0.5		LSB	
Offset Error ⁴		±1	±5	LSB	
Offset Error Matching			±0.5	LSB	
Offset Temperature Drift		4.43		ppm/°C	
Gain Error ⁴			±2	LSB	
Gain Error Matching			±0.7	LSB	
Gain Temperature Drift		0.69		ppm/°C	
ANALOG INPUT					
Input Voltage Range	0		V_{REF}	V	$V_{REF} = V_{IN3}/V_{REF}$ OR V_{DD} Channel 0 to Channel 2—during acquisition phase Channel 0 to Channel 2—outside acquisition phase Channel 3—during acquisition phase Channel 3—outside acquisition phase
DC Leakage Current			±1	μA	
Input Capacitance		34		pF	
		4		pF	
		35		pF	
		5		pF	
REFERENCE INPUT					
V_{REF} Input Voltage Range	1.2		V_{DD}	V	Outside conversion phase During conversion phase
DC Leakage Current			±1	μA	
V_{REF} Input Capacitance		5		pF	
		35		pF	
Input Impedance		69		kΩ	

Parameter	Y Version			Unit	Test Conditions/Comments
	Min	Typ	Max		
LOGIC INPUTS (SDA, SCL)					
Input High Voltage, V_{INH}	0.7 (V_{DD})			V	$V_{DD} = 2.7 \text{ V to } 5.5 \text{ V}$
	0.9 (V_{DD})			V	$V_{DD} = 2.35 \text{ V to } 2.7 \text{ V}$
Input Low Voltage, V_{INL}			0.3 (V_{DD})	V	$V_{DD} = 2.7 \text{ V to } 5.5 \text{ V}$
			0.1 (V_{DD})	V	$V_{DD} = 2.35 \text{ V to } 2.7 \text{ V}$
Input Leakage Current, I_{IN}			± 1	μA	$V_{IN} = 0 \text{ V or } V_{DD}$
Input Capacitance, C_{IN}^6			10	pF	
Input Hysteresis, V_{HYST}	0.1 (V_{DD})			V	
LOGIC OUTPUTS (OPEN DRAIN)					
Output Low Voltage, V_{OL}			0.4	V	$I_{SINK} = 3 \text{ mA}$
			0.6	V	$I_{SINK} = 6 \text{ mA}$
Floating-State Leakage Current			± 1	μA	
Floating-State Output Capacitance ⁶			10	pF	
Output Coding	Straight (natural) binary				
THROUGHPUT RATE					
			$18 \times (1/f_{SCL})$		$f_{SCL} \leq 1.7 \text{ MHz}$; see the Serial Interface section
			$17.5 \times (1/f_{SCL}) + 2 \mu\text{s}$		$f_{SCL} > 1.7 \text{ MHz}$; see the Serial Interface section
POWER REQUIREMENTS²					
V_{DD}	2.7		5.5	V	$V_{REF} = V_{DD}$; for $f_{SCL} = 3.4 \text{ MHz}$, clock stretching is implemented
I_{DD}					Digital inputs = 0 V or V_{DD}
ADC Operating, Interface Active (Fully Operational)			0.09/0.25	mA	$V_{DD} = 3.3 \text{ V/5.5 V}$, 400 kHz f_{SCL}
Power-Down, Interface Active ⁷			0.25/0.8	mA	$V_{DD} = 3.3 \text{ V/5.5 V}$, 3.4 MHz f_{SCL}
Power-Down, Interface Inactive ⁷			0.07/0.16	mA	$V_{DD} = 3.3 \text{ V/5.5 V}$, 400 kHz f_{SCL}
Power Dissipation			0.26/0.85	mA	$V_{DD} = 3.3 \text{ V/5.5 V}$, 3.4 MHz f_{SCL}
ADC Operating, Interface Active (Fully Operational)			1/1.6	μA	$V_{DD} = 3.3 \text{ V/5.5 V}$
Power-Down, Interface Active ⁷			0.3/1.38	mW	$V_{DD} = 3.3 \text{ V/5.5 V}$, 400 kHz f_{SCL}
Power-Down, Interface Inactive ⁷			0.83/4.4	mW	$V_{DD} = 3.3 \text{ V/5.5 V}$, 3.4 MHz f_{SCL}
Power-Down, Interface Active ⁷			0.24/0.88	mW	$V_{DD} = 3.3 \text{ V/5.5 V}$, 400 kHz f_{SCL}
Power-Down, Interface Inactive ⁷			0.86/4.68	mW	$V_{DD} = 3.3 \text{ V/5.5 V}$, 3.4 MHz f_{SCL}
Power-Down, Interface Active ⁷			3.3/8.8	μW	$V_{DD} = 3.3 \text{ V/5.5 V}$

¹ $V_{DD} = 2.35 \text{ V}$ で動作可能。

² サンプル遅延とビット判定遅延をイネーブル、 $t_1 = t_2 = 0.5/f_{SCL}$ 。

³ 400 kHz までの f_{SCL} に対しては、クロック・ストレッチは行われません。400 kHz を超える f_{SCL} に対しては、クロック・ストレッチが行われます。

⁴ 用語のセクション参照。

⁵ 1.7 MHz 以下の f_{SCL} に対しては、クロック・ストレッチは行われません。1.7 MHz を超える f_{SCL} に対してはクロック・ストレッチが行われます。

⁶ 初期キャラクタライゼーションにより保証。

⁷ AD7991/AD7995/AD7999 からの読み出しのセクション参照。

AD7995¹

Yバージョンの温度範囲は-40°C~+125°C。特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$ 、 $f_{SCL} = 3.4\text{ MHz}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 3.

Parameter	Y Version			Unit	Test Conditions/Comments
	Min	Typ	Max		
DYNAMIC PERFORMANCE^{2,3}					
Signal-to-Noise and Distortion (SINAD) ⁴	61			dB	See the Sample Delay and Bit Trial Delay section, $f_{IN} = 10\text{ kHz}$ sine wave for f_{SCL} from 1.7 MHz to 3.4 MHz $f_{IN} = 1\text{ kHz}$ sine wave for f_{SCL} up to 400 kHz
Total Harmonic Distortion (THD) ⁴			-75	dB	
Peak Harmonic or Spurious Noise (SFDR) ⁴			-76	dB	
Intermodulation Distortion (IMD) ⁴					
Second-Order Terms		-90		dB	$f_a = 11\text{ kHz}$, $f_b = 9\text{ kHz}$ for f_{SCL} from 1.7 MHz to 3.4 MHz $f_a = 5.4\text{ kHz}$, $f_b = 4.6\text{ kHz}$ for f_{SCL} up to 400 kHz
Third-Order Terms		-86		dB	
Channel-to-Channel Isolation ⁴		-90		dB	$f_{IN} = 10\text{ kHz}$
Full-Power Bandwidth ⁴		14		MHz	@ 3 dB
		1.5		MHz	@ 0.1 dB
DC ACCURACY^{2,5}					
Resolution	10			Bits	Guaranteed no missed codes to 10 bits
Integral Nonlinearity ⁴			±0.4	LSB	
Differential Nonlinearity ⁴			±0.4	LSB	
Offset Error ⁴			±1.5	LSB	
Offset Error Matching			±0.2	LSB	
Offset Temperature Drift		4.13		ppm/°C	
Gain Error ⁴			±0.5	LSB	
Gain Error Matching			±0.25	LSB	
Gain Temperature Drift		0.50		ppm/°C	
ANALOG INPUT					
Input Voltage Range	0		V_{REF}	V	$V_{REF} = V_{IN3}/V_{REF}$ OR V_{DD}
DC Leakage Current			±1	μA	
Input Capacitance		34		pF	Channel 0 to Channel 2—during acquisition phase
		4		pF	Channel 0 to Channel 2—outside acquisition phase
		35		pF	Channel 3—during acquisition phase
		5		pF	Channel 3—outside acquisition phase
REFERENCE INPUT					
V_{REF} Input Voltage Range	1.2		V_{DD}	V	Outside conversion phase During conversion phase
DC Leakage Current			±1	μA	
V_{REF} Input Capacitance		5		pF	
		35		pF	
Input Impedance		69		kΩ	

Parameter	Y Version			Unit	Test Conditions/Comments
	Min	Typ	Max		
LOGIC INPUTS (SDA, SCL)					
Input High Voltage, V_{INH}	0.7 (V_{DD})			V	$V_{DD} = 2.7 \text{ V to } 5.5 \text{ V}$
	0.9 (V_{DD})			V	$V_{DD} = 2.35 \text{ V to } 2.7 \text{ V}$
Input Low Voltage, V_{INL}			0.3 (V_{DD})	V	$V_{DD} = 2.7 \text{ V to } 5.5 \text{ V}$
			0.1 (V_{DD})	V	$V_{DD} = 2.35 \text{ V to } 2.7 \text{ V}$
Input Leakage Current, I_{IN}			± 1	μA	$V_{IN} = 0 \text{ V or } V_{DD}$
Input Capacitance, C_{IN}^6			10	pF	
Input Hysteresis, V_{HYST}	0.1 (V_{DD})			V	
LOGIC OUTPUTS (OPEN DRAIN)					
Output Low Voltage, V_{OL}			0.4	V	$I_{SINK} = 3 \text{ mA}$
			0.6	V	$I_{SINK} = 6 \text{ mA}$
Floating-State Leakage Current			± 1	μA	
Floating-State Output Capacitance ⁶			10	pF	
Output Coding	Straight (natural) binary				
THROUGHPUT RATE					
			$18 \times (1/f_{SCL})$		$f_{SCL} \leq 1.7 \text{ MHz}$; see the Serial Interface section
			$17.5 \times (1/f_{SCL}) + 2 \mu\text{s}$		$f_{SCL} > 1.7 \text{ MHz}$; see the Serial Interface section
POWER REQUIREMENTS²					
V_{DD}	2.7		5.5	V	$V_{REF} = V_{DD}$; for $f_{SCL} = 3.4 \text{ MHz}$, clock stretching is implemented
I_{DD}					Digital inputs = 0 V or V_{DD}
ADC Operating, Interface Active (Fully Operational)			0.09/0.25	mA	$V_{DD} = 3.3 \text{ V/5.5 V}$, 400 kHz f_{SCL}
Power-Down, Interface Active ⁷			0.25/0.8	mA	$V_{DD} = 3.3 \text{ V/5.5 V}$, 3.4 MHz f_{SCL}
Power-Down, Interface Inactive ⁷			0.07/0.16	mA	$V_{DD} = 3.3 \text{ V/5.5 V}$, 400 kHz f_{SCL}
Power Dissipation			0.26/0.85	mA	$V_{DD} = 3.3 \text{ V/5.5 V}$, 3.4 MHz f_{SCL}
ADC Operating, Interface Active (Fully Operational)			1/1.6	μA	$V_{DD} = 3.3 \text{ V/5.5 V}$
Power-Down, Interface Active ⁷			0.3/1.38	mW	$V_{DD} = 3.3 \text{ V/5.5 V}$, 400 kHz f_{SCL}
Power-Down, Interface Inactive ⁷			0.83/4.4	mW	$V_{DD} = 3.3 \text{ V/5.5 V}$, 3.4 MHz f_{SCL}
Power-Down, Interface Active ⁷			0.24/0.88	mW	$V_{DD} = 3.3 \text{ V/5.5 V}$, 400 kHz f_{SCL}
Power-Down, Interface Inactive ⁷			0.86/4.68	mW	$V_{DD} = 3.3 \text{ V/5.5 V}$, 3.4 MHz f_{SCL}
Power-Down, Interface Active ⁷			3.3/8.8	μW	$V_{DD} = 3.3 \text{ V/5.5 V}$

¹ $V_{DD} = 2.35 \text{ V}$ で動作可能。

² サンプル遅延とビット判定遅延をイネーブル、 $t_1 = t_2 = 0.5/f_{SCL}$ 。

³ 400 kHz までの f_{SCL} に対しては、クロック・ストレッチは行われません。400 kHz を超える f_{SCL} に対しては、クロック・ストレッチが行われます。

⁴ 用語のセクション参照。

⁵ 1.7 MHz 以下の f_{SCL} に対しては、クロック・ストレッチは行われません。1.7 MHz を超える f_{SCL} に対してはクロック・ストレッチが行われます。

⁶ 初期キャラクタライゼーションにより保証。

⁷ AD7991/AD7995/AD7999 からの読み出しのセクション参照。

AD7999¹

Yバージョンの温度範囲は-40°C~+125°C。特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$ 、 $f_{SCL} = 3.4\text{ MHz}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 4.

Parameter	Y Version			Unit	Test Conditions/Comments
	Min	Typ	Max		
DYNAMIC PERFORMANCE^{2,3}					
Signal-to-Noise and Distortion (SINAD) ⁴	49.5			dB	See the Sample Delay and Bit Trial Delay section, $f_{IN} = 10\text{ kHz}$ sine wave for f_{SCL} from 1.7 MHz to 3.4 MHz $f_{IN} = 1\text{ kHz}$ sine wave for f_{SCL} up to 400 kHz
Total Harmonic Distortion (THD) ⁴			-65	dB	
Peak Harmonic or Spurious Noise (SFDR) ⁴			-65	dB	
Intermodulation Distortion (IMD) ⁴					
Second-Order Terms		-83		dB	$f_{IN} = 10\text{ kHz}$
Third-Order Terms		-75		dB	
Channel-to-Channel Isolation ⁴		-90		dB	@ 3 dB
Full-Power Bandwidth ⁴		14		MHz	@ 0.1 dB
		1.5		MHz	
DC ACCURACY^{2,5}					
Resolution	8			Bits	Guaranteed no missed codes to eight bits
Integral Nonlinearity ⁴			±0.1	LSB	
Differential Nonlinearity ⁴			±0.1	LSB	
Offset Error ⁴			±0.35	LSB	
Offset Error Matching			±0.05	LSB	
Offset Temperature Drift		4.26		ppm/°C	
Gain Error ⁴			±0.175	LSB	
Gain Error Matching			±0.06	LSB	
Gain Temperature Drift		0.59		ppm/°C	
ANALOG INPUT					
Input Voltage Range	0		V_{REF}	V	$V_{REF} = V_{IN3}/V_{REF}$ OR V_{DD}
DC Leakage Current			±1	μA	
Input Capacitance		34		pF	Channel 0 to Channel 2—during acquisition phase
		4		pF	Channel 0 to Channel 2—outside acquisition phase
		35		pF	Channel 3—during acquisition phase
		5		pF	Channel 3—outside acquisition phase
REFERENCE INPUT					
V_{REF} Input Voltage Range	1.2		V_{DD}	V	Outside conversion phase During conversion phase
DC Leakage Current			±1	μA	
V_{REF} Input Capacitance		5		pF	
		35		pF	
Input Impedance		69		kΩ	

Parameter	Y Version			Unit	Test Conditions/Comments
	Min	Typ	Max		
LOGIC INPUTS (SDA, SCL)					
Input High Voltage, V_{INH}	0.7 (V_{DD})			V	$V_{DD} = 2.7 \text{ V to } 5.5 \text{ V}$
Input Low Voltage, V_{INL}	0.9 (V_{DD})		0.3 (V_{DD})	V	$V_{DD} = 2.35 \text{ V to } 2.7 \text{ V}$
Input Leakage Current, I_{IN}			0.1 (V_{DD})	V	$V_{DD} = 2.7 \text{ V to } 5.5 \text{ V}$
Input Capacitance, C_{IN}^6			± 1	μA	$V_{DD} = 2.35 \text{ V to } 2.7 \text{ V}$
Input Hysteresis, V_{HYST}	0.1 (V_{DD})		10	pF	$V_{IN} = 0 \text{ V or } V_{DD}$
LOGIC OUTPUTS (OPEN DRAIN)					
Output Low Voltage, V_{OL}			0.4	V	$I_{SINK} = 3 \text{ mA}$
Floating-State Leakage Current			0.6	V	$I_{SINK} = 6 \text{ mA}$
Floating-State Output Capacitance ⁶			± 1	μA	
Output Coding			10	pF	
THROUGHPUT RATE					
			$18 \times (1/f_{SCL})$		$f_{SCL} \leq 1.7 \text{ MHz}$; see the Serial Interface section
			$17.5 \times (1/f_{SCL}) + 2 \mu\text{s}$		$f_{SCL} > 1.7 \text{ MHz}$; see the Serial Interface section
POWER REQUIREMENTS²					
V_{DD}	2.7		5.5	V	$V_{REF} = V_{DD}$; for $f_{SCL} = 3.4 \text{ MHz}$, clock stretching is implemented
I_{DD}					Digital inputs = 0 V or V_{DD}
ADC Operating, Interface Active (Fully Operational)			0.09/0.25	mA	$V_{DD} = 3.3 \text{ V/5.5 V}$, 400 kHz f_{SCL}
Power-Down, Interface Active ⁷			0.25/0.8	mA	$V_{DD} = 3.3 \text{ V/5.5 V}$, 3.4 MHz f_{SCL}
Power-Down, Interface Inactive ⁷			0.07/0.16	mA	$V_{DD} = 3.3 \text{ V/5.5 V}$, 400 kHz f_{SCL}
Power Dissipation			0.26/0.85	mA	$V_{DD} = 3.3 \text{ V/5.5 V}$, 3.4 MHz f_{SCL}
ADC Operating, Interface Active (Fully Operational)			1/1.6	μA	$V_{DD} = 3.3 \text{ V/5.5 V}$
Power-Down, Interface Active ⁷			0.3/1.38	mW	$V_{DD} = 3.3 \text{ V/5.5 V}$, 400 kHz f_{SCL}
Power-Down, Interface Inactive ⁷			0.83/4.4	mW	$V_{DD} = 3.3 \text{ V/5.5 V}$, 3.4 MHz f_{SCL}
Power-Down, Interface Active ⁷			0.24/0.88	mW	$V_{DD} = 3.3 \text{ V/5.5 V}$, 400 kHz f_{SCL}
Power-Down, Interface Inactive ⁷			0.86/4.68	mW	$V_{DD} = 3.3 \text{ V/5.5 V}$, 3.4 MHz f_{SCL}
Power-Down, Interface Inactive ⁷			3.3/8.8	μW	$V_{DD} = 3.3 \text{ V/5.5 V}$

¹ $V_{DD} = 2.35 \text{ V}$ で動作可能。

² サンプル遅延とビット判定遅延をイネーブル、 $t_1 = t_2 = 0.5/f_{SCL}$ 。

³ 400 kHz までの f_{SCL} に対しては、クロック・ストレッチは行われません。400 kHz を超える f_{SCL} に対しては、クロック・ストレッチが行われます。

⁴ 用語のセクション参照。

⁵ 1.7 MHz 以下の f_{SCL} に対しては、クロック・ストレッチは行われません。1.7 MHz を超える f_{SCL} に対してはクロック・ストレッチが行われます。

⁶ 初期キャラクタライゼーションにより保証。

⁷ AD7991/AD7995/AD7999 からの読み出しのセクション参照。

I²C タイミング仕様

初期キャラクタライゼーションにより保証。すべての値は入力フィルタをイネーブルして測定。C_B はバス・ラインの容量負荷、t_r と t_f は 0.3 V_{DD} と 0.7 V_{DD} の間で測定(図 2 参照)。特に指定がない限り、V_{DD} = 2.7 V ~ 5.5 V、T_A = T_{MIN} ~ T_{MAX}。

表 5.

Parameter	Conditions	Limit at t _{MIN} , t _{MAX}			Unit	Description
		Min	Typ	Max		
f _{SCL} ¹	Standard mode			100	kHz	Serial clock frequency
	Fast mode			400	kHz	
	High speed mode			3.4	MHz	
	C _B = 100 pF maximum C _B = 400 pF maximum			1.7	MHz	
t ₁ ¹	Standard mode	4			μs	t _{HIGH} , SCL high time
	Fast mode	0.6			μs	
	High speed mode				ns	
	C _B = 100 pF maximum C _B = 400 pF maximum	60 120			ns ns	
t ₂ ¹	Standard mode	4.7			μs	t _{LOW} , SCL low time
	Fast mode	1.3			μs	
	High speed mode				ns	
	C _B = 100 pF maximum C _B = 400 pF maximum	160 320			ns ns	
t ₃ ¹	Standard mode	250			ns	t _{SU,DAT} , data setup time
	Fast mode	100			ns	
	High speed mode	10			ns	
t ₄ ^{1,2}	Standard mode	0		3.45	μs	t _{HD,DAT} , data hold time
	Fast mode	0		0.9	μs	
	High Speed mode				ns	
	C _B = 100 pF maximum C _B = 400 pF maximum	0 0		70 ³ 150	ns ns	
t ₅ ¹	Standard mode	4.7			μs	t _{SU,STA} , setup time for a repeated start condition
	Fast mode	0.6			μs	
	High Speed mode	160			ns	
t ₆ ¹	Standard mode	4			μs	t _{HD,STA} , hold time for a repeated start condition
	Fast mode	0.6			μs	
	High speed mode	160			ns	
t ₇ ¹	Standard mode	4.7			μs	t _{BUF} , bus-free time between a stop and a start condition
	Fast mode	1.3			μs	
t ₈ ¹	Standard mode	4			μs	t _{SU,STO} , setup time for a stop condition
	Fast mode	0.6			μs	
	High speed mode	160			ns	
t ₉	Standard mode			1000	ns	t _{RDA} , rise time of the SDA signal
	Fast mode			300	ns	
	High speed mode				ns	
	C _B = 100 pF maximum C _B = 400 pF maximum	10 20	20 + 0.1 C _B	80 160	ns ns	

Parameter	Conditions	Limit at t_{MIN} , t_{MAX}			Unit	Description
		Min	Typ	Max		
t_{10}	Standard mode			300	ns	t_{FDA} , fall time of the SDA signal
	Fast mode	$20 + 0.1 C_B$		300	ns	
	High speed mode					
	$C_B = 100$ pF maximum $C_B = 400$ pF maximum	10 20		80 160	ns ns	
t_{11}	Standard mode			1000	ns	t_{RCL} , rise time of the SCL signal
	Fast mode	$20 + 0.1 C_B$		300	ns	
	High speed mode					
	$C_B = 100$ pF maximum $C_B = 400$ pF maximum	10 20		40 80	ns ns	
t_{11A}	Standard mode			1000	ns	t_{RCL1} , rise time of the SCL signal after a repeated start condition and after an acknowledge bit
	Fast mode	$20 + 0.1 C_B$		300	ns	
	High speed mode					
	$C_B = 100$ pF maximum $C_B = 400$ pF maximum	10 20		80 160	ns ns	
t_{12}	Standard mode			300	ns	t_{FCL} , fall time of the SCL signal
	Fast mode	$20 + 0.1 C_B$		300	ns	
	High speed mode					
	$C_B = 100$ pF maximum $C_B = 400$ pF maximum	10 20		40 80	ns ns	
t_{SP}^1	Fast mode	0		50	ns	Pulse width of the suppressed spike
	High speed mode	0		10	ns	
$t_{POWER-UP}$			0.6		μs	Power-up and acquisition time

¹ 機能は製造時にテスト。

² SCL の立ち下がりエッジの不定領域をブリッジするため、デバイスは SDA のデータ・ホールド・タイムを持つ必要があります。

³ 3 V 電源の場合、 $C_B =$ 最大 100 pF による最大ホールド・タイムは最大 100 ns。

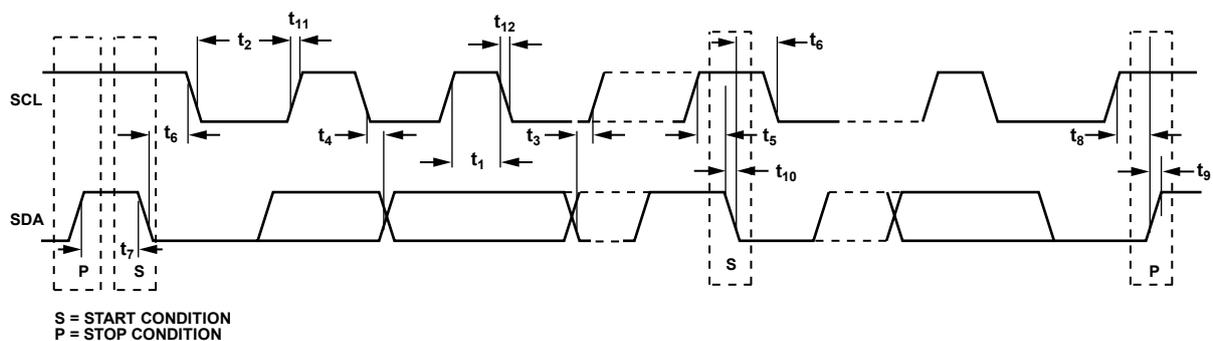


図 2.2 線式シリアル・インターフェースのタイミング図

06461-012

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
V_{DD} to GND	-0.3 V to 7 V
Analog Input Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
Reference Input Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to +7 V
Digital Output Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
Input Current to Any Pin Except Supplies ¹	± 10 mA
Operating Temperature Ranges	
Industrial (Y Version) Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
8-Lead SOT-23 Package	
θ_{JA} Thermal Impedance	170°C/W
θ_{JC} Thermal Impedance	90°C/W
RoHS Compliant Temperature, Soldering Reflow	260 + 0°C
ESD	1 kV

¹ 最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

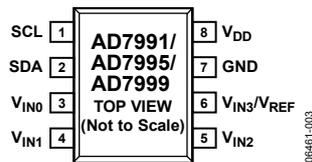


図 3.SOT-23 のピン配置

表 7.ピン機能の説明

ピン番号	記号	説明
1	SCL	デジタル入力。シリアル・バス・クロック。外付けプルアップ抵抗が必要。
2	SDA	デジタル I/O。シリアル・バス双方向データ。オープン・ドレイン出力。外付けプルアップ抵抗が必要。
3	V _{IN0}	アナログ入力 1。シングルエンド・アナログ入力チャンネル。入力範囲は 0 V～V _{REF} 。
4	V _{IN1}	アナログ入力 2。シングルエンド・アナログ入力チャンネル。入力範囲は 0 V～V _{REF} 。
5	V _{IN2}	アナログ入力 3。シングルエンド・アナログ入力チャンネル。入力範囲は 0 V～V _{REF} 。
6	V _{IN3/V_{REF}}	アナログ入力 4。シングルエンド・アナログ入力チャンネル。入力範囲は 0 V～V _{REF} 。外付け V _{REF} 信号の入力にも使用できます。
7	GND	アナログ・グラウンド。AD7991/AD7995/AD7999 上の全回路に対するグラウンド基準ポイント。すべてのアナログ入力信号はこの AGND 電圧を基準とする必要があります。
8	V _{DD}	電源入力。AD7991/AD7995/AD7999 の V _{DD} 範囲は 2.7 V～5.5 V。

表 8.I²C アドレスの選択

Part Number	I ² C Address
AD7991-0	010 1000
AD7991-1	010 1001
AD7995-0	010 1000
AD7995-1	010 1001
AD7999-1	010 1001

代表的な性能特性

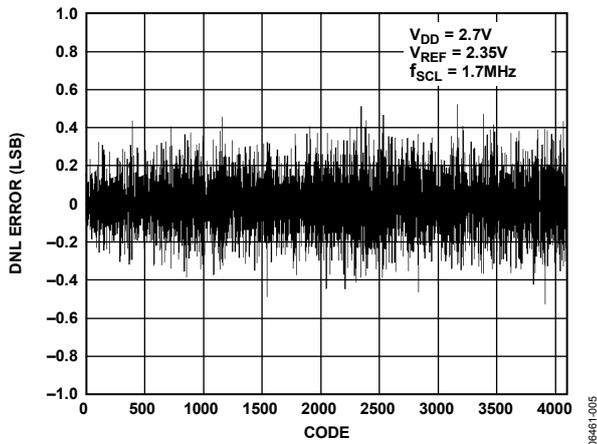


図 4. DNL 誤差、 $V_{DD} = 2.7\text{ V}$ 、 $V_{REF} = 2.35\text{ V}$ 、 $f_{SCL} = 1.7\text{ MHz}$ 、クロック・ストレッチなし

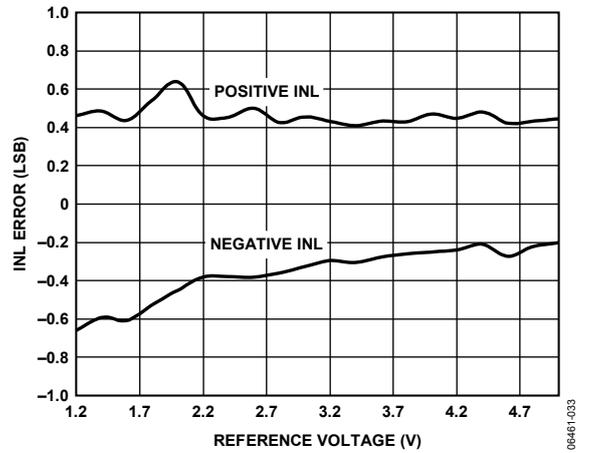


図 7. INL 誤差対リファレンス電圧、 $f_{SCL} = 1.7\text{ MHz}$ 、クロック・ストレッチなし

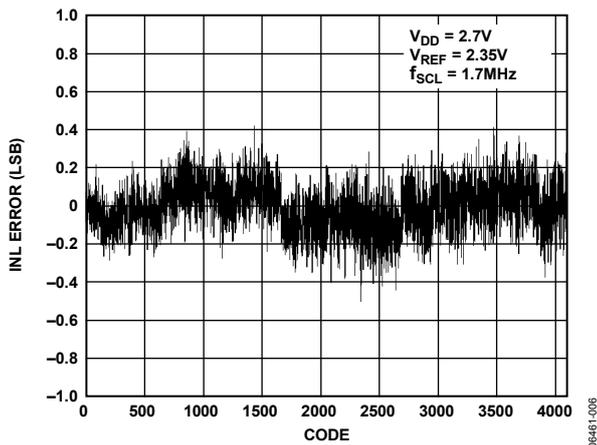


図 5. INL 誤差、 $V_{DD} = 2.7\text{ V}$ 、 $V_{REF} = 2.35\text{ V}$ 、 $f_{SCL} = 1.7\text{ MHz}$ 、クロック・ストレッチなし

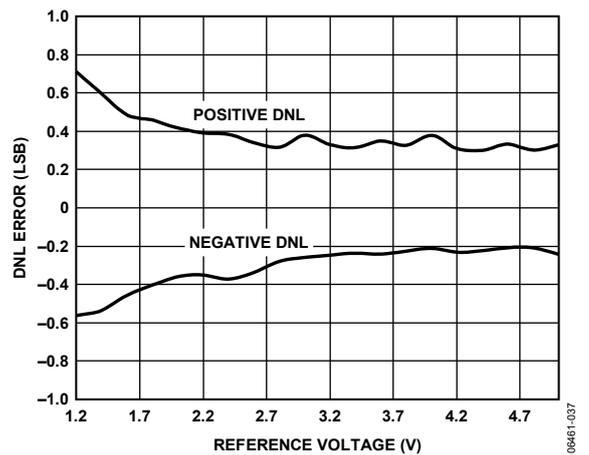


図 8. DNL 誤差対リファレンス電圧、 $f_{SCL} = 1.7\text{ MHz}$ 、クロック・ストレッチなし

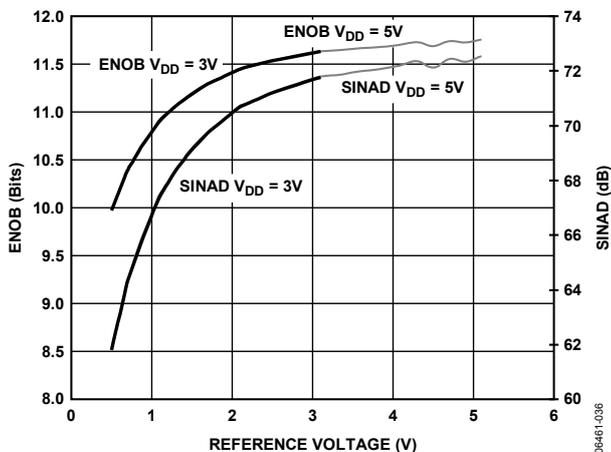


図 6. ENOB/SINAD 対リファレンス電圧、 $f_{SCL} = 1.7\text{ MHz}$ 、クロック・ストレッチなし

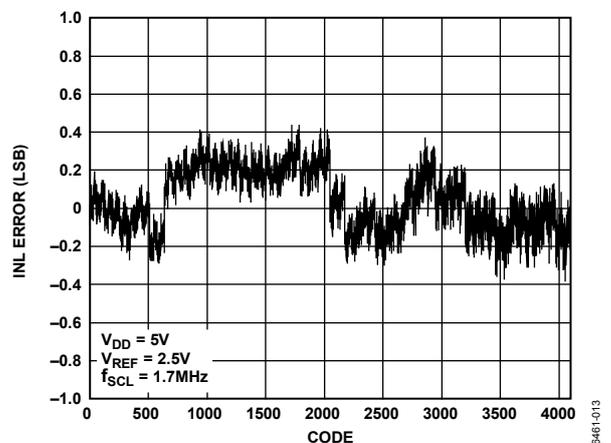


図 9. INL 誤差、 $V_{DD} = 5\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$ 、 $f_{SCL} = 1.7\text{ MHz}$ 、クロック・ストレッチなし

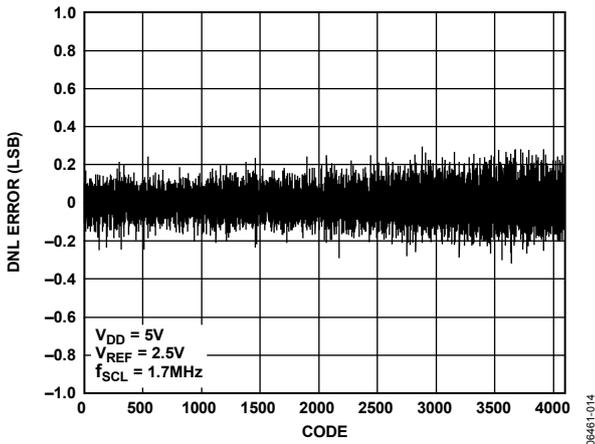


図 10. DNL 誤差、 $V_{DD} = 5V$ 、 $V_{REF} = 2.5V$ 、 $f_{SCL} = 1.7MHz$ 、クロック・ストレッチなし

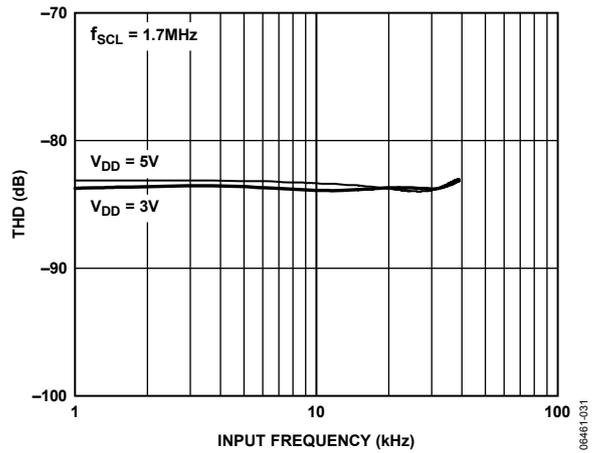


図 13. THD 対入力周波数、 $V_{REF} = 2.5V$ 、 $f_{SCL} = 1.7MHz$ 、クロック・ストレッチなし

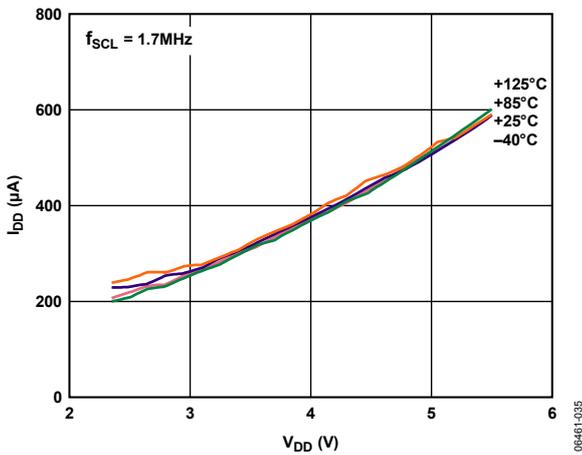


図 11. I_{DD} 電源電流対電源電圧、 $f_{SCL} = 1.7MHz$ 、クロック・ストレッチなし、 $-40^{\circ}C \sim +125^{\circ}C$

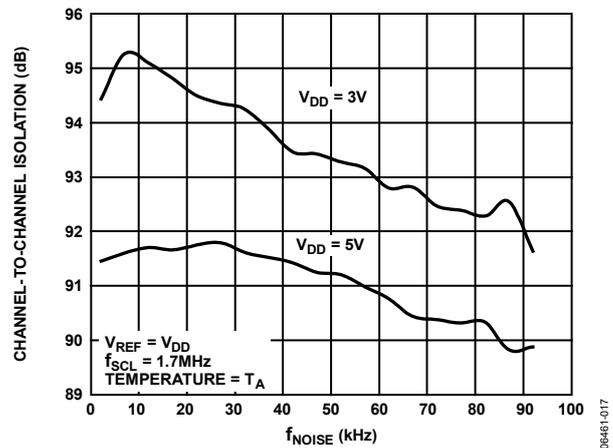


図 14. AD7991 チャンネル間アイソレーション、 $f_{SCL} = 1.7MHz$ 、クロック・ストレッチなし

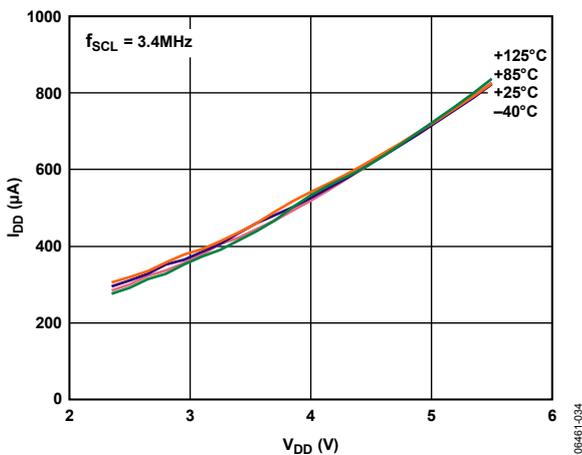


図 12. I_{DD} 電源電流対電源電圧、 $f_{SCL} = 3.4MHz$ 、クロック・ストレッチあり、 $-40^{\circ}C \sim +125^{\circ}C$

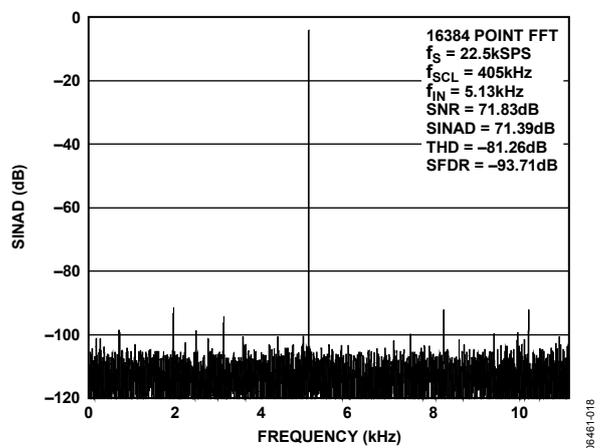


図 15. ダイナミック性能、 $f_{SCL} = 405kHz$ 、クロック・ストレッチなし、 $V_{DD} = 5V$ 、フル・スケール入力、7 項 Blackman-Harris ウィンドウ

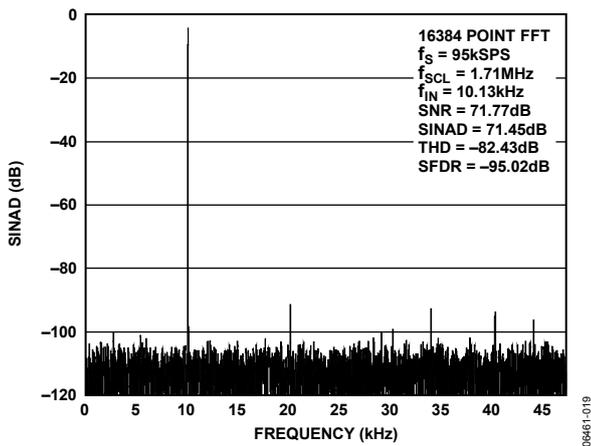


図 16. ダイナミック性能、 $f_{SCL} = 1.71\text{MHz}$ 、クロック・ストレッチなし、 $V_{DD} = 5\text{V}$ 、フル・スケール入力、7 項 Blackman-Harris ウィンドウ

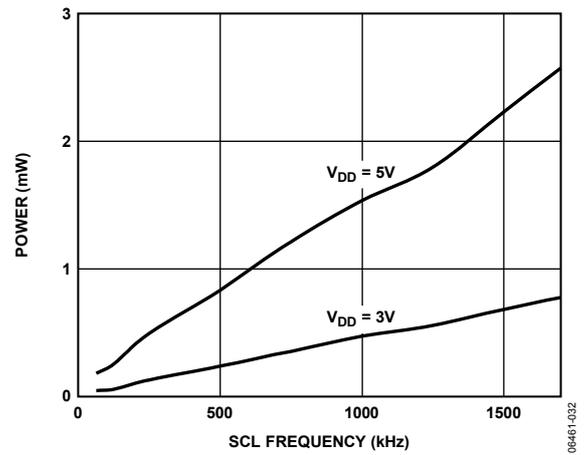


図 17. 消費電力対 SCL 周波数、 $V_{REF} = 2.5\text{V}$

用語

信号対ノイズ比および歪み(SINAD)

A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプリング周波数($f_s/2$)までの非基本波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理論 N ビット・コンバータに対する SINAD の理論値は次式で表されます。

$$\text{信号対(ノイズ+歪み)比} = (6.02 N + 1.76) \text{ dB}$$

したがって、8 ビット・コンバータの場合 SINAD は 49.92 dB に、10 ビット・コンバータの場合は 61.96 dB に、12 ビット・コンバータの場合は 74 dB に、それぞれなります。

総合高調波歪み(THD)

高調波の rms 値総和と基本波の比です。AD7991/AD7995/AD7999 の場合、次式で与えられます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波の rms 振幅。 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は、2 次～6 次の高調波の rms 振幅。

ピーク高調波またはスプリアス・ノイズ

ADC 出力スペクトル内の(DC を除いて $f_s/2$ まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。一般に、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれている ADC の場合は、最大の高調波はノイズ・ピークになります。

相互変調歪み

非線形性を持つアクティブ・デバイスに 2 つの周波数 f_a および f_b を含む正弦波を入力すると、さまざまな和および差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。ここで、 m 、 $n=0$ 、1、2、3、... です。相互変調歪項とは、 m と n が非ゼロの項をいいます。たとえば、2 次項には (f_a+f_b) と (f_a-f_b) が含まれ、3 次項には $(2f_a+f_b)$ 、 $(2f_a-f_b)$ 、 (f_a+2f_b) 、 (f_a-2f_b) が含まれます。

AD7991/AD7995/AD7999 は、入力帯域幅の上限に近い 2 つの入力周波数を使う CCIF 標準を使ってテストされています。この場合、

2 次項は通常、元の正弦波の周波数から離れて位置し、3 次項は通常、入力周波数に近い周波数に位置します。そのため、2 次項と 3 次項は別々に指定されます。相互変調歪みの計算は THD の仕様に似ています。すなわち、dB で表した個々の歪み成分の rms 総和の、基本波の和の rms 振幅に対する比になります。

チャンネル間アイソレーション

チャンネル間アイソレーションは、2 つのチャンネル間でのクロストークのレベルの大きさを表します。フル・スケールの正弦波信号をすべての非選択入力チャンネルに入力し、10 kHz 信号を使って選択したチャンネルで信号の減衰を測定することにより決定します。各非選択チャンネルでの信号周波数を 2 kHz から 92 kHz まで上げます。図 14 に、AD7991 の 4 チャンネルすべての中でのワーストケースを示します。

フル・パワー帯域幅

D/A 変換された再生基本波が 0.1 dB 低下する、またはフル・スケール入力に対して 3 dB 低下する入力周波数を意味します。

積分非直線性

ADC 伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、ゼロ・スケール(最初のコード変化より 1 LSB 下のポイント)とフル・スケール(最後のコード変化より 1 LSB 上のポイント)をいいます。

微分非直線性

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

オフセット誤差

理論値 AGND + 1 LSB と最初のコード変化(00...0.000→00...0.001)との差をいいます。

オフセット誤差マッチ

2 つのチャンネル間のオフセット誤差の差。

ゲイン誤差

オフセット誤差調整後の最後のコード変化(111...110→111...111)と理論値($V_{REF} - 1 \text{ LSB}$)との差をいいます。

ゲイン誤差のマッチング

2 つのチャンネル間のゲイン誤差の差。

動作原理

AD7991/AD7995/AD7999 は、単電源低消費電力 4 チャンネルの 12/10/8 ビット ADC です。各デバイスは、2.35 V~5.5 V の単電源で動作することができます。

AD7991/AD7995/AD7999 は、4 チャンネル・マルチプレクサ、トラック・アンド・ホールド、ADC、I²C 互換シリアル・インターフェースを内蔵し、他のソリューションより優れた省スペースを提供する 8 ピン SOT-23 パッケージを採用しています。

AD7991/AD7995/AD7999 は通常、非変換時にはパワーダウン状態にあります。したがって、電源を最初に投入したとき、デバイスはパワーダウン状態にあります。変換の前にパワーアップを開始して、変換が完了すると、デバイスはパワーダウン状態に戻ります。この自動パワーダウン機能を使うと、デバイスは変換の間で消費電力を節約することができます。これは、I²C インターフェースを経由したすべての読み出し動作または書き込み動作がデバイスのパワーダウン中に発生することを意味します。

コンバータの動作

AD7991/AD7995/AD7999 は、容量 DAC を採用した逐次比較型 ADC です。図 18 と図 19 に、それぞれアキュイジション・フェーズと変換フェーズでの ADC の簡略化した回路図を示します。図 18 にアキュイジション・フェーズの ADC を示します。SW2 は閉じて、SW1 は位置 A にあり、コンパレータは平衡状態にあり、サンプリング・コンデンサは V_{IN} 上の信号を取得します。アナログ入力を駆動する信号源では、アナログ入力信号はパワーアップとアキュイジションの継続時間に等しい 0.6 μ s 内に 1 LSB 以内に制定する必要があります。

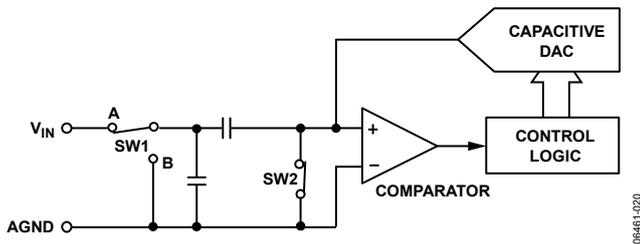


図 18.ADC アキュイジション・フェーズ

ADC が変換を開始すると(図 19)、SW3 が開いて、SW1 と SW2 が位置 B に移動して、コンパレータが不平衡状態になります。変換が開始されると、入力は切り離されます。コントロール・ロジックと容量 DAC を使って、サンプリング・コンデンサに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを発生します。図 20 に、ADC の伝達関数を示します。

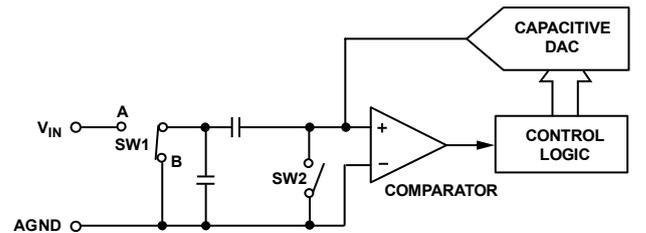


図 19.ADC 変換フェーズ

ADC の伝達関数

AD7991/AD7995/AD7999 の出力コーディングは自然 2 進数です。コード変化は LSB の連続する整数倍値(1 LSB、2 LSB など)で発生します。AD7991/AD7995/AD7999 の LSB サイズは、それぞれ $V_{REF}/4096$ 、 $V_{REF}/1024$ 、 $V_{REF}/256V_{DD}$ です。図 20 に、AD7991/AD7995/AD7999 の理論伝達特性を示します。

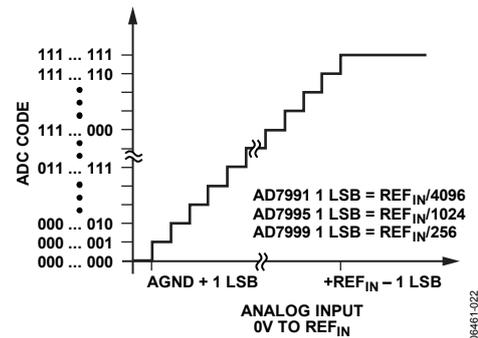


図 20.AD7991/AD7995/AD7999 の伝達特性

代表的な接続図

図 22 に、AD7991/AD7995/AD7999 の一般的な接続図を示します。

リファレンス電圧は、電源電圧 V_{DD} から取得することができます。ただし、リファレンス電圧を V_{IN3}/V_{REF} ピンに加えて、AD7991/AD7995/AD7999 を 3 チャンネル・デバイスとして構成することもできます。この場合には、 $1\ \mu\text{F}$ のデカップリング・コンデンサを V_{IN3}/V_{REF} ピンに接続することが推奨されます。

SDA と SCL は、2 線式 I^2C 互換インターフェースを構成します。SDA ラインと SCL ラインには外付けプルアップ抵抗が必要です。

AD7991-0/AD7995-0 と AD7991-1/AD7995-1/AD7999-1 は、スタンダード、ファースト、ハイスピードの I^2C インターフェース・モードをサポートしています。 -0 と -1 のデバイスは独立な I^2C アドレスを内蔵しているため、2 個のデバイスを同じ I^2C バスに競合することなく接続することができます。

デバイスは、パワーダウンからウェイクアップしてアナログ入力を取得するために約 $0.6\ \mu\text{s}$ を要します。アキュイジション・フェーズが終わると、変換フェーズが開始され、完了に約 $1\ \mu\text{s}$ を要します。AD7991/AD7995/AD7999 は各変換後にシャットダウン・モードになります。この機能は、消費電力が厳しいアプリケーションで役立ちます。

アナログ入力

図 21 に、AD7991/AD7995/AD7999 のアナログ入力構造の等価回路を示します。ダイオード $D1$ と $D2$ はアナログ入力に対して ESD 保護機能を提供します。アナログ入力信号は電源レールより 300mV 以上高くないよう注意する必要があります。信号がこのレベルを超えると、これらのダイオードが順方向にバイアスされて、サブストレートに電流が流れるようになります。各ダイオードが損傷なしに許容できる最大電流は $10\ \text{mA}$ です。

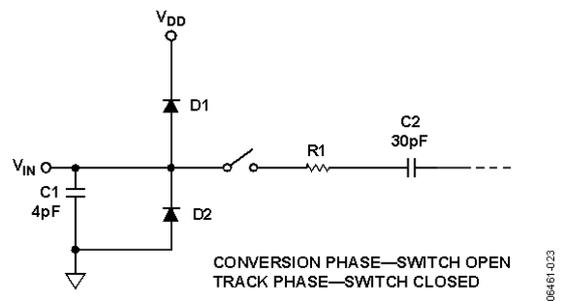


図 21.等価アナログ入力回路

図 21 に示すコンデンサ $C1$ は約 $4\ \text{pF}$ (typ) で、主にピン容量に起因します。抵抗 $R1$ は集中定数部品であり、トラック・アンド・ホールド・スイッチと入力マルチプレクサのオン抵抗 (R_{ON}) から構成されます。この合計抵抗は約 $400\ \Omega$ です。コンデンサ $C2$ は $30\ \text{pF}$ (typ) であり、主に ADC サンプリング・コンデンサです。

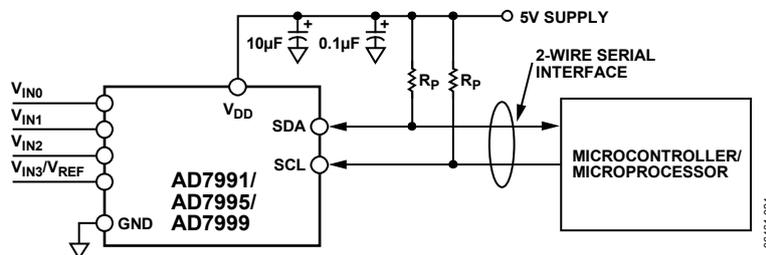


図 22.AD7991/AD7995/AD7999 の一般的な接続図

AC アプリケーションの場合は、該当するアナログ入力ピンに RC バンド・フィルタを使用して、アナログ入力信号から高周波成分を除去することが推奨されます。高調波歪みと信号対ノイズ比が重要であるアプリケーションでは、アナログ入力を低インピーダンス・ソースで入力する必要があります。ソース・インピーダンスが大きいと、ADC の AC 性能が大きく影響を受けます。このために、入力バッファ・アンプの使用が必要になります。オペ・アンプの選択は、アプリケーションに依存します。

アンプを使わないでアナログ入力を駆動するときは、ソース・インピーダンスを小さい値に制限する必要があります。最大ソース・インピーダンスは、許容可能な THD の大きさに依存します。ソース・インピーダンスが増加すると THD が大きくなるため、性能が低下します。図 23 に、種々のソース・インピーダンスに対して、5 V 電源での THD とアナログ入力周波数の関係を示します。

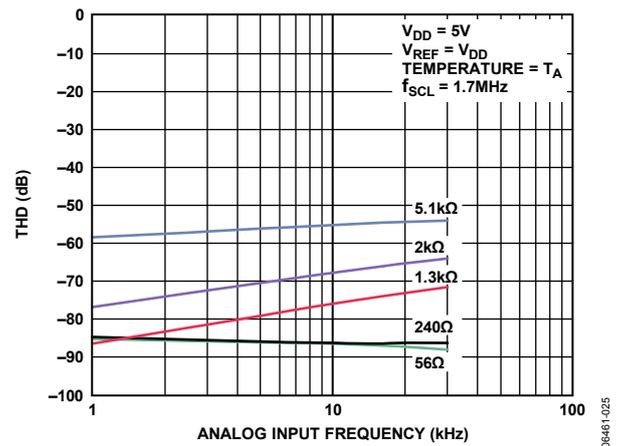


図 23.さまざまなソース・インピーダンスに対する THD 対アナログ入力周波数、 $V_{DD} = 5\text{ V}$ 、 $f_{SCL} = 1.7\text{ MHz}$ 、クロック・ストレッチなし

内部レジスタ構造

設定レジスタ

設定レジスタは 8 ビット書き込み専用レジスタで、AD7991/AD7995/AD7999 の動作モードの設定に使用します。ビットの機能を表 10 に示します。設定レジスタへ書き込むときはシングル・バイト書き込みが必要です。D7 が MSB です。マスターが AD7991/AD7995/AD7999 に書き込みを行うと、先頭バイトが設定レジスタに書き込まれます。

表 9. 設定レジスタ・ビット・マップとパワーアップ時のデフォルト設定

D7	D6	D5	D4	D3	D2	D1	D0
CH3	CH2	CH1	CH0	REF_SEL	FLTR	Bit trial delay	Sample delay
1	1	1	1	0	0	0	0

表 10. ビット機能の説明

Bit	Mnemonic	Comment
D7 to D4	CH3 to CH0	These four channel address bits select the analog input channel(s) to be converted. If a channel address bit (Bit D7 to Bit D4) is set to 1, a channel is selected for conversion. If more than one channel bit is set to 1, the AD7991/AD7995/AD7999 sequence through the selected channels, starting with the lowest channel. All unused channels should be set to 0. 表 11 shows how these four channel address bits are decoded. Prior to the device initiating a conversion, the channel(s) must be selected in the configuration register.
D3	REF_SEL	This bit allows the user to select the supply voltage as the reference or choose to use an external reference. If this bit is 0, the supply is used as the reference, and the device acts as a 4-channel input part. If this bit is set to 1, an external reference must be used and applied to the V_{IN3}/V_{REF} pin, and the device acts as a 3-channel input part.
D2	FLTR	The value written to this bit of the control register determines whether the filtering on SDA and SCL is enabled or bypassed. If this bit is set to 0, the filtering is enabled; if it set to 1, the filtering is bypassed.
D1	Bit trial delay	See the Sample Delay and Bit Trial Delay section.
D0	Sample delay	See the Sample Delay and Bit Trial Delay section.

表 11. チャンネルの選択

D7	D6	D5	D4	Analog Input Channel ¹
0	0	0	0	No channel selected
0	0	0	1	Convert on V_{IN0}
0	0	1	0	Convert on V_{IN1}
0	0	1	1	Sequence between V_{IN0} and V_{IN1}
0	1	0	0	Convert on V_{IN2}
0	1	0	1	Sequence between V_{IN0} and V_{IN2}
0	1	1	0	Sequence between V_{IN1} and V_{IN2}
0	1	1	1	Sequence among V_{IN0} , V_{IN1} , and V_{IN2}
1	0	0	0	Convert on V_{IN3}
1	0	0	1	Sequence between V_{IN0} and V_{IN3}
1	0	1	0	Sequence between V_{IN1} and V_{IN3}
1	0	1	1	Sequence among V_{IN0} , V_{IN1} , and V_{IN3}
1	1	0	0	Sequence between V_{IN2} and V_{IN3}
1	1	0	1	Sequence among V_{IN0} , V_{IN2} , and V_{IN3}
1	1	1	0	Sequence among V_{IN1} , V_{IN2} , and V_{IN3}
1	1	1	1	Sequence among V_{IN0} , V_{IN1} , V_{IN2} , and V_{IN3}

¹ AD7991/AD7995/AD7999 は、シーケンス内の降順に最小チャンネルから始めて、選択されたチャンネルの変換を行います。

サンプル遅延とビット判定遅延

変換中は I²C バスを動作させないことが推奨されますが(図 27 と AD7991/AD7995/AD7999 のハイスピード・モードへの設定のセクション参照)、これが常に可能でない場合には、ADC 性能を維持するために、設定レジスタのビット D0 と D1 を使って、I²C バスに動作がある間、クリティカルなサンプル間隔とビット判定の発生を遅らせます。これにより、各ビットの判定時にノイズが小さくなります。ただし、このサンプル遅延保護機能により大きなジッタが発生して、300 Hz 以上で大きな信号に対する SNR が低下することがあります。AC 性能を保証するためには、クロック・ストレッチの使用が推奨されます。

ビット D0 とビット D1 が 0 のとき、ビット判定とサンプル間隔遅延メカニズムが有効になります。D0 と D1 のデフォルト設定は 0 です。両遅延メカニズムをターンオフするときは、D0 と D1 に 1 を設定してください。

表 12. 変換結果レジスタ(最初の読み出し)

D15	D14	D13	D12	D11	D10	D9	D8
Leading 0	Leading 0	CH _{ID1}	CH _{ID0}	MSB	B10	B9	B8

表 13. 変換結果レジスタ(2番目の読み出し)

D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3/0	B2/0	B1/0	B0/0

変換結果レジスタ

変換結果レジスタは 16 ビット読み出し専用レジスタで、ADC 変換結果をストレート・バイナリ・フォーマットで格納します。このレジスタの読み出しには、2 バイト読み出しが必要です。表 12 には、AD7991/AD7995/AD7999 から読み出された最初のバイトを、表 13 には読み出された 2 番目のバイトを、それぞれ示します。

AD7991/AD7995/AD7999 の各変換結果は、先頭の 2 ビットの 0、2 ビットのチャンネル識別子、12/10/8 ビットの変換結果から構成されます。AD7995 の場合、2 番目の読み出しの 2 ビットの LSB (D1 と D0)には 2 ビットの 0 が格納されます。AD7999 の場合、2 番目の読み出しの 4 ビットの LSB (D3、D2、D1、D0)には 4 ビットの 0 が格納されます。

シリアル・インターフェース

AD7991/AD7995/AD7999 の制御は、I²C 互換シリアル・バスを經由して行います。AD7991/AD7995/AD7999 はプロセッサのようなマスター・デバイスの制御の下で、このバスにスレーブ・デバイスとして接続されます。

シリアル・バス・アドレス

すべての I²C 互換デバイスと同様に、AD7991/AD7995/AD7999 は 7 ビットのシリアル・アドレスを使っています。デバイスには、AD7991-0/AD7995-0 と AD7991-1/AD7995-1/AD7999-1 の 2 つのバージョンがあります。各バージョンは異なるアドレスを持っています(表 8 参照)。これらのアドレスを使うと、2 個までの AD7991/AD7995 デバイスを 1 本のシリアル・バスに接続することができます。AD7999 は 1 つのバージョンのみです。

シリアル・バス・プロトコルは、次のように動作します。

- スタート条件は、シリアル・クロック・ライン SCL がハイ・レベルの間にシリアル・データ・ライン SDA 上に発生するハイ・レベルからロー・レベルへの変化として定義されますが、マスターはこのスタート条件を設定して、データ転送を開始します。このスタート条件は、アドレス/データ・ストリームが後ろに続くことを表示しています。
- シリアル・バスに接続された全てのスレーブ・ペリフェラルはスタート条件に対して応答し、それに続く 8 ビットをシフト入力します。この 8 ビットは、7 ビット・アドレス (MSB ファースト) と R/\bar{W} ビットで構成されています。この R/\bar{W} ビットはデータ転送の方向を指定します。すなわち、スレーブ・デバイスに対するデータの書き込みまたは読み出しを指定します。
- 送信されたアドレスに対応するアドレスを持つペリフェラルは、アクノリッジ・ビットと呼ばれる 9 番目のクロック・パルスの前のロー・レベル区間中に、データ・ラインをロー・レベルにプルダウンして応答します。選択されたデバイスが読み書きの対象となるデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。 R/\bar{W} ビットが 0 の場合は、マスターがスレーブ・デバイスに対して書き込みを行います。 R/\bar{W} ビットが 1 の場合は、マスターがスレーブ・デバイスから読み出しを行います。
- 8 ビットのデータとそれに続くデータのレシーバからのアクノリッジ・ビットが、9 個のクロック・パルスでシリアル・バスに出力されます。クロックがハイ・レベルの間のロー・レベルからハイ・レベルへの変化はストップ信号と解釈されるため、データ・ラインの変化はクロック信号のロー・レベル区間で発生し、ハイ・レベル区間中は安定している必要があります。
- 全データ・バイトの読み出しまたは書き込みが終了すると、ストップ条件が設定されます。書き込みモードでは、マスターが 10 番目のクロック・パルスでデータ・ラインをハイ・レベルにプルアップして、ストップ条件をアサートします。読み出しモードでは、マスター・デバイスが 9 番目のクロック・パルスの前のロー・レベル区間でデータ・ラインをハイ・レベルにプルアップします。これはナックと呼ばれています。マスターは 10 番目のクロック・パルスの前のロー・レベル区間でデータ・ラインをロー・レベルにし、続いて 10 番目のクロック・パルスでデータ・ラインをハイ・レベルにして、ストップ条件をアサートします。
- シリアル・バスでは 1 回の動作で、任意バイト数のデータを転送できますが、動作(書き込みまたは読み出し)は先頭で決定されます。そのため、新しい動作を起動しない限り転送の途中で動作を変更することはできず、1 回の動作に読み出しと書き込みを含めることはできません。

AD7991/AD7995/AD7999への書き込み

デフォルトとして、各デバイスは読み出し専用モードで動作するため、4チャンネルすべてが設定レジスタでイネーブルされています。AD7991/AD7995/AD7999の設定レジスタへ書き込むときは、先にデバイスをアドレス指定する必要があります。

設定レジスタは8ビット・レジスタであるため、このレジスタには1バイトのデータのみを書き込むことができますが、このレジスタに対する1バイト・データの書き込みは、シリアル・バス書き込みアドレスに対する書き込みと、それに続く書き込みデータ・バイトから構成されます(図24参照)。

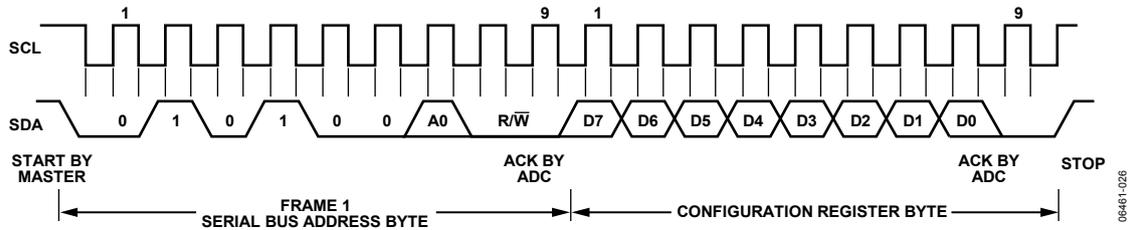


図 24. AD7991/AD7995/AD7999 の設定レジスタへの書き込み

06461-026

AD7991/AD7995/AD7999からの読み出し

変換結果レジスタからのデータの読み出しは、2 バイト動作です(図 25 参照)。したがって、読み出し動作には常に 2 バイトが含まれます。

AD7991/AD7995/AD7999 が読み出しアドレスを受信した後では、何回でも変換結果レジスタから読み出すことができます。

マスターは、スタート条件に続いて、AD7991/AD7995/AD7999 の 7 ビット・アドレスを書き込み、次に R/W に 1 を設定します。AD7991/AD7995/AD7999 は、SDA ラインをロー・レベルにしてこれをアクノリッジします。4 ビットのステータスの後ろに変換結果が I²C バスに出力されます。ステータス・ビットは、2 ビットの 0 とそれに続くチャンネル識別子ビットで構成されています。AD7995 の場合は前縁に 2 ビットの 0 が、AD7999 の場合には後縁に 4 ビットの 0 が、それぞれあります。

マスターが AD7991/AD7995/AD7999 をアドレス指定した後、デバイスは SCLK の 9 番目の立ち上がりエッジでパワーアップを開始します。同時に、アクイジション・フェーズが開始されます。約 0.6 μ s 経過すると、アクイジション・フェーズが終了します。入力がサンプルされて、変換が開始されます。これは、読み出し

動作と並行して行われるため、読み出し動作には影響を与えません。マスターは、2 バイトのデータを読み出します。2 番目のバイトの、SCLK の 9 番目の立ち上がりエッジで、マスターが ACK を送信すると、マスターが変換結果を読み出し、AD7991/AD7995/AD7999 がパワーアップし、2 番目の変換が実行されます。マスターがナックを送信すると、2 番目のバイトの、SCLK の 9 番目の立ち上がりエッジで、AD7991/AD7995/AD7999 はパワーアップしません。さらに変換が必要な場合には、設定レジスタの選択に従い、デバイスは次のチャンネルの変換を行います。チャンネルの選択については、表 11 を参照してください。

2 番目のバイトの、SCLK の 9 番目の立ち上がりエッジで、マスターがナックを送信すると、変換が終了して、さらに変換は行われません。

デバイスをフル・シャットダウン・モードにするときは、AD7991/AD7995/AD7999 へストップ条件を発行する必要があります。AD7991/AD7995/AD7999 をフル・シャットダウン・モードにしないと、数十 μ A の電源電流が流れます。

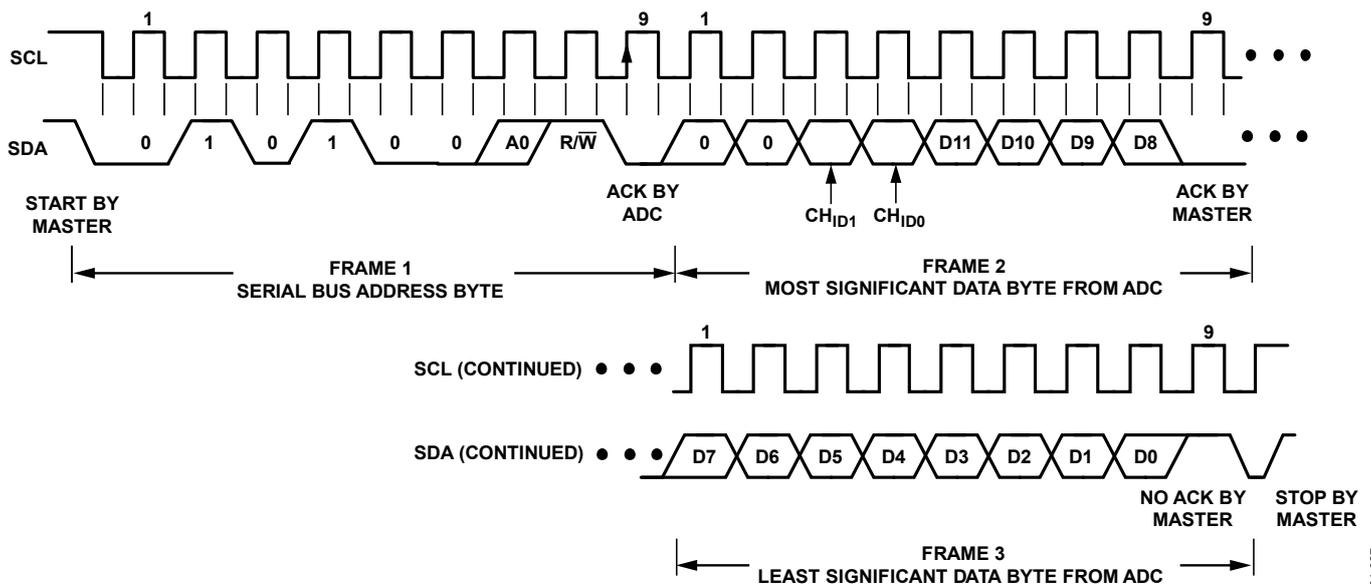


図 25. AD7991 変換結果レジスタからの 2 バイト・データの読み出し

AD7991/AD7995/AD7999 のハイスピード・モードへの設定

ハイスピード・モード通信は、マスターがハイスピード・モード転送の開始を指示するマスター・コード 00001XXX を使って、バスに接続されたすべてのデバイスをアドレス指定した後に開始されます。バスに接続されたデバイスは、ハイスピード・マスター・コードにアクノリッジすることが許されていないので、コードの後ろにはナックが続きます(図 26 参照)。次に、マスターは繰り返しスタートを発行し、その後ろにデバイス・アドレスと R/W ビットを続ける必要があります。そうすると、選択されたデバイスがそのアドレスをアクノリッジします。

すべてのデバイスはハイスピード・モードで動作を続け、マスターがストップ条件を発行するまで続きます。ストップ条件が発行されると、デバイスはファースト・モードに戻ります。

$f_{SCL} = 1.7 \text{ MHz}$ 以上の性能を保証するためには、クロック・ストレッチを実行する必要があります。すなわち、9 番目のクロック立ち上がりエッジの後で $2 \mu\text{s}$ 間クロックをハイ・レベルにする必要があります(図 27 参照)。このため、デバイスがパワーアップを開始した後 $2 \mu\text{s}$ 間、クロックをハイ・レベルにする必要があります(AD7991/AD7995/AD7999 からの読み出しのセクション参照)。

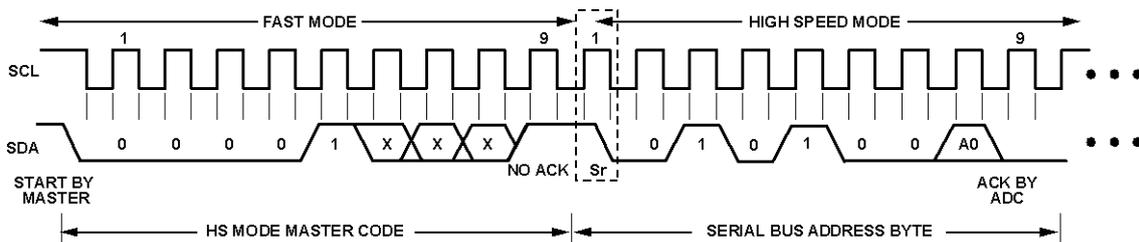


図 26. デバイスのハイスピード・モードへの設定

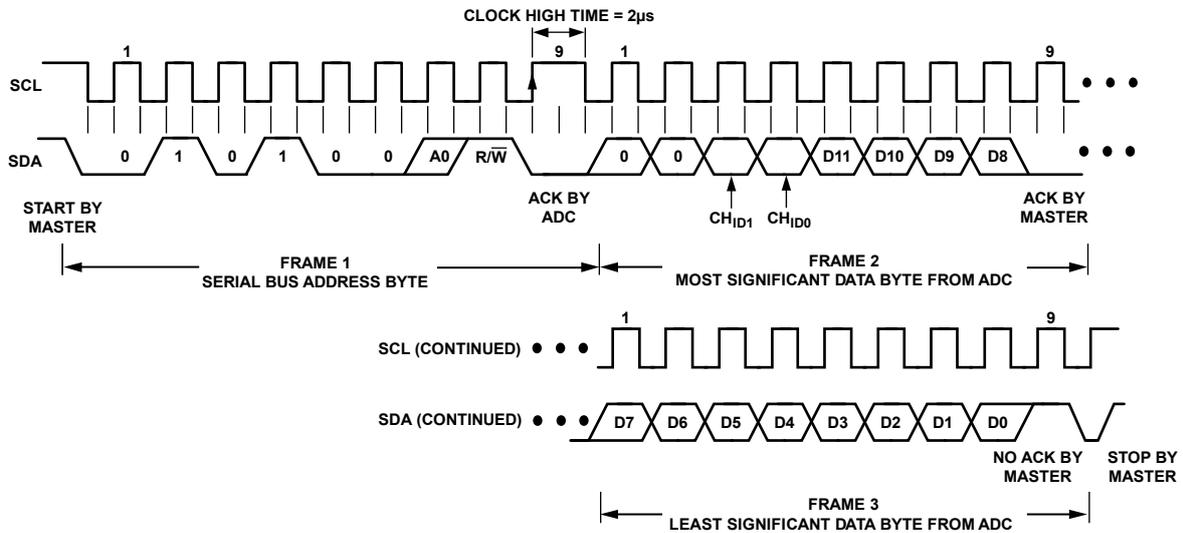


図 27. AD7991 のハイスピード・モードでの変換結果レジスタからの 2 バイト・データの読み出し

動作モード

AD7991/AD7995/AD7999 は、シャットダウン・モードでパワーアップします。マスターが正しい I²C アドレスで AD7991/AD7995/AD7999 をアドレス指定すると、ADC はこのアドレスをアクノリッジします。これに回答して、AD7991/AD7995/AD7999 がパワーアップします。

このウェイクアップ時間中に、AD7991/AD7995/AD7999 はシャットダウン・モードを終了して、アナログ入力の取得(アキュイジション・フェーズ)を開始します。デフォルトでは、すべてのチャンネルが選択されています。変換対象チャンネルは、設定レジスタ内のチャンネル・ビットのステータスで指定されます。

読み出しアドレスがアクノリッジされると、ADC は 2 バイトの変換データを出力します。最初のバイトには、4 ビットのステータスと変換結果の上位 4 ビットが含まれます。ステータス・ビットは、2 ビットの 0 とそれに続くチャンネル識別子ビットで構成されます。この最初のバイトの後に、

AD7991/AD7995/AD7999 は変換結果の 2 番目のバイトを出力します。AD7991 の場合、この 2 番目のバイトには変換データの低位 8 ビットが含まれます。AD7995 の場合、この 2 番目のバイトには変換データの低位 6 ビットと後縁の 2 ビットの 0 が含まれます。AD7999 の場合、この 2 番目のバイトには変換データの低位 4 ビットと後縁の 4 ビットの 0 が含まれます。

さらに読み出しが必要な場合、次にマスターは AD7991/AD7995/AD7999 へナックを送信します。マスターが AD7991/AD7995/AD7999 へアックを送信すると、ADC がパワーアップして次の変換が終了します。設定レジスタで複数のチャンネル・ビットが設定されると、この変換は選択されたシーケンス内の 2 番目のチャンネルで行われます。1 チャンネルのみが選択された場合には、ADC は選択されたチャンネルを再度変換します。

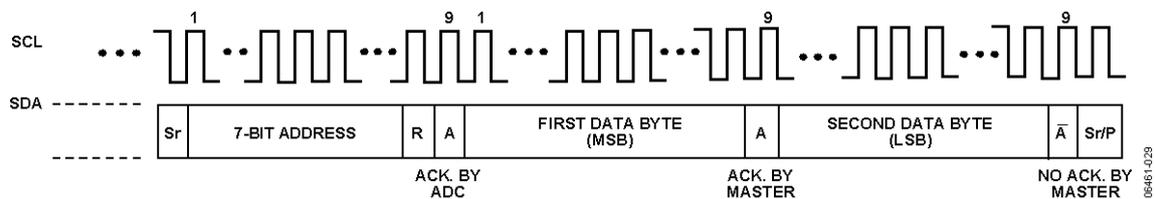


図 28. 動作モード、1 チャンネル変換

外形寸法

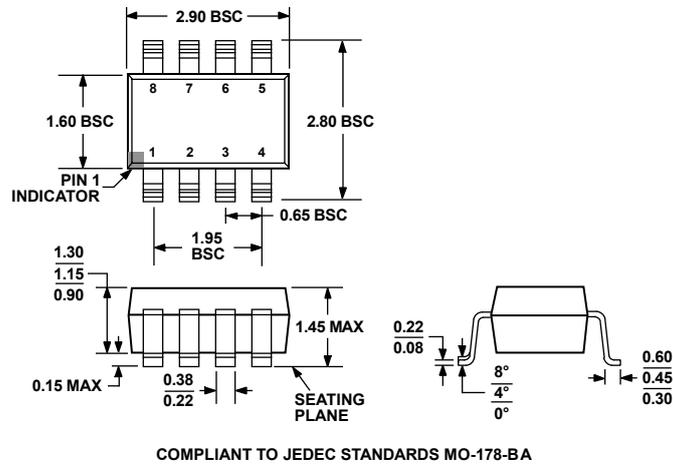


図 29.8 ピン・スモール・アウトライン・トランジスタ・パッケージ[SOT-23]
(RJ-8)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
AD7991YRJZ-1RL ¹	-40°C to +125°C	8-Lead SOT-23	RJ-8	C56
AD7991YRJZ-1500RL7	-40°C to +125°C	8-Lead SOT-23	RJ-8	C56
AD7991YRJZ-0RL	-40°C to +125°C	8-Lead SOT-23	RJ-8	C55
AD7991YRJZ-0500RL7	-40°C to +125°C	8-Lead SOT-23	RJ-8	C55
AD7995YRJZ-1RL	-40°C to +125°C	8-Lead SOT-23	RJ-8	C58
AD7995YRJZ-1500RL7	-40°C to +125°C	8-Lead SOT-23	RJ-8	C58
AD7995YRJZ-0RL	-40°C to +125°C	8-Lead SOT-23	RJ-8	C57
AD7995YRJZ-0500RL7	-40°C to +125°C	8-Lead SOT-23	RJ-8	C57
AD7999YRJZ-1RL	-40°C to +125°C	8-Lead SOT-23	RJ-8	C5B
AD7999YRJZ-1500RL7	-40°C to +125°C	8-Lead SOT-23	RJ-8	C5B

¹ Z = RoHS 準拠製品。