

## 特長

ノーマス・コードの18ビット分解能  
スループット: 1.33 MSPS  
低消費電力: 1.33 MSPSで10.5 mW  
INL: 最大 $\pm 2.25$  LSB  
ダイナミック・レンジ: 99.7 dB (typ)  
真の差動アナログ入力範囲:  $\pm V_{REF}$   
 $V_{REF} = 2.9\text{ V} \sim 5.0\text{ V}$ で $0\text{ V} \sim V_{REF}$   
任意の入力範囲使用が可能  
ADA4941の使用による容易な駆動

パイプライン遅延なし

1.8 V/2.5 V/3 V/5 V ロジック・インターフェースによる単電源  
2.5 V 動作

シリアル・インターフェース: SPI/QSPI™/MICROWIRE™/DSP  
互換

複数ADCのディジーチェーン接続とビジー表示

MSOP-8サイズの10ピンMSOPまたはSOT-23サイズの10ピン  
3 mm × 3 mm QFN (LFCSP)パッケージを採用

## アプリケーション

バッテリー駆動の装置

データ・アキュイジション・システム

医用計測機器

地震データ・アキュイジション・システム

## アプリケーション図

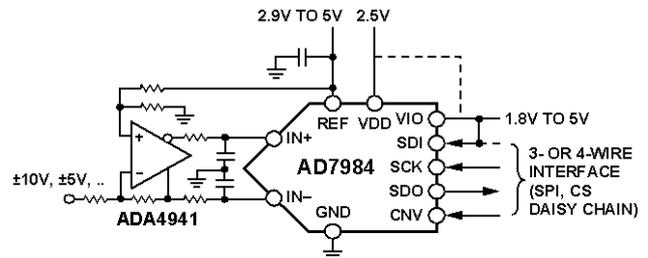


図1.

## 概要

AD7984は、単電源(VDD)で動作する18ビット逐次比較型A/Dコンバータ(ADC)です。低消費電力高速18ビット・サンプリングのADCと多機能シリアル・インターフェース・ポートを内蔵しています。IN+ピンとIN-ピンとの間の電位差をCNVの立ち上がりエッジでサンプルします。これらのピンの電圧は、 $0\text{ V} \sim V_{REF}$ で逆相に振れます。リファレンス電圧(REF)は外部から与えられ、電源電圧VDDから独立して設定することができます。

また、SPI互換のシリアル・インターフェースには、SDI入力を使って、複数のADCを3線式バスによりディジーチェーン接続する機能があります。さらにオプションとしてビジーを表示することもできます。別電源VIOを使って、1.8 V、2.5 V、3 V、または5 V ロジックとインターフェースすることができます。

AD7984は、10ピンMSOPまたは10ピンQFN(LFCSP)を採用し、動作は $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ で規定されています。

表1. MSOP、QFN (LFCSP)の14/16/18ビットPuLSAR® ADC

Type	100 kSPS	250 kSPS	400 kSPS to 500 kSPS	$\geq 1000$ kSPS	ADC Driver
14-Bit	AD7940	AD7942	AD7946		
16-Bit	AD7680	AD7685	AD7686	AD7980	ADA4941-x
	AD7683	AD7687	AD7688	AD7983	ADA4841-x
	AD7684	AD7694	AD7693		
18-Bit		AD7691 <sup>1</sup>	AD7690	AD7982 AD7984	ADA4941-x ADA4841-x

<sup>1</sup> ピン・コンパチブル。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2007 Analog Devices, Inc. All rights reserved.

## 目次

特長	1	ドライバ・アンプの選択	14
アプリケーション	1	シングル/差動ドライバ	15
アプリケーション図	1	リファレンス電圧入力	15
概要	1	電源	15
改訂履歴	2	デジタル・インターフェース	16
仕様	3	$\overline{\text{CS}}$ モード 3 線式、ビジー表示なし	17
タイミング仕様	5	$\overline{\text{CS}}$ モード 3 線式、ビジー表示あり	18
絶対最大定格	6	$\overline{\text{CS}}$ モード 4 線式、ビジー表示なし	19
ESD の注意	6	$\overline{\text{CS}}$ モード 4 線式、ビジー表示あり	20
ピン配置およびピン機能説明	7	チェーン・モード、ビジー表示あり	21
代表的な性能特性	8	チェーン・モード、ビジー表示あり	22
用語	11	アプリケーション情報	23
動作原理	12	レイアウト	23
回路説明	12	AD7984 の性能評価	23
コンバータの動作	12	外形寸法	24
代表的な接続図	13	オーダー・ガイド	24
アナログ入力	14		

## 改訂履歴

11/07—Revision 0: Initial Version

## 仕様

特に指定がない限り、VDD = 2.5 V、VIO = 2.3 V ~ 5.5 V、REF = 5 V、TA = -40°C ~ +85°C。

表2.

Parameter	Conditions	Min	Typ	Max	Unit
RESOLUTION		18			Bits
ANALOG INPUT					
Voltage Range	IN+ - IN-	-V <sub>REF</sub>		+V <sub>REF</sub>	V
Absolute Input Voltage	IN+, IN-	-0.1		V <sub>REF</sub> + 0.1	V
Common-Mode Input Range	IN+, IN-	V <sub>REF</sub> × 0.475	V <sub>REF</sub> × 0.5	V <sub>REF</sub> × 0.525	V
Analog Input CMRR	f <sub>IN</sub> = 450 kHz		67		dB <sup>1</sup>
Leakage Current at 25°C	Acquisition phase		200		nA
Input Impedance		See the Analog Inputs section			
ACCURACY					
No Missing Codes		18			Bits
Differential Linearity Error		-1		+1.5	LSB <sup>2</sup>
Integral Linearity Error		-2.25		+2.25	LSB <sup>2</sup>
Transition Noise			0.95		LSB <sup>2</sup>
Gain Error, T <sub>MIN</sub> to T <sub>MAX</sub> <sup>3</sup>		-0.075	±0.022	+0.075	% of FS
Gain Error Temperature Drift			-0.6		ppm/°C
Zero Error, T <sub>MIN</sub> to T <sub>MAX</sub> <sup>3</sup>		-700	±100	+700	μV
Zero Temperature Drift			0.3		ppm/°C
Power Supply Sensitivity	VDD = 2.5 V ± 5%		90		dB <sup>1</sup>
THROUGHPUT					
Conversion Rate		0		1.33	MSPS
Transient Response	Full-scale step			290	ns
AC ACCURACY					
Dynamic Range	V <sub>REF</sub> = 5 V		99.7		dB <sup>1</sup>
Signal-to-Noise, SNR	f <sub>IN</sub> = 1 kHz, V <sub>REF</sub> = 5 V, T <sub>A</sub> = 25°C	96.5	98.5		dB <sup>1</sup>
Spurious-Free Dynamic Range, SFDR	f <sub>IN</sub> = 10 kHz		112.5		dB <sup>1</sup>
Total Harmonic Distortion <sup>4</sup> , THD	f <sub>IN</sub> = 10 kHz		-110.5		dB <sup>1</sup>
Signal-to-(Noise + Distortion), SINAD	f <sub>IN</sub> = 10 kHz, V <sub>REF</sub> = 5 V, T <sub>A</sub> = 25°C		98		dB <sup>1</sup>

<sup>1</sup> デシベル値で表すすべての仕様はフル・スケール入力 FSR を基準とし、特に指定がない限り、フル・スケールより 0.5 dB 低い入力信号を使ってテスト。

<sup>2</sup> LSB は最下位ビットを意味します。入力範囲が±5 V の場合、1LSB = 38.15μV。

<sup>3</sup> 用語の節を参照してください。これらの仕様にはすべての温度範囲の変動が含まれますが、外付けリファレンス電圧の誤差成分は含まれません。

<sup>4</sup> f<sub>IN</sub> = 1 kHz で出荷テストしています。

特に指定がない限り、VDD = 2.5 V、VIO = 2.3 V ~ 5.5 V、REF = 5 V、T<sub>A</sub> = -40°C ~ +85°C。

表3.

Parameter	Conditions	Min	Typ	Max	Unit
REFERENCE					
Voltage Range		2.9		5.1	V
Load Current	1.33 MSPS		520		μA
SAMPLING DYNAMICS					
-3 dB Input Bandwidth			10		MHz
Aperture Delay			2		ns
DIGITAL INPUTS					
Logic Levels					
V <sub>IL</sub>	VIO > 3 V	-0.3		+0.3 × VIO	V
V <sub>IH</sub>	VIO > 3 V	0.7 × VIO		VIO + 0.3	V
V <sub>IL</sub>	VIO ≤ 3 V	-0.3		+0.1 × VIO	V
V <sub>IH</sub>	VIO ≤ 3 V	0.9 × VIO		VIO + 0.3	V
I <sub>IL</sub>		-1		+1	μA
I <sub>IH</sub>		-1		+1	μA
DIGITAL OUTPUTS					
Data Format		Serial 18 bits, twos complement			
Pipeline Delay		Conversion results available immediately after completed conversion			
V <sub>OL</sub>	I <sub>SINK</sub> = +500 μA			0.4	V
V <sub>OH</sub>	I <sub>SOURCE</sub> = -500 μA	VIO - 0.3			V
POWER SUPPLIES					
VDD		2.375	2.5	2.625	V
VIO	Specified performance	2.3		5.5	V
VIO Range		1.8		5.5	V
Standby Current <sup>1,2</sup>	VDD and VIO = 2.5 V		1.1		mA
Power Dissipation	1.33 MSPS throughput		10.5	14	mW
Energy per Conversion			7.9		nJ/sample
TEMPERATURE RANGE <sup>3</sup>					
Specified Performance	T <sub>MIN</sub> to T <sub>MAX</sub>	-40		+85	°C

<sup>1</sup> すべてのデジタル入力を必要に応じて VIO または GND に接続。

<sup>2</sup> アクイジション・フェーズ時。

<sup>3</sup> 拡張温度範囲については当社営業にご相談ください。

## タイミング仕様

特に指定がない限り、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $V_{DD} = 2.37\text{ V} \sim 2.63\text{ V}$ 、 $V_{IO} = 2.3\text{ V} \sim 5.5\text{ V}$ <sup>1</sup>。

表4.

Parameter	Symbol	Min	Typ	Max	Unit
Conversion Time: CNV Rising Edge to Data Available Acquisition Time	$t_{\text{CONV}}$	300		500	ns
Time Between Conversions	$t_{\text{CYC}}$	750			ns
CNV Pulse Width ( $\overline{\text{CS}}$ Mode)	$t_{\text{CNVH}}$	10			ns
SCK Period ( $\overline{\text{CS}}$ Mode)	$t_{\text{SCK}}$				
VIO Above 4.5 V		10.5			ns
VIO Above 3 V		12			ns
VIO Above 2.7 V		13			ns
VIO Above 2.3 V		15			ns
SCK Period (Chain Mode)	$t_{\text{SCK}}$				
VIO Above 4.5 V		11.5			ns
VIO Above 3 V		13			ns
VIO Above 2.7 V		14			ns
VIO Above 2.3 V		16			ns
SCK Low Time	$t_{\text{SCKL}}$	4.5			ns
SCK High Time	$t_{\text{SCKH}}$	4.5			ns
SCK Falling Edge to Data Remains Valid	$t_{\text{HSDO}}$	3			ns
SCK Falling Edge to Data Valid Delay	$t_{\text{DSDO}}$				
VIO Above 4.5 V				9.5	ns
VIO Above 3 V				11	ns
VIO Above 2.7 V				12	ns
VIO Above 2.3 V				14	ns
CNV or SDI Low to SDO D15 MSB Valid ( $\overline{\text{CS}}$ Mode)	$t_{\text{EN}}$				
VIO Above 3 V				10	ns
VIO Above 2.3 V				15	ns
CNV or SDI High or Last SCK Falling Edge to SDO High Impedance ( $\overline{\text{CS}}$ Mode)	$t_{\text{DIS}}$			20	ns
SDI Valid Setup Time from CNV Rising Edge	$t_{\text{SSDICNV}}$	5			ns
SDI Valid Hold Time from CNV Rising Edge ( $\overline{\text{CS}}$ Mode)	$t_{\text{HSDICNV}}$	2			ns
SDI Valid Hold Time from CNV Rising Edge (Chain Mode)	$t_{\text{HSDICNV}}$	0			ns
SCK Valid Setup Time from CNV Rising Edge (Chain Mode)	$t_{\text{SSCKCNV}}$	5			ns
SCK Valid Hold Time from CNV Rising Edge (Chain Mode)	$t_{\text{HSCKCNV}}$	5			ns
SDI Valid Setup Time from SCK Falling Edge (Chain Mode)	$t_{\text{SSDISCK}}$	2			ns
SDI Valid Hold Time from SCK Falling Edge (Chain Mode)	$t_{\text{HSDISCK}}$	3			ns
SDI High to SDO High (Chain Mode with Busy Indicator)	$t_{\text{DSDOSDI}}$			15	ns

<sup>1</sup> 負荷条件については図2と図3を参照してください。

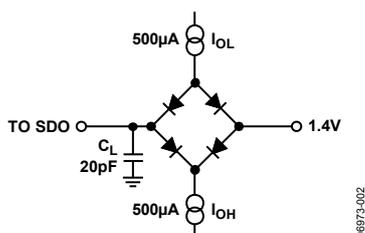
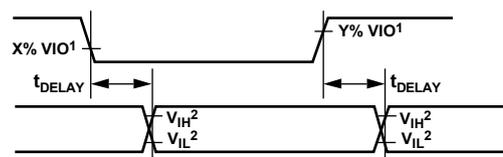


図2. デジタル・インターフェース・タイミングの負荷回路



<sup>1</sup> FOR  $V_{IO} \leq 3.0\text{V}$ ,  $X = 90$ , AND  $Y = 10$ ; FOR  $V_{IO} > 3.0\text{V}$ ,  $X = 70$ , AND  $Y = 30$ .  
<sup>2</sup> MINIMUM  $V_{IH}$  AND MAXIMUM  $V_{IL}$  USED. SEE DIGITAL INPUTS SPECIFICATIONS IN TABLE 3.

図3. タイミング測定のための電圧レベル

## 絶対最大定格

表5.

Parameter	Rating
Analog Inputs IN+, IN- to GND <sup>1</sup>	-0.3 V to $V_{REF} + 0.3$ V or $\pm 130$ mA
Supply Voltage REF, VIO to GND	-0.3 V to +6.0 V
VDD to GND	-0.3 V to +3.0 V
VDD to VIO	+3 V to -6 V
Digital Inputs to GND	-0.3 V to $VIO + 0.3$ V
Digital Outputs to GND	-0.3 V to $VIO + 0.3$ V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
$\theta_{JA}$ Thermal Impedance	
10-Lead MSOP	200°C/W
10-Lead QFN (LFCSP)	48.7°C/W
$\theta_{JC}$ Thermal Impedance	
10-Lead MSOP	44°C/W
10-Lead QFN (LFCSP)	2.96°C/W
Lead Temperatures	
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C

<sup>1</sup> IN+と IN-については、アナログ入力のリファレンス電圧を参照してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明



図4.10 ピン MSOP のピン配置

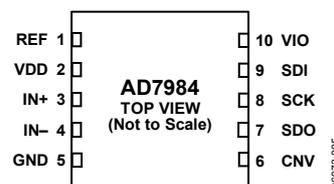


図5.10 ピン QFN (LFCSP)のピン配置

表6.ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
1	REF	AI	リファレンス電圧入力。REF 範囲は 2.9 V~5.1 V。このピンは GND ピンを基準とするため、10 $\mu$ F のコンデンサで GND ピンの近くにデカップリングする必要があります。
2	V <sub>DD</sub>	P	電源。
3	IN+	AI	差動正アナログ入力。
4	IN-	AI	差動負アナログ入力。
5	GND	P	電源グラウンド。
6	CNV	DI	変換入力。この入力は複数の機能を持っています。立ち上がりエッジで、変換が開始され、デバイスのインターフェース・モード(チェーン・モードまたは $\overline{\text{CS}}$ モード)が選択されます。 $\overline{\text{CS}}$ モードでは、CNV がロー・レベルのとき、SDO ピンがイネーブルされます。チェーン・モードでは、CNV がハイ・レベルのときにデータを読み出す必要があります。
7	SDO	DO	シリアル・データ出力。変換結果がこのピンに出力されます。SCK に同期しています。
8	SCK	DI	シリアル・データ・クロック入力。デバイスが選択されたとき、変換結果がこのクロックでシフトアウトされます。
9	SDI	DI	シリアル・データ入力。この入力は複数の機能を持っています。これらのビットは、次のように ADC のインターフェース・モードを設定します。  CNV の立ち上がりエッジ時に SDI がロー・レベルになると、チェーン・モードが選択されます。このモードでは、SDI はデータ入力として使用されて、複数の ADC の変換結果を 1 本の SDO ラインにディジーチェーン接続します。SDI のデジタル・データ・レベルが SDO に出力され、SCK の 18 サイクル分の遅延が加わります。  CNV の立ち上がりエッジ時に SDI がハイ・レベルになると、 $\overline{\text{CS}}$ モードが選択されます。このモードでは、SDI または CNV がロー・レベルのとき、シリアル出力信号をイネーブルすることができます。変換が完了したとき SDI または CNV がロー・レベルの場合、ビジー・インジケータ機能がイネーブルされません。
10	VIO	P	入出力インターフェースのデジタル電源。公称では、ホスト・インターフェース(1.8 V、2.5 V、3 V、5 V)と同じ電源。

<sup>1</sup> AI=アナログ入力、DI=デジタル入力、DO=デジタル出力、P=電源。

## 代表的な性能特性

VDD = 2.5 V、REF = 5.0 V、VIO = 3.3 V。

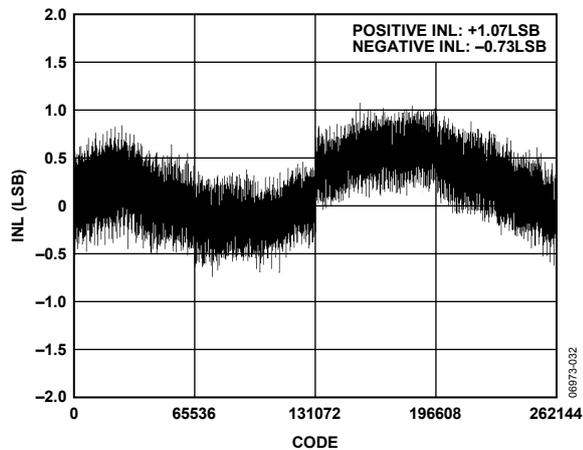


図6.積分非直線性対コード

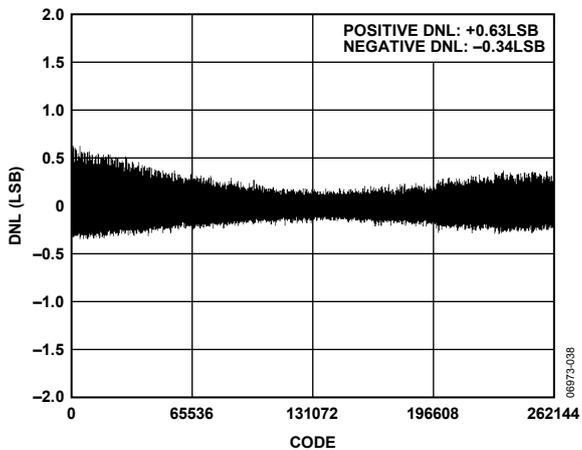


図9.微分非直線性対コード

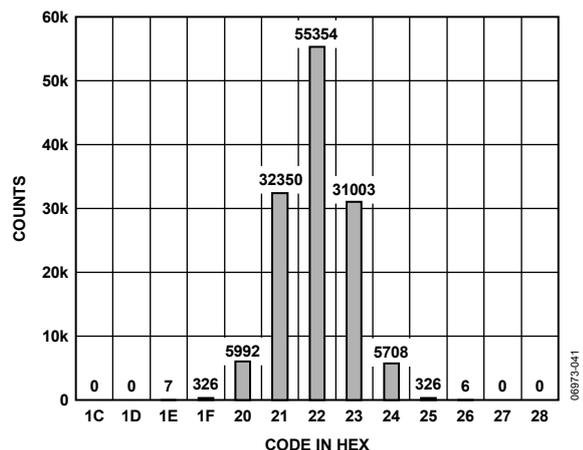


図7.コード中心での DC 入力のヒストグラム

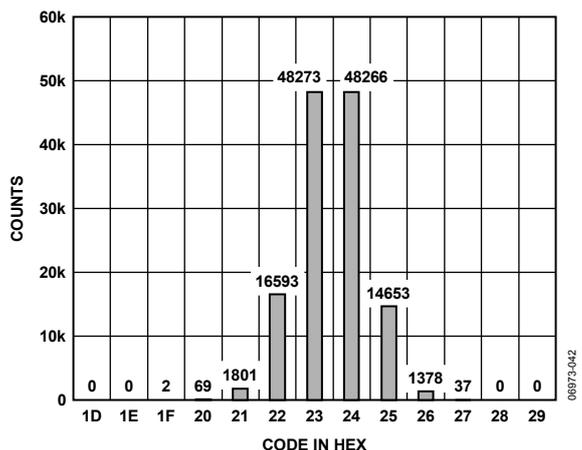


図10.コード変化での DC 入力のヒストグラム

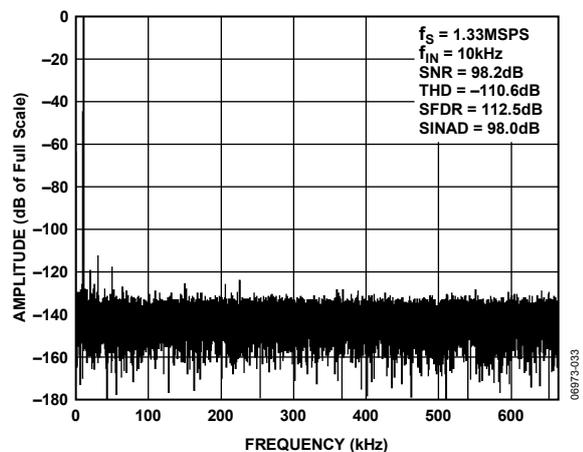


図8.FFT プロット

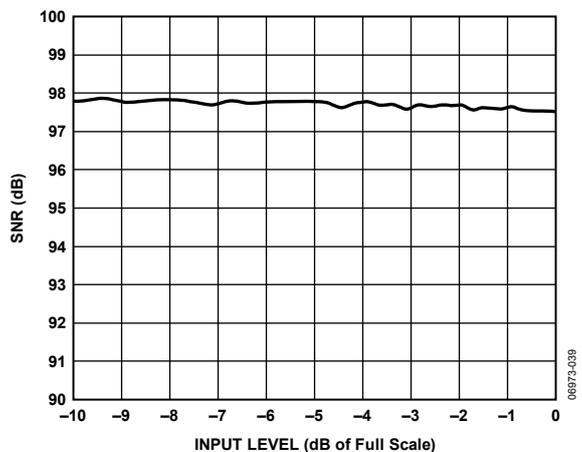


図11.SNR 対入力レベル

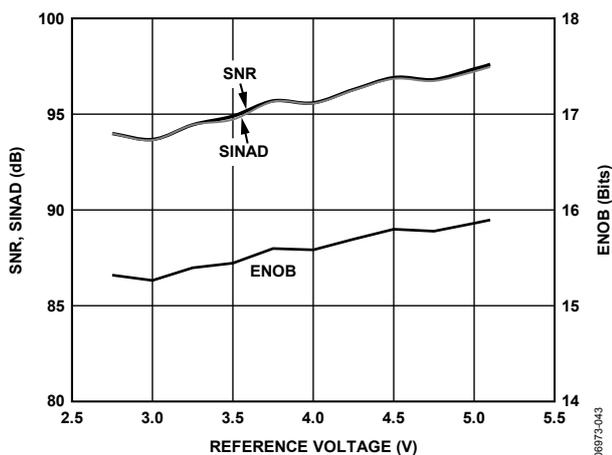


図12.SNR、SINAD、ENOB 対リファレンス電圧

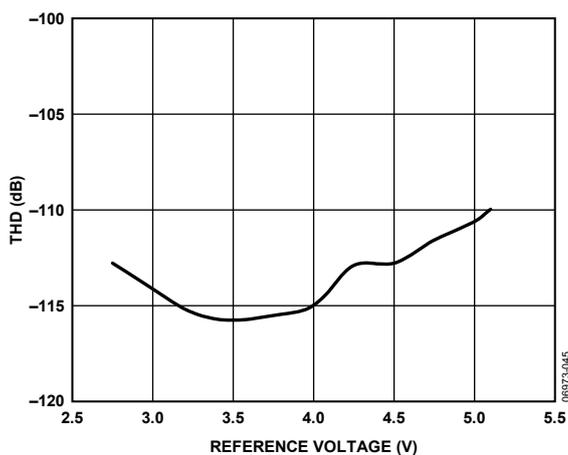


図15.TH D対リファレンス電圧

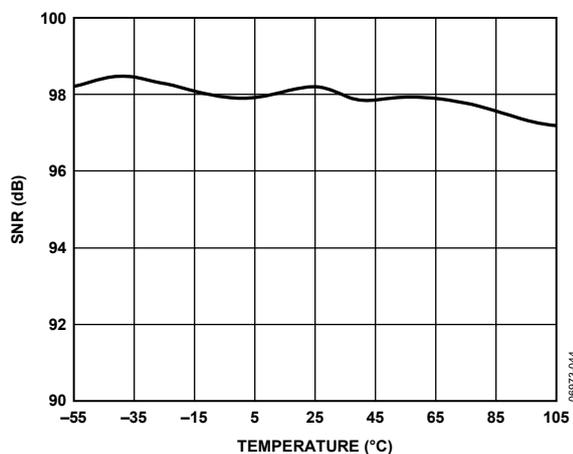


図13.SNRの温度特性

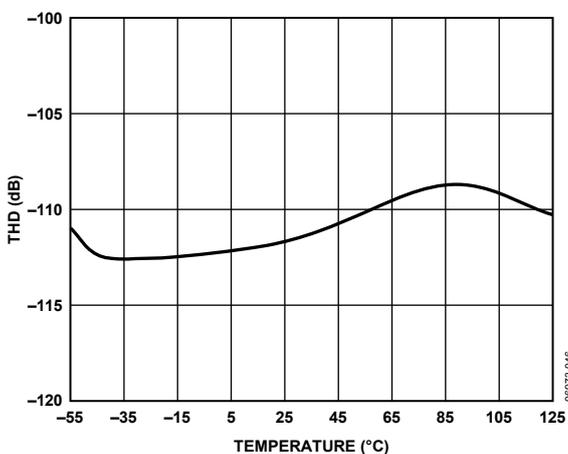


図16.TH Dの温度特性

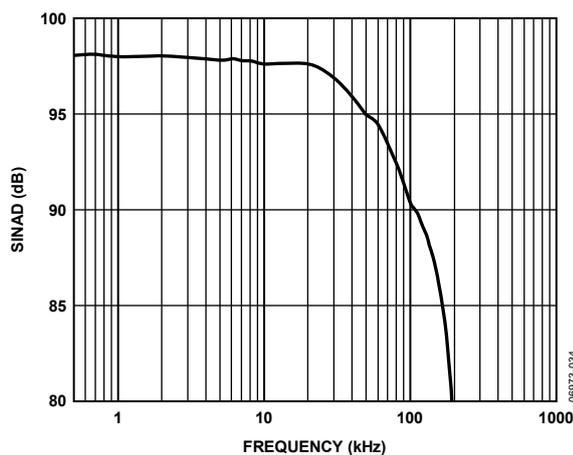


図14.SINADの周波数特性

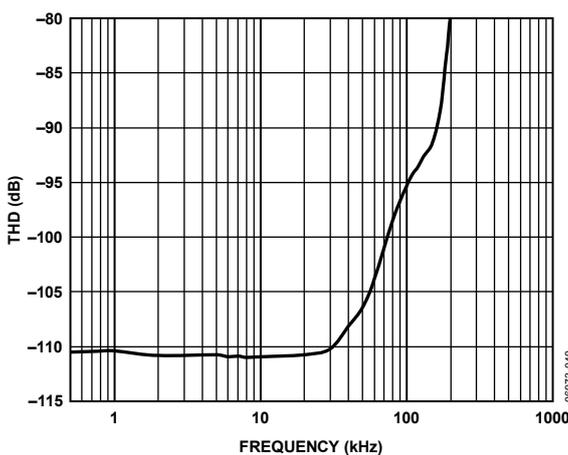


図17.TH Dの周波数特性

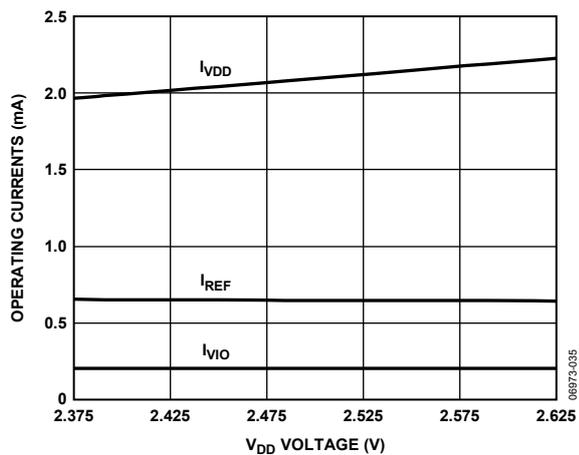


図18.動作電流対電源

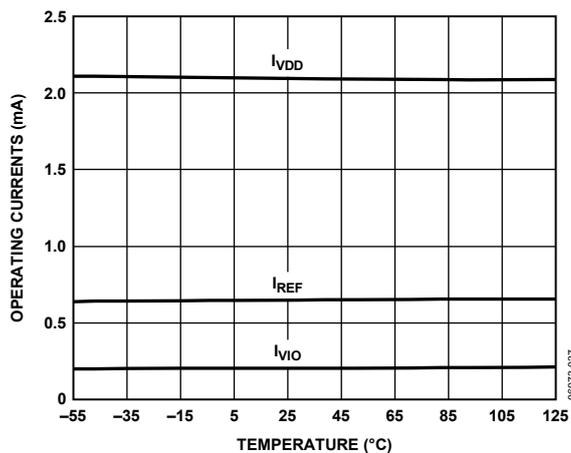


図20.動作電流の温度特性

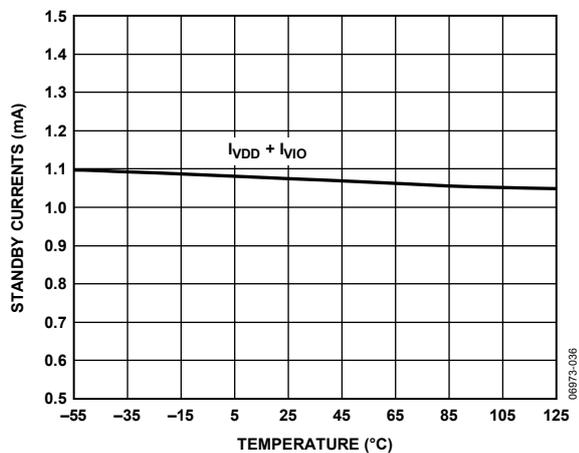


図19.スタンバイ電流の温度特性

## 用語

### 積分非直線性誤差(INL)

INL は、負側のフル・スケールと正側のフル・スケールを結ぶ直線と実際のコード出力との誤差として定義されます。負側フル・スケールとして使用されるポイントは、最初のコード遷移より 1/2 LSB だけ下に存在します。正フル・スケールは、最後のコード遷移より 1+1/2 LSB だけ上のレベルと定義されます。偏差は各コードの中央と直線との間の距離として測定されます(図 22 参照)。

### 微分非直線性誤差(DNL)

理論 ADC では、各コード遷移は 1 LSB だけ離れた位置で発生します。DNL は、この理論値からの最大偏差を意味します。微分非直線性は、ノーミス・コードが保証される分解能として規定されることがあります。

### ゼロ誤差

ゼロ誤差は、理論ミッドスケール値入力電圧(0 V)とミッドスケール値出力コードを発生する実際の電圧との差を意味します。

### ゲイン誤差

最初の変化(100 ... 00→100 ... 01)は公称負フル・スケール(±5 V レンジの場合は-4.999981 V)より 0.5 LSB 上のレベルで発生する必要があります。最後の変化(011 ... 10→011 ... 11)は、公称フル・スケール(±5 V レンジの場合は+4.999943 V)より 1.5 LSB 低いアナログ電圧で発生します。ゲイン誤差は、最後の変化の実際のレベルと最初の変化の実際のレベルとの差と、対応する両理論レベル間の差との間の違いを表します。

### スプリアス・フリー・ダイナミック・レンジ(SFDR)

SFDR は入力信号の rms 振幅値とピーク・スプリアス信号との差を意味し、dB 値で表します。

### 実効ビット数(ENOB)

ENOB は、正弦波を入力したときの分解能を表します。SINAD との関係は次のようになります。

$$ENOB = (SINAD_{dB} - 1.76) / 6.02$$

ビット数で表されます。

### ノイズ・フリー・コード分解能

超えると、個々のコードが区別できなくなるビット数。次のように計算されます。

$$\text{ノイズ・フリー・コード分解能} = \log_2(2^N / \text{ピーク to ピーク・ノイズ})$$

ビット数で表されます。

### 実効分解能

次のように計算されます。

$$\text{実行分解能} = \log_2(RMS \text{ 入力ノイズ})$$

ビット数で表されます。

### 総合高調波歪み(THD)

THD とは、基本波から 5 次高調波部品までの rms 値の総和の、フル・スケール入力信号の rms 値に対する比を意味し、デシベル値で表します。

### ダイナミック・レンジ

入力を短絡して測定した合計 rms ノイズに対するフル・スケールの rms 値の比を表します。ダイナミック・レンジの値は dB で表されます。すべてのノイズ・ソースと DNL 効果を含むように -60 dBFS の信号を使って測定します。

### SNR (信号対ノイズ比)

SNR は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から高調波成分と DC 成分を除いた分に対する比です。SNR は、デシベル値で表されません。

### 信号対ノイズおよび歪み比(SINAD)

SINAD は、測定した入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和(DC 以外の高調波を含む)に対する比です。SINAD は、デシベル値で表されます。

### アパーチャ遅延

アパーチャ遅延はアキュイジション性能を表し、CNV 入力の立ち上がりエッジから入力信号が変換用にホールドされるまでの時間として測定されます。

### 過渡応答

フル・スケールのステップ関数が入力された後に ADC が正確に入力を取得するまでに要する時間を表します。

## 動作原理

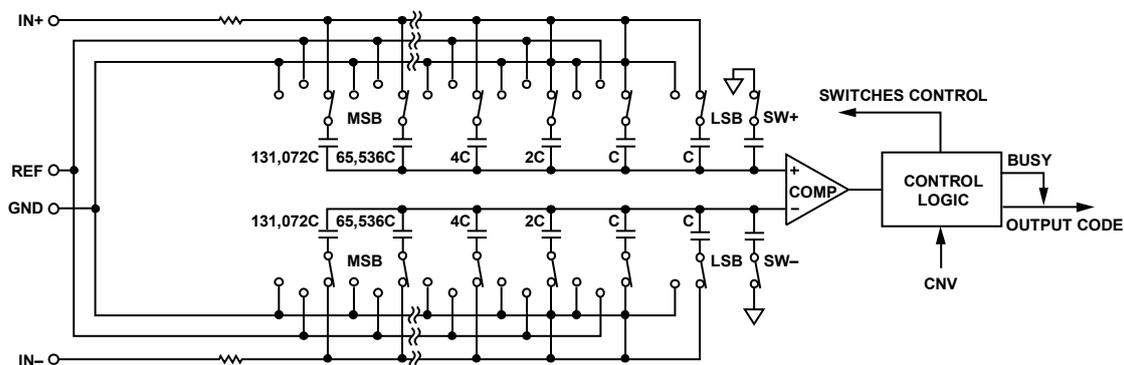


図21.ADC の簡略化した回路図

06973-011

### 回路説明

AD7984 は単電源動作の逐次比較型アーキテクチャを採用した高速高精度低消費電力 18 ビット A/D コンバータ(ADC)で、毎秒 1,330,000 (1.33 MSPS)のサンプルを変換することができます。

AD7984 はトラック・アンド・ホールドを内蔵し、パイプライン遅延またはレイテンシがないため、マルチプレクスされた複数チャンネルのアプリケーションに最適です。

AD7984 は、1.8 V~5 V のデジタル・ロジック・ファミリーにインターフェースすることができます。省スペースと柔軟な構成を可能にする 10 ピン MSOP パッケージまたは小型 10 ピン QFN (LFCSP)パッケージを採用しています。

このデバイスは、18 ビットのAD7982とピン・コンパチブルです。

### コンバータの動作

AD7984 は、電荷再分配型 DAC を採用した逐次比較型 ADC です。図 21 に、ADC の簡略化した回路図を示します。容量を使用するこの DAC は、2 進数の重みを持った 18 個コンデンサで構成される 2 個の同じアレイで構成されており、各アレイは 2 個のコンパレータ入力に接続されています。

アクイジション・フェーズでは、コンパレータ入力に接続されたアレイのピンは、SW+と SW-を経由して GND に接続されます。独立なすべてのスイッチはアナログ入力に接続されます。したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用されて、IN+入力と IN-入力上のアナログ信号が取り込まれます。アクイジション・フェーズが終わると、CONV 入力が高レベルになり、変換フェーズが開始されます。変換フェーズが開始されると、まず SW+と SW-が開きます。2 個のコンデンサ・アレイは入力から切り離されて、GND 入力に接続されます。そのため、アクイジション・フェーズの終わりに取り込まれた、入力 IN+と IN-の間の差動電圧がコンパレータ入力に接続されて、コンパレータは平衡しくなくなります。コンデンサ・アレイの各エレメントを GND と REF の間でスイッチングすることにより、コンパレータ入力を 2 進数重みの電圧ステップ ( $V_{REF}/2$ 、 $V_{REF}/4$  ...  $V_{REF}/262,144$ )で変えます。コントロール・ロジックがこれらのスイッチをトグルして(MSB から開始)、コンパレータが再度平衡するようにします。この処理が終了すると、デバイスはアクイジション・フェーズに戻り、コントロール・ロジックが ADC 出力コードとビジー表示を発生します。

AD7984 は変換クロックを内蔵しているため、変換プロセスのためのシリアル・クロック、SCK は不要です。

## 伝達関数

AD7984 の理論伝達特性を図 22 と表 7 に示します。

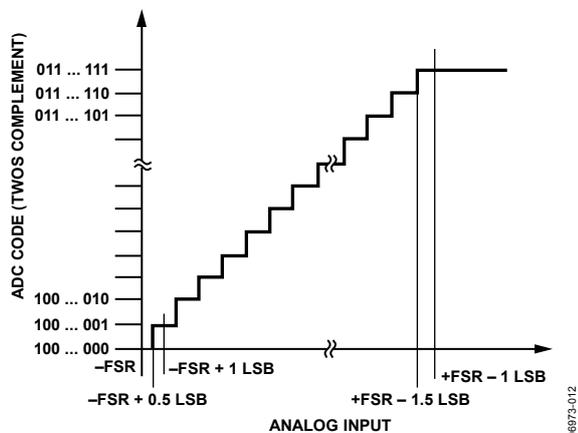


図22.ADC の理論伝達関数

表7.出力コードと理論入力電圧

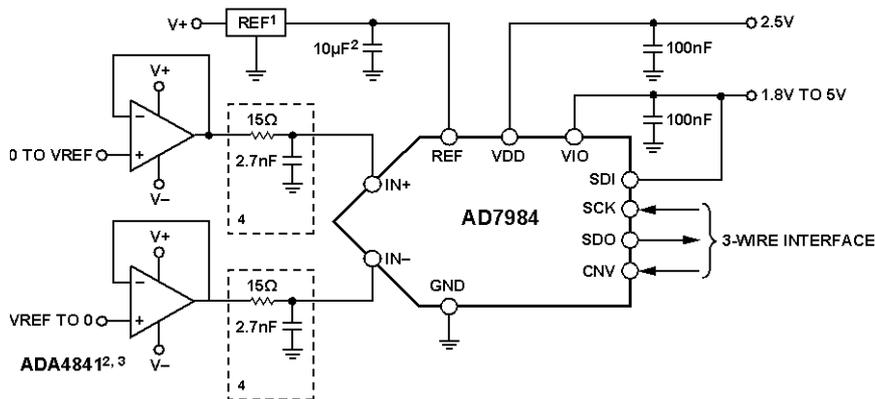
Description	Analog Input $V_{REF} = 5\text{ V}$	Digital Output Code (Hex)
FSR - 1 LSB	+4.999962 V	0x1FFFF <sup>1</sup>
Midscale + 1 LSB	+38.15 $\mu\text{V}$	0x00001
Midscale	0 V	0x00000
Midscale - 1 LSB	-38.15 $\mu\text{V}$	0x3FFFF
-FSR + 1 LSB	-4.999962 V	0x20001
-FSR	-5 V	0x20000 <sup>2</sup>

<sup>1</sup>これは、アナログ入力範囲より上に対するコードでもあります( $V_{REF} - V_{GND}$ より上の  $V_{IN+} - V_{IN-}$ )。

<sup>2</sup>これは、アナログ入力範囲より下に対するコードでもあります( $V_{GND}$ より下の  $V_{IN+} - V_{IN-}$ )。

## 代表的な接続図

図 23 に、複数の電源が使用可能な場合の AD7984 の推奨接続図例を示します。



### NOTES

- 1 SEE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.
- 2  $C_{REF}$  IS USUALLY A 10 $\mu\text{F}$  CERAMIC CAPACITOR (X5R).
- 3 SEE RECOMMENDED LAYOUT IN FIGURE 40 AND FIGURE 41.
- 3 SEE DRIVER AMPLIFIER CHOICE SECTION.
- 4 OPTIONAL FILTER. SEE ANALOG INPUTS SECTION.

図23.複数の電源を使用する代表的なアプリケーション図

## アナログ入力

図 24 に、AD7984 のアナログ入力構造の等価回路を示します。

ダイオード D1 と D2 は、アナログ入力 IN+ と IN- に対する ESD 保護用です。アナログ入力信号がリファレンス入力電圧より 0.3V 以上高くないよう注意する必要があります。アナログ入力信号がこのレベルを超えると、これらのダイオードが順方向にバイアスされて、電流が流れるようになります。これらのダイオードは、最大 130 mA の順方向バイアス電流を処理することができます。ただし、入力バッファの電源(たとえば図 23 の ADA4841 の電源)が REF の電源と異なる場合には、アナログ入力信号が電源レールを 0.3 V 以上超えることができます。このような場合(たとえば入力バッファが短絡)、短絡電流制限機能を使ってデバイスを保護することができます。

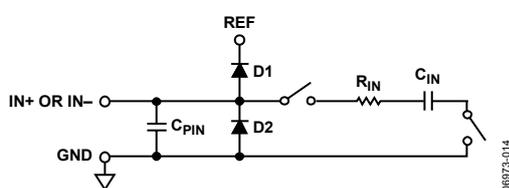


図24.等価アナログ入力回路

このアナログ入力構造を使うと、IN+ と IN- との間の差動信号のサンプリングが可能になります。この差動入力の採用により、両入力に共存する信号が除去されます。

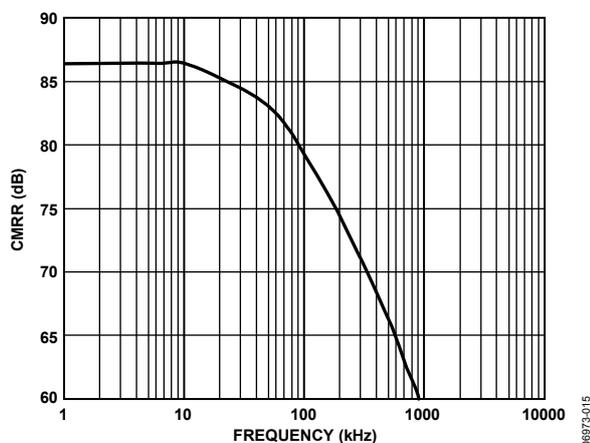


図25.アナログ入力 CMRR の周波数特性

アキュイジション・フェーズでは、アナログ入力(IN+またはIN-)のインピーダンスは、コンデンサ  $C_{PIN}$  と、 $R_{IN}$  および  $C_{IN}$  の直列接続の回路との並列組み合わせとしてモデル化することができます。 $C_{PIN}$  は主にピン容量です。 $R_{IN}$  は 400  $\Omega$  (typ) であり、直列抵抗とスイッチのオン抵抗から構成される集中定数です。 $C_{IN}$  は 30 pF(typ) であり、主に ADC サンプリング・コンデンサから構成されています。

スイッチが閉じているサンプリング・フェーズでは、入力インピーダンスは  $C_{PIN}$  に制限されます。 $R_{IN}$  と  $C_{IN}$  により、1 次ローパス・フィルタが構成されるため、不要な折り返し効果が削減され、ノイズが制限されます。

駆動回路のソース・インピーダンスが小さい場合は、AD7984 を直接駆動することができます。ソース・インピーダンスが大きい場合には、AC 性能、特に THD が大きい影響を受けます。DC 性能は、入力インピーダンスからあまり影響を受けません。最大ソース・インピーダンスは、許容可能な THD の大きさに依存します。THD は、ソース・インピーダンスと最大入力周波数の関数として性能低下します。

## ドライバ・アンプの選択

AD7984 の駆動は簡単ですが、ドライバ・アンプは次の条件を満たす必要があります。

- AD7984 の SNR 性能と遷移ノイズ性能を維持するためには、ドライバ・アンプが発生するノイズをできるだけ低く抑える必要があります。ドライバから発生するノイズは、AD7984 アナログ入力回路の  $R_{IN}$  と  $C_{IN}$  から構成される 1 次ローパス・フィルタまたは外付けフィルタ(使用した場合)により除去されます。AD7984 のノイズは 36.24  $\mu\text{V rms}$ (typ) であるため、アンプに起因する SNR の性能低下は、次式で与えられます。

$$SNR_{LOSS} = 20 \log \left( \frac{36.24}{\sqrt{36.24^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

ここで、 $f_{-3dB}$  は AD7984 の入力帯域幅(10 MHz)、または入力フィルタのカットオフ周波数(使用した場合)。 $N$  はアンプのノイズ係数(たとえばバッファ構成の場合は 1)。

$e_N$  は  $\text{nV}/\sqrt{\text{Hz}}$  で表したオペアンプの等価入力ノイズ電圧。

- AC アプリケーションの場合、ドライバは AD7984 と釣り合う THD 性能を持つ必要があります。
- 多チャンネルをマルチプレクスするアプリケーションの場合、ドライバ・アンプと AD7984 アナログ入力回路は、コンデンサ・アレイへのフル・スケール・ステップに対して 18 ビット・レベル(0.0004%、4 ppm)でセトリングする必要があります。アンプのデータシートでは、一般に 0.1~0.01%でのセトリングが規定されています。18 ビット・レベルでのセトリング・タイムから大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。

表8.推奨ドライバ・アンプ

Amplifier	Typical Application
ADA4941-x	Very low noise, low power single-to-differential
ADA4841-x	Very low noise, small, and low power
AD8021	Very low noise and high frequency
AD8022	Low noise and high frequency
OP184	Low power, low noise, and low frequency
AD8655	5 V single supply, low noise
AD8605, AD8615	5 V single supply, low power

## シングル/差動ドライバ

シングルエンド・アナログ信号(バイポーラまたはユニポーラ)を使うアプリケーションの場合、ADA4941-xシングルエンド/差動変換ドライバを使うと、差動入力をデバイスに入力することができます。この回路を図26に示します。

R1 と R2 は、入力範囲と ADC 範囲( $V_{REF}$ )の間の減衰比を設定します。R1、R2、 $C_F$  は、入力抵抗、信号帯域幅、折り返しノイズ除去、ノイズ成分に応じて決定されます。たとえば、 $\pm 10$  V 範囲で 4 k $\Omega$  インピーダンスの場合、 $R2 = 1$  k $\Omega$  と  $R1 = 4$  k $\Omega$  になります。

R3 と R4 は ADC の IN- 入力の同相モードを、R5 と R6 は IN+ 入力の同相モードを、それぞれ設定します。同相モードは  $V_{REF}/2$  に近い必要があります。たとえば、 $\pm 10$  V 範囲で単電源の場合、 $R3 = 8.45$  k $\Omega$ 、 $R4 = 11.8$  k $\Omega$ 、 $R5 = 10.5$  k $\Omega$ 、 $R6 = 9.76$  k $\Omega$  になります。

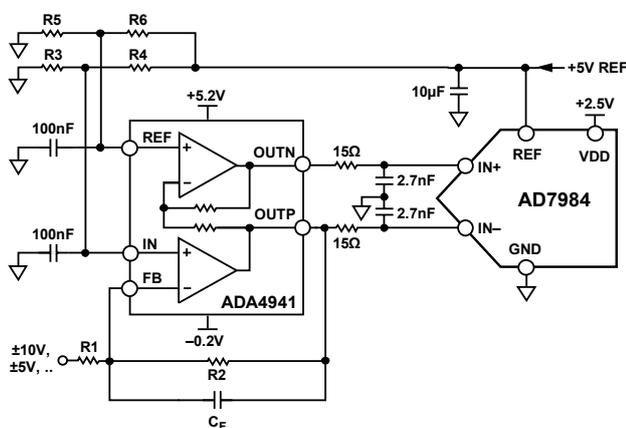


図26. シングルエンド/差動変換ドライバ回路

## リファレンス電圧入力

AD7984 のリファレンス電圧入力 REF は動的作用入力インピーダンスを持っています。このため、REF 入力と GND 入力との間を効果的にデカップリングした低インピーダンス・ソースから駆動する必要があります(レイアウトのセクション参照)。

REF を非常に小さいインピーダンス・ソースで駆動する場合は(たとえばAD8031またはAD8605を使用するリファレンス・バッファ)、10  $\mu$ F のセラミック・チップ・コンデンサ(X5R、0805 サイズ)は最適性能を得るために十分です。

バッファなしでリファレンス電圧を使う場合は、デカップリング値は使用するリファレンスに依存します。たとえば、22  $\mu$ F のセラミック・チップ・コンデンサ(X5R、1206 サイズ)は、低温度ドリフトADR43xリファレンスを使って最適性能を得るためには十分です。

必要な場合には、2.2  $\mu$ F までの小型なリファレンス・デカップリング・コンデンサ値を使うことができ、性能特に DNL への影響は最小に抑えられます。

REF ピンと GND ピンの間に小さい値のセラミック・デカップリング・コンデンサ(たとえば、100 nF)を追加する必要はありません。

## 電源

AD7984 はコア電源(VDD)とデジタル入力/出力インターフェース電源(VIO)の2種類の電源ピンを使っています。VIO を使うと、1.8 V~5.5 V で動作するロジックとの直接インターフェースが可能になります。必要な電源数を減らすときは、VIO と VDD を接続することができます。AD7984 は VIO と VDD の間の電源シーケンスに依存しません。さらに、広い周波数範囲で電源変動に対して安定です(図27参照)。

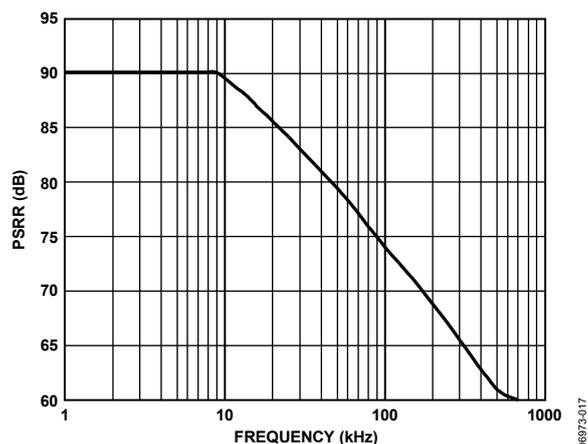


図27. PSRR の周波数特性

最適性能を得るためには、VDD をリファレンス電圧入力(REF)の約1/2にする必要があります。たとえば、REF = 5.0 V の場合、VDD = 2.5 V ( $\pm 5\%$ )にする必要があります。

## デジタル・インターフェース

AD7984 のピン数は少ないですが、シリアル・インターフェース・モードにより柔軟性を提供します。

$\overline{\text{CS}}$ モードでは、AD7984 は SPI、QSPI、デジタル・ホスト、DSP と互換性を持っています。このモードでは、3 線式または 4 線式のインターフェースを使うことができます。CNV 信号、SCK 信号、SDO 信号を使う 3 線式インターフェースは、配線数が少ないため、たとえば、孤立しているアプリケーションで便利です。SDI 信号、CNV 信号、SCK 信号、SDO 信号を使う 4 線式インターフェースを使用すると、CNV(変換を開始します)をリードバック・タイミング(SDI)に依存しないようにすることができます。この機能は、低ジッタ・サンプリング・アプリケーションまたは同時サンプリング・アプリケーションで便利です。

AD7984 をチェーン・モードで使うと、シフトレジスタに似た 1 本のデータ・ライン上での複数の ADC のカスケード接続に対して、SDI 入力を使ったディジーチェーン機能を提供することができます。

デバイスが動作するモードは、CNV の立ち上がりエッジ時の SDI のレベルで決定されます。SDI がハイ・レベルで、かつ  $\overline{\text{SDI}}$  がロー・レベルの時にチェーン・モードが選択されると、 $\overline{\text{CS}}$ モードが選択されます。SDI ホールド・タイムは、SDI と CNV が接続されているとき、チェーン・モードが常に選択されるようにします。

いずれのモードでも、AD7984 はデータ・ビットの前にスタート・ビットを発生させるオプションを提供します。このスタート・ビットをビジー信号表示と組合せて使用して、デジタル・ホストに対して割込みを行い、データの読み出しを開始させることができます。ビジー表示を使わない場合は、リードバックの前に最大変換時間の経過を待たなければなりません。

ビジー表示機能は、次のようにイネーブルされます。

- $\overline{\text{CS}}$ モードでは、ADC 変換が終了したとき CNV または SDI がロー・レベルになった場合(図 31 と図 35 参照)。
- チェーン・モードでは、CNV 立ち上がりエッジ時に SCK がハイ・レベルになった場合(図 39 参照)。

### CS モード 3 線式、ビジー表示なし

このモードは、1 個の AD7984 を SPI 互換のデジタル・ホストに接続する際に使用されます。接続図を図 28 に、対応するタイミングを図 29 に、それぞれ示します。

SDI と VIO を接続した状態では、CNV の立ち上がりエッジで変換が開始され、CS モードが選択され、SDO は高インピーダンスになります。変換が開始されると、CNV の状態に関係なく完了するまで継続されます。たとえば、CNV をロー・レベルにしてアナログ・マルチプレクサのような他の SPI デバイスを選択することは便利ですが、最小変換時間の前に CNV がハイ・レベルに戻り、最大変換時間の間ハイ・レベルを維

持して、ビジー信号の発生を防止する必要があります。変換が完了すると、AD7984 はアクイジション・フェーズに入り、スタンバイ・モードになります。CNV がロー・レベルになると、MSB が SDO に出力されます。残りのデータ・ビットは、後続の SCK の立ち下がりエッジで出力されます。データは、両 SCK エッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読み出しレートが可能になります。18 番目の SCK 立ち下がりエッジの後、または CNV がハイ・レベルになったときのいずれか早い方で、SDO は高インピーダンスに戻ります。

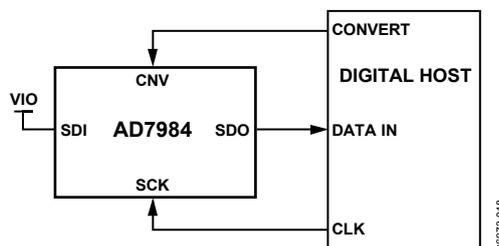


図28. CS モード 3 線式、ビジー表示なしの接続図(SDI ハイ・レベル)

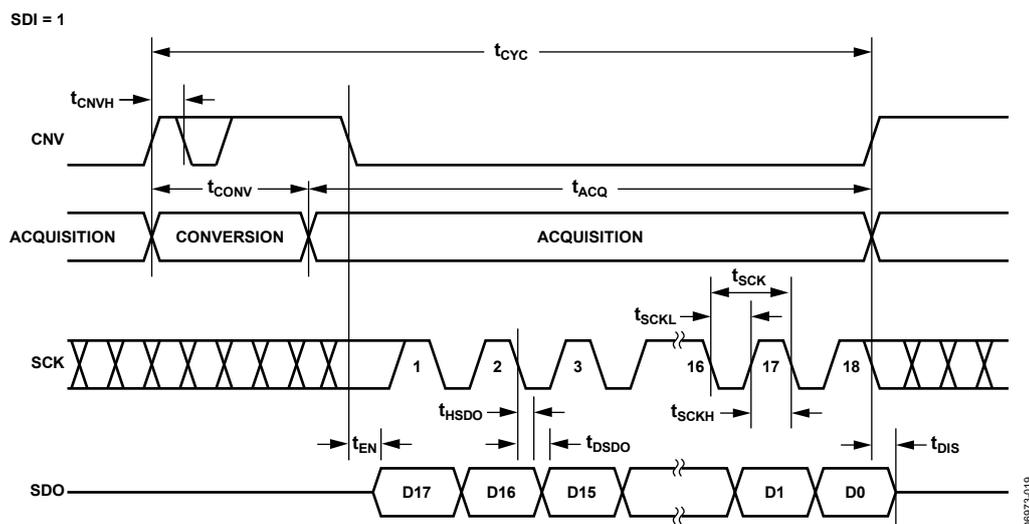


図29. CS モード 3 線式、ビジー表示なしのシリアル・インターフェース・タイミング(SDI ハイ・レベル)

### CS モード 3 線式、ビジー表示あり

このモードは、1 個の AD7984 を割込み入力を持つ SPI 互換のデジタル・ホストに接続する際に使用されます。

接続図を図 30 に、対応するタイミングを図 31 に、それぞれ示します。

SDI と VIO を接続した状態では、CNV の立ち上がりエッジで変換が開始され、CS モードが選択され、SDO は高インピーダンスになります。CNV の状態に無関係に変換が完了するまで SDO は高インピーダンスを維持します。最小変換時間の前に、CNV を使ってアナログ・マルチプレクサのような他の SPI デバイスを選択することができますが、最小変換時間が経過する前に CNV がロー・レベルに戻り、最大変換時間の間ロー・レベルを維持して、ビジー信号が確実に発生するようにする必要があります。

変換が完了すると、SDO は高インピーダンスから低インピーダンスになります。SDO ラインをプルアップして、この変化を割り込み信号として使って、デジタル・ホストにより制御されるデータの読み出しを開始させることができます。その後 AD7984 はアキュイジション・フェーズに入り、スタンバイ・モードになります。その後データ・ビットは MSB フェーストで、後続の SCK の立ち下がりエッジで出力されます。データは、両 SCK エッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読み出しレートが可能になります。18 番目の SCK 立ち下がりエッジの後、または CNV がハイ・レベルになったときのいずれか早い方で、SDO は高インピーダンスに戻ります。

複数の AD7984 を同時に選択した場合、SDO 出力ピンが損傷またはラッチアップなしにこの接続を処理します。余分な電力消費を回避するためこの接続をできるだけ短くすることをお勧めします。

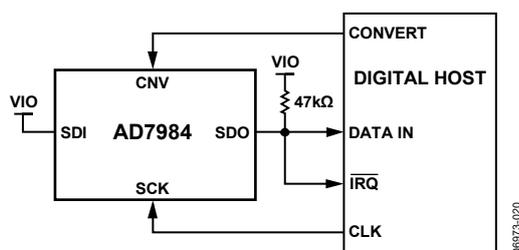


図30. CS モード 3 線式、ビジー表示ありの接続図(SDI ハイ・レベル)

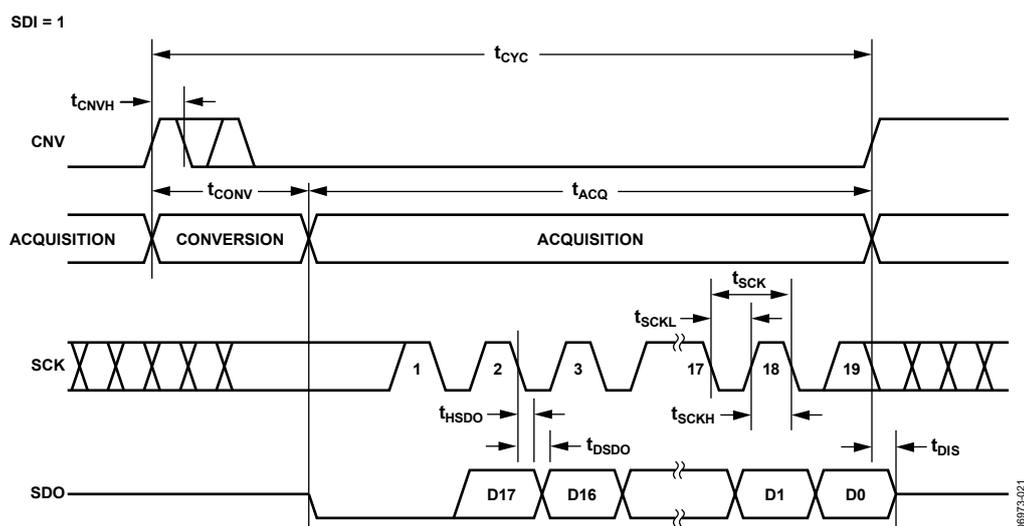


図31. CS モード 3 線式、ビジー表示ありのシリアル・インターフェース・タイミング(SDI ハイ・レベル)

### CS モード 4 線式、ビジー表示なし

このモードは、複数の AD7984 を SPI 互換のデジタル・ホストに接続する際に使用されます。

図 32 に 2 個の AD7984 を使った接続図を、図 33 に対応するタイミングを、それぞれ示します。

SDI にハイ・レベルを入力した状態では、CNV の立ち上がりエッジで変換が開始され、CS モードが選択され、SDO は高インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV をハイ・レベルに維持する必要があります(SDI と CNV がロー・レベルの場合、SDO はロー・レベルに駆動されます)。最小変換時間の前に、SDI を使ってアナログ・マルチプレクサのような他の SPI デバイスを選択することができますが、

最小変換時間が経過する前に SDI がハイ・レベルに戻り、最大変換時間の間ハイ・レベルを維持して、ビジー信号の発生を防止する必要があります。変換が完了すると、AD7984 はアキュイジション・フェーズに入り、スタンバイ・モードになります。SDI 入力にロー・レベルを入力すると、各 ADC の変換結果を読み出すことができ、MSB が SDO へ出力されます。残りのデータ・ビットは、後続の SCK の立ち下がりエッジで出力されます。データは、両 SCK エッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読み出しレートが可能になります。18 番目の SCK 立ち下がりエッジの後、または SDI がハイ・レベルになったときのいずれか早い方で、SDO は高インピーダンスに戻り、もう一方の AD7984 を読み出すことができるようになります。

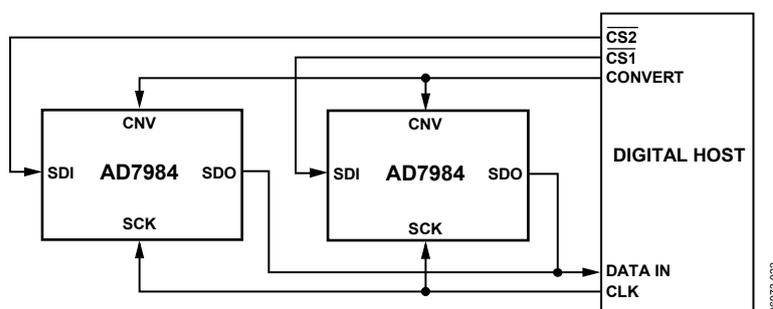


図32. CS モード 4 線式、ビジー表示なしの接続図

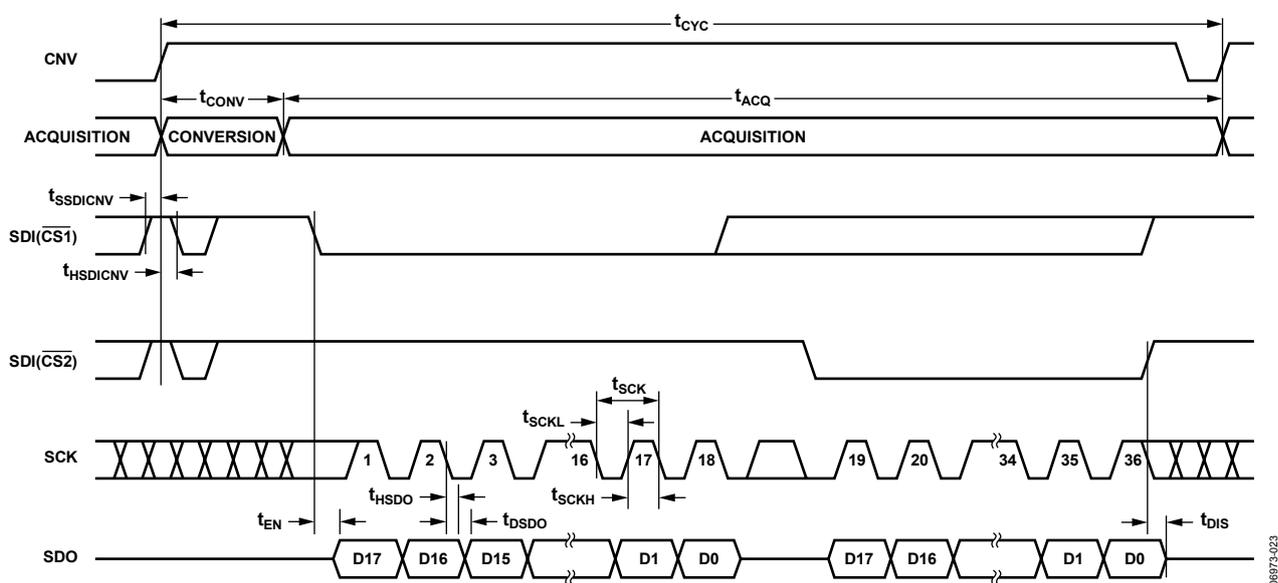


図33. CS モード 4 線式、ビジー表示なしのシリアル・インターフェース・タイミング



## チェーン・モード、ビジー表示あり

このモードを使って、3線式シリアル・インターフェースに複数の AD7984 をディジーチェーン接続することができます。この機能は部品数と接続配線数の削減に役立ちます。たとえば、孤立した複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムではこの接続が使用されます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。

図 36 に 2 個の AD7984 を使った接続図を、図 37 に対応するタイミングを、それぞれ示します。

SDI と CNV をロー・レベルにすると、SDO がロー・レベルに駆動されます。SCK がロー・レベルのとき、CNV の立ち上がりエッジで変換が開始され、チェーン・モードが選択され、ビジー表示がディスエーブルされます。このモードでは、変

換フェーズとそれに続くデータ・リードバックの間、CNV がハイ・レベルに維持されます。変換が完了すると、MSB が SDO に出力され、AD7984 はアキュイジション・フェーズに入り、スタンバイ・モードになります。内部シフトレジスタに保存されている残りのデータ・ビットは、後続の SCK の立ち下がりエッジで出力されます。各 ADC で、SDI が内部シフトレジスタの入力に接続され、SCK の立ち下がりエッジでクロック駆動されます。チェーン内の各 ADC はデータを MSB ファーストで出力し、N 個の ADC をリードバックするためには  $18 \times N$  個のクロックが必要です。データは、両 SCK エッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読み出しレートが可能になり、かつチェーン内の AD7984 数を増やすことができます。最大変換レートは、合計リードバック時間により低下することがあります。

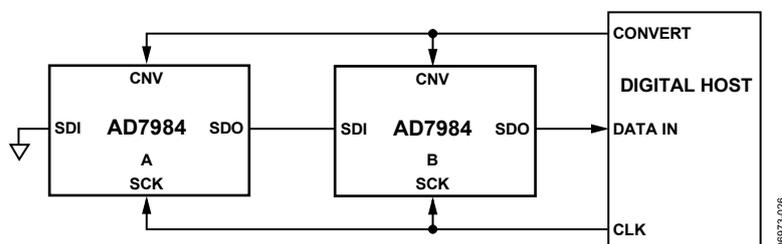


図36.チェーン・モード、ビジー表示なしの接続図

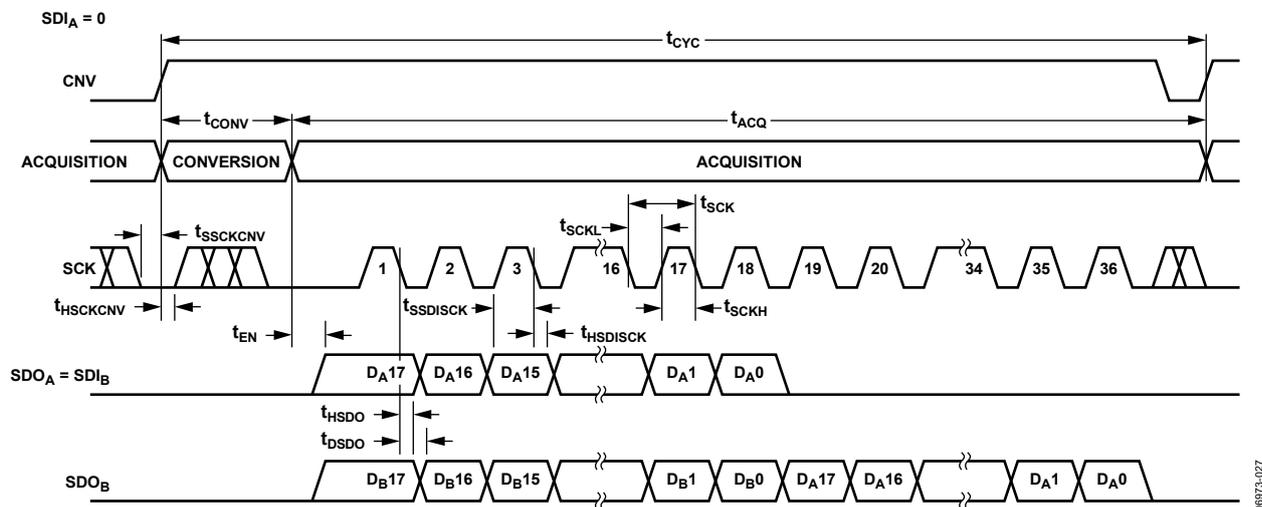


図37.チェーン・モード、ビジー表示なしのシリアル・インターフェース・タイミング

## チェーン・モード、ビジー表示あり

このモードを使うと、3線式シリアル・インターフェースに複数の AD7984 をディジーチェーン接続することができると同時にビジー表示も提供できます。この機能は部品数と接続配線数の削減に役立ちます。たとえば、孤立した複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムではこの接続が使用されます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。

図 38 に 3 個の AD7984 を使った接続図の例を、図 39 に対応するタイミングを、それぞれ示します。

SDI と CNV をロー・レベルにすると、SDO がロー・レベルに駆動されます。SCK がハイ・レベルのとき、CNV の立ち上がりエッジで変換が開始され、チェーン・モードが選択され、ビジー表示機能がイネーブルされます。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV が

ハイ・レベルに維持されます。チェーン内のすべての ADC で変換が完了すると、デジタル・ホストに最も近い ADC (図 38 で C と表示された AD7984 の ADC) の SDO がハイ・レベルに駆動されます。SDO 上のこの変化をビジー表示として使って、デジタル・ホストから制御されるデータ・リードバックを開始することができます。その後 AD7984 はアキュイジション・フェーズに入り、スタンバイ・モードになります。内部シフトレジスタに保存されているデータ・ビットは、後続の SCK の立ち下がりエッジで MSB ファーストで出力されます。各 ADC で、SDI が内部シフトレジスタの入力に接続され、SCK の立ち下がりエッジでクロック駆動されます。チェーン内の各 ADC はデータを MSB ファーストで出力し、N 個の ADC をリードバックするためには  $18 \times N + 1$  個のクロックが必要です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読み出しレートが可能になり、かつチェーン内の AD7984 数を増やすことができます。

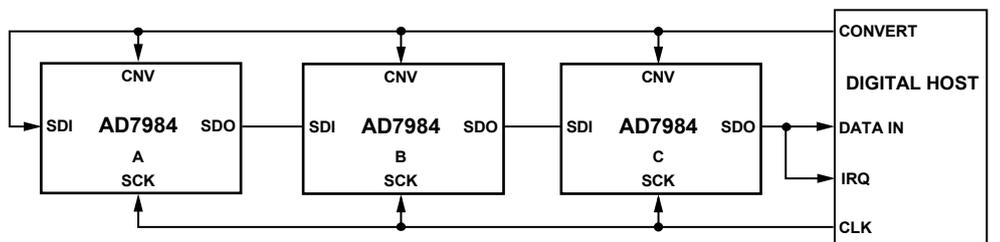


図38.チェーン・モード、ビジー表示ありの接続図

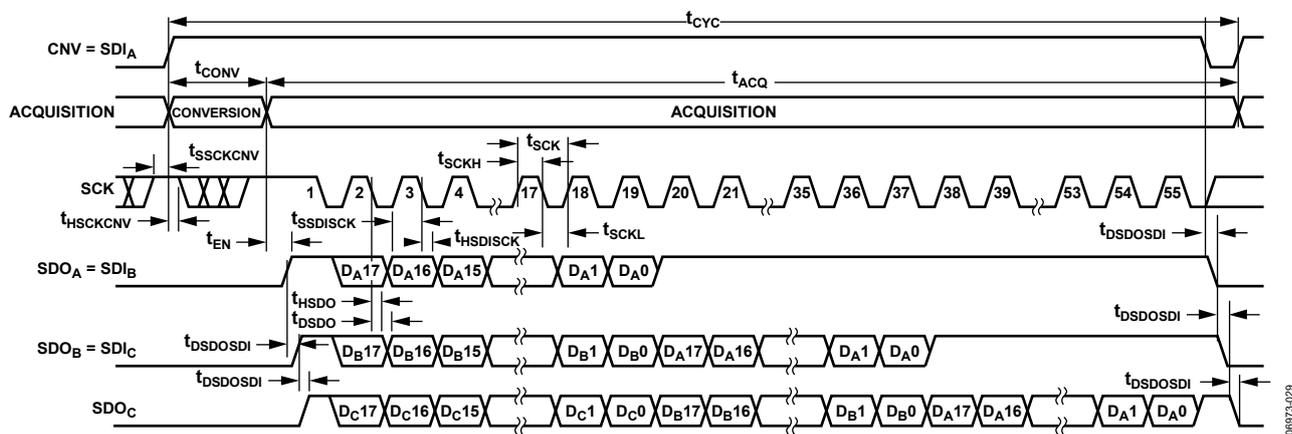


図39.チェーン・モード、ビジー表示ありのシリアル・インターフェース・タイミング

## アプリケーション情報

### レイアウト

AD7984 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。AD7984 では、すべてのアナログ信号を左側に、すべてのデジタル信号を右側に配置しているため、この作業が容易になります。

AD7984 の下のグラウンド・プレーンがシールドして使われてない限り、ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。CNV やクロックのような高速なスイッチング信号は、アナログ信号パスの近くを通らないようにしてください。デジタル信号とアナログ信号の交差は回避する必要があります。

少なくとも 1 枚のグラウンド・プレーンを使う必要があります。デジタル部とアナログ部に共通または分けて使うことができます。後者の場合、各プレーンは AD7984 の下で接続する必要があります。

AD7984 のリファレンス電圧入力 REF は動の入力インピーダンスを持つため、最小の寄生インダクタンスでデカップリングする必要があります。これは、REF ピンと GND ピンの近くに、理想的には直接に、太い低インピーダンスのパターンでリファレンス電圧のデカップリング・セラミック・コンデンサを接続することにより行われます。

最後に、AD7984 の電源 VDD と VIO は AD7984 の近くに配置したセラミック・コンデンサ(一般に 100 nF)でデカップリングし、低インピーダンス・パスを提供する短く太いパターンで接続して、電源ライン上のグリッチの影響を軽減します。

図 40 と図 41 に、これらのルールに則ったレイアウトの例を示します。

### AD7984 の性能評価

AD7984 のその他の推奨レイアウトは、AD7984 (EVAL-AD7984CBZ)用評価ボードのドキュメントにも記載してあります。評価ボードの梱包には、組み立て済みでテスト済みの評価ボード、ドキュメント、EVAL-CONTROL BRD3Z を介して PC からボードを制御するソフトウェアが添付されています。

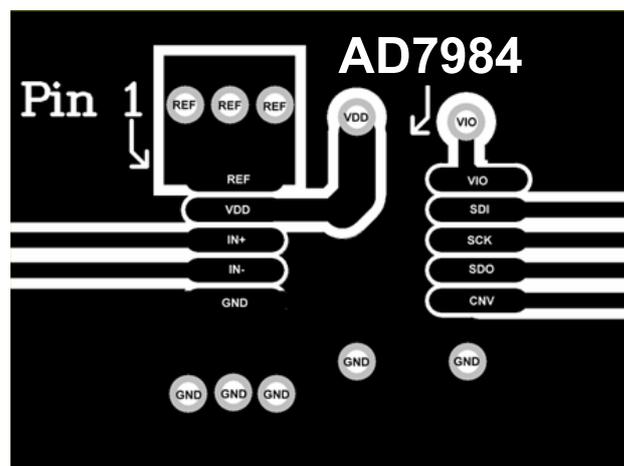


図40.AD7984 のレイアウト例(表面)

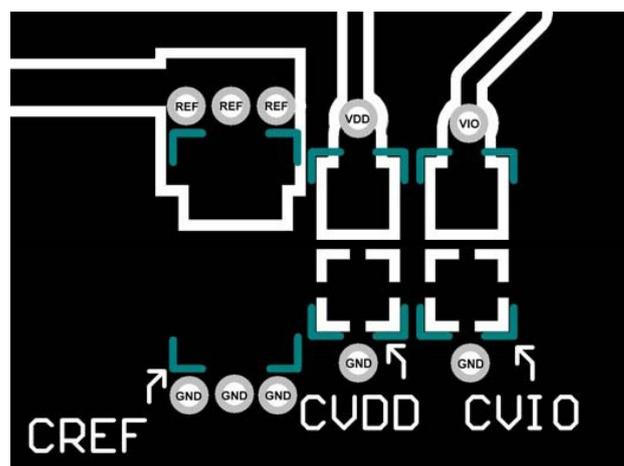


図41.AD7984 のレイアウト例(裏面)

## 外形寸法

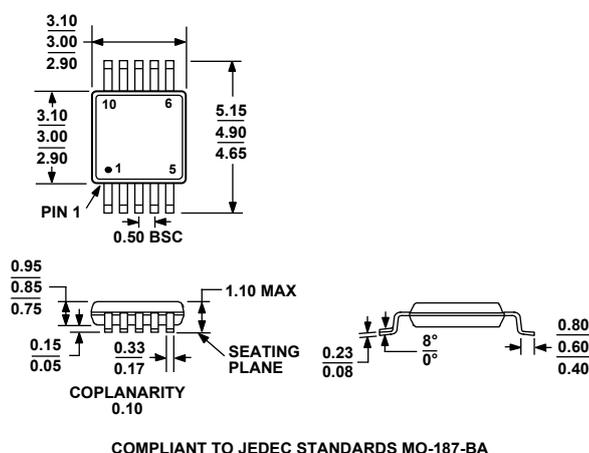


図42.10 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]  
(RM-10)  
寸法: mm

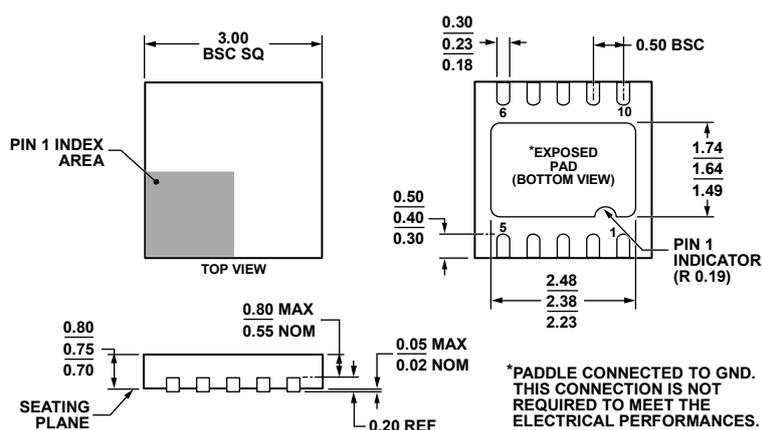


図43.10 ピン・リードフレーム・チップ・スケール・パッケージ[QFN (LFCSP\_WD)]  
3 mm × 3 mm ボディ、超極薄デュアル・ピン(CP-10-9)  
寸法: mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Ordering Quantity	Branding
AD7984BRMZ <sup>1</sup>	-40°C to +85°C	10-Lead MSOP	RM-10	Tube, 50	C60
AD7984BRMZ-RL7 <sup>1</sup>	-40°C to +85°C	10-Lead MSOP	RM-10	Reel, 1,000	C60
AD7984BCPZ <sup>1</sup>	-40°C to +85°C	10-Lead QFN (LFCSP_WD)	CP-10-9	Tube, 75	C60
AD7984BCPZ-RL7 <sup>1</sup>	-40°C to +85°C	10-Lead QFN (LFCSP_WD)	CP-10-9	Reel, 1,000	C60
AD7984BCPZ-RL <sup>1</sup>	-40°C to +85°C	10-Lead QFN (LFCSP_WD)	CP-10-9	Reel, 5,000	C60
EVAL-AD7984CBZ <sup>1,2</sup>		Evaluation Board			
EVAL-CONTROL BRD3Z <sup>1,3</sup>		Evaluation Board			

<sup>1</sup> Z = RoHS 準拠製品。

<sup>2</sup> これは単独の評価ボードとして、または評価/デモ目的の EVAL-CONTROL BRD3Z と組み合わせて、使用することができます。

<sup>3</sup> このボードを使うと、PC からの制御と CB サフィックスが付くすべてのアナログ・デバイセズ評価ボードとの通信が可能です。