

特長

複数ピン／ソフトウェアからプログラム可能な入力範囲

+5V (10Vp-p)、+10V (20Vp-p)、±5V (20Vp-p)、
±10V (40Vp-p)

ピンまたはシリアルSPI®互換の入力範囲／モードが選択可能
スループット：

1MSPS (ワープ・モード)

800kSPS (ノーマル・モード)

670kSPS (インパルス・モード)

14ビット分解能、ノー・ミッシング・コード

INL: ±0.3LSB (typ)、±1LSB (max) (FSRの±61ppm)

SNR: 85dB@2kHz

iCMOS®製造プロセス

5V内部リファレンス電圧: 3ppm/°Cのドリフト (typ)、
TEMP出力

パイプライン遅延なし (SARアーキテクチャ)

パラレル (14または8ビット・バス) およびシリアル5V/3.3V
インターフェース

SPI/QSPI™/MICROWIRE™/DSP互換

消費電力

235mW@1MSPS

10mW@1kSPS

48ピンLQFPおよび48ピンLFCSP (7mm×7mm)

アプリケーション

プロセス制御

医療機器

高速データ・アクイジション

デジタル・シグナル・プロセッシング

計測器

スペクトル分析

ATE

概要

AD7952は14ビットの電荷再配分型SAR (逐次比較) A/Dコンバータ (ADC) であり、アナログ・デバイセズのiCMOS高電圧プロセスで製造されています。入力範囲と動作モードは、ハードウェアまたは書込み専用のシリアル設定ポートを使って設定します。AD7952は、14ビットの高速サンプリングADC、内部変換クロック、内部リファレンス電圧 (およびバッファ)、誤差補正回路、シリアルおよびパラレルのシステム・インターフェース・ポートを持っています。CNVSTの立下がりエッジで、IN+とIN-の差動アナログ入力をサンプルします。AD7952には、4種類のアナログ入力範囲と3種類のサンプリング・モードがあります。3種類のサンプリング・モードは、最速スループットのワープ・モード、最速非同期スループットのノーマル・モード、それに消費電力がスループットに比例するインパルス・モードです。動作は-40~+85°Cで仕様規定されています。

機能ブロック図

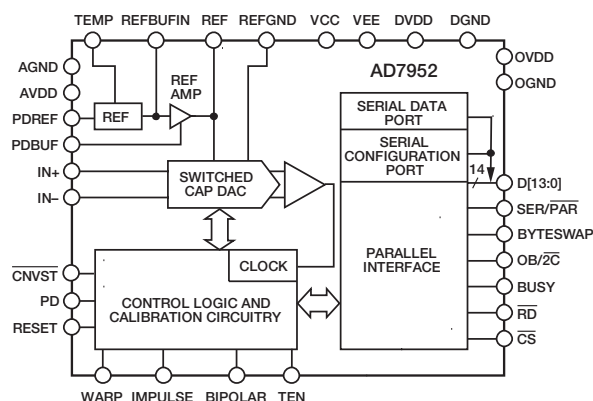


図1

表1. 48ピンPulSAR ADCの選択肢

Input Type	Res (Bits)	100 to 250 (kSPS)	500 to 570 (kSPS)	570 to 1000 (kSPS)	>1000 (kSPS)
Bipolar	14			AD7951	
Differential Bipolar	14			AD7952	
Unipolar	16	AD7651 AD7660 AD7661	AD7650 AD7652 AD7664 AD7666	AD7653 AD7667	
Bipolar	16	AD7610 AD7663	AD7665	AD7612 AD7671	
Differential Unipolar	16	AD7675	AD7676	AD7677	AD7621 AD7622 AD7623
Simultaneous/Multichannel Unipolar	16		AD7654 AD7655		
Differential Unipolar	18	AD7678	AD7679	AD7674	AD7641 AD7643
Differential Bipolar	18	AD7631		AD7634	

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2007 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本 社／〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06 (6350) 6868

目次

特長	1	ドライバ・アンプの選択.....	21
アプリケーション	1	電圧リファレンス入出力.....	22
概要	1	電源.....	22
機能ブロック図	1	変換制御.....	23
改訂履歴.....	2	インターフェース	24
仕様	3	デジタル・インターフェース.....	24
タイミング仕様	5	パラレル・インターフェース.....	24
絶対最大定格	7	シリアル・インターフェース.....	25
ESDに関する注意.....	7	マスター・シリアル・インターフェース.....	25
ピン配置およびピン機能の説明	8	スレーブ・シリアル・インターフェース.....	27
代表的な性能特性.....	12	ハードウェア設定.....	29
用語の説明	16	ソフトウェア設定.....	29
動作原理	17	マイクロプロセッサとのインターフェース.....	30
概要.....	17	アプリケーション情報	31
コンバータの動作.....	17	レイアウトのガイドライン.....	31
動作モード.....	18	性能評価	31
伝達関数.....	18	外形寸法	32
代表的な接続図.....	18	オーダー・ガイド.....	32
アナログ入力.....	20		

改訂履歴

2/07—Revision 0: Initial Version

仕様

特に指定のない限り AVDD=DVDD=5V、OVDD=2.7~5.5V、VCC=15V、VEE=-15V、V_{REF}=5Vで、仕様はすべてT_{MIN}~T_{MAX}条件下の値。

表2

Parameter	Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		14			Bits
ANALOG INPUTS					
Differential Voltage Range, V _{IN}	(V _{IN+}) - (V _{IN-})				
0 V to 5 V	V _{IN} = 10 V p-p	-V _{REF}		+V _{REF}	V
0 V to 10 V	V _{IN} = 20 V p-p	-2 V _{REF}		+2 V _{REF}	V
±5 V	V _{IN} = 20 V p-p	-2 V _{REF}		+2 V _{REF}	V
±10 V	V _{IN} = 40 V p-p	-4 V _{REF}		+4 V _{REF}	V
Operating Voltage Range	V _{IN+} , V _{IN-} to AGND				
0 V to 5 V		-0.1		+5.1	V
0 V to 10 V		-0.1		+10.1	V
±5 V		-5.1		+5.1	V
±10 V		-10.1		+10.1	V
Common-Mode Voltage Range	V _{IN+} , V _{IN-}				
5 V		V _{REF} /2 - 0.1	V _{REF} /2	V _{REF} /2 + 0.1	V
10 V		V _{REF} - 0.2	V _{REF}	V _{REF} + 0.2	V
Bipolar Ranges		-0.1	0	+0.1	V
Analog Input CMRR	f _{IN} = 100 kHz		75		dB
Input Current	V _{IN} = ±5 V, ±10 V @ 670 kSPS		220 ¹		μA
Input Impedance	See Analog Inputs section				
THROUGHPUT SPEED					
Complete Cycle	In warp mode			1	μs
Throughput Rate	In warp mode	1		1	MSPS
Time Between Conversions	In warp mode			1	ms
Complete Cycle	In normal mode			1.25	μs
Throughput Rate	In normal mode	0		800	kSPS
Complete Cycle	In impulse mode			1.49	μs
Throughput Rate	In impulse mode	0		670	kSPS
DC ACCURACY					
Integral Linearity Error ²		-1	±0.3	+1	LSB ³
No Missing Codes ²		14			Bits
Differential Linearity Error ²		-1		+1	LSB
Transition Noise			0.55		LSB
Zero Error (Unipolar or Bipolar)		-15		+15	LSB
Zero Error Temperature Drift			±1		ppm/°C
Full-Scale Error (Unipolar or Bipolar)		-20		+20	LSB
Full-Scale Error Temperature Drift			±1		ppm/°C
Power Supply Sensitivity	AVDD = 5 V ± 5%		±0.8		LSB
AC ACCURACY					
Dynamic Range	f _{IN} = 2 kHz, -60 dB	84.5	85.5		dB ⁴
Signal-to-Noise Ratio, SNR	f _{IN} = 2 kHz	84.5	85.5		dB
	f _{IN} = 20 kHz		85.5		dB
Signal-to-(Noise + Distortion), SINAD	f _{IN} = 2 kHz	83	85.4		dB
Total Harmonic Distortion	f _{IN} = 2 kHz		-105		dB
Spurious-Free Dynamic Range	f _{IN} = 2 kHz		102		dB
-3 dB Input Bandwidth	V _{IN} = 0 V to 5 V		45		MHz
Aperture Delay			2		ns
Aperture Jitter			5		ps rms
Transient Respons	Full-scale step			500	ns

AD7952

Parameter	Conditions/Comments	Min	Typ	Max	Unit
INTERNAL REFERENCE					
Output Voltage	PDREF = PDBUF = low REF @ 25°C	4.965	5.000	5.035	V
Temperature Drift	−40°C to +85°C		±3		ppm/°C
Line Regulation	AVDD = 5 V ± 5%		±15		ppm/V
Long-Term Drift	1000 hours		50		ppm
Turn-On Settling Time	C _{REF} = 22 μF		10		ms
REFERENCE BUFFER					
REFBUF _{IN} Input Voltage Range	PDREF = high	2.4	2.5	2.6	V
EXTERNAL REFERENCE					
Voltage Range	PDREF = PDBUF = high REF	4.75	5	AVDD + 0.1	V
Current Drain	1 MSPS throughput		200		μA
TEMPERATURE PIN					
Voltage Output	@ 25°C		311		mV
Temperature Sensitivity			1		mV/°C
Output Resistance			4.33		kΩ
DIGITAL INPUTS					
Logic Level					
V _{IL}		−0.3		+0.6	V
V _{IH}		2.1		OVDD + 0.3	V
I _{IL}		−1		+1	μA
I _{IH}		−1		+1	μA
DIGITAL OUTPUTS					
Data Format	Parallel or serial 14-bit				
Pipeline Delay ⁵					
V _{OL}	I _{SINK} = 500 μA			0.4	V
V _{OH}	I _{SOURCE} = −500 μA	OVDD − 0.6			V
POWER SUPPLIES					
Specified Performance					
AVDD		4.75 ⁶	5	5.25	V
DVDD		4.75	5	5.25	V
OVDD		2.7		5.25	V
VCC		7	15	15.75	V
VEE		−15.75	−15	0	V
Operating Current^{7,8}					
AVDD	@ 1 MSPS throughput				
With Internal Reference			20		mA
With Internal Reference Disabled			18.5		mA
DVDD			7		mA
OVDD			0.5		mA
VCC	VCC = 15 V, with internal reference buffer		4		mA
	VCC = 15 V		3		mA
VEE	VEE = −15 V		2		mA
Power Dissipation					
With Internal Reference	@ 1 MSPS throughput PDREF = PDBUF = low		235	260	mW
With Internal Reference Disabled	PDREF = PDBUF = high		215	240	mW
In Power-Down Mode ⁹	PD = high		10		μW
TEMPERATURE RANGE¹⁰					
Specified Performance	T _{MIN} to T _{MAX}	−40		+85	°C

¹ V_{IN}が5Vまたは10Vのユニポーラ範囲の場合、入力電流は70μA (typ) です。すべての入力範囲で、入力電流はスループットに比例します。「アナログ入力」を参照してください。

² 直線性をテストする場合は、最適直線近似ではなくエンドポイントを使用し、また常に5Vの外部リファレンス電圧を使用しています。

³ LSBは下位ビットを意味します。LSBの仕様には外部リファレンス電圧による誤差分は含まれません。

⁴ dB表示の仕様はすべてフルスケール入力 (FSR) を基準とします。特に指定のない限り、フルスケールより0.5dB低い入力信号でテストします。

⁵ 変換結果は、変換完了後直ちに出力されます。

⁶ 4.75 V またはV_{REF}−0.1Vのいずれかが大きいほうの値。

⁷ パラレル読み出しモードでテスト。

⁸ 内部リファレンス電圧使用時は、PDREFとPDBUFはローレベル。内部リファレンス電圧なしでは、PDREFとPDBUFはハイレベル。内部リファレンス電圧バッファ使用時はPDBUFはローレベル。

⁹ すべてのデジタル入力をOVDDに接続。

¹⁰ 拡張温度範囲については、代理店および弊社営業部にお問い合わせください。

タイミング仕様

特に指定のない限り、AVDD=DVDD=5V、OVDD=2.7~5.5V、VCC=15V、VEE=-15 V、V_{REF}=5Vで、仕様はすべてT_{MIN}~T_{MAX}条件下の数値。

表3

Parameter	Symbol	Min	Typ	Max	Unit
CONVERSION AND RESET (See Figure 34 and Figure 35)					
Convert Pulse Width	t ₁	10			ns
Time Between Conversions	t ₂				
Warp Mode/Normal Mode/Impulse Mode ¹		1/1.25/1.49			μs
CNVST Low to BUSY High Delay	t ₃			35	ns
BUSY High All Modes (Except Master Serial Read After Convert)	t ₄				
Warp Mode/Normal Mode/Impulse Mode				850/1100/1350	ns
Aperture Delay	t ₅		2		ns
End of Conversion to BUSY Low Delay	t ₆	10			ns
Conversion Time	t ₇				
Warp Mode/Normal Mode/Impulse Mode				850/1100/1350	ns
Acquisition Time	t ₈				
Warp Mode/Normal Mode/Impulse Mode		200			ns
RESET Pulse Width	t ₉	10			ns
PARALLEL INTERFACE MODES (See Figure 36 and Figure 38)					
CNVST Low to DATA Valid Delay	t ₁₀				
Warp Mode/Normal Mode/Impulse Mode				850/1100/1350	ns
DATA Valid to BUSY Low Delay	t ₁₁	20			ns
Bus Access Request to DATA Valid	t ₁₂			40	ns
Bus Relinquish Time	t ₁₃	2		15	ns
MASTER SERIAL INTERFACE MODES ² (See Figure 40 and Figure 41)					
$\overline{\text{CS}}$ Low to SYNC Valid Delay	t ₁₄			10	ns
$\overline{\text{CS}}$ Low to Internal SDCLK Valid Delay ²	t ₁₅			10	ns
$\overline{\text{CS}}$ Low to SDOUT Delay	t ₁₆			10	ns
CNVST Low to SYNC Delay, Read During Convert	t ₁₇				
Warp Mode/Normal Mode/Impulse Mode			50/290/530		ns
SYNC Asserted to SDCLK First Edge Delay	t ₁₈	3			ns
Internal SDCLK Period ³	t ₁₉	30		45	ns
Internal SDCLK High ³	t ₂₀	15			ns
Internal SDCLK Low ³	t ₂₁	10			ns
SDOUT Valid Setup Time ³	t ₂₂	4			ns
SDOUT Valid Hold Time ³	t ₂₃	5			ns
SDCLK Last Edge to SYNC Delay ³	t ₂₄	5			ns
$\overline{\text{CS}}$ High to SYNC High-Z	t ₂₅			10	ns
$\overline{\text{CS}}$ High to Internal SDCLK High-Z	t ₂₆			10	ns
$\overline{\text{CS}}$ High to SDOUT High-Z	t ₂₇			10	ns
BUSY High in Master Serial Read After Convert ³	t ₂₈		See Table 4		
CNVST Low to SYNC Delay Read After Convert	t ₂₉				
Warp Mode/Normal Mode/Impulse Mode			710/950/1190		ns
SYNC Deasserted to BUSY Low Delay	t ₃₀		25		ns

AD7952

Parameter	Symbol	Min	Typ	Max	Unit
SLAVE SERIAL/SERIAL CONFIGURATION INTERFACE MODES ² (See Figure 43, Figure 44, and Figure 46)					
External SDCLK, SCCLK Setup Time	t_{31}	5			ns
External SDCLK Active Edge to SDOUT Delay	t_{32}	2		18	ns
SDIN/SCIN Setup Time	t_{33}	5			ns
SDIN/SCIN Hold Time	t_{34}	5			ns
External SDCLK/SCCLK Period	t_{35}	25			ns
External SDCLK/SCCLK High	t_{36}	10			ns
External SDCLK/SCCLK Low	t_{37}	10			ns

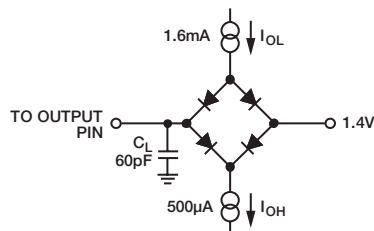
¹ ワープ・モードでのみ、変換と変換の間隔は1msとなります。これ以外の場合、最大時間は不要です。

² シリアル・インターフェース・モードでSYNC、SDCLK、SDOUTのタイミングは、最大負荷 $C_L=10\text{pF}$ で規定。その他の場合は、最大負荷60pFで規定。

³ 変換モードでのシリアル・マスタ読出し時。変換モード後のシリアル・マスタ読出しについては表4を参照。

表4. 変換モード後のマスタ読出し時のシリアル・クロック・タイミング

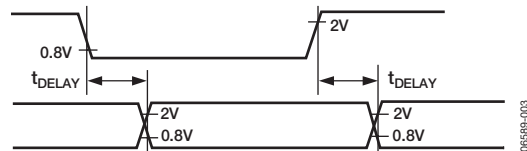
DIVSCLK[1] DIVSCLK[0]	Symbol	0 0	0 1	1 0	1 1	Unit
SYNC to SDCLK First Edge Delay Minimum	t_{18}	3	20	20	20	ns
Internal SDCLK Period Minimum	t_{19}	30	60	120	240	ns
Internal SDCLK Period Maximum	t_{19}	45	90	180	360	ns
Internal SDCLK High Minimum	t_{20}	12	30	60	120	ns
Internal SDCLK Low Minimum	t_{21}	10	25	55	115	ns
SDOUT Valid Setup Time Minimum	t_{22}	4	20	20	20	ns
SDOUT Valid Hold Time Minimum	t_{23}	5	8	35	90	ns
SDCLK Last Edge to SYNC Delay Minimum	t_{24}	5	7	35	90	ns
BUSY High Width Maximum	t_{28}					
Warp Mode		1.60	2.35	3.75	6.75	μs
Normal Mode		1.85	2.60	4.00	7.00	μs
Impulse Mode		2.10	2.85	4.25	7.25	μs



NOTES
1. IN SERIAL INTERFACE MODES, THE SYNC, SDCLK, AND SDOUT ARE DEFINED WITH A MAXIMUM LOAD C_L OF 10pF; OTHERWISE, THE LOAD IS 60pF MAXIMUM.

06589-002

図2. デジタル・インターフェース・タイミングの負荷回路、SDOUT、SYNC、SDCLKの各出力、 $C_L=10\text{pF}$



06589-003

図3. タイミングの電圧リファレンスのレベル

絶対最大定格

表5

Parameter	Rating
Analog Inputs/Outputs	
IN ⁺ ¹ , IN [−] ¹ to AGND	VEE − 0.3 V to VCC + 0.3 V
REF, REFBUF _{IN} , TEMP, REFGND to AGND	AVDD + 0.3 V to AGND − 0.3 V
Ground Voltage Differences	
AGND, DGND, OGND	±0.3 V
Supply Voltages	
AVDD, DVDD, OVDD	−0.3 V to +7 V
AVDD to DVDD, AVDD to OVDD	±7 V
DVDD to OVDD	±7 V
VCC to AGND, DGND	−0.3 V to +16.5 V
VEE to GND	+0.3 V to −16.5 V
Digital Inputs	−0.3 V to OVDD + 0.3 V
PDREF, PDBUF	±20 mA
Internal Power Dissipation ²	700 mW
Internal Power Dissipation ³	2.5 W
Junction Temperature	125°C
Storage Temperature Range	−65°C to +125°C

¹ 「アナログ」 入力 の項を参照。² 自然空冷、48ピンLQFP、 $\theta_{JA}=91^{\circ}\text{C/W}$ 、 $\theta_{JC}=30^{\circ}\text{C/W}$ 時のデバイス仕様。³ 自然空冷、48ピンLFCSP、 $\theta_{JA}=26^{\circ}\text{C/W}$ でのデバイス仕様。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスで高エネルギーの静電放電が発生した場合、損傷を生じる可能性があります。性能劣化や機能低下を防止するため、ESDに対して適切な予防措置をとることが推奨されます。

AD7952

ピン配置およびピン機能の説明

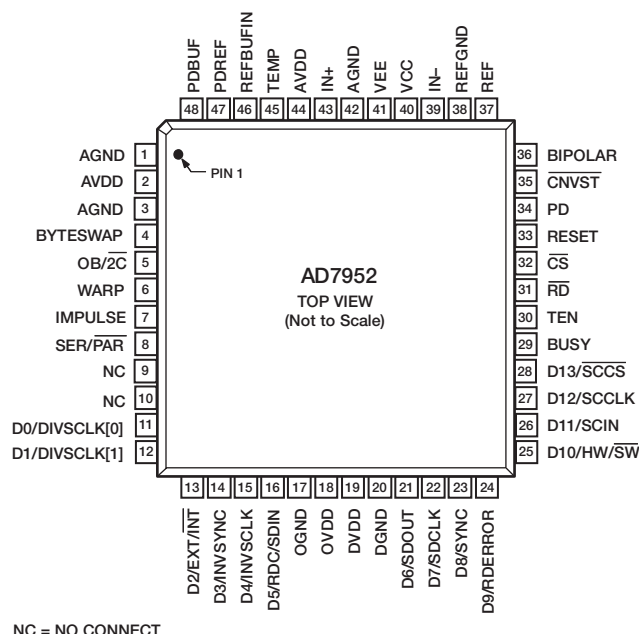


図4. ピン配置

表6. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1, 3, 42	AGND	P	アナログ電源のグラウンド・ピン。全アナログ入出力に対するグラウンド・リファレンス電圧ポイント。全アナログ入出力信号はAGND電圧を基準とし、システムのアナログ・グラウンド・プレーンに接続します。また、AGND、DGND、OGNDは同じ電位になります。
2, 44	AVDD	P	アナログ電源ピン。公称4.75～5.25Vであり、10μFと100pFのコンデンサでデカップリングします。
4	BYTESWAP	DI	パラレル・モードの選択（8/14ビット）。ハイレベルにすると、LSBがD[15：8]に、MSBがD[7：0]にそれぞれ出力されます。ローレベルにすると、LSBがD[7：0]に、MSBがD[15：8]にそれぞれ出力されます。
5	OB/2C	DI ²	ストレート・バイナリ／2の補数出力。OB/2Cをハイレベルにするとデジタル出力はストレート・バイナリになり、ローレベルにするとMSBが反転されて内部シフト・レジスタから2の補数が出力されます。
6	WARP	DI ²	変換モードの選択。下記に従ってIMPULSE入力と組み合わせて使用します。 変換モード WARP IMPULSE ノーマル ローレベル ローレベル インパルス ローレベル ハイレベル ワープ ハイレベル ローレベル ノーマル ハイレベル ハイレベル 詳細については、「動作モード」を参照。
7	IMPULSE	DI ²	変換モードの選択。この表のWARPピンの説明を参照。詳細については、「動作モード」を参照。
8	SER/PAR	DI	シリアル／パラレル選択入力。SER/PARをローレベルにするとパラレル・ポートが選択され、ハイレベルにするとシリアル・モードが選択されます。データ・バスの一部のビットがシリアル・ポートとして使われ、残りのデータ・ビットが高インピーダンス出力となります。
9, 10	NC	DO	無接続。接続しません。
11, 12	D[0:1] or DIVSCLK[0:1]	DI/O	パラレル・モードのとき、これらの出力をパラレル・ポート・データ出力バスのビット0およびビット1として使用します。 シリアル・データ分周クロックの選択。変換モード終了後のシリアル・マスター読出しモードを使用するとき（SER/PAR＝ハイレベル、EXT/INT＝ローレベル、RDC/SDIN＝ローレベル）、これらの入力を使用して、データ出力する内部シリアル・クロックの速度を低下させることができます。他のシリアル・モードでは、これらのピンは高インピーダンス出力となります。

ピン番号	記号	タイプ ¹	説明
13	D2 or EXT/ $\overline{\text{INT}}$	DI/O	パラレル・モードのとき、これらの出力をパラレル・ポート・データ出力バスのビット2として使用します。 シリアル・データ・クロック源の選択。シリアル・モードとき、この入力を使用してAD7952出力データの内部（マスター）シリアル・データ・クロックや外部（スレーブ）シリアル・データ・クロックを選択します。 EXT/INTをローレベル（マスター・モード）にすると、SCLK出力で内部シリアル・データ・クロックを選択します。 EXT/INTをハイレベル（スレーブ・モード）にすると、出力データがSDCLK入力に接続された外部クロック信号（CSでゲーティングされる）に同期します。
14	D3 or INVS $\overline{\text{SYNC}}$	DI/O	パラレル・モードのとき、この出力をパラレル・ポート・データ出力バスのビット3として使用します。 シリアル・データ反転同期の選択。シリアル・マスター・モード（SER/$\overline{\text{PAR}}$=ハイレベル、EXT/INT=ローレベル）のとき、この入力を使用してSYNC信号のアクティブ状態を選択します。 INVS$\overline{\text{SYNC}}$がローレベルのとき、SYNCはアクティブ・ハイになります。 INVS$\overline{\text{SYNC}}$がハイレベルのとき、SYNCはアクティブ・ローになります。
15	D4 or INVS $\overline{\text{SYNC}}$	DI/O	パラレル・モードのとき、この出力をパラレル・ポート・データ出力バスのビット4として使用します。 すべてのシリアル・モードで反転SDCLK/SCCLKの選択。この入力をSDCLKとSCCLKの反転に使用します。 INVS$\overline{\text{SYNC}}$がローレベルのとき、SDCLK/SCCLKの立上がりエッジを使用します。 INVS$\overline{\text{SYNC}}$がハイレベルのとき、SDCLK/SCCLKの立下がりエッジを使用します。
16	D5 or RDC or SDIN	DI/O	パラレル・モードのとき、この出力をパラレル・ポート・データ出力バスのビット5として使用します。 変換中のシリアル・データ読出し。シリアル・マスター・モード（SER/$\overline{\text{PAR}}$=ハイレベル、EXT/INT=ローレベル）のとき、RDCは読出しモードの選択に使用されます。「マスター・シリアル・インターフェース」を参照。 RDCがローレベルの場合、変換終了後に現在の結果が読み出されます。このモードで最大スループットを達成することはできません。 RDCがハイレベルの場合、現在の変換中に前の変換結果が読み出されます。 シリアル・データ入力。シリアル・スレーブ・モード（SER/$\overline{\text{PAR}}$=ハイレベル、EXT/INT=ハイレベル）のとき、SDINをデータ入力として使って、1本のSDOUTラインに接続された複数のADCの変換結果をデジタイズチェーン接続できます。SDINのデジタル・データ・レベルは、読出しシーケンス開始からSCLKの16周期分の遅延でSDOUT上に出力されます。
17	OGND	P	I/O入出力インターフェースのデジタル電源グラウンド。デジタル出力のグラウンド・リファレンス電圧ポイント。AGNDおよびDGNDと同じ電位のシステム・デジタル・グラウンドに接続するのが理想です。
18	OVDD	P	I/Oインターフェースのデジタル電源。通常は、ホスト・インターフェース電源（2.5V、3V、または5V）と同じ電源です。10 μ Fコンデンサと100nFコンデンサでデカップリングします。
19	DVDD	P	デジタル電源。通常は4.75～5.25Vです。10 μ Fコンデンサと100nFコンデンサでデカップリングされます。AVDDから電源を供給できます。
20	DGND	P	デジタル電源グラウンド。デジタル出力のグラウンド・リファレンス電圧ポイント。AGNDおよびDGNDと同じ電位でシステム・デジタル・グラウンドに接続するのが理想的です。
21	D6 or SDOUT	DO	パラレル・モードのとき、この出力をパラレル・ポート・データ出力バスのビット6として使用します。 シリアル・データ出力。シリアル・モードのとき、このピンをSDCLKに同期するシリアル・データ出力として使用します。変換結果は内蔵レジスタに保持されます。AD7952は内部シフト・レジスタからMSBファーストで変換結果を出力します。データ・フォーマットはOB/2Cのロジック・レベルで指定されます。 EXT/INT=ローレベル（マスター・モード）の場合：SDOUTはSDCLKの両エッジで有効です。 EXT/INT=ハイレベル（スレーブ・モード）の場合： INVSCLK=ローレベルのとき、SDOUTはSDCLKの立上がりエッジで更新されます。 INVSCLK=ハイレベルのとき、SDOUTはSDCLKの立下がりエッジで更新されます。
22	D7 or SDCLK	DI/O	パラレル・モードのとき、この出力をパラレル・ポート・データ出力バスのビット7として使用します。 シリアル・データ・クロック。シリアル・モードのとき、このピンは、EXT/$\overline{\text{INT}}$のロジック状態に応じてシリアル・データ・クロック入力または出力として使用します。データSDOUTが更新されるアクティブ・エッジは、INVSCLKピンのロジック状態により決定されます。
23	D8 or SYNC	DO	パラレル・モードのとき、この出力をパラレル・ポート・データ出力バスのビット8として使用します。 シリアル・データ・フレーム同期。シリアル・マスター・モード（SER/$\overline{\text{PAR}}$=ハイレベル、EXT/INT=ローレベル）のとき、この出力を、内部データ・クロックとともに使用されるデジタル出力フレーム同期として使用します。読出しシーケンスが開始され、かつINVS$\overline{\text{SYNC}}$=ローレベルのとき、SYNCはハイレベルに駆動され、SDOUT出力が有効な間ハイレベルが維持されます。 読出しシーケンスが開始され、かつINVS$\overline{\text{SYNC}}$=ハイレベルのとき、SYNCはローレベルに駆動され、SDOUT出力が有効な間ローレベルが維持されます。

AD7952

ピン番号	記号	タイプ ¹	説明															
24	D9 or RDERROR	DO	パラレル・モードのとき、この出力をパラレル・ポート・データ出力バスのビット9として使用します。 シリアル・データ読出しエラー。シリアル・スレーブ・モード（ $\overline{\text{SER/PAR}}$ =ハイレベル、 $\overline{\text{EXT/INT}}$ =ハイレベル）のとき、この出力を、未完了データ読出しエラー・フラグとして使用します。現在の変換が完了してデータ読出しが開始され、その処理が完了しない場合は、現在のデータが失われて、RDERRORにハイレベル・パルスが出力されます。															
25	D10 or $\overline{\text{HW/SW}}$	DI/O	パラレル・モードのとき、この出力をパラレル・ポート・データ出力バスのビット10として使用します。 シリアル・モードでのハードウェア／ソフトウェア設定の選択。シリアル・モードのときは、この入力により、ハードウェアかソフトウェアによるAD7952の設定を選択できます。「ハードウェア設定」と「ソフトウェア設定」を参照してください。 $\overline{\text{HW/SW}}$ =ローレベルのときは、シリアル設定レジスタを使ってAD7952をソフトウェアから設定できます。 $\overline{\text{HW/SW}}$ =ハイレベルのときは、入力ピンを使ってAD7952をハードウェア設定できます。															
26	D11 or SCIN	DI/O	パラレル・モードのとき、この出力をパラレル・ポート・データ出力バスのビット11として使用します。 シリアル設定データ入力。シリアル・ソフトウェア設定モード（ $\overline{\text{SER/PAR}}$ =ハイレベル、 $\overline{\text{HW/SW}}$ =ローレベル）のとき、この入力は、設定データをMSBファーストでシリアル設定レジスタにシリアルに書き込むために使用します。この入力データはSCCLKでラッチされます。「ソフトウェアの設定」を参照してください。															
27	D12 or SCCLK	DI/O	パラレル・モードのとき、この出力をパラレル・ポート・データ出力バスのビット12として使用します。 シリアル設定クロック。シリアル・ソフトウェア設定モード（ $\overline{\text{SER/PAR}}$ =ハイレベル、 $\overline{\text{HW/SW}}$ =ローレベル）のとき、この入力を使って、SCINにデータを入力します。データSCINが更新されるアクティブ・エッジは、 $\overline{\text{INVSCLK}}$ ピンのロジック状態により決定されます。「ソフトウェアの設定」を参照してください。															
28	D13 or $\overline{\text{SCCS}}$	DI/O	パラレル・モードのとき、この出力をパラレル・ポート・データ出力バスのビット13として使用します。 シリアル設定チップ・セレクト。シリアル・ソフトウェア設定モード（ $\overline{\text{SER/PAR}}$ =ハイレベル、 $\overline{\text{HW/SW}}$ =ローレベル）のとき、この入力でシリアル設定ポートをイネーブルします。「ソフトウェアの設定」を参照してください。															
29	BUSY	DO	ビジー出力。変換開始時にハイレベルになり、変換が完了してデータが内蔵シフト・レジスタにラッチされるまでハイレベルを維持します。BUSYの立下がりエッジは、データ・レディ・クロック信号として使うことができます。変換モード後のマスタ読出しでは（ $\overline{\text{SER/PAR}}$ =ハイレベル、 $\overline{\text{EXT/INT}}$ =ローレベル、 $\overline{\text{RDC}}$ =ローレベル）、ビジー時間は表4に従い変動します。															
30	TEN	DI ²	入力範囲の選択。これは次のようにBIPOLARと組み合わせて使用します。 <table><tr><th>入力範囲 (V)</th><th>BIPOLAR</th><th>TEN</th></tr><tr><td>0～5</td><td>ローレベル</td><td>ローレベル</td></tr><tr><td>0～10</td><td>ローレベル</td><td>ハイレベル</td></tr><tr><td>±5</td><td>ハイレベル</td><td>ローレベル</td></tr><tr><td>±10</td><td>ハイレベル</td><td>ハイレベル</td></tr></table>	入力範囲 (V)	BIPOLAR	TEN	0～5	ローレベル	ローレベル	0～10	ローレベル	ハイレベル	±5	ハイレベル	ローレベル	±10	ハイレベル	ハイレベル
入力範囲 (V)	BIPOLAR	TEN																
0～5	ローレベル	ローレベル																
0～10	ローレベル	ハイレベル																
±5	ハイレベル	ローレベル																
±10	ハイレベル	ハイレベル																
31	$\overline{\text{RD}}$	DI	データの読出し。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ がともにローレベルのとき、インターフェースのパラレルまたはシリアル出力バスが有効になります。															
32	$\overline{\text{CS}}$	DI	チップ・セレクト。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ がともにローレベルのとき、インターフェースのパラレルまたはシリアル出力バスが有効になります。 $\overline{\text{CS}}$ は、スレーブ・シリアル・モードで外部シリアル・クロックのゲーティングにも使用します（シリアル設定ポートには使用されません）。															
33	RESET	DI	リセット入力。ハイレベルに設定すると、AD7952がリセットされ、変換中であれば変換を中止させます。RESETの立下がりエッジでデータ出力がすべてゼロになり（ $\overline{\text{OB/2C}}$ =ハイレベル）、設定レジスタがクリアされます。「デジタル・インターフェース」を参照。このピンは、未使用時にOGNDに接続しておきます。															
34	PD	DI ²	パワーダウン入力。PDをハイレベルにすると、ADCがパワーダウンします。消費電力は減少して、現在の変換が完了した後に変換が禁止されます。パワーダウン中、デジタル・インターフェースはアクティブ状態を維持します。															
35	$\overline{\text{CNVST}}$	DI	変換の開始。 $\overline{\text{CNVST}}$ の次の立下がりエッジで内部サンプル／ホールドがホールド状態になり、変換が開始されます。															
36	BIPOLAR	DI ²	入力範囲の選択。ピン30の説明を参照。															
37	REF	AI/O	リファレンス電圧入出力。PDREF/PDBUFがローレベルの場合、内部リファレンス電圧とバッファが有効になり、このピン上に5Vが出力されます。PDREF/PDBUFがハイレベルの場合、内部リファレンス電圧とバッファが無効になり、AVDDまでのリファレンス電圧を外部から供給できるようになります。内部リファレンス電圧およびバッファの有無とは無関係に、最小でも22μFのコンデンサによるデカップリングが必要です。「リファレンス電圧入出力」を参照。															
38	REFGND	AI	リファレンス電圧入力のアナログ・グラウンド。アナログ・グラウンド・プレーンに接続します。															

ピン番号	記号	タイプ ¹	説明
39	IN ⁻	AI	アナログ入力。IN ⁺ を基準とします。 0～5Vの入力範囲の場合、IN ⁻ は $V_{REF}/2$ を中心とする0～ V_{REF} の範囲の電圧となります。0～10Vの入力範囲の場合は、 V_{REF} を中心とする0～ $2V_{REF}$ の範囲の電圧となります。 ±5Vまたは±10Vの範囲の場合、IN ⁻ は0Vを中心とする最大± $2V_{REF}$ (±5Vの範囲) または最大± $4V_{REF}$ (±10Vの範囲) の真のバイポーラ入力範囲になります。 全範囲で、IN ⁺ とは180° 逆位相でIN ⁻ を駆動する必要があります。
40	VCC	P	正側高電圧電源。通常は7～15V。
41	VEE	P	負側高電圧電源。通常は0～-15V (ユニポーラ範囲での0V)。
43	IN ⁺	AI	アナログ入力。IN ⁻ を基準とします。 0～5Vの入力範囲の場合、IN ⁺ は $V_{REF}/2$ を中心とする0～ V_{REF} の範囲の電圧となります。0～10Vの入力範囲の場合は、 V_{REF} を中心とする0～ $2V_{REF}$ の範囲の電圧となります。 ±5Vまたは±10Vの範囲の場合、IN ⁺ は0Vを中心とする最大± $2V_{REF}$ (±5Vの範囲) または最大± $4V_{REF}$ (±10Vの範囲) の真のバイポーラ入力範囲となります。 全範囲で、IN ⁻ とは180° 逆位相でIN ⁺ を駆動する必要があります。
45	TEMP	AO	温度センサ・アナログ出力。内部リファレンス電圧が有効の場合 (PDREF=PDBUF=ローレベル)、このピンはAD7952の温度に比例する電圧を出力します。「温度センサー」を参照してください。
46	REFBUF ^{IN}	AI	リファレンス電圧バッファ入力。内部リファレンス電圧バッファで外部リファレンス電圧を使用する場合 (PDBUF=ローレベル、PDREF=ハイレベル)、このピンに2.5Vを供給すると、REFピン上に5Vが出力されます。「シングルエンド/差動変換ドライバ」を参照してください。
47	PDREF	DI	内部リファレンス電圧パワーダウ入入力。 ローレベルのときに内部リファレンス電圧が有効になります。 ハイレベルのときに内部リファレンス電圧がパワーダウンされるため、外部リファレンス電圧を使用する必要があります。
48	PDBUF	DI	内部リファレンス電圧バッファのパワーダウ入入力。 ローレベルのときに、バッファが有効になります (内部リファレンス電圧を使用するときはローレベルに設定)。 ハイレベルのときに、バッファがパワーダウンされます。

¹ AI=アナログ入力、AI/O=双方向アナログ、AO=アナログ出力、DI=デジタル入力、DI/O=双方向デジタル、DO=デジタル出力、P=電源。

² ドントケア。シリアル設定モード (SER/PAR=ハイレベル、HW/SW=ローレベル) のとき、この入力はシリアル設定レジスタで設定されます。「ハードウェア設定」と「ソフトウェア設定」を参照。

代表的な性能特性

AVDD=DVDD=5V、OVDD=5V、VCC=15V、VEE=-15V、 $V_{REF}=5V$ 、 $T_A=25^{\circ}C$ 。

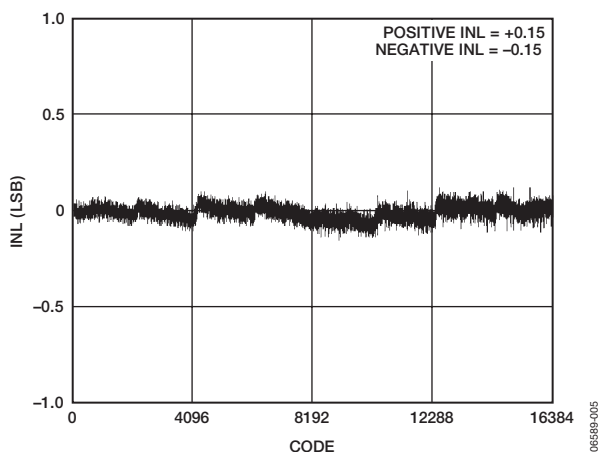


図5. コード 対 積分非直線性

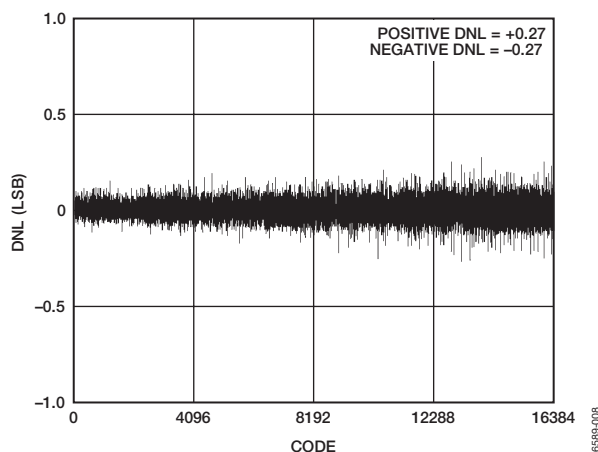


図8. コード 対 微分非直線性

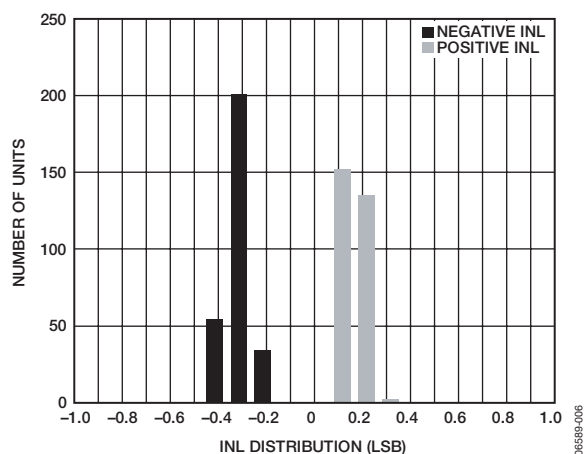


図6. 積分非直線性分布 (239デバイス)

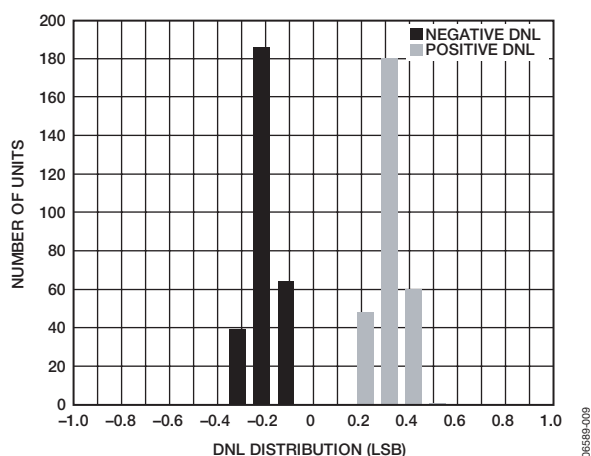


図9. 微分非直線性分布 (239デバイス)

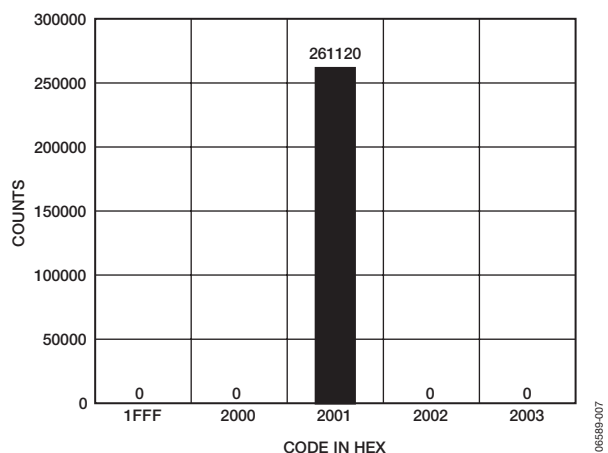


図7. コード中央値のDC入力を261120回変換した場合のヒストグラム

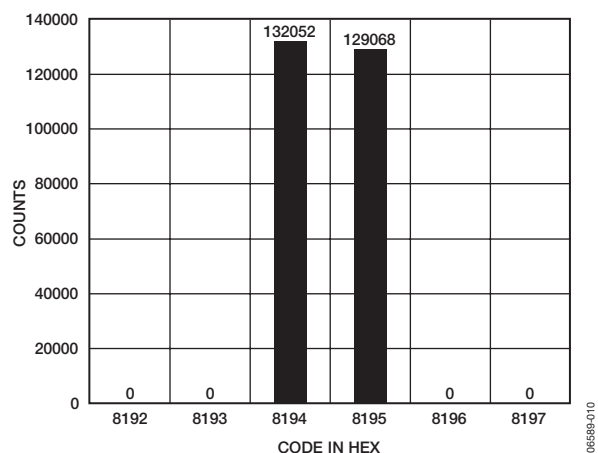


図10. コード変化が発生するDC入力を261120回変換した場合のヒストグラム

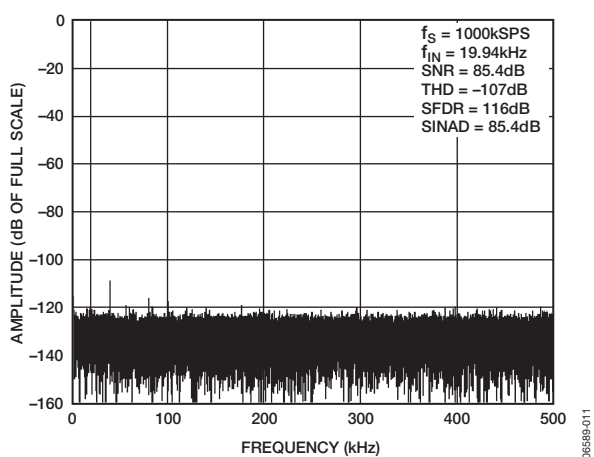


図11. FFT 20kHz

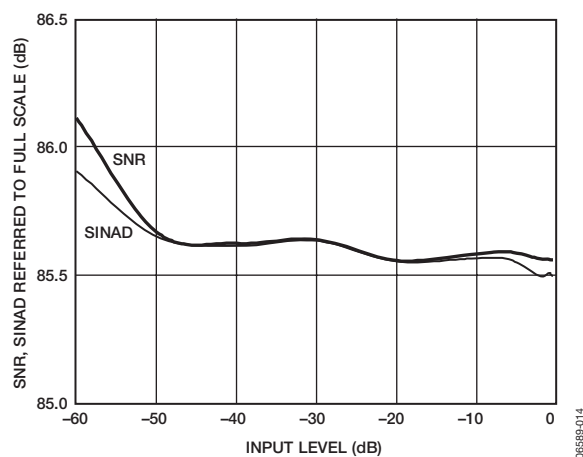
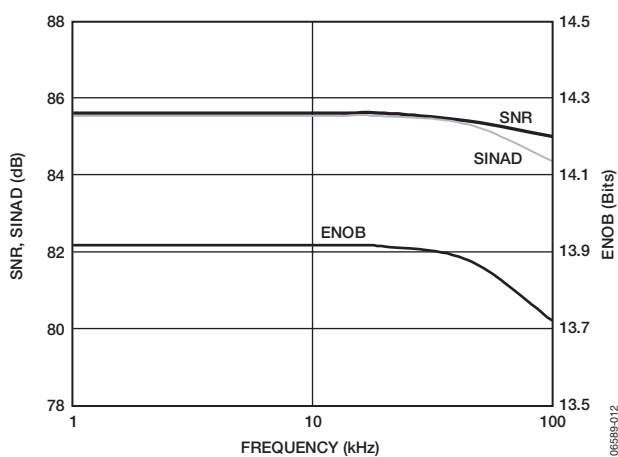
図14. 入力レベル 対 S/N比およびSINAD
(フルスケール基準)

図12. S/N比、SINAD、およびENOBの周波数特性

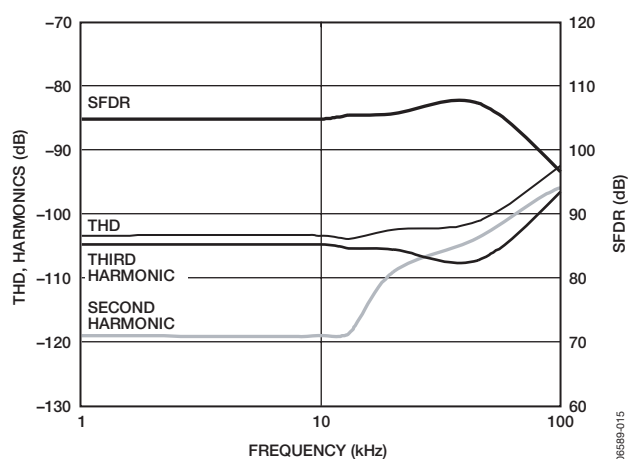


図15. THD、高調波、およびSFDRの周波数特性

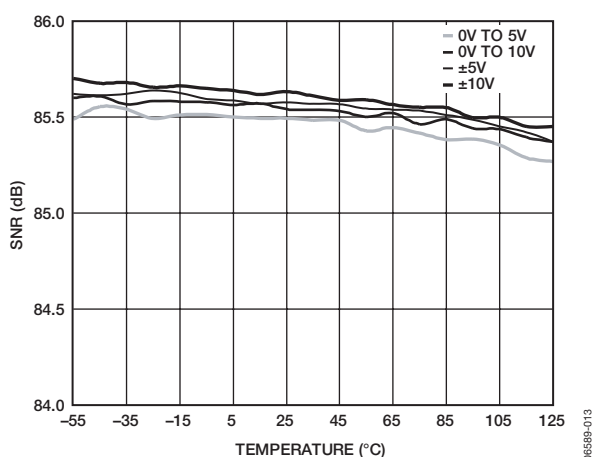


図13. S/N比の温度特性

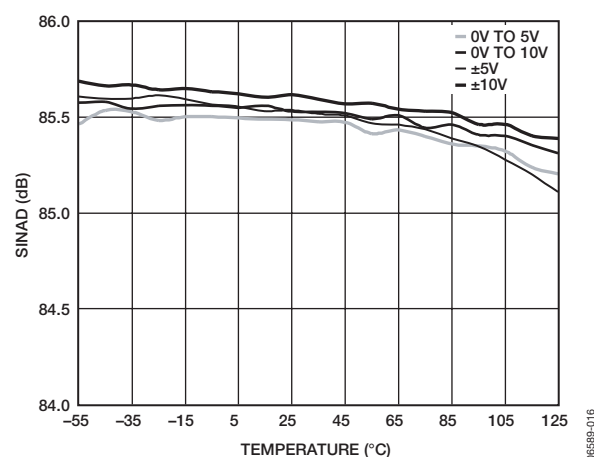


図16. SINADの温度特性

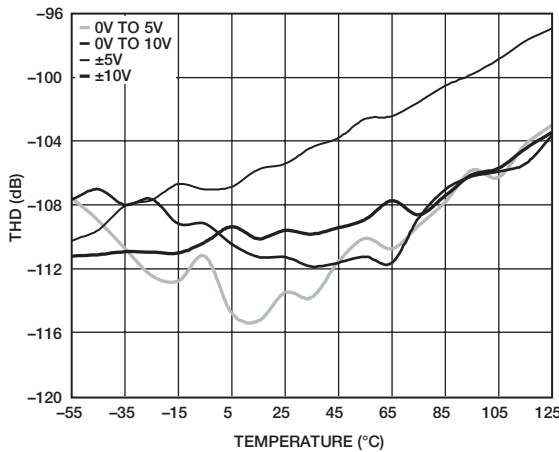


図17. THDの温度特性

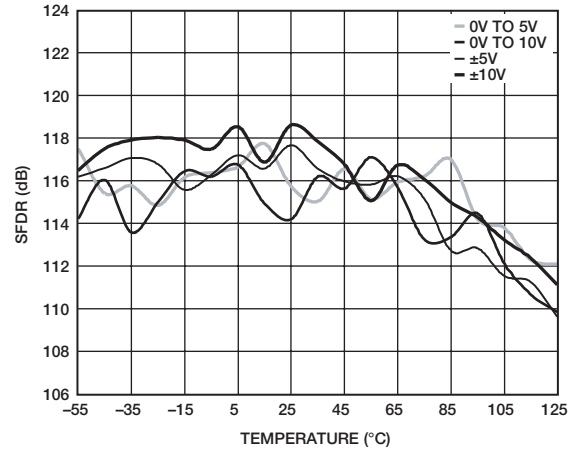


図20. SFDRの温度特性（高調波を除く）

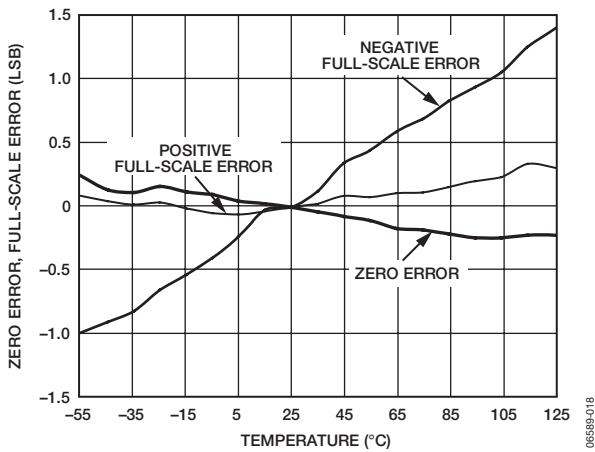


図18. ゼロ/オフセット誤差および正側/負側フルスケール誤差の温度特性、すべて25°Cに正規化

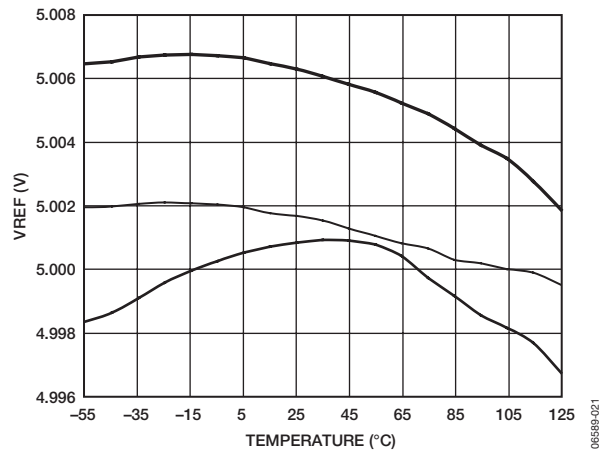


図21. 代表的なリファレンス電圧出力の温度特性（3個のデバイス）

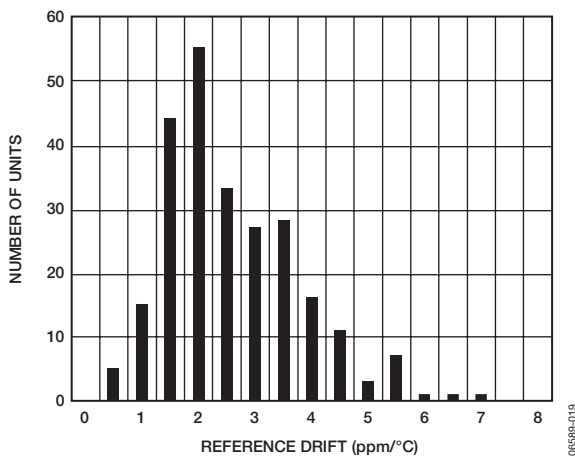


図19. リファレンス電圧温度係数の分布（247個のデバイス）

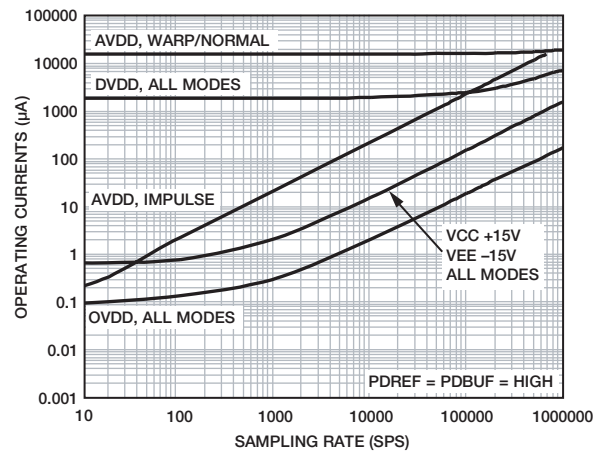


図22. サンプリング・レート 対 動作電流

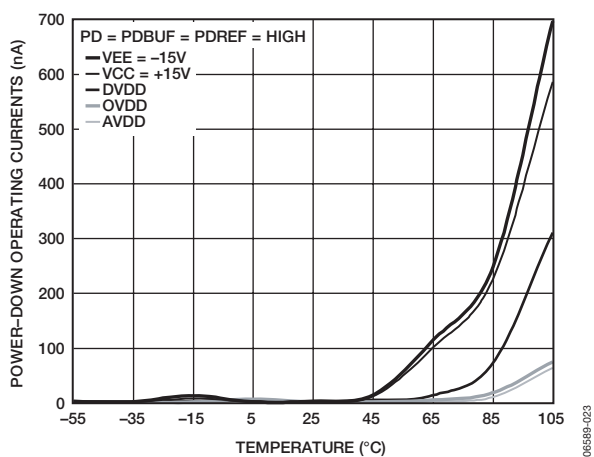
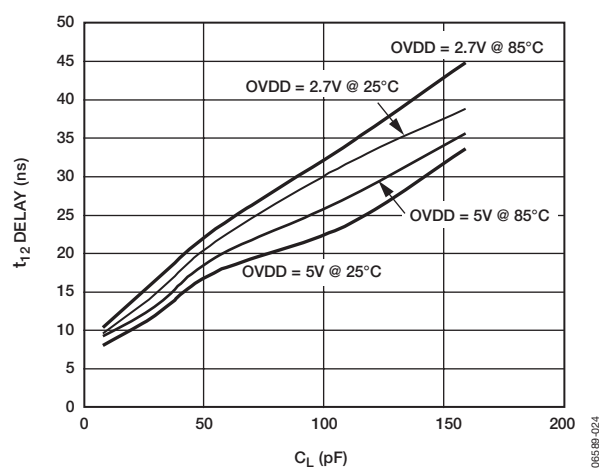


図23. パワーダウン動作電流の温度特性

図24. 代表的な負荷容量 C_L 対 遅延

用語の説明

最下位ビット (LSB)

最下位ビットすなわちLSBは、コンバータで表すことができる最小増分です。Nビットの分解能を持つ完全差動入力ADCの場合、LSBは次式のように電圧単位で表されます。

$$LSB(V) = \frac{V_{INP-P}}{2^N}$$

積分非直線性誤差 (INL)

直線性誤差とは、負側フルスケールと正側フルスケールとを結ぶ直線と実際の各コード出力との偏差を意味します。負側フルスケールとして使用するポイントは、最初のコード遷移より0.5LSBだけ下に存在します。正側フルスケールは、最後のコード遷移より1.5LSB高いレベルと定義されます。偏差は各コードの中央と真の直線との間の距離として測定されます。

微分非直線性誤差 (DNL)

理想的なADCでは、各コード遷移は1LSBだけ離れた位置で発生します。微分非直線性とは、この理論値からの最大偏差のことです。ノー・ミッシング・コードが保証される分解能として規定されることもあります。

バイポーラ・ゼロ誤差

理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コードを生成する実際の電圧との差をいいます。

ユニポーラ・オフセット誤差

最初の遷移はアナログ・グラウンドより0.5LSB上のレベルで発生します。ユニポーラ・オフセット誤差は、その点からの実際の遷移の偏差をいいます。

フルスケール誤差

最後の遷移 (ストレート・バイナリ・フォーマットで111...10から111...11) は、公称フルスケールより1.5LSB低いアナログ電圧で発生します。フルスケール誤差は、最後の遷移での理想的なレベルから実際のレベルへの偏差をLSB (またはフルスケール範囲の%) で表し、オフセット誤差の影響を含みます。これは、オフセットの誤差の影響を含まないゲイン誤差 (同じくLSB、またはフルスケール範囲の%値で表す) と密接な関連があります。

ダイナミック・レンジ

フルスケールのRMS値と、-60dBの入力を使用して測定したRMSノイズとの比を意味し、dB値で表します。

S/N比 (SNR)

実際の入力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和から高調波成分とDC成分を除いた値との比で、dB値で表します。

全高調波歪み (THD)

最初の5つの高調波成分のRMS値の総和と、フルスケール入力信号のRMS値との比であり、dB値で表します。

信号／ノイズ&歪み比 (SINAD)

実際の入力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和 (DC以外の高調波成分を含む) との比を意味し、dB値で表します。

スプリアスフリー・ダイナミック・レンジ (SFDR)

入力信号のRMS振幅値とピーク・スプリアス信号のRMS値との差を意味し、dB値で表します。

有効ビット数 (ENOB)

サイン波を入力したときの分解能の測定値です。SINADとの関係は次式で表します。

$$ENOB = [(SINAD_{dB} - 1.76) / 6.02]$$

オーバーチャージ遅延

アキュイジション性能を表し、 $\overline{CNVST}$ 入力の立下がりエッジから、入力信号が変換用にホールドされるまでの時間を測定します。

過渡応答

AD7952の入力にフルスケールのステップ関数が与えられてから、AD7952が定格精度を達成するまでに要する時間です。

リファレンス電圧の温度係数

リファレンス電圧の温度係数は、 T_{MIN} 、 $T(25^{\circ}C)$ 、 T_{MAX} の3点で測定されたリファレンス出力電圧 (V_{REF}) の最大値と最小値の差の電圧と、 $25^{\circ}C$ での出力電圧の代表的なシフトから得られ、次のようにppm/ $^{\circ}C$ で表します。

$$TCV_{REF}(ppm/^{\circ}C) = \frac{V_{REF}(Max) - V_{REF}(Min)}{V_{REF}(25^{\circ}C) \times (T_{MAX} - T_{MIN})} \times 10^6$$

ここで、

$V_{REF}(Max) = T_{MIN}$ 、 $T(25^{\circ}C)$ 、または T_{MAX} での最大 V_{REF}

$V_{REF}(Min) = T_{MIN}$ 、 $T(25^{\circ}C)$ 、または T_{MAX} での最小 V_{REF}

$V_{REF}(25^{\circ}C) = 25^{\circ}C$ での V_{REF}

$T_{MAX} = +85^{\circ}C$

$T_{MIN} = -40^{\circ}C$

動作原理

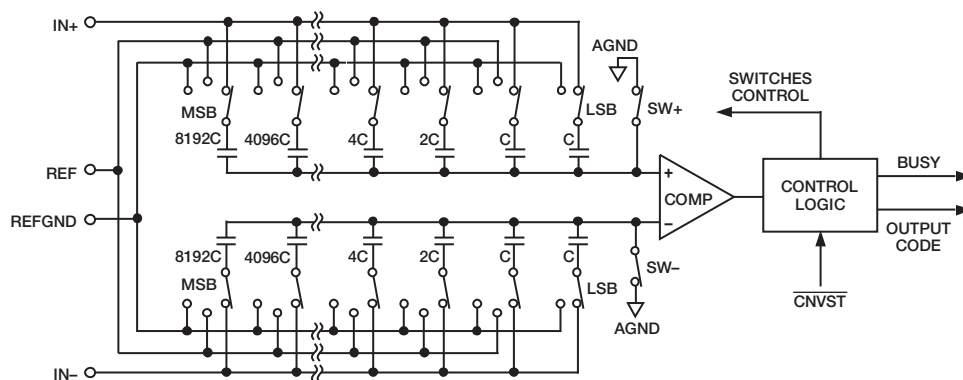


図25. ADCの簡略回路図

概要

AD7952は、非常に高速な低消費電力単電源動作の高精度14ビットADCであり、逐次比較型の容量DAC（CDAC）コンバータ・アーキテクチャを採用しています。

AD7952では、変換モードまたは4種類の入力範囲のいずれか1つをいつでも設定できます。この設定は、パラレル・モード／シリアル・ハードウェア・モードで特定の入力ピンを使うか、あるいはシリアル・ソフトウェア・モードで設定レジスタを使って書き込み専用のSPI互換インターフェースから行います。AD7952はアナログ・デバイセズの特許技術であるiCMOS高電圧プロセスで製造しており、従来の薄膜を使用せずに0～+5V、0～+10V、±5V、±10Vの入力範囲に対応します。入力を適正な設定にロックするときは、1アキュイジション・サイクル（ t_8 ）のみで十分です。ADCを設定し直すためにリセットを行う（電源を入れ直す）必要はありません。

AD7952は個々のアプリケーションに応じて性能を最適化するために、数種類のモードを提供しています。ワープ・モードでは1MSPS（毎秒1,000,000サンプルを変換）、ノーマル・モードでは800kSPS、インパルス・モードでは670kSPSで変換処理を行います。

AD7952はトラック／ホールドを内蔵し、パイプラインまたは遅延のない逐次比較型ADCを提供できるため、多重化された複数チャンネルのアプリケーションにも最適です。

ユニポーラ入力範囲の場合、AD7952は通常3つの電源VCC、AVDD（DVDDを供給可能）、およびOVDD（5V、3.3V、または2.5Vのデジタル・ロジックにインターフェース可能）を必要とします。バイポーラ入力範囲の場合は、追加のVEE電源を使用する必要があります。

このデバイスは、省スペースと柔軟性という2つの特性を合わせ持つ鉛フリーの48ピンLQFPまたは小型の48ピン、7mm×7mm LFCSPを採用しています。本製品はパラレルまたはシリアルSPI互換のインターフェースとして構成できます。

コンバータの動作

AD7952は、電荷再分配型DACを採用した逐次比較型ADCです。図25に、簡略化したADC回路図を示します。この容量性DACは、2進数ウェイトの16個のコンデンサのアレイ2個から構成されています。コンデンサは、2つのコンパレータ入力に接続されています。

アキュイジション・フェーズでは、コンパレータの入力に接続されたアレイの端子は、SW+とSW-を経由してAGNDに接続されます。すべての独立したスイッチはアナログ入力に接続されます。したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用され、IN+入力とIN-入力上のアナログ信号を取り込みます。アキュイジション・フェーズが終了して、CNVST入力がローレベルになると、変換フェーズが開始されます。変換フェーズが開始されると、SW+とSW-が開きます。次に、2つのコンデンサ・アレイが入力から切り離されて、REFVND入力に接続されます。そうすると、アキュイジション・フェーズの終わりに取り込まれた、IN+とIN-の間の差動電圧がコンパレータ入力に接続され、コンパレータは平衡しくなくなります。コンデンサ・アレイの各エレメントをREFVNDとREFの間で切り替えることにより、コンパレータ入力を2進数ウェイトの電圧ステップ（ $V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/16384$ ）で変化させます。制御ロジックがこれらのスイッチをトグルして（MSBファースト）、コンパレータを再度平衡させます。

この処理が終了すると、制御ロジックがADC出力コードを発生して、BUSY出力をローレベルにします。

動作モード

AD7952は、ワープ、ノーマル、インパルスという3つの動作モードを提供します。各モードはそれぞれ個別のアプリケーションに適用できます。モードは、入力ピンのWARPとIMPULSE、または設定レジスタを使って選択できます。ピンの詳細は、表6を参照してください。設定レジスタまたはピンを使用したモードの選択については、「ハードウェア設定」と「ソフトウェア設定」を参照してください。設定レジスタを使用する場合は、入力ピンWARPとIMPULSE（ドント・ケア）はハイレベルまたはローレベルに固定します。

ワープ・モード

WARPをハイレベル、IMPULSEをローレベルに設定した場合は、最高速度の変換レート（最大1MSPS）が可能となります。ただし、このモードで仕様規定された精度が保証されるのは、変換と変換の間隔が1ms以内のときのみです。ワープ・モードではADCがSAR変換処理中にバックグラウンドでキャリブレーションを実行するため、変換と次の変換との間隔が1msを超えると（パワーアップ後）最初の変換の結果は無視されます。この間隔が1msを超えて最初の変換にオフセットが加わるので、キャリブレーションがドリフトする可能性があります。このモードを持つAD7952は、高精度と高速サンプル・レートの両方が要求されるアプリケーションに最適です。

ノーマル・モード

WARPとIMPULSEをローレベルに、またはWARPとIMPULSEをハイレベルに設定した場合は、ハイスピード・モード（800kSPS）を使用でき、変換と変換の間の時間制限をすべてなくすることができます。このモードをサポートしている本製品は、高精度と高速サンプル・レートの両方が要求されるデータ・アキュイジション・システムなどの非同期アプリケーションに最適です。

インパルス・モード

WARPをローレベルに、IMPULSEをハイレベルに設定した場合は、最小消費電力モードを使用でき、変換と変換の間の時間に節電を行うことができます。この消費電力モードの最大スループットは670kSPSです。このモードのときはADCが変換処理後にパワーダウンするため、本品はバッテリー駆動のアプリケーションに最適です。

伝達関数

OB/2Cデジタル入力または設定レジスタを使って、ストレート・バイナリと2の補数の2種類から出力コーディングを選択できます。各アナログ入力範囲（VIN）の理論伝達特性とデジタル出力コードについては、図26と表7を参照してください。設定レジスタを使用する場合、OB/2C入力（ドント・ケア）はハイレベルまたはローレベルに接続します。

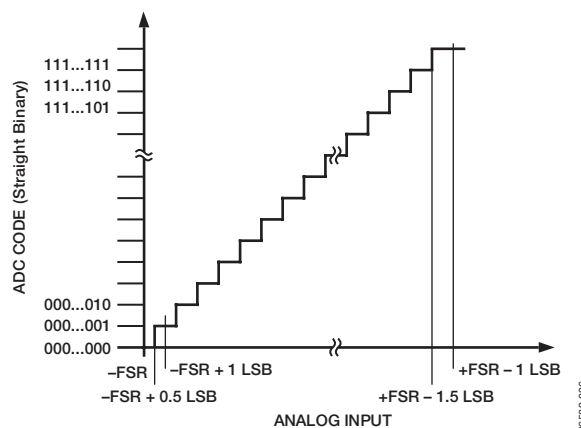


図26. ADCの理論伝送関数

代表的な接続図

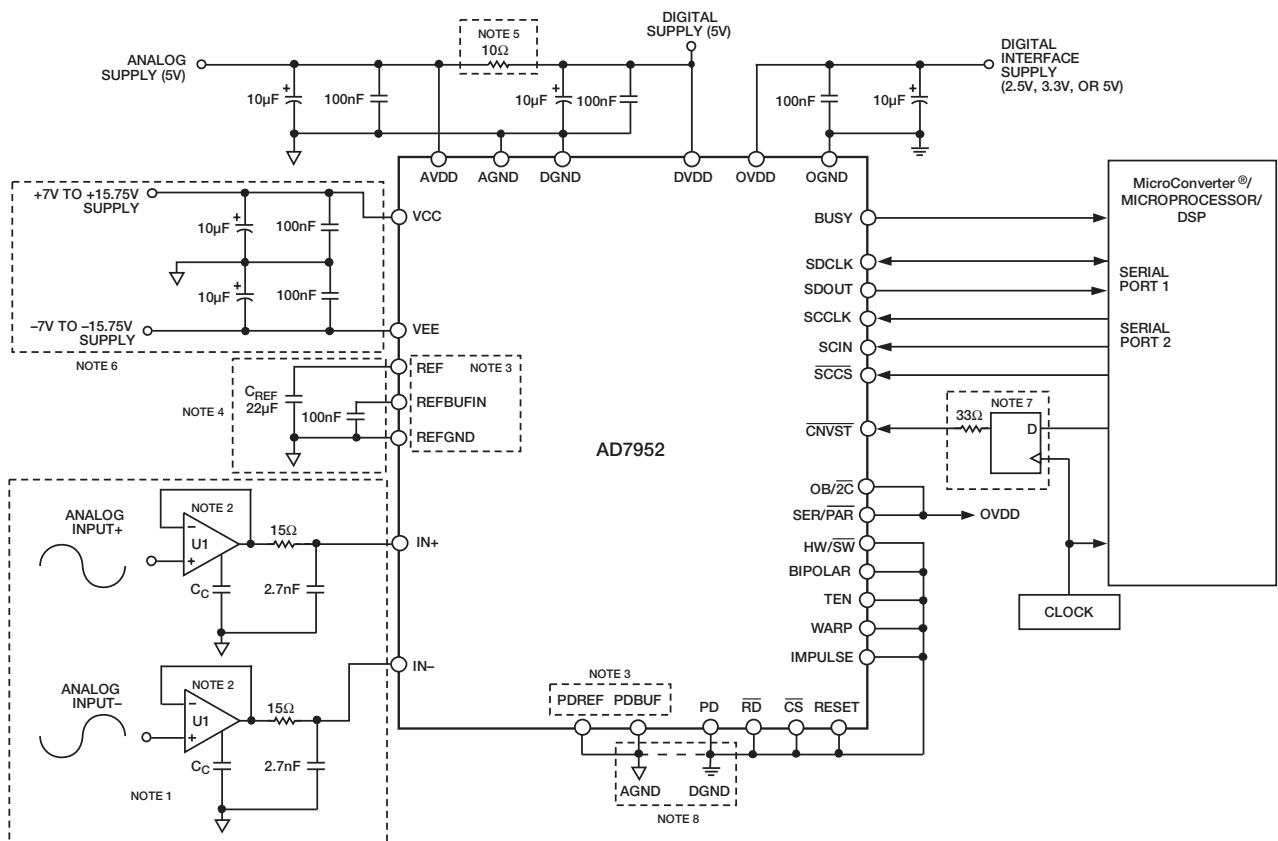
図27は、内部リファレンス電圧、シリアル・データ・インターフェース、シリアル設定ポートを使用するAD7952の代表的な接続図を示しています。この図に示した各回路はオプションであり、この後で説明します。

表7. 出力コードと理論入力電圧

Description	$V_{REF} = 5\text{ V}$				Digital Output Code	
	$V_{IN} = 0\text{ V to }5\text{ V}$ (10 V p-p)	$V_{IN} = 0\text{ V to }10\text{ V}$ (20 V p-p)	$V_{IN} = \pm 5\text{ V}$ (20 V p-p)	$V_{IN} = \pm 10\text{ V}$ (40 V p-p)	Straight Binary	Twos Complement
FSR - 1 LSB	4.999695 V	9.999389 V	+4.999389 V	+9.998789 V	0x3FFF ¹	0x1FFF ¹
FSR - 2 LSB	4.999390 V	9.998779 V	+9.998779 V	+9.997558 V	0x3FFE	0x1FFE
Midscale + 1 LSB	2.500610 V	5.000610 V	+1.228 mV	+2.442 mV	0x2001	0x0001
Midscale	2.5 V	5.000000 V	0 V	0 V	0x2000	0x0000
Midscale - 1 LSB	2.499390 V	4.999389 V	-1.228 mV	-2.442 mV	0x1FFF	0x3FFF
-FSR + 1 LSB	610.4 μV	1.228 mV	-4.999389 V	-9.998779 V	0x0001	0x2001
-FSR	0 V	0 V	-5 V	-10 V	0x0000 ²	0x2000 ²

¹ アナログ入力範囲より上のコードでもあります。（ $V_{IN+} - V_{IN-}$ は $V_{REF} - V_{REFGND}$ より上）

² アナログ入力範囲より下のコードでもあります。（ $V_{IN+} - V_{IN-}$ は $V_{REF} - V_{REFGND}$ より下）



NOTES

1. ANALOG INPUTS ARE DIFFERENTIAL (ANTIPHASE). SEE ANALOG INPUTS SECTION.
2. THE AD8021 IS RECOMMENDED. SEE DRIVER AMPLIFIER CHOICE SECTION.
3. THE CONFIGURATION SHOWN IS USING THE INTERNAL REFERENCE. SEE VOLTAGE REFERENCE INPUT/OUTPUT SECTION.
4. A 22μF CERAMIC CAPACITOR (X5R, 1206 SIZE) IS RECOMMENDED (FOR EXAMPLE, PANASONIC ECJ4YB1A226M). SEE VOLTAGE REFERENCE INPUT/OUTPUT SECTION.
5. OPTIONAL, SEE POWER SUPPLIES SECTION.
6. THE VCC AND VEE SUPPLIES SHOULD BE $VCC = [VIN(MAX) + 2V]$ AND $VEE = [VIN(MIN) - 2V]$ FOR BIPOLAR INPUT RANGES. FOR UNIPOLAR INPUT RANGES, VEE CAN BE 0V. SEE POWER SUPPLIES SECTION.
7. OPTIONAL LOW JITTER CNVST, SEE CONVERSION CONTROL SECTION.
8. A SEPARATE ANALOG AND DIGITAL GROUND PLANE IS RECOMMENDED, CONNECTED TOGETHER DIRECTLY UNDER THE ADC. SEE LAYOUT GUIDELINES SECTION.

図27. シリアル・インターフェースおよびシリアル・プログラマブル・ポートの代表的な接続図

AD7952

アナログ入力

入力範囲の選択

パラレル・モードとシリアル・ハードウェア・モードでは、BIPOLAR（バイポーラ）入力とTEN（10V範囲）を使って入力範囲を選択します。ピンの詳細については表6を、ピンまたは設定レジスタによるモードの選択については「ハードウェア設定」と「ソフトウェア設定」を、それぞれ参照してください。設定レジスタを使用する場合は、BIPOLAR入力とTEN入力（両方ともドント・ケア）はハイレベルまたはローレベルに接続します。

入力構造

図28に、AD7952の入力構造と等価回路を示します。

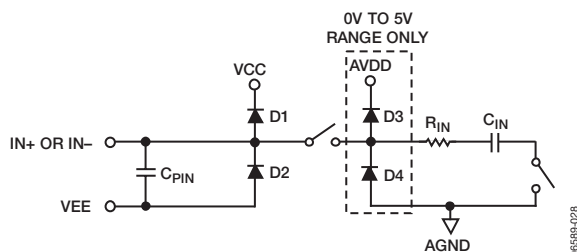


図28. アナログ入力の簡略回路図

4つのダイオードD1～D4は、アナログ入力IN+とIN-のESD保護用です。アナログ入力信号が電源レールより0.3V以上高くないように注意する必要があります。この機能では、これらのダイオードが順方向にバイアスされて、電流が流れるようになります。ダイオードは、最大120mAの順方向バイアス電流を処理できます。たとえば、この状態は入力バッファ（U1）の電源がAVDD、VCC、VEEと異なるときなどに発生します。このような場合、短絡電流制限機能のある入力バッファを使うとデバイスを保護できます。ただし、ほとんどのオペアンプの短絡電流は100mA未満です。D3およびD4は0～5Vの範囲でのみ使用され、高い電圧範囲でスイッチングするアプリケーションでは追加の保護が可能です。

このアナログ入力回路により、IN+とIN-間の差動信号をサンプリングできます。この差動入力の採用により、両入力に共存する小信号が除去されます。図29に代表的なCMRRの周波数特性を示します。

たとえば、IN-を使ってリモート信号グラウンドを検出すると、センサーとローカルADCグラウンド間のグラウンド電位差をなくすることができます。

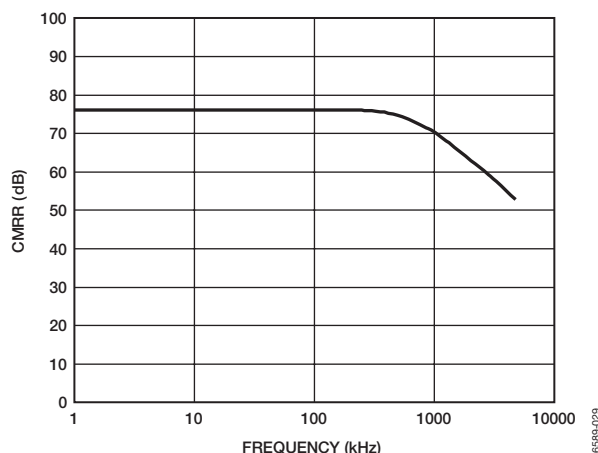


図29. アナログ入力CMRRの周波数特性

AC信号のアクイジション・フェーズでは、アナログ入力IN+とIN-のインピーダンスは、 R_{IN} と C_{IN} の直列接続で構成された回路とコンデンサ C_{PIN} との並列組み合わせとしてモデル化できます。 C_{PIN} はもともとピン容量です。 R_{IN} は 70Ω (typ) で、いくつかの直列抵抗とスイッチのオン抵抗で構成される集中定数素子です。 C_{IN} は主にADCサンプリング・コンデンサとして機能し、選択した入力範囲に依存します。0～5Vの範囲では48pF (typ)、0～10Vおよび±5Vの範囲では24pF (typ)、±10Vの範囲では12pF (typ) となります。スイッチが開かれている変換フェーズでは、入力インピーダンスは C_{PIN} に制限されます。

AD7952の入力インピーダンスはきわめて高いため、低インピーダンス信号源から直接駆動してもゲイン誤差はありません。図27に示すように、アンプ出力とADCアナログ入力との間に外付けの単極RCフィルタを挿入して、AD7952アナログ入力回路によるノイズ・フィルタ処理を強化できます。ただし、ソース・インピーダンスが大きい場合は、AC性能、特に全高調波歪み（THD）に大きな影響を与えます。最大ソース・インピーダンスは、許容可能なTHDの大きさに依存します。THDはソース・インピーダンスと最大入力周波数の関数となっており、それに応じて劣化します。

ドライバ・アンプの選択

AD952の駆動は簡単ですが、ドライバ・アンプは次の条件を満たす必要があります。

- マルチチャンネル、多重化アプリケーションの場合、ドライバ・アンプとAD7952アナログ入力回路はともに、コンデンサ・アレイのフルスケール・ステップに対して14ビット・レベル（0.006%）でセトリングできる必要があります。アンプのデータシートでは、一般に0.1～0.01%でのセトリングが規定されています。14ビット・レベルでのセトリング時間とは大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。オペアンプAD8021は超低ノイズと大きなゲイン帯域幅を兼ね備えているため、最大13のゲインで使用するときでも、このセトリング時間条件を満たします。
- AD7952の過渡ノイズ性能とS/N比を維持するためには、ドライバ・アンプによって生じるノイズをできるだけ低く抑える必要があります。ドライバから発生するノイズは、外付けの単極ローパス・フィルタによって除去されます（図27）。アンプに起因するS/N比の低下は、次式で求められます。

$$SNR_{LOSS} =$$

$$20 \log \left(\frac{V_{NADC}}{\sqrt{V_{NADC}^2 + \frac{\pi}{2} f_{-3dB} (Ne_{N+})^2 + \frac{\pi}{2} f_{-3dB} (Ne_{N-})^2}} \right)$$

ここで、

V_{NADC} はADCのノイズであり、次式で表されます。

$$V_{NADC} = \frac{2V_{INP-P}}{2\sqrt{2}} \cdot \frac{1}{10^{\frac{SNR}{20}}}$$

f_{-3dB} は、入力フィルタのカットオフ周波数です（3.9MHz）。

N は、アンプのノイズ係数です（バッファ構成の場合は1）。

e_{N+} と e_{N-} は、IN+とIN-に接続されたオペアンプの等価入力電圧ノイズ密度（nV/√Hz）です。

この近似式は、アンプ周りに使用される抵抗が小さいときに使用できます。抵抗が大きい場合は、ノイズ寄与も二乗和平方根になります。

- ドライバには、AD7952のTHD性能に見合うTHD性能が必要です。図15に、ドライバが満たすべきTHDの周波数特性を示します。

AD8021はこれらの条件を満たしているため、ほとんどすべてのアプリケーションに適しています。AD8021では優れた直線性を得るために、NPOセラミックやマイカ・タイプのような10pFの外付け補償コンデンサが必要となります。さらに、ゲイン+1の非反転構成を推奨しますが、これを使うと最適なS/N比が得られます。

デュアル・バージョンが必要でゲイン=1を使用する場合は、AD8022も使用できます。高周波（100kHz超）性能を必要としないアプリケーションでは、AD829も使用できます。ゲイン=1のアプリケーションでは、82pFの補償コンデンサが必要です。低周波アプリケーションで低バイアス電流が必要な場合は、AD8610を使用できます。

AD7952は大きな形状の高電圧入力スイッチを使用するため、最大のフルパワー帯域幅でアンプを使用するときには最高の直線性能が得られます。アンプにADCの広いダイナミック・レンジを使用させると、直線性誤差は大きくなります。高い分解能を必要とするアプリケーションの場合は、AD7952を駆動するユニティ・フォロワの前にゲインを持つアンプを追加する必要があります。推奨のオペアンプについては、表8を参照してください。

表8. 推奨ドライバ・アンプ

Amplifier	Typical Application
AD829	±15 V supplies, very low noise, low frequency
AD8021	±12 V supplies, very low noise, high frequency
AD8022	±12 V supplies, very low noise, high frequency, dual
ADA4922-1	±12 V supplies, low noise, high frequency, single-ended-to-differential driver
AD8610/ AD8620	±13 V supplies, low bias current, low frequency, single/dual

シングルエンド／差動変換ドライバ

シングルエンド・ソースの場合、ADA4922-1のようなシングルエンド／差動変換ドライバを使うと、AD7952の差動駆動が可能になります。R=15ΩとC=2.7nFを使用する単極フィルタでは、3.9MHzのコーナー周波数が得られます。

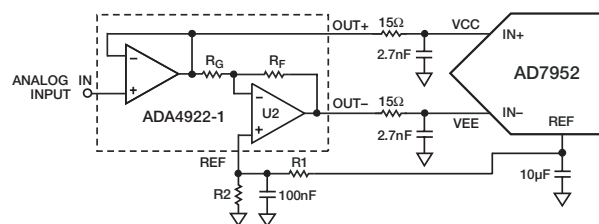


図30. ADA4922-1を使用したシングルエンド／差動変換ドライバ

5Vと10Vのユニポーラ入力範囲の場合は、内部（または外部）リファレンス電圧源を使ってU2をレベル・シフトし、入力スパンを調整します。外付けのリファレンス電圧を使用する場合は、R1/R2の値を小さくして抵抗のジョンソン・ノイズ（ $1.29E-10 \times \sqrt{R}$ ）を減少させます。±5Vと±10Vのバイポーラ入力範囲の場合は、同相電圧が0Vとなるためリファレンス電圧の接続は不要です。R1/R2の差動入力範囲については、表9を参照してください。

表9. R1/R2構成

Input Range (V)	R1 (Ω)	R2 (Ω)	Common-Mode Voltage (V)
5	2.5 k	2.5 k	2.5
10	2.5 k	Open	5
±5, ±10		100	0

この回路は、表8の推奨低ノイズ・アンプを使ってディスクリットで構成することもできます。コンバータのS/N比を維持するときは、抵抗 R_F および R_G を小さく抑える必要があります。

AD7952

リファレンス電圧入出力

AD7952では、温度ドリフトが非常に小さい内部リファレンス電圧、外部リファレンス電圧、または外付けバッファ付きリファレンス電圧を選択できます。

AD7952の内部リファレンス電圧の性能は非常に優れているため、ほとんどすべてのアプリケーションで使用できます。ただし、直線性性能は外部リファレンス電圧でのみ保証されます。

内部リファレンス電圧 (REF=5V) (PDREF=ローレベル、PDBUF=ローレベル)

内部リファレンス電圧を使用する場合は、PDREF入力とPDBUF入力をローレベルにします。これによって内蔵のバンド・ギャップ・リファレンス電圧、バッファ、およびTEMPセンサが有効となり、REFピン上に5.00Vのリファレンス電圧が出力されます。

内部リファレンス電圧は、 $5.000\text{V} \pm 35\text{mV}$ に温度補償されています。リファレンス電圧は、ドリフトが $3\text{ppm}/^\circ\text{C}$ (typ)に調整されています。このドリフト特性 (typ) を図19に示します。

外部2.5Vリファレンス電圧と内部バッファ (REF=5V) (PDREF=ハイレベル、PBBUF=ローレベル)

内部バッファ付きの外部リファレンス電圧を使用するときは、PDREFをハイレベル、PDBUFをローレベルにする必要があります。これにより、内部リファレンス電圧がパワーダウンされ、REFBUFINに2.5Vリファレンス電圧が入力されて、REFピン上に5Vが出力されます。内部リファレンス電圧バッファは、一般にマルチコンバータ・アプリケーションで必要となります。

外部5Vリファレンス電圧 (PDREF=ハイレベル、PRBUF=ハイレベル)

外部リファレンス電圧を直接REFピン上で使うときは、PDREFとPDBUFは両方ともハイレベルにする必要があります。PDREFとPDBUFは、それぞれ内部リファレンス電圧と内部リファレンス電圧バッファをパワーダウンします。ドリフト性能を高めるために、ADR445またはADR435などの外部リファレンス電圧の使用を推奨します。

リファレンス電圧のデカップリング

内部リファレンス電圧と外部リファレンス電圧のいずれを使用しても、AD7952のリファレンス電圧入力 (REF) には動的入力インピーダンスがあります。したがって、REF入力とREFGND入力との間に効率的なデカップリングを行い、低インピーダンス信号源を使用して駆動する必要があります。デカップリングは使用するリファレンス電圧によって異なりますが、通常は、寄生インダクタンスを最小に抑えた、REFとREFGNDに接続された低ESRコンデンサから構成されます。内部リファレンス電圧を使用する場合や、外部リファレンス電圧 (ADR445/ADR435) を使用する場合は、 $22\mu\text{F}$ (X5R、1206サイズ) のセラミック・チップ・コンデンサ (または $47\mu\text{F}$ のタンタル・コンデンサ) が適しています。

AD7952の性能には、リファレンス電圧デカップリングの配置も重要です。デカップリング・コンデンサは、ADCと同じ側に太いPCボード・パターンでREFピンに接続する必要があります。また、REFGNDを最短距離でリファレンス電圧のデカップリング・コンデンサに接続し、複数のビアを使ってアナログ・グラウンド・プレーンに接続します。

複数のAD7952デバイスまたは他のPulSARデバイスを使用するアプリケーションでは、外付けの2.5Vリファレンス電圧のバッファリングに内部リファレンス電圧バッファを使用することが推奨されます。

リファレンス電圧の温度係数 (TC) は、フルスケールに直接影響を与えます。したがって、フルスケール精度が重要となるアプリケーションでは、TCに注意する必要があります。たとえば、温度係数 $\pm 60\text{ppm}/^\circ\text{C}$ のリファレンス電圧では、フルスケール精度が $\pm 1\text{LSB}/^\circ\text{C}$ 変化します。

温度センサー

内部リファレンス電圧をイネーブルすると (PDREF=PDBUF=ローレベル)、内蔵温度センサー出力 (TEMP) がイネーブルされ、AD7952の温度を測定できるようになります。温度範囲の全域でキャリブレーション精度を高めるため、TEMPピンの出力をアナログ・スイッチ (ADG779など) の入力の1つに入力し、ADC自体をその温度の測定に使用します。この構成を図31に示します。

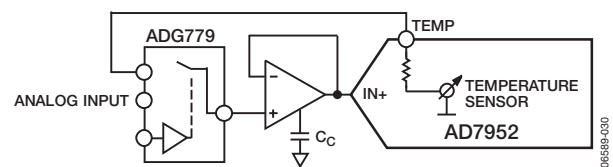


図31. 温度センサーの使用

電源

AD7952は次の5本の電源ピンを使用します。

- AVDD：5Vアナログ・コア電源
- VCC：アナログ高電圧正側電源
- VEE：高電圧負電源
- DVDD：5Vデジタル・コア電源
- OVDD：デジタル入出力インターフェース電源

コア電源

AVDDおよびDVDDは、それぞれAD7952のアナログ・コア電源とデジタル・コア電源です。十分なデカップリングを行うために、これらの各電源に最小 $10\mu\text{F}$ のコンデンサと 100nF のコンデンサを使用します。 100nF コンデンサは、できる限りAD7952の近くに配置します。必要な電源数を減らすために、DVDDはアナログ電源から単純なRCフィルタを通して供給することもできます (図27を参照)。

高電圧電源

高電圧のバイポーラ電源VCC、VEEは、電圧を最大入力 V_{IN} より2V以上大きくする必要があります。たとえば、10Vのバイポーラ範囲を使用する場合、電源電圧は最小 $\pm 12\text{V}$ にします。これらの各電源では、それぞれ $10\mu\text{F}$ 以上のコンデンサと 100nF 以上のコンデンサを使って適正なデカップリングを行う必要があります。ユニポーラ動作の場合、VEE電源をグラウンドに接続すると、THD性能がいくらか低下します。

デジタル出力電源

OVDDはデジタル出力を供給し、2.3~5.25V間で機能するロジックとの直接インターフェースが可能です。OVDDは、システム・インターフェースと同じレベルに設定する必要があります。また、最小 $10\mu\text{F}$ のコンデンサと 100nF のコンデンサを使って十分にデカップリングを行う必要があります。 100nF コンデンサは、可能な限りAD7952の近くに配置してください。

電源シーケンス

AD7952には電源シーケンスが不要です。また、図32に示すように、AD7952は広い周波数範囲にわたってAVDDの電源変動の影響をほとんど受けません。

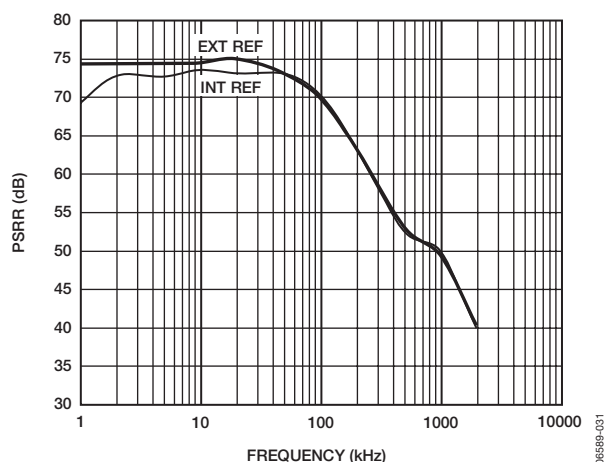


図32. AVDD PSRRの周波数特性

スループット 対 消費電力

インパルス・モードでは、AD7952は各変換フェーズが終わると自動的に消費電力を減少させます。アキュイジション・フェーズでは動作電流が非常に小さくなるため、変換速度を下げると大幅な節電が可能になります（図33）。このため、AD7952は消費電力のきわめて低いバッテリー駆動のアプリケーションに最適です。

アキュイジション・フェーズでも、デジタル・インターフェースはアクティブです。動作デジタル電源電流をさらに削減させるためには、デジタル入力を電源レール（つまり、OVDDとOGND）の近くで駆動してください。

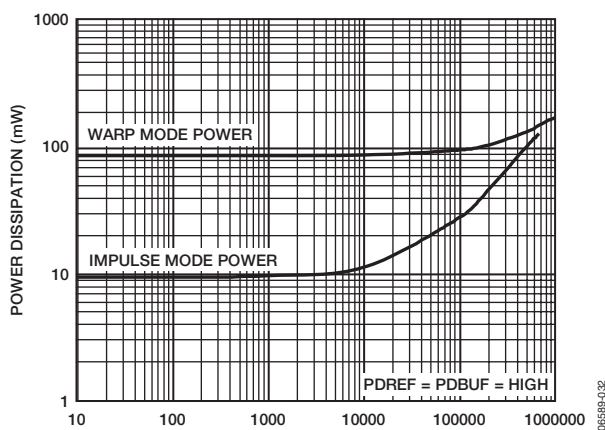


図33. サンプル・レート 対 消費電力

パワーダウン

PDをハイレベルに設定するとAD7952がパワーダウンされ、電源電流がその最小値にまで削減されます（図23を参照）。ADCがパワーダウンされると、電流変換（実行中の場合）が終了し、デジタル・バスはアクティブのままとなります。デジタル電源電流をさらに減少させるときは、入力をOVDDまたはOGNDに駆動してください。

パワーダウンは設定レジスタで設定することもできます。詳細は「ソフトウェア設定」を参照してください。設定レジスタを使用する場合は、PD入力（ドント・ケア）はハイレベルまたはローレベルに接続します。

変換制御

AD7952は $\overline{\text{CNVST}}$ 入力によって制御されます。変換の開始に必要なのは、 $\overline{\text{CNVST}}$ の立下がりエッジのみです。図34に、変換プロセスのタイミング図を示します。変換が開始されると、変換が完了するまでは、たとえパワーダウン入力（PD）でも再起動したりアボートしたりできません。 $\overline{\text{CNVST}}$ 信号は、CS信号やRD信号とは無関係に動作します。

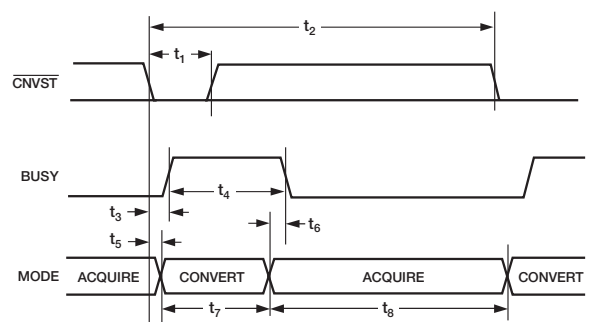


図34. 基本的な変換タイミング

$\overline{\text{CNVST}}$ はデジタル信号ですが、高速できれいなエッジとレベルになるように、またオーバーシュート／アンダーシュートやリンギングが最小になるように設計してください。

$\overline{\text{CNVST}}$ のパターンはグラウンドでシールドし、このラインを駆動する部品の出力側の近くに小さな値（たとえば 50Ω ）の直列終端抵抗を接続してください。

S/N比が重要なアプリケーションでは、 $\overline{\text{CNVST}}$ 信号のジッタをかなり小さくする必要があります。そのためには、 $\overline{\text{CNVST}}$ の発生に専用の発振器を使うか、高周波の低ジッタ・クロックで $\overline{\text{CNVST}}$ を駆動してください（図27を参照）。

インターフェース

デジタル・インターフェース

AD7952には汎用のデジタル・インターフェースがあり、ホスト・システムとのシリアルまたはパラレル・インターフェースとして設定できます。シリアル・インターフェースは、パラレル・データ・バス上で多重化されます。AD7952のデジタル・インターフェースは、2.5V、3.3V、または5Vのロジックもサポートします。ほとんどのアプリケーションでは、OVDD電源ピンはホスト・システム・インターフェースの2.5~5.25Vデジタル電源に接続されます。OB/2C入力ピンを使って2の補数またはストレート・バイナリのコデリングを使用できます。

インターフェースは、2本の信号 $\overline{CS}$ と $\overline{RD}$ により制御されます。これらの信号の少なくとも1つがハイレベルのとき、インターフェース出力は高インピーダンスになります。通常、複数のAD7952を使用するアプリケーションでは、 $\overline{CS}$ によって各AD7952を選択します。AD7952を1個使用するデザインでは $\overline{CS}$ をローレベルに固定します。 $\overline{RD}$ は、一般にデータ・バス上に変換結果を出力するときに使います。

RESET

RESET入力によってAD7952をリセットします。RESETの立上がりエッジで、現在の変換（もしあれば）がアボートされ、データ・バスはスリーステートになります。RESETの立下がりエッジでAD7952がリセットされ、データ・バスと設定レジスタがクリアされます。RESETのタイミングの詳細については、図35を参照してください。

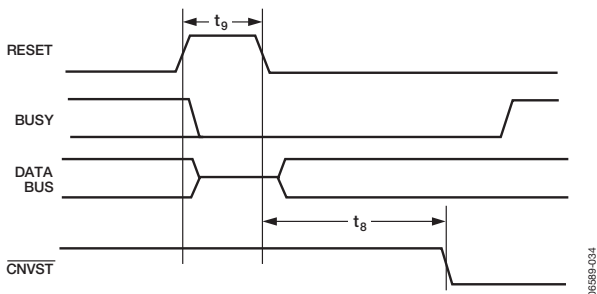


図35. RESETのタイミング

パラレル・インターフェース

AD7952は、 $\overline{SER}/\overline{PAR}$ がローレベルのときにパラレル・インターフェースを使用するように設定します。

マスター・パラレル・インターフェース

$\overline{CS}$ と $\overline{RD}$ をローレベルに接続すると、データを連続的に読み出すことができ、マイクロプロセッサとの接続本数を最小限に抑えることができます。しかし、このモードでは、データ・バスが常に駆動されているため、デバイスがRESET状態に維持されない限り共有バス・アプリケーションでは使用できません。このモードのタイミングの詳細を図36に示します。

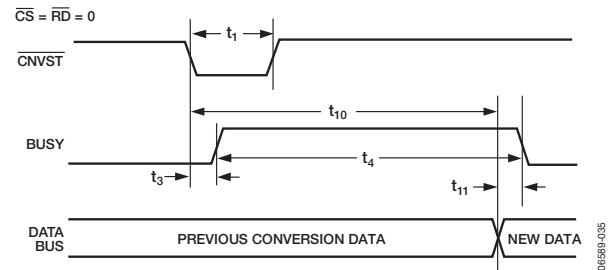


図36. 読出し用のマスター・パラレル・データ・タイミング（連続読出し）

スレーブ・パラレル・インターフェース

スレーブ・パラレル読出しモードでは、各変換の後（つまり次のアクイジション・フェーズ中）または次の変換中にデータの読出しができます（それぞれ図37と図38を参照）。変換中のデータの読出しは、変換フェーズの前半に行うことを推奨します。これによって、デジタル・インターフェース上の電圧変化から最もクリティカルなアナログ変換回路へのノイズ混入を防止できます。

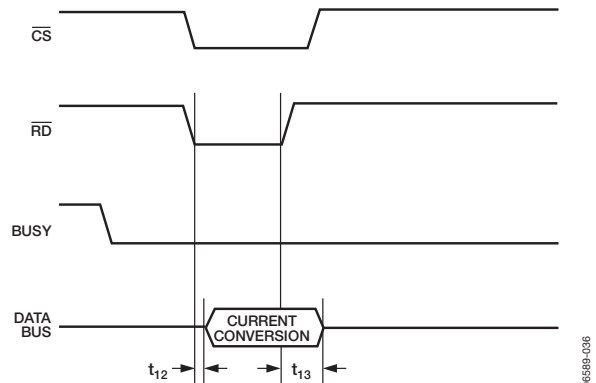


図37. 読出し用のスレーブ・パラレル・データ・タイミング（変換後の読出し）

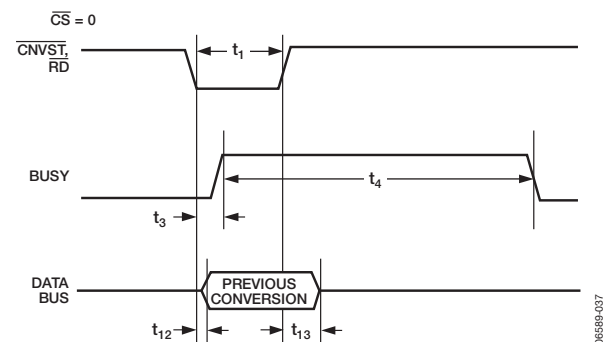


図38. 読出し用のスレーブ・パラレル・データ・タイミング（変換中の読出し）

8ビット・インターフェース（マスターまたはスレーブ）
 BYTESWAPピンを使うと、8ビット・バスに対する外付け部品不要なインターフェースが可能になります。図39に示すように、BYTESWAPがローレベルのとき、LSBバイトがD[7:0]に、MSBがD[13:8]に、それぞれ出力されます。BYTESWAPがハイレベルのとき、LSBバイトとMSBバイトは入れ替えられ、LSBがD[13:8]に、MSBがD[7:0]に、それぞれ出力されます。BYTESWAPをアドレス・ラインに接続すると、14ビットのデータをD[13:8]またはD[7:0]から2バイト単位で読み出すことができます。このインターフェースは、マスター・パラレルとスレーブ・パラレル両方の読出しモードで使用できます。

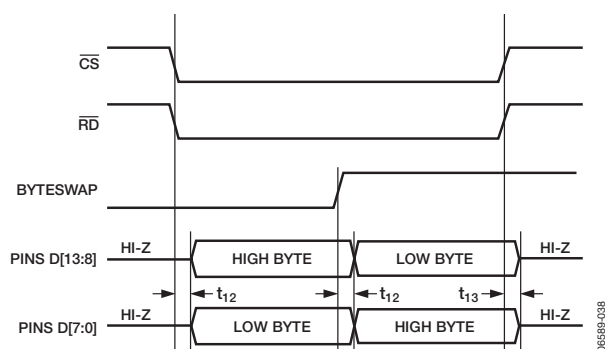


図39. 8ビットおよび16ビットパラレル・インターフェース

シリアル・インターフェース

AD7952は、データ・ピンD[13:0]で多重化されるシリアル・インターフェース（SPI互換）を持っています。SER/PAR=ハイレベルのとき、シリアル・インターフェースを使用するようにAD7952を設定できます。

データ・インターフェース

AD7952は、14ビットのデータをMSBファーストでSDOUTピンに出力します。このデータは、SDCLKピン上の14個のクロック・パルスに同期化されます。出力データは、データ・クロックの立上がりエッジと立下がりエッジの両方で有効です。

シリアル設定インターフェース

シリアル設定ピンもデータ・ピンD[13:10]でマルチプレクスされるため、シリアル・モードではシリアル設定レジスタでのみAD7952を設定できます。詳細は、「ハードウェア設定」「ソフトウェア設定」の各項を参照してください。

マスター・シリアル・インターフェース

D[8:0]で多重化され、マスター・シリアル・インターフェースに使用されるピンは、DIVSCLK[0]、DIVSCLK[1]、EXT/INT、INVSCLK、RDC、SDOUT、SDCLK、SYNCです。

内部クロック（SER/PAR=ハイレベル、EXT/INT=ローレベル）

EXT/INTピンをローレベルに維持すると、AD7952はシリアル・データ・クロックSDCLKを内部で発生し外部に供給する設定になります。また、SYNC信号も発生し、シリアル・データが有効になるタイミングをホストに知らせます。SDCLKとSYNC信号は、必要に応じてINVSCLKとINVSYNCをそれぞれ使用して反転できます。入力RDCに応じて、各変換の後または次の変換中にデータを読み出すことができます。図40と図41に、この2つのモードの詳しいタイミング図を示します。

変換中の読出し（RDC=ハイレベル）

RDCをハイレベルに設定すると、変換モード中のマスタ読出し（前の変換結果）が可能となります。一般に、AD7952は高速スループットで使用されるため、この読出しモードが最適なシリアル・モードです。このモードでは、シリアル・クロックとデータが適切なタイミングでトグルするため、デジタル動作からクリティカルな変換判定へのノイズ混入を最小限に抑えられます。このモードでは、LSBのセトリグに時間がかかり、SDCLKはSAR変換サイクルから得られるため、SDCLK周期が変化します。また、このモードでは2種類の周期を持つ不連続なSDCLKが発生され、ホストはSPIインターフェースを使用します。

変換後の読出し（RDC=ローレベル、DIVSCLK[1:0]=[0~3]）

RDCをローレベルに設定すると、変換終了後の読出しモードが可能となります。この読出しモードでは、他のシリアル・モードとは異なり、BUSY信号は変換終了後すぐにローレベルに戻るのではなく、14ビットのデータがパルス出力されてからローレベルに戻るため、BUSYの幅が長くなります（BUSYのタイミング仕様については表4を参照）。SDCLKの周期とSDOUTのデータレートは入力DIVSCLK[1:0]によって制御されるため、このモードでは最大スループットは実現できません。このモードでも不連続なSDCLKが発生されますが、固定の周期と、SPIとシerialの両ポートに対応したホストを使用することもできます。

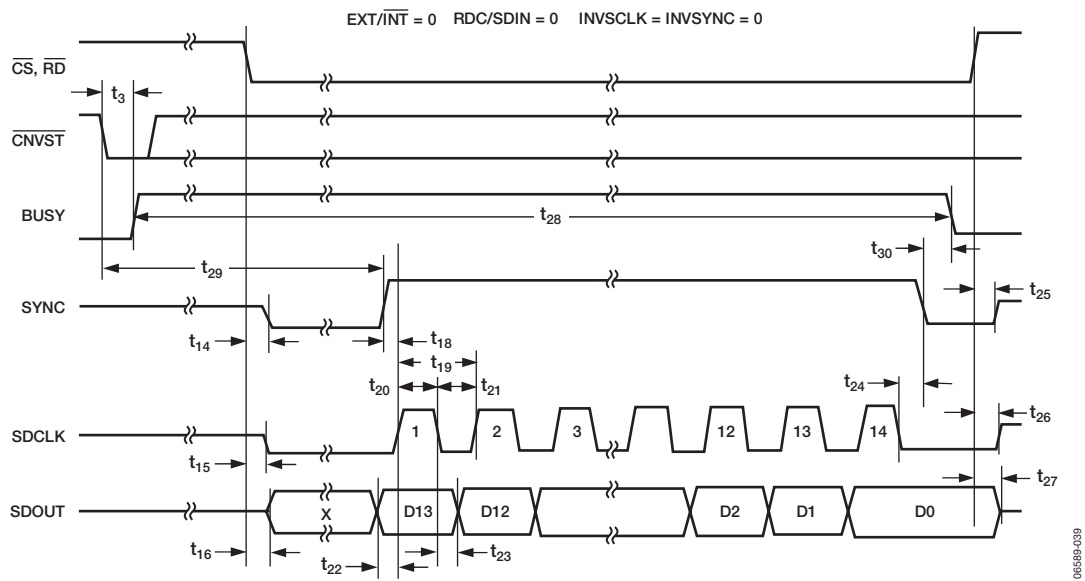


図40. 読出し用のマスタ・シリアル・データ・タイミング（変換後の読出し）

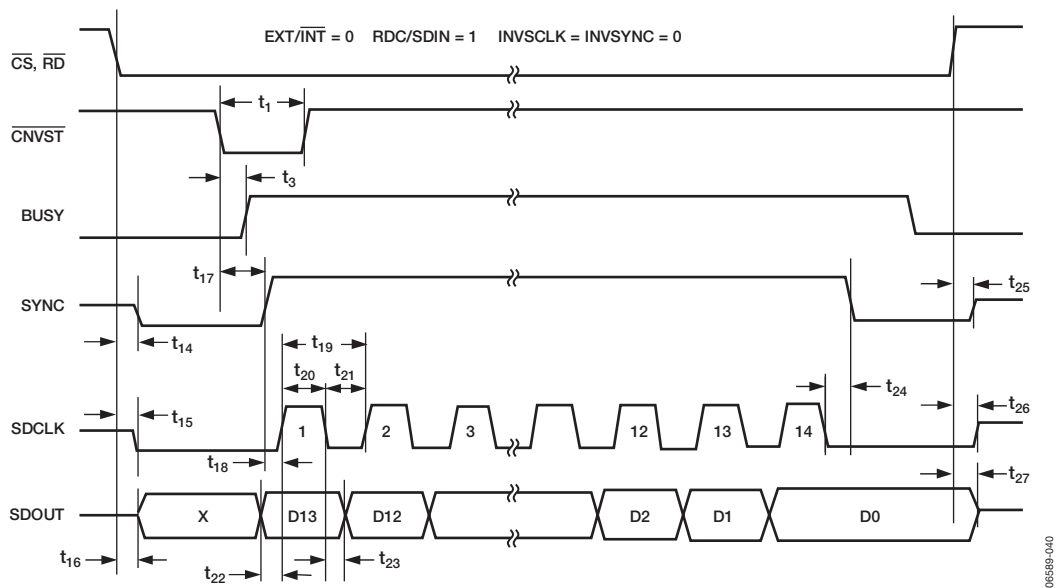


図41. 読出し用のマスタ・シリアル・データ・タイミング（変換中での前の変換の読出し）

スレーブ・シリアル・インターフェース

D[19:2]が多重化され、スレーブ・シリアル・インターフェースに使用されるピンは、 $\overline{\text{EXT/INT}}$ 、 $\overline{\text{INVSCLK}}$ 、SDIN、SDOUT、SDCLK、RDERRORです。

外部クロック ($\overline{\text{SER/PAR}}$ =ハイレベル、 $\overline{\text{EXT/INT}}$ =ハイレベル)

$\overline{\text{EXT/INT}}$ ピンをハイレベルに設定した場合、AD7952は外部シリアル・データ・クロックをSDCLKピンで入力できます。このモードでは、いくつかの方法を使ってデータを読み出せます。外部シリアル・クロックはCSによりゲーティングされます。 $\overline{\text{CS}}$ とRDが両方ともローレベルのとき、各変換の後または次の変換中にデータの読出しができます。クロックは、非アクティブ時に、ノーマル・ハイレベルまたはノーマル・ローレベルにできます。図43と図44に、この読出しの詳しいタイミング図を示します。

AD7952がビット判定を行っているときに、デジタル入出力ピンで電圧変化が発生しないようにします。そうしないと、変換結果が劣化することがあります。これは、変換フェーズの最後の450ns間で特に重要です。この期間で、変換フェーズの前半で行われたビット判定の誤りを補正できる誤差補正回路を使用するためです。このため、入力する外部クロックとしては、BUSYがローレベルのときのみ変化し、さらにBUSYがハイレベルである最後の450nsの間変化しない不連続クロックを推奨します。

変換後の外部不連続クロックによるデータ読出し

このモードでは最大スループットを実現できませんが、これはシリアル・スレーブ・モードでは最適なモードです。図43に、この方法の詳細なタイミング図を示します。BUSYがローレベルに戻って変換の完了が表示されると、この変換結果は、 $\overline{\text{CS}}$ とRDがともにローレベルのとき読み出すことができます。データはMSBファーストで、14個のクロック・パルスでシフト出力され、SDCLKの周波数に応じて、クロックの立上がり／立下がりエッジの両方で有効となります。

この方法の1つの利点は、変換処理中にデジタル・インターフェース上で電圧遷移が発生しないため、変換性能の低下がないことです。もう1つの利点は、低速デジタル・ホスト・インターフェースと最高速のシリアル読出しの両方に対応した、最大40MHzの任意の速度でデータを読み出せることです。

デジチェーン機能

さらに、このモードのときは、シリアル・データ入力ピン(SDIN)を使って複数のコンバータをカスケード接続するデジチェーン機能を使用できます。この機能を使い、絶縁された複数のコンバータを使用するアプリケーションなどで、必要に応じて部品数と接続配線数を削減できます。タイミングの詳細は、図43を参照してください。

2個のデバイスを接続する例を図42に示します。

共通の $\overline{\text{CNVST}}$ 信号を使用すると、同時サンプリングが可能です。SDIN入力は、SDOUT上でデータをシフト出力する際に使うSDCLKクロックのエッジとは反対側のエッジ($\overline{\text{INVSCLK}}$ =ローレベルのときはSDCLKの立下がりエッジ)でラッチされます。このため、次のSDCLKサイクルで、上流側コンバータのMSBは下流側コンバータのLSBの直後に続きます。このモードでは、SDINからSDCLKまでのセットアップ時間 t_{33} が仕様規定の最小時間より短い40MHzのSDCLKを使用することはできません。(同時サンプリングを行うときは、すべてのコンバータでSDCLKからSDOUTまでの遅延時間 t_{32} が同じになります。)適正な動作を保証するためには、SDINをラッチするためのSDCLKエッジ(SDCLKの1/2周期)が必要で

$$t_{1/2\text{SDCLK}} = t_{32} + t_{33}$$

あるいは、SDCLK最大周波数が必要となります。

$$f_{\text{SDCLK}} = \frac{1}{2(t_{32} + t_{33})}$$

デジチェーン機能を使用しない場合は、SDIN入力を必ずハイレベルまたはローレベルに固定してください。

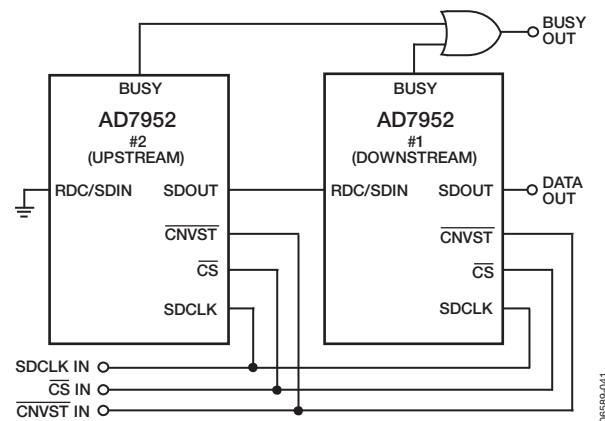


図42. デジチェーン接続した2個のAD7952デバイス

前の変換中の外部クロックによるデータ読出し

図44に、この方法の詳細なタイミング図を示します。変換中に、CSとRDの両方がローレベルのとき、前の変換結果を読み出すことができます。データはMSBファーストで、14個のクロック・パルスでシフト出力され、クロックの立上がり／立下がり両方のエッジで有効となります。現在の変換が完了する前に、この14ビットを読み出す必要があります。そうしないと、RDERRORにハイレベル・パルスが出力されます。これは、不完全なデータ読出しを防止するために、ホスト・インターフェースの割込みに使用できます。

デジタル動作による性能低下を抑えるには、40MHz以上の高速な不連続クロックを使用して、SAR変換フェーズの前半で全ビットを読み出せるようにします。

このモードではデジチェーン機能を使用しません。SAR変換フェーズの後半でデジタル動作が発生すると、性能が低下する可能性があります。

変換後／変換中の外部クロックによるデータ読出し

変換後にデータ読出しを開始し、次の変換が開始された後に最後の一連のビットを読み出すこともできます。この方法によりフルスループットと低速のSDCLK周波数の使用が可能となります。ビット判定の誤りを最小限に抑えられる場合は、不連続なSDCLKの使用を推奨します。各モードでは、20MHz（ワープ・モード）、15MHz（ノーマル・モード）、13MHz（インパルス・モード）のような低速のSDCLKを使用できます。

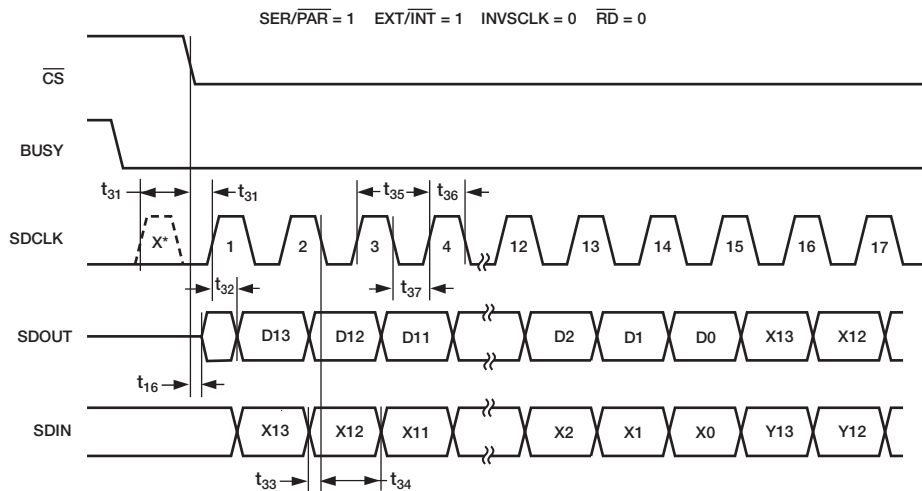


図43. 読出し用のスレーブ・シリアル・データ・タイミング（変換後の読出し）

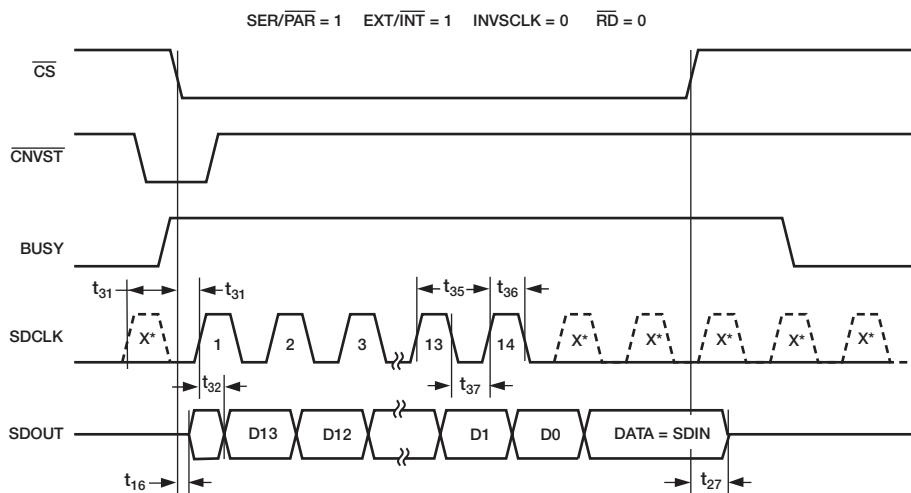


図44. 読出し用のスレーブ・シリアル・データ・タイミング（変換中での前の変換の読出し）

ハードウェア設定

パラレル・モード ($\overline{\text{SER/PAR}}$ =ローレベル) やシリアル・ハードウェア・モード ($\overline{\text{SER/PAR}}$ =ハイレベル、 HW/SW =ハイレベル) の場合は、専用のハードウェア・ピン WARP 、 IMPULSE 、 BIPOLAR 、 TEN 、 OB/2C 、 PD を使って AD7952 をいつでも設定できます。モードの選択や入力範囲の設定は、変換前か変換中に行うことができます。 RESET 入力と同様、 ADC はセトリングのために最小1アクイジション時間を必要とします (図45を参照)。ピンの説明は、表6を参照してください。これらの入力は、ソフトウェア設定モードの使用時に高インピーダンスとなるため注意してください。

ソフトウェア設定

$\text{D}[13:10]$ で多重化され、ソフトウェア設定に使用されるピンは、 HW/SW 、 SCIN 、 SCCLK 、 SCCS です。 AD7952 は専用のシリアル設定ポート (SCP) が有効のときに、シリアル設定レジスタを使って変換モード、入力範囲の選択、出力コーディング、およびパワーダウンの設定を行うことができます。設定レジスタの各ビットの詳細は、表10を参照してください。SCPは、シリアル・ソフトウェア・モード ($\overline{\text{SER/PAR}}$ =ハイレベル、 HW/SW =ローレベル) でのみ使用できます。これは、ポートがパラレル・インターフェースで多重化されるからです。

SCPにアクセスする場合は、ポートのチップ・セレクト ($\overline{\text{SCCS}}$) がアサートされ、 SCCLK に同期した SCIN の書込みが行われます。 SCCLK は、 SDCLK と同様、 INVSCCLK の状態に応じてエッジ・センシティブとなります。タイミングの詳細については、図46を参照してください。 SCIN は、 MSB ファーストで設定レジスタにクロック入力されます。設定レジスタは、ビット8の START ビットで開始される内部レジスタです。レジスタが9番目の SPPCLK エッジによって更新されると、新しい設定の使用が可能となります。タイミング図に示したように、 SCCLK の9番目のエッジからは最小1アクイジション時間が必要となります。ビット $[1:0]$ は予約済みビットです。SCPの更新中は、このビットへの書込みは行われません。

SCPには最大40MHzでいつでも書込みが可能ですが、図46に示すように、 AD7952 がビジー状態 (変換中) 以外での書込みを推奨します。このモードでは、SCPへのアクセスに要する時間が最小 ($t_{31} + 9 \times 1/\text{SCCLK} + t_8$) のため、1MSPSを完全に実現することはできません。フルスループットが必要な場合は、変換中にSCPへの書込みを行うことができます。ただし、変換の最後の450ns間 (BUSY =ハイレベル) にSCPへの書込みを行うことは推奨しません。これを行うと性能が低下する可能性があります。また、変換モード後および変換モード中のシ

リアル・マスタ/シリアル・スレーブ読出しで、 SPC へのアクセスが可能となります。

パワーアップ時には、設定レジスタは未定義となっています。 RESET 入力によって設定レジスタがクリアされ (全ビット=0に設定)、0~5V入力、通常モード、2の補数出力の設定となります。

表10. 設定レジスタの説明

ビット	記号	説明
8	START	STARTビット。SCPが有効で (SCCS =ローレベル)、STARTがハイレベルのときは、 SCCLK の最初の立上がりエッジによって (INVSCCLK =ローレベル) レジスタに新しい設定がロードされます。
7	BIPOLAR	入力範囲の選択。下記に従い、ビット6の TEN と組み合わせで使用します。 入力範囲 (V) BIPOLAR TEN 0~5 ローレベル ローレベル 0~10 ローレベル ハイレベル $\pm 5\text{ V}$ ハイレベル ローレベル $\pm 10\text{ V}$ ハイレベル ハイレベル
6	TEN	入力範囲の選択。ビット7の BIPOLAR を参照。
5	PD	パワーダウン PD =ローレベル、通常動作 PD =ハイレベル、 ADC をパワーダウン。パワーダウン中にSCPにアクセスできません。 ADC をパワーアップするには、次の設定で PD をローレベルにします。
4	IMPULSE	モードの選択。下記に従ってビット3の WARP とともに使用します。 モード WARP Impulse ノーマル ローレベル ローレベル インパルス ローレベル ハイレベル ワープ ハイレベル ローレベル ノーマル ハイレベル ハイレベル
3	WARP	モードの選択。ビット4の IMPULSE を参照。
2	OB/2C	出力コーディング OB/2C =ローレベル、2の補数形式の出力を使用します。 OB/2C =ハイレベル、ストレート・バイナリ形式の出力を使用します。
1	RSV	予約済み
0	RSV	予約済み

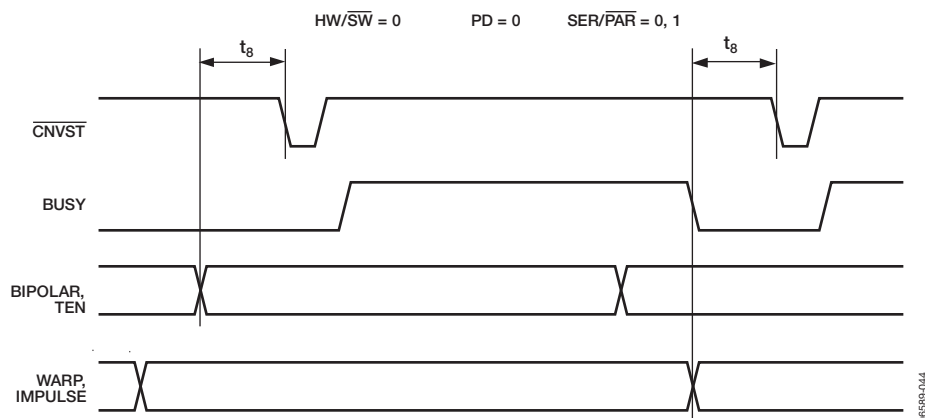


図45. ハードウェア設定のタイミング

AD7952

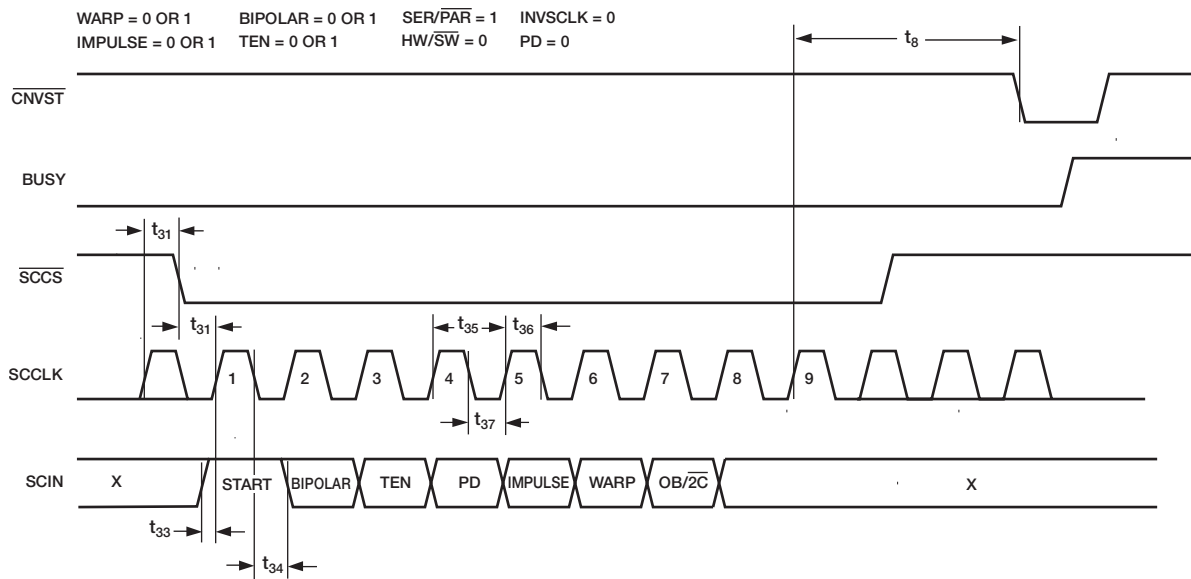


図46. シリアル設定ポートのタイミング

マイクロプロセッサとのインターフェース

AD7952は、マイクロプロセッサをサポートする従来型のDC計測アプリケーションや、デジタル信号プロセッサに接続するAC信号処理アプリケーションに最適です。AD7952は、平行8ビットまたは14ビット幅のインターフェース、汎用シリアル・ポート、またはマイクロコントローラのI/Oポートを使って接続します。さまざまな外付けバッファを使用すると、デジタル・ノイズがADCに混入するのを防止できます。

SPIインターフェース

AD7952は、SPI/QSPIデジタル・ホストやDSP (Blackfin® ADSP-BF53xおよびADSP-218x/ADSP-219xなど) と互換性があります。図47に、SPIを備えたDSPであるADSP-219xとAD7952とのインターフェース図を示します。DSPの低速処理に対応するため、AD7952はスレーブ・デバイスとして動作し、データは変換後に読み出す必要があります。このモードではデジタイゼーション機能も可能です。内部タイマ割込みに応答して変換コマンドを起動できます。

読み出し処理は、DSPの割込みラインを使用する変換終了信号 (BUSYがローレベルに変化) に応答して開始できます。ADSP-219xのシリアル・ペリフェラル・インターフェース (SPI) は、SPIコントロール・レジスタ (SPICLTx) への書き込みにより、マスター・モード (MSTR) = 1、クロック極性ビット (CPOL) = 0、クロック位相ビット (CPHA) = 1、およびSPI割込みイネーブル (TIMOD) = 0に設定されます。

すべてのタイミング条件を満たすために、SPIクロックを17Mb/sに制限します。この速度では、ADC変換結果を1μs以内に読み出すことが可能です。より高速なサンプリング・レートが必要な場合は、平行・インターフェース・モードの1つを使用します。

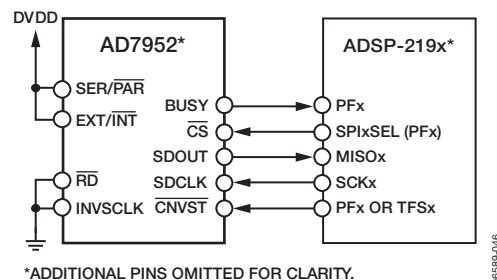


図47. AD7952とSPIフィルタのSPIインターフェース

アプリケーション情報

レイアウトのガイドライン

AD7952は電源ノイズ耐性が非常に優れていますが、グラウンディングのレイアウトについては注意が必要です。分離が容易なグラウンド・プレーンを使用できるようにするため、AD7952を実装するPCボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれをまとめて配置するようにデザインします。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは、1点で接続する必要があります。できればAD7952の真下、あるいは少なくともAD7952にできるだけ近い場所で接続してください。複数のデバイスでAGNDとDGNDの接続が必要となるシステムでAD7952を使用する場合にも、この接続は1か所で行う必要があります。すなわち、AD7952のできるだけ近くでスター結線してください。

チップへのノイズの混入やノイズの拡散を防止し、フィードスルーを減らすには、次のことが必要です。

- デジタル・ラインがデバイスの真下を通らないようにします。
- AD7952の下はアナログ・グラウンド・プレーンとします。
- $\overline{\text{CNVST}}$ やクロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの拡散を防止します。また、これらの信号はアナログ信号パスの近くを通過しないようにします。
- デジタル信号とアナログ信号の交差を回避します。
- ボードの各近接レイヤでのパターンは、互いに直角となるように配置します。これにより、ボードを貫通するノイズ混入の影響を減らせます。

AD7952への電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。AD7952に対する電源インピーダンスを下げるため、また電源スパイクの振幅を小さくするために、十分なデカップリングも大切です。デカップリング用セラミック・コンデンサ100nF (typ) を、各電源ピンAVDD、DVDD、OVDD、VCC、およびVEEの近くに、理想的にはこれらのピンおよび対応するグラウンド・ピンのすぐ隣に配置します。さらに、低ESRの10 μ FコンデンサをADCの近くに配置して、低周波リップルをさらに抑えるようにしてください。

AD7952のDVDD電源は、別の電源にするか、アナログ電源AVDD、またはデジタル・インターフェース電源OVDDから供給できます。システム・デジタル電源のノイズが多い場合や、高速のスイッチング・デジタル信号が存在する場合に、別の電源を使用できないときは、RCフィルタを介してDVDDデジタル電源をアナログ電源AVDDに接続し、システム電源をインターフェース・デジタル電源OVDDとその他のデジタル回路に接続することを推奨します。図27にこの構成例を示します。DVDDにシステム電源を接続する場合は、高周波スパイクをさらに抑えるためにビードを挿入すると有効です。

AD7952には、REFGND、AGND、DGND、OGNDの4種類のグラウンド・ピンがあります。

- リファレンス電圧を検出するREFGNDにはパルス電流が流れるため、リファレンス電圧までのリターンを低インピーダンスにします。
- AGNDはグラウンドであり、大部分の内部ADCアナログ信号がこれを基準に使います。このグラウンドは、最小の抵抗でアナログ・グラウンド・プレーンに接続します。
- DGNDは、構成に応じて、アナログ・グラウンド・プレーンまたはデジタル・グラウンド・プレーンに接続します。
- OGNDはデジタル・システム・グラウンドに接続します。

リファレンス電圧のデカップリングのレイアウトは重要です。寄生インダクタンスを最小限に抑えるために、デカップリング・コンデンサをADCの近くに配置し、短く太いパターンで接続してください。

性能評価

AD7952の推奨レイアウトの概要は、AD7952の評価用ボード (EVAL-AD7952CBZ) の付属資料にも示してあります。評価用ボードのパッケージには、テスト済みの評価用ボード (組立不要)、付属資料、「EVAL-CONTROL BRD3」を介してPCからボードを制御するソフトウェアが同梱されています。

外形寸法

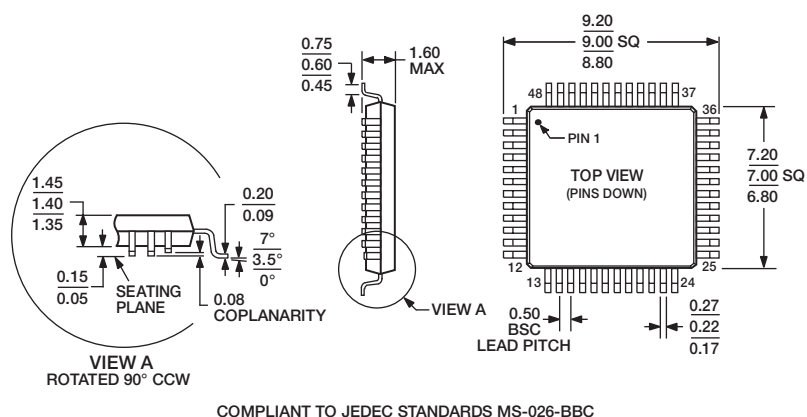


図48. 48ピン薄型クワッド・フラット・パッケージ [LQFP]

(ST-48)

寸法単位：mm

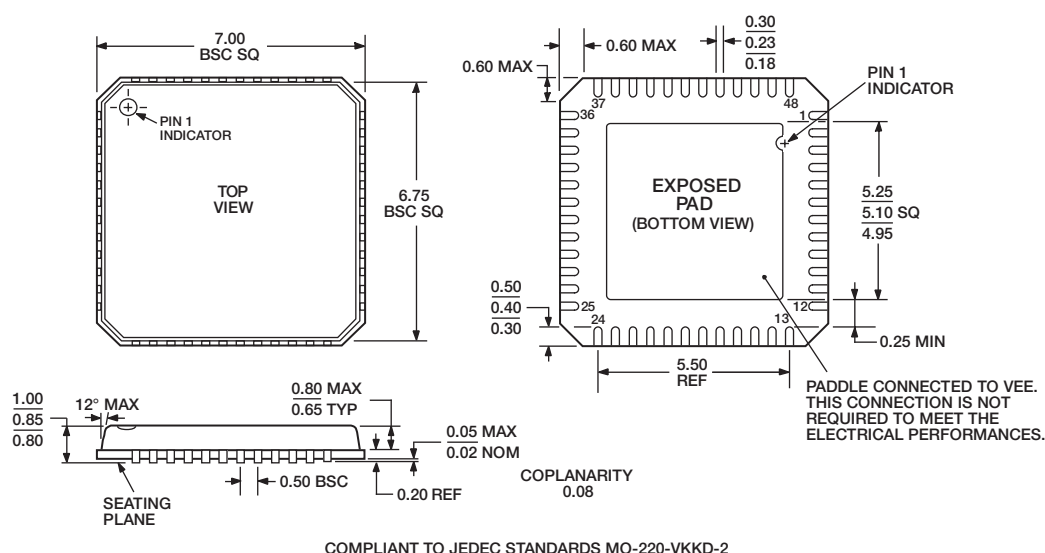


図49. 48ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]

7mm×7mmボディ、極薄クワッド

(CP-48-1)

寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7952BCPZ ¹	-40℃ to +85℃	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-1
AD7952BCPZRL ¹	-40℃ to +85℃	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-1
AD7952BSTZ ¹	-40℃ to +85℃	48-Lead Low Profile Quad Flat Package [LQFP]	ST-48
AD7952BSTZRL ¹	-40℃ to +85℃	48-Lead Low Profile Quad Flat Package [LQFP]	ST-48
EVAL-AD7952CBZ ^{1,2}		Evaluation Board	
EVAL-CONTROL BRD3 ³		Controller Board	

¹ Z=鉛フリー製品² このボードは、評価/デモンストレーション用に、単独の評価用ボードとして、またEVAL-CONTROL BRD3と組み合わせて使用することができます。³ このボードを使用すると、製品番号末尾にCBが付いたアナログ・デバイス製評価用ボード全製品の制御と通信をPCから行うことができます。