

### 特長

- 高速スループット・レート：200kSPS
- AV<sub>DD</sub>仕様：2.7~5.25V
- 低消費電力：
  - 3V電源、200kSPSで最大3.6mW
  - 5V電源、200kSPSで最大7.5mW
- シーケンサ付きの4入力（シングルエンド）
- 広入力帯域幅：
  - 50kHzの入力周波数で最小70dBのS/N比
- 柔軟な電力/シリアル・クロック速度管理
- パイプライン遅延なし
- 高速シリアル・インターフェース
  - SPI™/QSPI™/MICROWIRE™/DSPコンパチブル
- シャットダウン・モード：最大0.5μA
- 16ピンTSSOPパッケージ

### 概要

AD7923は、12ビット、高速、低消費電力、4チャンネルの逐次比較型ADCです。2.7~5.25Vの単電源で動作し、スループット・レートは最大200kSPSになります。AD7923の持つローノイズ、広帯域幅のトラック・アンド・ホールド・アンプは、8MHzを超える入力周波数を処理できます。

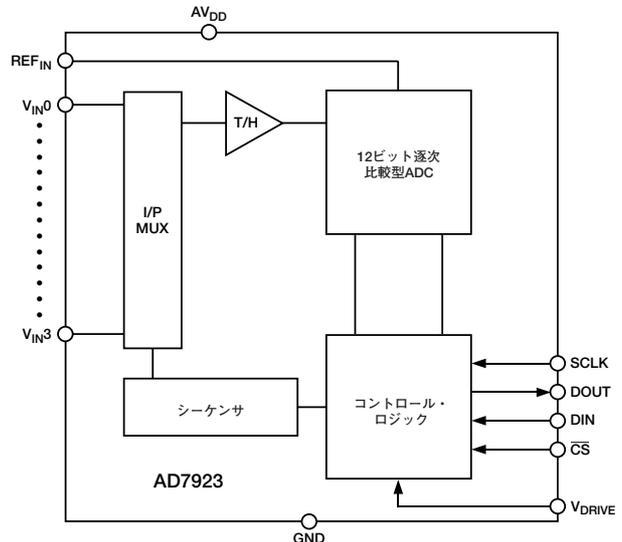
CSとシリアル・クロック信号を使用して変換プロセスとデータ・アクイジションを制御するため、マイクロプロセッサやDSPと容易にインターフェースをとることができます。CSの立ち下がりがエッジで入力信号をサンプリングし、変換もこの時点で開始します。AD7923に関連するパイプライン遅延はありません。

AD7923では、最大スループット・レートで消費電力を非常に低く抑えるために、高度な設計技法を使用しています。最大スループット・レートにおける消費電力は、3V電源で最大1.2mA、5V電源で最大1.5mAです。

AD7923では、コントロール・レジスタの設定でアナログ入力範囲を選択し、0V~REF<sub>IN</sub>または0V~2×REF<sub>IN</sub>にすることができ、ストレート・バイナリまたは2の補数出力コーディングが可能です。AD7923には、チャンネル・シーケンサ付きの4つのシングルエンド・アナログ入力があり、連続的に変換するチャンネルを事前にプログラム選択できます。

AD7923での変換時間は、SCLK周波数によって決定されます。これは、SCLK周波数が変換を制御するマスター・クロックとしても使用されるためです。変換時間は、20MHzのSCLKでわずか800nsになります。

機能ブロック図



### 製品のハイライト

1. 低消費電力で高スループット  
AD7923は、最大200kSPSのスループット・レートを提供します。3V電源での最大スループット・レートで、AD7923の最大消費電力はわずか3.6mWです。
2. チャンネル・シーケンサ付きの4つのシングルエンド入力  
ADCが反復して変換する、チャンネル・シーケンスを選択できます。
3. V<sub>DRIVE</sub>機能による単電源動作  
AD7923は、2.7~5.25Vの単電源で動作します。V<sub>DRIVE</sub>機能によって、AV<sub>DD</sub>とは無関係に、シリアル・インターフェースを3Vまたは5Vのプロセッサ・システムに直接接続できます。
4. 柔軟な電力/シリアル・クロック速度管理  
シリアル・クロックで変換レートが決まるため、シリアル・クロック速度を上げることによって、変換時間を短縮できます。低いスループット・レートで電力効率を最大にするために、さまざまなシャットダウン・モードもあります。フル・シャットダウンでの最大消費電流は0.5μAです。
5. パイプライン遅延なし  
AD7923は、標準的な逐次比較型ADCを備えており、CS入力の立ち下がりで変換を開始し、サンプリングのタイミングを正確に制御します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を暗示的または明示的に許諾するものでもありません。記載の商標および登録商標は、それぞれの企業が所有するものです。  
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

REV. 0

# AD7923 — 仕様

(特に指定のない限り、 $AV_{DD}=V_{DRIVE}=2.7\sim 5.25V$ 、 $REF_{IN}=2.5V$ 、 $f_{SCLK}=20MHz$ 、 $T_A=T_{MIN}\sim T_{MAX}$ )

パラメータ	Bバージョン <sup>1</sup>	単位	テスト条件/備考
<b>ダイナミック性能</b>			$f_{IN}=50kHz$ のサイン波、 $f_{SCLK}=20MHz$
信号対 (ノイズ+歪み) (SINAD) <sup>2</sup>	70	dB (min)	5Vの場合
	69	dB (min)	3Vの場合。一般に70dB
S/N比 (SNR) <sup>2</sup>	70	dB (min)	
全高調波歪み (THD) <sup>2</sup>	-77	dB (max)	5Vの場合。一般に-84dB
	-73	dB (max)	3Vの場合。一般に-77dB
ピーク高調波またはスプリアス・ノイズ (SFDR) <sup>2</sup>	-78	dB (max)	5Vの場合。一般に-86dB
	-76	dB (max)	3Vの場合。一般に-80dB
相互変調歪み (IMD) <sup>2</sup>			$f_a=40.1kHz$ 、 $f_b=41.5kHz$
2次項	-90	dB (typ)	
3次項	-90	dB (typ)	
アパーチャ遅延	10	ns (typ)	
アパーチャ・ジッター	50	ps (typ)	
チャンネル間絶縁 <sup>2</sup>	-85	dB (typ)	$f_{IN}=400kHz$
フル・パワー帯域幅	8.2	MHz (typ)	3dBの場合
	1.6	MHz (typ)	0.1dBの場合
<b>DC精度<sup>2</sup></b>			
分解能	12	ビット	
積分非直線性	$\pm 1$	LSB (max)	
微分非直線性	$-0.9/+1.5$	LSB (max)	12ビットまでノー・ミスコード保証
0V $\sim$ REF <sub>IN</sub> の入力範囲			ストレート・バイナリ出力コーディング
オフセット誤差	$\pm 8$	LSB (max)	一般に $\pm 0.5LSB$
オフセット誤差マッチング	$\pm 0.5$	LSB (max)	
ゲイン誤差	$\pm 1.5$	LSB (max)	
ゲイン誤差マッチング	$\pm 0.5$	LSB (max)	
0V $\sim$ 2 $\times$ REF <sub>IN</sub> の入力範囲			2の補数出力コーディングでREF <sub>IN</sub> についてバイアスされた $-REF_{IN}\sim +REF_{IN}$
正のゲイン誤差	$\pm 1.5$	LSB (max)	
正のゲイン誤差マッチング	$\pm 0.5$	LSB (max)	
ゼロ・コード誤差	$\pm 8$	LSB (max)	一般に $\pm 0.8LSB$
ゼロ・コード誤差マッチング	$\pm 0.5$	LSB (max)	
負のゲイン誤差	$\pm 1$	LSB (max)	
負のゲイン誤差マッチング	$\pm 0.5$	LSB (max)	
<b>アナログ入力</b>			
入力電圧範囲	0 $\sim$ REF <sub>IN</sub> 0 $\sim$ 2 $\times$ REF <sub>IN</sub>	V V	RANGEビットを1に設定 RANGEビットを0に設定、 $AV_{DD}/V_{DRIVE}=4.75\sim 5.25V$
DCリーク電流	$\pm 1$	$\mu A$ (max)	
入力容量	20	pF (typ)	
<b>リファレンス入力</b>			
REF <sub>IN</sub> 入力電圧	2.5	V	仕様性能を得るには $\pm 1\%$
DCリーク電流	$\pm 1$	$\mu A$ (max)	
REF <sub>IN</sub> 入力インピーダンス	36	k $\Omega$ (typ)	$f_{SAMPLE}=200kSPS$
<b>ロジック入力</b>			
ハイレベル入力電圧、 $V_{INH}$	$0.7\times V_{DRIVE}$	V (min)	
ローレベル入力電圧、 $V_{INL}$	$0.3\times V_{DRIVE}$	V (max)	
入力電流、 $I_{IN}$	$\pm 1$	$\mu A$ (max)	一般に10nA、 $V_{IN}=0V$ または $V_{DRIVE}$
入力容量、 $C_{IN}^3$	10	pF (max)	
<b>ロジック出力</b>			
ハイレベル出力電圧、 $V_{OH}$	$V_{DRIVE}-0.2$	V (min)	$I_{SOURCE}=200\mu A$ 、 $AV_{DD}=2.7\sim 5.25V$
ローレベル出力電圧、 $V_{OL}$	0.4	V (max)	$I_{SINK}=200\mu A$
フローティング状態リーク電流	$\pm 1$	$\mu A$ (max)	
フローティング状態出力容量 <sup>3</sup>	10	pF (max)	
出力コーディング	ストレート・バイナリ 2の補数		コーディング・ビットを1に設定 コーディング・ビットを0に設定

パラメータ	Bバージョン <sup>1</sup>	単位	テスト条件/備考
変換レート			
変換時間	800	ns (max)	20MHzのSCLKで16 SCLKサイクル
トラック・アンド・ホールド・アクイジション時間	300	ns (max)	サイン波入力
	300	ns (max)	フルスケール・ステップ入力
スループット・レート	200	kSPS (max)	シリアル・インターフェースのセクションを参照
電源条件			
$AV_{DD}$	2.7/5.25	V (min/max)	
$V_{DRIVE}$	2.7/5.25	V (min/max)	
$I_{DD}^4$			デジタルI/P=0Vまたは $V_{DRIVE}$
変換時	2.7	mA (max)	$AV_{DD}=4.75\sim 5.25V$ , $f_{SCLK}=20MHz$
	2.0	mA (max)	$AV_{DD}=2.7\sim 3.6V$ , $f_{SCLK}=20MHz$
ノーマル・モード (静止時)	600	$\mu A$ (typ)	$AV_{DD}=2.7\sim 5.25V$ , SCLKオンまたはオフ
ノーマル・モード (動作時) $f_{SAMPLE}=200kSPS$	1.5	mA (max)	$AV_{DD}=4.75\sim 5.25V$ , $f_{SCLK}=20MHz$
	1.2	mA (max)	$AV_{DD}=2.7\sim 3.6V$ , $f_{SCLK}=20MHz$
自動シャットダウン・モードを使用 $f_{SAMPLE}=200kSPS$	900	$\mu A$ (typ)	$AV_{DD}=4.75\sim 5.25V$ , $f_{SAMPLE}=200kSPS$
	650	$\mu A$ (typ)	$AV_{DD}=2.7\sim 3.6V$ , $f_{SAMPLE}=200kSPS$
自動シャットダウン (静止時)	0.5	$\mu A$ (max)	SCLKオンまたはオフ [20nA (typ)]
フル・シャットダウン・モード	0.5	$\mu A$ (max)	SCLKオンまたはオフ [20nA (typ)]
消費電力 <sup>4</sup>			
ノーマル・モード (動作時) $f_{SAMPLE}=200kSPS$	7.5	mW (max)	$AV_{DD}=5V$ , $f_{SCLK}=20MHz$
	3.6	mW (max)	$AV_{DD}=3V$ , $f_{SCLK}=20MHz$
自動シャットダウン (静止時)	2.5	$\mu W$ (max)	$AV_{DD}=5V$
	1.5	$\mu W$ (max)	$AV_{DD}=3V$
フル・シャットダウン・モード	2.5	$\mu W$ (max)	$AV_{DD}=5V$
	1.5	$\mu W$ (max)	$AV_{DD}=3V$

注

<sup>1</sup> 温度範囲 (Bバージョン) :  $-40\sim +85^{\circ}C$ <sup>2</sup> 用語集のセクションを参照してください。<sup>3</sup> 適合性を保証するために25°Cでサンプル・テスト済み。<sup>4</sup> 電力とスループット・レートの関係のセクションを参照してください。

仕様は予告なく変更されることがあります。

# AD7923

## タイミング仕様<sup>1</sup> (特に指定のない限り、 $AV_{DD}=2.7\sim 5.25V$ 、 $V_{DRIVE}\leq AV_{DD}$ 、 $REF_{IN}=2.5V$ 、 $T_A=T_{MIN}\sim T_{MAX}$ )

パラメータ	AD7923における限界 $T_{MIN}$ 、 $T_{MAX}$		単位	説明
	$AV_{DD}=3V$	$AV_{DD}=5V$		
$f_{SCLK}^2$	10	10	kHz (min)	
	20	20	MHz (max)	
$t_{CONVERT}$	$16\times t_{SCLK}$	$16\times t_{SCLK}$		
$t_{QUIET}$	50	50	ns (min)	$\overline{CS}$ 立ち上がりエッジと次の変換の開始までに必要な最小静止時間
$t_2$	10	10	ns (min)	$\overline{CS}$ からSCLKまでのセットアップ・タイム
$t_3^3$	35	30	ns (max)	$\overline{CS}$ からDOOUTのスリーステート・デイスエーブルまでの遅延
$t_4^3$	40	40	ns (max)	SCLK立ち下がりエッジ後のデータ・アクセス時間
$t_5$	$0.4\times t_{SCLK}$	$0.4\times t_{SCLK}$	ns (min)	SCLKロー・パルス幅
$t_6$	$0.4\times t_{SCLK}$	$0.4\times t_{SCLK}$	ns (min)	SCLKハイ・パルス幅
$t_7$	10	10	ns (min)	SCLKからDOOUT有効までのホールド・タイム
$t_8^4$	15/45	15/35	ns (min/max)	SCLK立ち下がりエッジからDOOUT高インピーダンスまで
$t_9$	10	10	ns (min)	SCLK立ち下がりエッジ前のDINセットアップ・タイム
$t_{10}$	5	5	ns (min)	SCLK立ち下がりエッジ後のDINホールド・タイム
$t_{11}$	20	20	ns (min)	16番目のSCLK立ち下がりエッジから $\overline{CS}$ がハイになるまで
$t_{12}$	1	1	$\mu s$ (max)	フル・パワーダウン/自動シャットダウン・モードからのパワーアップ時間

注

<sup>1</sup> 適合性を保証するために25°Cでサンプル・テスト済み。すべての入力信号は、 $t_r=t_f=5ns$  ( $AV_{DD}$ の10~90%)で規定され、1.6Vの電圧レベルからタイミングをとっています。図1を参照してください。3Vの動作範囲は2.7~3.6V、5Vの動作範囲は4.75~5.25Vです。

<sup>2</sup> SCLK入力のマーク/スペース比率は、40/60~60/40です。

<sup>3</sup> 図1の負荷回路で測定され、出力が0.4Vまたは $0.7\times V_{DRIVE}$ を超えるために必要な時間と定義されます。

<sup>4</sup>  $t_8$ は、図1の回路に負荷を与えたときに、データ出力が0.5V変化するためにかかる時間の測定値から得られます。この測定値を外挿して、50pFコンデンサの充/放電による影響を除去します。つまり、タイミング特性 $t_8$ で示される時間は、デバイスの真のバス解放時間で、バス負荷とは無関係です。

仕様は予告なく変更されることがあります。

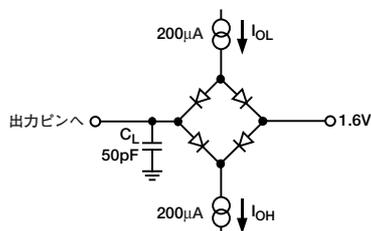


図1. デジタル出力タイミング仕様の負荷回路

**絶対最大定格<sup>1</sup>**(特に指定のない限り、 $T_A=25^\circ\text{C}$ )

$AV_{DD}\sim AGND$	.....	-0.3~+7V
$V_{DRIVE}\sim AGND$	.....	-0.3V~ $AV_{DD}+0.3V$
アナログ入力電圧~AGND	.....	-0.3V~ $AV_{DD}+0.3V$
デジタル入力電圧~AGND	.....	-0.3~+7V
デジタル出力電圧~AGND	.....	-0.3V~ $AV_{DD}+0.3V$
$REF_{IN}\sim AGND$	.....	-0.3V~ $AV_{DD}+0.3V$
電源以外のピンへの入力電流 <sup>2</sup>	.....	$\pm 10\text{mA}$
動作温度範囲		
商用 (Bバージョン)	.....	-40~+85°C
保管温度範囲	.....	-65~+150°C
ジャンクション温度	.....	150°C

TSSOPパッケージ、消費電力	.....	450mW
$\theta_{JA}$ 熱抵抗	.....	150.4°C/W (TSSOP)
$\theta_{JC}$ 熱抵抗	.....	27.6°C/W (TSSOP)
ピン温度、ハンダ付け		
気相 (60秒)	.....	215°C
赤外線 (15秒)	.....	220°C
ESD	.....	2kV

注

<sup>1</sup> 上記の絶対最大定格リストを超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格のみを規定するものであり、これらの規定値あるいはこの仕様書の動作セクションに記載した規定値を超える条件で、デバイスが機能的に動作することを意味するものではありません。長期間にわたって絶対最大定格条件で放置すると、デバイスの信頼性に影響を与えるおそれがあります。

<sup>2</sup> 100mAまでの過渡電流では、SCRラッチアップは発生しません。

**オーダー・ガイド**

モデル	温度範囲	直線性誤差 (LSB) <sup>1</sup>	パッケージ・オプション	パッケージ
AD7923BRU EVAL-AD7923CB <sup>2</sup> EVAL-CONTROL BRD <sup>2,3</sup>	-40~+85°C	$\pm 1$	RU-16	TSSOP 評価ボード コントローラ・ボード

注

<sup>1</sup> ここでの直線性誤差は、積分直線性誤差をいいます。

<sup>2</sup> これは、スタンドアロンの評価ボードとして使用したり、評価/デモンストレーション用の評価コントローラ・ボードと組み合わせて使用できます。

<sup>3</sup> このボードは完成ユニットであり、末尾番号CBが付くすべてのアナログ・デバイス評価ボードに対しLPCによる制御と通信ができます。完全な評価キットを発注するには、特定のADC評価ボード (たとえば、EVAL-AD7923CB、EVAL-CONTROL BRD2、12V ACトランス) を注文する必要があります。詳細については、関連する評価ボードのアプリケーション・ノートを参照してください。

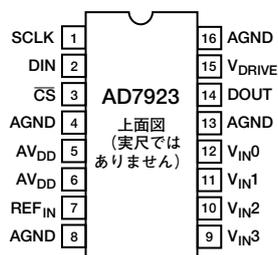
**注意**

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。D7923は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



# AD7923

## ピン配置 16ピンTSSOP



## ピン機能説明

ピン番号	記号	機能
1	SCLK	<b>シリアル・クロック</b> ロジック入力。SCLKは、デバイスのデータにアクセスするためのシリアル・クロックを提供します。このクロック入力は、AD7923変換プロセスのクロック・ソースとしても使用されます。
2	DIN	<b>データ入力</b> ロジック入力。AD7923のコントロール・レジスタに書き込まれるデータが与えられ、SCLKの立ち下がりがエッジでレジスタにクロック入力されます（コントロール・レジスタのセクションを参照）。
3	$\overline{\text{CS}}$	<b>チップ・セレクト</b> アクティブ・ローのロジック入力。AD7923での変換開始と、シリアル・データ転送のフレーミングという2つの機能を提供します。
4、8、13、16	AGND	<b>アナログ・グラウンド</b> AD7923上のすべてのアナログ回路のグラウンド・リファレンス・ポイントです。このAGND電圧をすべてのアナログ入力信号と外部リファレンス信号の基準としてください。すべてのAGNDピンを互いに接続してください。
5、6	AV <sub>DD</sub>	<b>アナログ電源入力</b> AD7923のAV <sub>DD</sub> レンジは、2.7~5.25Vです。0V~2×REF <sub>IN</sub> レンジでは、AV <sub>DD</sub> を4.75~5.25Vにしてください。
7	REF <sub>IN</sub>	<b>AD7923のリファレンス入力</b> この入力には外部リファレンスが必要です。仕様性能を得るには、外部リファレンスの電圧範囲を2.5V±1%にしてください。
12~9	V <sub>IN0</sub> ~V <sub>IN3</sub>	<b>アナログ入力0~アナログ入力3</b> 4本のシングルエンド・アナログ入力チャンネルは、マルチプレクスされて内蔵トラック・アンド・ホールドに入力されます。変換するアナログ入力チャンネルは、コントロール・レジスタのアドレス・ビットADD1とADD0で選択します。これらのアドレス・ビットとSEQ1およびSEQ0ビットを組み合わせれば、シーケンサをプログラムできます。すべての入力チャンネルの入力範囲は、コントロール・レジスタのRANGEビットの選択によって、0V~REF <sub>IN</sub> または0V~2×REF <sub>IN</sub> にすることができます。ノイズの混入を避けるために、未使用の入力チャンネルをAGNDに接続する必要があります。
14	DOUT	<b>データ出力</b> ロジック出力。AD7923の変換結果は、シリアル・データ・ストリームとしてこの出力に与えられます。SCLK入力の立ち下がりがエッジで各ビットをクロック出力します。AD7923からのデータ・ストリームは、2つの先行ゼロ、変換結果に対応するチャンネルを示す2つのアドレス・ビット、そして12ビットの変換データ（MSBファースト）で構成されます。コントロール・レジスタのCODINGビットによって、ストレート・バイナリまたは2の補数の出力コーディングを選択できます。
15	V <sub>DRIVE</sub>	<b>ロジック電源入力</b> AD7923のシリアル・インターフェースが動作する電圧は、このピンに供給される電圧によって決まります。

## 用語集

### 積分非直線性

ADC伝達関数の両端を結ぶ直線からの最大偏差です。伝達関数の両端とは、最初のコード遷移より1LSB下のゼロ・スケールと、最後のコード遷移より1LSB上のフルスケールになります。

### 微分非直線性

ADCの2つの隣接したコード間での1LSB変化の測定値と理想値との差です。

### オフセット誤差

最初のコード遷移 (00...000から00...001) と理想的な遷移 (AGND+1LSB) との偏差です。

### オフセット誤差整合

2つのチャンネル間のオフセット誤差の差です。

### ゲイン誤差

オフセット誤差を調整した後の最後のコード遷移 (111...110から111...111) と理想的な遷移 ( $REF_{IN}-1LSB$ ) との偏差です。

### ゲイン誤差整合

2つのチャンネル間のゲイン誤差の差です。

### ゼロ・コード誤差

2の補数の出力コーディング・オプションを使用するとき、特に、 $REF_{IN}$ ポイントについてバイアスされた $-REF_{IN}\sim+REF_{IN}$ による $2\times REF_{IN}$ の入力範囲に適用されます。これは、ミッドスケール遷移 (オール0からオール1) と理想的な $V_{IN}$ 電圧 ( $REF_{IN}-1LSB$ ) との偏差になります。

### ゼロ・コード誤差整合

2つのチャンネル間のゼロ・コード誤差の差です。

### 正のゲイン誤差

2の補数の出力コーディング・オプションを使用するとき、特に、 $REF_{IN}$ ポイントについてバイアスされた $-REF_{IN}\sim+REF_{IN}$ による $2\times REF_{IN}$ の入力範囲に適用されます。これは、ゼロ・コード誤差を調整した後の最後のコード遷移 (011...110から011...111) と理想の遷移 ( $+REF_{IN}-1LSB$ ) との偏差になります。

### 正のゲイン誤差整合

2つのチャンネル間の正のゲイン誤差の差です。

### 負のゲイン誤差

2の補数の出力コーディング・オプションを使用するとき、特に、 $REF_{IN}$ ポイントについてバイアスされた $-REF_{IN}\sim+REF_{IN}$ による $2\times REF_{IN}$ の入力範囲に適用されます。これは、ゼロ・コード誤差を調整した後の最初のコード遷移 (100...000から100...001) と理想の遷移 ( $-REF_{IN}+1LSB$ ) との偏差になります。

### 負のゲイン誤差整合

2つのチャンネル間の負のゲイン誤差の差です。

### チャンネル間絶縁

チャンネル間絶縁とは、チャンネル間のクロストーク・レベルの測定値です。これを測定するには、3本の非選択入力チャンネルのすべてにフルスケールの400kHzサイン波信号を印加し、その信号の減衰量を50kHz信号で選択されたチャンネルで調べます。この数値は、AD7923の全4チャンネル間での最悪ケースになります。

### PSR (電源除去比)

電源の変動はフルスケール遷移に影響を与えますが、コンバータの直線性には影響しません。電源除去比は、電源電圧のノミナル値からの変化による、フルスケール遷移点の最大変化です。代表的な性能曲線を参照してください。

### トラック・アンド・ホールド・アクイジション時間

トラック・アンド・ホールド・アンプは、変換の最後にトラック・モードに戻ります。トラック・アンド・ホールド・アクイジション時間とは、変換後にトラック・アンド・ホールド・アンプの出力が $\pm 1LSB$ 以内のその最終値に到達するために必要な時間のことです。

### 信号対 (ノイズ+歪み) 比

A/Dコンバータの出力で測定される信号と (ノイズ+歪み) の比です。信号は基本波のrms振幅です。ノイズは、DCを除いて、サンプリング周波数の半分 ( $f_s/2$ ) までのすべての非基本信号の合計です。この比は、デジタル化プロセスでの量子化レベルの数に依存します。レベルの数が多いほど、量子化ノイズは小さくなります。サイン波入力を持つ理想的なNビット・コンバータの理論的な信号対 (ノイズ+歪み) 比は、次の式で求めます。

$$\text{信号対 (ノイズ+歪み)} = (6.02N+1.76) \text{ dB}$$

これにより、この値は12ビットのコンバータで74dBになります。

### 全高調波歪み (THD)

全高調波歪み (THD) は、高調波のrms合計の基本波に対する比です。AD7923では、THDは次のように定義されます。

$$THD(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 $V_1$ は基本波のrms振幅であり、 $V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$ は、2次～6次の高調波のrms振幅です。

# AD7923 — 一般的な性能特性

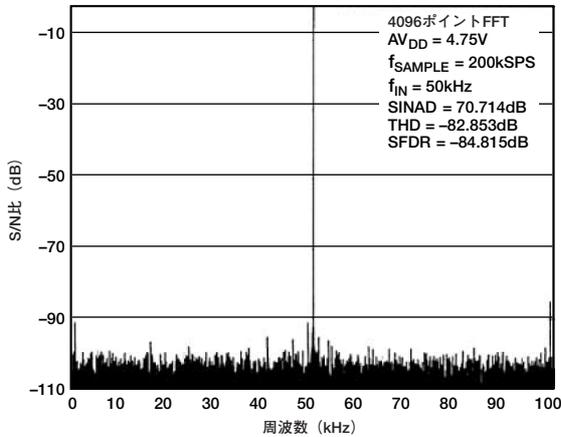
## 性能曲線

TPC 1に、200kSPSのサンプル・レートと50kHzの入力周波数におけるAD7923の代表的なFFTプロットを示します。TPC 2には、20MHzのSCLKによって200kSPSでサンプリングした場合の、さまざまな電源電圧に対する入力周波数と信号対（ノイズ+歪み）比性能を示します。

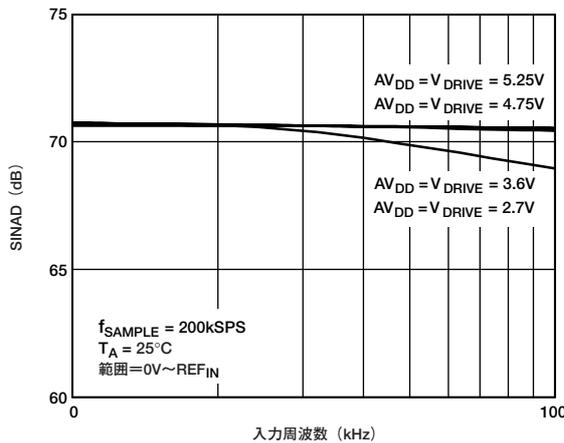
TPC 3には、デカップリングを使用しないときのAD7923の電源リップル周波数と電源除去比の関係を示します。電源除去比とは、フルスケール周波数 $f$ におけるADC出力内の電力と、周波数 $f_s$ のADC  $AV_{DD}$ 電源に印加される200mV p-pサイン波の電力との比と定義されます。

$$PSRR(dB) = 10 \log(P_f / P_{f_s})$$

$P_f$ は、ADC出力内の周波数 $f$ での電力です。 $P_{f_s}$ は、ADC  $AV_{DD}$ 電源にカップリングされる周波数 $f_s$ での電力です。ここで、200mV p-pサイン波は $AV_{DD}$ 電源にカップリングされます。



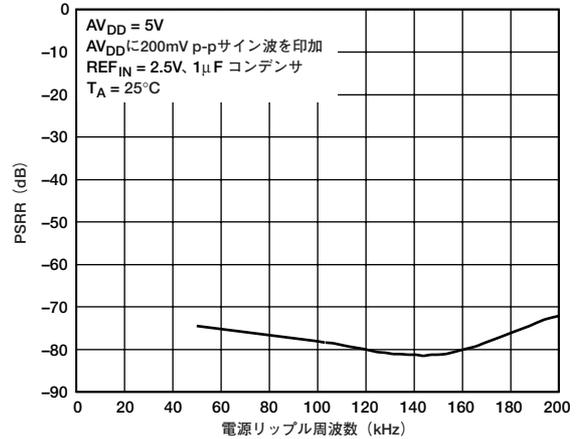
TPC 1. 200kSPSでのダイナミック性能



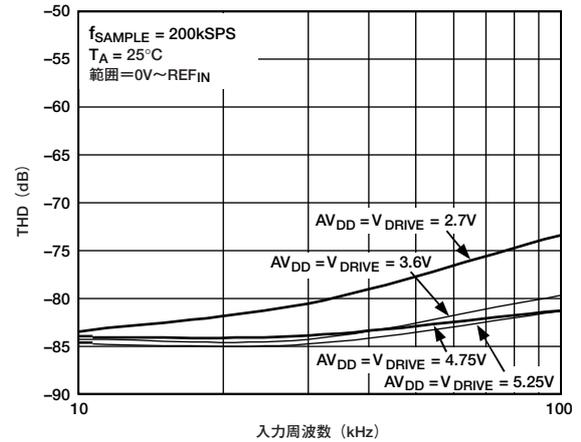
TPC 2. 200kSPSでのさまざまな電源電圧におけるSINADとアナログ入力周波数との関係

TPC 4には、さまざまな電源電圧に対するアナログ入力周波数と全高調波歪みのグラフを示します。TPC 5には、さまざまなソース・インピーダンスに対するアナログ入力周波数と全高調波歪みのグラフを示します。アナログ入力のセクションを参照してください。

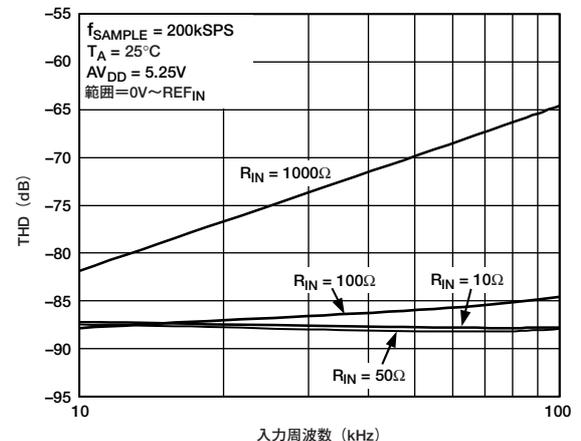
TPC 6とTPC 7には、AD7923に対する代表的なINLとDNLのプロットを示します。



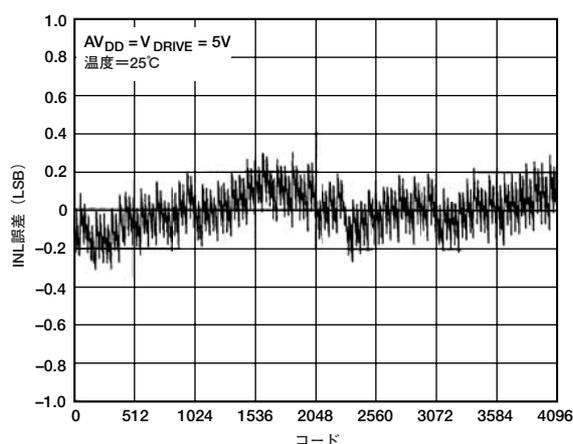
TPC 3. PSRRと電源リップル周波数との関係



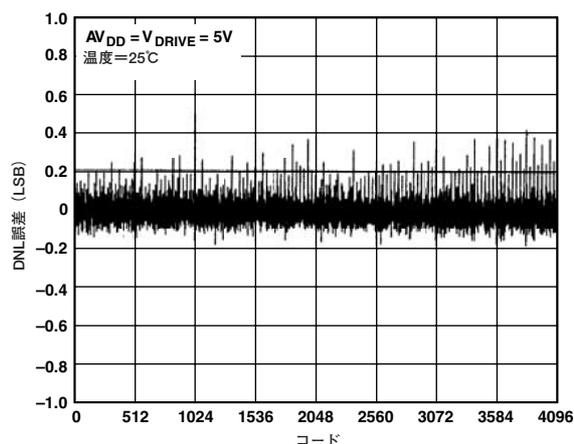
TPC 4. 200kSPSでのさまざまな電源電圧におけるTHDとアナログ入力周波数との関係



TPC 5. さまざまなソース・インピーダンスにおけるTHDとアナログ入力周波数との関係



TPC 6. 代表的なINL



TPC 7. 代表的なDNL

## コントロール・レジスタ

AD7923のコントロール・レジスタは、12ビットの書き込み専用レジスタです。SCLKの立ち下がりエッジで、AD7923のDINピンからデータをロードします。変換結果がデバイスから読み出されると同時に、データがDINラインに転送されます。DINラインに転送されるデータは、次の変換のためのAD7923の設定に対応します。これには、データ転送ごとに16シリアル・クロックが必要です。最初の12のクロック立ち下がりエッジ（CS立ち下がりエッジの後）で提供される情報だけが、コントロール・レジスタにロードされます。MSBでデータ・ストリームの最初のビットを示します。ビットの機能を表Iに示します。

表I. コントロール・レジスタのビットの機能

MSB						LSB					
WRITE	SEQ1	DONTC	DONTC	ADD1	ADD0	PM1	PM0	SEQ0	DONTC	RANGE	CODING
ピン番号	記号	機能									
11	WRITE	コントロール・レジスタのこのビットに書き込まれた値で、後続の11ビットをコントロール・レジスタにロードするかどうかを決定します。このビットが1の場合には、後続の11ビットはコントロール・レジスタに書き込まれます。これが0の場合には、残りの11ビットはコントロール・レジスタにロードされず、そのまま変化しません。									
10	SEQ1	コントロール・レジスタのSEQ1ビットをSEQ0ビットと組み合わせて使用し、シーケンサの機能の使用を制御します（表IVを参照）。									
9~8	DONTC	don't care (0または1)									
7~6	ADD1、ADD0	この2つのアドレス・ビットを現在の変換の最後にロードし、次のシリアル転送で変換するアナログ入力チャンネルを選択するか、あるいは、表IVで説明するように、これらのビットで連続したシーケンスの最終チャンネルを選択します。選択された入力チャンネルは、表IIに示すようにデコードされます。変換結果に対応するアドレス・ビットも、12ビットのデータの前にDOUTに出力されます（シリアル・インターフェースのセクションを参照）。次に変換するチャンネルは、14番目のSCLK立ち下がりエッジでマルチプレクサによって選択されます。									
5、4	PM1、PM0	パワー・マネジメント・ビット。この2つのビットで、表IIIに示すように、AD7923の動作モードをデコードします。									
3	SEQ0	コントロール・レジスタのSEQ0ビットをSEQ1ビットと組み合わせて使用し、シーケンサの機能の使用を制御します（表IVを参照）。									
2	DONTC	don't care (0または1)									
1	RANGE	このビットで、AD7923で（次の変換に対して）使用するアナログ入力範囲を選択します。0に設定すると、アナログ入力範囲は0V~2×REF <sub>IN</sub> 、1に設定すると、0V~REF <sub>IN</sub> になります。0V~2×REF <sub>IN</sub> の範囲では、AV <sub>DD</sub> =4.75~5.25Vです。									
0	CODING	このビットで、AD7923が（次の変換に対して）変換結果に使用する出力コーディングのタイプを選択します。このビットを0に設定すると、デバイスの出力コーディングは2の補数、1に設定すると、ストレート・バイナリになります。									

# AD7923

表II. チャンネル選択

ADD1	ADD0	アナログ入力チャンネル
0	0	$V_{IN0}$
0	1	$V_{IN1}$
1	0	$V_{IN2}$
1	1	$V_{IN3}$

表III. 電力モードの選択

PM1	PM0	モード
1	1	<b>ノーマル</b> このモードで、ロジック入力のステータスに関わらず、AD7923はフル・パワー・モードのままになります。このモードにおいて、AD7923の最大のスループット・レートが得られます。
1	0	<b>フル・シャットダウン</b> このモードで、すべての回路をパワーダウンして、AD7923はフル・シャットダウン・モードになります。フル・シャットダウン中、コントロール・レジスタ内の情報は保持されます。デバイスは、これらのビットが変更されるまで、フル・シャットダウン状態のままです。
0	1	<b>自動シャットダウン</b> このモードでは、コントロール・レジスタが更新されると、AD7923は各変換の最後に自動的にフル・シャットダウン・モードに入ります。フル・シャットダウンからのウェイクアップ時間は1 $\mu$ sです。このモードにあるデバイスでは、有効な変換を実行する前に1 $\mu$ sが経過したことを確認してください。
0	0	<b>無効な選択</b> この設定はできません。

## シーケンサの動作

ユーザーは、コントロール・レジスタのSEQ1ビットとSEQ0ビットの設定によって、シーケンサの機能の特定の動作モードを選択できます。表IVに、シーケンサの3つの動作モードを示します。

表IV. シーケンスの選択

SEQ1	SEQ0	シーケンス・タイプ
0	X	この設定は、シーケンス機能を使用しないことを意味します。個々の変換に対して選択されるアナログ入力チャンネルは、直前の書き込み動作でのチャンネル・アドレス・ビットADD1、ADD0の内容によって決まります。この動作モードは、マルチチャンネルADCの伝統的な動作を反映するもので、シーケンサの機能を使用しないで、次に変換するチャンネルをAD7923への各書き込みによって選択することになります（図2を参照）。
1	0	SEQ1ビットとSEQ0ビットをこのように設定した場合には、書き込み動作の完了時にシーケンス機能が中断しません。これによって、サイクルを終了させることなく、1つのシーケンスでの変換と変換の間に、コントロール・レジスタ内の他のビットを変更できます。
1	1	この設定は、チャンネル・アドレス・ビットADD1、ADD0と組み合わせて使用します。これによって、チャンネル0から、コントロール・レジスタのチャンネル・アドレス・ビットで決定する最終選択チャンネルまで、連続したチャンネルのシーケンスで連続した変換をプログラムします（図3を参照）。

図2は、マルチチャンネルADCの伝統的な動作を示しており、各シリアル転送で次に変換するチャンネルを選択します。この動作モードでは、シーケンサの機能は使用しません。

図3に、チャンネル0から、選択された最終チャンネルまで、一連のチャンネル・シーケンスを連続的に変換するようAD7923をプログラムする方法を示します。この動作モードを終了して、マルチチャンネルADCの伝統的な動作モード（図2に示すもの）に戻るには、次のシリアル転送でWRITEビット=1、SEQ1=SEQ0=0とします。

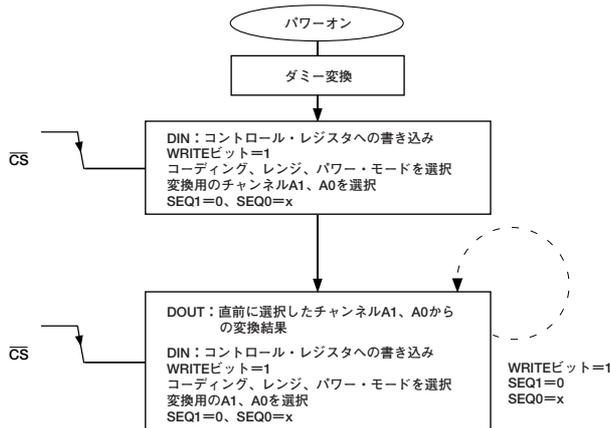


図2. SEQ1ビット=0、SEQ0ビット=xの場合のフローチャート

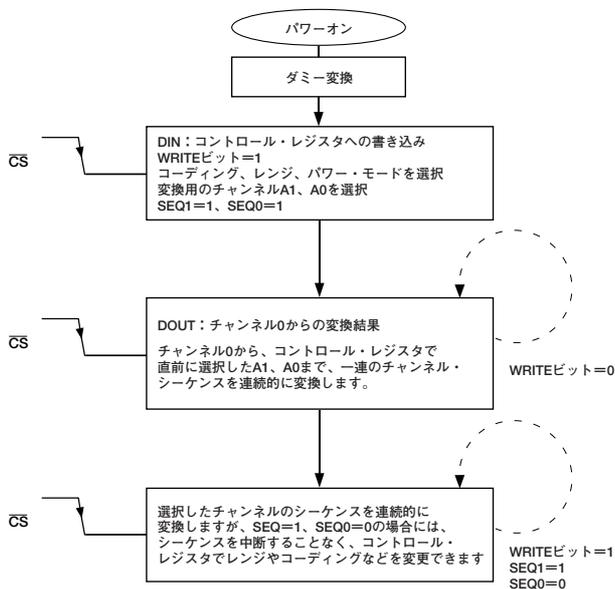


図3. SEQ1ビット=1、SEQ0ビット=1の場合のフローチャート

## 回路説明

AD7923は、12ビットの高速な4チャンネル単電源A/Dコンバータです。2.7~5.25Vの電源で動作します。5Vまたは3Vの電源から動作する場合、200kSPSのスループット・レートが可能です。20MHzのクロックが供給されると、変換時間はわずか800nsになります。

AD7923では、トラック・アンド・ホールド、A/Dコンバータ、シリアル・インターフェースを16ピンのTSSOPパッケージに内蔵しています。チャンネル・シーケンサ付きの4本のシングルエンド入力チャンネルを備えているため、ユーザーは、CSの連続した各立ち下がりエッジでADCがサイクル動作するチャンネル・シーケンスを選択できます。シリアル・クロック入力で、デバイスからのデータにアクセスし、ADCに書き込むデータの転送を制御し、逐次比較型A/Dコンバータにクロック・ソースを提供します。AD7923のアナログ入力範囲は、コントロール・レジスタのビット1のステータスに応じて、0V~REF<sub>IN</sub>または0V~2×REF<sub>IN</sub>です。0~2×REF<sub>IN</sub>の範囲では、4.75~5.25Vの電源が必要です。

AD7923の柔軟なパワー・マネジメント・オプションによって、与えられたスループット・レートに対して最適な電力性能を実現できます。オプションを選択するには、コントロール・レジスタのパワー・マネジメント・ビットのPM1とPM0をプログラムします。

## コンバータの動作

AD7923は、容量性DACをベースにした12ビットの逐次比較型A/Dコンバータです。0V~REF<sub>IN</sub>または0V~2×REF<sub>IN</sub>の範囲で、アナログ入力信号を変換できます。図4と図5に、ADCの簡略化した回路図を示します。このADCは、コントロール・ロジック、SAR、容量性DACで構成されます。これらを使用してサンプリング・コンデンサの電荷を一定量だけ増加/減少させることによって、コンパレータをバランス状態に戻します。図4に、アキュイジション位相にあるADCを示します。SW2が閉じ、SW1はポジションAにあります。コンパレータがバランス状態に保持され、サンプリング・コンデンサは、選択されたV<sub>IN</sub>チャンネルから信号を取得します。

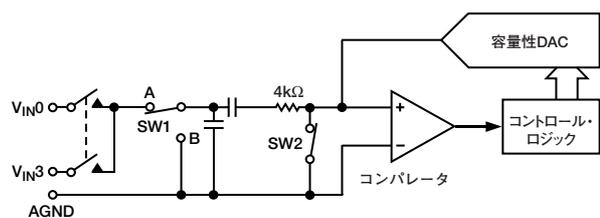


図4. ADCのアキュイジション位相

# AD7923

ADCが変換を開始すると（図5を参照）、SW2が開き、SW1はポジションBに移動するため、コンパレータはバランスを失います。コントロール・ロジックと容量性DACを使用してサンプリング・コンデンサの電荷を一定量だけ増加/減少させることによって、コンパレータをバランス状態に戻します。コンパレータが再びバランス状態になると、変換が完了します。コントロール・ロジックは、ADC出力コードを生成します。図7と図8に、ADC伝達関数を示します。

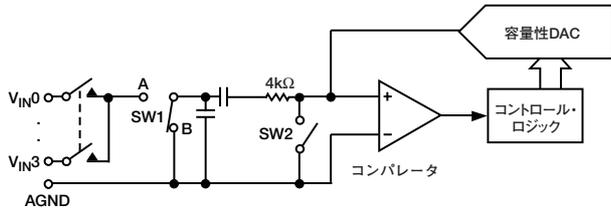


図5. ADCの変換位相

## アナログ入力

図6に、AD7923のアナログ入力構造の等価回路を示します。D1とD2の2つのダイオードで、アナログ入力のESD保護を提供します。アナログ入力信号が両側の電源レールを200mV以上超えないように注意する必要があります。これを超えると、ダイオードが順方向にバイアスされて、電流がサブストレートに流れます。デバイスに回復不可能な損傷を与えずにダイオードに流せる電流は、10mAまでです。図6のコンデンサC1は一般におよそ4pFであり、主にピン容量によって決まります。抵抗R1はトラック・アンド・ホールド・スイッチのオン抵抗から成る集中要素であり、入力マルチプレクサのオン抵抗も含まれます。合計の抵抗は、一般におよそ400Ωです。コンデンサC2はADCサンプリング・コンデンサで、一般に30pFの容量があります。ACアプリケーションの場合には、該当するアナログ入力ピンにRCローパス・フィルタを使用して、アナログ入力信号から高周波成分を除去することをお勧めします。高調波歪みとS/N比が重視されるアプリケーションでは、アナログ入力を低インピーダンスのソースから駆動してください。大きなソース・インピーダンスは、ADCのAC性能に大きく影響します。このため、入力バッファ・アンプが必要になることもあります。適切なオペアンプは、アプリケーションによって異なります。

アナログ入力を駆動するアンプを使用しないときには、ソース・インピーダンスを低い値に制限してください。最大ソース・インピーダンスは、許容される全高調波歪み（THD）の量に依存します。ソース・インピーダンスが大きくなると、THDが増加し、性能が低下します（TPC 5を参照）。

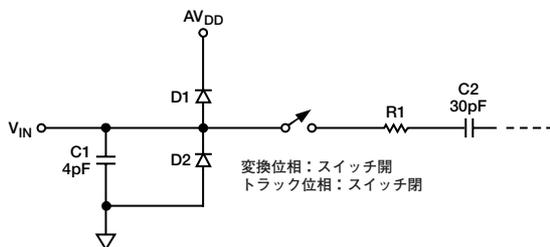


図6. 等価なアナログ入力回路

## ADC伝達関数

AD7923の出力コーディングは、コントロール・レジスタのLSBのステータスに応じて、ストレート・バイナリまたは2の補数になります。連続したLSB値（1LSB、2LSBなど）で、設計されたコード遷移が行われます。LSBの大きさは、 $REF_{IN}/4096$ です。図7に、ストレート・バイナリ・コーディングを選択した場合のAD7923の理想的な伝達特性を示します。図8には、2の補数コーディングを選択した場合の理想的な伝達特性を示します。

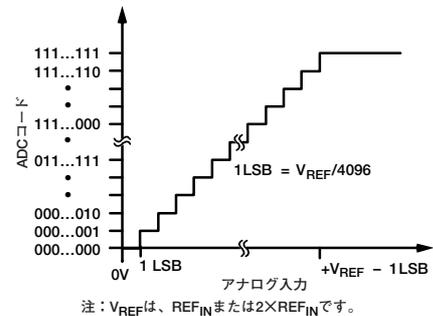


図7. ストレート・バイナリの伝達特性

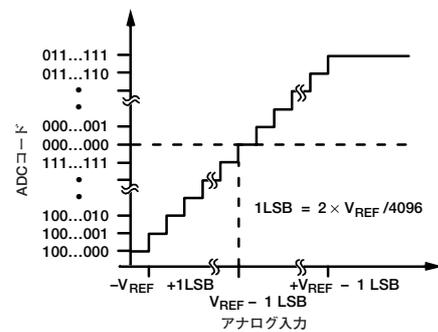


図8.  $REF_{IN} \pm REF_{IN}$ の入力範囲における2の補数の伝達特性

## バイポーラ入力信号の処理

図9に、バイポーラ入力信号の処理に、 $2 \times REF_{IN}$ の入力範囲と2の補数出力コーディング方式を組み合わせると便利なことを示します。バイポーラ入力信号が $REF_{IN}$ についてバイアスされ、2の補数出力コーディングを選択している場合には、 $2 \times REF_{IN}$ のダイナミック・レンジで、 $REF_{IN}$ がゼロ・コード・ポイント、 $-REF_{IN}$ が負のフル・スケール、 $+REF_{IN}$ が正のフル・スケールになります。

## 代表的な接続図

図10に、AD7923の代表的な接続図を示します。この設定では、AGNDピンをシステムのアナログ・グラウンド・プレーンに接続しています。図10では、 $REF_{IN}$ はリファレンス・ソースであるAD780のデカップリングされた2.5V電源に接続されており、提供されるアナログ入力範囲は、RANGEビットが1の場合0~2.5V、RANGEビットが0の場合0~5Vです。AD7923は5Vの $AV_{DD}$ に接続していますが、シリアル・インターフェースは3Vのマイクロプロセッサに接続されています。AD7923の $V_{DRIVE}$ ピンもマイクロプロセッサと同じ3V電源に接続されているので、3Vのロジック・インターフェースが可能になります（デジタル入力のセクションを参照）。変換結果は、16ビット・ワードで出力されます。この16ビットのデータ・ストリームは、2つの先行ゼロ、変換結果の対応するチャンネルを示す2つのアドレス・ビット、そして12ビットの変換データで構成されます。消費電力に配慮しなければならないアプリケーションでは、変換と変換の間や複数の変換が連続する場合ではパワーダウン・モードを使用して、電力性能を改善してください（動作モードのセクションを参照）。

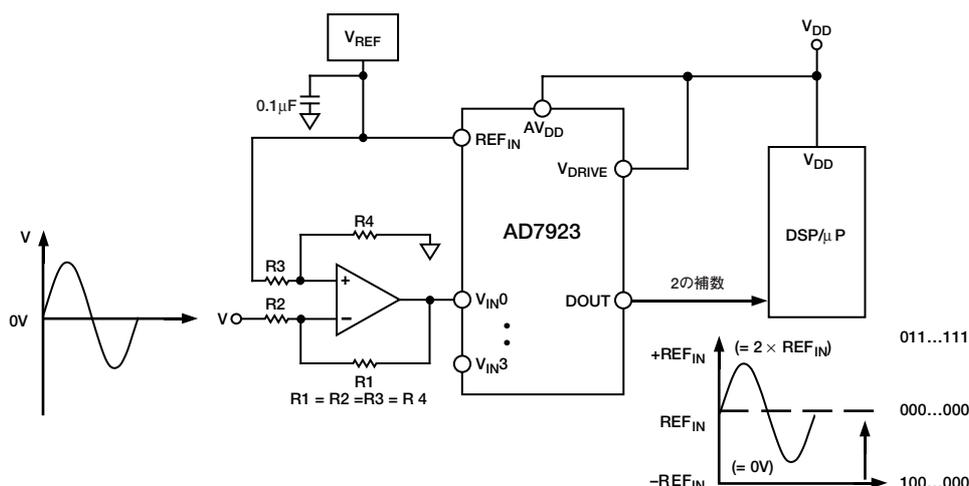


図9. バイポーラ信号の処理

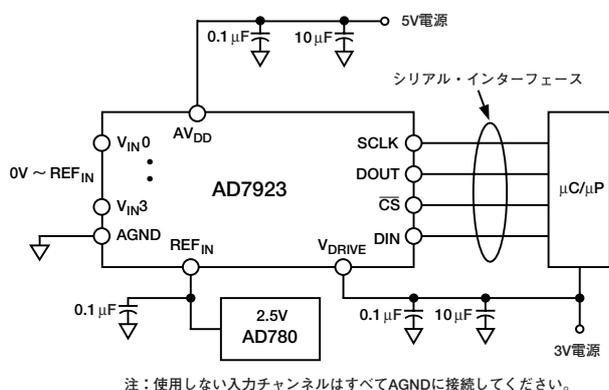


図10. 代表的な接続図

### アナログ入力の選択

4本のアナログ入力チャンネルのいずれかを変換用を選択するには、コントロール・レジスタのアドレス・ビットADD1とADD0でマルチプレクサをプログラムします。チャンネル設定を表IIに示します。

AD7923では、選択された複数のチャンネルを自動的に切り替えるように設定することも可能です。シーケンサの機能は、コントロール・レジスタのSEQ1ビットとSEQ0ビットで利用できます（表IVを参照）。チャンネル0から、チャンネル・アドレス・ビットADD1とADD0によって決定される最終の選択チャンネルまで、複数の連続したチャンネルを昇順に連続して変換するようプログラムできます。このためには、SEQ1ビットとSEQ0ビットを1、1に設定します。次のシリアル転送は、チャンネル0での変換を反映するようプログラムされたシーケンスで行われます。次のシリアル転送はチャンネル1の変換結果で行われ、このようにしてアドレス・ビットADD1、ADD0で選択したチャンネルに到達するまで変換を続けます。シーケンサの動作が開始されたら、コントロール・レジスタに再度書き込む必要はありません。コントロール・レジスタが誤って上書きされないように、WRITEビットにゼロを設定したり、DINラインをローに接続する必要があります。コントロール・レジスタが上書きされると、シーケンス動作が中断します。シーケンス内のどこかでコントロール・レジスタに書き込みを行う必要がある場合には、SEQ1ビットとSEQ0ビットを1、0に設定して、自動的な変換シーケンスが中断されないようにします。

このパターンは、AD7923に書き込みが行われ、SEQ1ビットとSEQ0ビットが1、0以外の組み合わせに設定されてシーケンスが終了するまで、続きます。中断されない場合（WRITEビット=0またはWRITEビット=1でSEQ1ビットとSEQ0ビットを1、0に設定した場合）には、シーケンスが完了すると、シーケンサがチャンネル0に戻り、再びシーケンスを開始します。

どのチャンネル選択方法が使用された場合でも、各変換中にAD7923が出力する16ビット・ワードには、2つの先行ゼロ、変換結果に対応する2つのチャンネル・アドレス・ビット、そして12ビットの変換結果が常に含まれています（シリアル・インターフェースのセクションを参照）。

### デジタル入力

AD7923に与えられるデジタル入力は、アナログ入力を制限する最大定格によって制限されません。デジタル入力の場合は7Vまで許容され、アナログ入力のような $AV_{DD} + 0.3V$ の制限もありません。

SCLK、DIN、 $\overline{CS}$ に $AV_{DD} + 0.3V$ の制限がないことから得られるもう1つの利点は、電源シーケンスの問題を回避できることです。AV<sub>DD</sub>より前に、 $\overline{CS}$ 、DIN、またはSCLKが印加された場合でも、ラッチ・アップの危険はありません。アナログ入力の場合は、AV<sub>DD</sub>より前に0.3Vを超える信号が印加されるとラッチ・アップの可能性があります。

### V<sub>DRIVE</sub>

AD7923には、V<sub>DRIVE</sub>機能もあります。V<sub>DRIVE</sub>は、シリアル・インターフェースが動作する電圧を制御します。V<sub>DRIVE</sub>によって、ADCは、3Vプロセッサと5Vプロセッサの両方に簡単にインターフェースをとることができます。たとえば、AD7923が5VのAV<sub>DD</sub>で動作している場合に、V<sub>DRIVE</sub>ピンに3Vの電源を供給できます。AD7923は5VのAV<sub>DD</sub>で広いダイナミックレンジを利用できますが、V<sub>DRIVE</sub>に3Vを与えて3Vプロセッサにインターフェースをとることも可能です。V<sub>DRIVE</sub>がAV<sub>DD</sub>より0.3V以上大きくならないように注意する必要があります（絶対最大定格のセクションを参照）。

# AD7923

## リファレンス

AD7923に2.5Vのリファレンスを供給するには、外部のリファレンス・ソースを使用してください。リファレンス・ソースに誤差があると、AD7923の伝達関数にゲイン誤差が生じ、デバイスのフルスケール誤差が大きくなります。REF<sub>IN</sub>ピンには、0.1μF以上のコンデンサを設置してください。AD7923に適合するリファレンス・ソースとしては、AD780、REF192、AD1582があります。

REF<sub>IN</sub>ピンに2.5Vを印加した場合には、コントロール・レジスタのRANGEビットの設定に応じて、アナログ入力範囲は0~2.5Vまたは0~5Vになります。

## 動作モード

AD7923にはさまざまな動作モードがあり、柔軟なパワー・マネジメント・オプションを提供するよう設計されています。これらのオプションを選択すれば、さまざまなアプリケーション条件に合わせて、消費電力/スループット・レート比を最適化することができます。AD7923の動作モードは、表IIIに示すように、コントロール・レジスタのパワー・マネジメント・ビットPM1とPM0によって制御します。AD7923に初めて電源を投入するときは、デバイスが必要な動作モードになっていることを確認してください（AD7923のパワーアップのセクションを参照）。

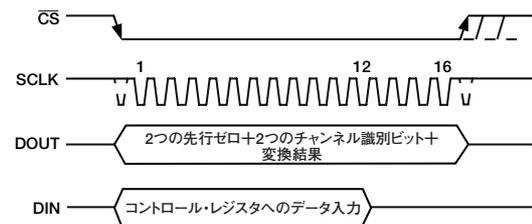
### ノーマル・モード (PM1=PM0=1)

このモードは、最速のスループット・レート性能を実現するためのものです。AD7923は常時フルパワー状態にあるため、ユーザーはパワーアップ時間を気にする必要がありません。図11に、このモードでのAD7923の動作の概略図を示します。

シリアル・インターフェースのセクションで説明するように、CSの立ち下がりエッジで変換を開始し、トラック・アンド・ホールドがホールド・モードに入ります。データ転送の最初の12クロック・サイクルの間にAD7923のDINラインに供給されたデータが、コントロール・レジスタにロードされます（WRITEビットが1に設定されている場合）。同じ変換が行われている間、書き込み転送でPM1とPM0が1に設定されている限り、デバイスは、変換の最後にノーマル・モードで完全にパワーアップされた状態を保ちます。ノーマル・モードで動作を継続させるには、書き込み動作が行われているとすると、すべてのデータ転送でPM1とPM0の両方に1をロードする必要があります。WRITEビットを0に設定した場合には、パワー・マネジメント・ビットはそのまま、デバイスはノーマル・モードのままです。

変換を完了して変換結果にアクセスするには、16シリアル・クロック・サイクルが必要です。トラック・アンド・ホールドは、14番目のSCLK立ち下がりエッジでトラックに戻ります。その後、CSは次の変換までハイのアイドル状態になるか、または次の変換が始まる少し前までローのアイドル状態になります（実質的に、CSはローのアイドル状態）。

仕様性能を得るには、スループット・レートが200kSPSを超えてはいけません。つまり、変換時には、CSの連続した立ち下がりエッジの間隔を5μs以上にしてください。この5μsのCSの立ち下がりエッジの間隔によるサイクル中で、実際にはSCLKの周波数が変換完了までの時間を決めます。ただし、変換が完了してCSがハイレベルになってから、再びCSをローレベルにして別の変換を開始するまでに、最小の静止時間t<sub>QUIET</sub>が経過する必要があります。



注：コントロール・レジスタのデータは、最初の12 SCLKサイクルでロードされます。

図11. ノーマル・モードの動作

### フル・シャットダウン (PM1=1, PM0=0)

このモードでは、AD7923のすべての内部回路がパワーダウンします。フル・シャットダウンの間、デバイスはコントロール・レジスタ内の情報を保持します。コントロール・レジスタ内のパワー・マネジメント・ビットPM1とPM0が変更されるまで、AD7923はフル・シャットダウン状態のままです。

デバイスがフル・シャットダウン状態のときに、コントロール・レジスタへの書き込みが行われ、パワー・マネジメント・ビットがノーマル・モードのPM0=PM1=1に変更された場合には、デバイスはCSの立ち上がりエッジでパワーアップを開始します。デバイスがフル・シャットダウンの間にホールド状態になっていたトラック・アンド・ホールドは、14番目のSCLK立ち下がりエッジでトラック状態に戻ります。コントロール・レジスタの内容を更新するには、16 SCLK転送が完全に行われる必要があります。ただし、このウェイクアップ転送中に、DOUTラインは駆動されません。

デバイスを完全にパワーアップするためには、CSの次の立ち上がりエッジの前に、t<sub>POWER UP</sub> (t<sub>12</sub>)が経過する必要があります。これより前に変換が開始された場合には、無効なデータが読み出されます。図12に、このシーケンスの概要を示します。

### 自動シャットダウン (PM1=0, PM0=1)

このモードでは、コントロール・レジスタが更新されるたびに、AD7923が各変換の最後に自動的にシャットダウンに入ります。デバイスがシャットダウン状態のとき、トラック・アンド・ホールドはホールド・モードになります。図13に、このモードでのAD7923の動作の概要を示します。シャットダウン・モードでは、AD7923のすべての内部回路がパワーダウンします。シャットダウンの間、デバイスはコントロール・レジスタ内の情報を保持します。AD7923は、CSの次の立ち下がりエッジを受信するまで、シャットダウン状態のままです。このCSの立ち下がりエッジで、デバイスのシャットダウン時にホールド状態にあったトラック・アンド・ホールドがトラック状態に戻ります。自動シャットダウンからのウェイクアップ時間は最大1μsです。1μsが経過してから、有効な変換を行うようにしてください。AD7923を20MHzのクロックで実行するとき、デバイスが完全にパワーアップするためには、16 SCLKのダミー転送1つで十分です。ダミー転送の間、コントロール・レジスタの内容を変更することはできません。したがって、DINラインでWRITEビットは0になります。使用するSCLK周波数によって、このダミー転送がデバイスのスループット・レートに影響を与えることはありますが、他のすべてのデータ転送は有効な変換結果になります。たとえば、20MHzの最大SCLK周波数を使用する場合に、スループット・レートにまったく影響を与えることなく、自動シャットダウン・モードを200kSPSのフル・スループット・レートで使用できます。ウェイクアップ用のダミー転送と変換時間に必要な時間は、サイクル時間の一部だけです。このモードでは、デバイスが各変換の最後にシャットダウン状態に入るため、消費電力を大幅に低減できます。コントロール・レジスタが自動シャットダウン・モードに移行するようプログラムされているときは、変換の最後に移行が行われます。ADCを低消費電力状態にするかどうかは、CS信号によって制御します。

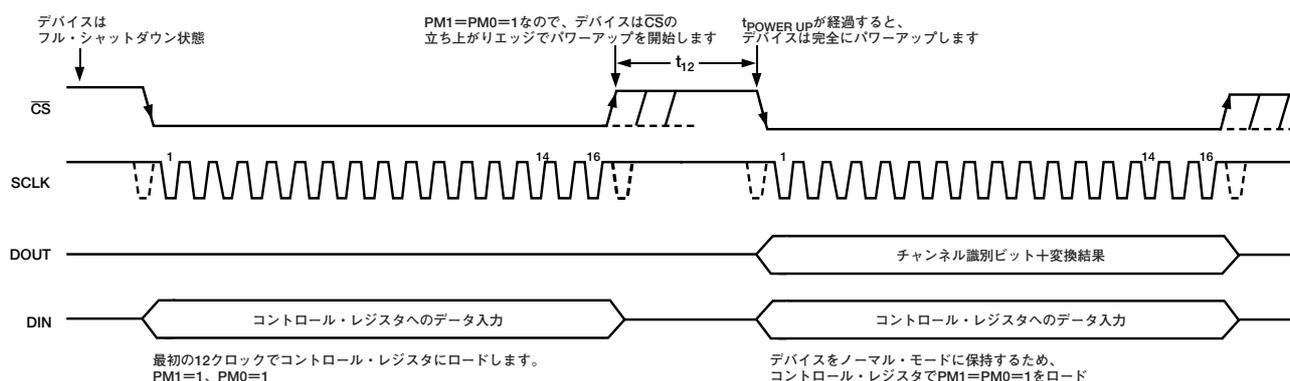


図12. フル・シャットダウン・モードの動作

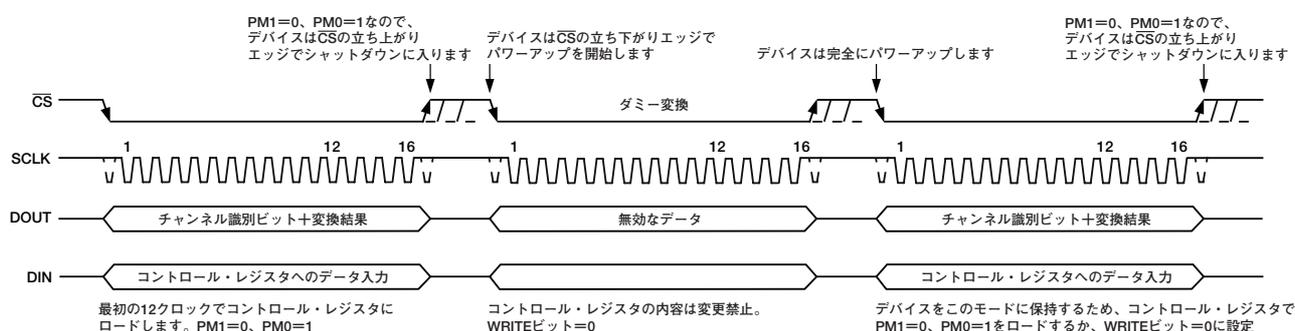


図13. 自動シャットダウン・モードの動作

## AD7923のパワーアップ

AD7923に初めて電源を供給するとき、ADCはデバイスの任意の動作モードでパワーアップします。デバイスを確実に必要な動作モードにするには、図14a～図14cに示すダミー・サイクル動作を実行してください。

デバイスを必要な動作モードにするには、ダミー変換を行う必要があります。デバイスをノーマル・モードにするには、DINラインをハイに接続、すなわちPM1、PM0=1、1にして（コントロール・レジスタの他の必要な設定によって異なります）、ダミー・サイクル動作を実行できます。ただし、最初の有効な変換を試みる前に、 $\overline{CS}$ の立ち上がりエッジから1 $\mu$ sの最小パワーアップ時間をもってコントロール・レジスタを更新する必要があります。これは、デバイスが最初にシャットダウン・モードでパワーアップされる可能性があるためです。必要な動作モードがフル・シャットダウンの場合にも、電源が供給された後でダミー・サイクルが1つ必要です。このダミー・サイクルでは、ユーザーがパワー・マネジメント・ビットを設定（PM1、PM0=1、0）すれば、そのシリアル転送の最後の $\overline{CS}$ の立ち上がりエッジで、デバイスはフル・シャットダウン・モードに入ります。

電源が供給された後の必要な動作モードが自動シャットダウンの場合には、2つのダミー・サイクルが必要になります。1つはDINをハイに接続するもので、もう1つのダミー・サイクルでパワー・マネジメント・ビットPM1、PM0=0、1に設定します。電源供給後の2番目の $\overline{CS}$ 立ち上がりエッジで、コントロール・レジスタに正しい情報が入り、デバイスは設定通りに自動シャットダウン・モードに入ります。消費電力が重要な問題になる場合には、最初のダミー・サイクルでPM1、PM0=1、0（フル・シャットダウン）に設定してから、2番目のダミー・サイクルでデバイスを自動シャットダウン・モードにすることもできます。説明のために、図14cでは、この場合の最初のダミー・サイクルでDINをハイに接続しています。

図14a、図14b、図14cに、必要な動作モードがそれぞれノーマル・モード、フル・シャットダウン・モード、自動シャットダウン・モードの場合の電源供給後に必要なダミー・サイクルを示します。

# AD7923

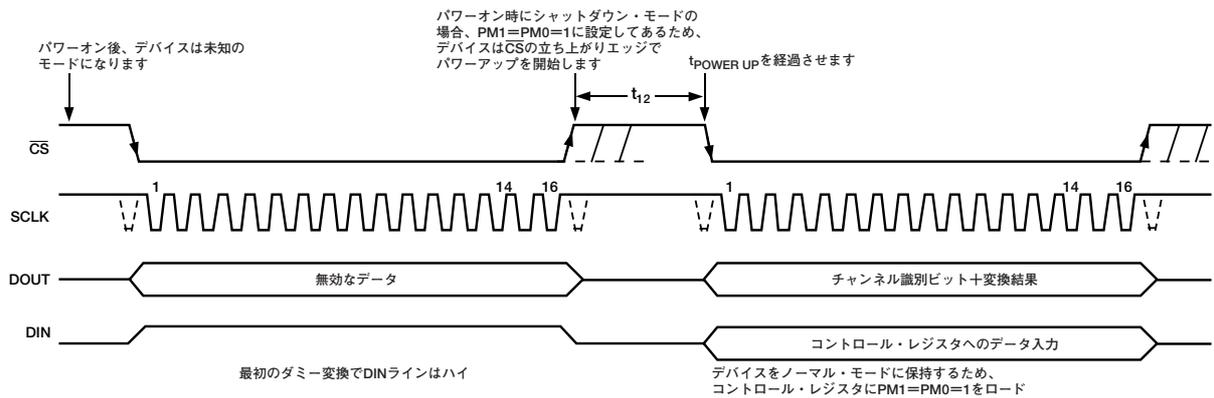


図14a. 電源が最初に投入された後、AD7923をノーマル・モードにする場合

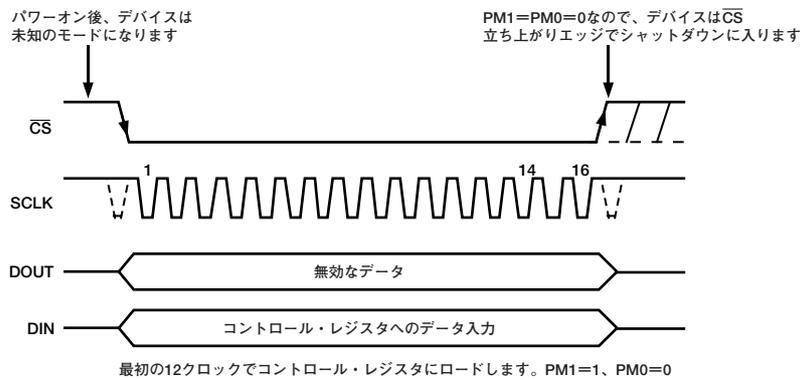


図14b. 電源が最初に投入された後、AD7923をフル・シャットダウン・モードにする場合

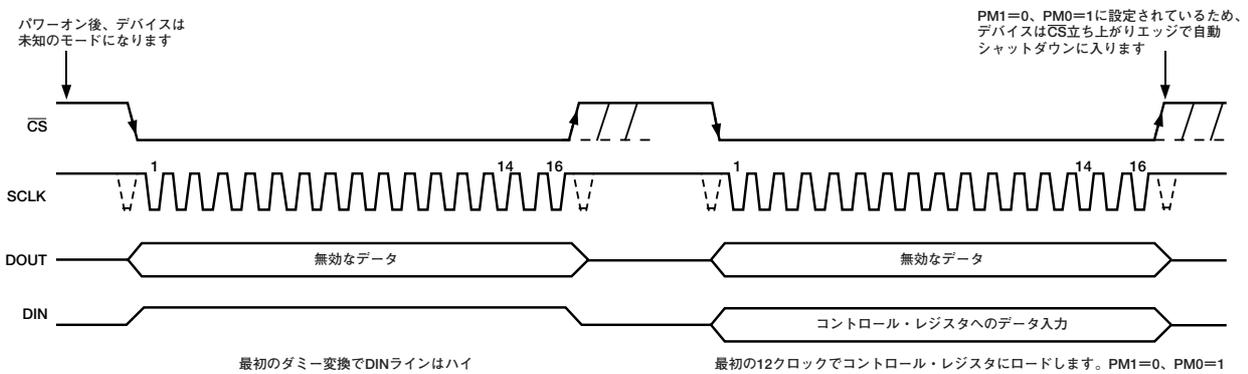


図14c. 電源が最初に投入された後、AD7923を自動シャットダウン・モードにする場合

## 電力とスループット・レートの関係

自動シャットダウン・モードでは、ADCの平均消費電力が特定のスループット・レートで減少することがあります。電力の低減は、使用するSCLK周波数、すなわち変換時間によって異なります。変換時間がサイクル時間の大部分を占める場合には、パワーダウン・モードを活用するためにスループット・レートを減らす必要があります。20MHzのSCLKを使用すれば変換時間は800nsですが、サンプリング・レートが最大の200kSPSの

場合、サイクル時間は5 $\mu$ sになります。残りのサイクル時間中、AD7923がシャットダウン・モードになっている場合には、デバイスをノーマル・モードのままにする場合に比べて、すべてのサイクルで平均消費電力が大幅に低下します。さらに、図15には、スループット・レートが減少するにつれて、デバイスがシャットダウン・モードに長くどまるため、平均消費電力が時間の経過とともに低下する様子を示します。

たとえば、AD7923が連続サンプリング・モードで動作し、スループット・レートが200kSPS、SCLKが20MHz (AV<sub>DD</sub>=5V)で、デバイスが自動シャットダウン・モード (PM1=0でPM0=1) の場合には、消費電力は次のように計算されます。

変換時の最大消費電力は13.5mW (I<sub>DD</sub>=2.7mA、AV<sub>DD</sub>=5V)です。自動シャットダウンからのパワーアップ時間が1ダミー・サイクル (1μs) で、残りの変換時間がもう1つのサイクル (800ns) の場合には、AD7923は各変換サイクルで1.8μsの間に13.5mWを消費することになります。残りの変換サイクル (3.2μs) の間、デバイスはシャットダウンしています。残り3.2μsの変換サイクルの間には、AD7923は2.5μWを消費します。スループット・レートが200kSPSの場合には、サイクル時間は5μsで、各サイクルでの平均消費電力は、(1.8/5)×(13.5mW)+(3.2/5)×(2.5μW)=4.8616mWになります。

図15に、5Vと3Vの電源で自動シャットダウン・モードを使用する場合の最大電力とスループット・レートの関係を示します。

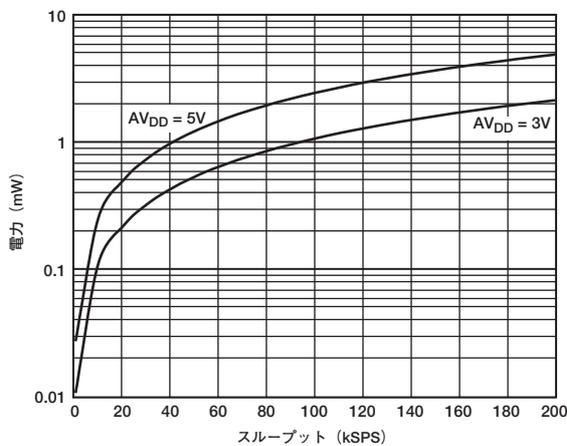


図15. 電力とスループット・レートの関係

### シリアル・インターフェース

図16に、AD7923へのシリアル・インターフェースの詳細なタイミング図を示します。シリアル・クロックで変換クロックを提供するとともに、変換時にAD7923との間でやり取りする情報の転送も制御します。

CS信号で、データ転送と変換プロセスを開始します。CSの立ち下がりエッジでトラック・アンド・ホールドがホールド・モードになり、バスがスリーステート状態を終了し、この時点でアナログ入力をサンプリングします。このとき、変換も開始します。変換が完了するには、16 SCLKサイクルが必要です。図16のポイントBに示すように、トラック・アンド・ホールドは14番目のSCLK立ち下がりエッジでトラック状態に戻ります。16番目のSCLK立ち下がりエッジで、DOUTラインがスリーステート状態に戻ります。16 SCLKが経過する前にCSの立ち上がりエッジが発生した場合には、変換が終了し、DOUTラインはスリーステート状態に戻り、コントロール・レジスタは更新されません。それ以外の場合には、図16に示すように、16番目のSCLK立ち下がりエッジでDOUTがスリーステート状態に戻ります。

変換プロセスを実行して、AD7923からのデータにアクセスするには、16サイクルのシリアル・クロックが必要です。AD7923の場合、12ビットのデータの前に、2つの先行ゼロのほか、結果に対応するチャンネルを識別する2つのチャンネル・アドレス・ビットADD1とADD0があります。CSがローレベルに変化すると、SCLKの最初の立ち下がりエッジでマイクロコントローラまたはDSPが読み出す最初の先行ゼロがクロック出力されます。SCLKの最初の立ち下がりエッジで2番目の先行ゼロもクロック出力され、2番目のSCLK立ち下がりエッジでマイクロコントローラまたはDSPによって読み出されます。次も同じように行われます。残りの2つのアドレス・ビットと12ビットのデータは、それ以降のSCLK立ち下がりエッジで最初のアドレス・ビットADD1を先頭にしてクロック出力されます。このようにして、シリアル・クロックでの2番目の立ち下がりクロック・エッジで、2番目の先行ゼロが提供され、アドレス・ビットADD1もクロック出力します。データ転送の最終ビットは16番目の立ち下がりエッジで有効になり、その前の (15番目の) 立ち下がりエッジで出力されます。

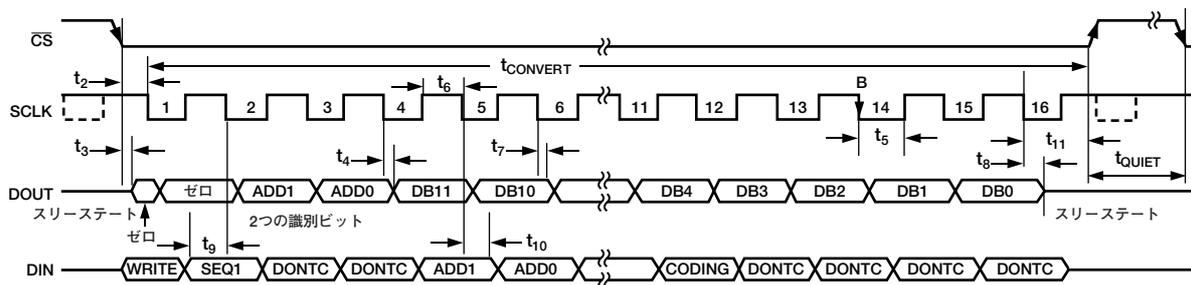


図16. シリアル・インターフェースのタイミング図

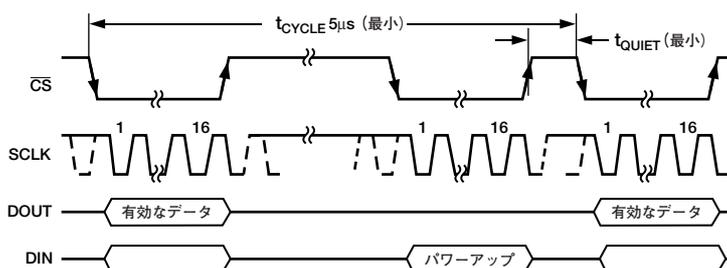


図17. 一般的なタイミング図

## AD7923

MSB (WRITEビット) が1に設定されているとすると、コントロール・レジスタへの情報の書き込みは、データ転送でのSCLKの最初の12個の立ち下がりエッジで行われます。

AD7923から読み出される16ビット・ワードには、常に2つの先行ゼロ、変換結果に対応する2つのチャンネル・アドレス・ビット、そして12ビットの変換結果が含まれています。

### 変換と変換の間の書き込み

動作モードのセクションで述べたように、連続した有効な変換と変換の間には5 $\mu$ s以上を確保してください。ただし、CSの立ち下がりエッジ間で、必ずしも5 $\mu$ s以上確保しなくてもよい場合もあります。有効な変換の前に、AD7923に書き込みを行ってシャットダウン状態からパワーアップする場合を考えてみましょう。正しい変換を行うためには、AD7923に書き込みを行って、パワーアップするよう指示しなければなりません。パワーアップのためのシリアル書き込みが完了した後、変換のためにCSがローレベルになるまでさらに5 $\mu$ sを待たずに、できるだけ早く変換をしたい場合があります。その場合、それぞれの有効な変換の間隔が5 $\mu$ s以上であれば、パワーアップの書き込みの最後にあるCS立ち上がりエッジと、有効な変換のための次のCS立ち下がりエッジとの間の静止時間の条件だけを満たす必要があります。図17に、このポイントを示します。なお、このような有効な変換と変換の間にAD7923に書き込む場合、追加の書き込み操作中にDOUTラインは駆動されません。

AD7923がシーケンス機能を実行しているときには、有効な変換と変換の間に上述の追加の書き込み操作を行わないようにすることが重要です。というのは、追加の書き込みのCSの立ち下がりエッジで、muxがシーケンスの次のチャンネルに移動してしまうからです。その場合、次の有効な変換が行われるとき、チャンネル結果が失われることになります。

### マイクロプロセッサとのインターフェース

AD7923のシリアル・インターフェースによって、デバイスをさまざまなマイクロプロセッサに直接接続できます。ここでは、代表的なマイクロコントローラやDSPのシリアル・インターフェース・プロトコルとインターフェースをとる方法について説明します。

#### AD7923とTMS320C541とのインターフェース

TMS320C541のシリアル・インターフェースは、連続的なシリアル・クロックとフレーム同期信号を使用して、AD7923などの周辺デバイスとのデータ転送動作を同期させています。CS入力によって簡単にインターフェースをとることができるため、TMS320C541とAD7923の間にグルー・ロジックは必要ありません。TMS320C541のシリアル・ポートは、内部のCLKX0 (シリアル・ポート0のTxシリアル・クロック) とFSX0 (シリアル・ポート0からのTxフレーム同期) によってバースト・モードで動作するよう設定されています。シリアル・ポート・コントロール・レジスタ (SPC) では、FO=0、FSM=1、MCM=1、TXM=1に設定する必要があります。図18に接続図を示します。信号処理のアプリケーションでは、TMS320C541からのフレーム同期信号によって等間隔のサンプリングにする必要があります。AD7923のV<sub>DRIVE</sub>ピンをTMS320C541と同じ電源電圧に接続します。これによって、必要な場合は、ADCがシリアル・インターフェースのTMS320C541よりも高い電圧で動作することが可能になります。

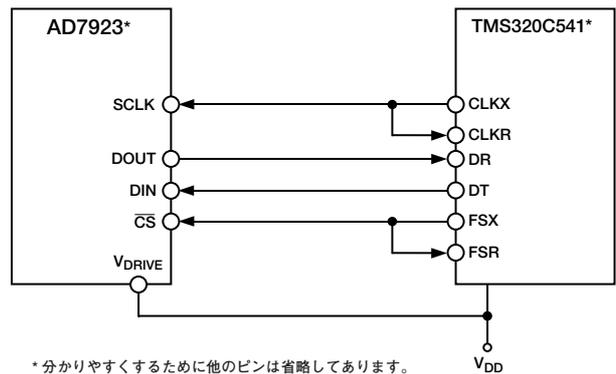


図18. TMS320C541へのインターフェース

#### AD7923とADSP-21xxとのインターフェース

DSPのADSP-21xxファミリーはAD7923に直接インターフェースをとることができ、グルー・ロジックは必要ありません。AD7923のV<sub>DRIVE</sub>ピンは、ADSP-218xと同じ電源電圧に接続します。これによって、必要な場合は、ADCがシリアル・インターフェースのADSP-218xよりも高い電圧で動作することが可能になります。

SPORT0コントロール・レジスタは、次のように設定してください。

```

TFWS=RFSW=1、オルタネート・フレーミング
INVRFS=INVTFS=1、アクティブ・ローのフレーム信号
DTYPE=00、右寄せデータ
SLEN=1111、16ビットのデータ・ワード
ISCLK=1、内部シリアル・クロック
TFSR=RFSR=1、すべてのワードをフレーム化
IRFS=0
ITFS=1
    
```

図19に、接続図を示します。ADSP-218xでは、SPORTのTFSとRFSを接続し、TFSを出力、RFSを入力に設定してあります。DSPは交番フレーミング・モードで動作し、SPORTコントロール・レジスタは説明の通りに設定されています。TFSで生成されるフレーム同期信号はCSに接続され、すべての信号処理アプリケーションでそうであるように等間隔のサンプリングが必要です。ただし、この例では、ADCのサンプリング・レートの制御にタイマー割り込みを使用しており、場合によっては等間隔のサンプリングが不可能になります。

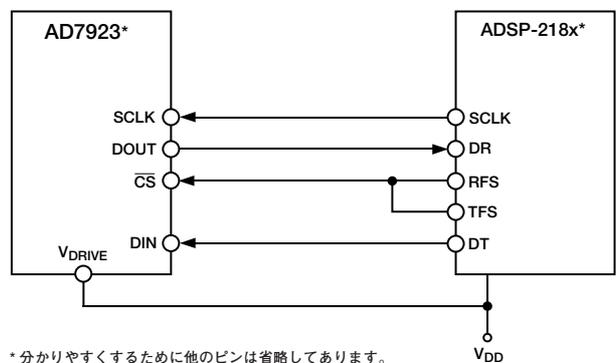


図19. ADSP-218xへのインターフェース

タイマー・レジスタには、たとえば、必要なサンプル間隔で割り込みを提供する値をロードします。割り込みを受信すると、値をTFS/DT（ADCの制御ワード）とともに送信します。RFSの制御に使用するTFSで、データの読み出しを制御します。シリアル・クロックの周波数は、SCLKDIVレジスタで設定します。TFSとともに送信する命令が与えられると（AX0=TX0）、SCLKの状態がチェックされます。DSPは、SCLKがハイになり、ローになってから、再びハイになるまで待ち、その後送信を開始します。SCLKの立ち上がりエッジまたはその近くで送信命令が出るようにタイマーとSCLKの値を選択している場合には、データは送信されるか、または次のクロック・エッジまで待つこととなります。

たとえば、ADSP-2189で20MHzの水晶発振器を使用し、マスター・クロック周波数が40MHzの場合は、マスター・サイクル時間が25nsとなります。SCLKDIVレジスタに値3がロードされた場合には、5MHzのSCLKが得られ、1 SCLK周期ごとに8つのマスター・クロック周期が経過します。選択したスループット・レートによっては、タイマー・レジスタに値803がロードされた場合、割り込みの間隔、およびその後の送信命令の間隔は、SCLK周期で100.5個分になります。この状態では、送信命令がSCLKのエッジで出現するため、不等間隔のサンプリングになります。割り込みと割り込みの間のSCLKの数が整数値Nの場合は、DSPが等間隔のサンプリングを実行します。

#### AD7923とDSP563xxとのインターフェース

図20の接続図に、モトローラ社のDSP563xxファミリーのESSI（同期シリアル・インターフェース）にAD7923を接続する方法を示します。各ESSI（ボードに2つ）は、TxとRxに対して内部で生成したワード長フレーム同期（CRBのビットFSL1=0、FSL0=0）によって、同期モード（CRBのSYNビット=1）で動作します。ESSIの通常動作を選択するには、CRBでMOD=0にします。CRAでビットWL1=1、WL0=0に設定して、ワード長を16に設定します。フレーム同期が負になるように、CRBのFSPビットは1に設定してください。信号処理アプリケーションでは、DSP563xxからのフレーム同期信号で等間隔のサンプリングを行う必要があります。

図20に示す例では、シリアル・クロックがESSIから得られるため、SCK0ピンを出力に設定する必要があります（SCKD=1）。AD7923のV<sub>DRIVE</sub>ピンは、DSP563xxと同じ電源電圧に接続してください。これによって、必要な場合は、ADCがシリアル・インターフェースのDSP563xxよりも高い電圧で動作することが可能になります。

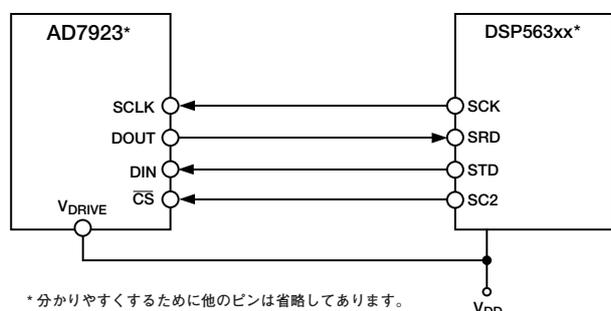


図20. DSP563xxへのインターフェース

## アプリケーションのヒント

### グラウンドとレイアウト

PSRRと電源リップル周波数のプロット（TPC 3）に示すように、AD7923は電源のノイズに対して非常に優れた耐性がありますが、グラウンドとレイアウトについては注意が必要です。

AD7923を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボードの特定の領域にまとめるように設計してください。これによって、簡単に分離できるグラウンド・プレーンを使用できるようになります。最善のシールド効果を得るために、グラウンド・プレーンに対するエッチングは原則として最小限に抑えます。AD7923の3本のAGNDピンは、すべてAGNDプレーンに接続します。デジタルとアナログのグラウンド・プレーンは、1箇所だけで結合してください。複数のデバイスがAGND~DGND接続を必要とするシステムでAD7923を使用する場合には、AD7923のできるだけ近くで、星形グラウンド・ポイント1箇所だけで接続してください。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。アナログ・グラウンド・プレーンについては、ノイズ混入を防止するために、AD7923の下を通すことは可能です。AD7923への電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を低減します。クロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分にノイズが放射しないようにします。また、クロック信号をアナログ入力付近に通さないようにします。デジタル信号とアナログ信号のクロスオーバーを避けます。基板の反対側のトレースは、互いに直角になるようにします。これによって、基板を通るフィードスルーの影響が減ります。マイクロストリップ技術は格段に優れていますが、両面ボードでは対応できない場合もあります。この方式では、基板のコンポーネント側はグラウンド・プレーン専用にし、信号はハンダ側に配線します。

優れたデカップリングも重要です。すべてのアナログ電源とAGNDの間に10μF tantalumコンデンサと0.1μFのコンデンサを並列接続してデカップリングしてください。これらのデカップリング部品から最高の性能を引き出すには、できるだけデバイスの近く、理想的にはデバイスの隣に配置します。0.1μFコンデンサは、直列実効抵抗（ESR）と直列実効インダクタンス（ESI）が低いものにしてください。つまり、一般的なセラミック型や表面実装型などを使用して、高周波数でのグラウンドへの低インピーダンス・パスを提供し、内部ロジック・スイッチングによる過渡電流を処理します。

### AD7923の性能評価

AD7923の推奨レイアウトは、AD7923の評価ボードに示してあります。評価ボード・パッケージには、組み立ておよびテスト済みの評価ボード、ドキュメント、そしてEval-Board Controllerを介してPCからボードを制御するためのソフトウェアが入っています。Eval-Board ControllerをAD7923の評価ボードや、末尾番号CBが付く他の多くのアナログ・デバイスサイズの評価ボードと組み合わせて使用すれば、AD7923のAC性能とDC性能を実証/評価することができます。

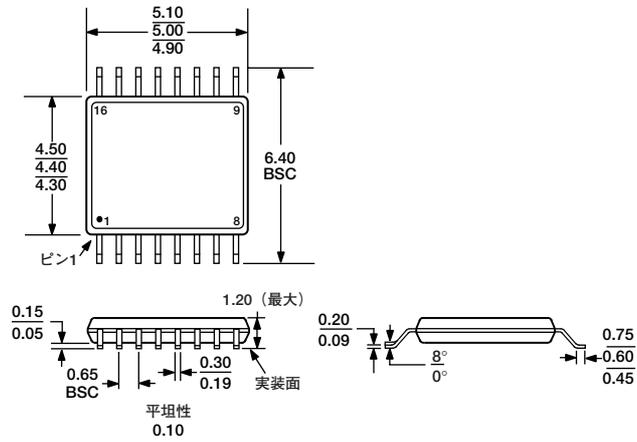
このソフトウェアを使用すれば、ユーザーはAD7923でACテスト（高速フーリエ変換）とDCテスト（コードのヒストグラム）を実行することができます。ソフトウェアとドキュメントは、評価ボードに付属のCDにあります。

# AD7923

## 外形寸法

### 16ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-16)

寸法はミリメートルで表示



JEDEC規格MO-153ABに準拠

C03086-0-11/02(0)

PRINTED IN JAPAN