

特長

- 高速 14 ビット ADC を 2 個内蔵
- 4 入力チャンネル
- 同時にサンプリングと変換
- 5.2 μ s の変換時間
- 単電源動作
- 入力範囲が選択可能
 - AD7863-10: ± 10 V
 - AD7863-3: ± 2.5 V
 - AD7863-2: 0 V \sim 2.5 V
- 高速パラレル・インターフェース
- 低消費電力: 70 mW (typ)
- 省電力モード: 最大 105 μ W
- アナログ入力の過電圧保護
- AD7862 に対する 14 ビット・ピン互換アップグレード

概要

AD7863 は、5 V 単電源で動作する高速低消費電力のデュアル 14 ビット A/D コンバータです。

このデバイスは、2 個の 5.2 μ s 逐次比較型 ADC、2 個のトラック/ホールド・アンプ、2.5 V のリファレンス、高速パラレル・インターフェースを内蔵しています。4 つのアナログ入力は 2 チャンネル (A と B) にグループ化され、A0 入力で選択されます。各チャンネルには 2 つの入力 (V_{A1} と V_{A2} または V_{B1} と V_{B2}) があり、これらは同時にサンプルおよび変換されるため、両アナログ入力の信号の相対位相情報が保持されます。このデバイスのアナログ入力範囲は、 ± 10 V (AD7863-10)、 ± 2.5 V (AD7863-3)、0 V \sim 2.5 V (AD7863-2) です。アナログ入力の過電圧保護機能は、それぞれ ± 17 V、 ± 7 V または +7 V までの入力電圧を損傷することなく許容します。

1 回の変換スタート信号 ($\overline{\text{CONVST}}$) により同時に両トラック/ホールドがホールド状態になり、両チャンネルで変換が開始されます。BUSY 信号は変換の終了を表示し、この時点で両チャンネルの変換結果が読出し可能になります。マルチプレクサ・セレクト (A0) のロー/ハイ・レベルに応じて、変換後の最初の読出しで V_{A1} または V_{B1} の変換結果がアクセスされ、2 番目の読出しで V_{A2} または V_{B2} の変換結果がアクセスされます。デバイスからのデータの読出しは、標準の $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号を持つ 14 ビットのパラレル・データバスを経由して行います。直線性、ゲイン、オフセット誤差などの従来型の DC 精度仕様に加えて、このデバイスでは高調波歪や信号対ノイズ比などのダイナミック性能パラメータも規定しています。

AD7863 は、アナログ・デバイセズのリニア互換 CMOS (LC²MOS) プロセスを採用して製造されています。この製造プロセスはミックスド・テクノロジー・プロセスであり、高精度バイ

機能ブロック図

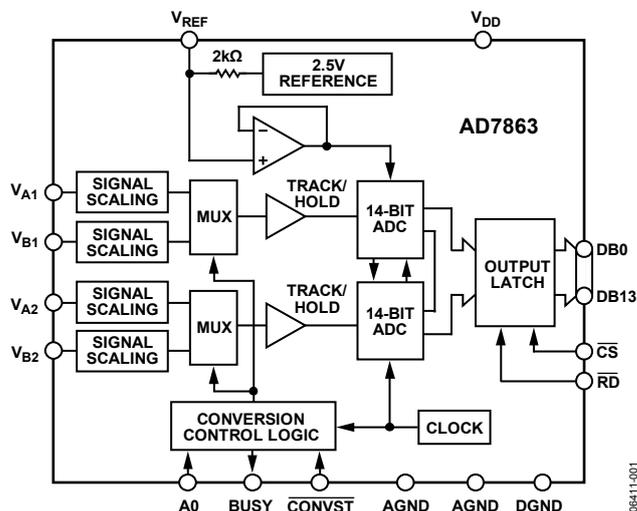


図1.

ポーラ回路と低消費電力 CMOS ロジックを組み合わせることができます。このデバイスは、28 ピン SOIC_W または SSOP パッケージを採用しています。

製品のハイライト

1. AD7863 は 2 個の完全な ADC 機能を内蔵しており、2 チャンネルのサンプリングと変換を同時に実行することができます。各 ADC には 2 チャンネルの入力マルチプレクサが付いています。両チャンネルの変換結果は、変換開始後 5.2 μ s で読出し可能になります。
2. AD7863 は 5 V の単電源で動作し、70 mW (Typ 値) の消費電力です。自動パワーダウン・モードでは、変換完了時にデバイスがパワーダウンし、次の変換サイクルの前にウェイクアップします。AD7863 はこの機能を持つためバッテリー駆動アプリケーションまたはポータブル・アプリケーションに最適です。
3. このデバイスは高速パラレル・インターフェースを持つため、マイクロプロセッサ、マイクロコントローラ、デジタル信号プロセッサに容易に接続することができます。
4. このデバイスでは、異なるアナログ入力電圧範囲を持つ 3 つのバージョンを提供しています。AD7863-10 は標準工業用入力範囲 ± 10 V を、AD7863-3 は一般的な信号処理入力範囲 ± 2.5 V をそれぞれ提供し、AD7863-2 はユニポーラ 0 V \sim 2.5 V のアプリケーションで使用することができます。
5. このデバイスの 2 つの入力サンプル・アンド・ホールド・アンプはアパーチャ遅延が非常に厳しく一致しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2006 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	総合高調波歪み(THD).....	15
概要.....	1	相互変調歪み.....	15
製品のハイライト.....	1	ピーク高調波またはスプリアス・ノイズ.....	15
改訂履歴.....	2	DC直線性のプロット.....	15
仕様.....	3	消費電力について.....	16
タイミング特性.....	5	マイクロプロセッサ・インターフェース.....	17
絶対最大定格.....	6	AD7863とADSP-2100とのインターフェース.....	17
ESDの注意.....	6	AD7863とADSP-2101/ADSP-2102とのインターフェース.....	17
ピン配置およびピン機能説明.....	7	AD7863とTMS32010とのインターフェース.....	17
用語.....	8	AD7863とTMS320C25とのインターフェース.....	17
コンバータの詳細.....	9	AD7863とMC68000とのインターフェース.....	18
トラック・アンド・ホールド・セクション.....	9	AD7863と80C196とのインターフェース.....	18
リファレンス電圧セクション.....	9	ベクタ・モーター・コントロール.....	18
回路説明.....	10	複数のAD7863.....	19
アナログ入力セクション.....	10	アプリケーション情報.....	20
オフセットとフルスケールの調整.....	10	PCボード・レイアウトでの考慮事項.....	20
タイミングと制御.....	11	グラウンド・プレーン.....	20
動作モード.....	13	電源プレーン.....	20
モード1動作.....	13	電源のデカップリング.....	20
モード2動作.....	13	外形寸法.....	21
AD7863ダイナミック仕様.....	14	オーダー・ガイド.....	22
信号対ノイズ比(SNR).....	14		
実効ビット数.....	14		

改訂履歴

11/06—Rev. A to Rev. B

Updated Format.....	Universal
Deleted Applications.....	1
Changes to Specifications.....	3
Changes to Absolute Maximum Ratings.....	6
Updated Outline Dimensions.....	21
Changes to Ordering Guide.....	22

5/99—Rev. 0 to Rev. A

仕様

$V_{DD} = 5\text{ V} \pm 5\%$ 、 $AGND = DGND = 0\text{ V}$ 、 $REF = \text{内部}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 1.

Parameter	A Version ¹	B Version ¹	Unit	Test Conditions/Comments
SAMPLE AND HOLD				
-3 dB Small Signal Bandwidth	7	7	MHz typ	
Aperture Delay ²	35	35	ns max	
Aperture Jitter ²	50	50	ps typ	
Aperture Delay Matching ²	350	350	ps max	
DYNAMIC PERFORMANCE³				
Signal-to-(Noise + Distortion) Ratio ⁴ @ 25°C	78	78	dB min	$f_{IN} = 80.0\text{ kHz}$, $f_S = 175\text{ kSPS}$
T_{MIN} to T_{MAX}	77	77	dB min	
Total Harmonic Distortion ⁴	-82	-82	dB max	-87 dB typ
Peak Harmonic or Spurious Noise ⁴	-82	-82	dB max	-90 dB typ
Intermodulation Distortion ⁴ Second Order Terms	-93	-93	dB typ	$f_a = 49\text{ kHz}$, $f_b = 50\text{ kHz}$
Third Order Terms	-89	-89	dB typ	
Channel-to-Channel Isolation ⁴	-86	-86	dB typ	$f_{IN} = 50\text{ kHz}$ sine wave
DC ACCURACY				
Resolution	14	14	Bits	Any channel
Minimum Resolution for Which No Missing Codes are Guaranteed	14	14	Bits	
Relative Accuracy ⁴	± 2.5	± 2	LSB max	
Differential Nonlinearity ⁴ AD7863-10, AD7863-3	+2 to -1	+2 to -1	LSB max	
Positive Gain Error ⁴	± 10	± 8	LSB max	
Positive Gain Error Match ⁴	10	10	LSB max	
Negative Gain Error ⁴	± 10	± 8	LSB max	
Negative Gain Error Match ⁴	10	10	LSB max	
Bipolar Zero Error	± 10	± 8	LSB max	
Bipolar Zero Error Match	8	6	LSB max	
AD7863-2				
Positive Gain Error ⁴	± 14		LSB max	
Positive Gain Error Match ⁴	16		LSB max	
Unipolar Offset Error	± 14		LSB max	
Unipolar Offset Error Match	10		LSB max	
ANALOG INPUTS				
AD7863-10				
Input Voltage Range	± 10	± 10	V	
Input Resistance	9	9	k Ω typ	
AD7863-3				
Input Voltage Range	± 2.5	± 2.5	V	
Input Resistance	3	3	k Ω typ	
AD7863-2				
Input Voltage Range	2.5	2.5	V	
Input Current	100	100	nA max	
REFERENCE INPUT/OUTPUT				
REF IN Input Voltage Range	2.375 to 2.625	2.375 to 2.625	V	$2.5\text{ V} \pm 5\%$
REF IN Input Current	± 100	± 100	μA max	
REF OUT Output Voltage	2.5	2.5	V nom	
REF OUT Error @ 25°C	± 10	± 10	mV max	
REF OUT Error T_{MIN} to T_{MAX}	± 20	± 20	mV max	
REF OUT Temperature Coefficient	25	25	ppm/°C typ	
LOGIC INPUTS				
Input High Voltage, V_{INH}	2.4	2.4	V min	$V_{DD} = 5\text{ V} \pm 5\%$

Parameter	A Version ¹	B Version ¹	Unit	Test Conditions/Comments
Input Low Voltage, V_{INL}	0.8	0.8	V max	$V_{DD} = 5\text{ V} \pm 5\%$
Input Current, I_{IN}	± 10	± 10	$\mu\text{A max}$	
Input Capacitance, C_{IN} ⁵	10	10	pF max	
LOGIC OUTPUTS				
Output High Voltage, V_{OH}	4.0	4.0	V min	$I_{SOURCE} = 200\ \mu\text{A}$
Output Low Voltage, V_{OL}	0.4	0.4	V max	$I_{SINK} = 1.6\ \text{mA}$
DB11 to DB0				
Floating-State Leakage Current	± 10	± 10	$\mu\text{A max}$	
Floating-State Capacitance ⁵	10	10	pF max	
Output Coding				
AD7863-10, AD7863-3				Twos complement
AD7863-2				Straight (natural) binary
CONVERSION RATE				
Conversion Time				
Mode 1 Operation	5.2	5.2	$\mu\text{s max}$	For both channels
Mode 2 Operation ⁶	10.0	10.0	$\mu\text{s max}$	For both channels
Track/Hold Acquisition Time ^{4, 7}	0.5	0.5	$\mu\text{s max}$	
POWER REQUIREMENTS				
V_{DD}	5	5	V nom	$\pm 5\%$ for specified performance
I_{DD}				
Normal Mode (Mode 1)				
AD7863-10	18	18	mA max	
AD7863-3	16	16	mA max	
AD7863-2	11	11	mA max	
Power-Down Mode (Mode 2)				
$I_{DD} @ 25^\circ\text{C}$ ⁸	20	20	$\mu\text{A max}$	40 nA typ. Logic inputs = 0 V or V_{DD}
Power Dissipation				
Normal Mode (Mode 1)				
AD7863-10	94.50	94.50	mW max	$V_{DD} = 5.25\ \text{V}$, 70 mW typ
AD7863-3	84	84	mW max	$V_{DD} = 5.25\ \text{V}$, 70 mW typ
AD7863-2	57.75	57.75	mW max	$V_{DD} = 5.25\ \text{V}$, 45 mW typ
Power-Down Mode @ 25°C	105	105	$\mu\text{W max}$	210 nW typ, $V_{DD} = 5.25\ \text{V}$

¹ AバージョンとBバージョンの温度範囲は、 $-40^\circ\text{C} \sim +85^\circ\text{C}$ 。

² 初期リリース時にサンプル・テストを実施します。

³ モード1動作に適用します。動作モードのセクションを参照してください。

⁴ 用語のセクションを参照してください。

⁵ 25°C でのサンプル・テストによりコンプライアンスを保証します。

⁶ この10 μs には、スタンバイからのウェイクアップ時間が含まれます。ウェイクアップ時間は、 $\overline{\text{CONVST}}$ の立上がりエッジからですが、変換時間は $\overline{\text{CONVST}}$ の立下がりエッジからです。狭い $\overline{\text{CONVST}}$ パルス幅の場合、変換時間は実質的にウェイクアップ時間と変換時間10 μs の和になります。これは、図6から知ることができません。 $\overline{\text{CONVST}}$ パルス幅は5.2 μs より広い場合、実効変換時間は10 μs を超えます。

⁷ 性能は、フル・チャンネル(マルチプレクサ、SHA、ADC)で測定されます。

⁸ AD7863の最適ダイナミック性能を得るためには、ATEデバイス・テストをデカップリングした電源で実施する必要があります。AD7863のパワーダウン動作モードでは、これらのデカップリング・コンデンサに対応するリーク電流はAD7863の電源電流より大きくなります。このため、記載した40 nA値(typ)はAD7863のデカップリングのない電源電流を反映するデザイン値でキャラクタライズ/保証されます。Conditions/Commentsの欄に記載の最大値は、電源デカップリングがあるAD7863を反映しています— V_{DD} ピンとAGNDプレーンの間に0.1 μF と10 μF のとの並列接続を、 V_{REF} ピンとAGNDプレーンの間に $2 \times 0.1\ \mu\text{F}$ ディスク・セラミック・コンデンサを、それぞれ接続しています。

タイミング特性

$V_{DD} = 5\text{ V} \pm 5\%$ 、 $AGND = DGND = 0\text{ V}$ 、 $REF = \text{内部}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 2.

Parameter ^{1,2}	A, B Versions	Unit	Test Conditions/Comments
t_{CONV}	5.2	$\mu\text{s max}$	Conversion time
t_{ACQ}	0.5	$\mu\text{s max}$	Acquisition time
Parallel Interface			
t_1	0	ns min	\overline{CS} to \overline{RD} setup time
t_2	0	ns min	\overline{CS} to \overline{RD} hold time
t_3	35	ns min	\overline{CONVST} pulse width
t_4	45	ns min	\overline{RD} pulse width
t_5^3	30	ns min	Data access time after falling edge of \overline{RD}
t_6^4	5	ns min	Bus relinquish time after rising edge of \overline{RD}
	30	ns max	
t_7	10	ns min	Time between consecutive reads
t_8	400	ns min	Quiet time

¹ 25°Cでのサンプル・テストによりコンプライアンスを保証します。すべての入力信号は $t_r = t_f = 1\text{ ns}$ (5 Vの10%から90%)で規定し、1.6 Vの電圧レベルからの時間とします。

² 図2を参照してください。

³ 図3に示す負荷回路で測定。出力が0.8 Vまたは2.0 Vと交差するまでに必要な時間と定義します。

⁴ これらの値は、図3の負荷回路でデータ出力が0.5 V変化するときを要する時間の測定値から導出されます。この測定値に外挿を行い、50 PFコンデンサの充電の影響を除去してあります。タイミング特性で使用する時間はデバイスの真のバス開放時間を意味し、外部バスの負荷容量に無関係であることを意味します。

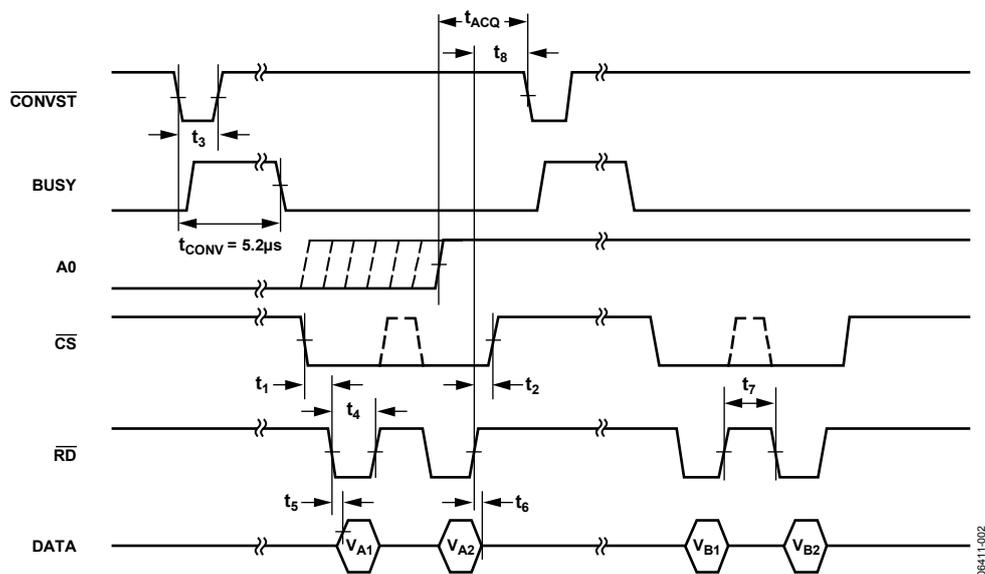


図2. タイミング図

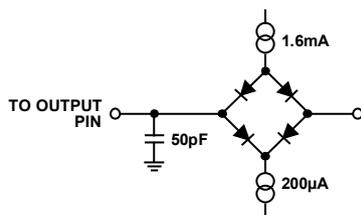


図3. アクセス時間とバス開放時間測定時の負荷回路

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Ratings
V_{DD} to AGND	-0.3 V to +7 V
V_{DD} to DGND	-0.3 V to +7 V
Analog Input Voltage to AGND	
AD7863-10	± 17 V
AD7863-3	± 7 V
AD7863-2	7 V
Reference Input Voltage to AGND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to DGND	-0.3 V to $V_{DD} + 0.3$ V
Digital Output Voltage to DGND	-0.3 V to $V_{DD} + 0.3$ V
Operating Temperature Range	
Commercial (A Version and B Version)	-40°C to $+85^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Junction Temperature	150°C
SOIC Package, Power Dissipation	450 mW
θ_{JA} Thermal Impedance	$71.40^\circ\text{C}/\text{W}$
θ_{JC} Thermal Impedance	$23.0^\circ\text{C}/\text{W}$
Lead Temperature, Soldering	
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C
SSOP Package, Power Dissipation	450 mW
θ_{JA} Thermal Impedance	$109^\circ\text{C}/\text{W}$
θ_{JC} Thermal Impedance	$39.0^\circ\text{C}/\text{W}$
Lead Temperature, Soldering	
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

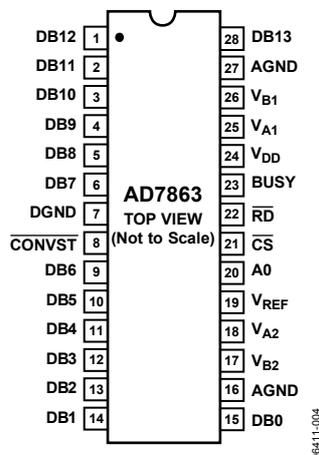


図4. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1 to 6	DB12 to DB7	データ・ビット 12～データ・ビット 7。スリーステート TTL 出力。
7	DGND	デジタル・グラウンド。デジタル回路のグラウンド基準。
8	CONVST	変換開始入力。ロジック入力。この入力のハイ・レベルからロー・レベルへの変化により、両トラック/ホールドがホールド・モードになり、両チャンネルで変換が開始されます。
9～15	DB6 to DB0	データ・ビット 6～データ・ビット 0。スリーステート TTL 出力。
16	AGND	アナログ・グラウンド。マルチプレクサ、トラック/ホールド、リファレンス電圧、DAC 回路のグラウンド基準。
17	V _{B2}	チャンネル B の入力番号 2。アナログ入力電圧範囲: ±10 V (AD7863-10)、±2.5 V (AD7863-3)、0 V～2.5 V (AD7863-2)。
18	V _{A2}	チャンネル A の入力番号 2。アナログ入力電圧範囲: ±10 V (AD7863-10)、±2.5 V (AD7863-3)、0 V～2.5 V (AD7863-2)。
19	V _{REF}	リファレンス電圧入力/出力。このピンは直列抵抗を介して内部リファレンス電圧に接続され、A/D コンバータの出力リファレンス電圧になっています。公称リファレンス電圧は 2.5 V で、この電圧がこのピンに出力されます。
20	A0	マルチプレクサの選択。この入力は $\overline{\text{CONVST}}$ と組み合わせて使い、変換を行うチャンネル対を指定します。変換開始時に A0 がロー・レベルの場合、チャンネル V _{A1} と V _{A2} が選択されます。変換開始時に A0 がハイ・レベルの場合、チャンネル V _{B1} と V _{B2} が選択されます。
21	$\overline{\text{CS}}$	チップ・セレクト入力。アクティブ・ローのロジック入力。この入力をアクティブにすると、デバイスが選択されます。
22	$\overline{\text{RD}}$	読出し入力。アクティブ・ローのロジック入力。この入力は $\overline{\text{CS}}$ のロー・レベルと組み合わせて使われ、データ出力と AD7863 からの変換結果の読出しをイネーブルします。
23	BUSY	ビジー出力。このビジー出力は $\overline{\text{CONVST}}$ の立下がりエッジでハイ・レベルになり、変換が完了するまでハイ・レベルを維持します。
24	V _{DD}	アナログとデジタルの正電源電圧 5.0 V ± 5%。
25	V _{A1}	チャンネル A の入力番号 1。アナログ入力電圧範囲: ±10 V (AD7863-10)、±2.5 V (AD7863-3)、0 V～2.5 V (AD7863-2)。
26	V _{B1}	チャンネル B の入力番号 1。アナログ入力電圧範囲: ±10 V (AD7863-10)、±2.5 V (AD7863-3)、0 V～2.5 V (AD7863-2)。
27	AGND	アナログ・グラウンド。マルチプレクサ、トラック/ホールド、リファレンス電圧、DAC 回路のグラウンド基準。
28	DB13	データ・ビット 13 (MSB)。スリーステート TTL 出力。AD7863-10 と AD7863-3 の出力コーディングは 2 の補数。AD7863-2 の出力コーディングはストレート・バイナリ。

用語

信号対(ノイズ+歪み)比

これは、A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプル周波数($f_s/2$)までの全非基本波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想 N ビット・コンバータに対する信号対(ノイズ+歪み)比の理論値は次式で表されます。

$$\text{信号対(ノイズ+歪み)比} = (6.02N + 1.76) \text{ dB}$$

14 ビット・コンバータの場合、86.04 dB になります。

総合高調波歪み

総合高調波歪み(THD)は、高調波の rms 値総和と基本波の比です。AD7863 の場合、次式で与えられます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1}$$

ここで、

V_1 は基本波の rms 振幅。

V_2 、 V_3 、 V_4 、 V_5 は、2 次～5 次の高調波の rms 振幅。

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、ADC 出力スペクトル内の(DC を除いて $f_s/2$ まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれているデバイスの場合は、ノイズ・ピークにより決定されます。

相互変調歪み

非線形性を持つアクティブ・デバイスに 2 つの周波数 f_a および f_b を含む正弦波を入力すると、さまざまな和および差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。ここで、 m 、 $n=0$ 、1、2、3... です。相互変調歪みは m と n が非ゼロの項です。たとえば、2 次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3 次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

AD7863 は、2 つの入力周波数を使ってテストされています。そのため、2 次項と 3 次項は異なる意味を持っています。2 次項は通常、元の正弦波の周波数から離れて位置し、3 次項は通常、入力周波数に近い周波数に位置します。そのため、2 次項と 3 次項は別々に指定されます。相互変調歪みの計算は THD の仕様に従います。すなわち、dB で表した個々の歪み成分の rms 総和の、基本波の和の rms 振幅に対する比になります。

チャンネル間アイソレーション

チャンネル間アイソレーションは、チャンネル間でのクロストークのレベルの大きさを表します。フルスケールの 50 kHz 正弦波信号をすべての非選択入力チャンネルに入力し、選択したチャンネルでこの信号の減衰を測定することにより決定します。図は全チャンネルでのワーストケースを示しています。

相対高精度

相対精度または端点非直線性とは、ADC 伝達関数の両端を結ぶ直線からの最大偏差をいいます。

微分非直線性

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

正のゲイン誤差 (AD7863-10、±10 V、AD7863-3、±2.5 V)

バイポーラ・オフセット誤差を調整した後の、最終のコード変化(01...110→01...111)と理論値 $4 \times V_{\text{REF}} - 1 \text{ LSB}$ (AD7863-10、±10 V 範囲)または $V_{\text{REF}} - 1 \text{ LSB}$ (AD7863-3、±2.5 V 範囲)との差を意味します。

正のゲイン誤差 (AD7863-2、0 V～2.5 V)

ユニポーラ・オフセット誤差調整後の最後のコード変化(11...110→11...111)と理論値($V_{\text{REF}} - 1 \text{ LSB}$)との差を意味します。

バイポーラ・ゼロ誤差 (AD7863-10、±10 V、AD7863-3、±2.5 V)

ミッドスケール変化(全ビット 0→全ビット 1)と理論値 0 V との差を意味します。

ユニポーラ・オフセット誤差 (AD7863-2、0 V～2.5 V)

理論値 AGND + 1 LSB と最初のコード変化(00...000→00...001)との差を意味します。

負のゲイン誤差 (AD7863-10、±10 V、AD7863-3、±2.5 V)

バイポーラ・ゼロ誤差を調整した後の、最初のコード変化(10...000→10...001)と理論値 $-4 \times V_{\text{REF}} + 1 \text{ LSB}$ (AD7863-10、±10 V 範囲)または $-V_{\text{REF}} + 1 \text{ LSB}$ (AD7863-3、±2.5 V 範囲)との差を意味します。

トラック・アンド・ホールド・アキュイジション・タイム

トラック・アンド・ホールド・アキュイジション時間は、変換終了後(トラック・アンド・ホールドがトラック・モードに戻るポイント)にトラック・アンド・ホールド・アンプが最終値の±1/2 LSB 以内に出力が収まるまでに要する時間です。これは、選択された入力チャンネルに変化が生じた場合または AD7863 の選択された $V_{\text{AX/BX}}$ 入力に加えられた入力電圧にステップ入力変化があった場合にも適用されます。仕様通りにデバイスを動作させるためには、変換完了後または $V_{\text{AX/BX}}$ でのチャンネル変更/ステップ入力変化の後で、かつ次の変換が開始される前に、次の変換までトラック・アンド・ホールド・アキュイジション時間の間、待つ必要があることを意味します。

コンバータの詳細

AD7863 は、5 V 単電源で動作する高速低消費電力のデュアル 14 ビット A/D コンバータです。このデバイスは、2 個の 5.2 μs 逐次比較型 ADC、2 個のトラック・アンド・ホールド・アンプ、2.5 V のリファレンス、高速パラレル・インターフェースを内蔵しています。4 個のアナログ入力には 2 チャンネル (A と B) にグループ化され、A0 入力で選択されます。各チャンネルには 2 つの入力 (V_{A1} と V_{A2} または V_{B1} と V_{B2}) があり、これらは同時にサンプルおよび変換されるため、両アナログ入力の信号の相対位相情報が保持されます。このデバイスのアナログ入力範囲は、 $\pm 10\text{ V}$ (AD7863-10)、 $\pm 2.5\text{ V}$ (AD7863-3)、 $0\text{ V} \sim 2.5\text{ V}$ (AD7863-2) です。アナログ入力の過電圧保護機能は、それぞれ $\pm 17\text{ V}$ 、 $\pm 7\text{ V}$ または $+7\text{ V}$ までの入力電圧を損傷することなく許容します。AD7863 には高サンプリング・モードと自動スリープ・モードの 2 つの動作モードがあります。この自動スリープ・モードではデバイスは変換終了後に自動的にスリープになります。これらのモードについては、タイミングと制御のセクションで詳しく説明します。

CONVST にパルスを入力すると AD7863 上で変換が開始されます。CONVST の立下がりエッジで、両内蔵トラック・アンド・ホールドが同時にホールド・モードになり、両チャンネルで変換シーケンスが開始されます。デバイスの変換クロックは、レーザー・トリムされたクロック発振器回路を使って内部で発生されます。BUSY 信号は変換の終了を表示し、この時点で両チャンネルの変換結果が読出し可能になります。変換が開始される前のマルチプレクサ・セレクト (A0) のロー/ハイ・レベルに応じて、変換後の最初の読出しで V_{A1} または V_{B1} の変換結果がアクセスされ、2 番目の読出しで V_{A2} または V_{B2} の変換結果がアクセスされます。デバイスからのデータの読出しは、標準の CS 信号と RD 信号を持つ 14 ビットのパラレル・データバスを経由して行います。

高サンプリング・モードでのデバイスの変換時間は 5.2 μs (自動スリープ・モードでは 10 μs)、トラック/ホールド・アキュイジション時間は 0.5 μs です。デバイスの最適性能を実現するためには、**エラー! ブックマークが定義されていません。** 変換中または次の変換の前 400 ns 中に、読出し動作が発生しないことが必要です。これにより、デバイスは最大 175 kHz のスループット・レートで動作することができ、データ・シート仕様を実現することができます。

トラック・アンド・ホールド・セクション

AD7863 のトラック・アンド・ホールド・アンプにより、ADC はフルスケール振幅の入力正弦波を正確に 14 ビット精度で変換することができます。トラック・アンド・ホールドの入力帯域幅は、ADC が 175 kHz の最大スループット・レートで動作した場合でも、ADC のナイキスト・レートより広がっています (すなわちトラック・アンド・ホールドは 87.5 kHz を超える入力周波数を処理することができます)。

トラック・アンド・ホールド・アンプは、入力信号を 14 ビット精度で 500 ns 以下で取得します。トラック・アンド・ホールドの動作は本来ユーザには見えません。2 つのトラック・アンド・ホールド・アンプは、CONVST の立下がりエッジでそれぞれの入力チャンネルを同時にサンプルします。トラック・アンド・ホールドのアーチャ時間 (外部 CONVST 信号とトラック・アンド・ホールドの実際のホールド・モード開始との間の遅延時間) は 1 つのデバイス内の 2 つのトラック・アンド・ホールドで一致しており、さらにデバイス間でも一致しています。このため、異なる入力チャンネル間の相対位相情報が正確に保存されます。また、複数の AD7863 が複数のチャンネルを同時にサンプルすることができます。変換が完了すると、デバイスはトラッキング・モードに戻ります。トラック・アンド・ホールド・アンプのアキュイジション時間は、このタイミングから開始されます。

リファレンス電圧セクション

AD7863 はリファレンス・ピン V_{REF} があり、このピンを使ってデバイス内蔵の 2.5 V リファレンス電圧をアクセスすることができます。あるいは、外付け 2.5 V リファレンス電圧をこのピンに接続して、デバイスにリファレンス電圧を入力することができます。デバイスは 2.5 V のリファレンス電圧で仕様が規定されています。リファレンス電圧源の誤差は AD7863 の伝達関数でのゲイン誤差になり、このデバイスのフルスケール誤差規定値に加算されます。AD7863-10 と AD7863-3 では、減衰器ステージに混入するオフセット誤差も発生します。

AD7863 は 2.5 V のリファレンス電圧を内蔵しています。この内蔵リファレンス電圧を AD7863 のリファレンス電源として使用する場合、 V_{REF} ピンと AGND の間に 2 個の 0.1 μF のディスク・セラミック・コンデンサを接続します。このピンに現れる電圧は内部でバッファされた後に ADC へ供給されます。このリファレンス電圧を AD7863 の外部で使用する場合にはバッファが必要ですが、これは、デバイス内でリファレンス出力と直列に FET スイッチがあるため、この出力のソース・インピーダンスが公称 5.5 k Ω になるためです。内蔵リファレンス電圧の偏差は 25°C で $\pm 10\text{ mV}$ 、温度係数は 25 ppm/ $^{\circ}\text{C}$ (typ)、温度に対する最大誤差は $\pm 25\text{ mV}$ です。

アプリケーションでこれより小さい偏差のリファレンス電圧が必要な場合、または AD7863 をシステム・リファレンス電圧で使用する場合、外部リファレンスをこの V_{REF} ピンに接続することができます。外部リファレンス電圧により内蔵リファレンス電圧を上書きして、ADC へリファレンス電源を供給することができます。リファレンス入力はバッファした後に ADC に接続され、最大入力電流は $\pm 100\text{ }\mu\text{A}$ です。AD7863 に対する適切なリファレンス源としては、AD780 高精度 2.5 V リファレンスがあります。

回路説明

アナログ入力セクション

AD7863 には 3 種類のデバイス・タイプがあります。AD7863-10 は ± 10 V の入力電圧範囲を、AD7863-3 は ± 2.5 V の入力電圧範囲を、AD7863-2 は 0 V ~ 2.5 V の入力電圧範囲を、それぞれ処理します。

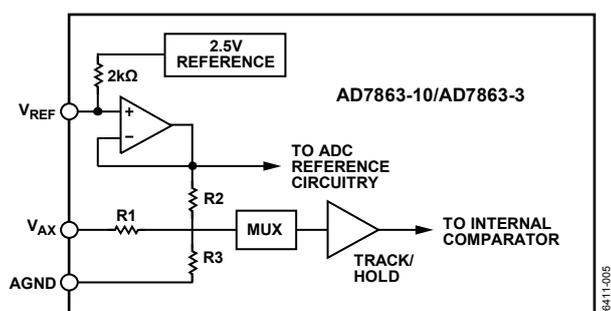


図 5. AD7863-10/AD7863-3 アナログ入力構造

図 5 に AD7863-10 と AD7863-3 のアナログ入力セクションを示します。AD7863-10 のアナログ入力範囲は ± 10 V で、入力抵抗は 9 k Ω (typ) です。AD7863-3 のアナログ入力範囲は ± 2.5 V で、入力抵抗は 3 k Ω (typ) です。この入力では、抵抗ステージの後ろにはトラック・アンド・ホールド・アンプのハイ入力インピーダンス・ステージが続いているため、ダイナミック充電電流が発生しません。AD7863-10 の場合、 $R1 = 8$ k Ω 、 $R2 = 2$ k Ω 、 $R3 = 2$ k Ω です。AD7863-3 の場合、 $R1 = R2 = 2$ k Ω 、 $R3$ はオープンです。

AD7863-10 と AD7863-3 の場合、デザイン上のコード変化は連続する整数 LSB 値 (すなわち、1 LSB、2 LSB、3 LSB など) で発生します。出力コーディングは 2 の補数バイナリで、1 LSB = $FS/16,384$ です。AD7863-10 と AD7863-3 の理論入力/出力伝達関数を表 5 に示します。

表 5. 理論入力/出力コード (AD7863-10/AD7863-3)

Analog Input ¹	Digital Output Code Transition
+FSR/2 - 1 LSB ²	011 ... 110 to 011 ... 111
+FSR/2 - 2 LSBs	011 ... 101 to 011 ... 110
+FSR/2 - 3 LSBs	011 ... 100 to 011 ... 101
GND + 1 LSB	000 ... 000 to 000 ... 001
GND	111 ... 111 to 000 ... 000
GND - 1 LSB	111 ... 110 to 111 ... 111
-FSR/2 + 3 LSBs	100 ... 010 to 100 ... 011
-FSR/2 + 2 LSBs	100 ... 001 to 100 ... 010
-FSR/2 + 1 LSB	100 ... 000 to 100 ... 001

¹FSR はフルスケール範囲 = 20 V (AD7863-10)、= 5 V (AD7863-3)、 $V_{REF} = 2.5$ V。

²1 LSB = $FSR/16,384 = 1.22$ mV (AD7863-10)、= 0.3 mV (AD7863-3)、 $V_{REF} = 2.5$ V。

AD7863-2 のアナログ入力セクションでは、バイアス抵抗がなく、 $V_{AX/BX}$ ピンがマルチプレクサとトラック・アンド・ホールド・アンプ回路の入力を直接駆動しています。アナログ入力範囲は 0 V ~ 2.5 V でハイ・インピーダンス・ステージであるため入力電流は 100 nA 以下です。

この入力ではダイナミック充電電流は生じません。この場合も、デザイン上のコード変化は連続する整数倍 LSB 値で発生します。出力コーディングはストレート・バイナリで、1 LSB = $FS/16,384 = 2.5$ V/16,384 = 0.15 mV になります。表 6 に、AD7863-2 の理論入力/出力伝達関数を示します。

表 6. 理論入力/出力コード (AD7863-2)

Analog Input ¹	Digital Output Code Transition
+FSR - 1 LSB ²	111 ... 110 to 111 ... 111
+FSR - 2 LSB	111 ... 101 to 111 ... 110
+FSR - 3 LSB	111 ... 100 to 111 ... 101
GND + 3 LSB	000 ... 010 to 000 ... 011
GND + 2 LSB	000 ... 001 to 000 ... 010
GND + 1 LSB	000 ... 000 to 000 ... 001

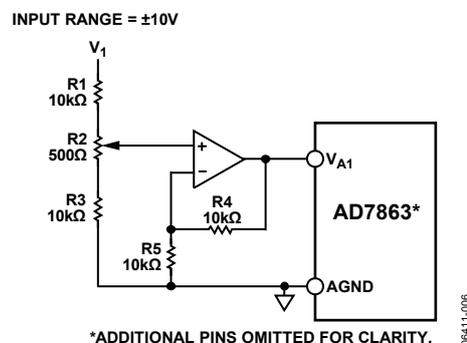
¹FSR はフルスケール範囲 = 2.5 V (AD7863-2)、 $V_{REF} = 2.5$ V。

²1 LSB = $FSR/16,384 = 0.15$ mV (AD7863-2)、 $V_{REF} = 2.5$ V。

オフセットとフルスケールの調整

大部分のデジタル信号処理 (DSP) アプリケーションでは、システム性能に対するオフセット誤差とフルスケール誤差の影響は殆どありません。オフセット誤差は常にアナログ領域で AC 結合によりなくすることができます。フルスケール誤差の影響は直線的であるため、入力信号が ADC のフル・ダイナミック・レンジ内にあるかぎり問題になりません。アプリケーションによっては、入力信号範囲がアナログ入力のフル・ダイナミック・レンジに一致することが要求される場合があります。このようなアプリケーションでは、オフセット誤差とフルスケール誤差をゼロに調整する必要があります。

図 6 に、AD7863 のオフセット誤差とフルスケール誤差の調整に使用できる代表的な回路を示します (例として AD7863-10 バージョンの V_{A1} を示してあります)。調整が必要な場合、オフセット誤差をフルスケール誤差より先に調整する必要があります。これは、入力電圧をアナログ・グラウンドより $\frac{1}{2}$ LSB 低くして、AD7863 のアナログ入力を駆動するオペアンプのオフセットを調整することにより行います。調整手順は次のようになります。すなわち、図 6 の V_1 に電圧 -0.61 mV ($-\frac{1}{2}$ LSB) を加えて、ADC 出力コードが 11 1111 1111 1111 と 00 0000 0000 0000 の間をフリッカするようにオペアンプ・オフセット電圧を調整します。



*ADDITIONAL PINS OMITTED FOR CLARITY.

図 6. フルスケール調整回路

ゲイン誤差は、最初のコード変化 (ADC 負フルスケール) または最後のコード変化 (ADC 正フルスケール) で調整することができます。両ケースの調整手順は次のようになります。

正のフルスケール調整 (-10 バージョン)

電圧 9.9927 V ($\text{FS}/2 - 1\text{ LSB}$) を V_1 に加えます。ADC 出力コードが $01\ 1111\ 1111\ 1110$ と $01\ 1111\ 1111\ 1111$ の間でフリッカするように、 R_2 を調整します。

負のフルスケール調整 (-10 バージョン)

電圧 -9.9976 V ($-\text{FS} + 1\text{ LSB}$) を V_1 に加えます。ADC 出力コードが $10\ 0000\ 0000\ 0000$ と $10\ 0000\ 0000\ 0001$ の間でフリッカするように、 R_2 を調整します。

外付けリファレンス電圧を使うシステムでフルスケール誤差を調整する別の方式は、すべてのチャンネルのフルスケール誤差が調整されるまで、 V_{REF} ピンの電圧を調整する方式です。チャンネル間のフルスケールが一致すると、他のチャンネルのフルスケール誤差が小さくなります。

タイミングと制御

図 7 に、AD7863 の最適性能 (モード 1) を得るために必要なタイミングと制御シーケンスを示します。図示のシーケンスでは、 $\overline{\text{CONVST}}$ の立下がりエッジで変換が開始されます。これにより両トラック・アンド・ホールドが同時にホールドになり、この変換からの新しいデータが AD7863 の出力レジスタに $5.2\ \mu\text{s}$ 後にロードされます。BUSY 信号は変換の終了を表示し、この時

点で両チャンネルの変換結果が読み出し可能になります。次に 2 番目の変換が開始されます。マルチプレクサ・セレクト (A_0) がロー・レベルの場合、最初の変換の最初と 2 番目の読み出しパルスにより、チャンネル A (それぞれ V_{A1} と V_{A2}) の変換結果がアクセスされます。2 番目の変換の後の 3 番目と 4 番目の読み出しパルスと $A_0 = \text{ハイ・レベル}$ により、チャンネル B (それぞれ V_{B1} と V_{B2}) の変換結果がアクセスされます。 A_0 の状態は、 $\overline{\text{CONVST}}$ がハイ・レベルになった後何時でも変更できます。すなわち、トラック・アンド・ホールドがホールドになり、 $\overline{\text{CONVST}}$ の次の立下がりエッジより $500\ \text{ns}$ 前に変更できます。選択されていないチャンネルに AD7863 の入力範囲を超える負電圧が加えられている場合、変換中に A_0 を変更しないように注意してください。これは進行中の変換に影響を与えるためです。データは、標準の $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号を持つ 14 ビット・パラレル・データ・バスを使ってデバイスから読み出されます。すなわち、読み出し動作は、 $\overline{\text{CS}}$ ピンの立下がりパルスと、 $\overline{\text{RD}}$ ピンの 2 個の立下がりパルス ($\overline{\text{CS}} = \text{ロー・レベル}$ のとき) との組み合わせにより構成され、この組み合わせにより 2 個の 14 ビット変換結果がアクセスされます。読み出し動作が発生すると、 $\overline{\text{CONVST}}$ の次の立下がりエッジの前で $400\ \text{ns}$ 待つてトラック・アンド・ホールド・アンプのセトリングを最適化し、その後に次の変換が開始されます。デバイスの実現可能なスループット・レートは $5.2\ \mu\text{s}$ (変換時間) + $100\ \text{ns}$ (読み出し時間) + $0.4\ \mu\text{s}$ (静止時間) です。このため、最小スループット時間は $5.7\ \mu\text{s}$ になります (スループット・レート = $175\ \text{kHz}$)。

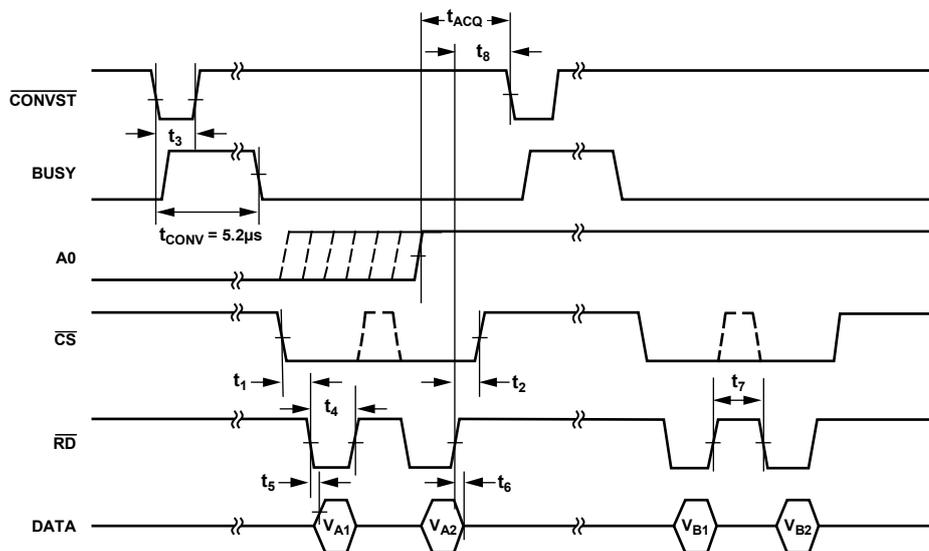


図 7. 高サンプリング性能のモード 1 タイミング動作図

読出しオプション

図 7 に示した読出し動作の他に、 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ の別の組み合わせを使うと、別のチャンネル/入力を別の組み合わせで読出すことができます。適切な組み合わせを図 8、図 9、図 10 に示します。

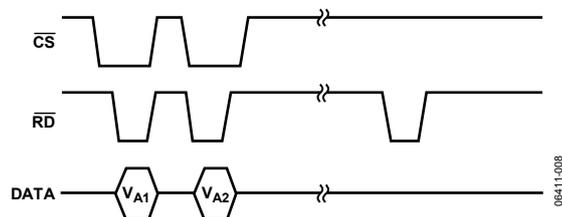


図 8. 読出しオプション A (A_0 = ロー・レベル)

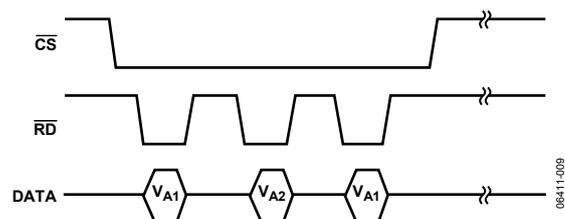


図 9. 読出しオプション B (A_0 = ロー・レベル)

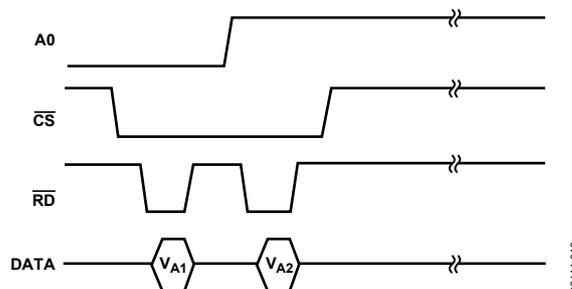


図 10. 読出しオプション C

動作モード

モード 1 動作

通常消費電力、高サンプリング性能

図 7に示すタイミング図は、動作モード 1 での最適性能を得るためのものです。このモードでは、 $\overline{\text{CONVST}}$ の立下がりエッジで変換が開始され、トラック・アンド・ホールド・アンプがホールド・モードになります。 $\overline{\text{CONVST}}$ のこの立下がりエッジによって、 BUSY 信号もハイ・レベルになり、変換中であることを表示します。変換が完了すると、 BUSY 信号はロー・レベルになります。この変換の完了は $\overline{\text{CONVST}}$ の立下がりエッジから最大 $5.2 \mu\text{s}$ 後で、この変換の新しいデータが AD7863 の出力ラッチにロードされます。読出し動作でこのデータをアクセスします。マルチプレクサ・セレクト (A0) がロー・レベルの場合、最初の変換の最初と 2 番目の読出しパルスにより、チャンネル A の変換結果がアクセスされます(それぞれ V_{A1} と V_{A2})。2 番目の変換の後の 3 番目と 4 番目の読出しパルスと A0 = ハイ・レベルにより、チャンネル B (それぞれ V_{B1} と V_{B2}) の変換結果がアクセスされます。デバイスからのデータの読出しは、標準の $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号を持つ 14 ビットの平行・データバスを経由して行います。このデータ読出し動作は、 $\overline{\text{CS}}$ ピンの立下がりパルスと、 $\overline{\text{RD}}$ ピンの 2 個の立下がりパルス ($\overline{\text{CS}}$ = ロー・レベルのとき) との組み合わせにより構成され、この組み合わせにより 2 個の 14 ビット変換結果がアクセスされます。最高速のスループット・レートで、読出し動作に 100 ns が必要です。読出し動作は、次の $\overline{\text{CONVST}}$ の立下がりエッジより少なくとも 400 ns 前に完了する必要があります。この場合、フル・スループット時間の合計時間は $5.7 \mu\text{s}$ です (= 175 kHz)。この動作モードは高サンプリング・アプリケーションで使います。

モード 2 動作

パワーダウン、変換後の自動スリープ

図 11に示すタイミング図は、動作モード 2 での最適性能を得るためのものです。このモードでは、変換の後に **エラー! ブックマークが定義されていません。** BUSY がロー・レベルになると、デバイスが自動的にスリープ・モードになり、次の変換が開始される前にウェイクアップします。

これは、2 番目の変換の終わりに $\overline{\text{CONVST}}$ をロー・レベルに維持することにより実行されます。これに対してモード 1 動作の 2 番目の変換の終わりでは $\overline{\text{CONVST}}$ をハイ・レベルにします。

図 11に示す動作は、チャンネル A とチャンネル B からのデータをアクセスする方法を示しています。この後には自動スリープ・モードが続きます。チャンネル A のみ、またはチャンネル B のみからデータをアクセスするためのタイミングを設定することもできます (読出しオプションのセクション参照)、その後自動スリープ・モードになります。 $\overline{\text{CONVST}}$ の立上がりエッジでデバイスがウェイクアップします。このウェイクアップ時間は、外付けリファレンス使用の場合 $4.8 \mu\text{s}$ に、内蔵リファレンス電圧の場合 5 ms に、それぞれ異なります。この時点で、 $\overline{\text{CONVST}}$ がロー・レベルの場合、トラック・アンド・ホールド・アンプがホールド・モードになります。この後変換に $5.2 \mu\text{s}$ を要するため、 $\overline{\text{CONVST}}$ の立上がりエッジから変換完了まで合計 $10 \mu\text{s}$ (外付けリファレンスの場合、内蔵リファレンス電圧の場合は 5.005 ms) になります。この変換完了は $\text{BUSY} = \text{ロー・レベル}$ で表示されます。

$\overline{\text{CONVST}}$ の立上がりエッジからのウェイクアップ時間は $4.8 \mu\text{s}$ であるため、 $\overline{\text{CONVST}}$ パルス幅が $5.2 \mu\text{s}$ より広い場合、変換には $\overline{\text{CONVST}}$ の立上がりエッジから $10 \mu\text{s}$ ($4.8 \mu\text{s}$ ウェイクアップ時間 + $5.2 \mu\text{s}$ 変換時間) 以上必要なことに注意してください (図 11 参照)。これは、トラック・アンド・ホールド・アンプが $\overline{\text{CONVST}}$ の立下がりエッジでホールド・モードになり、さらに変換に $5.2 \mu\text{s}$ を要するためです。このケースでは、変換が完了したとき、 BUSY が最適なインジケータになります。デバイスがスリープ・モードの場合でも、データをデバイスから読出すことができます。

読出し動作はモード 1 動作の場合と同じで、次の $\overline{\text{CONVST}}$ の立下がりエッジより少なくとも 400 ns 前に完了して、トラック・アンド・ホールド・アンプのセリング時間を確保する必要があります。このモードは、モード 1 動作より消費電力を大幅に削減するために低速レートでデバイスが変換を行う場合に非常に便利です。

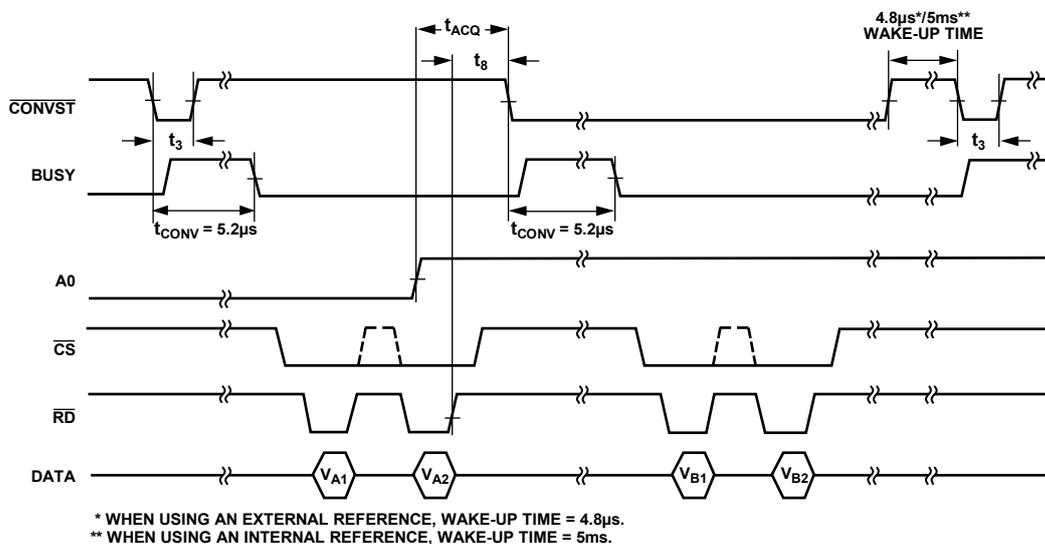


図 11.自動スリープ機能を起動するモード 2 のタイミング図

AD7863 ダイナミック仕様

AD7863 では、積分非直線性や微分非直線性のような従来の DC 仕様の他にダイナミック性能も規定して、テストしています。これらの AC 仕様は、フェーズド・アレイ・ソナー、適応型フィルタ、スペクトル解析などのような信号処理アプリケーションに必要です。これらのアプリケーションでは、入力信号のスペクトルに対する ADC の影響についての情報が必要です。このため、AD7863 で規定するパラメータとしては、SNR、高調波歪み、相互変調歪み、ピーク高調波などがあります。これらの用語を次のセクションで説明します。

信号対ノイズ比(SNR)

SNR は、ADC 出力で測定される信号対ノイズ比です。信号は基本波の rms 振幅です。ノイズは 1/2 サンプル周波数($f_s/2$)までの全非基本波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が多いほど、量子化ノイズは小さくなります。正弦波を入力した場合の、信号対ノイズ比の理論値は次式で表されます。

$$\text{SNR} = (6.02N + 1.76) \text{ dB} \quad (1)$$

ここで、N はビット数です。

したがって、14 ビット・コンバータの場合、86.04 dB になります。

図 12 に、5 V 電源で AD7863 を使い DC 入力を 8192 回変換した場合のヒストグラムを示します。アナログ入力は、コード変化の中央に設定されています。コードは主に 1 出力に集中して分類され、ADC の非常に優れたノイズ性能を表しています。

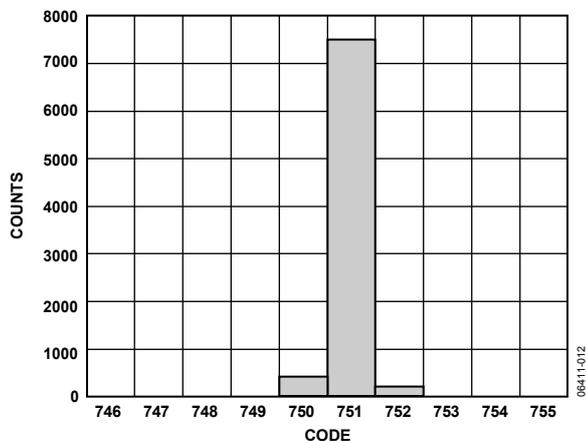


図 12. DC 入力を 8192 回変換した場合のヒストグラム

ADC の出力スペクトルは非常に歪みの小さい正弦波信号を $V_{AX/BX}$ 入力に加えて、これを 175 kHz のサンプリング・レートでサンプルして評価されます。高速フーリエ変換 (FFT) プロットが発生され、これから SNR データを取得することができます。図 13 に、入力信号 = 10 kHz、サンプリング周波数 = 175 kHz での AD7863 の代表的な 8192 ポイント FFT プロットを示します。このグラフから得られる SNR は -80.72 dB です。SNR を計算するときに、高調波が考慮されていることに注意してください。

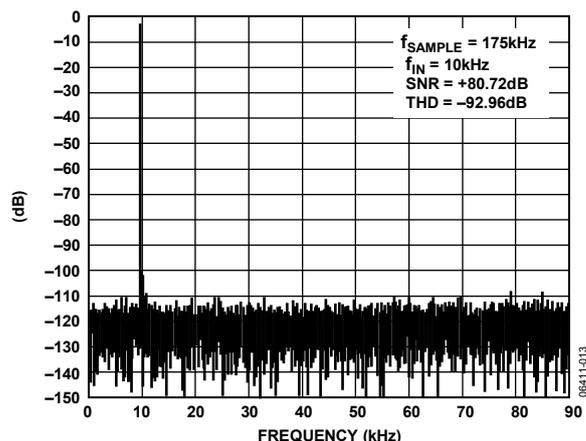


図 13. AD7863 の FFT プロット

実効ビット数

式 1 は、SNR とビット数の関係を表しています。この式を式 2 に変形すると、実効ビット数 (N) で表した性能を得ることができます。

$$N = \frac{\text{SNR} - 1.76}{6.02} \quad (2)$$

デバイスの実効ビット数は、測定した SNR から直接計算することができます。

図 14 に、サンプリング周波数 = 175 kHz での AD7863-2 の周波数対実効ビット数の代表的なプロットを示します。実効ビット数 (typ) は 13.11 ~ 11.05 の範囲で、これは SNR 値 80.68 dB ~ 68.28 dB に対応します。

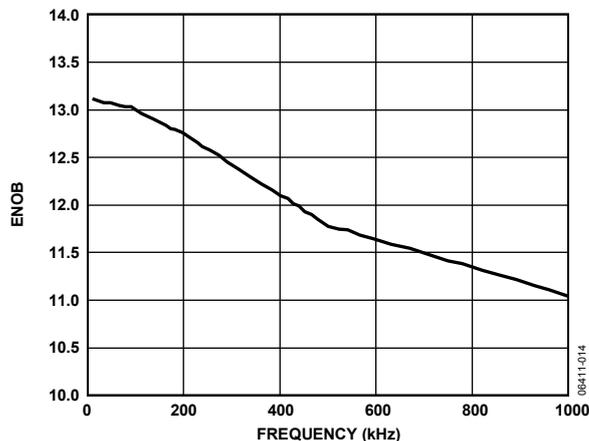


図 14. 周波数対実効ビット数

総合高調波歪み(THD)

総合高調波歪み(THD)は、高調波の rms 値総和と基本波の比です。AD7863 の場合、THD は次のように定義されます。

$$THD (dB) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \quad (3)$$

ここで、

V_1 は基本波の rms 振幅。

V_2, V_3, V_4, V_5 は、2次～5次の高調波の rms 振幅。

THD は、ADC 出力スペクトルの FFT プロットから求めることもできます。

相互変調歪み

非線形性を持つアクティブ・デバイスに 2つの周波数 f_a および f_b を含む正弦波を入力すると、さまざまな和および差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。ここで、 $m, n = 0, 1, 2, 3, \dots$ です。相互変調歪みの項とは、 m または n がゼロでない項をいいます。たとえば、2次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

そのため、2次項と3次項は異なる意味を持っています。2次項は通常、元の正弦波の周波数から離れて位置し、3次項は通常、入力周波数に近い周波数に位置します。そのため、2次項と3次項は別々に指定されます。相互変調歪みの計算はTHDの仕様に従います。すなわち、dBで表した個々の歪み成分のrms総和の、基本波の和のrms振幅に対する比になります。この場合、入力 は 2つの等振幅、低歪み正弦波です。図 15にAD7863の代表的な IMD プロットを示します。

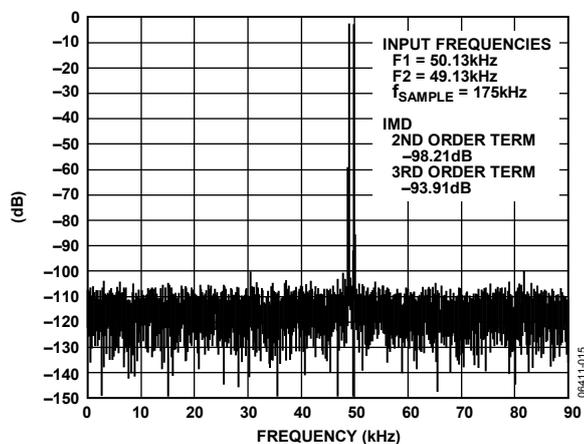


図 15.IMD プロット

ピーク高調波またはスプリアス・ノイズ

高調波ノイズまたはスプリアス・ノイズは、ADC 出力スペクトル内の(DCを除いて $f_s/2$ まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋め込まれているデバイスの場合は、ノイズ・ピークにより決定されます。

DC 直線性のプロット

図 16 と図 17に、AD7863 の代表的な DNLとINL のプロットを示します。

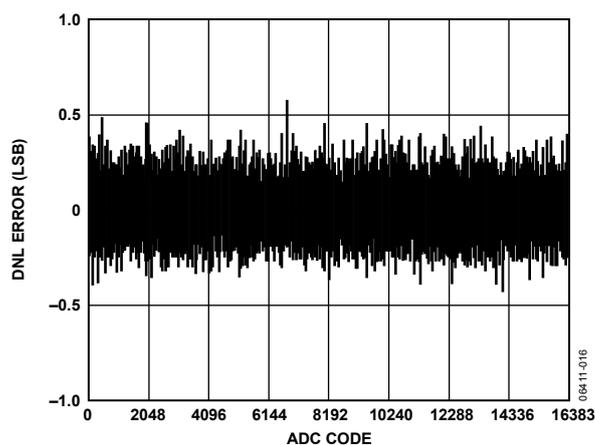


図 16.DC DNL プロット

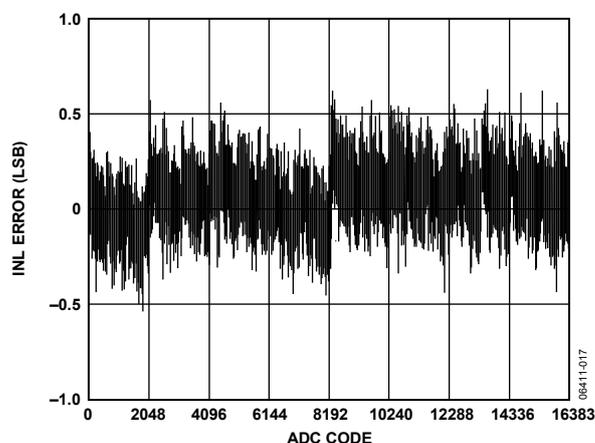


図 17.DC INL プロット

消費電力について

自動パワーダウン・モードでは、デバイスは 175 kHzより大幅に低いサンプル・レートで動作することができます。この場合、消費電力が削減されサンプル・レートに依存します。図 18に、自動パワーダウン・モードでの、1 Hz~100 kHzのサンプリング・レート対消費電力のグラフを示します。条件は 5 V 電源、25°Cです。

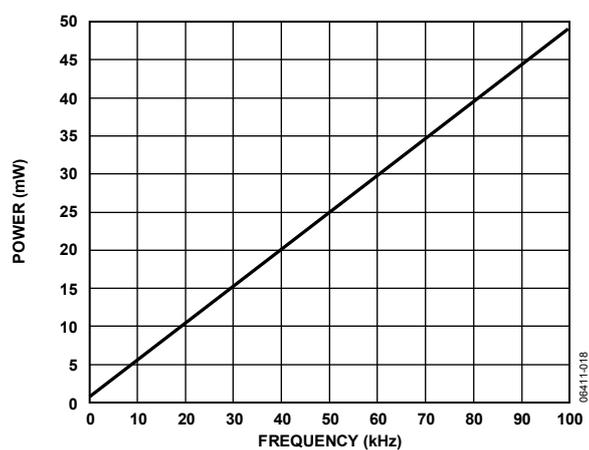


図 18.自動パワーダウンでの消費電力対サンプル・レート

マイクロプロセッサ・インターフェース

AD7863 の高速バス・タイミング機能を使うと、DSP プロセッサや最新 16 ビット・マイクロプロセッサと直接インターフェースすることができます。適するマイクロプロセッサ・インターフェースを図 19～図 23 に示します。

AD7863 と ADSP-2100 とのインターフェース

図 19 に、AD7863 と ADSP-2100 との間のインターフェースを示します。CONVST 信号は、ADSP-2100 から、または外部ソースから入力することができます。AD7863 の BUSY ラインは、両チャンネルで変換が完了したとき ADSP-2100 への割込みが発生します。2 つの変換結果は、同じメモリ・アドレスに対する連続する 2 回の読み出しにより AD7863 から読み出すことができます。次の命令により 2 つの変換結果の 1 つを読み出します。

$MRO = DM(ADC)$

ここで、

MRO は ADSP-2100 の MRO レジスタ。

ADC は AD7863 のアドレス。

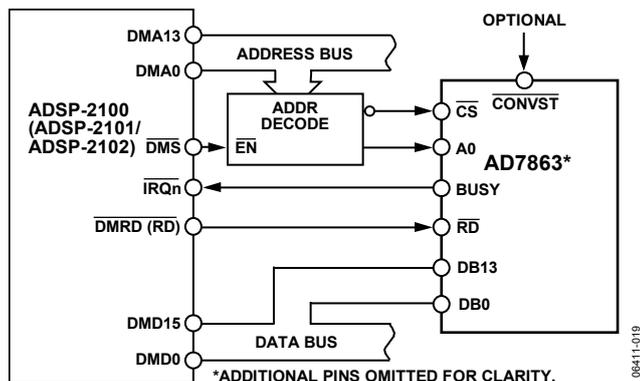


図 19. AD7863 と ADSP-2100 とのインターフェース

AD7863 と ADSP-2101/ADSP-2102 とのインターフェース

図 19 に示すインターフェースは、AD7863 と ADSP-2101/ADSP-2102 との間のインターフェースの基礎も構成しています。ADSP-2101/ADSP-2102 の READ ラインは \overline{RD} で表します。このインターフェースでは、プロセッサの \overline{RD} パルス幅は、データ・メモリ・ウェイト・ステートコントロール・レジスタを使って設定します。2 つの変換結果の 1 つを読み出すときの命令は、既に説明した ADSP-2100 の場合と同じです。

AD7863 と TMS32010 とのインターフェース

図 20 に、AD7863 と TMS32010 との間のインターフェースを示します。この場合も、CONVST 信号は TMS32010 または外部ソースから入力することができます。両変換が完了すると、TMS32010 への割込みが発生します。次の命令により AD7863 の変換結果を読み出します。

IND, ADC

ここで、

D はデータ・メモリ・アドレス。

ADC は AD7863 のアドレス。

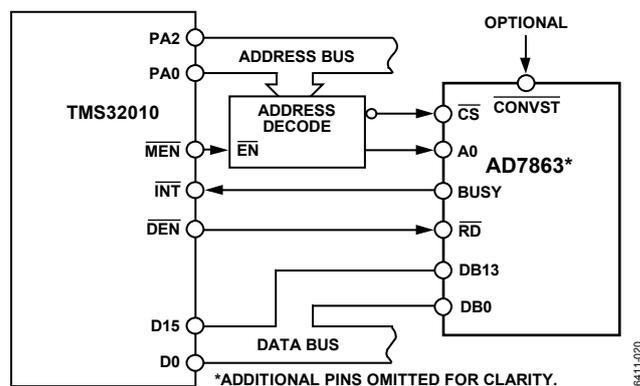


図 20. AD7863 と TMS32010 とのインターフェース

AD7863 と TMS320C25 とのインターフェース

図 21 に、AD7863 と TMS320C25 との間のインターフェースを示します。前の 2 つのインターフェースと同様に、変換は TMS320C25 または外部ソースから開始することができます。変換シーケンスが完了すると、プロセッサへの割込みが発生します。TMS320C25 には、AD7863 の \overline{RD} 入力を直接駆動する別々の \overline{RD} 出力がありません。この信号は、プロセッサの \overline{STRB} と R/\overline{W} 出力にロジック・ゲートを追加して発生する必要があります。 \overline{RD} 信号と \overline{MSC} 信号を OR ゲートに入力して、読み出しサイクルで正しいインターフェース・タイミングに必要とされる 1 ウェイト・ステートを発生させます。変換結果は、次の命令を使って AD7863 から読み出されます。

IND, ADC

ここで、

D はデータ・メモリ・アドレス。

ADC は AD7863 のアドレス。

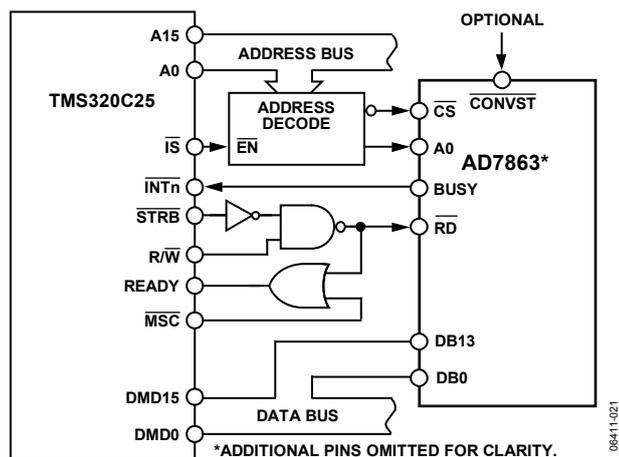


図 21. AD7863 と TMS320C25 とのインターフェース

アプリケーションによっては、変換を外部タイマではなくマイクロプロセッサから開始する場合があります。1つのオプションは、アドレス・バスからのAD7863のCONVSTをデコードして、書き込み動作により変換を開始させる方法です。データは、前と同様に変換シーケンスの終わりに読出されます。図 23に、この方法を使った変換を開始させる例を示します。すべてのインターフェースで、変換中に読出し動作を行わないことが推奨されることに注意してください。

AD7863 と MC68000 とのインターフェース

図 22 に、AD7863 と MC68000 との間のインターフェースを示します。前と同様に**エラー! ブックマークが定義されていません**。変換は、MC68000 から、または外部ソースから開始することができます。AD7863 のBUSY ラインを使ってプロセッサへ割込みを発生するか、あるいは、ソフトウェア遅延により変換を完了させた後に、AD7863 へ読出しを行うことができます。割込みには、MC68000 にロジック (図 23では省略) を追加して、正しく割込みできるようにする必要があります。MC68000 の割込みの詳細については、MC68000 のユーザ・マニュアルをご覧ください。

MC68000 の \overline{AS} 出力と R/\overline{W} 出力を使って、AD7863 に対する別々のRD入力信号を発生させます。CSを使ってMC68000のDTACK入力を駆動して、プロセッサがAD7863に対する通常の読出し動作を実行できるようにします。変換結果は、次のMC68000命令を使って読出されます。

```
MOVE.W ADC, D0
```

ここで、

D0は68000のD0レジスタ。
ADCはAD7863のアドレス。

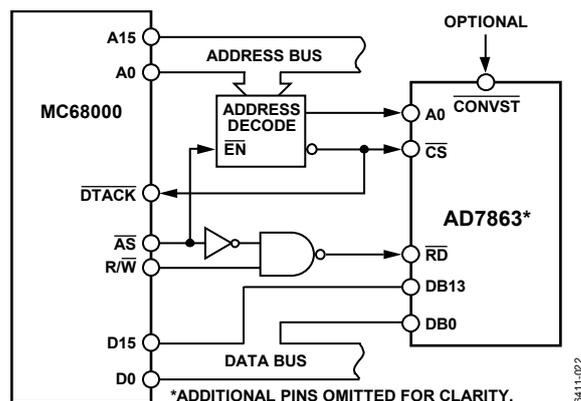


図 22. AD7863 と MC68000 とのインターフェース

AD7863 と 80C196 とのインターフェース

図 23 に、AD7863 と 80C196 マイクロプロセッサとの間のインターフェースを示します。ここでは、マイクロプロセッサから変換を開始します。これは、80C196 WR 信号をデコードしたアドレス出力 (AD7863 CS アドレスとは別) でゲーティングすることにより行われます。AD7863 のBUSYラインを使って、変換シーケンスが完了したときマイクロプロセッサへ割込みを発生します。

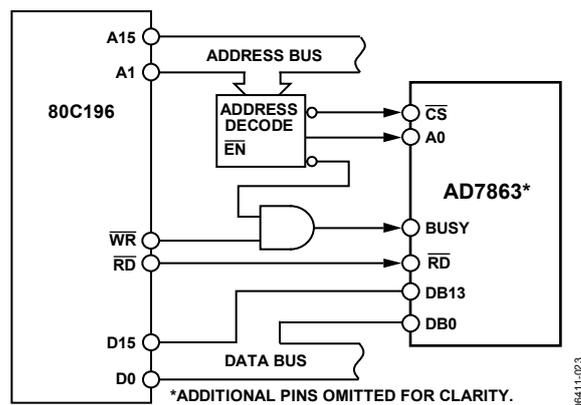


図 23. AD7863 と 80C196 とのインターフェース

ベクタ・モーター・コントロール

モーターに流れる電流は、トルクを発生する成分と磁束を発生する成分の2つの成分に分けることができます。モーターの最適性能を得るためには、これらの2つの成分を独立に制御する必要があります。3相モーターの従来制御方法では、モーターに加えられる電流 (または電圧) と駆動周波数が基本制御変数でしたが、トルクと磁束は電流 (または電圧) と周波数の関数になっています。この結合効果によりモーター性能が損なわれます。これは、例えば周波数を上げてトルクを大きくしようとすると、磁束が減少する傾向を持つためです。

AC モーターのベクタ制御では、駆動と電流周波数の他に位相の制御も行います。モーターの位相制御では、モーター内の回転磁界に対するロータ位置の帰還情報が必要です。この情報を使ってベクタ・コントローラは、3 相駆動電流をトルク成分と磁束成分に数学的に変換します。AD7863 は、ベクタ・モーター・コントロール・アプリケーションでの使用に最適です。

AD7863 を使用したベクタ・モーター・コントロールアプリケーションのブロック図を図 24 に示します。磁界の位置は、モーターの各相電流を求めて計算されます。2 相の電流のみ測定すれば済みます。3 相目は 2 相から計算できます。AD7863 の V_{A1} と V_{A2} を使ってこの情報をデジタル化します。

同時サンプリングは、2 つのチャンネル間の相対位相情報を維持するために不可欠です。電流検出アイソレーション・アンプ、トランス、またはホール効果センサーを、モーターと AD7863 の間に使います。ロータ情報は、モーターの 2 つの入力電圧を測定して求めます。AD7863 の V_{B1} と V_{B2} を使ってこの情報を取得します。この場合も、2 つのチャンネル間の相対位相が重要です。DSP マイクロプロセッサを使って、数学的変換を行い、AD7863 から帰還される情報に対して制御ループ計算を行います。

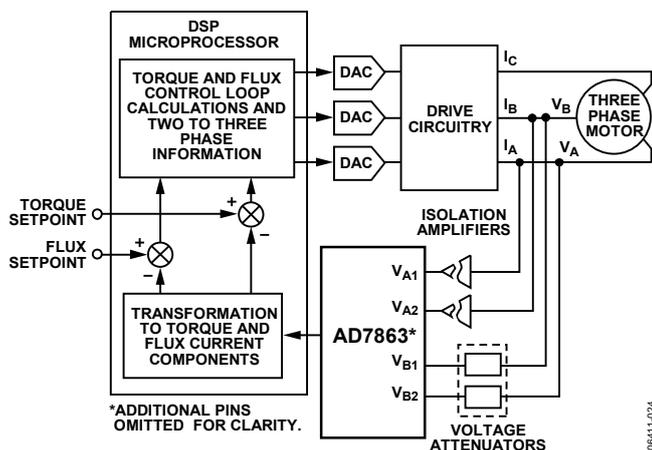


図 24. AD7863 を使用したベクタ・モーター・コントロール

複数の AD7863

図 25 に、複数の AD7863 を使って複数の入力チャンネルを処理するシステムを示します。このタイプの構成は、ソナーやレーダーのようなアプリケーションで一般的です。AD7863 ではオーバーチャージ遅延について typ 値を規定しています。これは、すべてのチャンネル間でサンプリング時間の差が既知であることを意味します。この機能により、複数のチャンネル間の相対位相情報が維持されます。

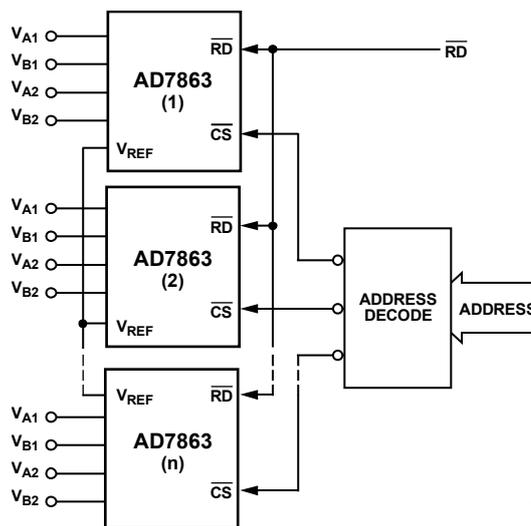


図 25. マルチチャンネル・システムでの複数の AD7863

マイクロプロセッサからの共通の読出し信号により、すべての AD7863 の RD 入力を駆動します。各 AD7863 は、アドレス・デコーダから選択される独自のアドレスで指定されます。1 番目の AD7863 のリファレンス出力を使って、図 25 に示す回路内の他のすべての AD7863 のリファレンス入力を駆動します。1 つの V_{REF} を使って、他の複数の AD7863 に対するリファレンス電圧を供給することができます。あるいは、外付けまたはシステム・リファレンスを使ってすべての V_{REF} 入力を駆動することができます。共通のリファレンス電圧を使うと、すべてのチャンネル間でのフルスケール・トラッキングが確実にになります。

アプリケーション情報

PC ボード・レイアウトでの考慮事項

AD7863 は、放射ノイズと伝導ノイズを最小にするように最適にデザインされています。AD7863 の優れたノイズ性能を実現するためには、PCBレイアウトに細心の注意を払う必要があります。図 26に、AD7863 の推奨接続図を示します。

グラウンド・プレーン

AD7863 と接続されているすべてのアナログ回路は、アナログ・グラウンド・プレーン(AGND)と呼ばれる別のグラウンド・プレーンを持つ必要があります。このアナログ・グラウンド・プレーンは、すべての AD7863 グラウンド・ピン(DGND ピンも含む)、リファレンス電圧回路、電源バイパス回路、アナログ入力パターン、接続されているすべての入力/バッファ・アンプを覆う必要があります。

通常の PCB グラウンド・プレーン (この場合 DGND) 領域は、AD7863 までのグラウンド・ピンを除くすべてのデジタル信号パターンを覆う必要があります。

電源プレーン

PC ボード・レイアウトには、アナログ回路用とデジタル回路用の電源プレーンを別々に設ける必要があります。アナログ電源プレーンは、AD7863 (V_{DD})と接続されたすべてのアナログ回路を覆う必要があります。この電源プレーンは、必要に応じてフェライト・ビードを経由して 1 点で通常の PCB 電源プレーン (V_{CC})に接続します(図 26参照)。このビード (参考のための製品

番号: Fair-Rite 274300111 またはMurata BL01/02/03)は、AD7863 から 3 インチ以内に配置する必要があります。

PCB 電源プレーン (V_{CC}) は PC ボード上のすべてのデジタル・ロジックに電源を供給し、アナログ電源プレーン (V_{DD}) はすべての AD7863 電源ピン、リファレンス電圧回路、必要に応じてすべての入力アンプに電源を供給する必要があります。AD7863 に対する適切な低ノイズ・アンプとしては、各入力に 1 個使う AD797 があります。各アンプの $+V_S$ 電源と $-V_S$ 電源は AGND へ個別にデカップリングしてください。

PCB 電源 (V_{CC}) とグラウンド (DGND) は、アナログ電源プレーン (V_{DD}) と重ならないようにしてください。 V_{CC} 電源プレーンと DGND プレーンを V_{DD} と重ならないようにすると、プレーンとプレーンの間のノイズ結合を小さくすることができます。

電源のデカップリング

アナログ電源プレーン (V_{DD}) のノイズは、複数のデカップリング・コンデンサを使うことにより、さらに減らすことができます(図 26参照)。

最適性能は、ディスク・セラミック・コンデンサを使うことにより実現されます。 V_{DD} とリファレンス・ピン (外付けまたは内蔵リファレンス電圧のいずれを使う場合でも)は、アナログ・グラウンド・プレーン (AGND) へ個別にデカップリングする必要があります。この場合、コンデンサ・リードをできるだけ短くしてリード・インダクタンスを小さくするためコンデンサをできるだけ AD7863 ピンの近くに配置する必要があります。

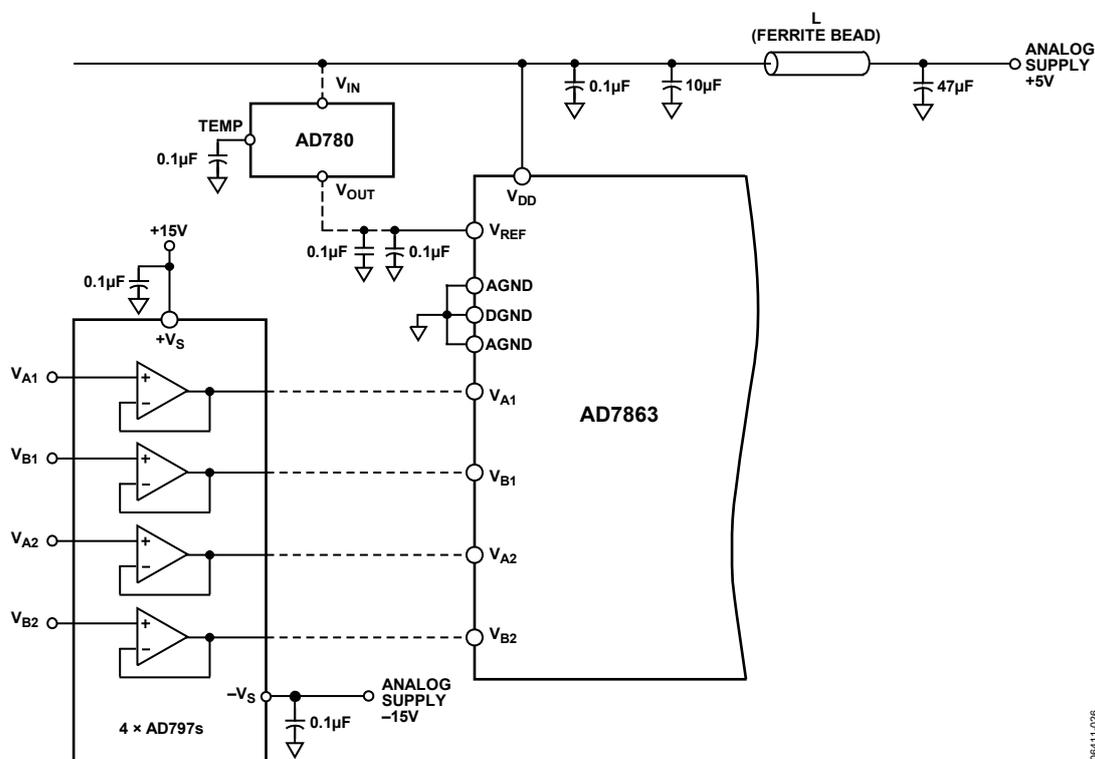
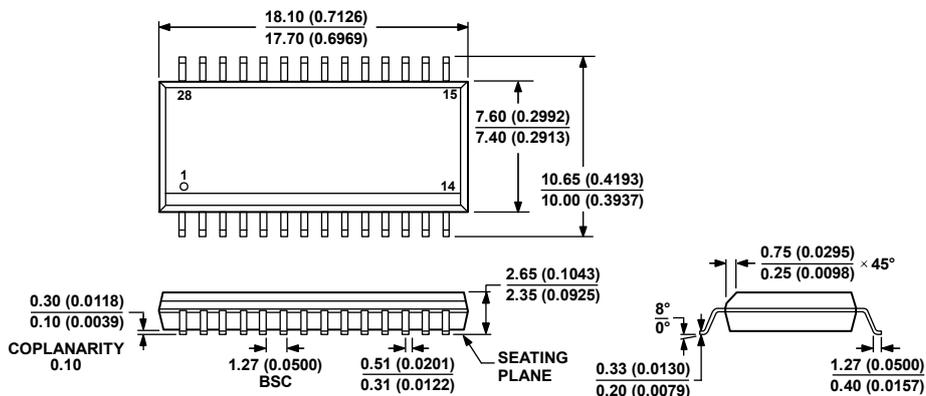


図 26.関係するデカップリングを含む代表的な接続図

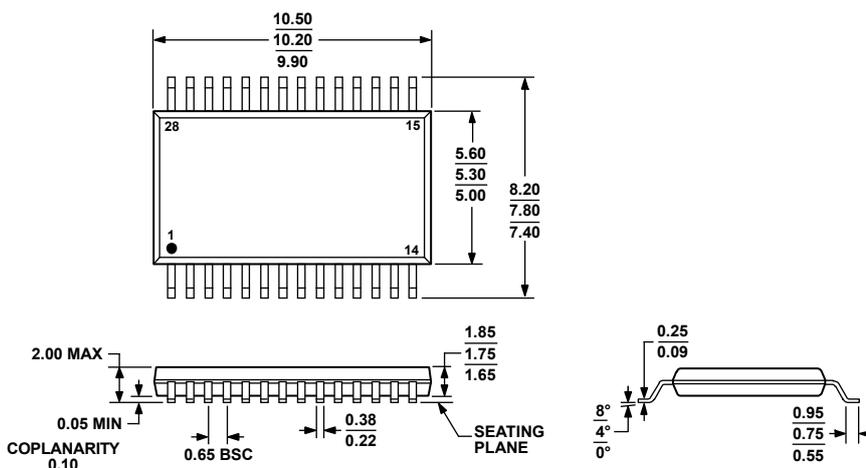
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AE
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

060706-A

図27.28 ピン標準スモール・アウトライン・パッケージ[SOIC_W]
 ワイドボディ
 (RW-28)
 寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-150-AH

060706-A

図28. 28ピン・シュリンク・スモール・アウトライン・パッケージ[SSOP]
 (RS-28)
 寸法: mm

オーダー・ガイド

Model	Input Range	Relative Accuracy	Temperature Range	Package Description	Package Option
AD7863AR-10	±10 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863AR-10REEL	±10 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863AR-10REEL7	±10 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863ARZ-10 ¹	±10 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863ARZ-10REEL ¹	±10 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863ARZ-10REEL7 ¹	±10 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863ARS-10	±10 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863ARS-10REEL	±10 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863ARS-10REEL7	±10 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863ARSZ-10 ¹	±10 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863ARSZ-10REEL ¹	±10 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863ARSZ-10REEL7 ¹	±10 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863BR-10	±10 V	±2.0 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863BR-10REEL	±10 V	±2.0 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863BR-10REEL7	±10 V	±2.0 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863BRZ-10 ¹	±10 V	±2.0 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863AR-3	±2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863AR-3REEL	±2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863AR-3REEL7	±2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863ARZ-3 ¹	±2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863ARS-3	±2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863ARS-3REEL	±2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863ARS-3REEL7	±2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863ARSZ-3 ¹	±2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863ARSZ-3REEL ¹	±2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863ARSZ-3REEL7 ¹	±2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863BR-3	±2.5 V	±2.0 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863BR-3REEL	±2.5 V	±2.0 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863BR-3REEL7	±2.5 V	±2.0 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863BRZ-3 ¹	±2.5 V	±2.0 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863AR-2	0 V to 2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863AR-2REEL	0 V to 2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863AR-2REEL7	0 V to 2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863ARZ-2 ¹	0 V to 2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863ARZ-2REEL ¹	0 V to 2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863ARZ-2REEL7 ¹	0 V to 2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SOIC_W	RW-28
AD7863ARS-2	0 V to 2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863ARS-2REEL	0 V to 2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863ARS-2REEL7	0 V to 2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863ARSZ-2 ¹	0 V to 2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863ARSZ-2REEL ¹	0 V to 2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
AD7863ARSZ-2REEL7 ¹	0 V to 2.5 V	±2.5 LSB	−40°C to +85°C	28-Lead SSOP	RS-28
EVAL-AD7863CB				Evaluation Board	

¹Z = 鉛フリー・デバイス。