

AD7811/AD7812

特長

変換時間2.3マイクロ秒の10ビットA/Dコンバータ

AD7811は、共通電圧を基準にする3つの疑似差分入力として、あるいは2組の独立した疑似差分チャンネルとして構成可能な4つのシングル・エンド入力を装備

AD7812は、共通電圧を基準にする7つの疑似差分入力として、あるいは4組の独立した疑似差分チャンネルとして構成可能な8つのシングル・エンド入力を装備

オンボードのトラック・アンド・ホールド

オンボードの2.5 V ± 2.5%のリファレンス

動作電源範囲：2.7 Vから5.5 Vまで

2.7 V ~ 3.6 Vと5 V ± 10%で仕様を満足

DSP / マイクロコントローラと互換性のあるシリアル・インターフェース

高速サンプリングと自動パワーダウン・モード

AD7811とAD7812のパッケージ・アドレス・ピンによりマルチパッケージ・アプリケーションでシリアル・バスの共有が可能

入力信号範囲：0 Vから V_{REF} まで

リファレンス入力の範囲：1.2 Vから V_{DD} まで

概要

AD7811とAD7812は、2.7 Vから5.5 Vまでの範囲の単電源で動作する、高速、低消費電力の10ビットA/Dコンバータです。このデバイスは、2.3マイクロ秒の逐次比較型A/Dコンバータ、オンチップのトラック/ホールド・アンプ、オンチップの2.5 Vリファレンス、さらにはほとんどのDSP(デジタル信号プロセッサ)やマイクロコントローラと互換性のある高速シリアル・インターフェースを備えています。また、 V_{REF} ピンに外部リファレンスを接続し、コントロール・レジスタのEXTREFビットをセットすれば、外部リファレンスを使うこともできます。このとき、 V_{REF} ピンを V_{DD} に接続することも可能です。低めのスループット・レートでは、変換と変換の間を自動的にパワーダウンするパワーダウン・モードを使用するとよいでしょう。

入力チャンネルのコンフィグレーションをシングル・エンド入力とするか、あるいは疑似差分入力とするかは、AD7811とAD7812のコントロール・レジスタによって選択できます。また、変換開始とパワーダウンがソフトウェアによりコントロールできることもこのコントロール・レジスタの特長として挙げられます。これら2つのデバイスは、同一のシリアル・バスの共有が可能で、マルチパッケージ・アプリケーションでは、デバイス・アドレス・ピンのハード結線によって個別にアドレスすることができます。AD7811は、小型の16ピン0.3インチ幅のプラスチックDIP(ミニDIP)、16ピン0.15インチ幅のSOIC、および16ピンのTSSOPが用意されています。また、AD7812には、小型の20ピン0.3インチ幅のプラスチックDIP(ミニDIP)、20ピンのSOIC、および20ピンのTSSOPが用意されています。

製品の主な特長

1. 低消費電力、単電源動作

AD7811とAD7812は、ともに+2.7 Vから+5.5 Vまでの範囲の単電源で動作し、通常はわずか10 mWの電力しか消費しません。この電力消費も、自動パワーダウン・モードを使用することによって低いスループット・レートでさらに低くなり、たとえば、10 kSPS、 $V_{DD} = 3$ Vにおいては315 μ Wまで下がります。詳しくは「消費電力対スループット」のセクションを参照してください。

2. 4/8チャンネル10ビットADC

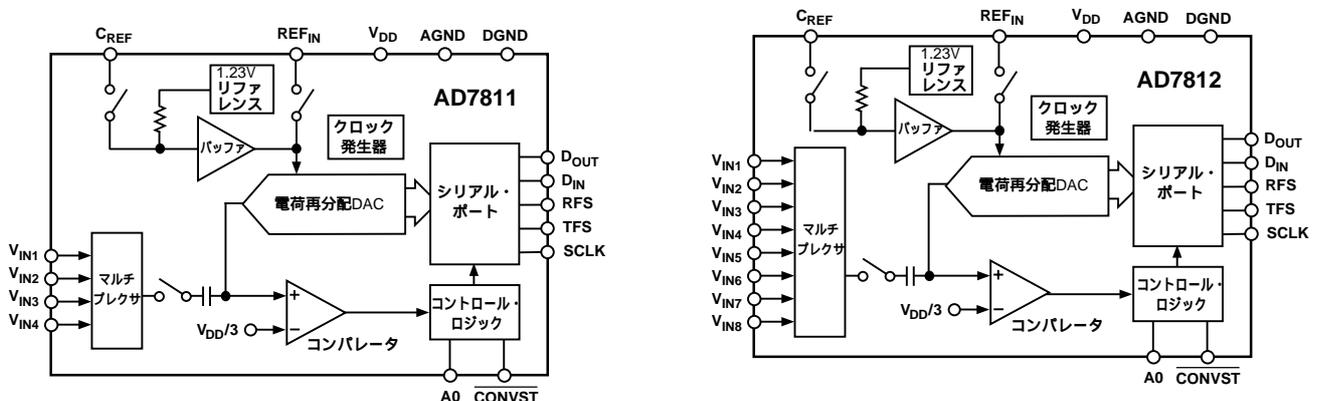
AD7811は4つ、AD7812は8つのシングル・エンド入力チャンネルを備えています。これらの入力は、コントロール・レジスタを使用することにより、疑似差分入力として構成することができます。

3. オンチップの2.5 V (± 2.5%)のリファレンス回路は、外部リファレンス使用時にはパワーダウンされます。

4. ハードウェアおよびソフトウェア制御

AD7811とAD7812は、変換開始とパワーダウンをソフトウェアとハードウェアの両面からコントロールすることができます。

機能ブロック図



アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

REV.0

パラメータ	Yバージョン	単位	テスト条件 / コメント
動的性能			$f_{IN} = 30\text{ kHz}$ の任意チャンネル, $f_{SAMPLE} = 350\text{ kHz}$ V_{REF} は内蔵または外部
信号対(ノイズ+ひずみ)比 ¹	58	dB min	
全高調波ひずみ(THD) ¹	-66	dB max	
ピーク高調波またはスプリアス・ノイズ ¹	-80	dB typ	
相互変調歪み ^{1,2}			$f_a = 29\text{ kHz}$, $f_b = 30\text{ kHz}$
2次の項	-67	dB max	
3次の項	-67	dB max	
チャンネル間分離 ^{1,2}	-80	dB typ	$f_{IN} = 20\text{ kHz}$
直流精度			任意チャンネル
分解能	10	ビット	
ノーマスコードを保証する最小分解能	10	ビット	
相対精度 ¹	± 1	LSB max	
微分非直線性 ¹	± 1	LSB max	
ゲイン誤差 ¹	± 2	LSB max	
ゲイン誤差の一致 ¹	± 0.75	LSB max	
オフセット誤差 ¹	± 2	LSB max	
オフセット誤差の一致 ¹	± 0.75	LSB max	
アナログ入力			
入力電圧範囲	0 V_{REF}	V min V max	
入力漏れ電流 ²	± 1	$\mu\text{ A max}$	
入力静電容量 ²	20	pF max	
リファレンス入力²			
V_{REF} 入力電圧範囲	1.2 V_{DD}	V min V max	
入力漏れ電流	± 3	$\mu\text{ A max}$	
入力静電容量	20	pF max	
オンチップ・リファレンス			定格2.5 V
基準誤差	± 2.5	% max	
温度係数	50	ppm/ typ	
ロジック入力²			
V_{INH} 入力ハイの電圧	2.4	V min	$V_{DD} = 5\text{ V} \pm 10\%$
V_{INL} 入力ローの電圧	0.8	V max	$V_{DD} = 5\text{ V} \pm 10\%$
V_{INH} 入力ハイの電圧	2	V min	$V_{DD} = 3\text{ V} \pm 10\%$
V_{INL} 入力ローの電圧	0.4	V max	$V_{DD} = 3\text{ V} \pm 10\%$
入力電流 I_{IN}	± 1	$\mu\text{ A max}$	通常10 nA, $V_{IN} = 0\text{ V} \sim V_{DD}$
入力静電容量 C_{IN}	8	pF max	
ロジック出力			
出力ハイの電圧 V_{OH}	4 2.4	V min V min	$I_{SOURCE} = 200\text{ }\mu\text{ A}$ $V_{DD} = 5\text{ V} \pm 10\%$ $V_{DD} = 3\text{ V} \pm 10\%$
出力ローの電圧 V_{OL}	0.4	V max	$I_{SINK} = 200\text{ }\mu\text{ A}$
高インピーダンス漏れ電流	± 1	$\mu\text{ A max}$	
高インピーダンス静電容量	15	pF max	
変換レート			
変換時間	2.3	$\mu\text{ s max}$	
トラック / ホールド・アキュジション時間 ¹	200	ns max	

パラメータ	Yバージョン	単位	テスト条件 / コメント
電源			
V_{DD}	2.7 5.5	V min V max	仕様書どおりの性能が得られます。
I_{DD}			
通常動作	3.5	mA max	
パワーダウン			
完全パワーダウン	1	μ A max	
部分パワーダウン(内蔵リファレンス)	350	μ A max	
消費電力			
通常動作	10.5	mW max	
自動完全パワーダウン			
スループット = 1 kSPS	31.5	μ W max	
スループット = 10 kSPS	315	μ W max	
スループット = 100 kSPS	3.15	mW max	
部分パワーダウン(内蔵リファレンス)	1.05	mW max	「パワーアップ時間」参照
完全パワーダウン	3	μ W max	$V_{DD} = 3$ V 「消費電力対スループット」参照

注

- ¹ 「用語の定義」を参照してください。
- ² 初期リリースの間にサンプルをテストしました。その後、再設計またはプロセス変更があれば、このパラメータに影響が現れる可能性があります。仕様は、予告なく変更されることがあります。

タイミング仕様^{1,2}(特に指定のない限り、 $V_{DD} = 2.7$ V ~ 5.5 V、 $V_{REF} = +V_{DD}$ [外部リファレンス]とします)

パラメータ	Yバージョン	単位	条件 / コメント
$t_{POWER-UP}$	1	μ s (max)	CONVSTの立ち上がりエッジ以後のAD7811/AD7812のパワーアップ時間
t_1	2.3	μ s (max)	変換時間
t_2	20	ns (min)	CONVSTパルス幅
t_3	25	ns (min)	SCLKハイ・パルス幅
t_4	25	ns (min)	SCLKロー・パルス幅
t_5^3	5	ns (min)	RFS立ち上がりエッジからSCLK立ち上がりエッジまでのセットアップ時間
t_6^3	5	ns (min)	TFS立ち下りエッジからSCLK立ち下りエッジまでのセットアップ時間
t_7^3	10	ns (max)	SCLK立ち上がりエッジからデータ出力有効まで
t_8	10	ns (min)	D_{IN} データ有効からSCLK立ち下りエッジまでのセットアップ時間
t_9	5	ns (min)	SCLK立ち下りエッジから D_{IN} データ出力有効までのホールド時間
$t_{10}^{3,4}$	20	ns (max)	SCLK立ち上がりエッジから D_{OUT} 高インピーダンスまで
t_{11}	100	ns (min)	D_{OUT} 高インピーダンスからCONVSTの立ち下りエッジまで

注

- ¹ 適合性確認のためにサンプルのテストを行いました。
- ² 図16、17、18を参照してください。
- ³ これらの数値は、図1に示した負荷回路を用いて測定しました。測定値は、 $V_{DD} = 5$ V \pm 10 % の場合は出力が0.8 Vまたは2.4 Vと交差するまで、 $V_{DD} = 3$ V \pm 10 % の場合は0.4 Vまたは2 Vと交差するまでの値です。
- ⁴ 図1に示した回路を負荷させたとき、データ出力が0.5 V変化するのに要する時間を測定して導いています。その後、外挿法を用いて測定値から50 pFのキャパシタによる充電または放電の影響を除きました。つまり、上記のタイミング仕様にある時間 t_{11} は、外部バス負荷の静電容量から独立したこの部品の真のバス開放時間を表わすことになります。

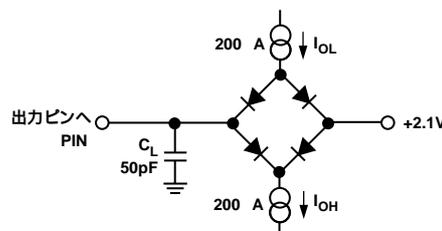


図1 . デジタル出力タイミング仕様に使用した負荷回路

AD7811/AD7812

絶対最大定格*

V_{DD} 対 DGND	-0.3 V ~ +7 V
デジタル入力電圧対 DGND (\overline{CONVST} , SCLK, RFS, TFS, D_{IN} , A0) ...	-0.3 V, $V_{DD} + 0.3$ V
デジタル出力電圧対 DGND (D_{OUT})	-0.3 V, $V_{DD} + 0.3$ V
REF_{IN} 対 AGND	-0.3 V, $V_{DD} + 0.3$ V
アナログ入力	
$V_{IN1} - V_{IN4}$ (AD7811)	-0.3 V, $V_{DD} + 0.3$ V
$V_{IN1} - V_{IN8}$ (AD7812)	-0.3 V, $V_{DD} + 0.3$ V
保管温度範囲	-65 ~ 150
接合温度	+150
プラスチック DIP パッケージ消費電力	450 mW
J_A 熱インピーダンス	+105 /W
リード温度 (ハンダ付け10秒間)	+260

SOIC パッケージ消費電力	450 mW
J_A 熱インピーダンス	+75 /W
リード温度、ハンダ付け	
気相 (60秒間)	+215
赤外方式 (15秒間)	+220
TSSOP パッケージ消費電力	450 mW
J_A 熱インピーダンス	+115 /W
リード温度、ハンダ付け	
気相 (60秒間)	+215
赤外方式 (15秒間)	+220
ESD	3 kV

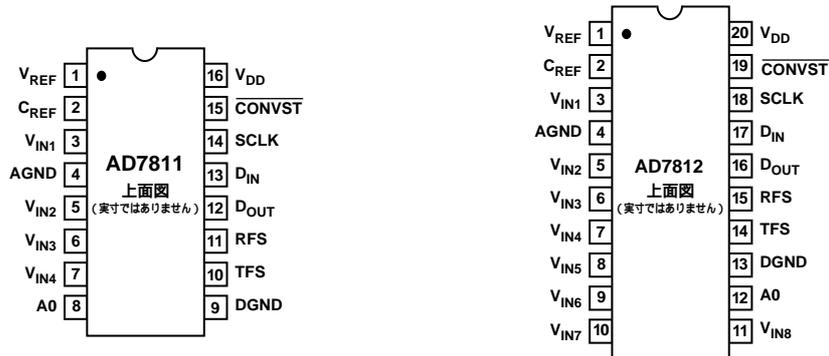
* 上記の絶対最大定格を超えるストレスは、デバイスに永久的なダメージを与えることがあります。このリストはストレス定格を示すことだけを目的とし、これらの条件もしくは本仕様書の動作に関するセクションに示した以外の条件におけるこのデバイスの機能的な動作を意味するものではありません。長時間にわたって絶対最大定格条件で使用すると、デバイスの信頼性に影響が現れることがあります。

オーダー・ガイド

モデル	直線性誤差	パッケージ説明	パッケージ・オプション
AD7811YN	±1 LSB	16ピン・プラスチックDIP	N-16
AD7811YR	±1 LSB	16ピン・プラスチックSOIC	R-16A
AD7811YRU	±1 LSB	16ピン・プラスチックTSSOP	RU-16
AD7812YN	±1 LSB	20ピン・プラスチックDIP	N-20
AD7812YR	±1 LSB	20ピン・プラスチックSOIC	R-20A
AD7812YRU	±1 LSB	20ピン・プラスチックTSSOP	RU-20

AD7811/AD7812

ピン構成 DIP/SOIC/TSSOP



ピン機能の説明

ピン AD7811	ピン AD7812	名称	説明
1	1	V_{REF}	このピンに外部リファレンスを印加することができます。外付けの高精度リファレンスまたは V_{DD} を使用するときは、コントロール・レジスタのEXTREFビットを論理値の「1」にセットしなければなりません。外部リファレンス入力範囲は1.2 Vから V_{DD} までです。
2	2	C_{REF}	リファレンス・キャパシタ。キャパシタ(10 nF)をこのピンに接続するとオンチップ・リファレンスのノイズ性能を向上します。
3, 5 ~ 7	3, 5 ~ 11	$V_{IN1} \sim V_{IN4(8)}$	アナログ入力。アナログ入力範囲は、0 Vから V_{REF} までです。
4	4	AGND	アナログ・グラウンド。トラック/ホールド、コンパレータ、オンチップ・リファレンスおよびDAC用のグラウンド基準になります。
8	12	A0	パッケージ・アドレス・ピン。このロジック入力は、ハード結線によりハイまたはローに設定することができます。コントロール・レジスタのパッケージ・アドレス・ビットとの組み合わせで使用すれば、この入力により2つのデバイスにより同一のシリアル・バスを共有することができます。たとえば、同一のシリアル・バスをAD7811とAD7812に共有させることによって、12チャンネルのソリューションを作ることができます。
9	13	DGND	デジタル・グラウンド。デジタル回路用のグラウンド基準になります。
10	14	TFS	送信フレーム同期。この部品は、このロジック入力の立ち下りエッジを検知すると、それに続く10のSCLKの立ち下りエッジで新しいコントロール・バイトをシフト・インします。
11	15	RFS	受信フレーム同期。このロジック入力の立ち上りエッジで、シリアル・インターフェース内のカウンタがイネーブルされます。これは、連続シリアル・クロックとフレーミング信号を使用するDSPとの互換性を確保するために使用されます。また、複数のパッケージを備えるマルチパッケージ・アプリケーションでは、これをCS(チップ・セレクト)ピンとして使用することもできます。シリアル・インターフェースは、この入力の立ち上がりエッジを検出するまでSCLKを無視します。なおカウンタは、シリアル読み取りオペレーションの終了時にリセットされます。
12	16	D_{OUT}	シリアル・データ出力。シリアル・データは、シリアル・クロックの立ち上がりエッジでこのピンにシフト・アウトされます。この出力は、11番目のSCLKパルスの立ち上がりエッジで高インピーダンス状態に入ります。
3	17	D_{IN}	シリアル・データ入力。この入力でコントロール・バイトが読み込まれます。シリアル書き込みオペレーションを完了するためには、13個のSCLKパルスを提供する必要があります。シフト・インされるのは最初の10ビットだけです。「シリアル・インターフェース」のセクションを参照してください。
14	18	SCLK	シリアル・クロック入力。AD7811/AD7812からシリアル・データを読み出すとき、およびAD7811/AD7812にデータをラッチするとき外部シリアル・クロックをこの入力に印加します。データはSCLKの立ち上がりエッジでクロック・アウトされ、SCLKの立ち下りエッジでラッチされます。
15	19	\overline{CONVST}	変換開始。これはエッジ・トリガのロジック入力です。トラック/ホールドは、この信号の立ち下りエッジでホールド・モードになり、変換を開始します。変換終了時のこのピンの状態によって部品のパワーダウンの有無も決定されます。このデータシートの「動作モード」のセクションを参照してください。
16	20	V_{DD}	+2.7 Vから+5.5 Vまでの正の電源電圧。

AD7811/AD7812

用語の定義

信号対(ノイズ+ひずみ)比

A/Dコンバータの出力で測定した信号と(ノイズ+ひずみ)の比を言います。信号は、基本波の振幅の実効値(rms)とします。またノイズは、サンプリング周波数の1/2の周波数($f_s/2$)以下の基本波と直流成分を除くすべての信号の和の実効値とします。この比は、デジタル化のプロセスにおける量子化レベルの数によって異なります。つまり、レベル数が多いほど、量子化ノイズが小さくなります。理想的なNビットコンバータに正弦波信号を入力したときの理論上の信号対(ノイズ+ひずみ)比は、次式で与えられます。

$$\text{信号対(ノイズ+ひずみ)比} = (6.02N + 1.76) \text{ dB}$$

これによると、10ビットコンバータの場合は62 dBとなります。

全高調波ひずみ

全高調波ひずみ(THD)とは、基本波と高調波のrms和の比を言います。AD7811とAD7812の場合は、これが次式で定義されています。

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ただし、 V_1 は基本波の振幅の実効値、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は、それぞれ第2、第3、・・・第6高調波の振幅の実効値です。

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、ADC出力スペクトルにおける2番目に大きな成分($f_s/2$ 以下、ただし直流成分を除く)の実効値と基本波の振幅の実効値の比として定義されます。通常、このスペックの値は、スペクトル内の最大高調波によって決定されますが、高調波がノイズ・フロアに埋もれてしまう部品の場合、ノイズのピークになります。

相互変調ひずみ

非直線性を有する能動デバイスに2つの周波数 f_a と f_b の正弦波からなる入力を印加すると、2つの周波数の和と差の周波数 $m f_a \pm n f_b$ ($m, n = 0, 1, 2, 3, \dots$)のひずみが発生します。相互変調項は m と n がともにゼロでない場合に対するものです。たとえば、2次の項には $(f_a + f_b)$ と $(f_a - f_b)$ 、3次の項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ および $(f_a - 2f_b)$ が含まれます。

AD7811とAD7812は、入力帯域の最大周波数近傍の2つの入力周波数を用いるCCIF標準を使用してテストされています。この場合、2次の項と3次の項の重要度が異なります。2次の項は、通常、オリジナルの正弦波から離れた周波数となり、3次の項は、一般に入力周波数に近い周波数になります。このため、2次の項と3次の項が個別に指定されます。相互変調ひずみの計算は、THDスペックに従って行われ、個別のひずみの合計の実効値と基本波の実効値の比がdBで表わされます。

チャンネル間分離

チャンネル間分離は、チャンネル間の漏話のレベルの尺度です。これは、選択していないすべての入力チャンネルにフルスケールの20 kHzの正弦波信号を印加し、選択チャンネルにおけるその信号の減衰を調べることによって測定されます。AD7811とAD7812の場合は、4ないし8チャンネルすべてにわたって、最悪の測定値を提示しています。

相対精度

相対精度またはエンドポイント非直線性は、ADC伝達関数のエンドポイントを通る直線からの最大偏差です。

微分非直線性

ADCにおいて、任意の2つの隣り合うコードの間に1 LSBの変化を生じるときの測定値と理論値の差です。

オフセット誤差

(0000...000)から(0000...001)変わる最初のコード変化と理論値、つまりAGND + 1 LSBの差です。

オフセット誤差の一致

任意の2つのチャンネルの間のオフセット誤差の差を言います。

ゲイン誤差

オフセット誤差を調整した後において測定した(1111...110)から(1111...111)に変わる最後のコード変化と理論値の差、つまり $V_{REF} - 1 \text{ LSB}$ です。

ゲイン誤差の一致

任意の2つのチャンネルの間のゲイン誤差の差を言います。

トラック/ホールド・アキュジション時間

トラック/ホールド・アキュジション時間とは、最後の変換の後(トラック/ホールドがトラック・モードに戻った時点)にトラック/ホールド・アンプの出力が最終値の $\pm 1/2 \text{ LSB}$ 内に到達するまでに必要な時間を言います。この時間は、選択入力チャンネルに変更があったとき、あるいは選択しているAD7811またはAD7812の選択されている V_{IN} 入りに印加される入力電圧にステップ入力変化があったときにも適用されます。つまり、変換の終了から、あるいは V_{IN} に対するチャンネル変更またはステップ入力変化からトラック/ホールド・アキュジション時間が経過する前に次の変換を開始すると、仕様書どおりの動作が保証されません。

コントロール・レジスタ(AD7811)

コントロール・レジスタは、10ビット幅の書き込み専用レジスタです。AD7811は、TFSピンの信号の立ち下りを検出するとコントロール・レジスタへの書き込みを行います。ただしAD7811は、部品に新しいコントロール・バイトが書き込まれるまでは、同じコンフィギュレーションを維持します。またコントロール・レジスタに対する書き込みは、データの読み出しと同時に行うことができます。この機能は、ソフトウェア・コントロールが使用されている場合、あるいはアナログ入力チャンネルが頻繁に変更される場合のスループット・レートを改善します。パワーアップ時のデフォルト状態のレジスタには、すべてゼロが格納されます。このためAD7811は、電源が接続されたとき、デフォルトでパワーダウン状態になります。

コントロール・レジスタ(AD7811)

9	X*	A0	PD1	PD0	V_{IN4}/\overline{AGND}	DIF/SGL	CH1	CH0	\overline{CONVST}	0
---	----	----	-----	-----	---------------------------	---------	-----	-----	---------------------	---

* このビットは考慮されません。

A0 パッケージ・アドレス・ビットです。パッケージ・アドレス・ピンとの組み合わせで使用することにより、複数のAD7811で同一のシリアル・バスを共有することができます。さらにAD7811は、同一のシリアル・バスをAD7812と共有することもできます。コントロール・ワードがAD7811のコントロール・レジスタに書き込まれたとき、コントロール・バイトのパッケージ・アドレス・ビットがパッケージ・アドレス・ピンのハード結線方法と一致していなければ、そのコントロール・ワードが無視されます。最後に有効なコントロール・バイトを受け取ったデバイスのシリアルポート、つまりアドレス・ビットがアドレス・ピンに一致するデバイスのシリアル・ポートだけが、次のシリアル読み出しの際にシリアル・バスのドライブを行います。なお部品のパワーアップ時は、このビットは0にセットされます。

PD1、PD0 これらのビットを用いて、AD7811を完全にパワーダウンさせ、またパワーアップさせることができます。ビットの組み合わせがPD1 = PD0 = 0またはPD1 = PD0 = 1となっている場合には、変換の終了時に行われる自動パワーダウンの決定がオーバーライドされます。またこれらのビットは、変換終了に際してAD7811がパワーダウン・モードに入るとき、そのパワーダウン・モードの決定も行います。パワーダウン・モードには、完全パワーダウン・モードと部分パワーダウン・モードの2種類があります。詳しくは、このデータシートの「パワーダウン・オプション」のセクションを参照してください。

PD1	PD0	説明
0	0	AD7811の完全パワーダウン
0	1	変換終了時に部分パワーダウン
1	0	変換終了時に完全パワーダウン
1	1	AD7811のパワーアップ

V_{IN4}/\overline{AGND} このオプションを使用するときは、コントロール・レジスタのDIF/SGLビットを0にセットしなければなりません。セットしておかないとこのビットが無視されてしまいます。 V_{IN4}/\overline{AGND} を0にセットすると、AD7811のアナログ入力アナログ・グラウンド(AGND)を参照する4つのシングルエンド・アナログ入力として構成されます。このビットを1にセットすると、 V_{IN1} から V_{IN3} までの入力チャンネルが、 V_{IN4} を参照する3つの疑似差分チャンネルとして構成されます。表を参照してください。

DIF/SGL このビットは、アナログ入力の構成、つまりシングルエンドとしての構成と、疑似差分ペアとしての構成を選択するために使用します。このビットを0にセットすると、前述したように、AGNDに関するシングルエンドとして、あるいは V_{IN4} に関する疑似差分としてアナログ入力を構成することができます。このビットを1にセットすると、アナログ入力チャンネルが2組の疑似差分ペア、 V_{IN1}/V_{IN2} および V_{IN3}/V_{IN4} として構成されます。表を参照してください。

CH1、CH0 これらのビットは、 V_{IN4}/\overline{AGND} およびDIF/SGLと組み合わせて、アナログ入力チャンネルを選択するときに使用します。各種のチャンネルの選択肢を表にまとめました。この表を参照してください。

\overline{CONVST} このビットを論理値の「1」にセットすると変換が開始されます。変換の開始は、コントロール・レジスタへの書き込みが発生してから400ナノ秒後になります。この遅延により、チャンネルが変更され同一のシリアル書き込みで変換が開始された場合でも信号の取り込みが可能になります。なおこのビットは、変換後にリセットされます。

EXTREF 外部リファレンスを使用する場合、または V_{DD} をリファレンスとして使用する場合は、このビットを論理値の「1」にセットしておかなければなりません。外部リファレンスを選択すると、オンチップ・リファレンス回路はパワーダウンされます。

AD7811/AD7812

コントロール・レジスタ(AD7812)

コントロール・レジスタは、10ビット幅の書き込み専用レジスタです。AD7812は、TFSピンの信号の立ち下りを検出するとコントロール・レジスタへの書き込みを行います。ただしAD7812は、部品に新しいコントロール・バイトが書き込まれるまでは、同じコンフィギュレーションを維持します。またコントロール・レジスタに対する書き込みは、データの読み出しと同時に行うことができます。この機能は、ソフトウェア・コントロールが使用されている場合、あるいはアナログ入力チャンネルが頻繁に変更される場合のスループット・レートを改善します。パワーアップ時のデフォルト状態のレジスタには、すべてゼロが格納されます。このためAD7812は、電源が接続されたとき、デフォルトでパワーダウン状態になります。

コントロール・レジスタ(AD7812)

9	A0	PD1	PD0	V_{IN8}/\overline{AGND}	DIFF/ \overline{SGL}	CH2	CH1	CH0	\overline{CONVST}	EXTREF	0
---	----	-----	-----	---------------------------	------------------------	-----	-----	-----	---------------------	--------	---

A0 パッケージ・アドレス・ビットです。パッケージ・アドレス・ピンとの組み合わせで使用することにより、複数のAD7812で同一のシリアル・バスを共有することができます。さらにAD7812は、同一のシリアル・バスをAD7811と共有することもできます。コントロール・ワードがAD7812のコントロール・レジスタに書き込まれたとき、コントロール・バイトのパッケージ・アドレス・ビットがパッケージ・アドレス・ピンのハード結線方法と一致していなければ、そのコントロール・ワードが無視されます。最後に有効なコントロール・バイトを受け取ったデバイスのシリアル・ポート、つまりアドレス・ビットがアドレス・ピンに一致するデバイスのシリアル・ポートだけが、次のシリアル読み出しの際にシリアル・バスのドライブを行います。なお部品のパワーアップ時は、このビットは0にセットされます。

PD1、PD0 これらのビットを用いて、AD7812を完全にパワーダウンさせ、またパワーアップさせることができます。ビットの組み合わせがPD1 = PD0 = 0またはPD1 = PD0 = 1となっている場合には、変換の終了時に行われる自動パワーダウンの決定がオーバーライドされます。またこれらのビットは、変換終了に際してAD7812がパワーダウン・モードに入るとき、そのパワーダウン・モードの決定も行います。パワーダウン・モードには、完全パワーダウン・モードと部分パワーダウン・モードの2種類があります。詳しくは、このデータシートの「パワーダウン・オプション」のセクションを参照してください。

PD1	PD0	説明
0	0	AD7812の完全パワーダウン
0	1	変換終了時に部分パワーダウン
1	0	変換終了時に完全パワーダウン
1	1	AD7812のパワーアップ

V_{IN8}/\overline{AGND} このオプションを使用するときは、コントロール・レジスタのDIFF/ \overline{SGL} ビットを0にセットしなければなりません。セットしておかないとこのビットが無視されてしまいます。 V_{IN8}/\overline{AGND} を0にセットすると、AD7812のアナログ入力が入力・グラウンド(AGND)を参照する8つのシングルエンド・アナログ入力として構成されます。このビットを1にセットすると、 V_{IN1} から V_{IN7} までの入力チャンネルが、 V_{IN8} を参照する7つの疑似差分チャンネルとして構成されます。表を参照してください。

DIFF/ \overline{SGL} このビットは、アナログ入力の構成、つまりシングルエンドとしての構成と、疑似差分ペアとしての構成を選択するために使用します。このビットを0にセットすると、前述したように、AGNDに関するシングルエンドとして、あるいは V_{IN8} に関する疑似差分としてアナログ入力を構成することができます。このビットを1にセットすると、アナログ入力チャンネルが4組の疑似差分ペア、 V_{IN1}/V_{IN2} 、 V_{IN3}/V_{IN4} 、 V_{IN5}/V_{IN6} 、 V_{IN7}/V_{IN8} として構成されます。表を参照してください。

CH2、CH1、CH0 これらのビットは、 V_{IN8}/\overline{AGND} およびDIFF/ \overline{SGL} と組み合わせ、アナログ入力チャンネルを選択するときに使用します。各種のチャンネルの選択肢を表にまとめました。この表を参照してください。

\overline{CONVST} このビットを論理値の「1」にセットすると変換が開始されます。変換の開始は、コントロール・レジスタへの書き込みが発生してから400ナノ秒後になります。この遅延により、チャンネルが変更され同一のシリアル書き込みで変換が開始された場合でも信号の取り込みが可能になります。なおこのビットは、変換後にリセットされます。

EXTREF 外部リファレンスを使用する場合、または V_{DD} をリファレンスとして使用する場合は、このビットを論理値の「1」にセットしておかなければなりません。外部リファレンスを選択すると、オンチップ・リファレンス回路はパワーダウンされて、約1 mAの消費電流が削減されます。

表 . AD7811のチャンネル構成

V_{IN4}/\overline{AGND}	$\overline{DIF}/\overline{SGL}$	CH1	CH0	説明
0	0	0	0	V_{IN1} がAGNDを参照するシングルエンドになります。
0	0	0	1	V_{IN2} がAGNDを参照するシングルエンドになります。
0	0	1	0	V_{IN3} がAGNDを参照するシングルエンドになります。
0	0	1	1	V_{IN4} がAGNDを参照するシングルエンドになります。
1	0	0	0	V_{IN1} が V_{IN4} を参照する疑似差分になります。
1	0	0	1	V_{IN2} が V_{IN4} を参照する疑似差分になります。
1	0	1	0	V_{IN3} が V_{IN4} を参照する疑似差分になります。
X	1	0	0	$V_{IN1}(+)$ が $V_{IN2}(-)$ を参照する疑似差分になります。
X	1	0	1	$V_{IN3}(+)$ が $V_{IN4}(-)$ を参照する疑似差分になります。
X	1	1	0	内部テスト。 $V_{REF}/2$ に等しいISAR入力。
X	1	1	1	内部テスト。 V_{REF} に等しいISAR入力。

表 . AD7812のチャンネル構成

V_{IN8}/\overline{AGND}	$\overline{DIF}/\overline{SGL}$	CH2	CH1	CH0	説明
0	0	0	0	0	V_{IN1} がAGNDを参照するシングルエンドになります。
0	0	0	0	1	V_{IN2} がAGNDを参照するシングルエンドになります。
0	0	0	1	0	V_{IN3} がAGNDを参照するシングルエンドになります。
0	0	0	1	1	V_{IN4} がAGNDを参照するシングルエンドになります。
0	0	1	0	0	V_{IN5} がAGNDを参照するシングルエンドになります。
0	0	1	0	1	V_{IN6} がAGNDを参照するシングルエンドになります。
0	0	1	1	0	V_{IN7} がAGNDを参照するシングルエンドになります。
0	0	1	1	1	V_{IN8} がAGNDを参照するシングルエンドになります。
1	0	0	0	0	V_{IN1} が V_{IN8} を参照する疑似差分になります。
1	0	0	0	1	V_{IN2} が V_{IN8} を参照する疑似差分になります。
1	0	0	1	0	V_{IN3} が V_{IN8} を参照する疑似差分になります。
1	0	0	1	1	V_{IN4} が V_{IN8} を参照する疑似差分になります。
1	0	1	0	0	V_{IN5} が V_{IN8} を参照する疑似差分になります。
1	0	1	0	1	V_{IN6} が V_{IN8} を参照する疑似差分になります。
1	0	1	1	0	V_{IN7} が V_{IN8} を参照する疑似差分になります。
X	1	0	0	0	$V_{IN1}(+)$ が $V_{IN2}(-)$ を参照する疑似差分になります。
X	1	0	0	1	$V_{IN3}(+)$ が $V_{IN4}(-)$ を参照する疑似差分になります。
X	1	0	1	0	$V_{IN5}(+)$ が $V_{IN6}(-)$ を参照する疑似差分になります。
X	1	0	1	1	$V_{IN7}(+)$ が $V_{IN8}(-)$ を参照する疑似差分になります。
X	1	1	0	0	内部テスト。 $V_{REF}/2$ に等しいISAR入力。
X	1	1	0	1	内部テスト。 V_{REF} に等しいISAR入力。

AD7811/AD7812

回路の説明

コンバータの動作

AD7811とAD7812は、電荷再分配型DACをベースにした逐次比較型のアナログ・デジタル・コンバータです。このADCは、0 Vから V_{DD} までの範囲のアナログ入力信号を変換することができます。図2と図3にこのADCを簡略化したブロック図を示します。図2は、このADCがアキュイジション段階にある状態を示しています。この状態では、SW2が閉じ、SW1がポジションAとなっているので、コンパレータが平衡状態に維持され、サンプリング・キャパシタが V_{IN} に印加される信号を取り込みます。

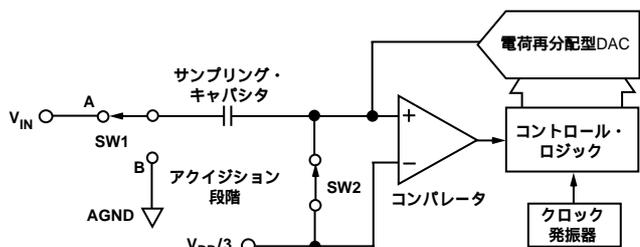


図2 . ADCのアキュイジション段階

ADCが変換を開始すると、図3に示すように、SW2が開き、SW1がポジションBに切り替わるので、コンパレータが不平衡状態になります。コントロール・ロジックと電荷再分配型DACは、不平衡状態になったコンパレータを平衡状態に戻すために使用され、所定量の電荷をサンプリング・キャパシタに加え、あるいはそこから引き取ります。コンパレータが再び平衡状態に戻ると、変換が完了します。このときコントロール・ロジックが、ADCの出力コードを生成します。ADCの伝達関数を図10に示したので参照してください。

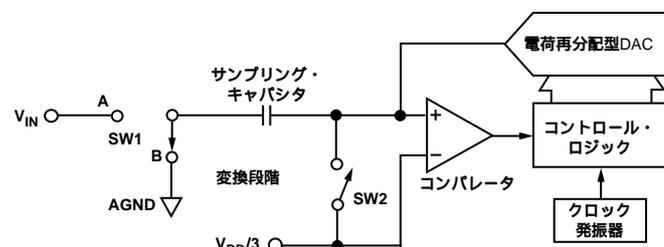


図3 . ADCの変換段階

代表的な接続ブロック図

図4にAD7811/AD7812の代表的な接続ブロック図を示します。ここでは、ノイズの抑圧を良好にするために、AGNDとDGNDがデバイスの位置で接続されています。信号インターフェースには3線式が用いられており、RFS/TFSがCONVSTに接続されています(詳しくは「シリアル・インターフェース」のセクションを参照してください)。 V_{REF} は、良好に減結合された V_{DD} ピンに接続されているので、アナログ入力範囲が0 Vから V_{DD} までとなります。AD7811またはAD7812が、別のAD7811もしくはAD7812とシリアル・バスを共有しないのであれば、A0(パッケージ・アドレス・ピン)をローにハード的に固定しておかねばなりません。パワーアップ時のパッケージ・アドレス・ビットのデフォルト値は0です。また、消費電力が問題となるアプリケーションの場合は、変換終了時に自動パワーダウンを使用して省電力性能を向上させます。このデータシートの「パワーダウン・オプション」のセクションを参照してください。

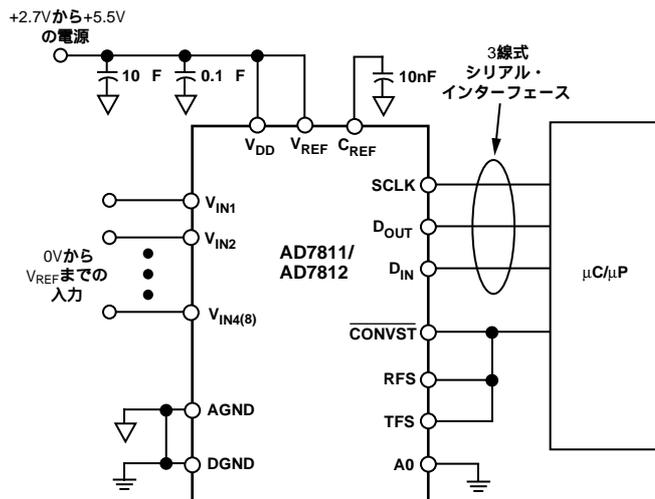


図4 . 代表的な接続ブロック図

アナログ入力

図5は、AD7811とAD7812のアナログ入力構成に等価な回路を示しています。2つのダイオードD1とD2は、アナログ入力をESDから保護します。ただし、アナログ入力信号が電源レール+200 mVを絶対を超えないように注意しなければなりません。これを超えると、これらのダイオードが順方向バイアスとなって基板に電流が流れ始めてしまいます。部品に回復不能なダメージを招くことなくこれらのダイオードが流すことができる電流は、20 mAが限界です。また、選択していないチャンネルの過電圧が原因となって基板に流れる電流がわずか(1 mA)でも、選択しているチャンネルでの変換精度に影響が現れることがあるという点に注意した方が賢明でしょう。図5のキャパシタC2は、一般に4 pFで、基本的にピンの静電容量になります。抵抗R1は、マルチプレクサとスイッチの抵抗で構成される集中要素です。この抵抗は、一般に約125 Ωとなります。キャパシタC1は、ADCのサンプリング・キャパシタで、静電容量は3.5 pFです。

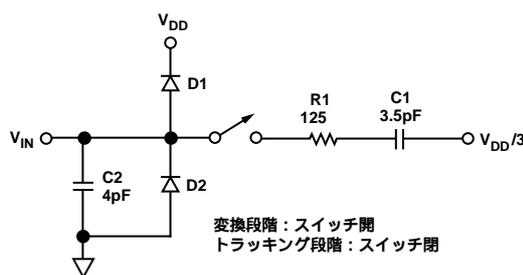


図5 . 等価アナログ入力回路

AD7811とAD7812のアナログ入力は、アナログ・グラウンド(AGND)を参照するシングルエンドとして、共通電圧を参照する疑似差分として、さらには疑似差分ペアとして構成することができます。「コントロール・レジスタ」のセクションを参照してください。

図6に、AD7811を使用した疑似差分スキームの一例を示します。AD7811のコントロール・レジスタ内の関連するビット、DIF/SGL = 1、CH1 = CH0 = 0がセットされて、 V_{IN1} が V_{IN2} を参照する疑似差分になっています。信号は、 V_{IN1} に印加されますが、疑似差分スキームでは、変換の間、サンプリング・キャパシタが V_{IN2} に接続され、「コンバータの動作」セクションで説明したようにAGNDには接続されません。この入力スキームを使用して、システムに存在するオフセットを除去することができます。たとえば、システムに0.5 Vのオフセットがある場合、このオフセットを V_{IN2} に印加し、 V_{IN1} に信号を印加します。このようにすると、入力スパンが0.5 Vオフセットされます。ただし、入力スパンのオフセットは、 V_{DD} からオフセットを引いた電圧より参照電圧が低い場合に限り可能です。

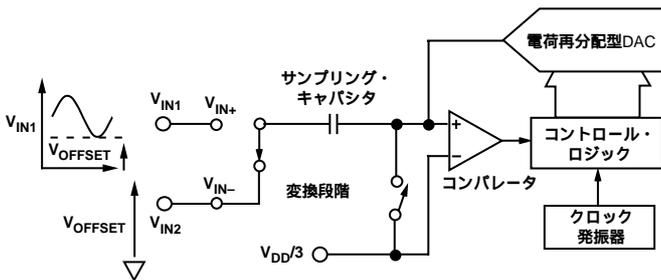


図6．疑似差分入力スキーム

疑似差分入力スキームを使用する場合は、 V_{IN2} に印加される信号が変換プロセスの間にわたって1/2 LSBを超えて変動しないことが条件になります。 V_{IN2} に印加される信号が変換プロセスの間に変動すると、正しい変換結果が得られません。一方、シングルエンド・モードにおいては、サンプリング・キャパシタが変換プロセスの間、常にAGNDに接続されています。図7は、ユニポーラ直流電流測定に使用されるAD7811/AD7812の疑似差分入力を示しています。この図に示されているように、検出抵抗を使用して電流を電圧に変換し、その電圧を差分入力に印加します。

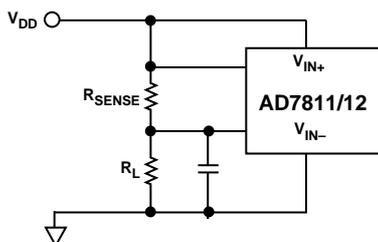


図7．直流電流測定スキーム

直流アキュジション時間

このADCは、変換終了時に新しい信号の取り込みを開始し、CONVST信号の立ち下りエッジで終了します。変換終了時は、サンプリング回路に關係するセトリング時間を伴います。このセトリング時間の持続時間は、約100ナノ秒です。 V_{IN+} に印加されるアナログ信号の取り込みもこのセトリング時間内に行われます。したがって、アキュジション時間は、少なくとも約100ナノ秒必要ということになります。

図8は、ADCがアキュジション段階にあるときのサンプリング・キャパシタに関する等価充電回路を示しています。R2は、バッファ・アンプまたは抵抗回路網のソース・インピーダンスを表わします。R1はマルチプレクサの内部抵抗、C1はサンプリング・キャパシタです。サンプリング・キャパシタは、アキュジション段階の間

に、最終値から $\pm 1/2$ LSBの範囲の電圧まで充電されなければなりません。サンプリング・キャパシタの充電に必要な時間(T_{CHARGE})は、次の式で与えられます。

$$T_{CHARGE} = 7.6 \times (R2 + 125) \times 3.5 \text{ pF}$$

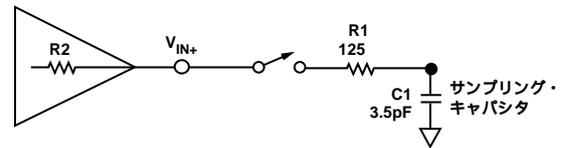


図8．等価サンプリング回路

ソース・インピーダンスが小さいときは、サンプリング回路に關係するセトリング時間(100ナノ秒)が、結果的にADCのアキュジション時間になります。たとえば、ソース・インピーダンス($R2$)が10 のとき、サンプリング・キャパシタの充電時間は4ナノ秒となります。ただし、ソース・インピーダンスが2 k を超えると充電時間が無視できなくなります。

交流アキュジション時間

交流アプリケーションの場合、アナログ入力信号を常にバッファすることが推奨されています。ADCのアキュジション時間を最短にするためには、ドライブ回路のソース・インピーダンスをできる限り低く押さなければなりません。ソース・インピーダンスが大きいと、高いスループット・レートでのTHDの低下が起こります。また、 V_{IN} に1 nFのキャパシタを外付けすることにより、一般に性能の向上が得られます。

オンチップ・リファレンス

AD7811とAD7812には、2.5 Vのオンチップ・リファレンス回路が備わっています。図9は、このリファレンス回路の実装態様を示しています。1.23 Vのバンドギャップ・リファレンスのゲイン・アップが行われて2.5 V \pm 2%のリファレンス電圧が作られます。このオンチップ・リファレンスを外部から使用することはできません(SW2が開いています)。しかし、 V_{REF} に外部リファレンス(1.2 V ~ V_{DD})を印加することはできます。ただし、外部リファレンスを使用するためには、まず、コントロール・レジスタのEXTREFビット(ビット0)を論理値の「1」にセットしなければなりません。EXTREFビットを論理値の「1」にセットすると、SW2が閉じますが、SW3が開いてアンプがパワーダウンします。これによって部品の消費電流が約1 mA減少します。なお、オンチップ・リファレンスと外部リファレンスを選択的に使用すれば、2つの異なるリファレンス電圧を用いることができます。

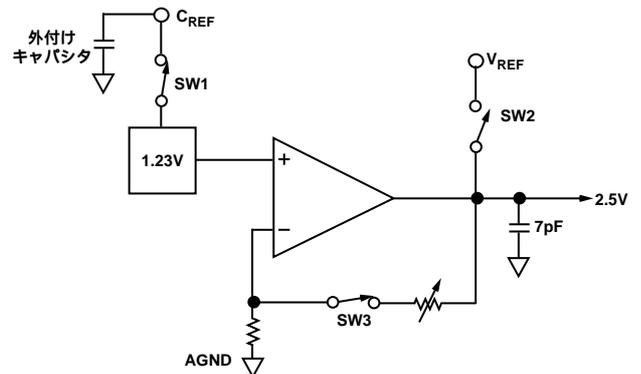


図9．オンチップ・リファレンス回路

AD7811/AD7812

内蔵オンチップ・リファレンスを用いている場合は、変換と変換の間で自動パワーダウンを使用すれば「消費電力対スループット」を参照してください。部品がパワーダウン・モードに入ったときにスイッチSW1が開いて部品の省電力性能が改善されます。これにより、外付けのキャパシタに高インピーダンス放電パスがもたらされます(図9を参照してください)。一般的なこの外付けキャパシタの容量は10 nFです。この部品がモード2完全パワーダウンにあるときは、パワーダウンの間、この外付けキャパシタによって電荷が保持されるので、比較的期間が短い完全パワーダウンの後では内蔵バンドギャップ・リファレンスをより迅速にパワーアップすることが可能です。モード2部分パワーダウンで部品を動作させている場合は、残りの回路がパワーダウンとなっている間もオンチップ・リファレンスがパワーアップ状態に維持されているので外付けキャパシタの必要はありません。

ADCの伝達関数

AD7811とAD7812の出力コーディングは、ストレート・バイナリです。設計上のコード遷移は、連続する整数のLSB値の変化(つまり1 LSB、2 LSB...)とともに生じます。ただしLSBのサイズは、 $V_{REF}/1024$ です。AD7811とAD7812の理想的な伝達特性を図10に示します。

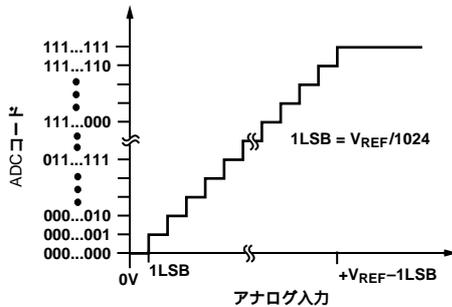


図10 . AD7811とAD7812の伝達特性

パワーダウン・オプション

AD7811とAD7812は、柔軟な電力マネジメントを提供するので、ユーザは、所定のスループット・レートに合った最適省電力性能を達成することができます。

電力マネジメントのオプションは、コントロール・レジスタのパワーダウン・ビット(つまりPD1とPD0)をプログラムすることによって選択できます。次の表に、選択可能なオプションを要約します。パワーダウン・ビットがモード2パワーダウン用(完全および部分)にプログラムされているときは、CONVSTピンの立ち上がりエッジで部品のパワーアップが行われます。この機能は、変換と変換の間でパワーダウンを行うとき使用します(「消費電力対スループット」を参照してください)。AD7811とAD7812を部分パワーダウンに設定している場合は、オンチップ・リファレンスのパワーダウンは行われません。しかしながら、部分パワーダウンを使用したときの方が、長期間のパワーダウンの後の部品のパワーアップが迅速になります(「パワーアップ時間」のセクションを参照してください)。

表 . AD7811/AD7812のパワーダウン・オプション

PD1	PD0	CONVST*	説明
1	1	x	完全パワーアップ
0	0	x	完全パワーダウン
0	1	0	モード2部分パワーダウン (リファレンスのパワーダウンなし)
0	1	1	パワーダウンなし
1	0	0	モード2完全パワーダウン
1	0	1	パワーダウンなし

* これは変換終了時のCONVST信号の状態を参照しています。

パワーアップ時間

AD7811とAD7812のパワーアップ時間は、外部リファレンスを使用しているとき、あるいは部分パワーダウンからパワーアップする場合は、1マイクロ秒です。 V_{DD} が最初に接続されたとき、AD7811とAD7812は低電流モードで動作しています。AD7811とAD7812に変換を開始させるためには、各ADCのコントロール・レジスタに書き込みを行って、パワーダウン・ビットを完全パワーアップ用にセットし(つまりPD1=1、PD0=1)部品をパワーアップしなければなりません。後述するクイック評価セットアップを参照してください。

モード2完全パワーダウン(PD1=1、PD0=0)

最初に電源が接続されたとき、あるいは長期間の完全パワーダウンの後のAD7811とAD7812のパワーアップ時間は、1.23 Vのオンチップ・リファレンスのパワーアップに必要な時間に外付けキャパシタ C_{REF} (図9を参照してください)の充電に必要な時間を加えた時間となります。 C_{REF} を10ビット・レベルまで充電する時間は、 $7.6 \times 2k \times C_{REF}$ という式から求められます。 $C_{REF} = 10 \text{ nF}$ の場合であれば、パワーアップ時間は約152マイクロ秒です。オンチップ・リファレンスのパワーアップに30マイクロ秒を必要とするので、これらのいずれかの状態における合計のパワーアップ時間は、どちらのADCでも182マイクロ秒になります。しかし、省電力性能を向上するために変換と変換の間で完全パワーダウンを行う場合は、 C_{REF} が電荷を保持しているために「オンチップ・リファレンス」のセクションを参照してください。比較的短期間のパワーダウンの後のパワーアップ時間が1マイクロ秒まで短縮されます。この結果、モード2でAD7811とAD7812を使用して最高250 kSPSのスループット・レートを得ることができます。

モード2部分パワーダウン(PD1=0、PD0=1)

部分パワーダウンからのパワーアップ時間は、AD7811とAD7812のいずれでも1マイクロ秒以下です。変換と変換の間に部分パワーダウンを使用する場合は、リファレンスがパワーアップ状態に維持されるので、 C_{REF} ピンにキャパシタを外付けする必要がありません。つまり、外付けキャパシタを充電する必要もないため、電源を最初に接続してから30マイクロ秒でパワーアップが完了することになります。

消費電力対スループット

変換終了時に自動パワーダウン(モード2)を機能させることによって(このデータシートの「動作モード」セクションを参照してください)優れた省電力性能を達成することができます。

図11は、AD7811とAD7812の最適省電力性能を達成するためにCONVST信号を使用して自動パワーダウンを具体化する方法を示しています。AD7811とAD7812はモード2で動作し、コントロール・レジスタのビットPD1とPD0は、完全パワーダウンの場合であればそれぞれ1と0にセットし、部分パワーダウンの場合であればそれぞれ0と1にセットします。CONVSTパルスの持続時間は、デバイスのパワーアップ時間と等しいかそれ以下です(「動作モード」セクションを参照してください)。スループット・レートが圧縮されますが、デバイスがパワーダウン状態に長くともどまるほど、それに応じて長時間にわたる平均消費電力が低くなります。

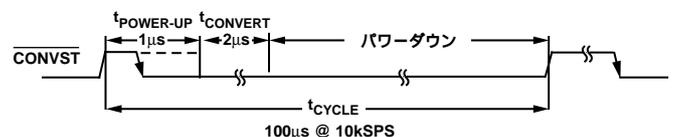


図11 . 自動パワーダウン

たとえば、AD7811がスループット・レート10 kSPS、PD1=1、PD0=0の連続サンプリング・モードで、オンチップ・リファレンスを使用して動作しているときの消費電力を計算してみましょう。通常の動作の間の消費電力は、10.5 mW、 $V_{DD}=3$ Vです。パワーアップ時間を1マイクロ秒、変換時間を2.3マイクロ秒とすれば、AD7811は、それぞれの変換サイクルの間に3マイクロ秒(最悪ケース)にわたって10.5 mWの電力を消費すると言うことができます。スループット・レートが10 kSPSであれば、サイクル時間は100マイクロ秒になり、各サイクルの間の平均消費電力は $(3/100) \times 10.5$ mW = 315 μ Wとなります。

図12は、自動完全パワーダウンを設定している場合の消費電力とスループット・レートの関係を示しています。

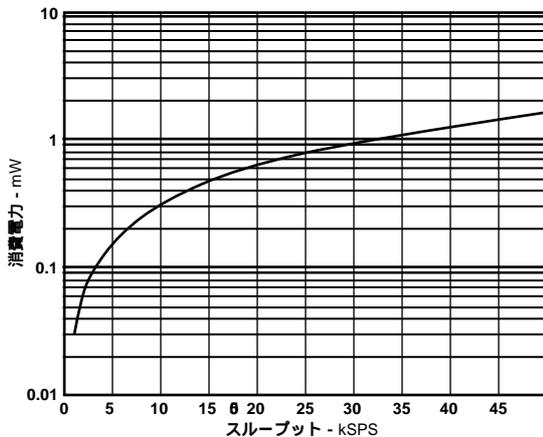


図12 . AD7811/AD7812の消費電力とスループット・レートの関係

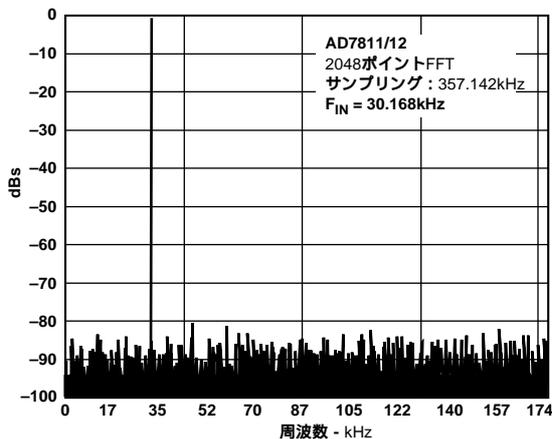


図13 . AD7811/AD7812のSN比

クイック評価セットアップ

図14の回路図は、AD7812の初期評価用に提案されている構成を示します。 V_{REF} ピンは、 V_{DD} ピンに接続できるので、外部リファレンス回路は必要ありません。TFSピンとRFSピンにはCONVST信号を印加してシリアル・ポートをイネーブルにします。また、モード2動作(「動作モード」セクション)を選択することにより、AD7812の省電力性能が評価できます。

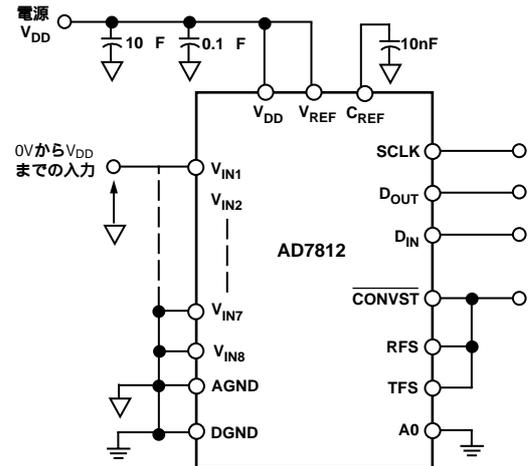


図14 . クイック評価セットアップ

このセットアップは、全二重16ビットのシリアル・インターフェース・プロトコル、たとえばSPIを使用します。このプロトコルは、2つの連続する読み出し/書き込みオペレーションを実行することによって、8ビット伝送を使用することができます。伝送においては、データのMSBが先になります。

1. デバイスは、最初に電源が接続されたとき、パワーダウン・モードで動作し、1 μ Aしか消費していません。まず、シリアル書き込みオペレーションを行ってAD7812の設定を行う必要があります。
2. 最初にCONVSTパルスを印加し、シリアル・ポートをイネーブルにします(RFSの立ち上がりエッジとTFSの立ち下りエッジ「シリアル・インターフェース」セクションを参照してください)。
3. 次に、16ビットのシリアル読み出し/書き込みオペレーションを実行します。16進数の6040をAD7812に書き込むことによりこの部品がパワーアップされ、外部リファレンス(つまり V_{DD})を使用する設定になり、アナログ入力 V_{IN1} が選択されます。なお、この読み出し/書き込みオペレーションの間は、この部品からのデータ読み出しは無効です。
4. CONVSTパルスを再度印加して変換を開始する前に、約1マイクロ秒の間隔を開ける必要があります。この1マイクロ秒の間にAD7812が適切にパワーアップされます(「パワーアップ時間」セクションを参照してください)。
5. CONVST信号の立ち下りエッジ、つまり変換終了から約2.3マイクロ秒後にシリアル読み出し/書き込みオペレーションの開始が可能になります。このとき、16進数の4040をAD7812に書き込み、部品から読み出したデータが変換結果になります。出力コードは、ストレート・バイナリ・フォーマットで、16ビットのシリアル・レジスタに左寄せで格納されます(MSBから先に送られます)。
6. CONVST信号をハイまたはローでアイドルリングすることにより、それぞれAD7812をモード1とモード2で動作させることができます。

動作モード

AD7811とAD7812の動作モードは、変換終了時にCONVST信号の(ロジック)状態をチェックして選択されます。変換終了時のCONVST信号がロジック・ハイであれば、この部品はパワーダウンしないで、モード1で動作します。しかし、変換終了の前にCONVST信号がロジック・ローに引き込まれると、変換終了時にAD7811とAD7812がパワーダウンします。これがモード2の動作です。

AD7811/AD7812

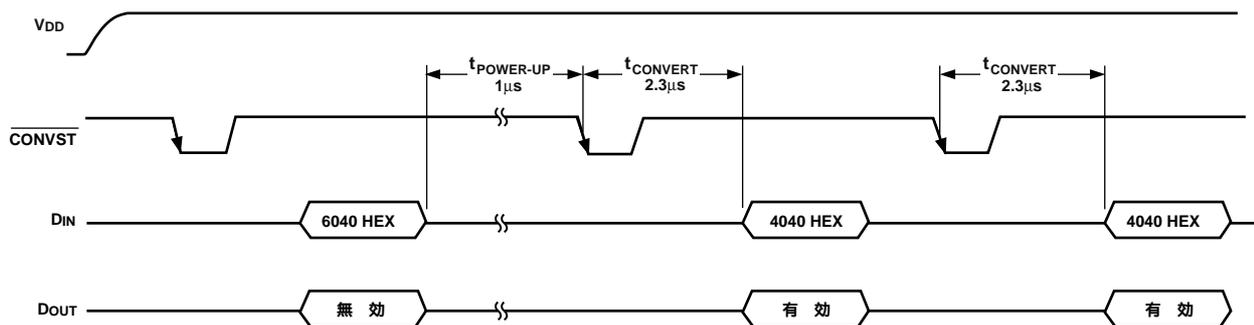


図15 . AD7812の読み出し / 書き込みシーケンス

モード1の動作(高速サンプリング)

AD7811とAD7812がモード1で動作しているときは、変換と変換の間のパワーダウンがありません。このため、このモードの動作では、高速スループット・レートを達成することが可能です。図16に示したタイミング図を参照すると、変換終了前に $\overline{\text{CONVST}}$ 信号をハイに引き上げることによってこの最適スループット・レートが達成されるメカニズムを知ることができます。

サンプリング回路は、 $\overline{\text{CONVST}}$ 信号の立ち下りエッジでトラック・モードからホールドへ移行します。変換もまた、このとき開始されます。変換は、完了までに2.3マイクロ秒を要します。この時点で、現在の変換結果がシリアル・シフト・レジスタにラッチされ、 $\overline{\text{CONVST}}$ 信号の状態がチェックされます。部品をパワーダウンさせないためには、変換終了時に $\overline{\text{CONVST}}$ 信号がロジック・ハイになればなりません。AD7811とAD7812のシリアル・ポートは、RFS信号の立ち上がりエッジの後の最初のSCLKの立ち上がりエッジでイネーブルになります(「シリアル・インターフェース」セクション

を参照してください)。前述したように、部品をパワーダウンさせないためには、変換プロセスの完了前にこの立ち上がりエッジが発生する必要があります。シリアル読み出しは、 $\overline{\text{CONVST}}$ 信号の立ち上がりエッジの後であれば、任意の段階で開始することができます。シリアル読み出しを現在の変換プロセスの終了前に(つまりタイミング“A”で)開始すると、直前の変換結果が D_{OUT} ピンからシフト・アウトされます。シリアル読み出しは、変換終了を超えて延長することが可能です。その場合、読み出しが完了するまで新しいデータが出力シフト・レジスタにラッチされません。変換時の読み取りの間におけるAD7811とAD7812の動的性能の低下は、通常3 dB以下です。変換プロセスの終了まで、つまり $\overline{\text{CONVST}}$ 信号の立ち下りエッジから2.3マイクロ秒が経過するまで(ポイント“B”)読み出しの開始を待つと、現在の変換結果がシフト・アウトされます。次の $\overline{\text{CONVST}}$ 信号の立ち下りエッジより、少なくとも100ナノ秒前にシリアル読み出しが完了していないと、部品は適正に入力信号を取り込むことができません。

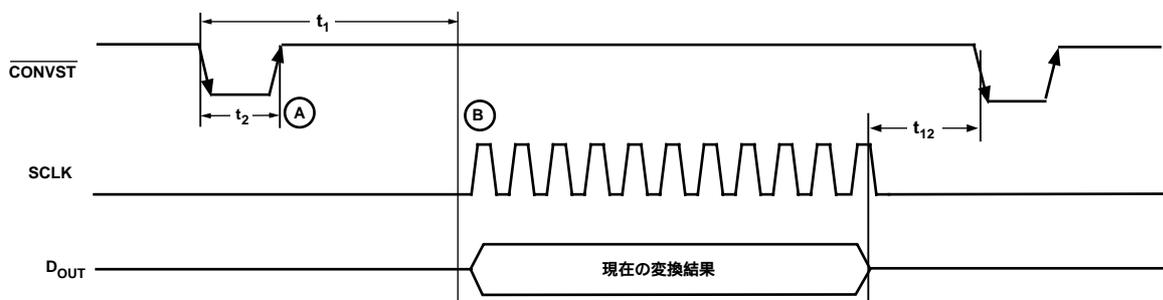


図16 . モード1の動作タイミング図

モード2の動作(自動パワーダウン)

このモードの操作を使用すると、変換終了時に部品が自動的にパワーダウンします。これは、変換が終了するまで $\overline{\text{CONVST}}$ 信号をローに維持しておくことによって達成されます。この部品がパワーダウンしてからパワーアップするまで約1マイクロ秒を必要とするため、このモードの動作は、比較的低いスループット・レート、つまり250 kSPS台のスループット・レートが許容され、高い省電力性能が要求されるアプリケーションでの使用が意図されています(「消費電力対スループット・レート」セクションを参照してください)。自動パワーダウンの間にAD7811とAD7812が入ることができるパワーダウン・モードには2種類あります。これらのモードについては、このデータシートの「パワーアップ時間」のセクションに

説明があります。図17に示したタイミング図を参照すると、この部品のモード2での動作がわかります。AD7811/AD7812がパワーダウンされている場合、 $\overline{\text{CONVST}}$ パルスの立ち上がりエッジでこの部品のパワーアップが生じます。部品のパワーアップ後($\overline{\text{CONVST}}$ パルスの立ち上がりエッジから約1マイクロ秒後)は、 $\overline{\text{CONVST}}$ 信号がローに引き込まれ、 $\overline{\text{CONVST}}$ 信号のその立ち下りエッジで変換が開始されます。変換は2.3マイクロ秒後に終了し、終了時には変換結果がシリアル・シフト・レジスタにラッチされて部品がパワーダウンされます。つまり、部品がモード2で動作しているときは、有効変換時間がパワーアップ時間(1マイクロ秒)とSAR変換時間(2.3マイクロ秒)の合計に等しくなります。

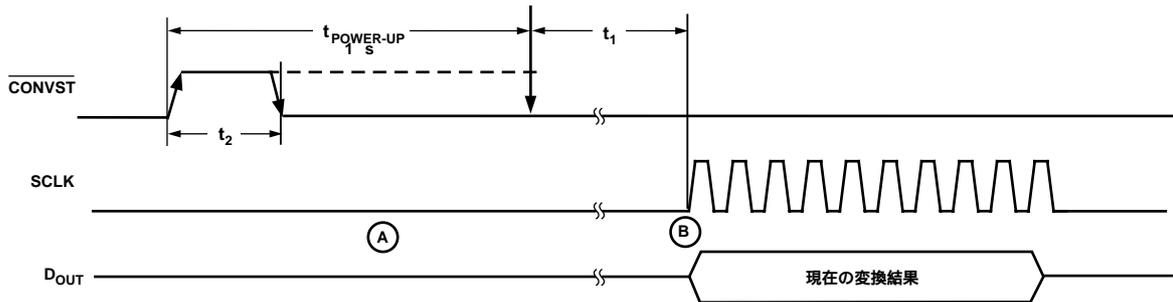


図17. モード2の動作タイミング図

注意: AD7811とAD7812は、パワーアップにCONVST信号の立ち上がりエッジから1マイクロ秒間を必要としますが、この立ち上がりエッジからCONVST信号をローに引き込んで変換を開始するまで、必ずしも1マイクロ秒間にわたってCONVST信号をハイに維持する必要はありません。1マイクロ秒が経過する前にCONVST信号がローに落ちると、パワーアップ時間が内部的にタイムアウトし、変換が開始されます。したがってAD7811とAD7812は、CONVST信号のパルス幅が1マイクロ秒に満たないときでも、変換開始前には必ずパワーアップとなっていることが保証されています。CONVST信号のパルス幅が1マイクロ秒を超えるときは、変換が立ち下りエッジで開始されます。

モード1の動作の場合と同様に、RFS信号の立ち上がりエッジの後の最初のSCLKの立ち上がりエッジでAD7811とAD7812のシリアル・ポートがイネーブルになります(「シリアル・インターフェース」セクションを参照してください)。この立ち上がりエッジの直後に(ポイント“A”で)、つまり変換が終了する前にシリアル読み出しを開始すると、直前の変換の結果がD_{OUT}ピンからシフト・アウトされます。現在の結果を読み出すためには、パワーアップの少なくとも約2.3マイクロ秒後とCONVST信号の立ち下りエッジの少なくとも約2.3マイクロ秒後のうち、遅く到来する方のタイミングまで待機してから(ポイント“B”)シリアル読み出しを開始します。なお、AD7811とAD7812のシリアル・ポートは、デバイスがパワーダウンしている場合でも機能します。

パワーダウンの間も部品からのシリアル読み出しが可能であるということは、AD7811とAD7812のパワーアップが変換のためだけに行われ、変換終了時には速やかにパワーダウンされることを意味します。これは、低いスループット・レートでの部品の消費電力を著しく向上させます。「消費電力対スループット・レート」セクションを参照してください。

シリアル・インターフェース

AD7811とAD7812のシリアル・インターフェースは、5本のワイヤ、つまりシリアル・クロック入力SCLK、受信データからのクロック同期入力RFS、送信データからのクロック同期入力TFS、シリアル・データ出力D_{OUT}、およびシリアル・データ入力D_{IN}から構成されます(図18を参照してください)。シリアル・インターフェースは、PIC16C、PIC17C、QSPI、SPI、DSP56000、TMS320、ADSP21xxといった、多くのマイクロコントローラやDSPと、統合ロジックを必要とせずに簡単にインターフェースできるように設計されています。ただし、8051とインターフェースするとき、SCLKを反転させなければなりません。「マイクロプロセッサ/マイクロコントローラ」のセクションに、一般的なDSPやマイクロコントローラとのインターフェース方法が解説されています。

図18は、AD7811とAD7812におけるシリアル読み出し/書き込みについてのタイミング図です。シリアル・インターフェースは、シリアル・クロックが連続でも不連続でも機能します。シリアル・クロック数をカウントするカウンタが、RFSの立ち上がりエッジとTFSの立ち下りエッジでリセットされるので、シリアル・シフト・レジスタにシフト・イン、シフト・アウトするビット数の正しいカウントが保証されます。正しいビット数のシフト・インとシフト・アウトが終了した後は、SCLKが無視されます。別のシリアル伝送を開始するためには、TFSとRFSのアクティブ・エッジでカウンタをリセットしなければなりません。RFS信号の立ち上がりエッジの後の最初のSCLKの立ち上がりエッジでD_{OUT}が高インピーダンス状態から離れ、D_{OUT}ラインにデータをクロック・アウトします。続くSCLKの立ち上がりエッジでもこのクロック・アウトが繰り返されます。D_{OUT}ピンは、11番目のSCLKの立ち上がりエッジ、つまり図18のポイント“A”で再び高インピーダンス状態に戻ります。このため、シリアル読み出しを開始するためには、少なくとも11のSCLK

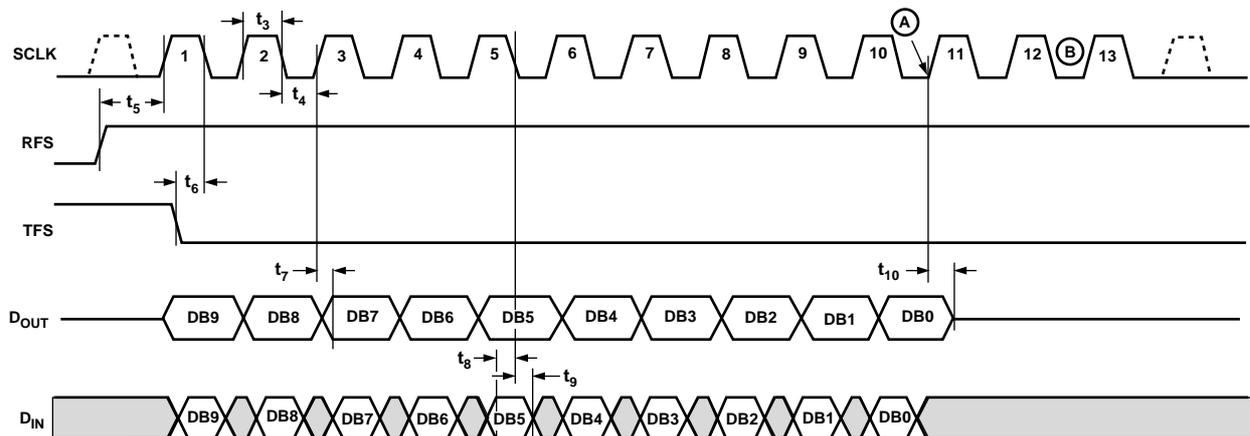


図18. シリアル・インターフェースのタイミング図

AD7811/AD7812

が必要になります。D_{IN}のデータは、TFS信号の立ち下りエッジの後の最初のSCLKの立ち下りエッジとその後のSCLKの立ち下りエッジでラッチされます。コントロール・レジスタは、13番目の立ち上がりエッジ、つまり図18のポイント“B”で更新されます。このため、シリアル書き込みオペレーションを完了するまでに少なくとも13のSCLKが必要になります。マルチパッケージ・アプリケーションの場合、RFSとTFSをチップ・セレクト信号として使用することができます。シリアル・インターフェースによるデータのシフトは、シリアル・インターフェースがRFSまたはTFSのアクティブ・エッジを受信するまでは行われません。

シリアル・インターフェースの簡素化

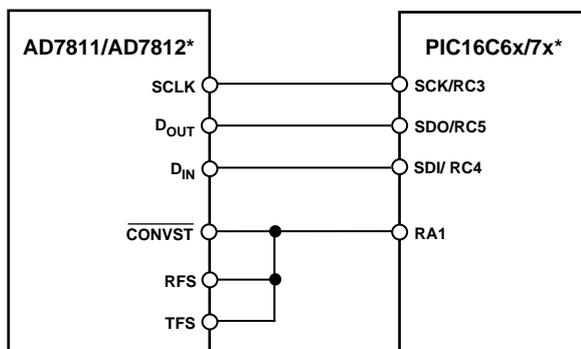
5線式インターフェースは、各種のシリアル・インターフェース標準をサポートするために設計されています。しかし、必要なラインの数は、3本まで減らすことが可能です。単純にTFSピンとRFSピンをCONVST信号に接続(図4を参照してください)するだけで、CONVST信号を使用してシリアル・ポートによる読み出しと書き込みをイネールすることができます。ただしこれは、不連続シリアル・クロックが使用される場合に限り有効です。

マイクロプロセッサとのインターフェース

AD7811とAD7812のシリアル・インターフェースは、この部品と広範な各種マイクロプロセッサとの直接接続を可能にします。このセクションでは、比較的良好に使用されるマイクロコントローラやDSPのシリアル・インターフェース・プロトコルのいくつかとAD7811やAD7812をインターフェースする方法について説明します。

AD7811/AD7812とPIC16C6x/7x

PIC16C6x同期シリアル・ポート(SSP)は、クロック極性ビットを0としたSPIマスタとして構成します。この構成は、同期シリアル・ポート・コントロール・レジスタ(SSPCON)に書き込みを行うことによって得られます。PIC16/17マイクロコントローラ・ユーザ・マニュアルを参照してください。図19は、PIC16/17とのインターフェースに必要なハードウェア接続を示しています。この例では、I/OポートRA1をCONVSTパルス発生に使用してAD7811/AD7812のシリアル・ポートをイネールしています。このマイクロコントローラは、各シリアル伝送オペレーションの間に8ビットのデータしか伝送しません。したがって、連続する2つの読み出し/書き込みオペレーションが必要になります。

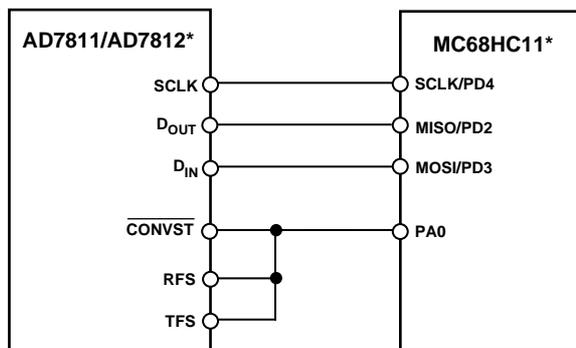


*簡略化のために不必要なピンの図示を省略しています。

図19 . PIC16/17とのインターフェース

AD7811/AD7812とMC68HC11

MC68HC11のシリアル・ペリフェラル・インターフェース(SPI)のコンフィグレーションは、マスタ・モード(MSTR=0)、クロック極性ビット(CPOL)=0、クロック位相ビット(CPHA)=1とします。SPIのこの構成は、SPIコントロール・レジスタ(SPCR)への書き込みによって得られます。68HC11ユーザ・マニュアルを参照してください。この場合の接続図を図20に示します。

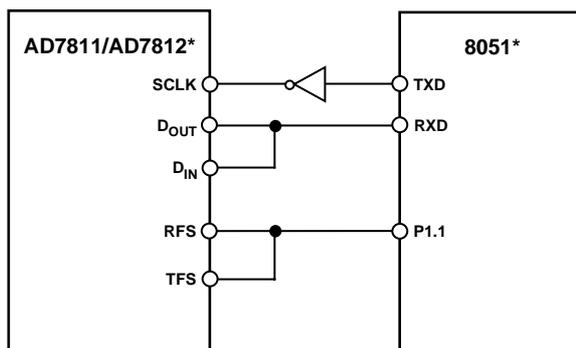


*簡略化のために不必要なピンの図示を省略しています。

図20 . MC68HC11とのインターフェース

AD7811/AD7812と8051

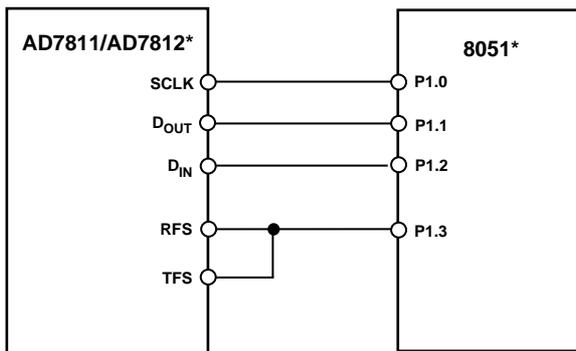
AD7811/AD7812では、シリアル・データとクロックが同期している必要があります。したがって、8051のシリアル・インターフェースは、モード0で動作させなければなりません。このモードでは、シリアル・データの入出力がRXDを介して行われ、シフト・クロック(半二重)がTXDから出力されます。図21は、8051とAD7811/AD7812との接続方法を示しています。ただし、AD7811/AD7812がシフト・クロックの立ち上がりエッジでデータをシフトアウトし、その立ち下りエッジでデータをラッチすることから、クロックを反転する必要があります。



*簡略化のために不必要なピンの図示を省略しています。

図21 . 8051のシリアル・ポートとのインターフェース

8051に備わるデータ・ポートを使用してシリアル・インターフェースを具体化することも可能です。これにより、全二重シリアル伝送を具体化することもできます。このテクニックは、I/Oポート(たとえばP1.0)の“ビット・バンギング”によるシリアル・クロックの生成と、別の2つのI/Oポート(たとえばP1.1とP1.2)の使用によるシフト・データの入出力を伴います。図22を参照してください。

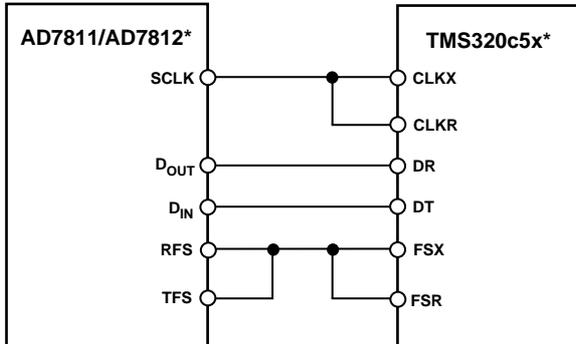


*簡略化のために不必要なピンの図示を省略しています。

図22 . I/Oポートを使った8051とのインターフェース

AD7811/AD7812とTMS320C5x

TMS320C5xのシリアル・インターフェースは、連続シリアル・クロックとフレーム同期信号を使用してAD7811等の周辺デバイスとのデータ伝送オペレーションの同期を確保します。AD7811/AD7812にフレーム同期入力が見込まれるため、整合ロジックを追加することなく簡単にインターフェースが得られます。TMS320C5xのシリアル・ポートは、内蔵のCLKX(TXシリアル・クロック)とFSX(TXフレーム同期)を使用するバースト・モードで動作するようにセットアップします。なお、シリアル・ポート・コントロール・レジスタ(SPC)は、F0=0、FSM=1、MCM=1、かつTXM=1にセットする必要があります。この接続図を図23に示します。



*簡略化のために不必要なピンの図示を省略しています。

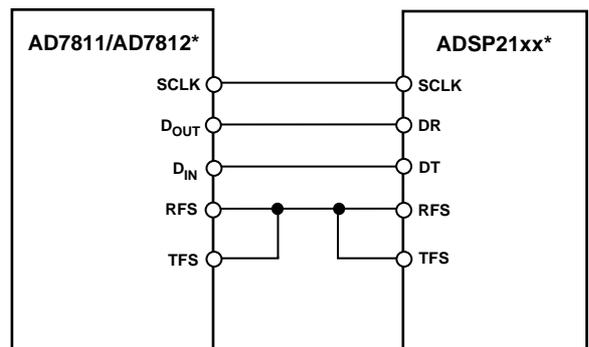
図23 . TMS320C5xとのインターフェース

AD7811/AD7812とADSP21xx

ADSP21xxファミリのDSPは、追加の整合ロジックを必要とすることなく簡単にAD7811/AD7812とインターフェースすることができます。SPORTは通常のフレーミング・モードで動作させます。このSPORTコントロール・レジスタは、次に示すようにセットアップする必要があります。

- TFSW = RFSW = 0、通常フレーミング
- INVRFS = INVTFS = 0、アクティブ・ハイのフレーム信号
- DTYPE = 00、右詰めデータ
- SLEN = 1001、10ビット・データ・ワード
- ISCLK = 1、内蔵シリアル・クロック
- TFSR = RFSR = 1、ワードごとにフレーミング
- IRFS = 0、外部フレーミング信号
- ITFS = 1、内部フレーミング信号

このコンフィグレーションを使用すると、10ビットのデータ・ワードが16ビットのシリアル・データ・レジスタに右詰めで書き込まれます。図24に、この接続を図示します。

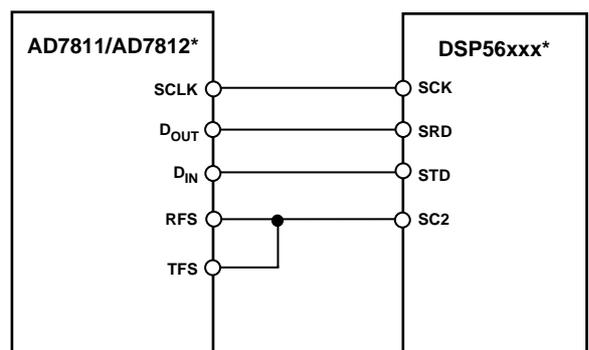


*簡略化のために不必要なピンの図示を省略しています。

図24 . ADSP21xxとのインターフェース

AD7811/AD7812とDSP56xx

図25に示したようにすると、AD7811とAD7812をMotorola社のDSP56xxのSSI(同期シリアル・インターフェース)に接続することができます。SSIは、TXとRXの両方(CRBのFSL1ビット=1、FSL0ビット=0)に対して内部的に生成される1ビットのクロック周期フレーム同期を伴う同期モード(CRBのSYNビット=1)で動作させます。



*簡略化のために不必要なピンの図示を省略しています。

図24 . DSP56xxxとのインターフェース

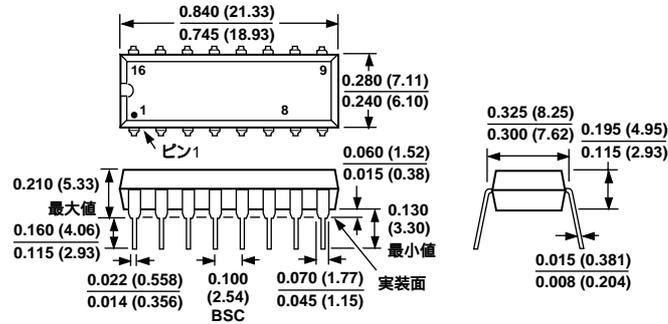
AD7811/AD7812

外形寸法

サイズはインチと(mm)で示します。

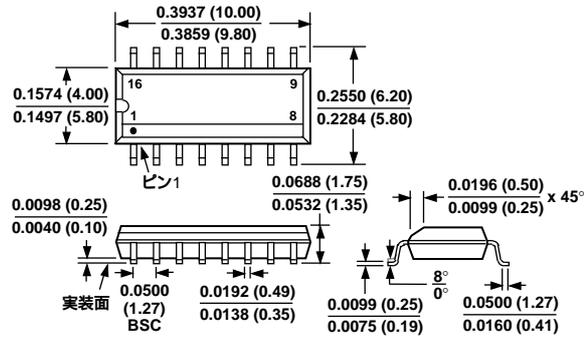
16ピン・プラスチックDIP

(N-16)



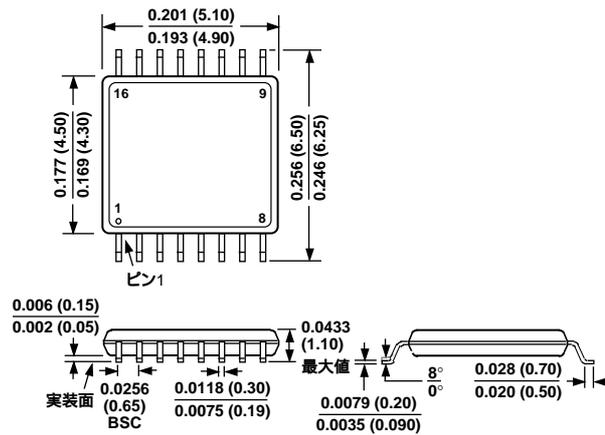
16ピン・スモール・アウトライン・パッケージ(SOIC)

(R-16A)



16ピン・シン・シュリンク・アウトライン・パッケージ(TSSOP)

(RU-16)

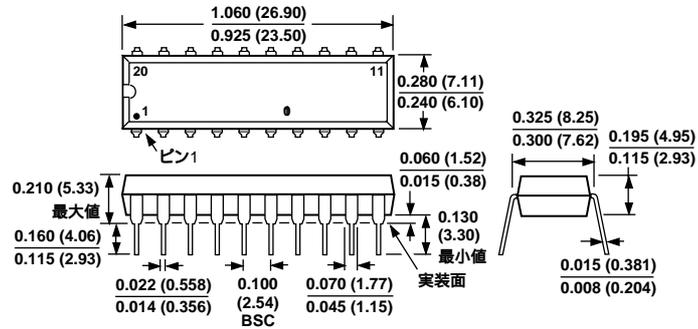


外形寸法

サイズはインチと(mm)で示します。

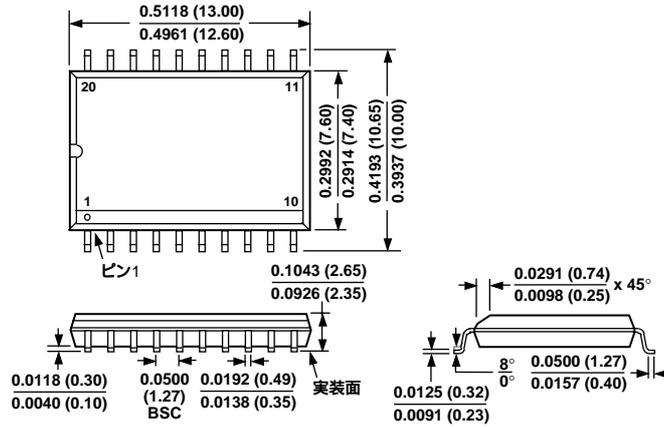
20ピン・プラスチックDIP

(N-20)



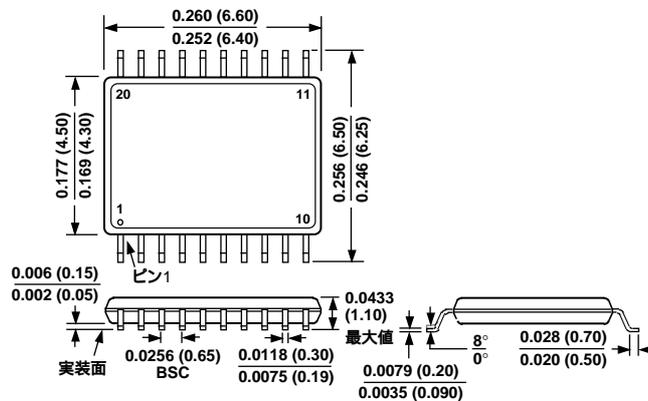
20ピン・スモール・アウトライン・パッケージ(SOIC)

(R-20A)



20ピン・シン・シュリンク・アウトライン・パッケージ(TSSOP)

(RU-20)



AD7811/AD7812

D275-2.7-5/99,1A

PRINTED IN JAPAN

