

特長

電力

電源電圧：2.5～5.25V動作

通常動作時：75 μA (max)

パワーダウン時：1 μA (max)

rmsノイズ：9.5Hz更新レートで1.1 μV

分解能：19.5ビットp-p (実効分解能22ビット)

積分非直線性：3.5ppm (typ)

50Hzと60Hzを同時除去

内部クロック発振器

レールtoレールの入力バッファを内蔵

V_{DD}モニター・チャンネルを装備

温度範囲：-40～+105°C

10ピンMSOPパッケージ

インターフェース

3線式シリアル

SPI[®]、QSPI[™]、MICROWIRE[™]、DSP互換

SCLKにシュミット・トリガーを内蔵

アプリケーション

スマート・トランスミッタ

バッテリー・アプリケーション

ポータブル計測機器

センサー計測

温度計測

圧力計測

重量計

4～20mAのループ

機能ブロック図

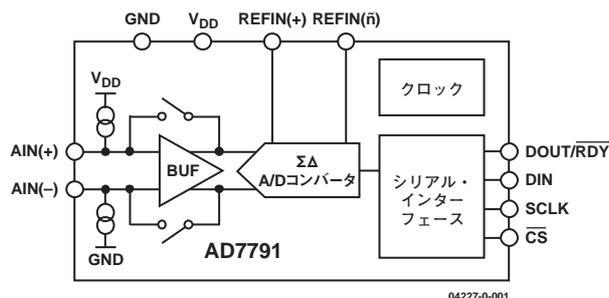


図1

概要

AD7791は、低周波計測アプリケーション向けの低消費電力、全機能完備型アナログ・フロントエンドです。バッファの使用／不使用を選択できる差動入力を1本持つ、ローノイズの24ビットΣΔ(シグマ・デルタ) A/Dコンバータを内蔵しています。

このデバイスは内部クロックで動作するため、クロック源の供給は不要です。出力データ・レートは9.5～120Hzの範囲でソフトウェアでプログラム可能です。9.5Hz更新レートではrmsノイズが1.1 μVになります。内部クロック周波数は2、4、8分周することができるため、消費電流を低減できます。更新レート、カットオフ周波数、セトリング・タイムは、クロック周波数によって変化します。

AD7791は2.5～5.25Vの電源で動作し、3Vの電源で動作する場合の消費電力は最大225 μWです。10ピンのMSOPパッケージを採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

©2003 Analog Devices, Inc. All rights reserved.

AD7791

目次

AD7791—仕様	3	ADC回路情報	14
タイミング特性	5	概要	14
絶対最大定格	7	ノイズ性能	14
ピン配置および機能の説明	8	低電流モード	14
代表的な性能特性	9	デジタル・インターフェース	15
内蔵レジスタ	10	シングル変換モード	16
コミュニケーション・レジスタ (RS1、RS0=0、0)	10	連続変換モード	16
ステータス・レジスタ (RS1、RS0=0、0；パワーオン/リセット=0x8C)	11	連続読み出しモード	17
モード・レジスタ (RS1、RS0=0、1；パワーオン/リセット=0x02)	11	回路の説明	18
フィルタ・レジスタ (RS1、RS0=1、0；パワーオン/リセット=0x04)	12	アナログ入力チャンネル	18
データ・レジスタ (RS1、RS0=1、1；パワーオン/リセット=0x000000)	13	バイポーラ/ユニポーラ構成	18
		データ出力のコーディング	18
		リファレンス入力	18
		V _{DD} のモニター	19
		グラウンディングとレイアウト	19
		外形寸法	20

改訂履歴

リビジョン0：初版

AD7791—仕様¹表1. (特に指定のない限り、 $V_{DD}=2.5\sim 5.25V$ 、 $REFIN(+)=2.5V$ 、 $REFIN(-)=GND$ 、 $GND=0V$ 、 $CDIV1=CDIV0=0$ 、 $T_{MIN}\sim T_{MAX}$ で全仕様を規定)

パラメータ	AD7791B	単位	テスト条件/備考
ADCチャンネルの仕様 出力更新レート	9.5 120	公称Hz (min) 公称Hz (max)	
ADCチャンネル ノーマル・ミスコード ² 分解能 出力ノイズ 積分非直線性 オフセット誤差 オフセット誤差の温度ドリフト フルスケール誤差 ³ ゲインの温度ドリフト 電源除去比	24 19.5 1.1 ± 15 ± 3 ± 10 ± 10 ± 0.5 90	ビット(min) ビットp-p μV rms (typ) FSRのppm (max) μV (typ) nV/°C (typ) μV (typ) ppm/°C (typ) dB (min)	更新レート $\leq 20Hz$ 更新レート9.5Hz 3.5ppm (typ) 100dB (typ)、AIN=1V
アナログ入力 差動入力電圧範囲 AIN電圧絶対限界値 ² アナログ入力電流 平均入力電流 ² 平均入力電流ドリフト AIN電圧絶対限界値 ² アナログ入力電流 平均入力電流 平均入力電流ドリフト ノーマル・モード除去比 ² @ 50Hz、60Hz @ 50Hz @ 60Hz 同相ノイズ除去比 @ DC @ 50Hz、60Hz ²	$\pm REFIN$ GND+100mV $V_{DD}-100mV$ ± 1 ± 5 GND-30mV $V_{DD}+30mV$ ± 400 ± 50 65 80 80 90 100	公称V V (min) V (max) nA (max) pA/°C (typ) V (min) V (max) nA/V (typ) pA/V/°C (typ) dB (min) dB (min) dB (min) dB (min) dB (min) dB (min)	REFIN=REFIN(+)-REFIN(-) バッファ・モード動作 バッファ・モード動作 非バッファ・モード動作 非バッファ・モード動作 入力電流は入力電圧に応じて変化 73dB (typ)、50 \pm 1Hz、60 \pm 1Hz、FS[2:0]=100 ⁴ 90dB (typ)、50 \pm 1Hz、FS[2:0]=101 ⁴ 90dB (typ)、60 \pm 1Hz、FS[2:0]=011 ⁴ AIN=1V 100dB (typ)、FS[2:0]=100 ⁴ 50 \pm 1Hz (FS[2:0]=101 ⁴)、60 \pm 1Hz (FS[2:0]=011 ⁴)
リファレンス入力 REFIN電圧 リファレンス電圧範囲 ² REFIN電圧絶対限界値 ² 平均リファレンス入力電流 平均リファレンス入力電流ドリフト	2.5 0.1 V_{DD} GND-30mV $V_{DD}+30mV$ 0.5 ± 0.03	公称V V (min) V (max) V (min) V (max) $\mu A/V$ (typ) nA/V/°C (typ)	REFIN=REFIN(+)-REFIN(-)

1 温度範囲は-40~+105°C。

2 これらの仕様は出荷テストを行っていませんが、量産開始時の特性評価データにより保証しています。

3 フルスケール誤差は正と負の両フルスケールに対するものであり、出荷時キャリブレーション条件 ($V_{DD}=4V$) で適用されます。

4 FS[2:0]は、フィルタ・レジスタで出力ワード・レートの選択に使われる3ビットです。

AD7791

AD7791—仕様 (続き) ¹

パラメータ	AD7791B	単位	テスト条件/備考
リファレンス入力 (続き) ノーマル・モード除去比 ² @ 50Hz、60Hz @ 50Hz @ 60Hz 同相ノイズ除去比 @ DC @ 50Hz、60Hz	65 80 80 100 110	dB (min) dB (min) dB (min) dB (typ) dB (typ)	73dB (typ)、50 ± 1Hz、60 ± 1Hz、FS[2:0]=100 ⁴ 90dB (typ)、50 ± 1Hz、FS[2:0]=101 ⁴ 90dB (typ)、60 ± 1Hz、FS[2:0]=011 ⁴ AIN = 1V FS[2:0]=100 ⁴ 50 ± 1Hz (FS[2:0]=101 ⁴)、60 ± 1Hz (FS[2:0]=011 ⁴)
ロジック入力 SCLK以外のすべての入力 ² V _{INL} (入力ローレベル電圧) V _{INH} (入力ハイレベル電圧) SCLKのみ (シュミット・トリガー入力) ² V _T (+) V _T (-) V _T (+)-V _T (-) V _T (+) V _T (-) V _T (+)-V _T (-) 入力電流 入力容量	0.8 0.4 2.0 1.4/2 0.8/1.4 0.3/0.85 0.9/2 0.4/1.1 0.3/0.85 ±1 10	V (max) V (max) V (min) V (min)/V (max) V (min)/V (max) V (min)/V (max) V (min)/V (max) V (min)/V (max) V (min)/V (max) V (min)/V (max) μ A (max) pF (typ)	V _{DD} =5V V _{DD} =3V V _{DD} =3Vまたは5V V _{DD} =5V V _{DD} =5V V _{DD} =5V V _{DD} =3V V _{DD} =3V V _{DD} =3V V _{DD} =3V V _{IN} =V _{DD} またはGND 全デジタル入力
ロジック出力 V _{OH} (出力ハイレベル電圧) ² V _{OL} (出力ローレベル電圧) ² V _{OH} (出力ハイレベル電圧) ² V _{OL} (出力ローレベル電圧) ² フローティング状態リーク電流 フローティング状態出力容量 データ出力コーディング	V _{DD} -0.6 0.4 4 0.4 ±1 10 オフセット・バイナリ	V (min) V (max) V (min) V (max) μ A (max) pF (typ)	V _{DD} =3V、I _{SOURCE} =100 μ A V _{DD} =3V、I _{SINK} =100 μ A V _{DD} =5V、I _{SOURCE} =200 μ A V _{DD} =5V、I _{SINK} =1.6mA
電源条件 ⁵ 電源電圧 V _{DD} -GND 電源電流 I _{DD} 電流 ⁶ I _{DD} (パワーダウン・モード)	2.5/5.25 75 145 80 160 1	V (min)/(max) μ A (max) μ A (max) μ A (max) μ A (max) μ A (max)	65 μ A (typ)、V _{DD} =3.6V、非バッファ・モード 130 μ A (typ)、V _{DD} =3.6V、バッファ・モード 73 μ A (typ)、V _{DD} =5.25V、非バッファ・モード 145 μ A (typ)、V _{DD} =5.25V、バッファ・モード

⁵ デジタル入力=V_{DD}またはGND

⁶ ADCをいずれかの低消費電力モードで使うと、消費電流をさらに低減することができます (表14参照)。

タイミング特性^{1, 2}

表2. (特に指定のない限り、 $V_{DD}=2.5\sim 5.25V$ ； $GND=0V$ 、 $REFIN(+)=2.5V$ 、 $REFIN(-)=GND$ 、 $CDIV1=CDIV0=0$ 、入力ロジック0=0V、入力ロジック1= V_{DD})

パラメータ	T_{MIN} 、 T_{MAX} での 限界値 (Bバージョン)	単位	条件/備考
t_3	100	ns (min)	SCLKのハイレベル・パルス幅
t_4	100	ns (min)	SCLKのローレベル・パルス幅
読み出し動作			
t_1	0	ns (min)	\overline{CS} の立ち下がりエッジから $DOUT/\overline{RDY}$ アクティブまでの時間
	60	ns (max)	$V_{DD}=4.75\sim 5.25V$
	80	ns (max)	$V_{DD}=2.5\sim 3.6V$
t_2^3	0	ns (min)	SCLKのアクティブ・エッジからデータ有効までの遅延 ⁴
	60	ns (max)	$V_{DD}=4.75\sim 5.25V$
	80	ns (max)	$V_{DD}=2.5\sim 3.6V$
$t_5^{5, 6}$	10	ns (min)	\overline{CS} の非アクティブ・エッジからバス開放までの時間
	80	ns (max)	
t_6	100	ns (max)	SCLKの非アクティブ・エッジから \overline{CS} の非アクティブ・エッジまで
t_7	10	ns (min)	SCLKの非アクティブ・エッジから $DOUT/\overline{RDY}$ のハイレベルまで
書き込み動作			
t_8	0	ns (min)	\overline{CS} の立ち下がりエッジからSCLKのアクティブ・エッジまでのセットアップ・タイム ⁴
t_9	30	ns (min)	データ有効からSCLKエッジまでのセットアップ・タイム
t_{10}	25	ns (min)	データ有効からSCLKエッジまでのホールド・タイム
t_{11}	0	ns (min)	\overline{CS} の立ち上がりエッジからSCLKエッジまでのホールド・タイム

1 量産開始時にサンプル・テストにより適合性を保証。すべての入力信号は $t_r=t_f=5ns$ (V_{DD} の10~90%)で規定し、電圧レベル1.6Vからの時間とします。

2 図3と図4を参照。

3 これらの値は図2に示す負荷回路で測定し、出力が V_{OH} または V_{OL} の限界値と交差するまでに必要な時間と定義します。

4 SCLKのアクティブ・エッジとは、SCLKの立ち下がりエッジを意味します。

5 これらの値は、図2の負荷回路でデータ出力が0.5V変化するのに要する時間の測定値から導出。この値は50pFコンデンサの充電の影響を受けない値として推測されているため、タイミング特性で使用する時間はデバイスの真のバス開放時間であり、外部バスの負荷容量とは無関係です。

6 ADCを読み出した後、 \overline{RDY} はハイレベルに戻ります。シングル変換モードおよび連続変換モードでは、 \overline{RDY} がハイレベルの間に、必要なら同一データを再度読み出すことができますが、2回目の読み出しは次の出力更新に近いところで読み出さないように注意してください。連続読み出しモードでは、デジタル・ワードは1回しか読み出すことができません。

AD7791

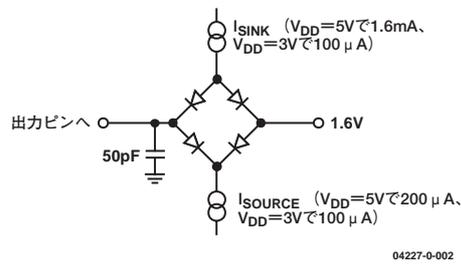
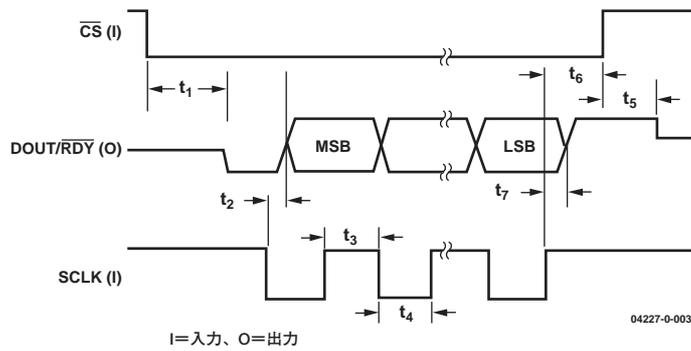
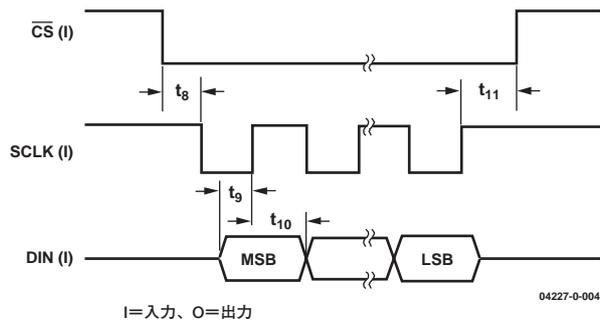


図2. タイミング特性の負荷回路



I=入力、O=出力

図3. 読み出しサイクルのタイミング図



I=入力、O=出力

図4. 書き込みサイクルのタイミング図

絶対最大定格

表3. (特に指定のない限り、 $T_A=25^{\circ}\text{C}$)

パラメータ	定格
GNDに対する V_{DD}	$-0.3 \sim +7\text{V}$
GNDに対するアナログ入力電圧	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
GNDに対するリファレンス入力電圧	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
総合AIN/REFIN電流(不定)	30mA
GNDに対するデジタル入力電圧	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
GNDに対するデジタル出力電圧	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
動作温度範囲	$-40 \sim +105^{\circ}\text{C}$
保存温度範囲	$-65 \sim +150^{\circ}\text{C}$
最大ジャンクション温度	150°C
MSOP	
θ_{JA} 熱インピーダンス	$206^{\circ}\text{C}/\text{W}$
θ_{JC} 熱インピーダンス	$44^{\circ}\text{C}/\text{W}$
ピン温度(ハンダ処理、10秒)	300°C
赤外線リフロー・ピーク温度	220°C

絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

AD7791

ピン配置および機能の説明

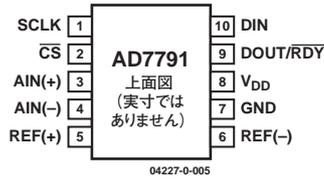


図5. ピン配置

表4. ピン機能の説明

ピン番号	記号	機能
1	SCLK	ADCとの間のデータ転送のシリアル・クロック入力。SCLKにはシュミット・トリガー入力が入内蔵されているため、光絶縁アプリケーションのインターフェースに適しています。全データを連続したパルス列で転送する場合、シリアル・クロックを連続して使用できます。一方、ADCとの間でデータをもっと小さいバッチで転送する場合は、これを不連続クロックとして用いることもできます。
2	\overline{CS}	チップ・セレクト入力。アクティブ・ローのロジック入力であり、ADCの選択に使用します。 \overline{CS} は、シリアル・バスに複数のデバイスが接続されているシステムでADCを選択するときに使うことができます。また、デバイスとの通信のフレーム同期信号として使うこともできます。ADCを3線式モードで使うときは、 \overline{CS} をローレベルにハードウェア接続し、デバイスとのインターフェースにSCLK、DIN、DOUTを使用します。
3	AIN(+)	アナログ入力。AIN(+)は、フル差動アナログ入力の正側ピンです。
4	AIN(-)	アナログ入力。AIN(-)は、フル差動アナログ入力の負側ピンです。
5	REFIN(+)	リファレンス入力(正)。REFIN(+)の入力レンジは $V_{DD} \sim GND + 0.1V$ です。公称リファレンス電圧(REFIN(+)-REFIN(-))は2.5Vですが、デバイスは0.1V $\sim V_{DD}$ の範囲で動作します。

ピン番号	記号	機能
6	REFIN(-)	リファレンス入力(負)。このリファレンス入力レンジは、 $GND \sim V_{DD} - 0.1V$ です。
7	GND	グラウンド基準ポイント
8	V_{DD}	電源電圧、2.5 $\sim 5.25V$ 。
9	DOUT/RDY	シリアル・データ出力/データ・レディ出力。DOUT/RDYは、2つの機能を持ちます。ADCの出力シフト・レジスタにアクセスする際には、シリアル・データ出力ピンとして機能します。出力シフト・レジスタには、任意の内蔵データ・レジスタまたは制御レジスタからのデータが格納されます。そのほか、DOUT/RDYはデータ・レディ・ピンとして機能し、変換の完了をローレベルで示します。変換後にデータの読み出しがない場合には、DOUT/RDYは次の更新が行われる前にハイレベルになります。DOUT/RDYの立ち下がりエッジはプロセッサに対する割り込みとして使用でき、データが有効であることを示します。外部シリアル・クロックを使用すると、DOUT/RDYピンを使ってデータを読み出すことができます。 \overline{CS} がローレベルのとき、データ/制御ワード情報はSCLKの立ち下がりエッジでDOUT/RDYピンに出力され、SCLKの立ち上がりエッジで有効になります。変換の終了は、ステータス・レジスタのRDYビットによっても表示されます。 \overline{CS} がハイレベルのとき、DOUT/RDYピンはスリーステートになりますが、RDYビットはアクティブのまま残ります。
10	DIN	ADCの入力シフト・レジスタに対するシリアル・データ入力。このシフト・レジスタのデータは、ADC内のコントロール・レジスタに転送されます。該当するレジスタは、コミュニケーション・レジスタのレジスタ選択ビットによって指定されます。

代表的な性能特性

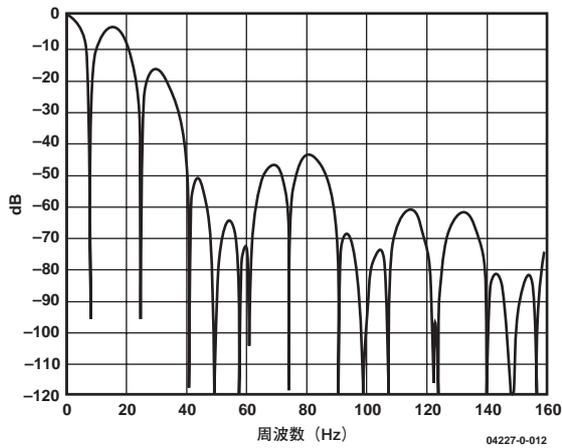


図6. 16.6Hz更新レートでの周波数応答

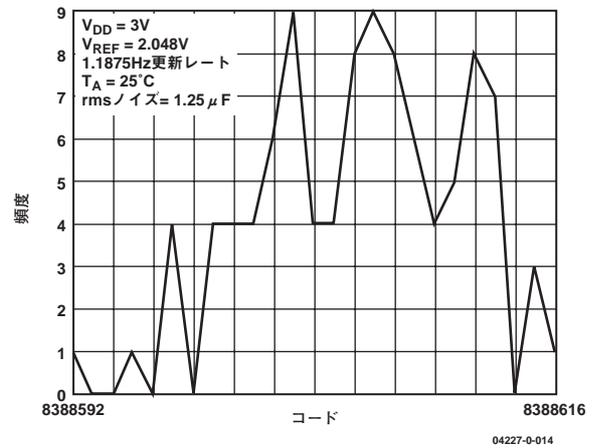


図9. クロック8分周モードでのノイズ・ヒストグラム (CDIV0=CDIV1=1)

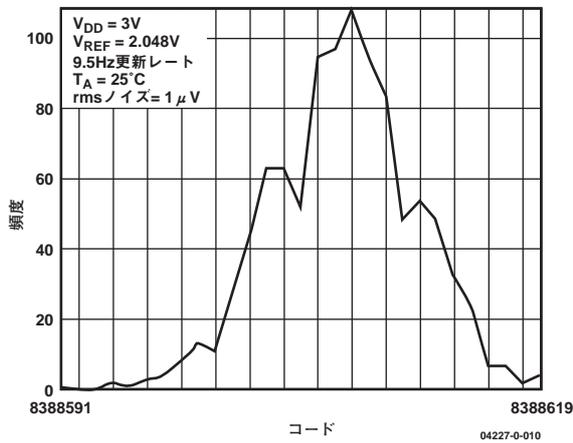


図7. ノイズ分布ヒストグラム (CDIV1=CDIV0=0)

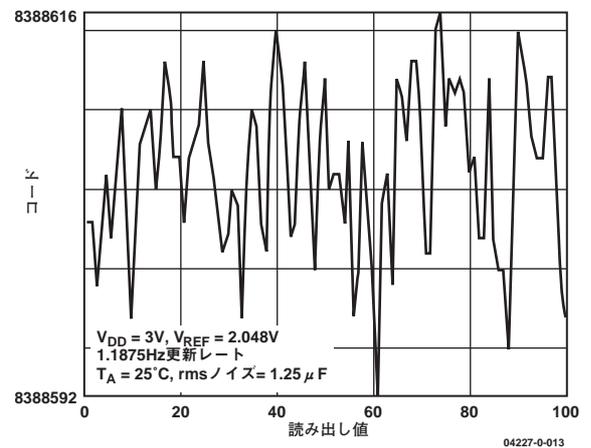


図10. クロック8分周モードでのノイズ・プロット (CDIV0=CDIV1=1)

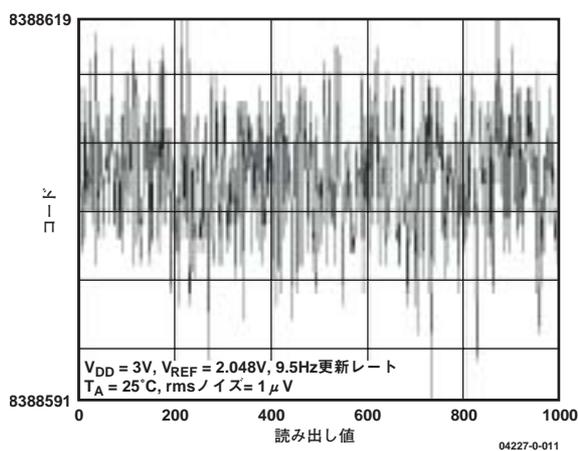


図8. 16.6Hz更新レートでの代表的なノイズ・プロット (CDIV1=CDIV0=0)

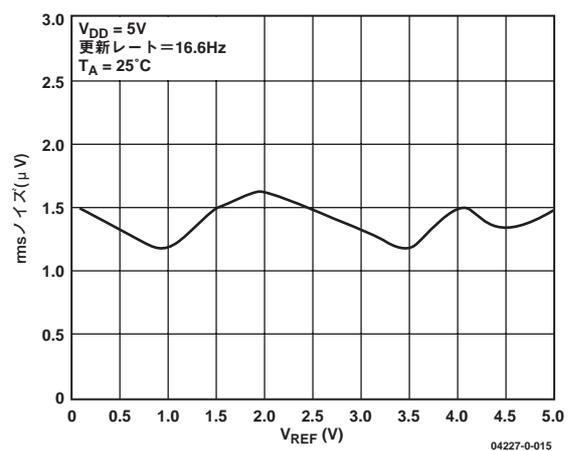


図11. rmsノイズ対リファレンス電圧

AD7791

内蔵レジスタ

ADCは、多くの内蔵レジスタを使って制御および設定されますが、その詳細を以下のページで説明します。以下の説明では、特に注記がない限り、「セット」はロジック1状態を、「クリア」はロジック0状態を意味します。

コミュニケーション・レジスタ (RS1、RS0=0、0)

コミュニケーション・レジスタは8ビットの書き込み専用レジスタです。デバイスに対するすべての通信は、コミュニケーション・レジスタに対する書き込み動作で開始されます。コミュニケーション・レジスタに書き込まれたデータにより、次の動作が読み出しか書き込みかが指定され、対象となるレジスタも指定されます。読み出しまたは書き込み動作では、選択されたレジスタに対する後続の読み出しまたは書き込み動作が完了すると、インターフェースはコミュニケーション・レジスタに対する書き込み動作待ちの状態に戻ります。これはインターフェースのデフォルト状態であり、パワーアップ時またはリセット後にADCはデフォルト状態になり、コミュニケーション・レジスタに対する書き込み動作を待ちます。インターフェース・シーケンスがなくなった場合には、DINが少なくともシリアル・クロックで32サイクル間ハイレベルを維持する書き込み動作を行わせると、デバイスがリセットされて、ADCはこのデフォルト状態に戻ります。表5に、コミュニケーション・レジスタのビット配置を示します。CR0～CR7はビット位置を表し、CRはコミュニケーション・レジスタ内のビットを表します。CR7はデータ・ストリームの先頭ビットです。カッコ内の値は、そのビットのパワーオン/リセット時のデフォルト・ステータスを表します。

CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
$\overline{WEN}(0)$	0(0)	RS1(0)	RS0(0)	$R/\overline{W}(0)$	CREAD(0)	CH1(0)	CH0(0)

表5. コミュニケーション・レジスタのビット配置

ビット位置	ビット名	説明
CR7	\overline{WEN}	ライト・イネーブル・ビット。コミュニケーション・レジスタへの書き込み動作を実際に行うには、このビットに「0」を書き込みます。最初のビットに「1」を書き込むと、レジスタ内の後続ビットに対するクロック駆動が停止され、このビットに「0」が書き込まれるまで、このビット位置にとどまります。 \overline{WEN} ビットに0を書き込むと、次の7ビットがコミュニケーション・レジスタにロードされます。
CR6	0	正常動作のためには、このビットに「0」を書き込む必要があります。
CR5～CR4	RS1～RS0	レジスタ・アドレス・ビット。シリアル・インターフェース通信中に使用するADCのレジスタを決定します。表6を参照。
CR3	R/\overline{W}	このビットが「0」の場合は、次の動作が指定レジスタへの書き込みであることを表します。このビットが「1」の場合は、次の動作が指定レジスタからの読み出しであることを表します。
CR2	CREAD	データ・レジスタの連続読み出し。このビットに「1」が設定され、かつデータ・レジスタが選択されると、シリアル・インターフェースはデータ・レジスタの連続読み出しに設定されて、データ・レジスタの内容が、SCLKパルスが入力されたとき自動的にDOUTピンに出力されます。データ読み出しのために、コミュニケーション・レジスタに書き込みを行う必要はありません。連続読み出しモードをイネーブルするときは、コミュニケーション・レジスタに命令001111XXを書き込みます。連続読み出しモードを終了するときは、 \overline{RDY} ピンがローレベルのときに、命令001110XXをコミュニケーション・レジスタに書き込みます。連続読み出しモードでは、連続読み出しモードの終了命令を受信できるように、ADCはDINラインの動作を監視します。さらに、連続する32個の「1」がDINに入力されると、リセットが発生します。したがって、命令がデバイスに書き込まれるまで、連続読み出しモードではDINをローレベルに維持しておく必要があります。
CR1～CR0	CH1～CH0	これらのビットを使ってアナログ入力チャンネルを選択します。差動チャンネル(AIN(+)/AIN(-))または内部短絡(AIN(-)/AIN(-))を選択することができます。あるいは、電源を選択して、ADCで電源電圧を測定できます。電源変動を監視するのに便利です。電源電圧は1/5にされて変換用の変調器に加えられます。A/D変換用のリファレンスとして、1.17V ± 5%の内部リファレンスが用いられます。チャンネル内で変更があると、フィルタがリセットされて新しい変換が開始されます。

表6. レジスタの選択

RS1	RS0	レジスタ	レジスタ・サイズ
0	0	書き込み動作時のコミュニケーション・レジスタ	8ビット
0	0	読み出し動作時のステータス・レジスタ	8ビット
0	1	モード・レジスタ	8ビット
1	0	フィルタ・レジスタ	8ビット
1	1	データ・レジスタ	24ビット

表7. チャンネルの選択

CH1	CH0	チャンネル
0	0	AIN(+)-AIN(-)
0	1	予備
1	0	AIN(-)-AIN(-)
1	1	V _{DD} モニター

ステータス・レジスタ (RS1、RS0=0、0; パワーオン/リセット=0x8C)

ステータス・レジスタは8ビットの読み出し専用レジスタです。ADCステータス・レジスタにアクセスするときは、コミュニケーション・レジスタに書き込みを行って次の動作を読み出しに指定し、ビットRS1とRS0に「0」を書き込みます。表8に、ステータス・レジスタのビット配置を示します。SR0～SR7はビット位置を表し、SRはステータス・レジスタ内のビットを表します。SR7はデータ・ストリームの先頭ビットです。カッコ内の値は、そのビットのパワーオン/リセット時のデフォルト・ステータスを表します。

SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
$\overline{\text{RDY}}(1)$	ERR(0)	0(0)	0(0)	1(1)	WL(1)	CH1(0)	CH0(0)

表8. ステータス・レジスタのビット配置

ビット位置	ビット名	説明
SR7	$\overline{\text{RDY}}$	ADCのレディ・ビット。データがADCデータ・レジスタに書き込まれると、クリアされます。ユーザーに変換データの読み出しを行わないよう知らせるため、ADCデータ・レジスタの読み出し完了後に、または次の変換結果でデータ・レジスタが更新される一定時間前に、 $\overline{\text{RDY}}$ ビットは自動的にセットされます。デバイスがパワーダウン・モードになったときにも、セットされます。変換の完了もDOUT/ $\overline{\text{RDY}}$ ピンで示されます。このピンをステータス・レジスタの代わりに使って、ADCの変換データを監視することができます。
SR6	ERR	ADCエラー・ビット。このビットは、 $\overline{\text{RDY}}$ ビットと同時に書き込まれます。セットされると、ADCデータ・レジスタに書き込まれた変換結果は全ビット「0」または全ビット「1」にクランプされていることを表します。エラー原因としては、オーバーレンジやアンダーレンジなどがあります。変換を開始させる書き込み動作でクリアされます。
SR5	0	このビットは自動的にクリアされます。
SR4	0	このビットは自動的にクリアされます。
SR3	1	このビットは自動的にセットされます。
SR2	1	AD7791の場合、このビットは自動的にセットされます。AD7790ではクリアされるので、このビットでAD7791とAD7790を区別することができます。
SR1～SR0	CH1～CH0	これらのビットで、ADCが変換しているチャンネルがわかります。

モード・レジスタ (RS1、RS0=0、1; パワーオン/リセット=0x02)

モード・レジスタは8ビット・レジスタで、データの読み書きが可能です。このレジスタでADCのユニポーラ・モードまたはバイポーラ・モードの選択、バッファのイネーブルまたはディスエーブルの選択、デバイスのパワーダウン・モードの設定を行います。表9に、モード・レジスタのビット配置を示します。MR0～MR7ビット位置を表し、MRはモード・レジスタ内のビットを表します。MR7はデータ・ストリームの先頭ビットです。カッコ内の値は、そのビットのパワーオン/リセット時のデフォルト・ステータスを表します。セットアップ・レジスタに書き込みを行うと、変調器とフィルタがリセットされ、 $\overline{\text{RDY}}$ ビットがセットされます。

MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
MD1(0)	MD0(0)	0(0)	0(0)	BO(0)	$\text{U}/\overline{\text{B}}(1)$	BUF(1)	0(0)

表9. モード・レジスタのビット配置

ビット位置	ビット名	説明
MR7～MR6	MD1～MD0	モード選択ビット。これらのビットを使って、連続変換モード、シングル変換モード、スタンバイ・モードを選択します。連続変換モードでは、ADCは連続して変換を行い、変換結果をデータ・レジスタに格納します。変換が完了すると、 $\overline{\text{RDY}}$ はローレベルになります。連続読み出しモードでは、SCLKパルスが入力されると、変換結果が自動的にDOUTラインに出力されるので、変換結果を読み出すことができます。代わりに、コミュニケーション・レジスタへ書き込みを行うことにより、ADCに変換結果を出力させることもできます。パワーオン後、最初の変換結果は $2/f_{\text{ADC}}$ 経過後に得られますが、後続の変換結果は周波数 f_{ADC} で得られます。シングル変換モードでは、変換中でないときのADCはパワーダウン・モードにされます。シングル変換モードが選択されると、ADCはパワーアップして変換を1回、 $2/f_{\text{ADC}}$ 経過後に実行します。変換結果はデータ・レジスタに格納され、 $\overline{\text{RDY}}$ がローレベルになり、ADCはパワーダウン・モードに戻ります。データが読み出されるか次の変換が実行されるまで、データ・レジスタ内の変換結果は保持され、 $\overline{\text{RDY}}$ はアクティブのままに（ローレベル）になります。表10参照。
MR5～MR4	0	正常動作のためには、このビットに「0」を書き込む必要があります。

AD7791

ビット位置	ビット名	説明
MR3	BO	バーンアウト電流イネーブル・ビット。このビットが「1」にセットされると、信号パス内の100nA電流源がイネーブルになります。BO=0の場合、バーンアウト電流がデイスエーブルになります。バッファがアクティブのときのみ、バーンアウト電流をイネーブルすることができます。
MR2	U/ \bar{B}	ユニポーラ／バイポーラ・ビット。セットされると、ユニポーラ・コーディングがイネーブルになり、ゼロ差動入力では0x000000出力、フルスケール差動入力では0xFFFF出力が得られます。クリアされると、バイポーラ・コーディングがイネーブルになります。出力コードは、負側フルスケール差動入力では0x000000が、ゼロ差動入力では0x800000が、正側フルスケール差動入力では0xFFFFが得られます。
MR1	BUF	ADCのバッファ・モードまたは非バッファ・モードを設定します。クリアされるとADCは非バッファ・モードで動作し、デバイスの消費電力が削減されます。セットされると、ADCはバッファ・モードで動作し、システムにゲイン誤差を発生させることなく、フロントエンドをハイインピーダンスにすることができます。
MR0	0	正常動作のためには、このビットに「0」を書き込む必要があります。

表10. 動作モード

MD1	MDO	モード
0	0	連続変換モード (デフォルト)
0	1	予備
1	0	シングル変換モード
1	1	パワーダウン・モード

フィルタ・レジスタ (RS1、RS0=1、0; パワーオン/リセット=0x04)

フィルタ・レジスタは8ビット・レジスタで、データの読み書きが可能です。このレジスタで出力ワード・レートを設定します。表11に、フィルタ・レジスタのビット配置を示します。FR0～FR7はビット位置を表し、FRはフィルタ・レジスタ内のビットを表します。FR7はデータ・ストリームの先頭ビットです。カッコ内の値は、そのビットのパワーオン/リセット時のデフォルト・ステータスを表します。

FR7	FR6	FR5	FR4	FR3	FR2	FR1	FR0
0(0)	0(0)	CDIV1(0)	CDIV0(0)	0(0)	FS2(1)	FS1(0)	FS0(0)

表11. フィルタ・レジスタのビット配置

ビット位置	ビット名	説明
FR7～FR6	0	正常動作のためには、これらのビットに「0」を書き込む必要があります。
FR5～FR4	CLKDIV1～CDIV0	AD7791を低消費電力モードで動作するように設定します。クロックは内部で分周され、消費電力が削減されます。低消費電力モードでは、クロックを2分周すると更新レートがクロックの1/2になるというように、更新レートはクロック周波数により決定されます。 00 通常動作モード 01 クロックを2分周 10 クロックを4分周 11 クロックを8分周
FR3	0	正常動作のためには、このビットに「0」を書き込む必要があります。
FR2～FR0	FS2～FS0	ADCの出力ワード・レートを設定します。更新レートは50Hz/60Hz除去比とノイズに影響を与えます。表12の通常消費電力モード時の許容更新レートを参照してください。低消費電力モードでは、更新レートはクロック周波数により決定されます。たとえば、内部クロックが2分周の場合、対応する更新レートもクロックの1/2になります。

表12. 更新レート

FS2	FS1	FS0	f _{ADC} (Hz)	f _{3dB} (Hz)	rmsノイズ(μV)	除去比
0	0	0	120	28	40	25dB @ 60Hz
0	0	1	100	24	25	25dB @ 50Hz
0	1	0	33.3	8	3.36	
0	1	1	20	4.7	1.6	80dB @ 60Hz
1	0	0	16.6	4	1.5	65dB @ 50Hz/60Hz (デフォルト設定)
1	0	1	16.7	4	1.5	80dB @ 50Hz
1	1	0	13.3	3.2	1.2	
1	1	1	9.5	2.3	1.1	67dB @ 50/60Hz

データ・レジスタ (RS1、RS0=1、1 ; パワーオン/リセット=0x000000)

ADCの変換結果がこのデータ・レジスタに格納されます。読み出し専用レジスタです。このレジスタからの読み出し動作が完了すると、 $\overline{\text{RDY}}$ ビット/ピンがセットされます。

AD7791

ADC回路情報

概要

AD7791はΣΔ変調器、バッファ、デジタル・フィルタを内蔵した低消費電力のADCであり、圧力トランスデューサ、重量計、温度計測などのアプリケーションで広いダイナミック・レンジを持つ低周波信号の計測を目的としています。

このデバイスは、バッファの使用/不使用を設定できる差動入力を1本持っています。入力チャンネルでバッファを使用することは、アナログ入力で大きなソース・インピーダンスに対応することができ、必要に応じて、アナログ入力にRCフィルタを接続できること(ノイズの除去またはRFIの削減)を意味します。デバイスには、公称2.5Vの外部リファレンスが必要です。図12に、このデバイスを動作させるために必要な基本接続を示します。

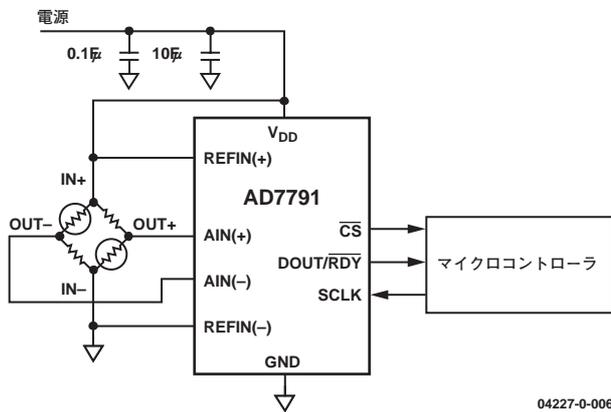


図12. 基本接続図

AD7791の出力レート(f_{ADC})はプログラムが可能で、セトリング・タイムは $2 \times t_{ADC}$ です。ノーマル・モード除去は、デジタル・フィルタの重要な機能です。表12に、使用可能なAD7791の出力レートを示します。更新レートが16.6Hzの場合、この更新レートでノッチが50Hzと60Hzの両方に配置されているため、50Hzと60Hzの同時除去が最適化されます(図6を参照)。

ノイズ性能

表13に、AD7791のさまざまな更新レートと入力レンジについて出力rmsノイズ、rms分解能、出力ピークtoピーク分解能(0.5LSB単位に丸め処理)を示します。これらの値は、2.5Vリファレンス電圧を使用するバイポーラ入力範囲のもので、数値は、差動入

表14. 低消費電力モードの選択

CDIV[1 : 0]	クロック	バッファ付の電流Typ値(μA)	バッファなしの電流Typ値(μA)	50Hz/60Hz除去比(dB)
00	1	146	75	65
10	1/2	87	45	64
10	1/4	56	30	75
11	1/8	41	25	86

力電圧=0Vの場合のtyp値です。ピークtoピーク分解能値は、6シグマ限界内でコード・フリッカが生じない分解能を表しています。出力ノイズの発生源は2つあります。最初のノイズ源は、変調器を構成する半導体デバイスの電氣的ノイズです(デバイス・ノイズ)。2つ目は量子化ノイズであり、アナログ入力デジタル領域に変換される際に加わります。デバイス・ノイズは低レベルで、周波数とは無関係です。量子化ノイズははるかに低いレベルから始まりますが、周波数の増加とともに急速に増加して主要なノイズ源になります。

表13. ピークtoピーク分解能のTyp値(実効分解能)対更新レート

更新レート	ピークtoピーク分解能	実効分解能
9.5	19.5	22
13.3	19	21.5
16.7	19	21.5
16.6	19	21.5
20	18.5	21
33.3	17.5	20
100	14.5	17
120	14	16.5

低電流モード

AD7791を5V電源、バッファあり、最大クロック速度で動作させた場合の消費電流は最大160 μA です。クロック周波数を2分周、4分周、8分周してから変調器とフィルタに入力できるため、AD7791の消費電流を減らすことができます。フィルタ・レジスタのCDIV1とCDIV0の両ビットを使って、低消費電力モードを設定できます(表14参照)。

内部クロックを低速にすると、更新レートも低くなります。たとえば、AD7791がフルパワー・モードで動作しているとき、更新レート=16.6Hzになるようにフィルタ・ビットを設定すると、更新レートは8.3Hz(2分周モード)になります。低消費電力モードでは、ADC性能が低下することがあります。

デジタル・インターフェース

すでに概要を説明したように、AD7791のプログラマブル機能は一連の内蔵レジスタを使って制御します。これらのレジスタには、デバイスのシリアル・インターフェースを経由してデータが書き込まれ、内蔵レジスタの読み出しもこのインターフェースで行います。デバイスに対するすべての通信は、必ずコミュニケーション・レジスタへの書き込みからスタートします。パワーオンまたはリセットの後、デバイスはコミュニケーション・レジスタへの書き込みを待ちます。コミュニケーション・レジスタに書き込まれたデータから、次のデータ転送動作が読み出しか書き込みかが決定され、対象レジスタも決定されます。したがって、他のすべてのレジスタに対する書き込みアクセスは、コミュニケーション・レジスタへの書き込み動作で開始され、その後に選択したレジスタに対する書き込みが続きます。他のすべてのレジスタからの読み出し動作は(連続読み出しモード時を除く)、コミュニケーション・レジスタへの書き込み動作で開始され、その後に選択したレジスタからの読み出しが続きます。

AD7791のシリアル・インターフェースは、 \overline{CS} 、DIN、SCLK、DOUT/RDYの4つの信号から構成されています。DINラインは内蔵レジスタにデータを転送するときに、DOUT/RDYラインは内蔵レジスタからデータを取り出すときに使います。SCLKはデバイスのシリアル・クロック入力であり、すべてのデータ転送(DINまたはDOUT/RDY上での転送)は、このSCLK信号を基準として実行されます。DOUT/RDYピンはデータ・レディ信号としても機能し、新しいデータ・ワードが出力レジスタから読み出し可能になると、このラインはローレベルになります。データ・レジスタからの読み出し動作が完了すると、この信号はハイレベルに戻ります。この信号はデータ・レジスタの更新前にもハイレベルになり、デバイスからの読み出しができないことを示して、レジスタの更新中にデータが読み出されることを防止します。CSはデバイスの選択に使います。シリアル・バスに複数のデバイスが接続されているシステムでは、AD7791のデコードにも \overline{CS} を使うことができます。

図3と図4に、デバイスのデコードに \overline{CS} を使ったAD7791へのインターフェースのタイミング図を示します。図3にAD7791の出力シフト・レジスタの読み出し動作のタイミングを、図4に入力シフト・レジスタに対する書き込み動作のタイミングを示します。連続読み出しモード

を除くすべてのモードで、最初の読み出し動作後、DOUT/RDYラインがハイレベルに戻った後でも、データ・レジスタから同じワードを読み出すことができます。しかし、次の出力更新が開始される前に読み出し動作が完了するように注意する必要があります。連続読み出しモードでは、データ・レジスタは1回しか読み出すことができません。

シリアル・インターフェースは、 \overline{CS} をローレベルに固定して、3線式モードで動作させることができます。この場合、SCLK、DIN、DOUT/RDYの各ラインを使ってAD7791との通信を行います。変換の終了は、ステータス・レジスタのRDYビットを使って監視することができます。この方式は、マイクロコントローラとのインターフェースに適しています。デコーディング信号として \overline{CS} が必要な場合は、ポート・ピンから生成できます。マイクロコントローラとのインターフェースには、各データ転送の間にSCLKをアイドル・ハイにすることを推奨します。

AD7791では、 \overline{CS} をフレーム同期信号として使用することが可能です。この方式は、DSPインターフェースに便利です。この場合、DSPでは通常、 \overline{CS} がSCLKの立ち下がりエッジの後に発生するため、先頭ビット(MSB)は実質的に \overline{CS} によってクロック駆動されます。タイミング数に従う限り、SCLKはデータ転送とデータ転送の間も動作を継続することができます。

DIN入力に一連の「1」を書き込むことにより、シリアル・インターフェースをリセットすることができます。少なくとも32シリアル・クロック・サイクルの間、連続するロジック1をAD7791のDINラインに書き込むと、シリアル・インターフェースがリセットされます。3線式システムでソフトウェア・エラーやシステムのグリッチによってインターフェースが機能しなくなった場合、この方法を使って、インターフェースを既知状態にリセットすることができます。リセットにより、インターフェースがコミュニケーション・レジスタに対する書き込み動作待ちの状態に戻ります。この動作により、すべてのレジスタ値がそれぞれのパワーオン時の値にリセットされます。

AD7791は、連続変換またはシングル変換に設定することができます。図13～15を参照してください。

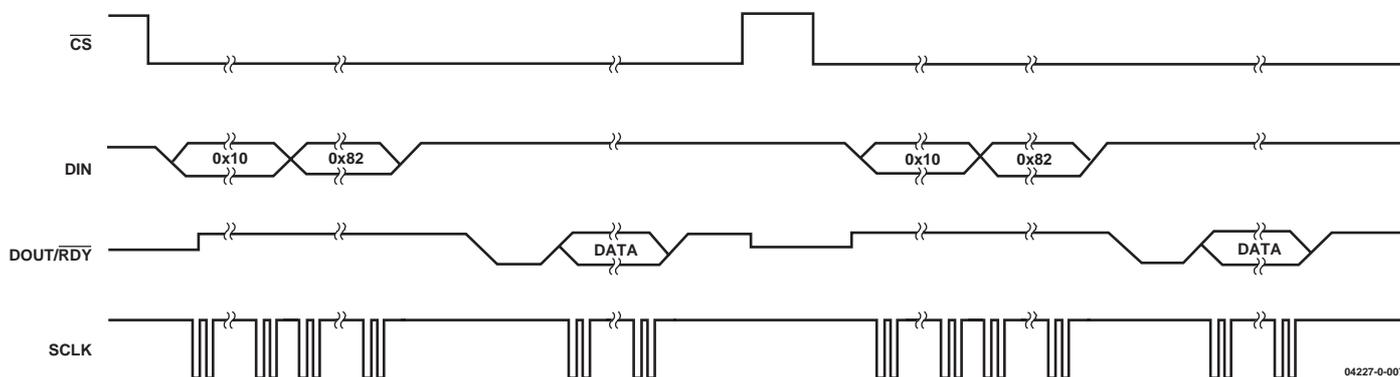


図13. シングル変換

AD7791

シングル変換モード

シングル変換モードでは、変換と変換の間、AD7791はシャットダウン・モードに置かれます。モード・レジスタのMD1に「1」を、MD0に「0」を設定すると、シングル変換モードになり、AD7791がパワーアップしてシングル変換を実行した後、シャットダウン・モードに戻ります。変換には、 $2 \times t_{ADC}$ の時間が必要です。変換が完了すると、DOUT/RDYはローレベルになります。データ・レジスタからデータ・ワードを読み出すと、DOUT/RDYがハイレベルになります。CSがローレベルの場合、次の変換が開始されて完了するまで、DOUT/RDYはハイレベルのままになります。DOUT/RDYがハイレベルでも、データ・レジスタは必要に応じて数回読み出すことができます。

連続変換モード

デフォルトのパワーアップ・モードです。AD7791は連続的に変換を行い、変換が完了するごとに、ステータス・レジスタのRDYピンがローレベルになります。CSがローレベルの場合には、変換が完了したときにDOUT/RDYラインもローレベルになります。変換結果を読み出すときは、コミュニケーション・レジスタに書き込みを行って、次の動作がデータ・レジスタからの読み出しであることを指定することができます。SCLKパルスがADCに入力されると直ちに、DOUT/RDYピンにデジタル変換結果が出力されます。変換結果が読み出されると、DOUT/RDYがハイレベルに戻ります。このレジスタは必要に応じて何回も読み出すことが可能ですが、次の変換の完了時にデータ・レジスタへのアクセスが行われないように注意する必要があります。もしこの時点でアクセスすると、新しい変換ワードが失われてしまいます。

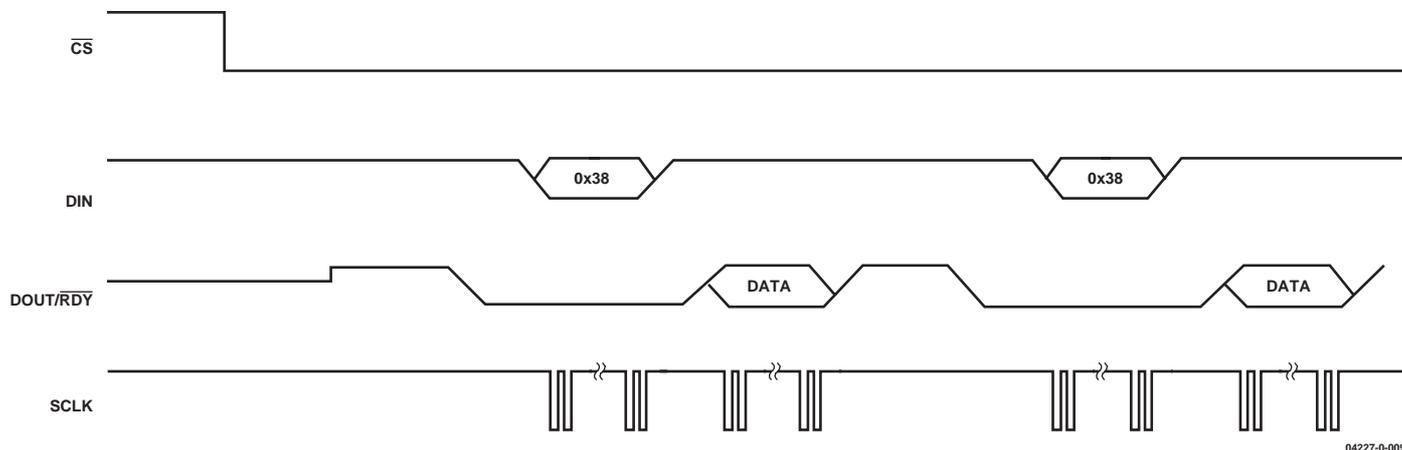


図14. 連続変換

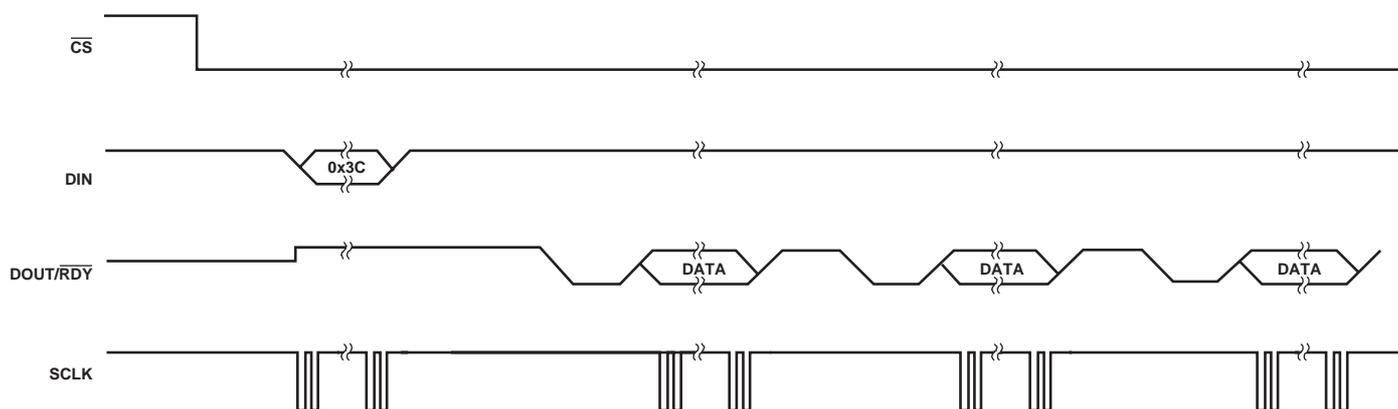
連続読み出しモード

変換が完了するごとに、データにアクセスするためにコミュニケーション・レジスタに書き込みを行う代わりに、AD7791を連続読み出しモードに設定することができます。コミュニケーション・レジスタに001111XXを書き込むと、適切なSCLKサイクル数をADCに入力するだけで連続読み出しモードになります。変換が完了すると、24ビットのデータ・ワードが自動的にDOUT/RDYラインに出力されます。

変換が完了してDOUT/RDYがローレベルになったとき、十分なSCLKサイクル数をADCに入力して、データ変換結果をDOUT/RDYラインに出力します。変換結果を読み出すと、次の変換結果が有効になるまでDOUT/RDYはハイレベルに戻ります。このモードでは、データは1回しか読み出すことができません。また、次の変換が完了する前にデータ・ワードを読み出すように注意する必要があります。

次の変換の完了前に変換結果を読み出さなかった場合、またはワードを読み出すための十分なシリアル・クロック数がAD7791に入力されなかった場合には、次の変換の完了時にシリアル出力レジスタがリセットされ、新しい変換結果が出力シリアル・レジスタに格納されます。

連続読み出しモードを終了するときは、RDYピンがローレベルのときに、命令001110XXをコミュニケーション・レジスタに書き込みます。連続読み出しモードでは、連続読み出しモードを終了させる命令が受信できるように、ADCはDINラインの動作を監視します。さらに、32個の連続する「1」がDINに入力されると、リセットが発生します。したがって、デバイスに命令が書き込まれるまで、連続読み出しモードではDINをローレベルに維持しておく必要があります。



04227-0-008

図15. 連続読み出し

AD7791

回路説明

アナログ入力チャンネル

AD7791は1チャンネルのフル差動アナログ入力を持っており、デバイスがバッファ・モードで動作するときは内蔵のバッファ・アンプに接続され、デバイスが非バッファ・モードで動作するときは変調器に直接接続されます。バッファ・モード(モード・レジスタのBUFビットに「1」を設定)では、入力チャンネルはバッファ・アンプのハイ・インピーダンス入力段に接続されます。このため、入力は大きなソース・インピーダンスを扱うことができるので、ストレイン・ゲージや抵抗温度検出器(RTD)などの外付けの抵抗型センサーに直接接続することができます。

BUF=0の場合、デバイスは非バッファ・モードで動作します。この場合、比較的大きなアナログ入力電流が必要となります。バッファなしの入力パスは、駆動源に対して動的負荷になることに注意する必要があります。このため、ADC入力を駆動する信号源の出力インピーダンスに応じて、入力ピン上の抵抗/コンデンサの組み合わせがDCゲイン誤差を発生させることがあります。表15に、非バッファ・モードで使用可能な外付け抵抗値/容量値の組み合わせを示します。これらの値であれば、20ビット・レベル(AD7789)でゲイン誤差を発生しません。

表15. 20ビット・ゲイン誤差を発生しない外付けRCの組み合わせ

C (pF)	R (Ω)
50	16.7K
100	9.6K
500	2.2K
1000	1.1K
5000	160

バッファ・モードでの絶対入力電圧範囲は、 $GND+100mV \sim V_{DD}-100mV$ の範囲に制限されています。同相電圧を設定するときは、この範囲を超えないように注意する必要があります。もし超えると、直線性とノイズ性能が低下します。

非バッファ・モードでの絶対入力電圧は、バッファがないために $GND-30mV \sim V_{DD}+30mV$ の範囲になります。この負側の絶対入力電圧限界値では、GNDを基準とする小さいバイポーラ信号の監視が可能です。

バイポーラ/ユニポーラ構成

AD7791のアナログ入力には、ユニポーラまたはバイポーラの入力電圧を入力することができます。バイポーラ入力レンジは、システムGNDを基準とした負電圧を入力できるということではありません。AIN(+)¹入力のユニポーラおよびバイポーラ信号は、AIN(-)¹入力の電圧を基準としています。たとえば、AIN(-)¹=2.5Vで、ADCがユニポーラ・モードに設定されている場合、

AIN(+)¹ピンの入力電圧範囲は2.5~5Vになります。ADCがバイポーラ・モードに設定されている場合、AIN(+)¹入力におけるアナログ入力レンジは0~5Vになります。バイポーラかユニポーラかの選択は、モード・レジスタのU/B¹ビットで設定できます。

データ出力のコーディング

ADCがユニポーラ動作に設定されている場合、出力コードは自然2進数になり、ゼロ差動入力電圧がコード00...00、ミッドスケール電圧がコード100...000、フルスケール入力電圧がコード111...111に対応します。アナログ入力電圧に対する出力コードは、次のように表されます。

$$\text{コード} = 2^N \times (AIN/V_{REF})$$

ADCがバイポーラ動作に設定されると、出力コードはオフセット・バイナリになり、負側フルスケール電圧がコード000...000、ゼロ差動入力電圧がコード100...000、正側フルスケール入力電圧がコード111...111に対応します。アナログ入力電圧に対する出力コードは、次のように表されます。

$$\text{コード} = 2^{N-1} \times [(AIN/V_{REF}) + 1]$$

ここで、AINはアナログ入力電圧、Nは24です。

リファレンス入力

AD7791はチャンネルに対してフル差動入力機能を持っています。これらの差動入力のコモン・モード・レンジは $GND \sim V_{DD}$ です。リファレンス入力にはバッファがないため、RCソース・インピーダンスが大きいとゲイン誤差が発生します。リファレンス電圧REFIN (REFIN(+)-REFIN(-))は公称2.5Vですが、0.1V~ V_{DD} のリファレンス電圧でもAD7791は動作します。アナログ入力に接続されているトランスデューサに対する励起(電圧または電流)がデバイスのリファレンスをも駆動するようなアプリケーションはレシオメトリック動作であるため、励起電源の低周波ノイズの影響は除去されます。AD7791をレシオメトリック・アプリケーションで使用しない場合は、ローノイズ・リファレンスを使う必要があります。

AD7791に推奨する2.5Vリファレンス電圧源としては、ローノイズで低消費電力のADR381やADR391などがあります。2.5V電源を使用するシステムでは、リファレンス電圧源にはヘッドルームが必要です。この場合には、ADR380やADR390のような2.048Vリファレンスを使うことができます。この場合、ヘッドルームはわずか300mVで済みます。リファレンス入力はハイ・インピーダンスで動的負荷を持つことにも注意する必要があります。各リファレンス入力の入力インピーダンスが動的であるため、これらの入力での抵抗/コンデンサの組み合わせは、リファレンス電圧入力を駆動する電源の出力インピーダンスに応じて、DCゲイン誤差を発生させることがあります。

上述の推奨リファレンス電圧源（たとえばADR391）は、一般に出力インピーダンスが小さいので、システムにゲイン誤差を生じることがなく、REFIN(+)入力にデカップリング・コンデンサを接続することができます。外部抵抗を接続してリファレンス入力電圧を駆動すると、リファレンス入力に大きな外部ソース・インピーダンスが生じることになります。このタイプの回路構成では、各REFINピンでの外付けデカップリングの使用は推奨しません。

V_{DD}のモニター

アナログ入力チャンネルは外部電圧の変換のほかにも、V_{DD}ピンの電圧監視に使うことができます。コミュニケーション・レジスタのCH1ビットとCH0ビットに「1」を設定すると、V_{DD}ピンの電圧は内部で1/5に減衰されてから、ADCに入力されます。この時、A/D変換用のリファレンスとして1.17Vの内部リファレンスが使用されます。この機能は、電源電圧の変動を監視できるために便利です。

グラウンディングとレイアウト

AD7791のアナログ入力とリファレンス入力は差動であるため、アナログ変調器内の多くの電圧は同相電圧です。AD7791は同相ノイズ除去特性が優れているため、これら入力での同相ノイズが除去されます。デジタル・フィルタは、変調器のサンプリング周波数の整数倍を除く広帯域の電源ノイズを除去します。また、ノイズ源がアナログ変調器を飽和させない限り、デジタル・フィルタはアナログ入力とリファレンス電圧入力のノイズも除去します。その結果、従来の高分解能コンバータに比べて、AD7791のノイズ干渉耐性は向上しています。しかしながら、AD7791の分解能が高く、生じるノイズ・レベルが低い場合、グラウンディングとレイアウトには注意が必要です。

AD7791を実装するPCボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計する必要があります。一般に、エッチング部分を最小化すると最適なシールド

効果が得られるため、この方法はグラウンド・プレーンに最適です。

AD7791のGNDピンをシステムのAGNDプレーンに接続することを推奨します。すべてのレイアウトでシステム内の電流の流れに注意し、電流を目的場所まで流すパスとそのリターン・パスをできるだけ近づけて配置するように心がけることが重要です。デジタル電流はレイアウトのAGND部分を流れないようにします。

ノイズ・カップリングを防止するため、AD7791のグラウンド・プレーンがAD7791の下に来るように配置してください。AD7791の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドし、ボードの他の部分にノイズが拡散ないようにします。また、クロック信号はアナログ入力の近くを通過ないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの両側のパターンは互いに直角になるように配線します。これにより、ボードを貫通するフィードスルーの影響を減らすことができます。マイクロストリップ技術は特に優れていますが、必ずしも両面ボードに使用できるとは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にし、信号はハンダ面に配線します。

高分解能ADCを使用するときは、デカップリングが重要になります。V_{DD}は、10 μ Fのタンタル・コンデンサと0.1 μ Fのコンデンサを並列接続してGNDにデカップリングする必要があります。デカップリングの効果を最大にするには、これらの部品をデバイスのできるだけ近くに、理想的にはデバイスの真上に配置します。すべてのロジック・チップは、0.1 μ Fセラミック・コンデンサでDGNDにデカップリングする必要があります。

外形寸法

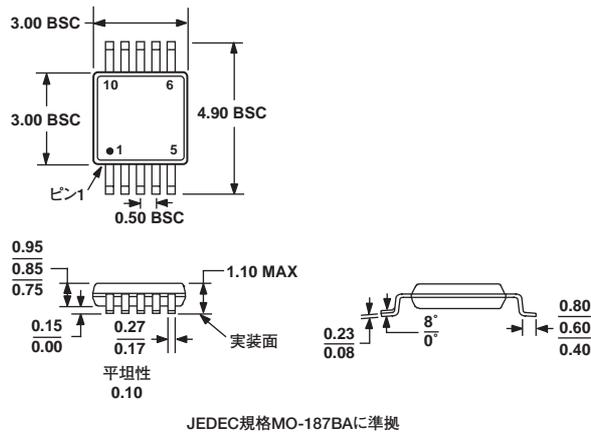


図16. 10ピン・ミニSOP [MSOP]
(RM-10)
寸法単位：mm

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないうまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



表16. オーダー・ガイド

製品モデル	温度範囲	パッケージ	パッケージ・オプション	ブランド
AD7791BRM	-40～+105℃	10ピン・ミニSOP (MSOP)	RM-10	COT
AD7791BRM-REEL	-40～+105℃	10ピン・ミニSOP (MSOP)	RM-10	COT