



625kSPS、109dB、バッファ内蔵、 24ビット $\Sigma\Delta$ A/Dコンバータ

AD7762

特長

ダイナミック・レンジ：120dB（78kHz出力データレート時）
ダイナミック・レンジ：109dB（625kHz出力データレート時）
S/N比：112dB（78kHz出力データレート時）
S/N比：106dB（625kHz出力データレート時）
完全フィルタ処理後の出力ワードレート：最大625kHz
プログラマブル・オーバーサンプリング・レート（32～256倍）
完全差動の変調器入力
信号バッファリング用のオンチップ差動アンプ
デフォルト係数またはユーザ・プログラマブル係数によるローパスFIRフィルタ
オーバーレンジ警告ビット
デジタル・オフセット・レジスタとゲイン補正レジスタ
フィルタ・バイパス・モード
低消費電力モードとパワーダウン・モード
SYNCピンによる複数のデバイスの同期

アプリケーション

データ・アクイジション・システム
振動解析
計測器

概要

AD7762は、高性能24ビットのシグマ・デルタ（ $\Sigma\Delta$ ）型A/Dコンバータ（ADC）で、広入力帯域幅と高速性、さらに625kSPSで106dBのS/N比性能という $\Sigma\Delta$ 変換のメリットを備え、高速データ・アクイジションに理想的なADCとなっています。ダイナミック・レンジが広く、アンチエイリアス処理の条件を大幅に低減しているため、設計プロセスが簡単になります。AD7762はリファレンス駆動用のバッファ、信号バッファリングとレベル・シフト用の差動アンプ、オーバーレンジ・フラグ機能、内部ゲイン・レジスタとオフセット・レジスタ、ローパス・デジタルFIR（有限インパルス応答）フィルタなどを備えており、非常に集積度の高い小型のデータ・アクイジション・デバイスであり、必要な周辺部品は最少で済みます。さらに、プログラマブルなデシメーション・レートを備えているため、デフォルト特性がアプリケーションに適さない場合はデジタルFIRフィルタを調整することができます。複雑なフロントエンド信号処理を設計する必要がないAD7762は、高いS/N比が求められるアプリケーションに最適といえます。

差動入力は、アナログ変調器によって最高40MSPSでサンプリングされます。変調器出力は一連のローパス・フィルタによって処理され、最終フィルタはデフォルト係数またはユーザ・プログラマブル係数を持っています。サンプル・レート、フィル

機能ブロック図

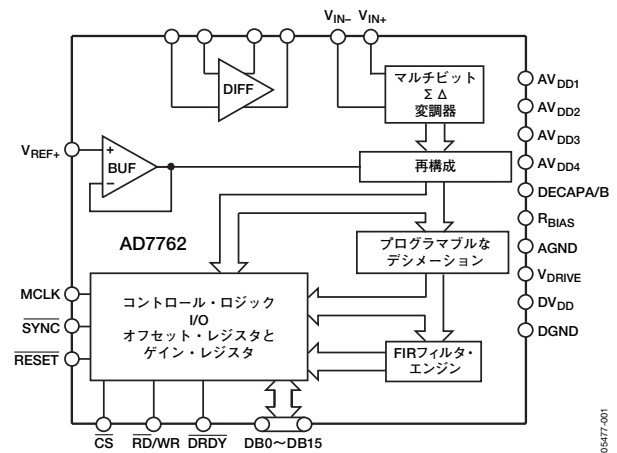


図1

タ・コーナー周波数、出力ワードレートは、AD7762の設定レジスタと外部クロック周波数との組み合わせによって設定されます。

アナログ入力範囲は供給されるリファレンス電圧によって決まります。4Vリファレンスの場合では、2Vのコモンモードを中心にバイアスされた $\pm 3.2V$ 差動となります。このコモンモード・バイアシング（レベル・シフト）はオンチップ差動アンプでまかなうため、外部での信号のコンディショニング条件はさらに緩和されます。

AD7762は露出パドルを備えた64ピンTQFPパッケージを採用し、 $-40\sim+85^{\circ}\text{C}$ の工業用温度範囲で仕様規定されています。

表1. 関連デバイス

製品番号	説明
AD7760	24ビット、2.5MSPS、100dB $\Sigma\Delta$ 、パラレル・インターフェース
AD7763	24ビット、625kSPS、109dB $\Sigma\Delta$ 、シリアル・インターフェース

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2005 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本 社／〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350) 6868

AD7762

目次

概要	1	バイアス抵抗の選択	17
仕様	3	推奨されるデカップリングとレイアウト	18
タイミング仕様	5	電源のデカップリング	19
タイミング図	5	その他のデカップリング	19
絶対最大定格	6	リファレンス電圧のフィルタリング	19
ESDに関する注意	6	差動アンプの部品	19
ピン配置と機能の説明	7	レイアウトのポイント	19
用語の説明	9	プログラマブルFIRフィルタ	20
代表的な性能特性	10	ユーザ定義フィルタのダウンロード	21
動作原理	13	フィルタのダウンロード例	21
AD7762のインターフェース	14	AD7762のレジスタ	23
データの読出し	14	コントロール・レジスタ1—REG 0x0001	23
パラレル・バスの共有	14	コントロール・レジスタ2—アドレス0x0002	23
AD7762への書込み	14	ステータス・レジスタ（読出し専用）	24
ステータス・レジスタなどの読出し	14	オフセット・レジスターアドレス0x0003	24
AD7762のクロッキング	15	ゲイン・レジスターアドレス0x0004	24
例1	15	オーバーレンジ・レジスターアドレス0x0005	24
例2	15	外形寸法	25
AD7762の駆動	16	オーダー・ガイド	25
AD7762の使い方	17		

改訂履歴

8/05—Revision 0: Initial Version

仕様

特に指定のない限り、 $AV_{DD1}=DV_{DD}=V_{DRIVE}=2.5V$ 、 $AV_{DD2}=AV_{DD3}=AV_{DD4}=5V$ 、 $V_{REF}=4.096V$ 、MCLK振幅=5V、 $T_A=25^{\circ}C$ 、ノーマル・モード、表8に示す部品付きのオンチップ・アンプを使用。¹

表2

パラメータ	テスト条件／備考	仕様	単位
動的性能			
256のデシメーション ダイナミック・レンジ	MCLK=40MHz、ODR=78kHz、FIN=1kHz 変調器入力を短絡	119 120.5	dB (min) dB (typ)
S/N比 (SNR) ²	入力振幅=−0.5dBFS	112	dB (typ)
	入力振幅=−60dBFS	59	dB (typ)
スプリアスフリー・ダイナミック・レンジ (SFDR)	非高調波、入力振幅=−6dBFS	126	dBc (typ)
全高調波歪み (THD)	入力振幅=−60dBFS	77	dBc (typ)
	入力振幅=−0.5dBFS	−105	dB (typ)
	入力振幅=−6dBFS	−106	dB (typ)
	入力振幅=−60dBFS	−75	dB (typ)
64のデシメーション ダイナミック・レンジ	MCLK=40MHz、ODR=312.5kHz、FIN=1kHz 変調器入力を短絡	112 114	dB (min) dB (typ)
S/N比 (SNR) ²	入力振幅=−0.5dBFS	109.5	dB (typ)
スプリアスフリー・ダイナミック・レンジ (SFDR)	非高調波、入力振幅=−6dBFS	126	dBc (typ)
32のデシメーション ダイナミック・レンジ	MCLK=40MHz、ODR=625kHz、FIN=100kHz 変調器入力を短絡	108 109.5	dB (min) dB (typ)
S/N比 (SNR) ²	入力振幅=−0.5dBFS	107	dB (typ)
スプリアスフリー・ダイナミック・レンジ (SFDR)	非高調波、入力振幅=−6dBFS	120	dBc (typ)
全高調波歪み (THD)	入力振幅=−0.5dBFS	−108	dB (typ)
	入力振幅=−6dBFS	−106	dB (typ)
DC精度			
分解能		24	ビット
微分非直線性 (DNL)	24ビットまでの単調増加性を保証		
積分非直線性 (INL)		0.00076	% (typ)
ゼロ誤差		0.014	% (typ)
		0.02	% (max)
ゲイン誤差		0.015	% (typ)
ゼロ誤差ドリフト		0.019	%/°C (typ)
ゲイン誤差ドリフト		0.0002	%/°C (typ)
デジタル・フィルタ応答			
32のデシメーション 群遅延	MCLK=40MHz	47	μs (typ)
64のデシメーション 群遅延	MCLK=40MHz	91.5	μs (typ)
256のデシメーション 群遅延	MCLK=40MHz	358	μs (typ)
アナログ入力			
差動入力電圧	$V_{IN(+)}-V_{IN(-)}$ 、 $V_{REF}=2.5V$	±2	V p-p
	$V_{IN(+)}-V_{IN(-)}$ 、 $V_{REF}=4.096V$	±3.25	V p-p
入力容量	内部バッファ入力にて	5	pF (typ)
	変調器入力にて	55	pF (typ)

AD7762

パラメータ	テスト条件／備考	仕様	単位
リファレンスI/O V _{REF} 入力電圧	V _{DD3} =3.3V±5% V _{DD3} =5V±5%	+2.5 +4.096	V (max) V (max)
V _{REF} 入力DCリーク電流 V _{REF} 入力容量		±6 5	μA (max) pF (max)
消費電力 合計消費電力	ノーマル・モード 低消費電力モード	958 661	mW (max) mW (max)
スタンバイ・モード	クロック停止	6.35	mW (max)
電源条件 AV _{DD1} (変調器電源) AV _{DD2} (一般電源) AV _{DD3} (差動アンプ電源) AV _{DD4} (リファレンス・バッファ電源) DV _{DD} V _{DRIVE} ノーマル・モード AI _{DD1} (変調器) AI _{DD2} (一般) AI _{DD4} (リファレンス・バッファ) 低消費電力モード AI _{DD1} (変調器) AI _{DD2} (一般) AI _{DD4} (リファレンス・バッファ) AI _{DD3} (差動アンプ) DI _{DD}	±5% ±5% ±5% AV _{DD4} =5V AV _{DD4} =5V AV _{DD3} =5V、両方のモード 両方のモード	+2.5 +5 +3.15/+5.25 +3.15/+5.25 +2.5 +1.65/+2.7 49/51 40/42 34/36 26/28 20/23 9/10 41/44 63/70	V V V (min/max) V (min/max) V V (min/max) mA (typ/max) mA (typ/max) mA (typ/max) mA (typ/max) mA (typ/max) mA (typ/max) mA (typ/max) mA (typ/max)
デジタルI/O MCLK入力振幅 ¹ 入力容量 入力リーク電流 スリーステート・リーク電流 (D15 : D0) V _{INH} V _{INL} V _{OH} ⁴ V _{OL} ⁴		5 7.3 ±5 ±5 0.7×V _{DRIVE} 0.3×V _{DRIVE} 1.5 0.1	V (typ) pF (typ) μA (max) μA (max) V (min) V (max) V (min) V (max)

¹ 「用語の説明」を参照。

² dB単位でのS/N比仕様は、フルスケール入力FSを基準としています。特に指定のない限り、フルスケールより0.5dB低い入力信号でテスト。

³ AD7762は5V未満のMCLK振幅で機能しますが、これは記載された性能を達成するための推奨振幅です。

⁴ 400μAの負荷電流でテスト。

タイミング仕様

特に指定のない限り、 $AV_{DD1}=DV_{DD}=V_{DRIVE}=2.5V$ 、 $AV_{DD2}=AV_{DD3}=AV_{DD4}=5V$ 、 $T_A=25^{\circ}C$ 、ノーマル・モード。

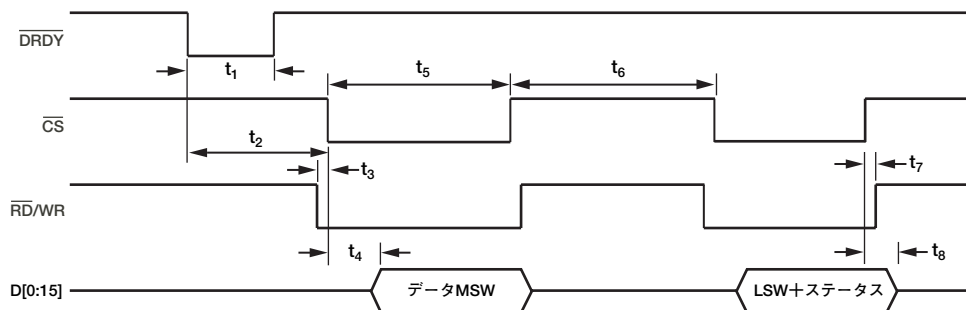
表3

パラメータ	T_{MIN} 、 T_{MAX} での限界値	単位	説明
f_{MCLK}	1 40	MHz (min) MHz (max)	印加されるマスター・クロック周波数
f_{ICLK}	500 20	kHz (min) MHz (max)	MCLKから得られた内部変調器クロック
$t_1^{1,2}$	$0.5 \times t_{ICLK}$	(typ)	$\overline{DRDY}$ パルス幅
t_2	10	ns (min)	$\overline{DRDY}$ 立下がりエッジから $\overline{CS}$ 立下がりエッジまで
t_3	3	ns (min)	$\overline{RD}/\overline{WR}$ セットアップ時間から $\overline{CS}$ 立下がりエッジまで
t_4	$(0.5 \times t_{ICLK}) + 16$ ns	(max)	データ・アクセス時間
t_5	t_{ICLK}	(min)	$\overline{CS}$ ローレベル読出しパルス幅
t_6	t_{ICLK}	(min)	読出しから次の読出しまでの $\overline{CS}$ ハイレベル・パルス幅
t_7	3	ns (min)	$\overline{RD}/\overline{WR}$ ホールド時間から $\overline{CS}$ 立上がりエッジまで
t_8	11	ns (max)	バス開放時間
t_9	$4 \times t_{ICLK}$	(min)	$\overline{CS}$ ローレベル書込みパルス幅
t_{10}	$4 \times t_{ICLK}$	(min)	アドレスとデータとの間の $\overline{CS}$ ハイレベル期間
t_{11}	5	ns (min)	データ・セットアップ時間
t_{12}	0	ns (min)	データ・ホールド時間

¹ $t_{ICLK} = 1/f_{ICLK}$

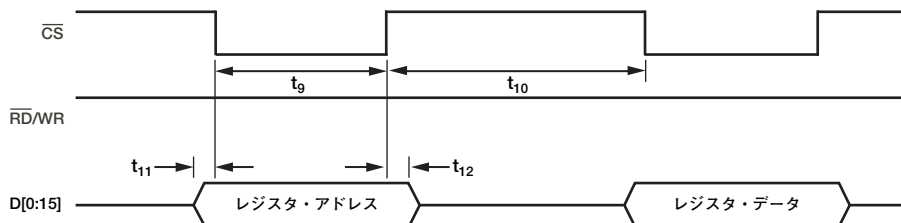
² $ICLK=MCLK$ のとき、 $\overline{DRDY}$ パルス幅は、印加されたMCLKのマーク／スペース比に依存します。

タイミング図



05477-002

図2. パラレル・インターフェースのタイミング図



05477-004

図3. AD7762のレジスタ書込み

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表4

パラメータ	定格値
GNDに対する AV_{DD1}	$-0.3 \sim +3\text{V}$
GNDに対する $AV_{DD2} - AV_{DD4}$	$-0.3 \sim +6\text{V}$
GNDに対する DV_{DD}	$-0.3 \sim +3\text{V}$
GNDに対する V_{DRIVE}	$-0.3 \sim +3\text{V}$
GNDに対する V_{IN+} 、 V_{IN-}	$-0.3 \sim +6\text{V}$
GNDに対するデジタル入力電圧 ¹	$-0.3\text{V} \sim DV_{DD} + 0.3\text{V}$
MCLKGNDに対するMCLK	$-0.3 \sim +6\text{V}$
GNDに対する V_{REF} ²	$-0.3\text{V} \sim AV_{DD4} + 0.3\text{V}$
DGNDに対するAGND	$-0.3 \sim +0.3\text{V}$
電源以外のピンへの入力電流 ³	$\pm 10\text{mA}$
動作温度範囲	
商用	$-40 \sim +85^\circ\text{C}$
保存温度範囲	$-65 \sim +150^\circ\text{C}$
ジャンクション温度	150°C
TQFP露出パドル・パッケージ	
θ_{JA} 熱抵抗	92.7°C/W
θ_{JC} 熱抵抗	5.1°C/W
ピン温度、ハンダ処理	
ベーキング時間（60秒）	215°C
赤外線（15秒）	220°C
ESD	600V

¹ デジタル入力での絶対最大電圧は、 3.0V または $DV_{DD} + 0.3\text{V}$ のいずれか小さい方です。

² V_{REF} 入力での絶対最大電圧は、 6.0V または $AV_{DD4} + 0.3\text{V}$ のいずれか小さい方です。

³ 200mA までの過渡電流では、SCRラッチアップは発生しません。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には 4000V もの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置と機能の説明

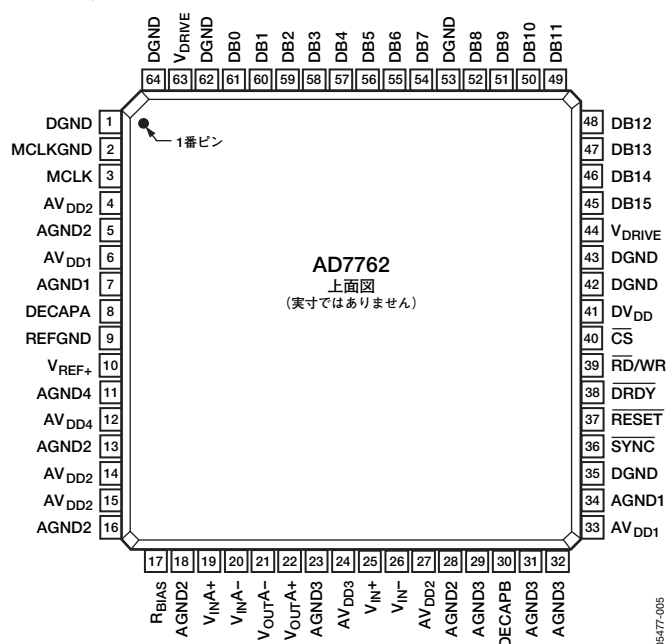


図4. 64ピンTQFPのピン配置

表5. ピン機能の説明

ピン番号	記号	機能
6, 33	AV _{DD1}	変調器用の2.5V電源。各ピンの100nFコンデンサと10μFコンデンサによりAGND1にデカップリングします。
4, 14, 15, 27	AV _{DD2}	5V電源。4番ピン、14番ピン、15番ピンはそれぞれ100nFコンデンサによりAGND2にデカップリングします。27番ピンは15nHインダクタにより14番ピンに接続します。
24	AV _{DD3}	差動アンプ用の3.3~5V電源。100nFコンデンサによりAGND3にデカップリングします。
12	AV _{DD4}	リファレンス・バッファ用の3.3~5V電源。直列接続した10nFコンデンサと10Ω抵抗によりAGND4にデカップリングします。
7, 34	AGND1	AV _{DD1} によって供給されるアナログ回路用の電源グラウンド
5, 13, 16, 18, 28	AGND2	AV _{DD2} によって供給されるアナログ回路用の電源グラウンド
23, 29, 31, 32	AGND3	AV _{DD3} によって供給されるアナログ回路用の電源グラウンド
11	AGND4	AV _{DD4} によって供給されるアナログ回路用の電源グラウンド
9	REFGND	リファレンス・グラウンド。リファレンス電圧用のグラウンド接続。
41	DV _{DD}	デジタル回路とFIRフィルタ用の2.5V電源。100nFコンデンサによりDGNDにデカップリングします。
44, 63	V _{DRIVE}	1.8~2.5Vのロジック電源入力。ロジック・インターフェースの動作電圧は、これらのピンに供給される電圧により決まります。2本のピンを互いに接続して、同じ電源に接続します。また各ピンを100nFコンデンサによりDGNDにデカップリングします。
1, 35, 42, 43, 53, 62, 64	DGND	デジタル回路用のグラウンド・リファレンス
19	V _{IN} A+	差動アンプへの正側入力
20	V _{IN} A-	差動アンプへの負側入力
21	V _{OUT} A-	差動アンプからの負側出力
22	V _{OUT} A+	差動アンプからの正側出力
25	V _{IN} +	変調器への正側入力
26	V _{IN} -	変調器への負側入力
10	V _{REF} +	リファレンス入力。このピンの入力範囲は、リファレンス・バッファの電源電圧 (AV _{DD4}) によって決まります。詳細については「リファレンス電圧のフィルタリング」を参照してください。

AD7762

ピン番号	記号	機能
8	DECAPA	デカップリング・ピン。このピンとAGND1との間に100nFコンデンサを挿入します。
30	DECAPB	デカップリング・ピン。このピンとAGND3との間に33pFコンデンサを挿入します。
17	R _{BIAS}	バイアス電流設定ピン。このピンとAGND1との間に抵抗を挿入します。詳細については「バイアス抵抗の選択」を参照してください。
45～52、 54～61	DB15～DB8 DB7～DB0	16ビット双方向データ・バス。これらは、 $\overline{CS}$ ピンと $\overline{RD}/WR$ ピンによって制御されるスリーステート・ピンです。これらのピンの動作電圧は、V _{DRIVE} 電圧によって決定されます。詳細については「AD7762のインターフェース」を参照してください。
37	$\overline{RESET}$	このピンでの立下がりエッジにより、すべての内部デジタル回路がリセットされ、デバイスがパワーダウンします。このピンをローレベルに保持すると、AD7762はリセット状態に保持されます。
3	MCLK	マスター・クロック入力。このピンには低ジッタのデジタル・クロックを印加します。出力データレートはこのクロックの周波数に依存します。詳細については「AD7762のクロッキング」を参照してください。
2	MCLKGND	マスター・クロックのグラウンド・センス・ピン。
36	$\overline{SYNC}$	同期入力。このピンでの立下がりエッジにより、内部フィルタがリセットされます。これを使用してシステム内で複数のデバイスの同期をとることができます。
39	$\overline{RD}/WR$	読出し／書込み入力。このピンは、チップ・セレクト・ピンと組み合わせて、AD7762との間でデータを読書きするために使用されます。 $\overline{CS}$ がローレベルのときにこのピンがローレベルであれば、読出しが行われます。このピンがハイレベルで $\overline{CS}$ がローレベルであれば、書込みが行われます。詳細については「AD7762のインターフェース」を参照してください。
38	$\overline{DRDY}$	データ・レディ出力。新しい変換データの読出しが可能になるたびに、アクティブ・ロー・パルス（1/2ICLK周期幅）がこのピンに生成されます。詳細については「AD7762のインターフェース」を参照してください。
40	$\overline{CS}$	チップ・セレクト入力。AD7762との間でデータを読書きするために、 $\overline{RD}/WR$ ピンと組み合わせて使用します。詳細については「AD7762のインターフェース」を参照してください。

用語の説明

S/N比 (SNR)

実際の入力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和から高調波成分とDC成分を除いた値との比で、dB値で表します。

全高調波歪み (THD)

高調波のRMS値総和と基本波の比です。AD7762では、次のように定義されます。

$$THD(dB) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

V_1 は基本波のRMS振幅

V_2 、 V_3 、 V_4 、 V_5 、 V_6 は2次～6次高調波のRMS振幅

非高調波のスプリアスフリー・ダイナミック・レンジ (SFDR)

信号振幅のRMS値と、高調波以外の最大スプリアス・スペクトル成分のRMS値との比です。

ダイナミック・レンジ

フルスケールのRMS値と、入力を短絡して測定したRMSノイズとの比で、dB値で表します。

積分非直線性 (INL)

ADC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差をいいます。

微分非直線性 (DNL)

隣接する2つのコード間における1LSB変化の測定値と理論値の差です。

ゼロ誤差

理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コードを生成する実際の電圧との差をいいます。

ゼロ誤差ドリフト

1℃の温度変化による実際のゼロ誤差値の変化です。室温でのゼロ誤差のパーセンテージとして表します。

ゲイン誤差

最初の遷移 (100...000から100...001まで) は、公称負側フルスケールより0.5LSB高いアナログ電圧で発生します。最後の遷移 (011...110から011...111まで) は、公称フルスケールより1.5LSB低いアナログ電圧で発生します。ゲイン誤差は、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差と、理想的なレベル間の差との偏差です。

ゲイン誤差ドリフト

1℃の温度変化による実際のゲイン誤差値の変化です。室温でのゲイン誤差のパーセンテージとして表します。

代表的な性能特性

特に指定のない限り、 $AV_{DD1}=DV_{DD}=V_{DRIVE}=2.5V$ 、 $AV_{DD2}=AV_{DD3}=AV_{DD4}=5V$ 、 $V_{REF}=4.096V$ 、 $T_A=25^{\circ}C$ 、ノーマル・モード。すべてのFFTは、7項のブラックマン-ハリス・ウインドウを使用して65,536のサンプルから生成されます。

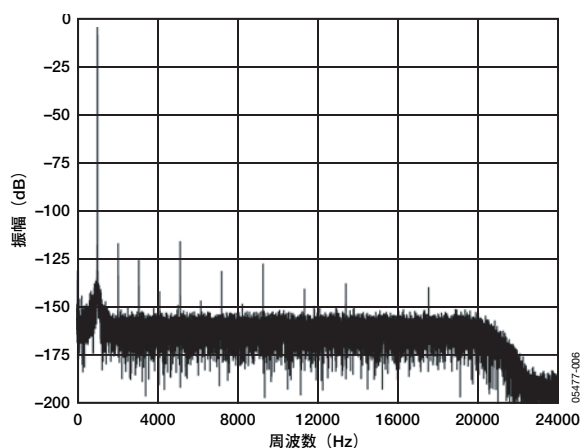


図5. ノーマル・モードFFT (1kHz、-0.5dB 入力トーン、256倍のデシメーション)

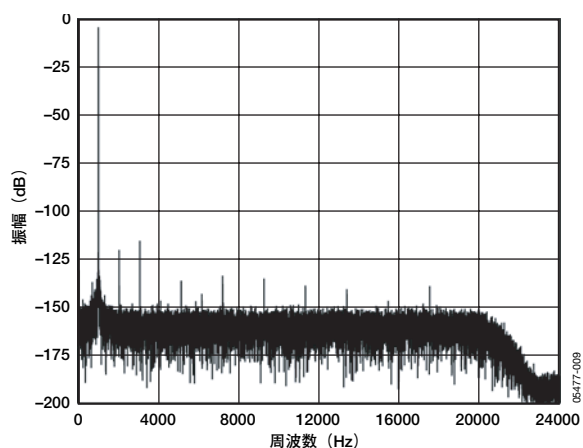


図8. 低消費電力FFT (1kHz、-0.5dB入力 トーン、256倍のデシメーション)

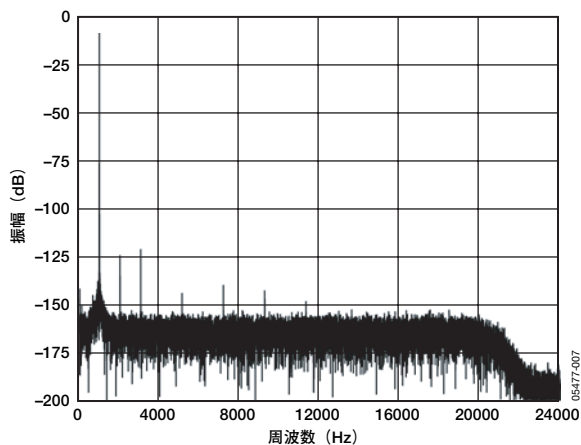


図6. ノーマル・モードFFT (1kHz、-6dB 入力トーン、256倍のデシメーション)

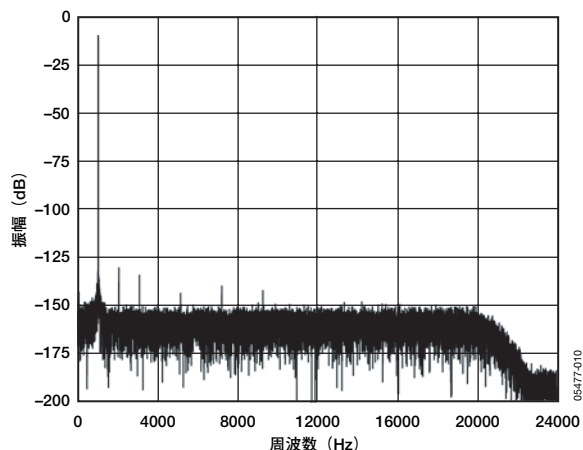


図9. 低消費電力FFT (1kHz、-6dB入力 トーン、256倍のデシメーション)

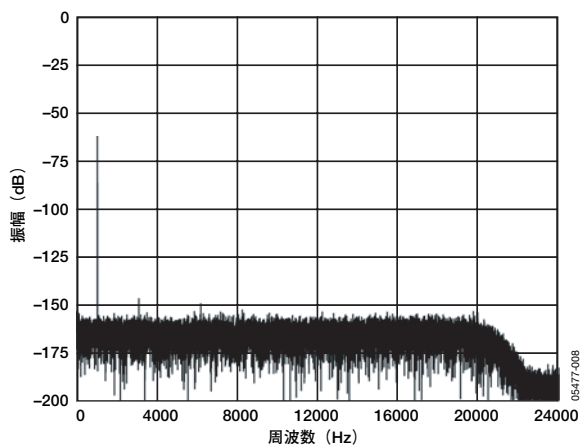


図7. ノーマル・モードFFT (1kHz、-60dB 入力トーン、256倍のデシメーション)

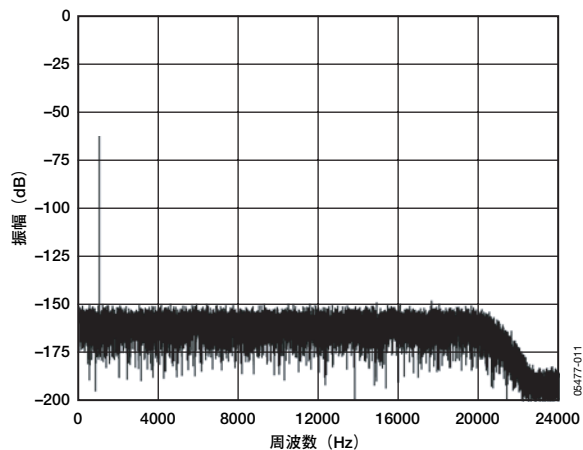


図10. 低消費電力FFT (1kHz、-60dB入力 トーン、256倍のデシメーション)

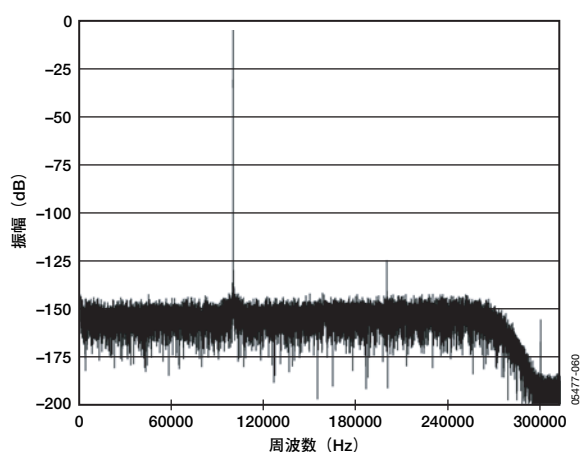


図11. ノーマル・モードFFT (100kHz、-0.5dB
入力トーン、32倍のデシメーション)

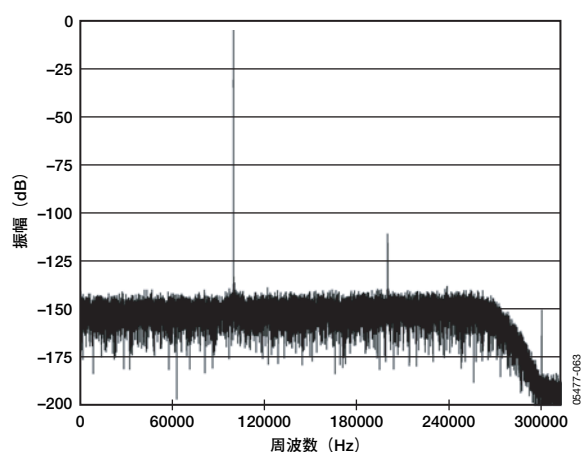


図14. 低消費電力FFT (100kHz、-0.5dB入力
トーン、32倍のデシメーション)

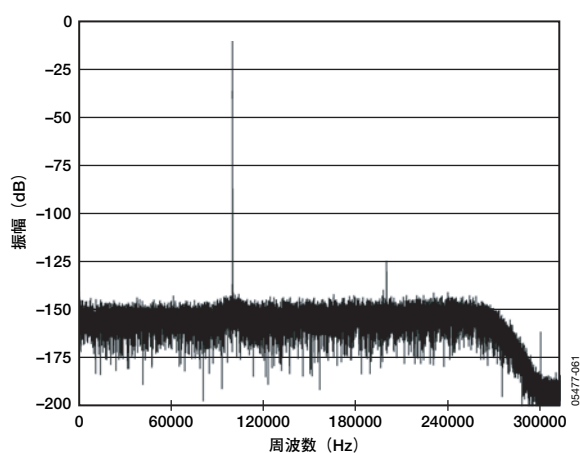


図12. ノーマル・モードFFT (100kHz、-6dB
入力トーン、32倍のデシメーション)

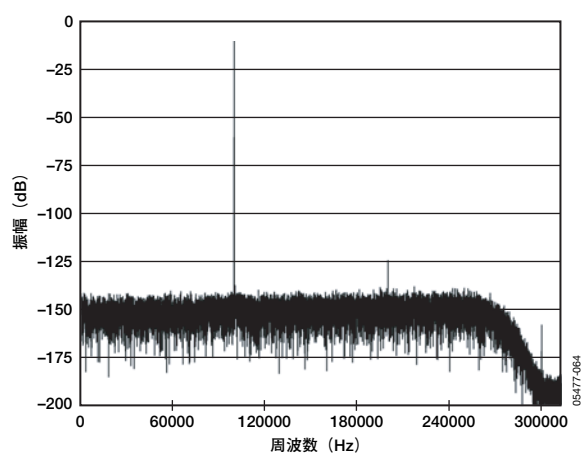


図15. 低消費電力FFT (100kHz、-6dB入力
トーン、32倍のデシメーション)

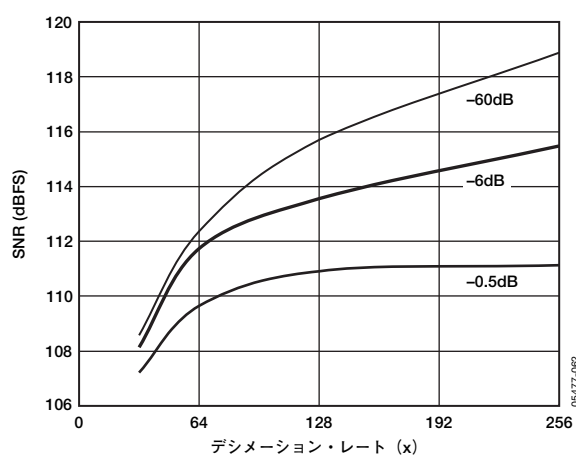


図13. デシメーション・レート 対 ノーマル・
モードのS/N比 (1kHz入力トーン)

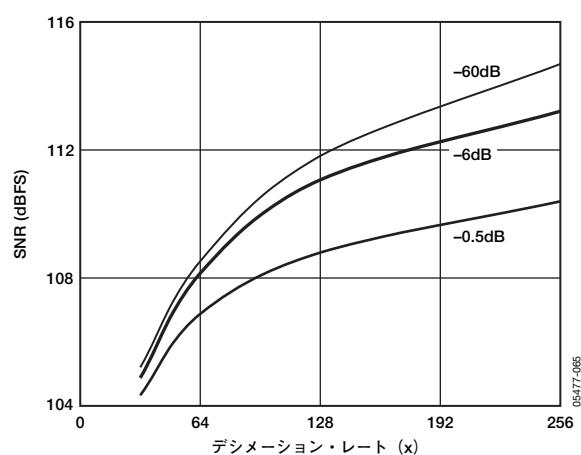


図16. デシメーション・レート 対 低消費電力
のS/N比 (1kHz入力トーン)

AD7762

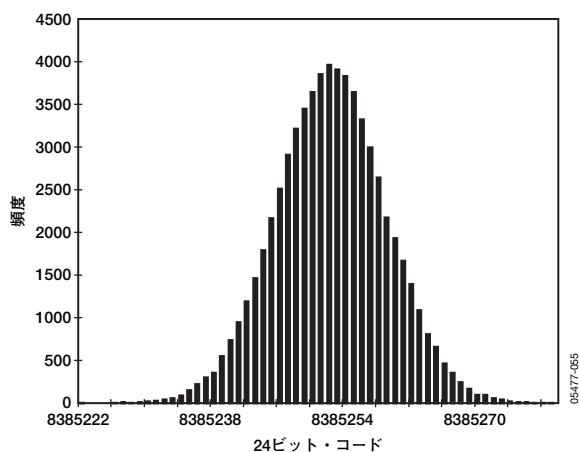


図17. ノーマル・モード、24ビット・ヒストグラム、256倍のデシメーション

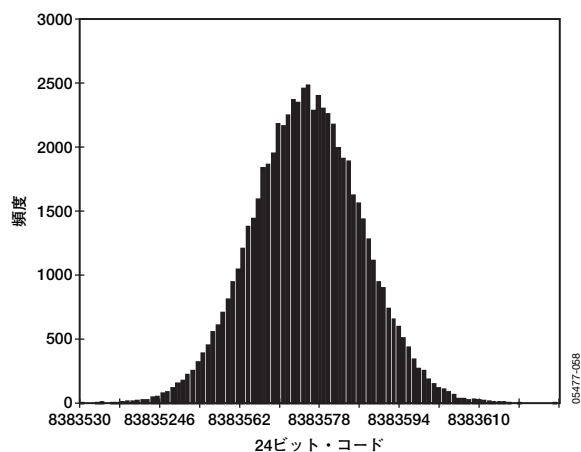


図20. 低消費電力、24ビット・ヒストグラム、256倍のデシメーション

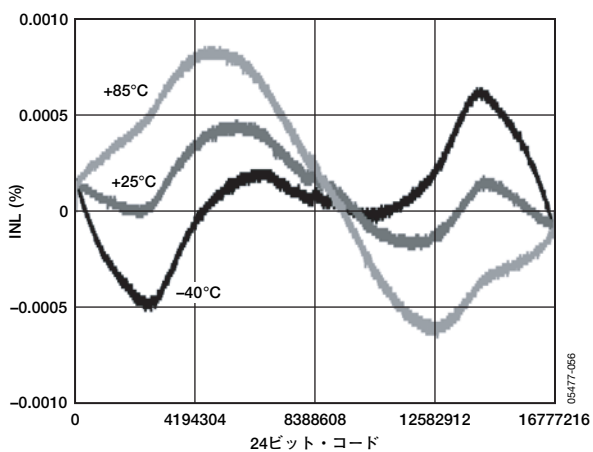


図18. 24ビットINL (ノーマル・モード)

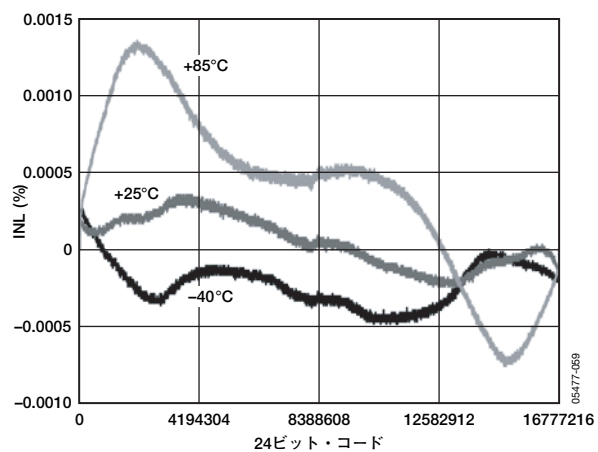


図21. 24ビットINL (低消費電力モード)

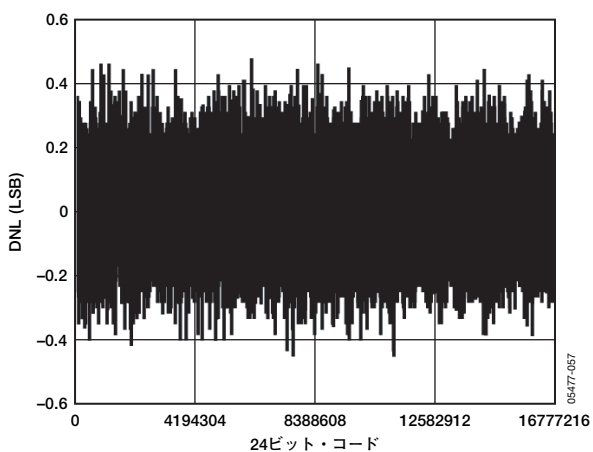


図19. 24ビットDNL

動作原理

AD7762では、 $\Sigma\Delta$ 変換技術を使用して、アナログ入力を等価なデジタル・ワードに変換します。変調器が入力波形をサンプリングし、 ICLK （内部クロック）と同じレートで等価なデジタル・ワードをデジタル・フィルタに出力します。

高いオーバーサンプリング・レートで量子化ノイズを $0 \sim f_{\text{ICLK}}$ まで拡散させることで、対象帯域に含まれるノイズ・エネルギーが減少します（図22a）。さらに量子化ノイズを減らすために、高次の変調器でノイズ・スペクトルをシェーピングし、大部分のノイズ・エネルギーを対象帯域から高域にシフトさせます（図22b）。

変調器の後段のデジタル・フィルタリングでは、大きな対象帯域外の量子化ノイズを除去する（図22c）と同時に、使用するデシメーション・レートに応じて、データレートをフィルタの入力側の f_{ICLK} からフィルタの出力側の $f_{\text{ICLK}}/8$ またはそれ以下になるように低減します。

デジタル・フィルタリングには、アナログ・フィルタリングに比べていくつかの利点があります。つまり、大きなノイズや歪みが発生しないので、完全な直線位相とすることができます。

AD7762では、3つのFIRフィルタを直列に接続して使用します。デシメーション・レシオとフィルタの選択、バイパスをさまざまに組み合わせて、広範囲のデータレートでデータが得られます。最初のフィルタは ICLK で変調器からデータを受け取ります。そこで4倍にデシメーションが行われて、データは $\text{ICLK}/4\text{MHz}$ で出力されます。部分的にフィルタリングされたこのデータは、この段でも出力できます。2番目のフィルタでは、デシメーション・レートを4～32倍の範囲で選択したり、完全にバイパスしたりできます。3番目のフィルタは、2倍の固定デシメーション・レートを持ち、ユーザ・プログラマブルで、

デフォルト設定を備えています。詳細については「プログラマブルFIRフィルタ」を参照してください。このフィルタはバイパス可能です。

表6は、デフォルト・フィルタのいくつかの特性を示します。フィルタの群遅延はインパルス応答の中心までの遅延と定義され、演算遅延+フィルタ遅延と等しくなります。有効なデータが使用可能になる（ DVALID ステータス・ビットがセットされる）までの遅延は、 $2 \times$ フィルタ遅延+演算遅延と等しくなります。

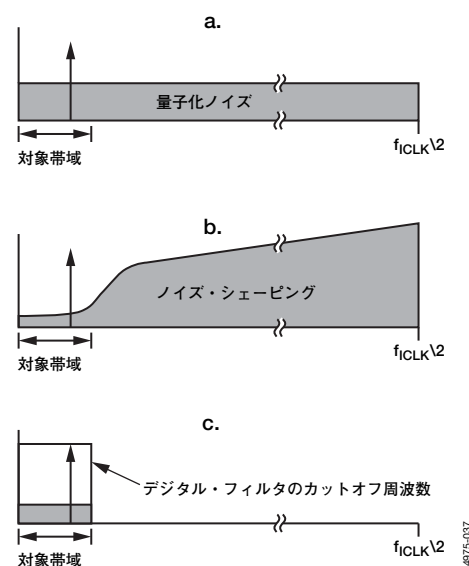


図22. $\Sigma\Delta$ ADC

表6. デフォルト・フィルタによる構成

ICLK 周波数	フィルタ1	フィルタ2	フィルタ3	データ状態	演算 遅延	フィルタ 遅延	通過 帯域幅	出力データ レート (ODR)
20MHz	4×	4×	2×	完全にフィルタ済み	1.775 μs	44.4 μs	250kHz	625kHz
20MHz	4×	8×	バイパス	部分的にフィルタ済み	2.6 μs	10.8 μs	140.625kHz	625kHz
20MHz	4×	8×	2×	完全にフィルタ済み	2.25 μs	87.6 μs	125kHz	312.5kHz
20MHz	4×	16×	バイパス	部分的にフィルタ済み	4.175 μs	20.4 μs	70.3125kHz	312.5kHz
20MHz	4×	16×	2×	完全にフィルタ済み	3.1 μs	174 μs	62.5kHz	156.25kHz
20MHz	4×	32×	バイパス	部分的にフィルタ済み	7.325 μs	39.6 μs	35.156kHz	156.25kHz
20MHz	4×	32×	2×	完全にフィルタ済み	4.65 μs	346.8 μs	31.25kHz	78.125kHz
12.288MHz	4×	8×	2×	完全にフィルタ済み	3.66 μs	142.6 μs	76.8kHz	192kHz
12.288MHz	4×	16×	2×	完全にフィルタ済み	5.05 μs	283.2 μs	38.4kHz	96kHz
12.288MHz	4×	32×	バイパス	部分的にフィルタ済み	11.92 μs	64.45 μs	21.6kHz	96kHz
12.288MHz	4×	32×	2×	完全にフィルタ済み	7.57 μs	564.5 μs	19.2kHz	48kHz

AD7762のインターフェース

データの読出し

AD7762では、16ビット双方向パラレル・インターフェースを使用します。このインターフェースは、 $\overline{\text{RD}}/\text{WR}$ ピンと $\overline{\text{CS}}$ ピンによって制御されます。

新しい変換結果が使用可能になると、 $\overline{\text{DRDY}}$ ピンにアクティブ・ロー・パルスが出力されます。AD7762から変換結果を読み出すには、2つの16ビット読出し動作が実行されます。 $\overline{\text{DRDY}}$ パルスは、新しい変換結果が使用可能であることを示します。最初の読出し動作を実行するため、 $\overline{\text{RD}}/\text{WR}$ と $\overline{\text{CS}}$ の両方がローレベルになります。この2本のラインがローレベルになった直後に、データ・バスがアクティブになり、変換結果の16個の最上位ビット（MSB）が出力されます。2番目の読出しを実行するには、その前に $\overline{\text{RD}}/\text{WR}$ ラインと $\overline{\text{CS}}$ ラインを ICLK 周期の全体にわたってハイレベルに戻す必要があります。この2番目の読出しには、6つのステータス・ビットに加えて、変換結果の8個の最下位ビット（LSB）も含まれています。これらのステータス・ビットを表7に示します。その他のステータス・ビットについては、表15を参照してください。

表7. データ読出し時のステータス・ビット

D7							D0	
DValid	Ovr	UFilt	LPwr	FiltOk	DLOk	0	0	0

$\overline{\text{RD}}/\text{WR}$ と $\overline{\text{CS}}$ がハイレベルに戻った直後に、データ・バスは高インピーダンス状態に戻ります。出力レジスタの内容は新しい変換結果によって上書きされるため、新しい変換結果が使用可能になる前に2つの読出し動作を完了させる必要があります。読出し動作時に $\overline{\text{DRDY}}$ パルスが発生した場合は、そのデータ読出しは無効です。

パラレル・バスの共有

AD7762は高精度であるため、外部ノイズ源にも敏感です。パラレル・バス上のデジタル動作もそのひとつです。このため、AD7762によって制御されないD0～D15ピンでデジタル動作が生じないように、ラッチまたはバッファを利用してAD7762のデータラインをシステム・データ・バスから分離するとよいでしょう。システム内で、同期した複数のAD7762デバイスが適切に分散された共通のMCLK信号を共有する場合は、これらのデバイスは互いに分離されることなく共通バスを共有できます。その後、1つのラッチまたはバッファによってこのバスをシステム・バスから分離できます。

AD7762への書込み

AD7762はリセット時のデフォルト設定でアナログ信号を変換するように設定されていますが、デバイスへの書込みによって多数の機能とパラメータを変更できます。一部のプログラマブル・レジスタは16ビット幅であるため、レジスタのプログラミングには書込み動作が2回必要です。最初の書込みにはレジスタ・アドレスが含まれ、2番目の書込みにはレジスタ・データが含まれています。ただし、ユーザ・フィルタがAD7762にダウンロードされているときを除きます。詳細については「ユーザ定義フィルタのダウンロード」を参照してください。レジスタ・アドレスと詳細については「AD7762のレジスタ」を参照してください。

図3は、AD7762への書込み動作を示します。 $\overline{\text{CS}}$ ラインが最小4ICLK周期にわたってローレベルにされている間、 $\overline{\text{RD}}/\text{WR}$ ラインはハイレベルに保持されます。この期間中、レジスタ・アドレスはラッチされます。レジスタ・データがデータ・バスに出力されるには、その前に $\overline{\text{CS}}$ ラインが最小4ICLK周期にわたって再びハイレベルにされます。レジスタ・アドレスとレジスタ・データの書込みの間に読出し動作が発生した場合は、レジスタ・アドレスはクリアされ、次の書込みは再びレジスタ・アドレスとなります。これにより、次の書込みがアドレスであるかデータであるかが不明な場合、既知の状態に戻ることができます。

一般に、AD7762はパワーアップ時に書込みと設定が行われます（その後に行われることはごくまれです）。AD7762が有効なデータを出力するには、その前に書込み動作に続いてフィルタの群遅延が経過していなければなりません。

ステータス・レジスタなどの読出し

AD7762は多くのプログラマブル・レジスタを備えています。これらのレジスタやステータス・レジスタの内容を読み出すには、最初にデバイスのコントロール・レジスタに書き込み、読み出すレジスタに対応するビットをセットします。次の読出し動作では変換結果ではなく選択されたレジスタの内容を出力します。コントロール・レジスタの関連ビットの詳細については「AD7762のレジスタ」を参照してください。

AD7762のクロッキング

AD7762では、低ジッタの外付けクロック源が必要です。この信号はMCLKピンに印加され、MCLKGNDピンはクロック源からのグラウンドの感知に使用されます。内部クロック信号(ICLK)は、MCLK入力信号から得られます。ICLKは、AD7762のすべての内部動作を制御します。最大ICLK周波数は20MHzですが、内部クロック・デバイダがあるため、一定範囲のMCLK周波数が使用できます。ICLKを生成するには2つの方法があります。

$$ICLK = MCLK (\overline{CDIV} = 1)$$

$$ICLK = MCLK/2 (\overline{CDIV} = 0)$$

これらのオプションは、コントロール・レジスタから選択されます（詳細については「AD7762のレジスタ」を参照）。パワーアップ時には、40MHzの最大MCLK周波数に対処できるように、デフォルトでICLK=MCLK/2となります。出力データレートをオーディオ・システムに合わせるには、12.288MHzのICLK周波数を使用できます。表6に示すように、このICLK周波数では、192kHz、96kHz、48kHzの出力データレートを実現できます。前述のように、このICLK周波数はさまざまなMCLK周波数から生成できます。

MCLKのジッタ条件は多くのファクターに依存し、次の式で表すことができます。

$$t_{j(rms)} = \frac{\sqrt{OSR}}{2 \times \pi \times f_{IN} \times 10^{\frac{SNR(dB)}{20}}}$$

ここで、

$$OSR = \text{オーバーサンプリング比} = \frac{f_{ICLK}}{ODR}$$

f_{IN} = 最大入力周波数

SNR(dB) = 目標S/N比

例1

次の例は、表6から得ることができます。

$$ODR = 625\text{kHz}$$

$$f_{ICLK} = 20\text{MHz}$$

$$f_{IN}(\text{max}) = 250\text{kHz}$$

$$SNR = 108\text{dB}$$

$$t_{j(rms)} = \frac{\sqrt{32}}{2 \times \pi \times 250 \times 10^3 \times 10^6} = 3.6\text{ps}$$

これは、与えられたICLKと出力データレートでフルスケールの250kHz入力トーンを得るための最大許容クロック・ジッタです。

例2

2番目の例も、表6に基づいています。

$$ODR = 48\text{kHz}$$

$$f_{ICLK} = 12.288\text{MHz}$$

$$f_{IN}(\text{max}) = 19.2\text{kHz}$$

$$SNR = 120\text{dB}$$

$$t_{j(rms)} = \frac{\sqrt{256}}{2 \times \pi \times 19.2 \times 10^3 \times 10^6} = 133\text{ps}$$

入力振幅は、これらのジッタ値にも影響を与えます。たとえば、入力レベルがフルスケールを3dB下回った場合、許容されるジッタは $\sqrt{2}$ 倍に増えるため、最初の例では2.53ps rmsに増えます。これは、振幅の減少によって最大スループットが低下したときに発生します。この点を図23と図24に示します（同じ周波数のサイン波の最大スループットですが、振幅が異なります）。

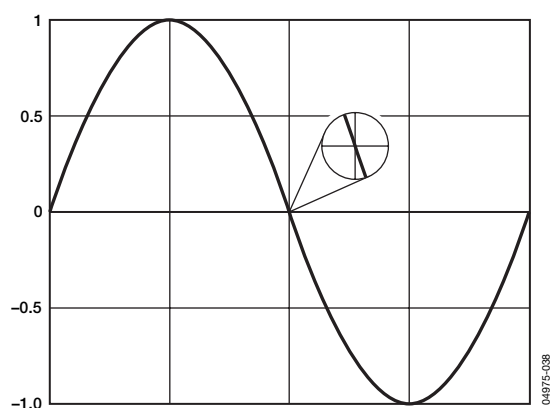


図23. サイン波の最大スループット（振幅=2Vp-p）

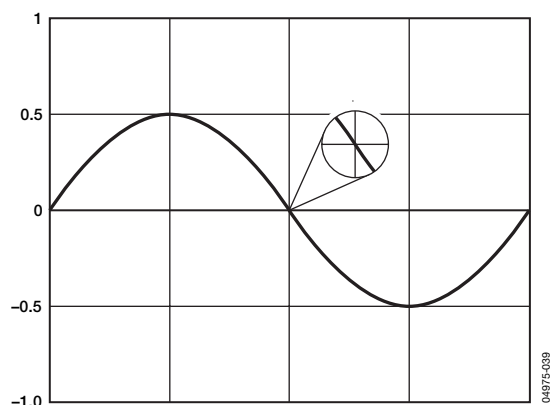


図24. 同じ周波数のサイン波の最大スループット（振幅=1Vp-p）

AD7762の駆動

AD7762のオンチップ差動アンプは、3.15～5.25Vの電源電圧 (AV_{DD3}) で動作します。4.096Vリファレンスの場合、電源電圧は5Vでなければなりません。

ノーマル・モードで仕様性能を達成するには、図25に示すように差動アンプを一次アンチエイリアス・フィルタとして構成してください。追加のフィルタリングは、AD8021などの低ノイズで高性能なオペアンプを使用して前段で実行してください。

表8に、一次フィルタに適切な部品値を示します。この表の値を使用すると、19MHzという最初のエイリアス・ポイントで10dBの減衰が生じます。

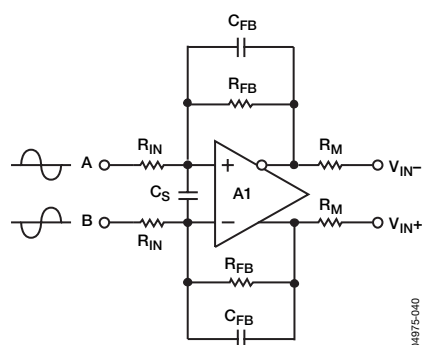


図25. 差動アンプの構成

表8. ノーマル・モードの部品値

V _{REF}	R _{IN}	R _{FB}	R _M	C _S	C _{FB}
4.096V	1kΩ	655Ω	18Ω	5.6pF	33pF

図26に、図25の回路を構成し、表8の部品値と条件を用いて、グラウンドを中心にバイアスされた±2.5Vの入力信号をシグナル・コンディショニングした結果を示します。差動アンプ回路では、最適なコモンモード電圧V_{REF}/2（この場合は2.048V）を持つようにバイアスされた信号が出力されます。信号振幅も、この部品表の値で最大許容電圧振幅が得られるようにスケールされています。これはV_{REF}の80%であるとして計算されます。つまり、各入力で0.8×4.096V＝約3.275Vp-pです。

AD7762から最大の性能を得るには、差動信号で駆動することを推奨します。図27は、AD8021などの外付けオペアンプを使用して、グラウンドを中心にバイアスされたバイポーラのシングルエンド信号でAD7762を駆動する方法を示します。

4.096Vリファレンスでは、リファレンス・バッファ (AV_{DD4}) 用電源に5V電源を供給する必要があります。2.5Vリファレンスでは、 AV_{DD4} に3.3V電源を供給してください。

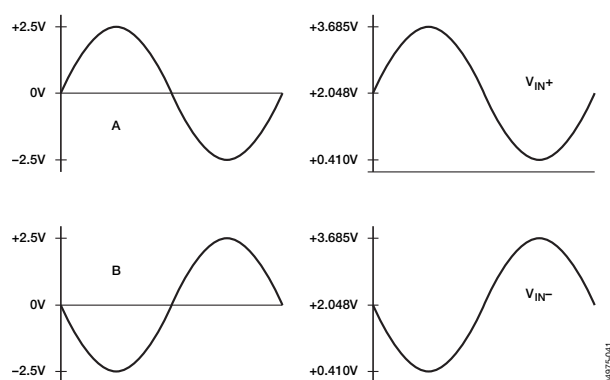


図26. 差動アンプのシグナル・コンディショニング

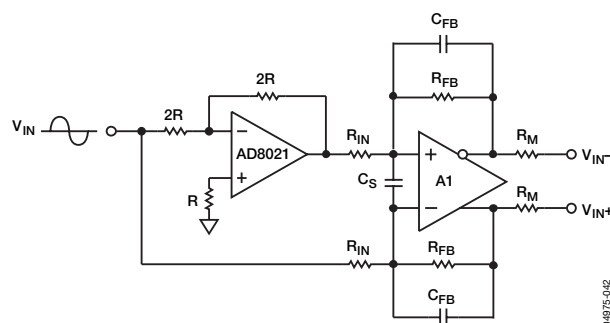


図27. シングルエンド／差動変換

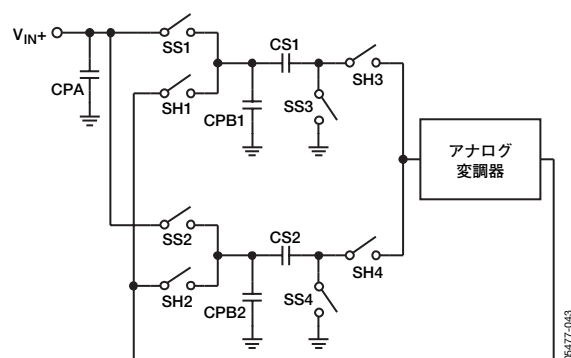


図28. 等価な入力回路

図28に示すように、AD7762では二重サンプリング・フロントエンドを使用します。わかりやすくするために、V_{IN+}に対する等価入力回路だけを示します。V_{IN-}に対する等価入力回路も同じです。

サンプリング・スイッチSS1とSS3はICLKによって駆動され、サンプリング・スイッチSS2とSS4は $\overline{\text{ICLK}}$ によって駆動されます。ICLKがハイレベルのとき、アナログ入力電圧はCS1に接続されます。ICLKの立下がりエッジで、スイッチSS1とSS3が開き、アナログ入力電圧はCS1でサンプリングされます。同様に、ICLKがローレベルのとき、アナログ入力電圧はCS2に接続されます。ICLKの立上がりエッジで、スイッチSS2とSS4が開き、アナログ入力はCS2でサンプリングされます。

コンデンサCPA、CPB1、CPB2は、MOSスイッチに付随する接合容量などの寄生容量を表します。

表9. 等価な部品値

モード	CS1	CS2	CPA	CPB1/2
ノーマル	51pF	51pF	12pF	20pF
低消費電力	13pF	13pF	12pF	5pF

AD7762の使い方

AD7762をパワーアップして使用するには、以下の手順に従ってください。

1. 電源を投入します。
2. クロック発振器を起動してMCLKを印加します。
3. 最小1MCLKサイクルにわたって $\overline{\text{RESET}}$ をローレベルにします。
4. $\overline{\text{RESET}}$ が解放された後、最小2MCLKサイクルだけ待機します。
5. 必要に応じて、コントロール・レジスタ2に書き込んでADCと差動アンプをパワーアップします。この時点で、正しいクロック・デバイダ（CDIV）比をプログラムします。
6. コントロール・レジスタ1に書き込み、出力データレートを設定します。
7. $\overline{\text{CS}}$ が解放された後、最小5MCLKサイクルだけ待機します。
8. 必要ならば、最小4MCLKサイクルにわたって $\overline{\text{SYNC}}$ をローレベルにし、複数のデバイスの同期をとります。

その後、デフォルトのフィルタ値、オフセット値、ゲイン値、オーバーレンジ・スレッショルド値を使用して、デバイスからデータを読み出せます。ただし、フィルタの群遅延が経過するまでは、読み出される変換データは無効です。群遅延が経過すると、データLSWとともに読み出されるDVALIDビットがセットされ、データが有効であることを示します。

その後、必要ならば別のフィルタをダウンロードできます（「ユーザ定義フィルタのダウンロード」を参照）。この段階で、ゲイン・レジスタ、オフセット・レジスタ、オーバーレンジ・スレッショルド・レジスタの値を読み書きできます。

バイアス抵抗の選択

AD7762では、 R_{BIAS} ピンとAGND1の間に抵抗を接続します。この抵抗の値は、デバイスに印加されているリファレンス電圧に依存します。抵抗値の選択に際しては、抵抗を通じてグラウンドに25 μA の電流が与えられるようにします。2.5Vのリファレンス電圧に対する正しい抵抗値は100k Ω 、4.096Vのリファレンス電圧に対する正しい抵抗値は160k Ω です。

AD7762

推奨されるデカップリングとレイアウト

AD7762は高性能であるため、このデータシートに記載された性能を発揮させるには、正しいデカップリングとレイアウトの技術が要求されます。図29に、AD7762の簡略接続図を示します。

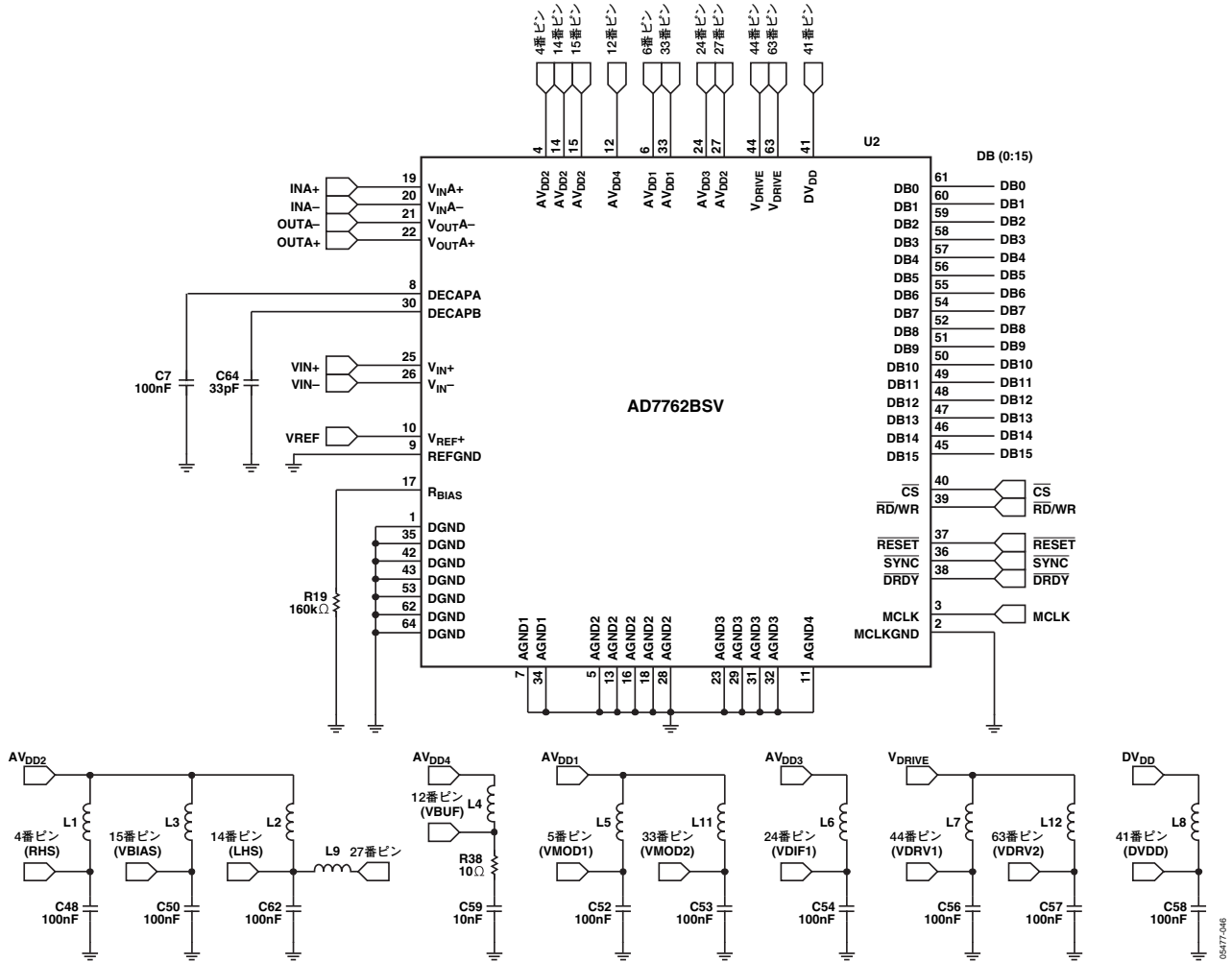


図29. 簡略接続図

電源のデカップリング

すべての電源ピンは、フェライト・ビーズを介して適切な電源に接続し、100nF、0603ケース・サイズのX7R誘電体コンデンサで正しいグラウンド・ピンにデカップリングします。これには2つの例外があります。

- 12番ピン (AV_{DD4}) では、ピンと10nFデカップリング・コンデンサとの間に10 Ω 抵抗を挿入します。
- 27番ピン (AV_{DD2}) では、別個のデカップリング・コンデンサや電源への直接接続を必要としませんが、15nHインダクタを介して14番ピンに接続します。

その他のデカップリング

AD7762には、この他に8番ピン (DECAPA) と30番ピン (DECAPB) という、2本のデカップリング・ピンがあります。8番ピンは100nFコンデンサでデカップリングしてください。30番ピンには33pFコンデンサが必要です。

リファレンス電圧のフィルタリング

AD7762では、ADR431 (2.5V) やADR434 (4.096V) といった、低ノイズのリファレンス源を使用してください。AD7762に供給されるリファレンス電圧には、図30に示すようなデカップリングとフィルタリングが必要です。

リファレンス電源電圧に対しては、100 Ω の直列抵抗を100 μ Fのタンタル・コンデンサに接続し、その後10 Ω の直列抵抗を接続し、最後に V_{REF+} ピンの直近に10nFのデカップリング・コンデンサを接続することを推奨します。

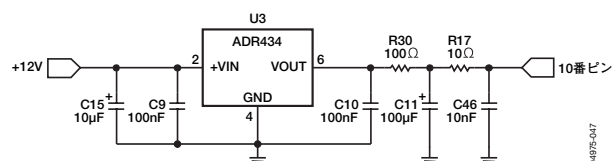


図30. リファレンスの接続

差動アンプの部品

オンチップ差動アンプの周辺で使用する部品については、表8を参照してください。アンプに印加される信号の歪みを最小限に抑えるには、差動アンプの両側での部品のマッチングが重要です。これらの部品の許容誤差は0.1%以内に抑える必要があります。本データシート記載の性能を達成するには、差動アンプの両側でトラックの配線を対称にするとよいでしょう。

レイアウトのポイント

最適な性能を達成するには、正しい部品を使用するだけでなく、正しいレイアウトも不可欠です。AD7762評価用ボードのガーバー・ファイルについては、アナログ・デバイセズのウェブサイトのAD7762製品ページにある「設計ツール」を参照してください。これらのファイルは、AD7762を使用してシステムを設計するとき参照してください。

前述のいくつかの部品については位置と向きが非常に重要ですが、AD7762の近くに配置する部品には特に注意してください。これらの部品をデバイスから遠ざけて配置すると、達成可能な最大性能に直接影響することがあります。

グラウンド・プレーンの使用にも注意が必要です。デカップリング・コンデンサを経由するリターン電流が正しいグラウンド・ピンに流れるようにするには、コンデンサのグラウンド側を、その電源に対応するグラウンド・ピンのできるだけ近くに置きます。グラウンド・プレーンを使用したリターン電流の経路は容易に予測できないため、デカップリング・コンデンサ用の唯一のリターン・パスとしてグラウンド・プレーンを使用することは避けた方がよいでしょう。

プログラマブルFIRフィルタ

前述のように、AD7762の3番目のFIRフィルタは、ユーザ・プログラマブルです。リセット時にロードされるデフォルト係数を表10に示します。図31は周波数応答を示します。図31で引用した周波数は、出力データレートに応じてスケージングされます。

表10. デフォルトのフィルタ係数

番号	10進値	16進値	番号	10進値	16進値
0	53656736	332BCA0	24	700847	AB1AF
1	25142688	17FA5A0	25	-70922	401150A
2	-4497814	444A196	26	-583959	408E917
3	-11935847	4B62067	27	-175934	402AF3E
4	-1313841	4140C31	28	388667	5EE3B
5	6976334	6A734E	29	294000	47C70
6	3268059	31DDDB	30	-183250	402CBD2
7	-3794610	439E6B2	31	-302597	4049E05
8	-3747402	4392E4A	32	16034	3EA2
9	1509849	1709D9	33	238315	3A2EB
10	3428088	344EF8	34	88266	158CA
11	80255	1397F	35	-143205	4022F65
12	-2672124	428C5FC	36	-128919	401F797
13	-1056628	4101F74	37	51794	CA52
14	1741563	1A92FB	38	121875	1DC13
15	1502200	16EBF8	39	16426	402A
16	-835960	40CC178	40	-90524	401619C
17	-1528400	4175250	41	-63899	400F99B
18	93626	16DBA	42	45234	B0B2
19	1269502	135EFE	43	114720	1C020
20	411245	6466D	44	102357	18FD5
21	-864038	40D2F26	45	52669	CDBD
22	-664622	40A242E	46	15559	3CC7
23	434489	6A139	47	1963	7AB

大部分のアプリケーションには、デフォルト・フィルタで十分です。デフォルト・フィルタは、対称なインパルス応答を持つ標準のブリック・ウォール・フィルタです。ナイキストにおいて120dBの減衰量でエイリアシングせずに、96のタップ長があります。このフィルタは、信号のアンチエイリアシングを行うだけでなく、A/D変換プロセスによって生成された帯域外量子化ノイズを抑制します。デフォルト・フィルタと比較してストップバンド減衰量や遷移帯域幅を大幅に緩和すると、S/N比仕様を満たせないことがあります。

フィルタを作成するには、以下のことに注意してください。

- フィルタは、均一な対称FIRとします。
- 係数は符号付き絶対値フォーマットであり、26個の絶対値ビットと、正=0で符号化された符号ビットで構成されます。
- フィルタ長は、12刻みで12~96タップとします。
- フィルタは対称であるため、ダウンロードする必要のある係数の数は、フィルタ長の半分です。したがって、デフォルトのフィルタ係数では、96タップ・フィルタに対して48個の係数だけを記載しています。
- 係数は、インパルス応答の中心（対称点の近傍）から外側に書き込まれます。
- 係数は、フィルタの帯域内ゲインが134217726になるようにスケージングされます（係数は最も近い整数に丸められます）。ローパス・フィルタの場合、これはハーフインパルス応答の係数セット（最大48個の係数）について67108863 (0x3FF FFFF) の正值まで係数の算術和（符号を含む）をとることに相当します。ここからずれるとゲイン誤差を招きます。

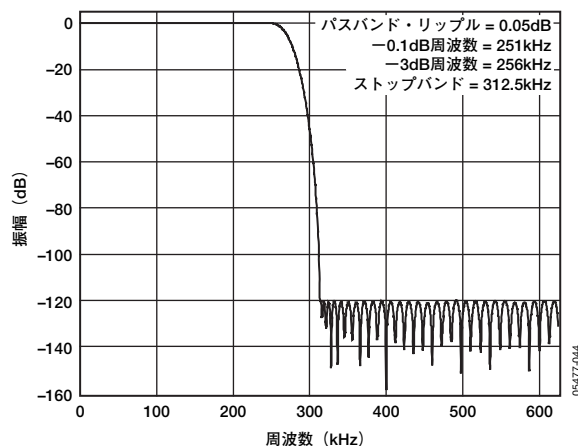


図31. デフォルトのフィルタ周波数応答 (625kHz ODR)

ユーザ定義フィルタをダウンロードする手順については、「ユーザ定義フィルタのダウンロード」を参照してください。

ユーザ定義フィルタのダウンロード

前述のように、フィルタ係数の長さは27ビットであり、1個の符号ビットと26個の絶対値ビットで構成されます。AD7762には16ビットの平行バスがあるため、係数には5MSBの0が詰め込まれて32ビット・ワードが生成され、ダウンロード用に2つの16ビット・ワードに分割されます。係数ごとに最初の16ビット・ワードは(00000, 符号ビット, 絶対値[25:16])になり、2番目のワードは(絶対値[15:0])になります。フィルタが正しくダウンロードされるようにするには、チェックサムも生成し、それから最後の係数の後にダウンロードします。チェックサムは16ビット・ワードであり、各32ビット・ワードを4つのバイトに分割し、全係数からの全バイトを最大192バイト(48個の係数×4バイト)まで合計することにより生成されます。同じチェックサムが、AD7762で内部的に生成され、ダウンロードされたチェックサムと比較されます。2つのチェックサムが一致した場合、ステータス・レジスタのDL_OKビットがセットされます。

ユーザ・フィルタをダウンロードするには：

- 1 コントロール・レジスタ1に書き込み、DL_Filtビットと、ダウンロードされるフィルタの長さに対応する正しいフィルタ長ビットを設定します(表11を参照)。
- 2 現在の係数データの最初のハーフ(00000, 符号ビット, 絶対値[25:16])を書き込みます。書き込まれる最初の係数は、フィルタ対称点の近傍にある係数とします。
- 3 現在の係数データの2番目のハーフ(絶対値[15:0])を書き込みます。
- 4 係数ごとにステップ2とステップ3を繰り返します。
- 5 16ビットのチェックサムを書き込みます。
- 6 以下の方法でフィルタ係数が正しくダウンロードされたことを確認します。
 - a. ステータス・レジスタを読み出し、DL_OKビットをチェックします。
 - b. データを読み出し、DL_OKビットのステータスを調べます。

なお、ユーザ係数はRAMに格納されるため、RESET動作や停電の後ではクリアされます。

表11. フィルタ長の値

FLEN[3:0]	係数の数	フィルタ長
0000	デフォルト	デフォルト
0001	6	12
0011	12	24
0101	18	36
0111	24	48
1001	30	60
1011	36	72
1101	42	84
1111	48	96

フィルタのダウンロード例

次に、24のタップを持つ短いユーザ定義フィルタのダウンロード例を示します。図32は周波数応答を示します。

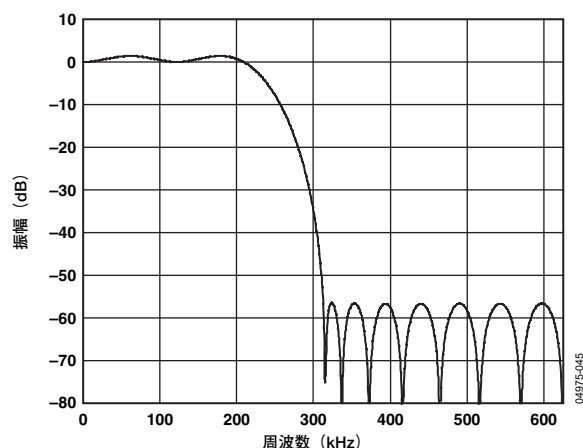


図32. 24タップFIRの周波数応答

表12に示すフィルタの係数は、対称中心から外側に向けて並んでいます。市販のフィルタ設計ツールを使用して生の係数が生成され、その合計が67108863 (0x3FF FFFF) になるように、適切にスケールリングされました。

表12. 24タップFIRの係数

係数	生	スケールリング済み
1	0.365481974	53188232
2	0.201339905	29300796
3	0.009636604	1402406
4	-0.075708848	-11017834
5	-0.042856209	-6236822
6	0.019944246	2902466
7	0.036437914	5302774
8	0.007592007	1104856
9	-0.021556583	-3137108
10	-0.024888355	-3621978
11	-0.012379538	-1801582
12	-0.001905756	-277343

AD7762

表13は、このフィルタを作成するためにAD7762にダウンロードされる16進値を（符号付き絶対値フォーマットで）示します。この表は、チェックサム生成のために合計されるバイトにも分割されます。これらの係数から生成されるチェックサムは0x0E6Bです。

表13. フィルタの16進値

係数	ワード1		ワード2	
	バイト1	バイト2	バイト3	バイト4
1	03	2B	96	88
2	01	BF	18	3C
3	00	15	66	26
4	04	A8	1E	6A
5	04	5F	2A	96
6	00	2C	49	C2
7	00	50	E9	F6
8	00	10	DB	D8
9	04	2F	DE	54
10	04	37	44	5A
11	04	1B	7D	6E
12	04	04	3B	5F

表14は、625kHzの出力データレートがすでに選択されたと想定して、ADCを設定してこのフィルタをダウンロードするためにAD7762に書き込む16ビット・ワードを示します。

表14

ワード	説明
0x0001	コントロール・レジスタ1のアドレス
0x8079	コントロール・レジスタ・データ。DLフィルタ、フィルタ長=24、出力データレート=625kHzに設定
0x032B	最初の係数、ワード1
0x9688	最初の係数、ワード2
0x01BF	2番目の係数、ワード1
0x183C	2番目の係数、ワード2
...	その他の係数
0x0404	12番目の（最後の）係数、ワード1
0x3B5F	最後の係数、ワード2
0x0E6B	チェックサム。AD7762が残りの未使用係数を0で満たすまで待機（ $0.5 \times t_{CLK} \times$ 未使用係数の数）。
0x0001	コントロール・レジスタのアドレス
0x0879	コントロール・レジスタ・データ。読出しステータスを設定し、フィルタ長とデシメーション設定を維持します。ステータス・レジスタの内容を読み出します。ビット7（DL_OK）をチェックして、フィルタが正しくダウンロードされたかどうかを判定します。

AD7762のレジスタ

AD7762には多くのユーザ・プログラマブルなレジスタがあります。コントロール・レジスタは、デシメーション・レート、フィルタ構成、クロック・デバイダなどの設定に使用します。デジタル・ゲイン・レジスタ、オフセット・レジスタ、オーバーレンジ・スレッシュールド・レジスタもあります。これらのレジスタへの書込みに際しては、最初にレジスタ・アドレスを、次に16ビット・データワードを書き込みます。ここでは、レジスタ・アドレス、個々のビットの詳細、デフォルト値を示します。

コントロール・レジスタ1—REG 0x0001

デフォルト値0x001A

MSB												LSB			
DL_Filt	RD_Ovr	RD_Gain	RD_Off	RD_Stat	0	SYNC	FLEN3	FLEN2	FLEN1	FLEN0	BYP_F3	1	DEC2	DEC1	DEC0

表15

ビット	記号	説明
15	DL_Filt ¹	ダウンロード・フィルタ。ユーザ定義フィルタをダウンロードする前にこのビットをセットします。この時点でフィルタ長ビットもセットします。これに続く書込み動作は、すべての係数とチェックサムが書き込まれるまで、FIRフィルタのユーザ係数と解釈されます。
14	RD_Ovr ^{1, 2}	リード・オーバーレンジ。このビットをセットすると、次の読出し動作では変換結果ではなくオーバーレンジ・スレッシュールド・レジスタの内容を出力します。
13	RD_Gain ^{1, 2}	リード・ゲイン。このビットをセットすると、次の読出し動作ではデジタル・ゲイン・レジスタの内容を出力します。
12	RD_Off ^{1, 2}	リード・オフセット。このビットをセットすると、次の読出し動作ではデジタル・オフセット・レジスタの内容を出力します。
11	RD_Stat ^{1, 2}	リード・ステータス。このビットをセットすると、次の読出し動作ではステータス・レジスタの内容を出力します。
10	0	このビットには0を書き込みます。
9	SYNC ¹	シンクロナイズ。このビットをセットすると、内部同期ルーチンが開始されます。複数のデバイスでこのビットを同時にセットすると、全フィルタの同期がとられます。
8～5	FLEN3:0	フィルタ長ビット。ユーザ定義フィルタをダウンロードするには、DL_Filtビットをセットし、これらのビットをセットします。
4	BYP_F3	バイパス・フィルタ3。このビットが0の場合、フィルタ3（プログラマブルFIR）がバイパスされます。
3	1	このビットには1を書き込みます。
2～0	DEC2:0	デシメーション・レート。これらのビットは、フィルタ2のデシメーション・レートを設定します。オール0は、フィルタがバイパスされることを意味します。値1は1/2のデシメーション、値2は1/4のデシメーション…と対応し、最大値の値5は1/32のデシメーションに対応します。

¹ ビット15～9は、すべてセルフクリア・ビットです。

² 書込み動作では、ビット14～11のうち1つのビットだけをセットできます。それによって次の読出し動作の内容が決定されるためです。

コントロール・レジスタ2—アドレス0x0002

デフォルト値0x009B

MSB												LSB			
0	0	0	0	0	0	0	0	0	0	0	CDIV	0	PD	LPWR	1
															D1PD

表16

ビット	記号	説明
5	CDIV	クロック・デバイダ・ビット。これは、内部ICLKを生成するためのMCLK信号の分周比を設定します。CDIV=0と設定すると、MCLKは2分周されます。CDIV=1では、ICLK周波数はMCLKと等しくなります。
3	PD	パワーダウン。このビットをセットするとAD7762がパワーダウンし、消費電力は6.35mWまで減少します。
2	LPWR	低消費電力。このビットをセットすると、AD7762は低消費電力モードで動作します。消費電力は、ノイズ性能で6dBの低減に相当するまで低減します。
1	1	このビットには1を書き込みます。
0	D1PD	差動アンプ・パワーダウン。このビットをセットすると、オンチップ差動アンプがパワーダウンします。

AD7762

ステータス・レジスタ（読出し専用）

MSB												LSB			
PART 1	PART 0	DIE 2	DIE 1	DIE 0	DVALID	LPWR	OVR	DL OK	Filter OK	U Filter	BYP F3	1	DEC2	DEC1	DEC0

表17

ビット	記号	説明
15, 14	PART1:0	製品番号。これらのビットはAD7762で一定です。
13~11	DIE2:0	チップ番号。システム内での識別のために、現在のAD7762のチップ番号を示します。
10	DVALID	データ有効。このビットは、2番目の16ビット読出し動作においてステータス・ワード出力のDVALIDビットに対応します。
9	LPWR	低消費電力。AD7762が低消費電力モードで動作している場合、このビットは1に設定されます。
8	OVR	現在のアナログ入力現在のオーバーレンジ・スレッシュホールドを超える場合、このビットがセットされます。
7	DL_OK	AD7762にユーザ・フィルタをダウンロードするとき、チェックサムが生成されます。このチェックサムが係数の後にダウンロードされたチェックサムと比較され、2つのチェックサムが一致した場合、このビットがセットされます。
6	Filter OK	ユーザ定義フィルタの使用中は、フィルタ係数がフィルタを通過するときにチェックサムが生成されます。このチェックサムがダウンロードされたチェックサムと比較され、2つのチェックサムが一致した場合、このビットがセットされます。
5	U Filter	ユーザ定義フィルタが使用中の場合、このビットがセットされます。
4	BYP F3	バイパス・フィルタ3。コントロール・レジスタ1の関連ビットの設定によってフィルタ3がバイパスされた場合、このビットもセットされます。
3	1	このビットは常にセットされています。
2~0	DEC2:0	デシメーション・レート。コントロール・レジスタ1で設定されたビットに対応します。

オフセット・レジスタ—アドレス0x0003

ビットマップなし、デフォルト値0x0000

オフセット・レジスタでは、2の補数表記を使用し、0x7FFF（正の最大値）と0x8000（負の最大値）がそれぞれ+0.78125%と-0.78125%のオフセットに対応するようにスケールされます。オフセット補正は、ゲイン補正の後で適用されます。1.25のデフォルト・ゲイン値を使用し、4.096Vのリファレンス電圧を想定すると、オフセット補正範囲は約±25mVとなります。

ゲイン・レジスタ—アドレス0x0004

ビットマップなし、デフォルト値0xA000

ゲイン・レジスタは、0x8000が1.0のゲインに対応するようにスケールされます。このレジスタのデフォルト値は1.25（0xA000）です。入力が V_{REF} の80%であるとき、これはフルスケールのデジタル出力を与えます。これは、 V_{REF} p-pの±80%という最大アナログ入力範囲に結び付きます。

オーバーレンジ・レジスタ—アドレス0x0005

ビットマップなし、デフォルト値0xCCCC

オーバーレンジ・レジスタ値は、最小の伝搬遅延で過負荷表示を得るために、最初のデシメーション・フィルタの出力と比較されます。これは、ゲイン・スケール調整やオフセット調整の前に行われます。デフォルト値は0xCCCCであり、 V_{REF} の80%（最大許容アナログ入力電圧）に対応します。 V_{REF} =4.096Vと想定すると、入力電圧が約6.55V p-p差動を超えると、このビットがセットされます。なお、アナログ入力電圧が変調器レートにおいて4つを超える連続サンプリングの間 V_{REF} の100%を超えた場合、オーバーレンジ・ビットもすぐにセットされます。

Figure 1: Dimensions of the MS-026 package. The figure includes three views: a side view (Fig. A), a top view, and a bottom view. The side view shows a package with a height of 1.20 MAX and a pin pitch of 0.75, 0.60, and 0.45. The top view shows a square package with a side length of 12.20 (12.00 SQ) and a pin pitch of 11.80. The bottom view shows a square package with a side length of 10.20 (10.00 SQ) and a pin pitch of 9.80. The package is labeled 'MS-026' and 'JEDEC規格MS-026-ACD-HDに準拠'.

寸法單位：mm

モデル	温度範囲	パッケージ	パッケージ・オプション
AD7762BSVZ ¹	−40〜+85°C	64ピン薄型クワッド・フラット・パッケージ、露出パッド (TQFP_EP)	SV-64-4
AD7762BSVZ-REEL ¹	−40〜+85°C	64ピン薄型クワッド・フラット・パッケージ、露出パッド (TQFP_EP)	SV-64-4
EVAL-AD7762EB		評価用ボード	

¹Z=鉛フリー製品