

### 特長

#### 容量／デジタル・コンバータ (CDC)

- シングルチップ・ソリューションの新標準
- シングル／差動接地センサとのインターフェース
- 最小分解能：20aF (最大有効ビット数：19.5)
- 精度：10fF
- 直線性：0.01%
- コモンモード (無変化) 容量：最大17pF
- フルスケール (変化) 容量入力範囲：±8pF
- 更新レート：5~45Hz
- 8.1Hz更新で50Hzと60Hz同時除去
- センサ接続シールド用のアクティブ・シールド

#### 温度センサ内蔵

- 分解能：0.1°C、精度：±2°C

#### 電圧入力チャンネル

- クロック発振器内蔵
- 2線式シリアル・インターフェース (I<sup>2</sup>C<sup>®</sup>準拠)

#### 電源

- 単電源動作：2.7~5.25V
- 消費電流：0.7mA
- 動作温度：-40~+125°C
- 16ピンTSSOPパッケージ

### アプリケーション

#### 車載用、工業用、医療用システムでの

- 圧力測定
- 位置検知
- 近接検出
- レベル検知
- 流量計
- 不純物検出

### 概要

AD7747は、高分解能のΣΔ (シグマ・デルタ) 容量／デジタル・コンバータ (CDC) です。測定対象の容量は、デバイスの入力に直接接続します。本製品は、高分解能 (24ビット・ノー・ミッシング・コード、最大19.5ビットの有効分解能)、高直線性 (±0.01%)、高精度 (±10fF、工場出荷時に校正) のアーキテクチャを採用しています。容量入力範囲は±8pF (変化) ですが、コモンモード容量は最大17pF (無変化) まで入力可能で、これは内蔵のプログラマブルなデジタル／容量コンバータ (CAPDAC) でバランス化できます。

AD7747は、一方の面をグラウンドに接続した差動容量センサまたはシングルエンド容量センサ向けにデザインされています。フローティング (グラウンドに接続されていない) 容量センサ用には、AD7745またはAD7746の使用を推奨します。

AD7747は、分解能0.1°C、精度±2°Cの温度センサを内蔵しています。また、リファレンス電圧とクロック・ジェネレータを内蔵しているため、容量センサ・アプリケーションでは外付け部品が不要です。本デバイスは標準電圧入力を持っており、この入力と差動リファレンス電圧入力によって、RTD、サーミスタ、ダイオードなどの外部温度センサと簡単にインターフェースすることができます。

AD7747は、IC互換の2線式シリアル・インターフェースを内蔵し、2.7~5.25Vの単電源で動作します。車載温度範囲-40~+125°Cで仕様規定されており、16ピンのTSSOPパッケージを採用しています。

### 機能ブロック図

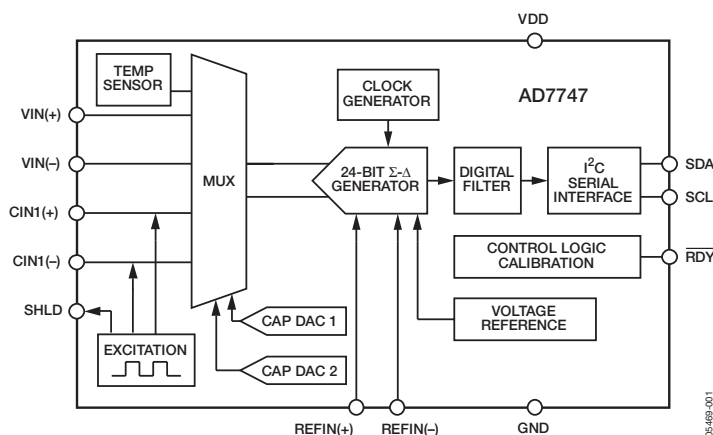


図1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
© 2007 Analog Devices, Inc. All rights reserved.

REV. 0

# AD7747

## 目次

特長	1	容量DAC Aレジスタ	19
アプリケーション	1	容量DAC Bレジスタ	19
概要	1	容量オフセット・キャリブレーション・レジスタ	20
機能ブロック図	1	容量ゲイン・キャリブレーション・レジスタ	20
改訂履歴	2	電圧ゲイン・キャリブレーション・レジスタ	20
仕様	3	回路の説明	21
タイミング仕様	5	概要	21
絶対最大定格	6	容量／デジタル・コンバータ (CDC)	21
ESDに関する注意	6	アクティブACシールドの概念	21
ピン配置とピン機能の説明	7	CAPDAC	21
代表的な性能特性	8	シングルエンドの容量構成	22
出力ノイズと分解能の仕様	11	差動容量構成	22
シリアル・インターフェース	12	寄生容量	23
読み出し動作	12	寄生抵抗	23
書き込み動作	12	寄生直列抵抗	23
AD7747のリセット	13	容量ゲイン・キャリブレーション	23
ゼネラル・コール	13	容量システム・オフセット・キャリブレーション	24
レジスタの説明	14	内部温度センサ	24
ステータス・レジスタ	15	外部温度センサ	24
容量データ・レジスタ	15	電圧入力	25
電圧温度データ・レジスタ	15	V <sub>DD</sub> モニタ	25
容量設定レジスタ	16	代表的なアプリケーション図	26
電圧温度設定レジスタ	16	外形寸法	27
励起設定レジスタ	17	オーダー・ガイド	27
構成レジスタ	18		

## 改訂履歴

1/07—Revision 0: Initial Version

## 仕様

## DC仕様

特に指定のない限り、 $V_{DD}=2.7\sim 3.6V$ または $4.75\sim 5.25V$ 、 $GND=0V$ 、 $EXC=\pm V_{DD}\times 3/8$ 、 $-40\sim +125^{\circ}C$ 。

表1

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>CAPACITIVE INPUT</b>					
Conversion Input Range		$\pm 8.192$		pF <sup>1</sup>	Factory calibrated
Integral Nonlinearity (INL) <sup>2</sup>			$\pm 0.01$	% of FSR <sup>1</sup>	
No Missing Codes <sup>2</sup>	24			Bit	Conversion time $\geq 124$ ms
Resolution, p-p		16.5		Bit	Conversion time 124 ms, see Table 5
Resolution Effective		19.1		Bit	Conversion time 124 ms, see Table 5
Output Noise, rms		11.0		aF/ $\sqrt{Hz}$	Conversion time 124 ms, see Table 5
Absolute Error <sup>3</sup>			$\pm 10$	fF <sup>1</sup>	25°C, $V_{DD} = 5$ V, after offset calibration
Offset Error <sup>4,5</sup>			32	aF <sup>1</sup>	After system offset calibration, excluding effect of noise <sup>4</sup>
System Offset Calibration Range <sup>5</sup>			$\pm 1$	pF	
Offset Deviation over Temperature <sup>2</sup>		0.4		fF	See Figure 6
Gain Error <sup>6</sup>		0.02	0.11	% of FS <sup>1</sup>	25°C, $V_{DD} = 5$ V
Gain Drift vs. Temperature <sup>2</sup>	-23	-26	-29	ppm of FS/ $^{\circ}C$	
Power Supply Rejection <sup>2</sup>		0.5	4	fF/V	
Normal Mode Rejection <sup>5</sup>		72		dB	50 Hz $\pm 1\%$ , conversion time 124 ms
		60		dB	60 Hz $\pm 1\%$ , conversion time 124 ms
<b>CAPDAC</b>					
Full Range	17	21		pF	6-bit CAPDAC
Differential Nonlinearity (DNL)		0.3		LSB	See Figure 16
Drift vs. Temperature <sup>2</sup>		26		ppm of FS/ $^{\circ}C$	
<b>EXCITATION</b>					
Frequency		16		kHz	
AC Voltage Across Capacitance		$\pm V_{DD} \times 3/8$		V	To be configured via digital interface
Average DC Voltage Across Capacitance		$V_{DD}/2$		V	
<b>TEMPERATURE SENSOR<sup>7</sup></b>					
Resolution		0.1		$^{\circ}C$	$V_{REF}$ internal
Error <sup>2</sup>		$\pm 0.5$	$\pm 2$	$^{\circ}C$	Internal temperature sensor
		$\pm 2$		$^{\circ}C$	External sensing diode <sup>8</sup>
<b>VOLTAGE INPUT<sup>7</sup></b>					
Differential VIN Voltage Range		$\pm V_{REF}$		V	$V_{REF}$ internal or $V_{REF} = 2.5$ V
Absolute VIN Voltage <sup>2</sup>	$GND - 0.03$		$V_{DD} + 0.03$	V	
Integral Nonlinearity (INL)		$\pm 3$	$\pm 15$	ppm of FS	
No Missing Codes <sup>2</sup>	24			Bit	Conversion time = 122.1 ms
Resolution, p-p		16		Bits	Conversion time = 62 ms, see Table 6 and Table 7
Output Noise		3		$\mu V_{rms}$	Conversion time = 62 ms, see Table 6 and Table 7
Offset Error		$\pm 3$		$\mu V$	
Offset Drift vs. Temperature		15		nV/ $^{\circ}C$	
Full-Scale Error <sup>2,9</sup>		0.025	0.1	% of FS	
Full-Scale Drift vs. Temperature		5		ppm of FS/ $^{\circ}C$	Internal reference
		0.5		ppm of FS/ $^{\circ}C$	External reference
Average VIN Input Current		300		nA/V	
Analog VIN Input Current Drift		$\pm 50$		pA/V/ $^{\circ}C$	
Power Supply Rejection		80		dB	Internal reference, $V_{IN} = V_{REF}/2$
		90		dB	External reference, $V_{IN} = V_{REF}/2$

# AD7747

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Normal Mode Rejection <sup>5</sup>		75		dB	50 Hz ± 1%, conversion time = 122.1 ms
		50		dB	60 Hz ± 1%, conversion time = 122.1 ms
Common-Mode Rejection <sup>2</sup>		95		dB	V <sub>IN</sub> = 1 V
INTERNAL VOLTAGE REFERENCE					
Voltage	1.169	1.17	1.171	V	T <sub>A</sub> = 25°C
Drift vs. Temperature		5		ppm/°C	
EXTERNAL VOLTAGE REFERENCE INPUT					
Differential REFIN Voltage <sup>2</sup>	0.1	2.5	V <sub>DD</sub>	V	
Absolute REFIN Voltage <sup>2</sup>	GND – 0.03		V <sub>DD</sub> + 0.03	V	
Average REFIN Input Current		400		nA/V	
Average REFIN Input Current Drift		±50		pA/V/°C	
Common-Mode Rejection		80		dB	
SERIAL INTERFACE LOGIC INPUTS (SCL, SDA)					
VIH Input High Voltage	2.1			V	
VIL Input Low Voltage			0.8	V	
Hysteresis		150		mV	
Input Leakage Current (SCL)		±0.1	±1	μA	
OPEN-DRAIN OUTPUT (SDA)					
V <sub>OL</sub> Output Low Voltage			0.4	V	I <sub>SINK</sub> = –6.0 mA
I <sub>OH</sub> Output High Leakage Current		0.1	1	μA	V <sub>OUT</sub> = V <sub>DD</sub>
LOGIC OUTPUT (RDY)					
V <sub>OL</sub> Output Low Voltage			0.4	V	I <sub>SINK</sub> = 1.6 mA, V <sub>DD</sub> = 5 V
V <sub>OH</sub> Output High Voltage	4.0			V	I <sub>SOURCE</sub> = 200 μA, V <sub>DD</sub> = 5 V
V <sub>OL</sub> Output Low Voltage			0.4	V	I <sub>SINK</sub> = 100 μA, V <sub>DD</sub> = 3 V
V <sub>OH</sub> Output High Voltage	V <sub>DD</sub> – 0.6			V	I <sub>SOURCE</sub> = 100 μA, V <sub>DD</sub> = 3 V
POWER REQUIREMENTS					
V <sub>DD-to-GND</sub> Voltage	4.75		5.25	V	V <sub>DD</sub> = 5 V, nominal
	2.7		3.6	V	V <sub>DD</sub> = 3.3 V, nominal
I <sub>DD</sub> Current			850	μA	Digital inputs equal to V <sub>DD</sub> or GND
		750		μA	V <sub>DD</sub> = 5 V
		700		μA	V <sub>DD</sub> = 3.3 V
I <sub>DD</sub> Current Power-Down Mode		0.5	2	μA	Digital inputs equal to V <sub>DD</sub> or GND

<sup>1</sup> 容量の単位: 1pF=10<sup>-12</sup>F, 1fF=10<sup>-15</sup>F, 1aF=10<sup>-18</sup>F。フルスケール (FS) = 8.192pF フルスケールレンジ (FSR) = ±8.192pF

<sup>2</sup> 仕様については出荷テストを行っていませんが、量産開始時の特性評価データにより保証しています。

<sup>3</sup> 工場出荷時に校正。絶対誤差には、工場出荷時のゲイン・キャリブレーション誤差、積分非直線性誤差、システム・オフセット・キャリブレーション後のオフセット誤差があり、すべて25°Cにおける値です。これ以外の全温度範囲では、ゲイン・ドリフトの補正が必要となります。

<sup>4</sup> 容量入力オフセットは、システム・オフセット・キャリブレーションによって除去できます。システム・オフセット・キャリブレーションの精度は、オフセット・キャリブレーション・レジスタのLSBサイズ (32aF) またはシステム容量オフセット・キャリブレーション中のコンバータとシステムのピークtoピーク・ノイズのいずれか大きいほうによって制限されます。コンバータ+システムのノイズの影響を最小限に抑えるためには、システム容量オフセット・キャリブレーションの変換時間を長くする必要があります。システム容量オフセット・キャリブレーションの範囲は±1pFですが、これより大きなオフセットはCAPDACで除去できます。

<sup>5</sup> 仕様については出荷テストを行っていませんが、デザインにより保証しています。

<sup>6</sup> ゲイン誤差は、工場出荷時に25°Cで校正しています。これ以外の温度の場合は、温度変化に対しゲイン・ドリフトを補正する必要があります。

<sup>7</sup> 規定した温度センサおよび電圧入力のパフォーマンスを得るためには、電圧温度設定レジスタのVTCHOPビットを1に設定する必要があります。

<sup>8</sup> 非理想係数 (n<sub>t</sub>) = 1.008の外部温度検出ダイオード2N3906 (全直列抵抗<100Ω) を図37のように接続して使用します。

<sup>9</sup> この誤差は正側と負側のフルスケールの両方に当てはまります。

## タイミング仕様

特に指定のない限り、 $V_{DD}=2.7\sim 3.6V$ または $4.75\sim 5.25V$ 、 $GND=0V$ 、入力ロジック0=0V、入力ロジック1= $V_{DD}$ 、 $-40\sim +125^{\circ}C$ 。

表2

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments	
SERIAL INTERFACE <sup>1,2</sup>						
SCL Frequency	0		400	kHz	See Figure 2	
SCL High Pulse Width, $t_{HIGH}$	0.6			$\mu s$		
SCL Low Pulse Width, $t_{LOW}$	1.3			$\mu s$		
SCL, SDA Rise Time, $t_R$			0.3	$\mu s$		
SCL, SDA Fall Time, $t_F$			0.3	$\mu s$		
Hold Time (Start Condition), $t_{HD;STA}$	0.6			$\mu s$		After this period, the first clock is generated
Setup Time (Start Condition), $t_{SU;STA}$	0.6			$\mu s$		Relevant for repeated start condition
Data Setup Time, $t_{SU;DAT}$	0.1			$\mu s$		
Setup Time (Stop Condition), $t_{SU;STO}$	0.6			$\mu s$		
Data Hold Time, $t_{HD;DAT}$ (Master)	0			$\mu s$		
Bus-Free Time (Between Stop and Start Condition, $t_{BUF}$ )	1.3			$\mu s$		

<sup>1</sup> 量産開始時にサンプル・テストにより適合性を保証。

<sup>2</sup> すべての入力信号は、入力の立上がり/立下がり時間=3nsで仕様規定されており、10%と90%のポイント間で測定しています。タイミング基準点は入出力ともに50%のポイントです。出力負荷=10pF

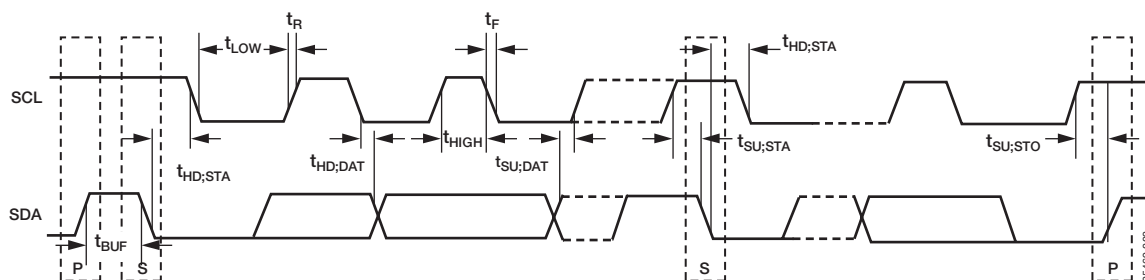


図2. シリアル・インターフェースのタイミング図

## 絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表6

Parameter	Rating
Positive Supply Voltage VDD to GND	-0.3 V to +6.5 V
Voltage on any Input or Output Pin to GND	-0.3 V to $V_{DD} + 0.3$ V
ESD Rating (ESD Association Human Body Model, S5.1)	2000 V
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
TSSOP Package $\theta_{JA}$ (Thermal Impedance-to-Air)	128°C/W
TSSOP Package $\theta_{JC}$ (Thermal Impedance-to-Case)	14°C/W
Peak Reflow Soldering Temperature Pb Free (20 sec to 40 sec)	260°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

### ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスで高エネルギーの静電放電が発生した場合、損傷を生じる可能性があります。性能劣化や機能低下を防止するため、ESDに対して適切な予防措置をとることが推奨されます。

## ピン配置とピン機能の説明

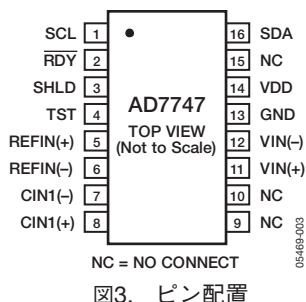


図3. ピン配置

表4. ピン機能の説明

ピン番号	記号	説明
1	SCL	シリアル・インターフェース・クロック入力。マスター・クロック・ラインに接続します。システムにプルアップ抵抗が必要です。
2	RDY	ロジック出力。この出力の立下がりエッジで、有効なチャンネルの変換が終了して新しいデータが使用可能になります。2線式シリアル・インターフェースを介してステータス・レジスタを読み出し、関連ビットをデコードして変換終了を確認することもできます。このピンを使用しない場合はオープンにしておきます。
3	SHLD	容量入力アクティブACシールド。グラウンドへのCIN寄生容量を除去するときは、SHLD信号を使ってセンサとCIN間の接続をシールドします。使用しない場合はオープンにしておきます。
4	TST	このピンは、適正な動作を実行するためにオープンにしておきます。
5, 6	REFIN(+), REFIN(-)	電圧チャンネル（ADC）用の差動リファレンス電圧入力。内部リファレンス電圧を電圧チャンネルに使用することもできます。このリファレンス電圧入力ピンは容量チャンネル（CDC）での変換には使用しません。使用しない場合は、オープンにしておくかGNDに接続します。
7	CIN1(-)	CDCの負側容量入力。測定対象の容量はCIN1（-）ピンとGNDの間に接続します。使用しない場合は、オープンにしておきます。
8	CIN1(+)	CDCの正側の容量入力。測定対象の容量はCIN1（+）ピンとGNDの間に接続します。使用しない場合は、オープンにしておきます。
9, 10	NC	接続なし。ピンはオープンにしておきます。
11, 12	VIN(+), VIN(-)	電圧チャンネル（ADC）用の差動電圧入力。このピンも、外部温度検出ダイオードとの接続に使用します。使用しない場合は、オープンにしておくかGNDに接続します。
13	GND	グラウンド・ピン
14	VDD	電源電圧。低インピーダンス・コンデンサを使って、たとえば10 $\mu$ Fのタンタル・コンデンサと0.1 $\mu$ Fの多層セラミック・コンデンサの並列を用いてこのピンをGNDにデカップリングする必要があります。
15	NC	接続なし。ピンはオープンにしておきます。
16	SDA	シリアル・インターフェース双方向データ。マスター・データラインに接続します。システムにプルアップ抵抗が必要です。

代表的な性能特性

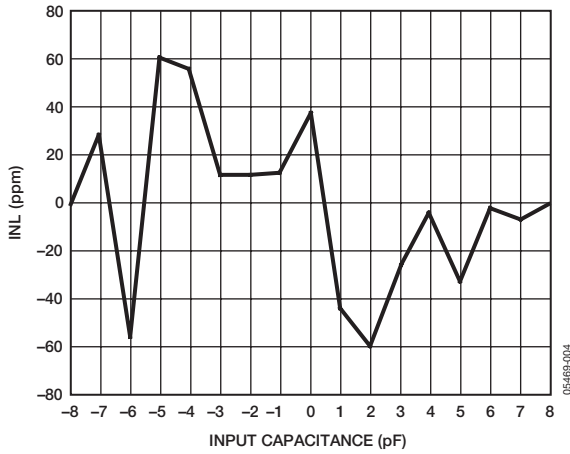


図4. 容量入力の積分非直線性 ( $V_{DD}=5V$ 、 $CAPDAC=0 \times 3F$ )

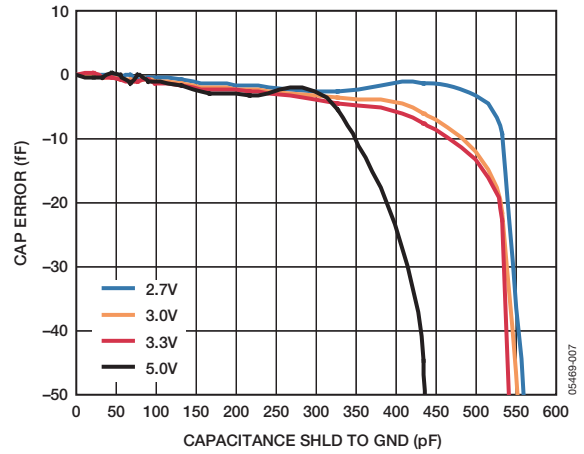


図7. SHLDとGND間の容量対容量入力誤差 (GND接続の  $C_{IN} (+) = 8pF$ 、 $V_{DD}=2.7V$ 、 $3V$ 、 $3.3V$ 、 $5V$ )

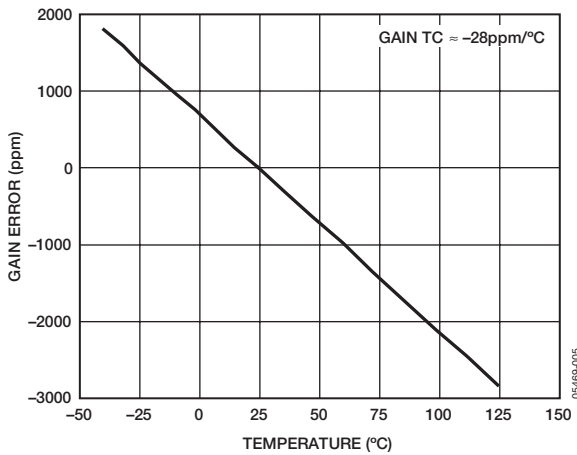


図5. 容量入力ゲイン・ドリフトの温度特性 ( $V_{DD}=5V$ 、GND接続の  $C_{IN} (+) = 8pF$ )

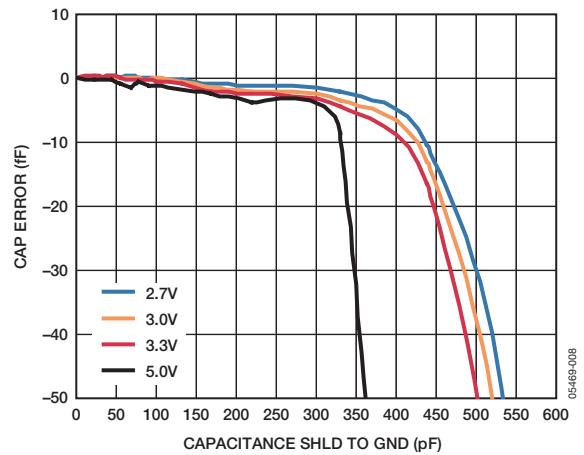


図8. SHLDとGND間の容量対容量入力誤差 (GND接続の  $C_{IN} (+) = 25pF$ 、 $V_{DD}=2.7V$ 、 $3V$ 、 $3.3V$ 、 $5V$ )

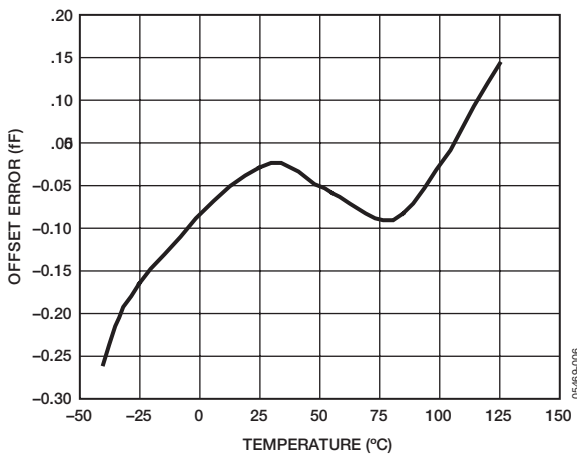


図6. 容量入力オフセット・ドリフトの温度特性 ( $V_{DD}=5V$ 、 $C_{IN} (+)$  はオープン)

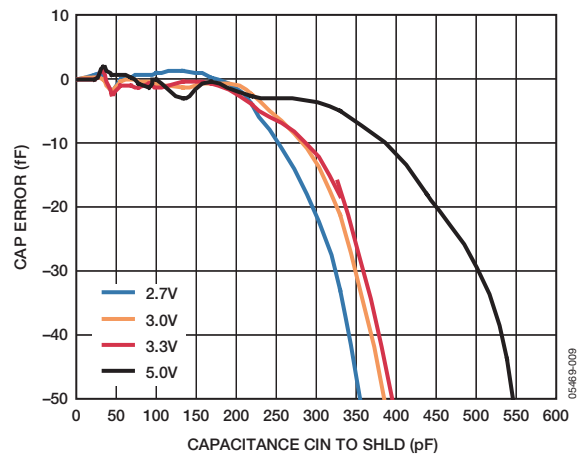


図9.  $C_{IN} (+)$  とSHLD間の容量対容量入力誤差 (GND接続の  $C_{IN} (+) = 8pF$ 、 $V_{DD}=2.7V$ 、 $3V$ 、 $3.3V$ 、 $5V$ )



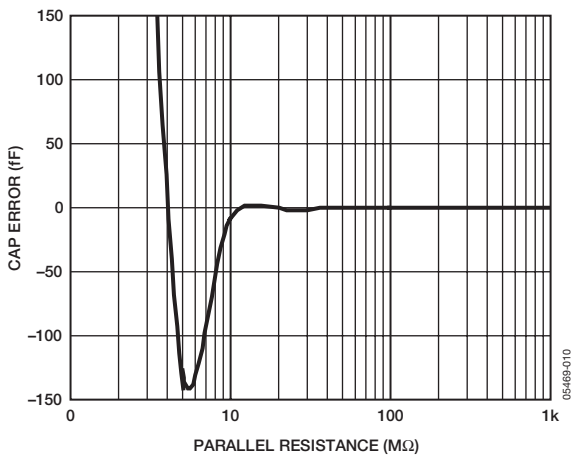


図10. 並列抵抗 対 容量入力誤差 (GND接続のCIN (+) = 8pF、 $V_{DD}$  = 5V)

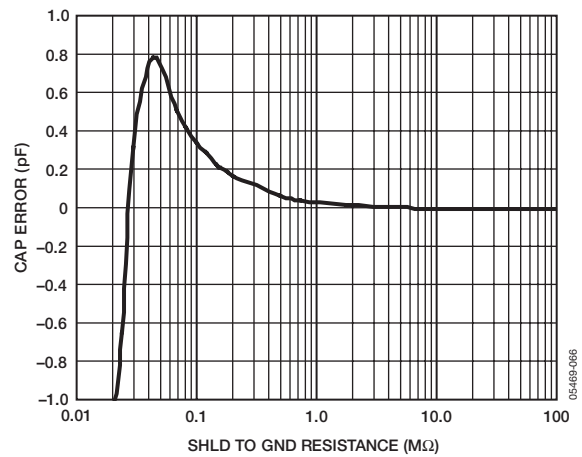


図13. GNDとSHLD間の抵抗 対 容量入力誤差 (GND接続のCIN (+) = 8pF、 $V_{DD}$  = 5V)

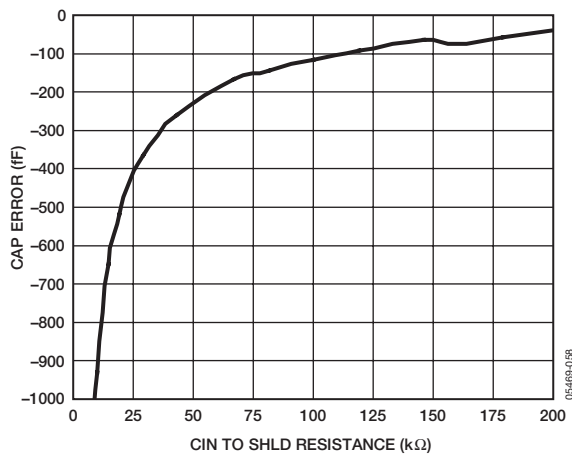


図11. CIN (+)とSHLD間の抵抗 対 容量入力誤差 (GND接続のCIN (+) = 8pF、 $V_{DD}$  = 5V)

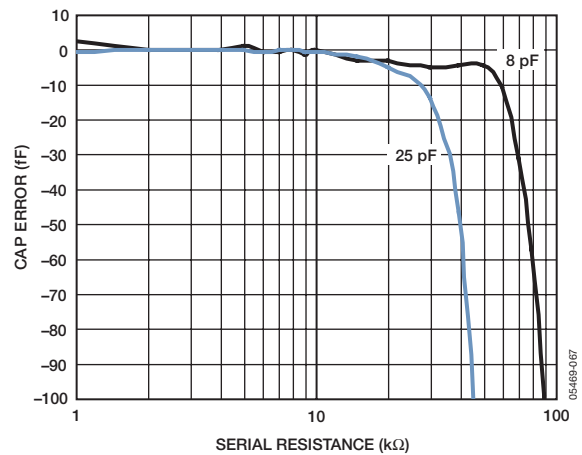


図14. 直列抵抗 対 容量入力誤差 (GND接続のCIN (+) = 8pF および25pF、 $V_{DD}$  = 5V)

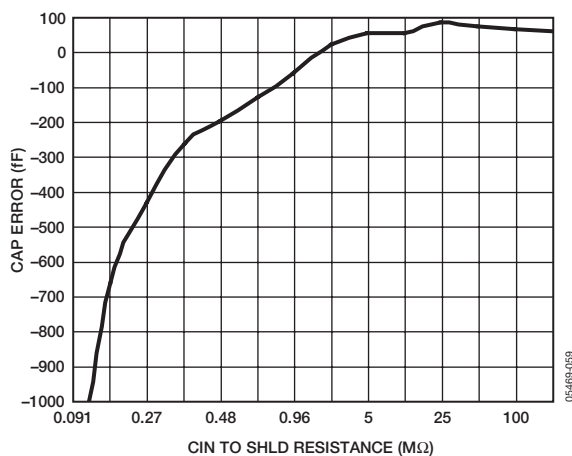


図12. CIN (+)とSHLD間の抵抗 対 容量入力誤差 (GND接続のCIN (+) = 25pF、 $V_{DD}$  = 5V)

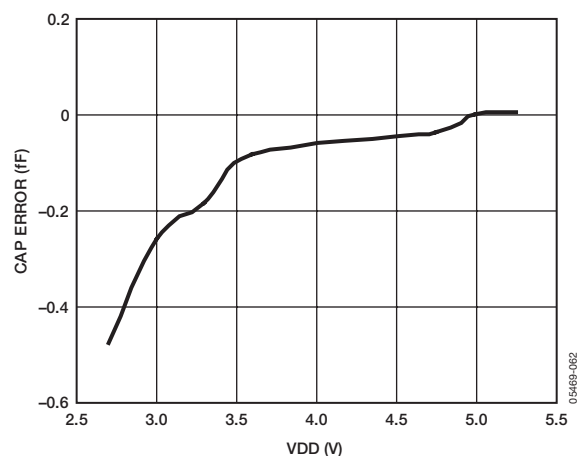


図15. 容量入力の電源電圧変動除去比 (PSR) (GND接続のCIN (+) = 8pF)

# AD7747

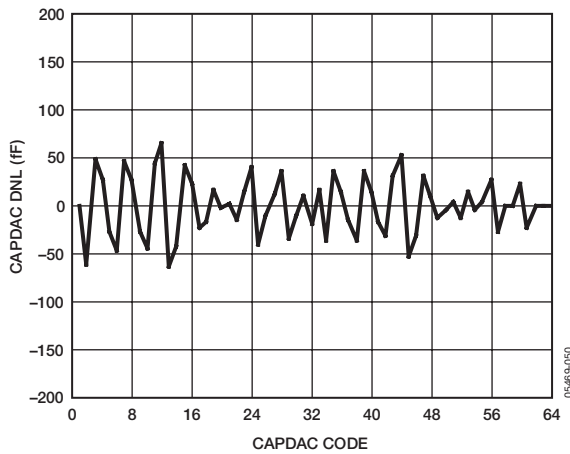


図16. CAPDAC微分非直線性 (DNL)

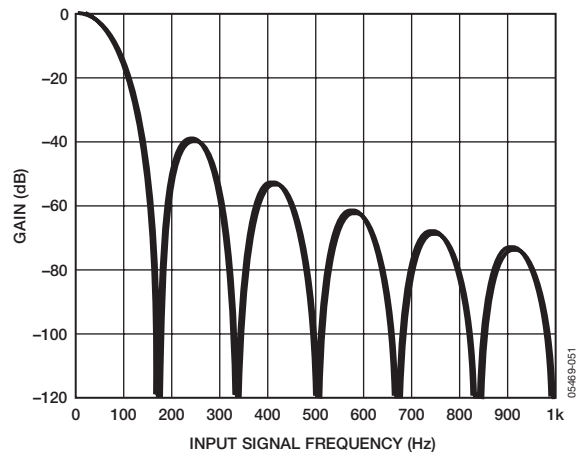


図19. 容量チャンネル周波数応答 (変換時間=22ms)

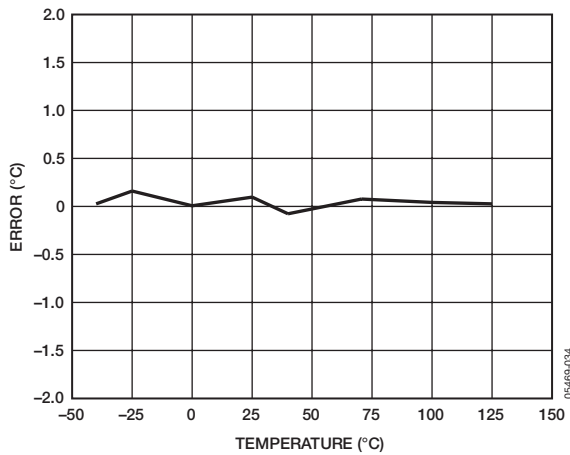


図17. 内部温度センサ誤差の温度特性

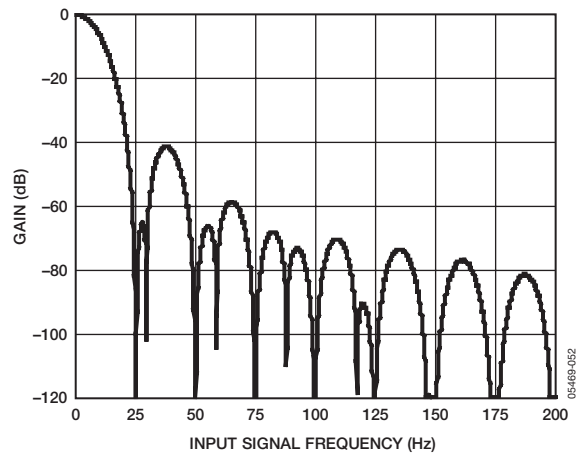


図20. 容量チャンネル周波数応答 (変換時間=124ms)

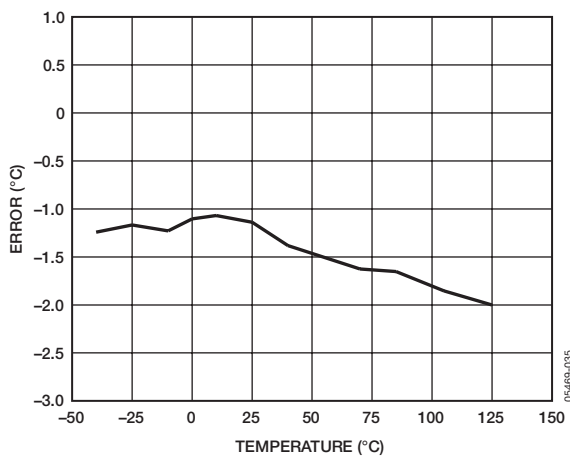


図18. 外部温度センサ誤差の温度特性

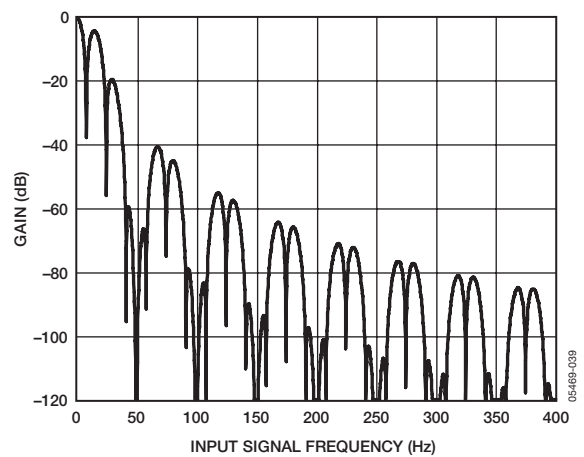


図21. 電圧チャンネル周波数応答 (変換時間=122.1ms)

## 出力ノイズと分解能の仕様

AD7747の分解能はノイズにより制限され、ノイズ性能は選択した変換時間に応じて変動します。

表5に、容量チャンネルの代表的なノイズ性能と分解能を示します。表の数値は、連続変換モードで得た1000個のデータ・サンプルに基づいています。16kHzの励起、 $\pm V_{DD} \times 3/8$ を使用し、CINピンとSHLDピンを評価用ボードのみに接続しました（外部コンデンサは不使用）。

表6と表7に、電圧チャンネルの代表的なノイズ性能と分解能を示します。この数値も、連続変換モードで得た1000個のデータ・サンプルに基づいています。VINピンはグラウンドに接続しました。

rmsノイズは標準偏差を表し、ピークtoピーク・ノイズはデータにおける最小結果値と最大結果値との差を表しています。有効分解能はrmsノイズから、ピークtoピーク分解能はピークtoピーク・ノイズから算出しています。

表5. 代表的な容量入力ノイズと分解能 対 変換時間（太字の値はデフォルト設定）

Conversion Time (ms)	Output Data Rate (Hz)	-3 dB Frequency (Hz)	RMS Noise (aF/ $\sqrt{\text{Hz}}$ )	RMS Noise (aF)	P-P Noise (aF)	Effective Resolution (Bits)	P-P Resolution (Bits)
22.0	45.5	43.6	28.8	190	821	16.4	14.3
23.9	41.9	39.5	23.2	146	725	16.8	14.5
40.0	25.0	21.8	11.1	52	411	18.3	15.3
76.0	13.2	10.9	11.2	37	262	18.7	15.9
124.0	8.1	6.9	11.0	29	174	19.1	16.5
154.0	6.5	5.3	10.4	24	173	19.3	16.5
184.0	5.4	4.4	10.0	21	141	19.6	16.8
219.3	4.6	4.0	9.0	18	126	19.9	17.0

表6. 代表的な電圧入力ノイズと分解能 対 変換時間（内部リファレンス電圧）

Conversion Time (ms)	Output Data Rate (Hz)	-3 dB Frequency (Hz)	RMS Noise ( $\mu\text{V}$ )	P-P Noise ( $\mu\text{V}$ )	Effective Resolution (Bits)	P-P Resolution (Bits)
20.1	49.8	26.4	11.4	62	17.6	15.2
32.1	31.2	15.9	7.1	42	18.3	15.7
62.1	16.1	8.0	4.0	28	19.1	16.3
122.1	8.2	4.0	3.0	20	19.5	16.8

表7. 代表的な電圧入力ノイズと分解能 対 変換時間（2.5Vの外部リファレンス電圧）

Conversion Time (ms)	Output Data Rate (Hz)	-3 dB Frequency (Hz)	RMS Noise ( $\mu\text{V}$ )	P-P Noise ( $\mu\text{V}$ )	Effective Resolution (Bits)	P-P Resolution (Bits)
20.1	49.8	26.4	14.9	95	18.3	15.6
32.1	31.2	15.9	6.3	42	19.6	16.8
62.1	16.1	8.0	3.3	22	20.5	17.7
122.1	8.2	4.0	2.1	15	21.1	18.3

## シリアル・インターフェース

AD7747は、I<sup>2</sup>C互換の2線式シリアル・インターフェースを内蔵しています。I<sup>2</sup>Cバスの2本のラインは、SCL（クロック）、SDA（データ）と呼ばれ、接続先のすべての周辺デバイスに、アドレス情報、制御情報、データ情報を1ビットずつ送信します。SDAラインはデータを送信し、SCLラインはデータ伝送時に送信と受信を同期させます。I<sup>2</sup>Cデバイスは、マスターまたはスレーブに分類されます。データ転送メッセージを開始するデバイスがマスターであり、このメッセージに応答するのがスレーブです。

このバスでAD7747デバイスを制御するときは、次のプロトコルに従う必要があります。まず、マスターがスタート条件を確立してデータ転送を開始します。スタート条件では、SCLがハイレベルの間にSDAはハイレベルからローレベルに変化します。これによって後続がスタート・バイトであることがわかります。8ビットのスタート・バイトは、7ビットのアドレスと、読出し／書込みを示すR/Wビットで構成されています。

バスに接続されている周辺デバイスはすべて、スタート条件に反応し、次の8ビット（7ビット・アドレスとR/Wビット）をシフト入力します。これらのビットはMSBファーストで送信されます。送信されたアドレスを認識した周辺デバイスは、9番目のクロック・パルス中にデータ・ラインをローレベルにして応答します。これは、アクノレッジ・ビット（ACK）と呼ばれます。この時点で他のデバイスはすべてこのバスから切り離され、アイドル状態を維持します。ただし、ゼネラル・コール・アドレスは例外ですが、このアドレスについては後で説明します。アイドル状態とは、デバイスがSDAラインとSCLラインを監視しながらスタート条件と適正なアドレス・バイトを待っている状態のことです。また、R/Wビットはデータの転送方向を決めます。スタート・バイトのLSBが0のとき、マスターはアドレス指定された周辺デバイスに情報を書き込みます。この場合、AD7747はスレーブ・レシーバとなります。スタート・バイトのLSBが1のとき、マスターはアドレス指定された周辺デバイスから情報を読み出します。この場合、AD7747はスレーブ・トランスミッタとなります。いずれの場合も、AD7747はI<sup>2</sup>Cバス上で標準的なスレーブ・デバイスとして動作します。

AD7747のスタート・バイト・アドレスは、書込みの場合0x90、読出しの場合0x91となります。

### 読出し動作

スタート・バイトで読出しが選択されている場合、AD7747はアドレス・ポインタでアドレス指定されているレジスタのデータをSDAラインに送信します。そうすると、マスター・デバイスはクロックを出力してそのデータを入力し、AD7747はマスターからのアクノレッジを待ちます。

マスターからのアクノレッジを受信すると、自動アドレス・インクリメントによってアドレス・ポインタ・レジスタが自動的にインクリメントされ、アドレス指定された次のレジスタの内容がSDAラインに出力され、マスターに送信されます。ノーアクノレッジを受信した場合、AD7747はアイドル状態に戻り、アドレス・ポインタはインクリメントされません。

アドレス・ポインタの自動インクリメントでは、開始アドレスや後続のインクリメンタル・アドレスからブロック・データの書込み／読出しを行うことができます。

連続変換モードでは、変換結果を読み出すためにアドレス・ポインタの自動インクリメントを使用します。つまり3つ別々のシングルバイト・トランザクションではなく、1つのマルチバイト・リード・トランザクションを使って、3つのデータバイトを読み出します。シングルバイト・データ・リード・トランザクションを使用すると、2種類の結果のデータバイトが混ざってしまう場合があります。容量チャンネルと電圧／温度チャンネルの両方が有効な場合は、6つのデータバイトに同じことが当てはまります。

すべてのレジスタを更新しなくても1対1ベースで任意の固有のレジスタ（アドレス）にアクセスすることもできます。アドレス・ポインタ・レジスタの内容は読み出すことができません。

間違ったアドレス・ポインタ位置にアクセスするか、あるいは自動インクリメントでレジスタのアドレスを必要以上にインクリメントすると、次の状態になります。

- 読出しモードの場合、AD7747はマスター・デバイスがノーアクノレッジ、スタート条件、またはストップ条件を発行するまで内部レジスタのさまざまな内容を出力し続けます。アドレス・ポインタの自動インクリメントの内容は、読出し動作終了時にストップ条件を受信するとアドレス0x00のステータス・レジスタを指すようにリセットされます。これによって、アドレス・ポインタへの周期的な書込みを行わなくてもステータス・レジスタを継続的に読み出す（ポーリングする）ことができます。
- 書込みモードでは、無効なアドレスのデータがAD7747にロードされることはありませんが、アクノレッジは発行されます。

### 書込み動作

書込みが選択されているときは、スタート・バイトの後続バイトは必ずレジスタ・アドレス・ポインタ（サブアドレス）バイトとなります。このバイトは、AD7747の内部レジスタの1つを指します。アドレス・ポインタ・バイトはアドレス・ポインタ・レジスタに自動的にロードされ、AD7747によってアクノレッジされます。アドレス・ポインタ・バイトのアクノレッジ後に、マスターはストップ条件、反復スタート条件、または別のデータバイトを発行します。

ストップ条件では、SCLがハイレベルの間にSDAはローレベルからハイレベルに変化します。ストップ条件を受信すると、AD7747はアイドル状態に戻り、アドレス・ポインタはアドレス0x00にリセットされます。

レジスタ・アドレス・ポインタ・バイトの後にデータバイトが送信されると、AD7747は、アドレス・ポインタ・レジスタでアドレス指定されているレジスタにこのバイトをロードし、アクノレッジを送信します。そして、アドレス・ポインタの自動インクリメントによってアドレス・ポインタ・レジスタが次の内部レジスタ・アドレスへと自動的にインクリメントします。したがって、これ以降送信されるデータバイトは順次インクリメントされるアドレスにロードされます。

アドレス・ポインタ・バイトの後に反復スタート条件を受信すると、バスに接続されている周辺デバイスはすべて、前述のスタート条件のときとまったく同じように応答します。つまり、反復スタート条件はスタート条件と同様に扱われます。マスター・デバイスは、ストップ条件を発行するとバスの制御権を

放棄し、他のマスター・デバイスがその制御権を取得できるようにします。したがって、バスの制御権を維持したいマスターは反復スタート条件と呼ばれる連続的なスタート条件を発行します。

### AD7747のリセット

I<sup>2</sup>Cバス全体をリセットせずにAD7747をリセットするときは、明示的なリセット・コマンドを用います。これには特定のアドレス・ポインタ・ワードをコマンド・ワードとして使用し、デバイスをリセットして、デフォルトのすべての設定をアップロードします。AD7747は、デフォルト値をアップロードする約150μs（最大200μs）の間、I<sup>2</sup>Cバス・コマンドに回答しません（アクノレッジを発行しません）。リセット・コマンド・アドレス・ワードは0xBFです。

### ゼネラル・コール

マスターが7ビットの0からなるスレーブ・アドレス（8番目のR/Wビットは0に設定）を発行した場合、それはゼネラル・コール・アドレスとみなされます。ゼネラル・コール・アドレスは、I<sup>2</sup>Cに接続されているすべてのデバイスをアドレス指定するためのものです。AD7747はこのアドレスをアクノレッジし、次のデータバイトを読み出します。

2番目のバイトが0x06の場合、AD7747はリセットされ、すべてのデフォルト値をアップロードします。AD7747は、デフォルト値をアップロードする約150μs（最大200μs）の間、I<sup>2</sup>Cバス・コマンドに回答しません（アクノレッジを発行しません）。

AD7747は、他のゼネラル・コール・コマンドには回答しません。

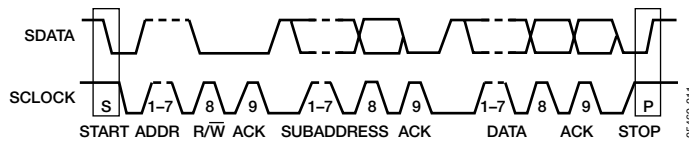


図22. バス・データの移転

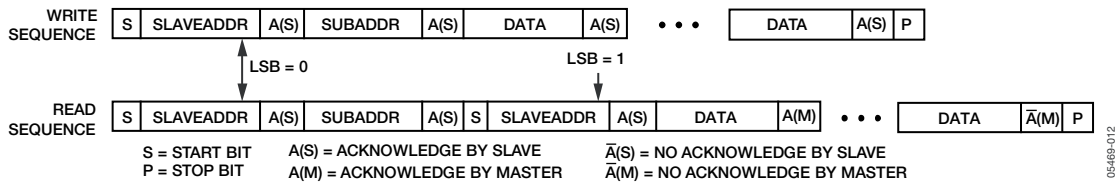


図23. 書込み／読出しシーケンス

## レジスタの説明

マスターは、書き込み専用レジスタであるアドレス・ポインタ・レジスタ以外、AD7747レジスタのすべてに対して書き込み／読出しを行うことができます。アドレス・ポインタ・レジスタは、どのレジスタに次の書き込み／読出し動作を行うか指定します。バスを介したデバイスとの通信はすべて、アドレス・ポインタ・レジスタへのアクセスから始まります。バスを使ってデバ

イスへのアクセスを行い、読出しまたは書き込み動作を選択すると、アドレス・ポインタ・レジスタが設定されます。このレジスタによって、読出し／書き込み先のレジスタが決まります。読出し／書き込み動作はターゲットのアドレスに対して行われます。この後、バスを介して停止コマンドが実行されるまで次のアドレスへのインクリメントを行います。

表8. レジスタの概要

Register	Address Pointer		Dir	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
	(Dec)	(Hex)		Default Value							
Status	0	0x00	R	— 0	— 0	— 0	— 0	— 0	RDY 1	RDYVT 1	RDYCAP 1
Cap Data H	1	0x01	R	Capacitive channel data—high byte, 0x00							
Cap Data M	2	0x02	R	Capacitive channel data—middle byte, 0x00							
Cap Data L	3	0x03	R	Capacitive channel data—low byte, 0x00							
VT Data H	4	0x04	R	Voltage/temperature channel data—high byte, 0x00							
VT Data M	5	0x05	R	Voltage/temperature channel data—middle byte, 0x00							
VT Data L	6	0x06	R	Voltage/temperature channel data—low byte, 0x00							
Cap Setup	7	0x07	R/W	CAPEN 0	— 0	CAPDIFF 0	— 0	— 0	— 0	— 0	— 0
VT Setup	8	0x08	R/W	VTEN 0	VTMD1 0	VTMD0 0	EXTREF 0	— 0	— 0	VTSHORT 0	VTCHOP 0
EXC Setup	9	0x09	R/W	— 0	— 0	— 0	— 0	EXCDAC 0	EXCEN 0	EXCLVL1 1	EXCLVL0 1
Configuration	10	0x0A	R/W	VTFS1 1	VTFS0 0	CAPFS2 1	CAPFS1 0	CAPFS0 0	MD2 0	MD1 0	MD0 0
Cap DAC A	11	0x0B	R/W	DACAENA 0	— 0	DACA—6-Bit Value 0x00					
Cap DAC B	12	0x0C	R/W	DACBENB 0	— 0	DACB—6-Bit Value 0x00					
Cap Offset H	13	0x0D	R/W	Capacitive offset calibration—high byte, 0x80							
Cap Offset L	14	0x0E	R/W	Capacitive offset calibration—low byte, 0x00							
Cap Gain H	15	0x0F	R/W	Capacitive gain calibration—high byte, factory calibrated							
Cap Gain L	16	0x10	R/W	Capacitive gain calibration—low byte, factory calibrated							
Volt Gain H	17	0x11	R/W	Voltage gain calibration—high byte, factory calibrated							
Volt Gain L	18	0x12	R/W	Voltage gain calibration—low byte, factory calibrated							

## ステータス・レジスタ

### アドレス・ポインタ0x00、読み出し専用、デフォルト値0x07

ステータス・レジスタはコンバータの状態を表示します。2線式のシリアル・インターフェースを介してこのレジスタを読み出し、変換の終了を照会することができます。

$\overline{\text{RDY}}$ ピンはRDYビットの状態を反映しています。したがって、 $\overline{\text{RDY}}$ ピンのハイレベルからローレベルへの変化を使用して変換の終了を知ることができます。

表9. ステータス・レジスタのビットマップ

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mnemonic	—	—	—	—	—	RDY	RDYVT	RDYCAP
Default	0	0	0	0	0	1	1	1

表10

Bit	Mnemonic	Description
7 to 3	—	Not used, always read 0.
2	RDY	RDY = 0 indicates that conversion on the enabled channel(s) is complete and new unread data is available. If both capacitive and voltage/temperature channels are enabled, the RDY bit is changed to 0 after conversion on both channels is complete. The RDY bit returns to 1 either when data is read or prior to finishing the next conversion. If, for example, only the capacitive channel is enabled, then the RDY bit reflects the RDYCAP bit.
1	RDYVT	RDYVT = 0 indicates that a conversion on the voltage/temperature channel is complete and new unread data is available.
0 RDYCAP		RDYCAP = 0 indicates that a conversion on the capacitive channel is complete and new unread data is available.

## 容量データ・レジスタ

### 24ビット、アドレス・ポインタ0x01、0x02、0x03、読み出し専用、デフォルト値0x000000

このレジスタは容量チャンネル出力データを保持します。レジスタは、容量チャンネルで変換が終了すると更新されます。ただし唯一の例外として、シリアル・インターフェースで容量データ・レジスタの読み出しを行っているときにデータ・レジスタは更新されず、新しい容量変換結果は失われます。

シリアル・インターフェース上のストップ条件は、読み出し動作の終了とみなされます。したがって、データの破損を防ぐためには、シリアル・インターフェースのレジスタ・アドレス・ポインタの自動インクリメント機能を使って、データ・レジスタの3バイトを順次読み出す必要があります。

変換結果の一部が失われないよう、容量チャンネル上での次の変換の終了前に容量データ・レジスタを読み出す必要があります。

0x000000コードは負側のフルスケール ( $-8.192\text{pF}$ )、0x800000コードはゼロスケール (0pF)、0xFFFFFコードは正側のフルスケール ( $+8.192\text{pF}$ ) を表します。

## 電圧温度データ・レジスタ

### 24ビット、アドレス・ポインタ0x04、0x05、0x06、読み出し専用、デフォルト値0x000000

このレジスタは電圧/温度チャンネル出力データを保持します。レジスタは、電圧チャンネルまたは温度チャンネルで変換が終了すると更新されます。ただし唯一の例外として、シリアル・インターフェースで電圧温度データ・レジスタの読み出しを行っているときにデータ・レジスタは更新されず、新しい電圧/温度変換結果は失われます。

シリアル・インターフェース上のストップ条件は、読み出し動作の終了とみなされます。したがって、データの破損を防ぐには、シリアル・インターフェースのレジスタ・アドレス・ポインタの自動インクリメント機能を使って、データ・レジスタの3バイトを順次読み出す必要があります。

電圧入力の場合、コード0は負側のフルスケール ( $-V_{\text{REF}}$ )、0x800000コードはゼロスケール (0V)、0xFFFFFコードは正側のフルスケール ( $+V_{\text{REF}}$ ) を表します。

変換結果の一部が失われないよう、電圧/温度チャンネル上での次の変換の終了前に電圧温度データ・レジスタを読み出す必要があります。

温度センサの場合は、次の式を使ってコードから温度を計算できます。

$$\text{Temperature } (^{\circ}\text{C}) = (\text{Code}/2048) - 4096$$

# AD7747

## 容量設定レジスタ

アドレス・ポインタ0x07、デフォルト値0x00

容量チャンネル設定

表11. 容量設定レジスタのビットマップ

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mnemonic	CAPEN	—	CAPDIFF	—	—	—	—	—
Default	0	0	0	0	0	0	0	0

表12

Bit	Mnemonic	Description
7	CAPEN	CAPEN = 1 enables capacitive channel for single conversion, continuous conversion, or calibration.
6	—	This bit must be 0 for proper operation.
5	CAPDIFF	This bit must be set to 1 for proper operation.
4 to 0	—	These bits must be 0 for proper operation.

## 電圧温度設定レジスタ

アドレス・ポインタ0x08、デフォルト値0x00

電圧/温度チャンネル設定

表13. 電圧温度設定レジスタのビットマップ

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mnemonic	VTEN	VTMD1	VTMD0	EXTREF	—	—	VTSHORT	VTCHOP
Default	0	0	0	0	0	0	0	0

表14

Bit	Mnemonic	Description
7	VTEN	VTEN = 1 enables voltage/temperature channel for single conversion, continuous conversion, or calibration.
6	VTMD1	Voltage/temperature channel input configuration.
5	VTMD0	VTMD1   VTMD0   Channel Input
		0   0   Internal temperature sensor
		0   1   External temperature sensor diode
		1   0   V <sub>DD</sub> monitor
1   1   External voltage input (VIN)		
4	EXTREF	EXTREF = 1 selects an external reference voltage connected to REFIN(+), REFIN(−) for the voltage input or the V <sub>DD</sub> monitor. EXTREF = 0 selects the on-chip internal reference. The internal reference must be used with the internal temperature sensor for proper operation.
3 to 2	—	These bits must be 0 for proper operation.
1	VTSHORT	VTSHORT = 1 internally shorts the voltage/temperature channel input for test purposes.
0	VTCHOP = 1	VTCHOP = 1 sets internal chopping on the voltage/temperature channel. The VTCHOP bit must be set to 1 for the specified voltage/temperature channel performance.



## 励起設定レジスタ

アドレス・ポインタ0x09、デフォルト値0x03

容量チャンネル励起設定

表15. 励起設定レジスタのビットマップ

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mnemonic	—	—	—	—	EXCDAC	EXCEN	EXCLVL1	EXCLVL0
Default	0	0	0	0	0	0	1	1

表16

Bit	Mnemonic	Description																									
7 to 4	—	These bits must be 0 for proper operation.																									
3	EXCDAC	CAPDAC excitation. This bit must be set to 1 for the proper capacitive channel operation.																									
2	EXCEN	CIN and AC SHLD excitation. This bit must be set to 1 for the proper capacitive channel operation.																									
	EXCLVL1, EXCLVL0	Excitation Voltage Level. Must be set to $\pm V_{DD} \times 3/8$ to allow operation for specified performance.																									
		<table border="1"> <thead> <tr> <th>EXCLVL1</th> <th>EXCLVL0</th> <th>Voltage on Cap</th> <th>EXC Low Level</th> <th>EXC High Level</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td><math>\pm V_{DD}/8</math></td> <td><math>V_{DD} \times 3/8</math></td> <td><math>V_{DD} \times 5/8</math></td> </tr> <tr> <td>0</td> <td>1</td> <td><math>\pm V_{DD}/4</math></td> <td><math>V_{DD} \times 1/4</math></td> <td><math>V_{DD} \times 3/4</math></td> </tr> <tr> <td>1</td> <td>0</td> <td><math>\pm V_{DD} \times 3/8</math></td> <td><math>V_{DD} \times 1/8</math></td> <td><math>V_{DD} \times 7/8</math></td> </tr> <tr> <td>1</td> <td>1</td> <td><math>\pm V_{DD}/2</math></td> <td>0</td> <td><math>V_{DD}</math></td> </tr> </tbody> </table>	EXCLVL1	EXCLVL0	Voltage on Cap	EXC Low Level	EXC High Level	0	0	$\pm V_{DD}/8$	$V_{DD} \times 3/8$	$V_{DD} \times 5/8$	0	1	$\pm V_{DD}/4$	$V_{DD} \times 1/4$	$V_{DD} \times 3/4$	1	0	$\pm V_{DD} \times 3/8$	$V_{DD} \times 1/8$	$V_{DD} \times 7/8$	1	1	$\pm V_{DD}/2$	0	$V_{DD}$
EXCLVL1	EXCLVL0	Voltage on Cap	EXC Low Level	EXC High Level																							
0	0	$\pm V_{DD}/8$	$V_{DD} \times 3/8$	$V_{DD} \times 5/8$																							
0	1	$\pm V_{DD}/4$	$V_{DD} \times 1/4$	$V_{DD} \times 3/4$																							
1	0	$\pm V_{DD} \times 3/8$	$V_{DD} \times 1/8$	$V_{DD} \times 7/8$																							
1	1	$\pm V_{DD}/2$	0	$V_{DD}$																							

# AD7747

## 構成レジスタ

アドレス・ポインタ0x0A、デフォルト値0xA0

コンバータの更新レートと動作設定のモード

表17. 構成レジスタのビットマップ

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mnemonic	VTFS1	VTFS0	CAPFS2	CAPFS1	CAPFS0	MD2	MD1	MD0
Default	0	0	0	0	0	0	1	1

表18

Bit	Mnemonic	Description																																																						
7 6	VTFS1 VTFS0	Voltage/temperature channel digital filter setup—conversion time/update rate setup.																																																						
		VTCHOP = 1																																																						
		<table border="1"> <thead> <tr> <th>VTFS1</th> <th>VTFS0</th> <th>Conversion Time (ms)</th> <th>Update Rate (Hz)</th> <th>−3 dB Frequency (Hz)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>20.1</td> <td>49.8</td> <td>26.4</td> </tr> <tr> <td>0</td> <td>1</td> <td>32.1</td> <td>31.2</td> <td>15.9</td> </tr> <tr> <td>1</td> <td>0</td> <td>62.1</td> <td>16.1</td> <td>8.0</td> </tr> <tr> <td>1</td> <td>1</td> <td>122.1</td> <td>8.2</td> <td>4.0</td> </tr> </tbody> </table>	VTFS1	VTFS0	Conversion Time (ms)	Update Rate (Hz)	−3 dB Frequency (Hz)	0	0	20.1	49.8	26.4	0	1	32.1	31.2	15.9	1	0	62.1	16.1	8.0	1	1	122.1	8.2	4.0																													
VTFS1	VTFS0	Conversion Time (ms)	Update Rate (Hz)	−3 dB Frequency (Hz)																																																				
0	0	20.1	49.8	26.4																																																				
0	1	32.1	31.2	15.9																																																				
1	0	62.1	16.1	8.0																																																				
1	1	122.1	8.2	4.0																																																				
5 4 3	CAPFS2 CAPFS1 CAPFS0	Capacitive channel digital filter setup—conversion time/update rate setup.																																																						
		<table border="1"> <thead> <tr> <th>CAPFS2</th> <th>CAPFS1</th> <th>CAPFS0</th> <th>Conversion Time (ms)</th> <th>Update Rate</th> <th>−3 dB Frequency (Hz)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>22.0</td> <td>45.5</td> <td>43.6</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>23.9</td> <td>41.9</td> <td>39.5</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>40.0</td> <td>25.0</td> <td>21.8</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>76.0</td> <td>13.2</td> <td>10.9</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>124.0</td> <td>8.1</td> <td>6.9</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>154.0</td> <td>6.5</td> <td>5.3</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>184.0</td> <td>5.5</td> <td>4.4</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>219.3</td> <td>4.6</td> <td>4.0</td> </tr> </tbody> </table>	CAPFS2	CAPFS1	CAPFS0	Conversion Time (ms)	Update Rate	−3 dB Frequency (Hz)	0	0	0	22.0	45.5	43.6	0	0	1	23.9	41.9	39.5	0	1	0	40.0	25.0	21.8	0	1	1	76.0	13.2	10.9	1	0	0	124.0	8.1	6.9	1	0	1	154.0	6.5	5.3	1	1	0	184.0	5.5	4.4	1	1	1	219.3	4.6	4.0
CAPFS2	CAPFS1	CAPFS0	Conversion Time (ms)	Update Rate	−3 dB Frequency (Hz)																																																			
0	0	0	22.0	45.5	43.6																																																			
0	0	1	23.9	41.9	39.5																																																			
0	1	0	40.0	25.0	21.8																																																			
0	1	1	76.0	13.2	10.9																																																			
1	0	0	124.0	8.1	6.9																																																			
1	0	1	154.0	6.5	5.3																																																			
1	1	0	184.0	5.5	4.4																																																			
1	1	1	219.3	4.6	4.0																																																			
2 1 0	MD2 MD1 MD0	Converter mode of operation setup.																																																						
		<table border="1"> <thead> <tr> <th>MD2</th> <th>MD1</th> <th>MD0</th> <th>Mode</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Idle</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Continuous conversion</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Single conversion</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Power-down</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>—</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Capacitance system offset calibration</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>Capacitance or voltage system gain calibration</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>—</td> </tr> </tbody> </table>	MD2	MD1	MD0	Mode	0	0	0	Idle	0	0	1	Continuous conversion	0	1	0	Single conversion	0	1	1	Power-down	1	0	0	—	1	0	1	Capacitance system offset calibration	1	1	0	Capacitance or voltage system gain calibration	1	1	1	—																		
MD2	MD1	MD0	Mode																																																					
0	0	0	Idle																																																					
0	0	1	Continuous conversion																																																					
0	1	0	Single conversion																																																					
0	1	1	Power-down																																																					
1	0	0	—																																																					
1	0	1	Capacitance system offset calibration																																																					
1	1	0	Capacitance or voltage system gain calibration																																																					
1	1	1	—																																																					

## 容量DAC Aレジスタ

アドレス・ポインタ0x0B、デフォルト値0x00

容量DAC設定

表19. CAP DAC Aレジスタのビットマップ

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mnemonic	DACAENA	—	DACA—6-Bit Value					
Default	0	0	0x00					

表20

Bit	Mnemonic	Description
7	DACAENA	DACAENA = 1 connects capacitive DACA to the positive capacitance input.
6	—	This bit must be 0 for proper operation.
5 to 1	DACA	DACA value, Code 0x00 ≈ 0 pF, Code 0x3F ≈ full range.

## 容量DAC Bレジスタ

アドレス・ポインタ0x0C、デフォルト値0x00

容量DAC設定

表21. CAP DAC Bレジスタのビットマップ

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mnemonic	DACBENB	—	DACB—6-Bit Value					
Default	0	0	0x00					

表22

Bit	Mnemonic	Description
7	DACBENB	DACBENB = 1 connects capacitive DACB to the negative capacitance input.
6	—	This bit must be 0 for proper operation.
5 to 1	DACB	DACB value, Code 0x00 ≈ 0 pF, Code 0x3F ≈ full range.

**容量オフセット・キャリブレーション・レジスタ****16ビット、アドレス・ポインタ0x0D、0x0E、デフォルト値0x8000**

容量オフセット・キャリブレーション・レジスタは、容量チャンネル・ゼロスケール・キャリブレーション係数を保持します。この係数は、容量チャンネル・オフセットをデジタル的に除去するために使用します。レジスタの値は、容量オフセット・キャリブレーション後に自動的に更新されます。このキャリブレーションの分解能（容量オフセット・レジスタのLSB）は32aF未満となります。フルレンジは±1pFです。

**容量ゲイン・キャリブレーション・レジスタ****16ビット、アドレス・ポインタ0x0F、0x10、デフォルト値0xFFFF**

容量ゲイン・キャリブレーション・レジスタは、容量チャンネル・フルスケール係数（工場出荷時に校正）を保持します。

**電圧ゲイン・キャリブレーション・レジスタ****16ビット、アドレス・ポインタ0x11、0x12、デフォルト値0xFFFF**

電圧ゲイン・キャリブレーション・レジスタは、電圧チャンネル・フルスケール係数（工場出荷時に校正）を保持します。

## 回路の説明

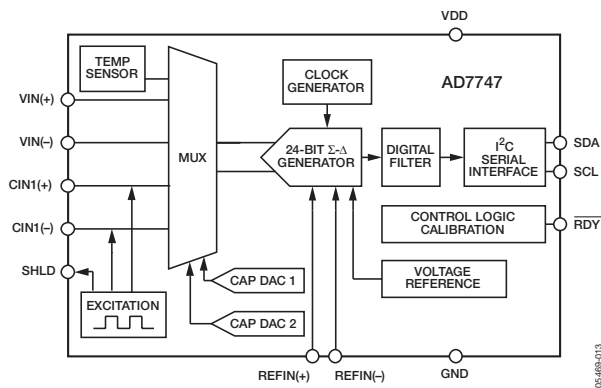


図24. AD7747のブロック図

### 概要

AD7747のコアは、2次 ( $\Sigma\Delta$ または電荷平衡) モジュレータと3次デジタル・フィルタで構成される高精度コンバータです。このコンバータは、容量入力に対してはCDCとして動作し、電圧入力または温度センサからの電圧に対しては従来型のADCとして動作します。

AD7747は、コンバータ以外に、マルチプレクサ、励起ソース、容量入力用のCAPDAC、温度センサ、電圧/温度入力用のリファレンス電圧、完全なクロック・ジェネレータ、コントロール/キャリブレーション・ロジック、I<sup>2</sup>C互換シリアル・インターフェースを内蔵しています。

### 容量/デジタル・コンバータ (CDC)

図25にCDC機能の簡略図を示します。測定対象の容量 $C_X$ は、グラウンドと $\Sigma\Delta$ モジュレータ入力間に接続しています。方形波の励起信号は変換中に $C_X$ に送信され、モジュレータが $C_X$ を通過する電荷を連続的にサンプリングします。モジュレータの出力は、デジタル・フィルタで処理されます。この出力は、0、1を使って情報を表すビット・ストリームです。デジタル・フィルタからのデータはスケールされており (キャリブレーション係数を適用)、最終的な結果はシリアル・インターフェースを介して読み出すことができます。

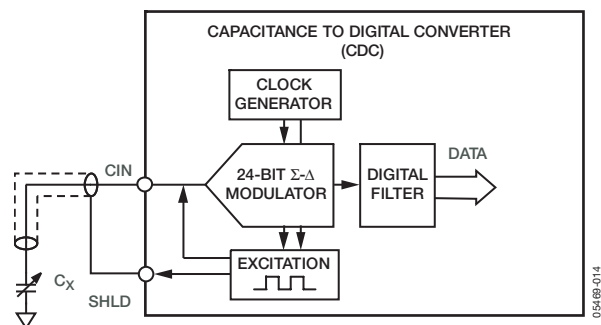


図25. CDCの簡略ブロック図

### アクティブACシールドの概念

AD7747は、CINピンとグラウンド間の容量を測定します。AD7747のCINピンとセンサ間の信号経路での対グラウンド容量はすべて、AD7747の変換結果に含まれます。

センサに接続された寄生容量は、センサ自体の容量を上回らないとしても、簡単に同程度の大きさになり得ます。その寄生容量が安定していれば、それを不変の容量オフセットとして扱うことができます。しかし、センサ接続の寄生容量は、機械的な移動、周囲温度の変化、周囲湿度の変動などによって不安定になりがちです。これらの変化は変換結果におけるドリフトとみなされ、これによってシステム精度が大幅に低下する場合があります。

グラウンドに対するCIN寄生容量を取り除くためには、AD7747のSHLD信号を使ってセンサとCIN間の接続をシールドする必要があります (図25を参照)。SHLD出力信号の波形は、基本的にCINピンの励起信号の波形と同じです。SHLDは、CINピンと同じ電位になります。したがって、CINピンとSHLDピン間にはAC電流は存在せず、これらのピン間の容量がCINの電荷移送に影響を与えることはありません。SHLDに接続したCINの容量はAD7747の結果に一切寄与しないというのが理想的です。

最適な結果を得るために、AD7747は容量センサのできるだけ近くに配置します。AD7747のCINピンとセンサ間の接続、およびAD7747のGNDピンとセンサ・グラウンド間のリターン・パスは短くします。CINピンに接続するPCBパターンはシールドして、AD7747のSHLDピンに接続してください。シールドしたケーブルをセンサ接続に使用する場合は、シールドをAD7747のSHLDピンに接続する必要があります。

### CAPDAC

AD7747のフルスケール入力範囲は $\pm 8.192\text{pF}$ ですが、計算を簡単にするために、次の説明と図では $\pm 8\text{pF}$ を使用しています。本デバイスは比較的高い容量を入力でき、内蔵のプログラマブルCAPDACによってコモンモードまたはオフセット (変化しない成分) 容量のバランスをとることができます。

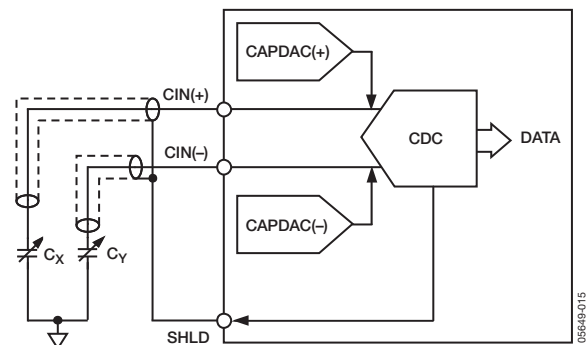


図26. CAPDACの使用

# AD7747

CAPDACは、CINピンに内部的に接続された負の容量とみなすことができます。2個の独立したCAPDACがあり、1つはCIN (+) に接続し、もう1つはCIN (-) に接続しています。容量入力データと容量出力データの関係は、次式で表すことができます。

$$DATA \div (C_x - CAPDAC(+)) - (C_y - CAPDAC(-))$$

CAPDACは6ビットの分解能、単調な伝達関数を提供します。これらは互いによくマッチングしており、温度係数が規定されています。CAPDACのフルレンジ（絶対値）は工場出荷時に校正されていないため、製造工程に応じて最大±20%のばらつきがあります。仕様と図16の代表的な性能特性を参照してください。

## シングルエンドの容量構成

AD7747は、シングルエンド容量センサとのインターフェースに使用できます。この構成のときは、センサをAD7747 CINピンの1つ、たとえばCIN (+) ピンに接続して、他のピンはオープンのままにします。容量設定レジスタのCAPDIFFビットは、適正な動作を行うために常に1に設定しておきます。

ノイズ、オフセット、オフセット・ドリフトについて最適な性能が得られるように、未使用のCIN入力はアクティブ・シールドで保護することを推奨します。

CDC (CAPDAC不使用) は、0~8pFの範囲で正（または負）の入力容量を測定します（図27を参照）。

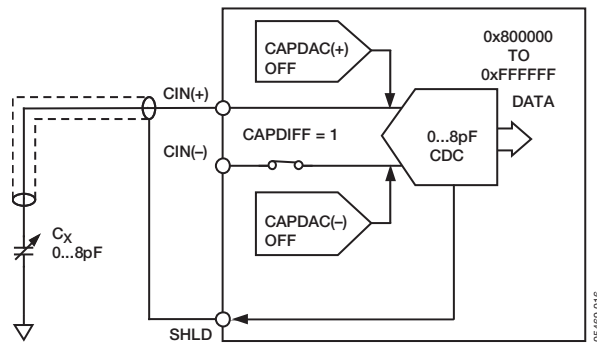


図27. CDCシングルエンド入力構成

CAPDACによって、入力範囲の設定変更を行うことができます。図28の例は、CDCのフルスケール±8pFを使って0~16pF間の容量を測定する方法を示しています。

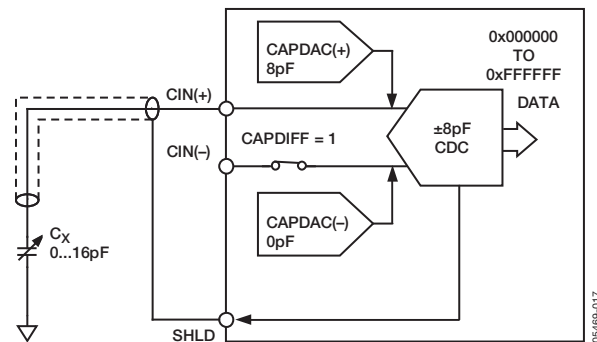


図28. シングルエンド構成でのCAPDACの使用

図29に、入力範囲をさらに変更する方法を示します。CIN (+) に接続された容量の最大絶対値は25pFです。

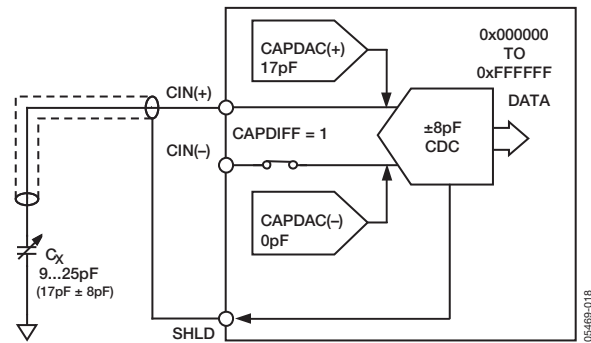


図29. シングルエンド構成でのCAPDACの使用

## 差動容量構成

AD7747を差動容量センサのインターフェースとして使用するとき、CxピンとCyピンをそれぞれ8pF未満とするか（CAPDAC不使用）、あるいは25pF未満とし、CAPDACで平衡化を行う必要があります。CAPDACによる平衡化とは、Cx-CAPDAC (+) とCy-CAPDAC (-) の両方が8pF未満になることを指します。

CINピンに接続された不平衡な容量が8pFより大きいと、CDCではゲイン誤差、オフセット誤差、非直線性誤差が発生します。

図30~32に回路の具体例を示しています。

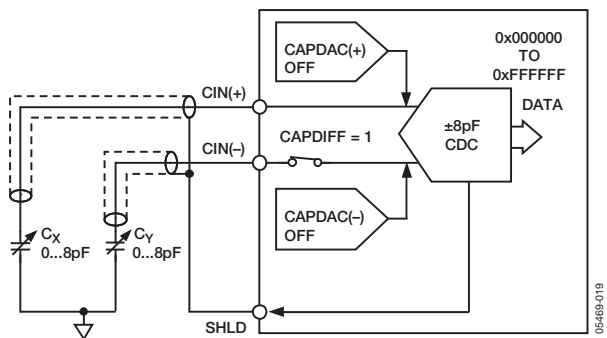


図30. CDC差動入力構成

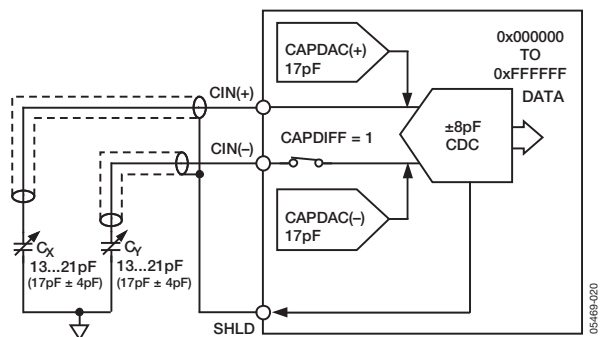


図31. 差動構成でのCAPDACの使用

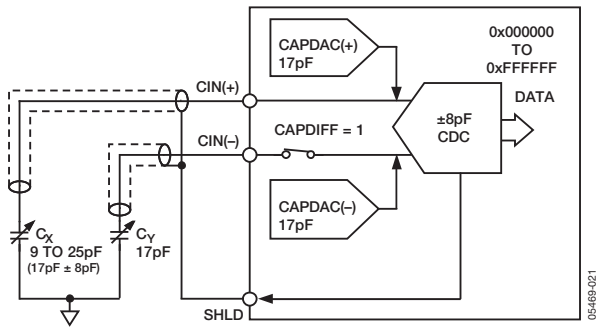


図32. 差動構成でのCAPDACの使用

### 寄生容量

AD7747で使用するCDCアーキテクチャでは、CINピンとグラウンド間の容量 $C_X$ を測定します。ほとんどのアプリケーションでは、CDC処理中にアクティブ・シールドを使って外部からの影響を遮断します。しかし、図33に示すような寄生容量 $C_p$ がCDC処理の結果に影響を及ぼす可能性があります。

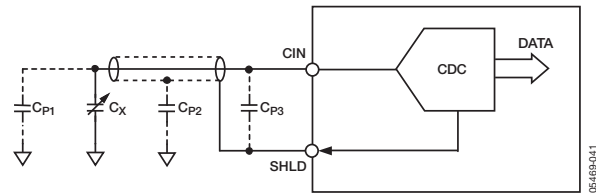


図33. 寄生容量

CINとグラウンドの間に接続された寄生容量 $C_{p1}$ は、容量 $C_X$ の値に加算されるため、CDCの結果としてデータ $\approx C_X + C_{p1}$ となります。オフセット・キャリブレーションは、小さな寄生容量( $C_{p1} \leq 1\text{pF}$ )を補正できます。大きな寄生容量の場合は、CAPDACで補正を行い、オフセット・キャリブレーションによって $\pm 8\text{pF}$ のフルレンジをシステムで使用できるようにします。

アクティブ・シールドとグラウンド間の $C_{p2}$ やCINピンとSHLD間の $C_{p3}$ は、変換の結果に影響を与えます。しかし、「代表的な性能特性」の図に示したように、 $250\text{pF}$ 未満の $C_{p2}/C_{p3}$ の寄生容量はCDCの結果にほとんど影響しません。図7、図8に $C_{p2}$ によって発生するゲイン誤差を、図9に $C_{p3}$ によって発生するゲイン誤差を、それぞれ示します。

### 寄生抵抗

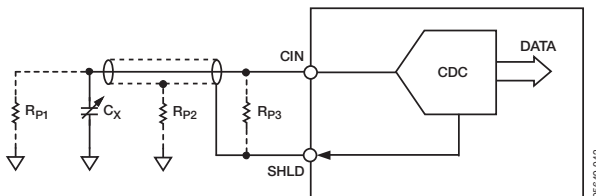


図34. CINの寄生抵抗

図34に示すような寄生抵抗はリーク電流を発生させ、CDCの結果に影響を及ぼします。AD7747のCDCは、CINピンとグラウンド間の電荷移送を測定します。寄生抵抗 $R_{p1}$ など、測定対象の容量 $C_X$ に並列接続された抵抗はすべて電荷を移送します。したがって、並列抵抗は出力データにおける追加容量とみなされます。 $R_{p1} \geq 10\text{M}\Omega$ の範囲の抵抗があると、CDCの結果にオフセット誤差が生じます。小さなリーク電流の影響は、オフセット・キャリブレーションを使って補正できます。また、グラウンドに漏れるリーク電流が大きいと( $R_{p1} \leq 10\text{M}\Omega$ )、ゲイン誤差、オフセット誤差、非直線性誤差が発生します。「代表的な性能特性」の図10を参照してください。

図34に示すように、SHLDとグラウンド間の寄生抵抗 $R_{p2}$ やCINピンとアクティブ・シールド間の $R_{p3}$ によってリーク電流が発生し、CDCの結果に影響を与えます。これはデータにおけるオフセットとなります。 $200\text{k}\Omega$ 以上の抵抗 $R_{p2}$ および $R_{p3}$ によって発生した小さなリーク電流の影響は、オフセット・キャリブレーションで補正できます。「代表的な性能特性」の図11、図12、図13を参照してください。

### 寄生直列抵抗

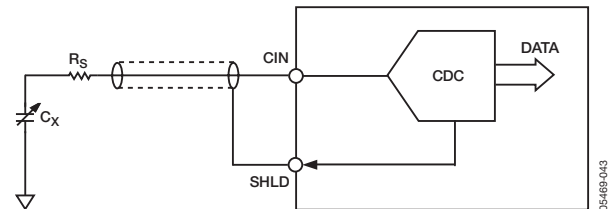


図35. 寄生直列抵抗

AD7747のCDCの結果は、測定対象の容量に直列接続された抵抗の影響を受けます。直列抵抗が $10\text{k}\Omega$ 未満の場合は、規定の性能となります。「代表的な性能特性」の図14を参照してください。

### 容量ゲイン・キャリブレーション

AD7747のゲインは、各デバイスを個別に生産する段階で $\pm 8.192\text{pF}$ のフルスケールに校正されています。工場出荷時のゲイン係数は、ワンタイム・プログラマブル (OTP) メモリに保存されており、パワーアップ時またはリセット後に容量ゲイン・レジスタにコピーされます。

ゲインは、容量ゲイン・キャリブレーション・モードを実行して変更できます。そのためには、外部のフルスケール容量を容量入力に接続する必要があります。また、容量ゲイン・レジスタにユーザ値を書き込んでゲインを変更することもできます。この変更は一時的なもので、パワーアップ後またはリセット後に出荷時のゲイン係数が再ロードされます。本デバイスは、デフォルト (出荷時) のキャリブレーション係数での使用についてのみテストされ、仕様規定されています。

# AD7747

## 容量システム・オフセット・キャリブレーション

AD7747では、センサの初期容量、ボード上のパターン上の寄生容量、センサとCDC間に接続されている容量など、アプリケーション内の寄生オフセットのほうが容量オフセットよりも大きいため、出荷時に容量オフセットに対して校正を行っていません。アプリケーションでは、システム容量オフセットについて校正する必要があります。

±1pFより大きな容量入力のオフセットは、まず、内蔵のCAPDACを使って取り除く必要があります。±1pF以内の小さなオフセットは、容量オフセット・キャリブレーション・レジスタを使って除去できます。

オフセットの調整に関しては、ゼロスケール容量を入力に接続して、容量オフセット・キャリブレーション・モードを実行するという方法があります。キャリブレーションでは、±8.192pFの範囲の中間点（出力コード0x800000）をそのゼロスケール入力に設定します。

他に、オフセット・キャリブレーション・レジスタ値を計算して書き込む方法もあります。LSBは31.25aF (8.192pF/2<sup>17</sup>)です。

オフセット・キャリブレーション・レジスタには、パワーオン時またはリセット後にデフォルト値が再ロードされます。したがって、システムをパワーアップするたびにオフセット・キャリブレーションを繰り返さなくても、キャリブレーション係数がホスト・コントローラによって格納され、AD7747のセットアップで再ロードされます。

## 内部温度センサ

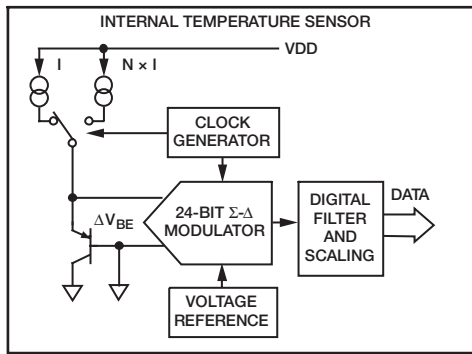


図36. 内部温度センサ

AD7747による温度検出では、2種類の電流で動作するトランジスタの $\Delta V_{BE}$ 電圧で差を測定します（図36を参照）。 $\Delta V_{BE}$ は温度に応じて直線的に変化しますが、この変化は次式で表すことができます。

$$\Delta V_{BE} = (n_f) \frac{KT}{q} \times \ln(N)$$

ここで、

$K$ はボルツマン定数 ( $1.38 \times 10^{-23}$ )

$T$ はケルビン単位の絶対温度

$q$ は電子の電荷 ( $1.6 \times 10^{-19}$ クーロン)

$N$ は2つの電流の比

$n_f$ はサーマル・ダイオードの理論係数

AD7747は、内蔵のトランジスタを使ってパッケージ内のシリコン・チップの温度を測定します。 $\Sigma\Delta$  A/Dコンバータは $\Delta V_{BE}$ をデジタルに変換し、データは出荷時のキャリブレーション係数でスケールされます。出力コードは温度に比例します。

$$\text{Temperature} (^{\circ}\text{C}) = \frac{\text{Code}}{2048} - 4096$$

AD7747は低消費電力のデバイスのため、自己発熱による影響はごくわずかです ( $V_{DD} = 5V$ で0.5°C未満)。

容量センサがAD7747チップと同じ温度のとき、内部温度センサをシステム温度センサとして使用できます。この場合は、外部部品を一切追加することなく、AD7747の内部温度センサによってシステムの温度ドリフト補正を行うことができます。「代表的な性能特性」の図17を参照してください。

## 外部温度センサ

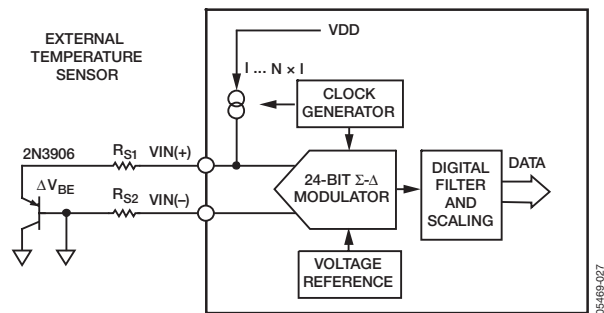


図37. 外部温度センサとして機能するトランジスタ

AD7747では、システムの温度センサに外部トランジスタを使用することもできます。内部温度センサのときと同様に、 $\Delta V_{BE}$ 法を使用しますが、センサに接続される直列抵抗を補正するように修正されます。最大100Ωの全直列抵抗 $R_{S1} + R_{S2}$ （図37）を補正します。外部温度センサが正しく動作するように、VIN(-)ピンはグラウンドに接続する必要があります。

AD7747は、トランジスタ2N3906に対し理論係数 $n_f = 1.008$ で出荷時に校正されています。

「代表的な性能特性」の図18を参照してください。



## 電圧入力

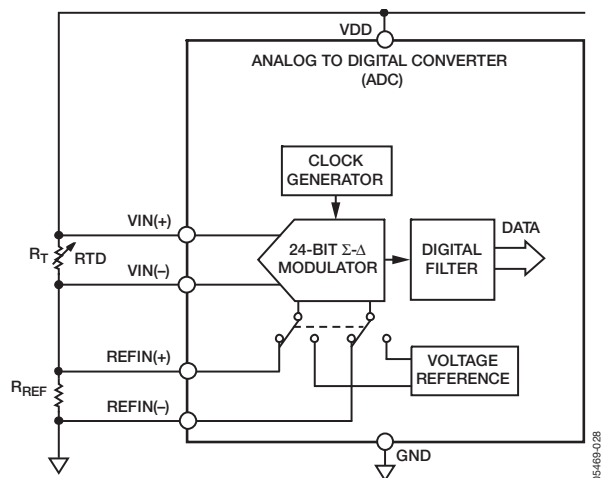


図38. 電圧入力に接続された抵抗温度センサ

AD7747のΣΔコアは、完全差動電圧入力を持つ従来型の高分解能（最大21ENOB）ADCとして使用できます。ADCは、オンチップの高精度、低ドリフト、1.17Vのリファレンス電圧か、または外部リファレンス電圧（完全差動リファレンス電圧入力ピンに接続）で使用できます。

電圧入力とリファレンス電圧入力は、変換処理中にΣΔモジュレータによって連続的にサンプリングされます。したがって、入力源は低インピーダンスに保つ必要があります。図38のアプリケーション例を参照してください。

**V<sub>DD</sub> モニタ**

AD7747のΣΔ A/Dコンバータは、外部電圧を変換するのだけでなく、V<sub>DD</sub>電圧をモニタすることもできます。V<sub>DD</sub>ピンからの電圧は、内部的に6dB減衰します。

# AD7747

## 代表的なアプリケーション図

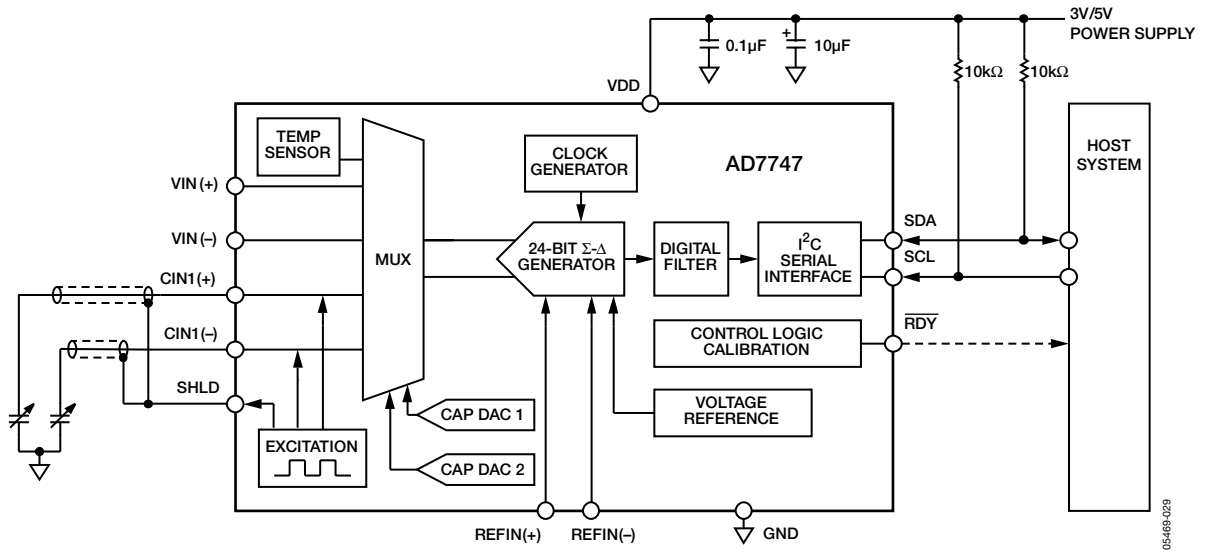


図39. 差動容量センサの基本的なアプリケーション図

05469-029

## 外形寸法

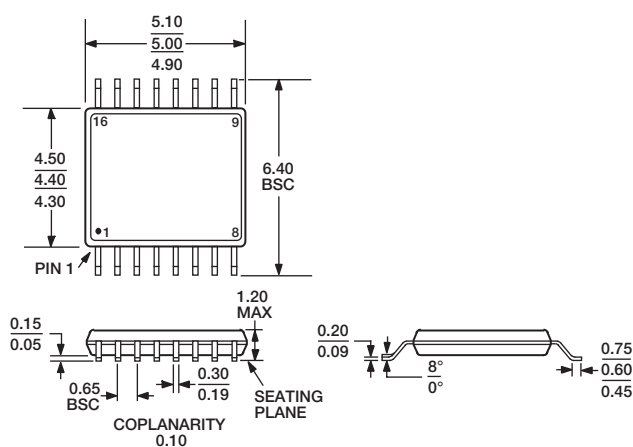


図40. 16ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]  
(RU-16)  
寸法単位：mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7747ARUZ <sup>1</sup>	-40°C to +125°C	16-Lead TSSOP	RU-16
AD7747ARUZ-REEL <sup>1</sup>	-40°C to +125°C	16-Lead TSSOP	RU-16
AD7747ARUZ-REEL7 <sup>1</sup>	-40°C to +125°C	16-Lead TSSOP	RU-16
EVAL-AD7747EBZ <sup>1</sup>		Evaluation Board	

<sup>1</sup> Z=鉛フリー製品