プログラマブル・ポストプロセッサ付き 16ビット∑Δ ADC

AD7725

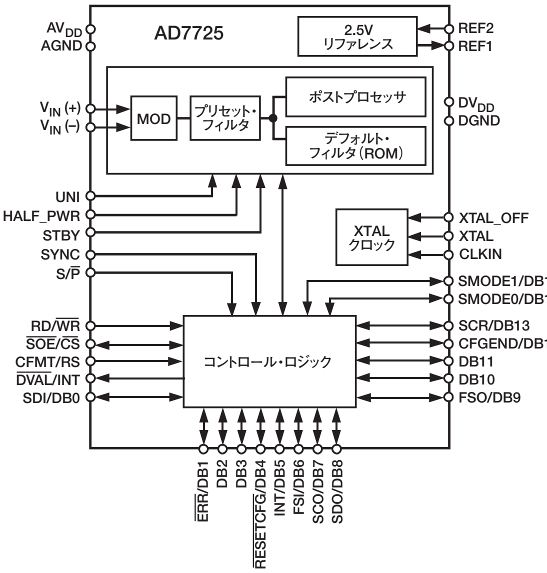
特長

プログラマブル・フィルタリング：
　最大タップ数108個のFIR/IIRまであらゆるタイプに対応
8次までの多項式シグナル・コンディショニング
プログラマブルなデシメーションと出力ワード・レート
柔軟なプログラミング・モード：
　DSPまたは外部EPROMからのブート
　パラレル／シリアル・インターフェース
評価用の内部デフォルト・フィルタ
最大14.4MHzのマスター・クロック周波数
0〜＋4V（シングルエンド）または±2V（差動）の入力範囲
電源：AV_{DD}、DV_{DD}：5V±5%
内部2.5Vリファレンス
44ピンMQFPパッケージ

代表的なアプリケーション

レーダー
ソナー
自動車の補助機能
医療通信

機能ブロック図



概要

AD7725は、ユーザー・プログラマブルなシグナル・コンディショニングを内蔵した完全な16ビット∑Δ A/Dコンバータです。カスケード接続した3つの有限インパルス応答（FIR）フィルタと、それに続く完全にユーザー・プログラマブルなポストプロセッサで、モジュレータの出力を処理します。ポストプロセッサには、最高1億3000万／秒の積和演算（MAC）処理パワーがあります。フィルタ応答、フィルタ係数、デシメーション比は、ユーザーが完全に制御できます。

このポストプロセッサでは、パラレル・インターフェースまたはシリアル・インターフェースでシグナル・コンディショニング特性のプログラムが可能です。プログラムを行うためには、ユーザー定義フィルタを設定ファイルの形でロードします。このフィルタは、DSPまたは外部シリアルEPROMからロードでき、フィルタ・ウィザードというデジタル・フィルタ・デザイン・パッケージを使って作成します。フィルタ・ウィザードは、アナログ・デバイセズのWebサイト上のAD7725のページから入手できます。ユーザーは、フィルタ・ウィザードを使ってさまざまなフィルタ・タイプを設計し、適切な設定ファイルを作成して、ポストプロセッサにダウンロードできます。AD7725は、評価用の内部デフォルト・フィルタも備えています。

AD7725は、最大900kHzの出力ワード・レート、350kHzまでの入力帯域幅で、16ビット性能を実現します。入力サンプル・レートは、水晶発振器または外部クロックで設定します。

AD7725は、モジュレータ用に正確な2.5Vリファレンスを内蔵しています。リファレンス入／出力機能により、モジュレータのリファレンス・ソースに内部リファレンスを使用したり、外部システム・リファレンスを使用することができます。

デバイスは、44ピンのMQFPパッケージを採用、−40℃〜＋85℃の温度範囲で動作するよう設計されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を暗示的または明示的に許諾するものでもありません。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

REV. 0

アナログ・デバイセズ株式会社

本　　社／〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03（5402）8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06（6350）6868（代）

AD7725 — 仕様[1]（特に指定のない限り、AV_{DD}=5V±5%、AGND=AGND1=AGND2=DGND=0V、F_{CLKIN}[2]=9.6MHz、REF2=2.5V、$T_A=T_{MIN}$〜T_{MAX}）

パラメータ	テスト条件／コメント	Bバージョン 最小	標準	最大	単位
ダイナミック仕様	図1のFIRフィルタでテストした場合。HALF_PWR=ロジック・ハイ				
バイポーラ・モード					
信号対ノイズ[3]	測定帯域幅=0.5×F_O[4]				
	2.5Vリファレンス	77	83		dB
	3Vリファレンス	79	85		dB
全高調波歪み[3、5]			−94	−86	dB
スプリアス・フリー・ダイナミック・レンジ[3、5]			−98	−89	dB
ユニポーラ・モード					
信号対ノイズ[3]	測定帯域幅=0.5×F_O[4]		83		dB
全高調波歪み[3、5]			−94		dB
アナログ入力					
フルスケール入力スパン	$V_{IN}(+)$〜$V_{IN}(-)$				
バイポーラ・モード	差動またはシングルエンド入力			±4/5×V_{REF2}	V
ユニポーラ・モード	シングルエンド入力	0		8/5×V_{REF2}	V
絶対入力電圧	$V_{IN}(+)$および／または$V_{IN}(-)$	AGND		AV_{DD}	V
入力サンプリング容量			2		pF
入力サンプリング・レート、F_{CLKIN}				14.4[6]	MHz
クロック					
CLKINデューティ・レシオ		45		55	%
リファレンス					
REF1出力抵抗			3.5		kΩ
リファレンス・バッファ・オフセット電圧	REF1とREF2の間のオフセット		±3		mV
内部リファレンスを使用する場合					
REF2出力電圧		2.39	2.54	2.69	V
REF2出力電圧ドリフト			60		ppm/℃
外部リファレンスを使用する場合					
REF2入力インピーダンス	REF1=AGND		8		kΩ
REF2外部電圧入力[7]			2.5		V
スタティック性能					
分解能		16			ビット
微分非直線性（DNL）[3]	単調性を保証		±0.5	±1[8]	LSB
積分非直線性（INL）[3]			±2		LSB
DC CMRR			80		dB
オフセット誤差			±20		mV
ゲイン誤差[3、9]			±0.5		%FSR
ロジック入力（CLKINを除く）					
V_{INH}、ハイレベル入力電圧		2.0			V
V_{INL}、ローレベル入力電圧				0.8	V
クロック入力（CLKIN）					
V_{INH}、ハイレベル入力電圧		0.7×DV_{DD}			V
V_{INL}、ローレベル入力電圧				0.3×DV_{DD}	V

パラメータ	テスト条件／コメント	Bバージョン 最小	標準	最大	単位
すべてのロジック入力					
I_{IN}、入力電流	V_{IN}＝0V～DV_{DD}			±10	μA
C_{IN}、入力容量			10		pF
ロジック出力					
V_{OH}、ハイレベル出力電圧	｜I_{OUT}｜＝200μA	4.0			V
V_{OL}、ローレベル出力電圧	｜I_{OUT}｜＝1.6mA			0.4	V
電源[10]					
AV_{DD}		4.75		5.25	V
AI_{DD}[11]	HALF_PWR＝ロジック・ハイ[12]		28	33	mA
DV_{DD}		4.75		5.25	V
DI_{DD}[13]	図1のフィルタ使用		84	90	mA
消費電力[14]	スタンバイ・モード		30		mW

注
1 動作温度範囲：Bバージョン：－40℃～＋85℃
2 F_{CLKIN}はCLKIN周波数です。
3 用語集のセクションを参照。
4 F_O＝出力データ・レート
5 内部リファレンスを使用する場合、THDとSFDRの仕様は、REF2とAGND2の間に10μFデカップリング・コンデンサがある場合の10kHzを超える入力信号にだけ適用されます。10kHz未満の周波数では、THDは－80dBに、SFDRは－83dBに低下します。
6 許容できるフィルタ・タップの数、およびCLKIN周波数と消費電流の関係については、図23と図24を参照してください。
7 AD7725は、1.2V～3.15Vの範囲の外部リファレンス入力で動作します。
8 設計により保証。
9 ゲイン誤差には、リファレンス誤差は含みません。
10 すべてのI_{DD}テストは、0VまたはDV_{DD}と等しいデジタル入力で行われています。
11 ポストプロセッサで使用するCLKIN周波数とフィルタ・タップの数が変化しても、アナログ電流は変化しません。
12 HALF_PWRがロジック・ローの場合、一般にAI_{DD}が倍増します。
13 ポストプロセッサで使用するCLKIN周波数とフィルタ・タップの数が変化すると、デジタル電流も変化します。図23と図24を参照。
14 デジタル入力はスタティックで、0またはDV_{DD}に等しくなります。

仕様は予告なく変更されることがあります。

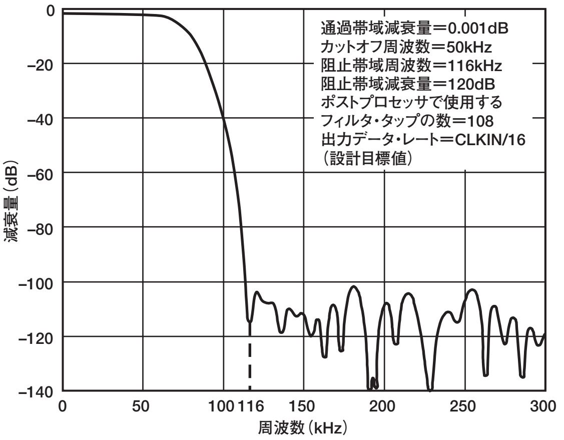


図1.　仕様で使用したデジタル・フィルタ特性

プリセット・フィルタ、デフォルト・フィルタ、ポストプロセッサの特性[1、2]

パラメータ	テスト条件／コメント	最小	標準	最大	単位
デジタル・フィルタ応答					
プリセットFIR					
データ出力レート				$F_{CLKIN}/8$	Hz
阻止帯域減衰量		70			dB
ローパス・コーナー周波数			$F_{CLKIN}/16$		Hz
群遅延[3]			$133/(2 \times F_{CLKIN})$		s
セトリング時間[3]			$133/F_{CLKIN}$		s
デフォルト・フィルタ	ROMに格納された内部FIRフィルタ				
タップの数				106	
周波数応答					
$0kHz \sim F_{CLKIN}/546.08$				±0.001	dB
$F_{CLKIN}/195.04$		−3			dB
$F_{CLKIN}/184.08$		−6			dB
$F_{CLKIN}/133.2 \sim F_{CLKIN}/2$				−120	dB
群遅延[3]			$2141/(2 \times F_{CLKIN})$		s
セトリング時間[3]			$2141/F_{CLKIN}$		s
出力データ・レート、F_O			$F_{CLKIN}/32$		Hz
ポストプロセッサ特性					
入力データ・レート				$F_{CLKIN}/8$	Hz
係数精度[4]			24		ビット
演算精度			30		ビット
許容できるタップの数				108	
デシメーション・ファクタ		2		256	
デシメーション段の数		1		5	
出力データ・レート		$F_{CLKIN}/4096$		$F_{CLKIN}/16$	Hz

注
1 これらの特性は、設計によって定められています。
2 F_{CLKIN}はCLKIN周波数です。
3 用語集を参照。
4 詳細については、設定ファイル形式のセクションを参照してください。

タイミング仕様[1、2]（特に指定のない限り、AV_{DD}＝5V±5%、DV_{DD}＝5V±5%、AGND＝DGND＝0V、REF2＝2.5V）

パラメータ	記号	最小	標準	最大	単位
CLKIN周波数	f_{CLKIN}	1		14.4	MHz
CLKIN周期（t_{CLK}＝1/f_{CLKIN}）	t_1	0.07		1	µs
CLKINロー・パルス幅	t_2	0.45×t_1		0.55×t_1	
CLKINハイ・パルス幅	t_3	0.45×t_1		0.55×t_1	
CLKIN立ち上がり時間	t_4	5			ns
CLKIN立ち下がり時間	t_5	5			ns
CLKINからSCOまでの遅延	t_6		35	50	ns
SCO周期： SCR＝0	t_7		1		t_{CLK}
SCR＝1	t_7		2		t_{CLK}
シリアル・インターフェース（DSPモードのみ）					
SCO遷移前のFSIセットアップ・タイム	t_8	30			ns
SCO遷移後のFSIホールド・タイム	t_9	0			ns
SDIセットアップ・タイム	t_{10}	30			ns
SDIホールド・タイム	t_{11}	0			ns
シリアル・インターフェース（DSPモードとBFRモード）					
SCO遷移からFSOハイまでの遅延	t_{12}			20	ns
SCO遷移からFSOローまでの遅延	t_{13}			20	ns
SCO遷移前のSDOセットアップ	t_{14}			10	ns
SCO遷移後のSDOホールド	t_{15}	0			ns
シリアル・インターフェース（EPROMモード）					
SCOハイ時間	t_{16}			8	t_{CLK}
SCOロー時間	t_{17}			8	t_{CLK}
$\overline{SOE}$ローから最初のSCO立ち上がりエッジ	t_{18}			20	t_{CLK}
SCO立ち上がりエッジ前のデータ・セットアップ	t_{19}		22		ns
パラレル・インターフェース					
データ書き込み					
RSローから$\overline{CS}$ロー	t_{20}	15			ns
$\overline{CS}$ロー前の$\overline{WR}$セットアップ	t_{21}	15			ns
$\overline{CS}$立ち上がりエッジ後のRSホールド	t_{22}	0			ns
$\overline{CS}$パルス幅	t_{23}	50			ns
$\overline{CS}$立ち上がりエッジ後の$\overline{WR}$ホールド	t_{24}	0			ns
データ・セットアップ・タイム	t_{25}	10			ns
データ・ホールド・タイム	t_{26}	5			ns
データ読み出し					
RSローから$\overline{CS}$ロー	t_{27}	15			ns
$\overline{CS}$ロー前のRDセットアップ	t_{28}	15			ns
$\overline{CS}$立ち上がりエッジ後のRSホールド	t_{29}	0			ns
$\overline{CS}$立ち上がりエッジ後のRDホールド	t_{30}	0			ns
$\overline{CS}$立ち下がりエッジ後のデータ有効[3]	t_{31}			30	ns
$\overline{CS}$立ち上がりエッジ後のデータ・ホールド	t_{32}	10			ns
ステータス読み出し／命令書き込み					
$\overline{CS}$デューティ・サイクル	t_{33}	1			t_{CLK}
$\overline{CS}$ロー後の割り込みクリア	t_{34}			15	ns
$\overline{CS}$ロー前のRDセットアップ	t_{35}	15			ns
$\overline{CS}$立ち上がりエッジ後のRDホールド	t_{36}			0	ns
読み出しデータ・アクセス時間[3]	t_{37}			30	ns
$\overline{CS}$立ち上がりエッジ後の読み出しデータ・ホールド	t_{38}	10			ns
$\overline{CS}$立ち上がりエッジ前の書き込みデータ・セットアップ	t_{39}	10			ns
$\overline{CS}$立ち上がりエッジ後の書き込みデータ・ホールド	t_{40}	5			ns

注
[1] 設計により保証。
[2] 確実な適合性を得るために25℃でサンプル・テスト済み。すべての入力信号はtr=tf=5ns（DV_{DD}の10～90%）で規定され、1.6Vの電圧レベルからタイミングをとっています。
[3] 図2の負荷回路で測定した値で、出力が0.8Vと2.4Vを超えるのに必要な時間と定義されます。

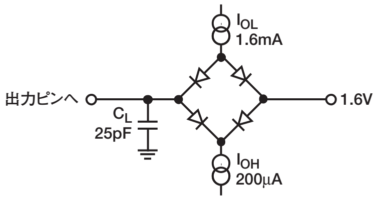


図2.　デジタル出力タイミング仕様の負荷回路

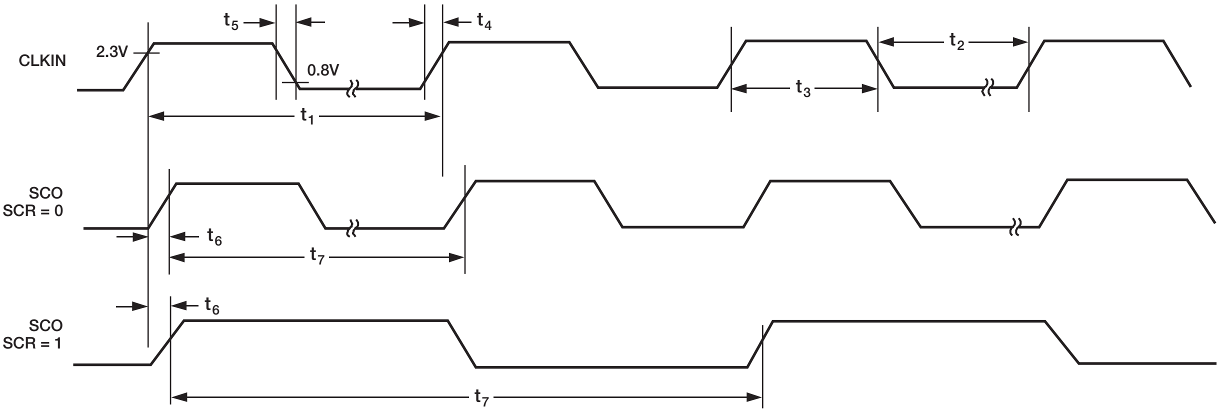


図3.　CLKINとSCOの関係

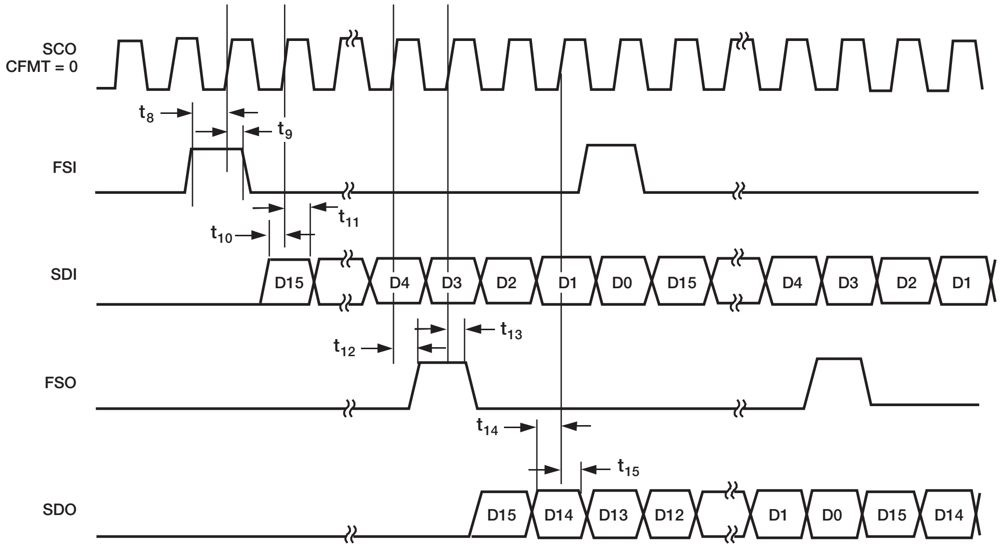


図4.　シリアル・モード（DSPモードとBoot from ROM（BFR）モード）。BFRモードでは、FSIとSDIは使用しません。

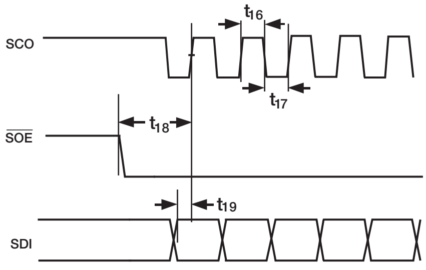


図5.　シリアル・モード（EPROMモード）

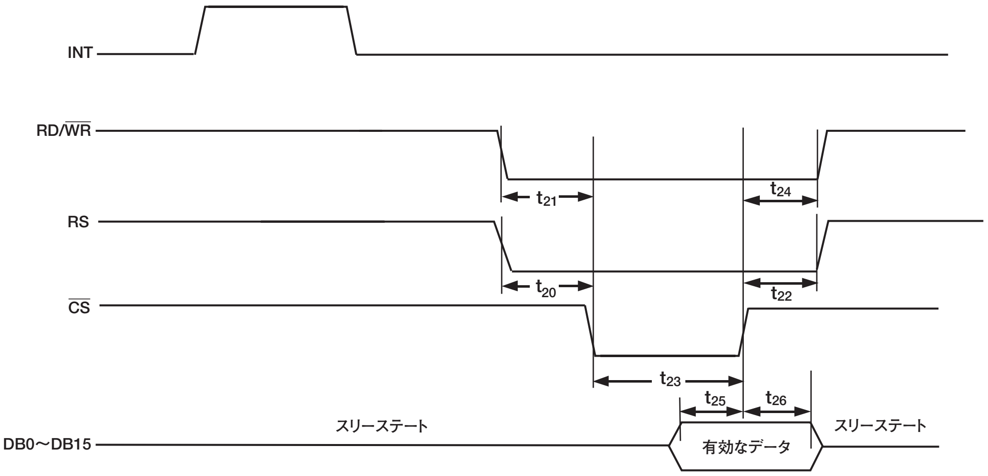


図6.　パラレル・モード（AD7725へのデータ書き込み）

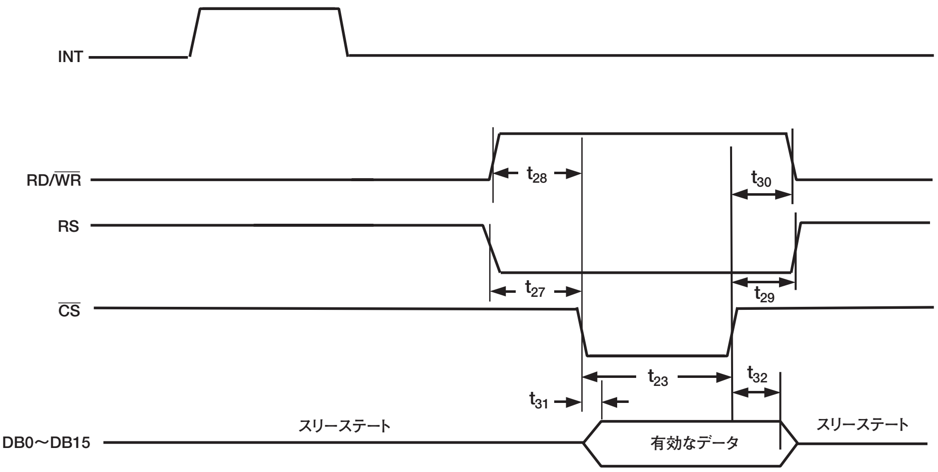


図7.　パラレル・モード（AD7725へのデータ読み込み）

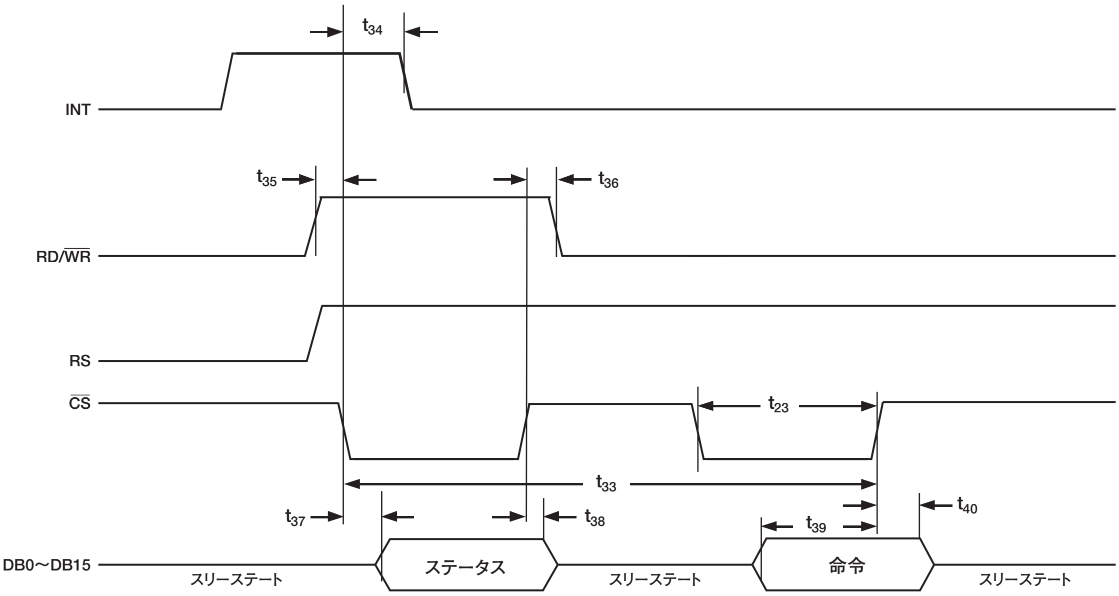


図8.　パラレル・モード（ステータス・レジスタの読み出しと命令の書き込み）

絶対最大定格[1]

（特に指定のない限り、T_A＝25℃）

DV_{DD}〜DGND ....−0.3V〜＋7V
AV_{DD}〜AGND ....−0.3V〜＋7V
AV_{DD}、AV_{DD1}〜DV_{DD} ....−1V〜＋1V
AGND、AGND1〜DGND ....−0.3V〜＋0.3V
デジタル入力〜DGND ....−0.3V〜DV_{DD}＋0.3V
デジタル出力〜DGND ....−0.3V〜DV_{DD}＋0.3V
V_{IN}(＋)、V_{IN}(−)〜AGND ....−0.3V〜AV_{DD}＋0.3V
REF1〜AGND ....−0.3V〜AV_{DD}＋0.3V
REF2〜AGND ....−0.3V〜AV_{DD}＋0.3V
REFIN〜AGND ....−0.3V〜AV_{DD}＋0.3V
DGND、AGND ....±0.3V
電源以外のピンへの入力電流[2] ....±10mA
I_{DD}（AI_{DD}＋DI_{DD}） 150mA
動作温度範囲 ....−40℃〜＋85℃
保管温度範囲 ....−65℃〜＋150℃
接合温度 ....150℃
θ_{JA}熱抵抗 ....58℃/W
θ_{JC}熱抵抗 ....20℃/W
ピン温度、ハンダ付け
　気相（60秒） ....215℃
　赤外線（15秒） ....220℃
ESD 2kV

注

[1] 上記の絶対最大定格リストを超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格のみを規定するものであり、これらの規定値あるいはこの仕様書の動作セクションに記載した規定値を超える条件で、デバイスが機能的に動作することを意味するものではありません。長期間にわたって絶対最大定格条件で放置すると、デバイスの信頼性に影響を与えるおそれがあります。

[2] 100mAまでの過渡電流では、SCRラッチアップは発生しません。

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション[1]
AD7725BS	−40℃〜＋85℃	プラスティック・クワッド・フラット	S-44
EVAL-AD7725CB[2]		評価ボード	
EVAL-CONTROL BRD2[3]		コントローラ・ボード	

[1] S＝プラスティック・クワッド・フラット（MQFP）

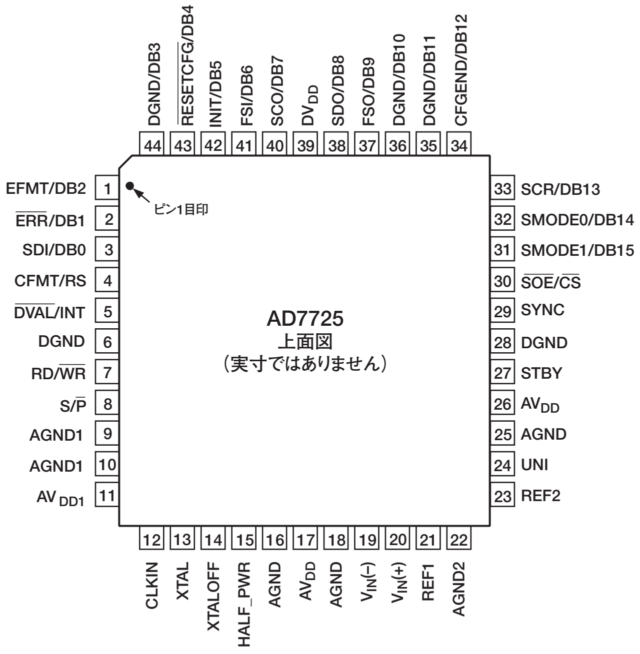
[2] このボードは、単独の評価ボードとして使用したり、評価／デモンストレーション用に評価ボード・コントローラと組み合わせて使用できます。ソフトウェアと技術マニュアルが添付されています。

[3] 評価ボード・コントローラ。このボードは完成ユニットであり、PCから末尾番号CBが付くすべてのアナログ・デバイセズのボードとの制御と通信ができます。完全な評価キットを入手するには、EVAL-AD7725CB、EVAL-CONTROL BRD2、12VのACトランスをご注文ください。フィルタ・ウィザード・ソフトウェアは、アナログ・デバイセズのWebサイトからダウンロードできます。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。AD7725は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置



ピン機能の説明

ピン番号	記号S/P	説明
1	EFMT/DB2	シリアル・モード　EFMT — シリアル・クロック・フォーマット、ロジック入力　このクロック・フォーマット・ピンで、設定時に使用するクロック・エッジを選択します。EFMT=LOWのとき、SCOの立ち上がりエッジでSerial Data Inが有効になり、EFMT=HIGHのときは、SCOの立ち下がりエッジで有効になります。通常の動作中は、このピンは無視されます。 パラレル・モード　DB2 — データ入／出力ビット
2	$\overline{\text{ERR}}$/DB1	シリアル・モード　$\overline{\text{ERR}}$ — 設定エラー・フラグ、ロジック出力　設定中にエラーが発生すると、この出力がローレベルになり、$\overline{\text{RESETCFG}}$ピンのパルスでハイレベルにリセットされます。 パラレル・モード　DB1 — データ入／出力ビット
3	SDI/DB0	シリアル・モード　SDI — シリアル・データ入力　SCOに同期して2の補数フォーマットでAD7725にシリアル・データをシフトします（MSBファースト）。 パラレル・モード　DB0 — データ入／出力ビット（LSB）
4	CFMT/RS	シリアル・モード　CFMT — シリアル・クロック・フォーマット、ロジック入力　このクロック・フォーマット・ピンで、通常の動作中に使用するクロック・エッジを選択します。CFMT=LOWのとき、SCOの立ち上がりエッジでSerial Data Outが有効になり、CFMT=HIGHのとき、SCOの立ち下がりエッジで有効になります。設定中は、このピンは無視されます。 パラレル・モード　RS — レジスタ選択　RSで、変換データの読み出しや設定データの書き込みに使用するデータ・レジスタと、命令レジスタを選択します。RS=HIGHのとき、ステータス・レジスタの読み出しまたはAD7725への命令書き込みが可能です。RS=LOWのとき、ADCに設定ファイルなどのデータの書き込みが可能で、デバイスIDや変換結果などのデータをAD7725から読み出すこともできます（表Iを参照）。

ピン番号	記号S/P	説明
5	$\overline{\text{DVAL}}$/INT	シリアル・モード　$\overline{\text{DVAL}}$ — データ有効ロジック出力　ポストプロセッサにオーバーフローがないとき、この出力がローレベルになり、ポストプロセッサにオーバーフローが発生するとハイレベルになります。 パラレル・モード　INT — 割り込みロジック出力　INTはローでアイドリングします。この出力ピンがロジック・ハイになれば、ユーザー介入が必要です。この状態は、いくつかの場合に発生します。 (i)　命令の完了。命令の書き込みやステータス・レジスタの読み出しによって、割り込みをクリアします。 (ii) 書き込みデータの要求。データの書き込みによって、割り込みをクリアします。 (iii) 読み出しデータの準備完了。データの読み出しによって、割り込みをクリアします。 (iv) エラー（設定ファイル形式のIDまたはCRCエラー、またはポストプロセッサのオーバーフロー）の発生。ステータス・レジスタの読み出しによって、割り込みをクリアします。 (v)　デバイスのパワーオン・リセットが完了。ステータス・レジスタの読み出しによって、割り込みをクリアします。
6	DGND	デジタル回路のグラウンド・リファレンス
7	RD/$\overline{\text{WR}}$	シリアル・モード　この入力は、シリアル・モードでは使用せず、DGNDに接続する必要があります。 パラレル・モード　読み出し／書き込みロジック入力　この入力は、デバイスとの間でデータを読み書きするために、$\overline{\text{CS}}$入力と組み合わせて使用します。RD/$\overline{\text{WR}}$=HIGHになると、読み出しサイクルを開始します。RD/$\overline{\text{WR}}$=LOWになると、書き込みサイクルを開始します。データを読み書きするには、$\overline{\text{CS}}$=LOWにする必要があります。
8	S/$\overline{\text{P}}$	シリアル／パラレル・インターフェースの選択　S/$\overline{\text{P}}$をローに接続すると、パラレル・モードが選択されます。S/$\overline{\text{P}}$をハイに接続すると、シリアル・モードが選択されます。モードを変更するには、パワー・サイクルを最初から行う（電源の再投入）必要があります。
9、10	AGND1	アナログ・モジュレータ用のデジタル・ロジック電源グラウンド
11	AV_{DDI}	アナログ・モジュレータ用のデジタル・ロジック電源
12	CLKIN	クロック入力　XTALOFFをハイに接続すれば、このピンに外部クロック・ソースを直接印加できます。あるいは、XTALOFFをローに接続して、XTALピンとCLKINピンの間を1MΩ抵抗と並列に、並列共振型の基本周波数水晶で接続します。その場合、CLKINピンとXTALピンからグラウンド間に、外部コンデンサが必要になります。負荷コンデンサについては、水晶の製造元にお問い合わせください。いずれの場合も、AD7725に電源が印加された後は、連続的なクロック入力が必要になります。
13	XTAL	水晶発振器アンプへの入力　外部クロックを使用する場合は、XTALをAGND1に接続してください。
14	XTALOFF	発振器イネーブル入力　ロジック・ハイでは水晶発振器アンプがディスエーブルになり、外部クロック・ソースを使用できます。CLKINピンとXTALピンの間に外部水晶を使用するときは、ローに設定して水晶発振器アンプをイネーブルにします。
15	HALF_PWR	ロジック入力　この入力がローの場合、アナログ電流の一般的な値は50mAであり、最大CLKIN周波数14.4MHzが適用されます。この入力がハイの場合、一般にアナログ電流が半減し、最大CLKIN周波数9.6MHzが適用されます。
16、18	AGND	アナログ・モジュレータ用の電源グラウンド
17	AV_{DD}	アナログ・モジュレータ用の電源電圧
19	$V_{IN}(-)$	差動アナログ入力の負端子
20	$V_{IN}(+)$	差動アナログ入力の正端子
21	REF1	リファレンス出力　REF1は、3kΩの抵抗を介し2.5V内部リファレンスの出力と、また∑Δモジュレータを駆動するリファレンス・バッファ・アンプに接続されています。内部リファレンスを使用する場合、バンド・ギャップ・ノイズをデカップリングするためにREF1とAGNDの間に1μFコンデンサが必要です。220nFと10nFのコンデンサを並列にして、REF2をAGNDにデカップリングしてください。
22	AGND2	アナログ・モジュレータのリファレンス回路（REF2）用の電源グラウンド
23	REF2	リファレンス入力　REF2は、∑Δモジュレータの駆動に使用する外部バッファ・アンプの出力に接続します。REF2を入力で使用する場合、内部バッファ・アンプをディスエーブルにするために、REF1をAGNDに接続する必要があります。
24	UNI	アナログ入力範囲の選択入力　UNIピンで、バイポーラ（差動またはシングルエンド入力）動作かユニポーラ（シングルエンド入力）動作のアナログ入力範囲を選択します。ロジック・ハイ入力でユニポーラ動作を選択し、ロジック・ロー入力でバイポーラ動作を選択します。
25	AGND	アナログ・モジュレータ用の電源グラウンド
26	AV_{DD}	アナログ・モジュレータ用の電源電圧

ピン番号	記号S/P	説明
27	STBY	スタンバイ、ロジック入力　STBYがハイになると、デバイスは低消費電力モードに入ります。このモードに入る前にデバイスの設定がすべて完了していれば、その設定データは失われません。STBYがローになると、低消費電力モードを終了します。低消費電力モードに入る前にデバイスの設定が完了していない場合、Boot from ROM （BFR）モード、DSPモード、EPROMモードで設定プロセスを再起動しますが、パラレル・モードでは新しい設定命令を発行してデバイスを設定する必要があります。低消費電力モードに入る前にデバイスが完全に設定されていれば、すべてのシリアル・モードで変換結果の出力を継続します。パラレル・モードでは、変換を開始する命令を待機します。STBYモードでは、クロック入力を連続的に行わなければなりません。
28	DGND	デジタル回路のグラウンド・リファレンス
29	SYNC	同期ロジック入力　共通のマスター・クロックから複数のAD7725を動作させる場合、SYNCによって、各ADCが同時にアナログ入力をサンプリングし、出力レジスタの更新ができます。SYNCがハイレベルの場合、デジタル・フィルタ・シーケンサ・カウンタがゼロにリセットされ、ポストプロセッサ・コアがリセットされます。このアクション中にデジタル・フィルタとシーケンサが完全にリセットされるので、SYNCパルスを連続的に印加することはできません。SYNCがローレベルになると、通常の変換を継続し、フィルタの設定時間が経過した後で、有効なデータが得られます。
30	$\overline{SOE}$/$\overline{CS}$	シリアル・モード　$\overline{SOE}$ — シリアル出力イネーブル　EPROMモードでは、$\overline{SOE}$がローになると、外部EPROMがイネーブルになり、EPROMのアドレス・カウンタのリセットに使用されます。DSPモードでは、$\overline{SOE}$はアクティブ・ハイの割り込みです。パワーオン・リセットの後と$\overline{RESETCFG}$ピンのパルスの後で$\overline{SOE}$がハイレベルになり、デバイスの設定準備ができたことを示します。また、正常な設定ができた後でもハイレベルになり、デバイスが正しく設定されたことを示します。CLKINでFSIのハイレベルが検出されると、$\overline{SOE}$はローレベルにリセットされます。BFRモードでは、正しく設定された後で、$\overline{SOE}$が8回のCLKINサイクルの間ハイのパルスを発生します。 パラレル・モード　$\overline{CS}$ — チップ・セレクト・ロジック入力　これは、RD/$\overline{WR}$入力と組み合わせて、デバイスとの間でデータを読み書きするために使用するアクティブ・ロー・ロジック入力です。読み出し動作の場合、$\overline{CS}$の立ち下がりエッジでバスがスリーステート状態から出て、時間t_{31}の後で、RS入力の状態に応じて変換データまたはステータス・レジスタのデータがデータバスに置かれます。書き込み動作の場合、$\overline{CS}$の立ち上がりエッジを使用して、RS入力の状態に応じて設定データまたは命令をAD7725にラッチします。この場合、データは、$\overline{CS}$立ち上がりエッジ前のセットアップ時間t_{25}に設定してください。
31	SMODE1/DB15	シリアル・モード　SMODE1 — シリアル・モード選択、ロジック入力　このピンで、使用するシリアル・モード（表IVを参照）を選択し、パワーアップ時に設定データをどこから自動的にダウンロードするかをデバイスに知らせます。ピンの値を変更するには、パワー・サイクルを最初から行う（電源の再投入）必要があります。 パラレル・モード　DB15 — データ入／出力ビット（MSB）
32	SMODE0/DB14	シリアル・モード　SMODE0 — シリアル・モード選択、ロジック入力　このピンで、使用するシリアル・モード（表IVを参照）を選択し、パワーアップ時に設定データをどこから自動的にダウンロードするかをデバイスに知らせます。ピンの値を変更するには、パワー・サイクルを最初から行う（電源の再投入）必要があります。 パラレル・モード　DB14 — データ入／出力ビット
33	SCR/DB13	シリアル・モード　SCR — シリアル・クロック・レート選択、ロジック入力　SCRをロジック・ローに設定すれば、シリアル・クロック出力周波数SCOがCLKIN周波数と等しくなります。ロジック・ハイで、SCOの周波数はCLKIN周波数の半分に設定されます。 パラレル・モード　DB13 — データ入／出力ビット
34	CFGEND/DB12	シリアル・モード　CFGEND — 設定終了、ロジック出力　CFGENDのロジック・ハイで、デバイスのプログラミングが完了し、プログラミング・エラーがなかったことを示します。 パラレル・モード　DB12 — データ入／出力ビット
35	DGND/DB11	シリアル・モード　DGND — デジタル・グラウンド パラレル・モード　DB11 — データ入／出力ビット
36	DGND/DB10	シリアル・モード　DGND — デジタル・グラウンド パラレル・モード　DB10 — データ入／出力ビット
37	FSO/DB9	シリアル・モード　FSO — フレーム同期出力　FSOは、SDOピンでのワード送信の開始を示します。FSO信号は、およそ1 SCO周期幅の正パルスです。 パラレル・モード　DB9 — データ入／出力ビット

ピン番号	記号S/P	説明
38	SDO/DB8	シリアル・モード　SDO ― シリアル・データ出力　SCOに同期して2の補数フォーマットで、AD7725にシリアル・データをシフトします（MSBファースト）。
		パラレル・モード　DB8 ― データ入／出力ビット
39	DV_{DD}	デジタル電源電圧
40	SCO/DB7	シリアル・モード　SCO ― シリアル・クロック出力　SCOの周波数はCLKIN周波数の関数で、SCRピンで設定します。
		パラレル・モード　DB7 ― データ入／出力ビット
41	FSI/DB6	シリアル・モード　FSI ― フレーム同期入力　FSIは、SDIピンでのワード送信の開始を示します。
		パラレル・モード　DB6 ― データ入／出力ビット
42	INIT/DB5	シリアル・モード　INIT ― ロジック入力　デバイスが正しく設定されると、このピンのロジック・ローで、デバイスが変換できなくなります。このピンがハイレベルになると、デバイスは変換を開始します。複数のデバイスをデイジーチェーン接続にしている場合、SYNCピンをアクティブにしなくても、このピンによってすべてのデバイスが同時にアナログ入力のサンプリングを行います。
		パラレル・モード　DB5 ― データ入／出力ビット
43	$\overline{\text{RESETCFG}}$/DB4	シリアル・モード　$\overline{\text{RESETCFG}}$ ― ロジック入力　$\overline{\text{RESETCFG}}$は、設定エラーが発生したときにデバイスをリセットするために使用します。このピンでのロー・パルスで、デバイスがリセットされ、設定ファイルが再びダウンロードされます。$\overline{\text{RESETCFG}}$ピンのパルスが検出されると、$\overline{\text{SOE}}$ピンがハイレベルになり、設定が正常に行われた後、再びハイレベルになります。
		パラレル・モード　DB4 ― データ入／出力ビット
44	DGND/DB3	シリアル・モード　DGND ― デジタル・グラウンド
		パラレル・モード　DB3 ― データ入／出力ビット

用語集

積分非直線性（INL）

伝達関数のエンドポイントを結ぶ直線からのコードの最大偏差をいいます。伝達関数のエンドポイントとは、最初のコード遷移（バイポーラ・モードでは100...00から100...01、ユニポーラ・モードでは000....00から000....01）より0.5LSB下の点のゼロ・スケール（バイポーラ・ゼロと混同しないこと）と、最後のコード遷移（バイポーラ・モードでは011...10から011...11、ユニポーラ・モードでは111...10から111...11）より0.5LSB上の点のフル・スケールです。誤差はLSB単位で表されます。

微分非直線性（DNL）

ADCの2つの隣接コード間における1LSB変化の測定値と理想値の差をいいます。

ユニポーラ・オフセット誤差

ユニポーラ・オフセット誤差とは、理想的な$V_{IN}(+)$電圧、つまりユニポーラ・モードで動作するときは（$V_{IN}(-)+0.5LSB$）と、最初のコード遷移との偏差をいいます。

バイポーラ・オフセット誤差

これは、理想的な$V_{IN}(+)$電圧、つまりバイポーラ・モードで動作するときは（$V_{IN}(-)-0.5LSB$）と、ミッドスケール・コード遷移（111...11から000...00）との偏差をいいます。

ゲイン誤差

最初のコード遷移は、負のフルスケールより0.5LSB上のアナログ値で発生します。最後のコード遷移は、ノミナル・フルスケールより1.5LSB下のアナログ値で発生します。ゲイン誤差とは、最初と最後のコード遷移の実際の差と、最初と最後のコード遷移の理想的な差との偏差をいいます。

S/N比

S/N比とは、ADCの出力で測定される信号とノイズの比です。信号は基本波のrms振幅です。ノイズとは、DCを除いて、出力データ・レートの半分（$F_O/2$）までの基本波以外の全信号のrms値の総和です。ADCを評価するには、ローノイズで低歪みの正弦波信号を入力ピンに印加します。高速フーリエ変換（FFT）プロットを生成すれば、出力スペクトルからS/N比データが得られます。

全高調波歪み（THD）

THDは、高調波のrmsの総和と基本波のrms値の比です。THDは次のように定義されます。

$$THD = 20\log\left(\frac{\sqrt{V_2^2+V_3^2+V_4^2+V_5^2+V_6^2}}{V_1}\right)$$

ここで、V_1は基本波のrms振幅であり、V_2、V_3、V_4、V_5、V_6は、2次～6次高調波のrms振幅です。

スプリアス・フリー・ダイナミックレンジ（SFDR）

ADC出力スペクトル（DCを除いて$F_O/2$まで）に含まれるピークのスプリアス成分または高調波成分と基本波のrms値との差と定義されます（単位はdB）。通常、この値は、FFTの出力スペクトル内で最大の高調波によって決定されます。2次高調波がデジタル・フィルタの阻止帯域で発生する入力信号の場合は、ノイズ・フロア内のスプリアスの大きさによってSFDRが制限されます。

セトリング時間と群遅延

デジタル・フィルタのセトリング時間は、採用したデシメーションの量とフィルタ設計で使用するフィルタ・タップの数に依存し、次の式で計算します。

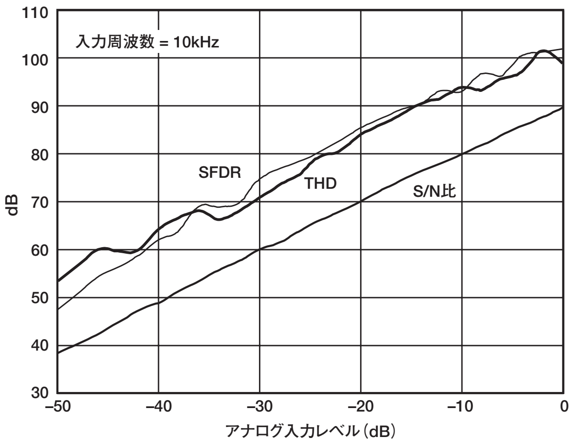
$$\text{セトリング時間} = \left(\frac{1}{\text{データ入力レート}}\right) \times \text{タップの数}$$

フィルタ段ごとにセトリング時間を個別に計算してから、合計し、フィルタの合計セトリング時間を出します。群遅延はセトリング時間の半分です。

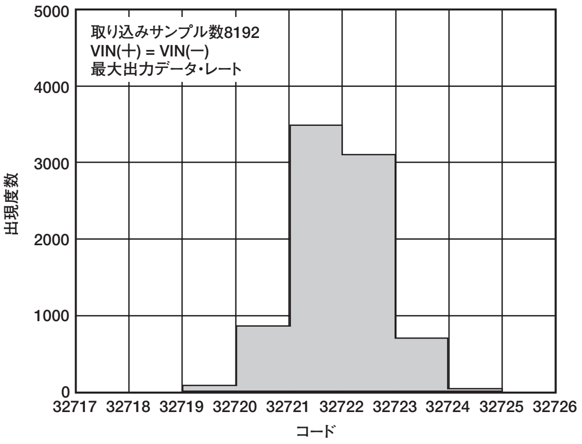
AD7725 — 代表的な性能特性

性能プロット

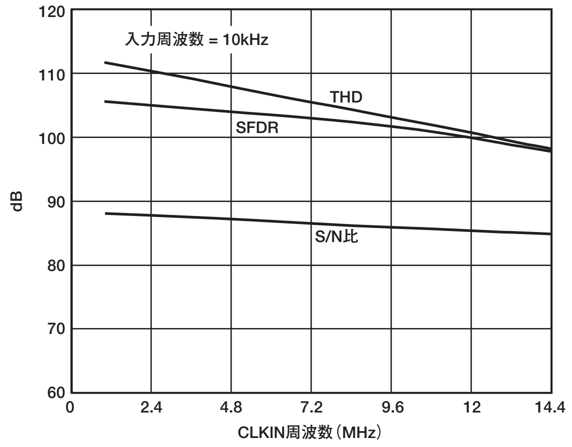
以下の代表的なプロットは、図1に示すデジタル・フィルタを使用して作成しています。
（特に指定のない限り、AV_{DD}＝DV_{DD}、T_A＝25℃、CLKIN＝9.6MHz、外部リファレンス＝2.5V）



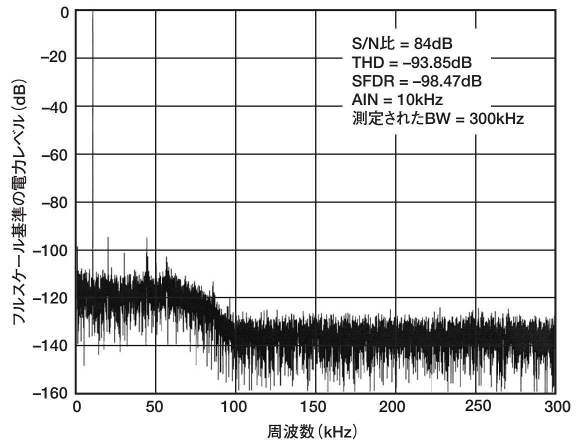
TPC 1.　S/N比、THD、SFDRとフルスケール基準のアナログ入力との関係



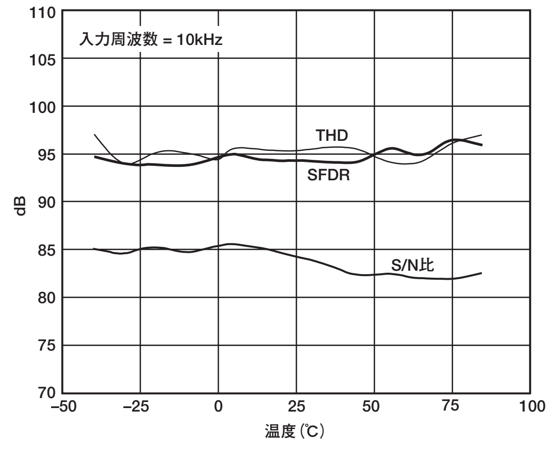
TPC 4.　DC入力での出力コードのヒストグラム



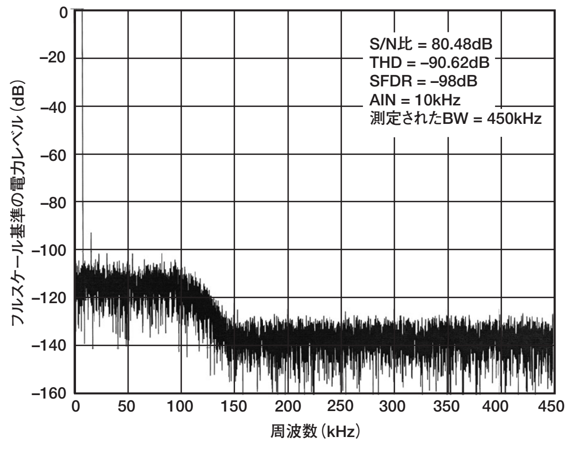
TPC 2.　S/N比、THD、SFDRとサンプリング周波数の関係



TPC 5.　16kポイントFFT



TPC 3.　S/N比、THD、SFDRと温度の関係



TPC 6.　14.4MHzのCLKIN周波数で動作する108タップ、ローパスFIRフィルタの16kポイントFFT

回路の説明

AD7725では、∑Δ変換技術を使用して、アナログ入力を等価なデジタル・ワードに変換します。モジュレータが入力波形をサンプリングし、入力クロック周波数f_{CLKIN}で等価なデジタル・ワードを出力します。

高いオーバーサンプリング・レートで量子化ノイズを0～$f_{CLKIN}/2$まで拡散させることで、対象帯域に含まれるノイズ・エネルギーが減少します（図9a）。さらに量子化ノイズを減らすために、高次のモジュレータでノイズ・スペクトルをシェーピングし、大部分のノイズ・エネルギーを対象帯域からシフトさせます（図9b）。

モジュレータの後段のデジタル・フィルタリングでは、大きな帯域外量子化ノイズを除去する（図9c）と同時に、使用するフィルタ・タイプに応じて、データ・レートをフィルタの入力側のf_{CLKIN}からフィルタの出力側の$f_{CLKIN}/16$またはそれ以下になるように低減します。

デジタル・フィルタリングには、アナログ・フィルタリングに比べていくつかの利点があります。デジタル・フィルタリングの場合、A/D変換の後で行われるため、変換プロセス中に発生したノイズを除去できますが、アナログ・フィルタリングではこれができません。また、デジタル・フィルタには、線形の位相応答もあります。

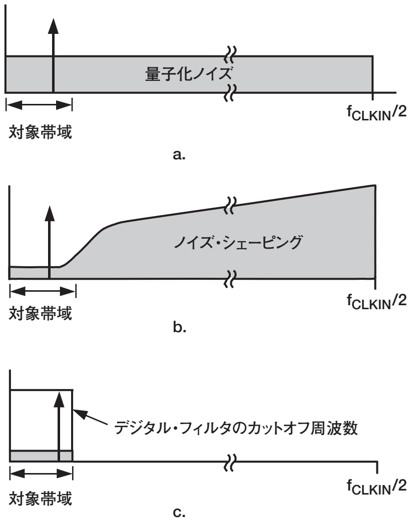


図9. ∑Δ ADC

AD7725では、固定された3つの有限インパルス応答（FIR）フィルタを直列に接続して使用します。それぞれのフィルタの出力データ・レートは、入力データ・レートの半分です。4段目はプログラマブルであり、ユーザーがさまざまなフィルタ応答を選択できます。フィルタ応答とデシメーションの両方がプログラム可能です。詳細については、フィルタリングのセクションを参照してください。

AD7725の応用

アナログ入力範囲

AD7725には、コモン・モードのノイズ除去を行うための差動入力があります。ユニポーラ・モードでは、アナログ入力はシングルエンドで、範囲は0V～$(8/5 \times V_{REF2})$です。バイポーラ・モードでは、アナログ入力はシングルエンドか差動で、入力範囲は$\pm(4/5 \times V_{REF2})$です。出力コードは、どちらのモードでも2の補数で、1LSB＝61μVです。

2つのモードに対する理想的な入／出力伝達特性を図10に示します。いずれのモードでも、各入力の絶対電圧は、電源範囲AGND～AV_{DD}内でなければなりません。バイポーラ・モードではシングルエンドか差動の入力信号が可能ですが、ユニポーラ・モードではシングルエンド信号を使用します。

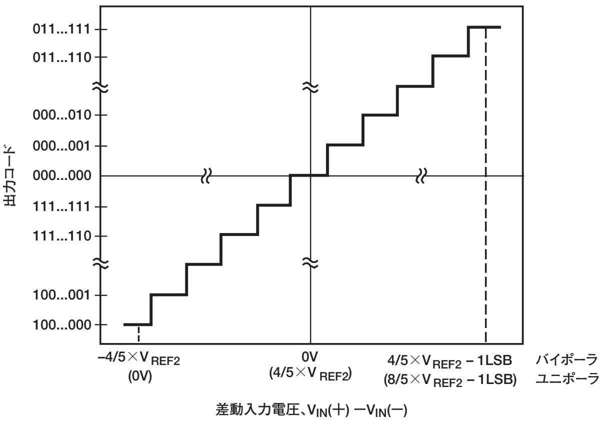


図10. バイポーラ／（ユニポーラ）モードの伝達関数

AD7725はフルスケールの帯域内信号を入力できますが、高レベルの帯域外信号はモジュレータ入力の過負荷となることがあります。$f_{CLKIN}/24$に設定された簡単な単極RCアンチエイリアス・フィルタを使用することで、周波数スペクトル全体にわたってフルスケールの入力信号が許容されるようになります。

アナログ入力

AD7725のアナログ入力では、スイッチト・キャパシタ技術を使用して入力信号をサンプリングします。AD7725を駆動するために、図11にアナログ入力の等価な回路を示します。半クロック・サイクルごとに、直線性の高い2つのサンプリング・コンデンサを両方の入力に切り替え、入力信号をサンプリングされた等価な電荷に変換します。アナログ入力を駆動する信号源は、この電荷を供給すると同時に、各半クロック期間の終わりまでに必要な精度に整定する必要があります。

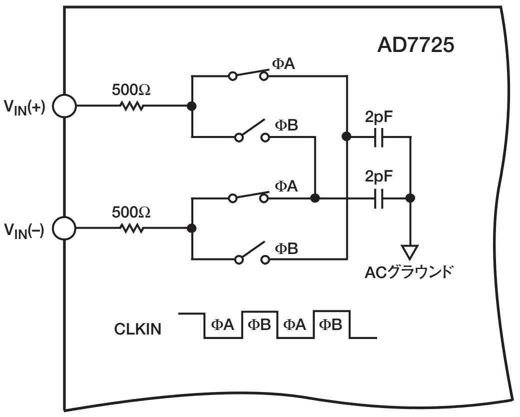


図11.　アナログ入力等価回路

アナログ入力の駆動

信号源をAD7725に接続するには、一般にオペアンプが最低1つは必要です。AD7725の性能をフルに発揮するには、適切なオペアンプの選択が重要です。オペアンプは、ADCを駆動する場合に生じる過渡負荷から回復する必要があるだけではなく、優れた歪み特性ときわめて低い入力ノイズを備えていなければなりません。信号パス内の抵抗も全体的な熱ノイズ・フロアを増大させるため、低い値の抵抗を選択する必要があります。

図12に示すように、駆動源とADC入力との間にRCフィルタを接続することで、有益な効果がいくつも得られます。サンプリング・コンデンサがADC入力ピンに切り替えられたときに必要とする瞬時電荷を外部コンデンサが供給することになるため、オペアンプ出力での過渡特性が大幅に減少します。さらに、サンプル・イメージでの入力回路ノイズが大幅に減衰しているので、S/N比が全体的に向上します。外部抵抗によって外部コンデンサがADC出力から絶縁されるため、オペアンプの安定性が向上するとともに、コンデンサ上の残りの過渡特性からオペアンプ出力を絶縁することにもなります。さまざまなフィルタ値で実験すれば、各アプリケーションに最適な性能を実現できます。目安としては、RC時定数（R×C）をクロック周期の4分の1より小さくすれば、ADC入力からの非線形電流が外部コンデンサに蓄積されて、歪みの悪化を防止できます。この制約があるため、このフィルタはADC用のメイン・アンチエイリアス・フィルタになりません。

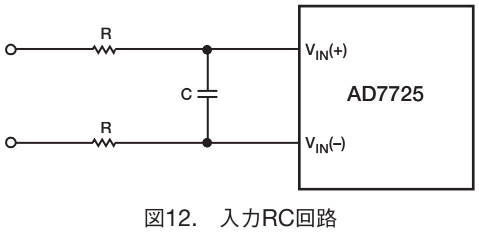


図12.　入力RC回路

ユニポーラ入力モードを選択すると、V_{IN}(＋)入力へのシングルエンド入力信号をバッファリングするにはオペアンプ1つで済み、V_{IN}(－)ピンにDC入力を印加して、オフセットを与えます。他方、差動信号でAD7725を駆動する（バイポーラ入力範囲を選択する）ことにも、明らかな利点があります。この場合、駆動回路とAD7725フロントエンドの偶数次高調波が減衰し、両方の入力のピークtoピーク入力信号範囲が半減します。入力信号範囲が半減すると、いくつかのオペアンプはAD7725と同じ電源で動作することができるようになります。AD7725に差動ドライブを提供する例として、デュアル・オペアンプの使用があります。

デュアル・オペアンプ

この差動駆動回路では、ADCごとに2つのオペアンプを使用する必要がありますが、これらのオペアンプだけのために別に電源を設けなくても済む方法があります。

図13と図14に、AD7725を駆動するための2つの回路を示します。図13は、入力信号が2.5Vにバイアスされた場合に使用し、図14は、入力信号がグラウンドにバイアスされた場合に使用します。どちらの回路も入力信号を差動信号に変換しますが、図14の回路は信号のレベル・シフトも行って、両方の出力が2.5Vにバイアスされるようにします。

適切なオペアンプとしては、AD8047、AD8041と同等のデバイスAD8042、またはAD8022があります。AD8047は、AD8041/AD8042よりも入力ノイズが低くなりますが、＋7.5V/－2.5V電源が必要です。AD8041/AD8042の場合、一般にS/N比は83dBから81dBに低下しますが、AD7725と同じく5V単電源から電力を供給できます。

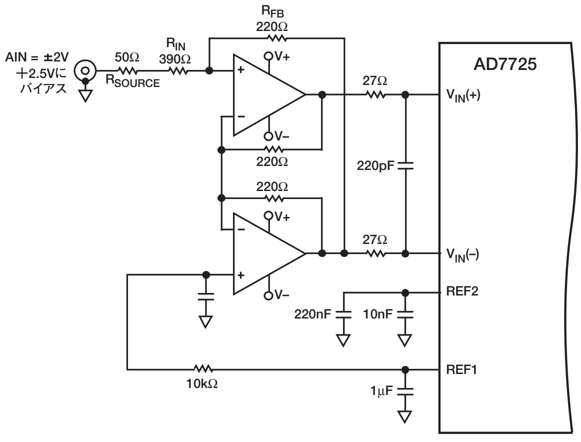


図13.　バイポーラ・モード動作用のシングルエンド／差動入力回路（アナログ入力は2.5Vにバイアス）

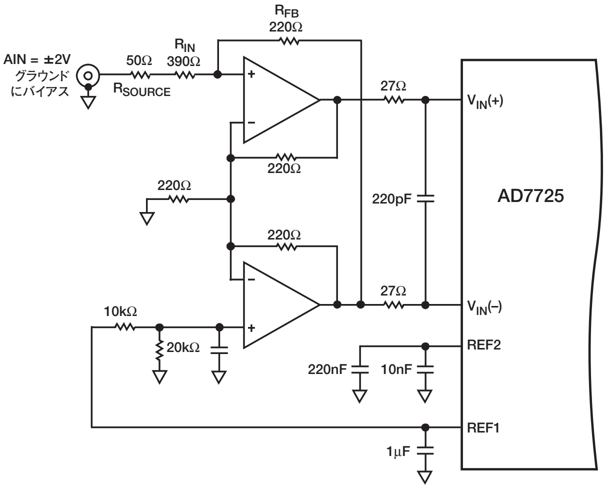


図14.　バイポーラ・モード動作用のシングルエンド／差動入力回路（アナログ入力はグラウンドにバイアス）

リファレンスの印加

AD7725は、外部リファレンスまたは内部2.5Vリファレンスによって動作します。図15に、内部リファレンス回路のブロック図を示します。内部リファレンス回路には、内部2.5Vバンド・ギャップ・リファレンスとリファレンス・バッファ回路が含まれます。内部2.5Vリファレンス電圧は、3kΩの抵抗を介してREF1ピンに接続されています。さらに、図15に示すように、アナログ・モジュレータのスイッチト・キャパシタDAC（REF2）を駆動するためにこれをバッファリングします。内部リファレンスを使用する場合は、バンド・ギャップ・ノイズをデカップリングするために、REF1とAGNDの間に1µFコンデンサが必要です。外部回路にバイアスをかけるために内部リファレンスが必要な場合は、外付けの精密オペアンプを使用して、REF1をバッファリングしてください。

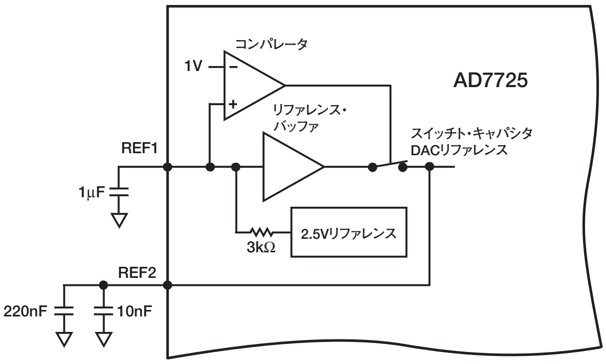


図15.　リファレンス回路のブロック図

ゲイン誤差やゲイン・ドリフトによって外部リファレンスを使用する必要がある場合には、REF2ピンに直接印加できます。この場合、REF1ピンを接地することによって、図15のリファレンス・バッファをオフにできます。AD7725では、1.2V～3.15Vの外部リファレンス電圧を入力できます。

入力を駆動しているアンプの出力コモン・モード範囲が制限される場合には、2.5Vより低いリファレンスを印加することによって、フルスケール入力信号スパンを減らせます。たとえば、1.25Vリファレンスでは、バイポーラ（差動）入力範囲は±1Vになりますが、S/N比が低下します。

いずれにせよ、REF2電圧がアナログ・モジュレータに接続されるため、220nFと10nFのコンデンサでREF2からAGNDを直接接続する必要があります。外部コンデンサは、REF2ピンに発生する動的負荷に必要な電荷を供給します（図16を参照）。

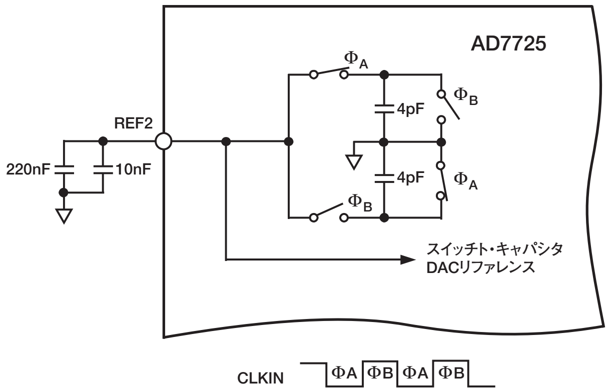


図16.　REF2入力等価回路

AD7725で使用する外部リファレンスとしては、AD780が理想的です。図17に、推奨する接続図を示します。AD780のピン8をグラウンドに接続することで、3V出力モードを選択します。

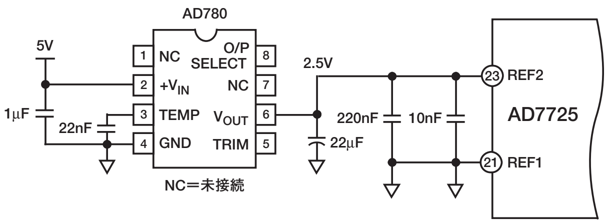


図17.　外部リファレンスの回路接続

クロック生成

AD7725に内蔵の発振回路によって、水晶または外部のクロック信号からADCのマスター・クロックを生成できます。いずれの場合も、クロック入力は連続的でなければいけません。つまり、電源を投入して以降は、AD7725に連続的にクロックが供給される必要があります。図18に、水晶で使用する接続図を示します。負荷コンデンサについては、メーカーの推奨事項を参照してください。AD7725で発振回路をイネーブルにするには、XTAL_OFFをローに接続してください。

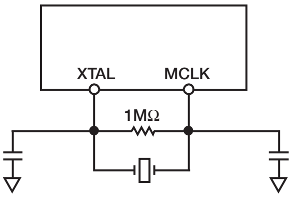


図18.　水晶発振器の接続

外部クロック・ソースを使用している場合、内部発振回路をディスエーブルにするには、XTAL_OFFをハイに接続します。ADCサンプリング・クロックを生成するには、低位相ノイズ・クロックを使用します。これは、サンプリング・クロック・ジッターが入力信号を結果的に変調して、ノイズ・フロアを引き上げるためです。サンプリング・クロック発振器は、ノイズの多いデジタル回路から絶縁し、接地して、アナログ・グラウンド・プレーンにしっかりとデカップリングしてください。

サンプリング・クロック発振器では、スプリット・グラウンド・システムのアナログ・グラウンドを基準電位としてください。ただし、システムの制約によって、それができない場合もあります。多くのアプリケーションでは、デジタル・グラウンド・プレーン上で生成される高周波数の多目的システム・クロックからサンプリング・クロックを得る必要があります。クロック信号が、デジタル・グラウンド・プレーン上の信号源からアナログ・グラウンド・プレーン上のAD7725に流れる場合には、2つのプレーン間のグラウンド・ノイズがクロックに直接加わり、余分なジッターが生じます。このジッターがS/N比を低下させ、望ましくない高調波を発生させることがあります。この現象をいくらか改善するには、小型のRFトランスか高速の差動ドライバとPECLなどのレシーバを使用して、サンプリング信号を差動信号として送信します。いずれの場合も、元のマスター・システム・クロックは、低位相ノイズ水晶発振器から生成してください。

システムの同期

SYNC入力は、パラレル・モードやシリアル・モードで使用する同期機能を提供します。ユーザーは、SYNCによって、既知の時点からアナログ入力のサンプル収集を始めることができます。こうすることで、共通のマスター・クロックで動作する複数のAD7725を使用するシステムで、各ADCが同時にその出力レジスタを更新するように同期させることができます。複数のAD7725を使用しているシステムでは、それぞれのSYNC入力に共通の信号を送ることで、動作の同期をとります。SYNCがハイレベルのとき、デジタル・フィルタのシーケンサはゼロにリセットされます。長さが1 CLKINサイクルのSYNCパルスを適用できます。このようにして、CLKINの次の立ち上がりエッジでSYNCがローと検出されます。SYNCのローが検出されると、通常の変換を継続します。SYNCの後、AD7725からデータを読み出す前にモジュレータとフィルタが整定する時間が必要です。また、INITがハイになると、SYNCがアクティブになります。これによって、シリアル・モードでカスケード接続された複数のデバイスが、それぞれのアナログ入力を同時にサンプリングするようになります。

フィルタリング

プリセット・フィルタ

プリセット・フィルタは、モジュレータの直後にあるデジタル・フィルタです。これは固定フィルタで、主に、モジュレータによってシェーピングされた大きな帯域外量子化ノイズを除去する働きがあります。このフィルタはカスケード接続された3つのハーフバンドFIRフィルタで構成され、各フィルタが2ずつデシメーションします。プリセット・フィルタへのワード・レートはCLKINですが、それ以降の3つのフィルタ段でのデシメーションによって、プリセット・フィルタの出力ワード・レートはCLKIN/8となり、これがポストプロセッサへの入力ワード・レートになります。図19を参照してください。

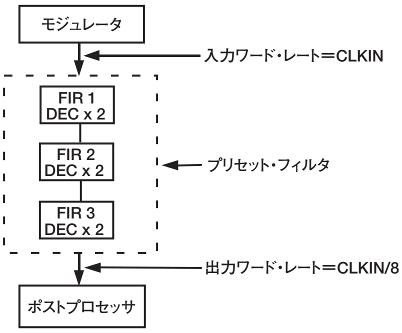


図19.　プリセット・フィルタ

ポストプロセッサ

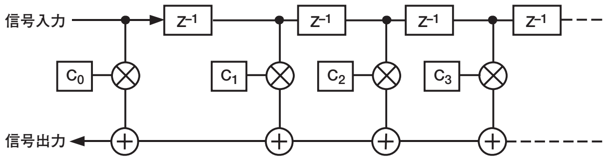
AD7725は、ユーザー・プログラマブルなポストプロセッサ、Systolix社のPulseDSP™を内蔵しています。ポストプロセッサはプリセット・フィルタの直後にあり、コアは簡単な高性能プロセッサで構成されるシストリック・アレイです。これらのプロセッサは36個の積和（MAC）ブロックにまとめられ、各ブロックに3個の乗算器と1個の加算器があります。各ブロックで3個のフィルタ・タップを処理できるので、ポストプロセッサ全体で36×3＝108までのフィルタ・タップに対応することになります。シストリック・アレイでは、数値データがプロセッサの周りに送られます。各プロセッサには専用の機能が割り当てられており、その機能だけを実行します。データがプロセッサ間で受け渡されることによって、入力信号で複雑な操作が実行されます。AD7725では、プロセッサ間のデータ転送は完全に同期しています。このため、ユーザーがタイミングの問題に悩む必要がありません。

ポストプロセッサ・コアは、シグナル・コンディショニング・アプリケーション用に最適化されています。この種のアプリケーションで一般に最もよく使われる機能が、フィルタリングです。このコアは、FIR、IIR、再帰型、非再帰型など、どんなフィルタ構造にも対応できます。また、線形化アルゴリズムでよく使用される多項関数にも対応しています。

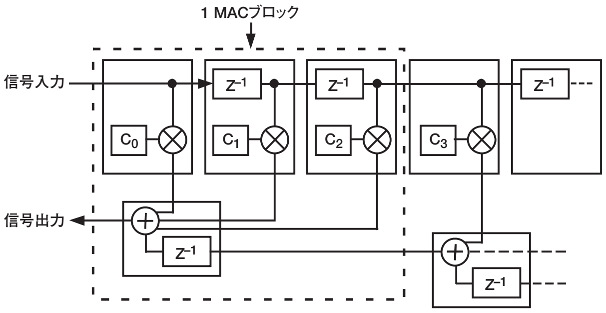
プロセッサ間でデータが受け渡されるときに、透過的なデシメーションやインターポレーションができるため、マルチレート・フィルタリングの設計が簡単になり、最終的な出力ワード・レートを柔軟に指定できるようになります。AD7725のポストプロセッサでは、256倍までのデシメーション／インターポレーションが可能です。

PulseDSPはSystolix社の商標です。

図20に、ポストプロセッサに実装されたフィルタリング機能の例を示します。図20aにはFIRフィルタのデータ・パス表現、図20bにはAD7725でこのアルゴリズムを実装する方法を示します。ポストプロセッサではMACブロックごとに3つのフィルタ・タップを実装できるので、4タップのFIRフィルタを実装するには1.3のMACブロックが必要です。新しいアプリケーションの設計条件を算出するときには、これを目安にすると便利です。



a）FIRのデータ・パス表現



b）FIRポストプロセッサの実装

図20.　AD7725ポストプロセッサのマッピング

ポストプロセッサのプログラム

ポストプロセッサをプログラムするには、ユーザー定義のフィルタを設定ファイルの形でデバイスにロードします。

ポストプロセッサにロードする設定ファイルの作成

ユーザー定義の設定ファイルを作成してAD7725のポストプロセッサにロードすれば、ユーザー固有のフィルタリング条件を実行するように乗算器とアキュムレータをプログラムすることができます。設定ファイルを作成するには、フィルタ・ウィザードというデジタル・フィルタ設計パッケージを使用します。フィルタ・ウィザードは、アナログ・デバイセズのWebサイトから入手できます。

フィルタ・ウィザード

このデジタル・フィルタ設計パッケージを使用して、さまざまなフィルタ・タイプを設計して、ポストプロセッサにロードする適切な設定ファイルを作成できます。このアプリケーションには、1段式または多段式、正規化またはユーザー指定による出力周波数、FIRまたはIIR、ローパスまたはバンドパス、ウィンドウ・タイプ、通過帯域周波数とリップル、停止帯域周波数と減衰量とリップル、デイジーチェーンとインタレーシングなど、さまざまなフィルタ・オプションを指定する機能が組み込まれています。また、設計したフィルタに伴うAD7725の消費電力を知ることもできます。これによって、デバイスの電力仕様を超えてしまうようなフィルタの設計を回避できます。振幅、位相、インパルス応答をプロットできるので、ユーザーはフィルタ応答（カットオフ周波数、遷移幅、減衰量）を理解した上で係数を生成することができます。フィルタ特性を決定したら、設定ファイルを作成します。これで、ポストプロセッサにロードすることができるようになります。

フィルタ設定ファイルの形式

フィルタ・ウィザードで作成する設定ファイルは、8272ビットのデータで構成されています。ファイルの最初のワードはIDワードと呼ばれ、これが0x7725の場合にだけ、デバイスは設定ファイルを受け付けます。残りの設定データは、672ビットから成る12個のブロックに分かれます。AD7725ポストプロセッサは、一度に672ビット（42個の16ビット・ワード）を受け付けることになります。672ビットの各ブロックの後に、巡回冗長検査（CRC）ワードが続きます。IDワードとCRCワードは、デバイスが設定ファイルのエラー・チェックを行うのに使用され、実際にはポストプロセッサに書き込まれません。したがって、ポストプロセッサは8064ビットのデータ（672×12）を保持することになります。設定エラーの検出と処理については、シリアル・モードとパラレル・モードのセクションを参照してください。ポストプロセッサにロードされる設定ファイル内のフィルタ係数には24ビットの精度があり、−8以上＋8未満の値です。係数は、1つの符号ビット、小数点の左側の3つの絶対値ビット、小数点の右側の20ビットで構成されます。

内部デフォルト・フィルタの使用

AD7725の内部ROMに格納されているデフォルト・フィルタをポストプロセッサにロードすることができます。この機能を使用すれば、設定ファイルをダウンロードせずにデバイスを評価できます。デフォルト・フィルタは2段のローパスFIRフィルタで、その仕様はCLKIN周波数と直接的な関係があります。9.6MHzのCLKIN周波数では、デフォルト・フィルタのカットオフ周波数は49kHz、阻止帯域周波数は72.7kHzです。このフィルタには合計4のデシメーションがあり、これが第1段で行われるため、出力データはCLKIN/32の周波数でインターフェースに出力されます。このフィルタの詳細な仕様については、プリセット・フィルタ、デフォルト・フィルタ、ポストプロセッサの特性のセクションを参照してください。Boot from ROMモードでパワーアップすると、AD7725はデフォルト・フィルタ特性をポストプロセッサに自動的にロードします。図21に、9.6MHzのCLKIN周波数で動作しているデフォルト・フィルタ応答を示します。

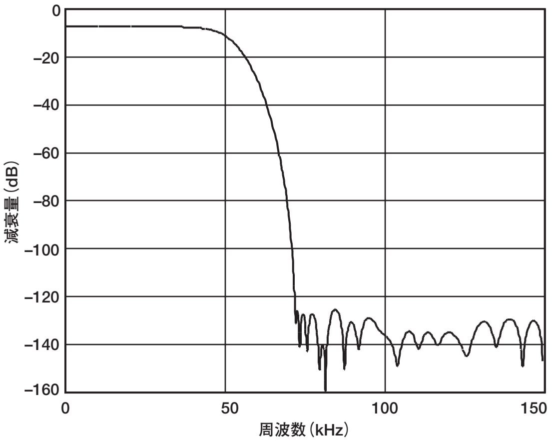


図21.　CLKIN＝9.6MHzでのデフォルト・フィルタ応答

フィルタ設計

モジュレータとプリセット・フィルタからのデータのビット・ストリームは、CLKIN/8の周波数でポストプロセッサに送られます。ポストプロセッサの設計の特質によって、必ず2の最小デシメーションが伴うため、フィルタの最大出力データ・レートはCLKIN/16となります。

フィルタは、FIRもしくはIIRの設計ができます。FIRフィルタは本質的に安定しており、線形の位相がありますが、計算上、能率が悪く、IIRフィルタと比較すれば、特定のロールオフに対して大きな係数が必要になります。IIRフィルタには潜在的な不安定性があり、非線形の位相という欠点があります。ポストプロセッサが保持できるタップの最大数は108です。したがって、108のタップを持つフィルタを1つ生成したり、タップの総数が108になるまで多段式フィルタを設計することができます。

設計ファクタ

(i) 阻止帯域の減衰量と遷移幅

フィルタ設計で望ましいのは、阻止帯域減衰量が大きく、フィルタ遷移幅が狭くなることです。この2つを実現するには、多数のフィルタ・タップが必要となります。このため、使用するタップの量を最適化できるように、設計時に何らかの妥協を図る必要があります。一般に、遷移幅と阻止帯域減衰量の間には、トレードオフが存在します。たとえば、100kHzと200kHzの間でロールオフする100kHzのカットオフ周波数を持つフィルタは、100kHzと150kHzの間でロールオフする100kHzのカットオフ周波数を持つフィルタより少ないタップを使用します。ある仕様を実現するために使用するタップの数を減らすには、段間でデシメーションを行う多段式フィルタを設計します。フィルタの第1段を使用してデシメーションを行い、プレフィルタとして帯域外ノイズを除去しておけば、それ以降の段には厳しい仕様を設定することができます。

(ii) デシメーション

デシメーションによってフィルタの出力データ・レートを低減できるため、それ以降のフィルタ段で入力データ・レートが低くなります。多段式フィルタでデシメーションを使用すると、ビット・ストリームが2でデシメーションされるたびに、ノイズが$f_S/2$に折り込まれます。このため、デシメーションが発生するとき量子化ノイズが対象帯域に折り込まれないように、デシメーションの前に量子化ノイズを適切に除外しておくことが大切です。適切なフィルタリングによって、データ・ストリームが2でデシメーションされるたびに、ノイズ・フロアは3dBだけ増加しますが、ノイズ・フロアはデシメーションの前に120dBでダウンしています。したがって、適切なデシメーションを行えば、一般にAD7725の出力でS/N比が83dBになります。

データ・レートのデシメーションによって、フィルタ遷移幅を改善して、デシメーション・ファクタの逆数と等しくなるようにすることができます。FIRフィルタでは、入力データ・レートが最大データ・レートの半分になるように設計した場合（つまり、前のフィルタ段に2のデシメーションがある場合）、そのフィルタの遷移幅を、任意の数のタップに対して最大の入力データ・レートが得られるよう設計されたフィルタの遷移幅の半分にすることができます。たとえば、100kHzのカットオフ周波数と200kHzの阻止帯域周波数を持つフィルタの生成に必要なタップ数は、フィルタリング段の前でデータ・ストリームに2のデシメーションを行えば、100kHzのカットオフ周波数と150kHzの阻止帯域周波数を持つフィルタの生成に必要なタップ数と等しくなります。IIRフィルタでは、デシメーションは遷移幅に影響を与えません。

デシメーションが行われると、特定のフィルタ仕様の実現に必要なフィルタ係数の量が減るので、フィルタを実現するためのデバイスの消費電力も減ります。したがって、1段フィルタでアプリケーションのロールオフ条件と阻止帯域減衰量の条件を満たしていても、許容量以上の電力を消費している場合には、デシメーションによって問題が解決します。デシメーションを行う前に、ハーフバンド・フィルタを使用することをお勧めします。これによって、簡単なローパス・フィルタリングを行うために必要なタップ数を減らすことができます。ハーフバンド・フィルタの遷移領域の中間点はナイキスト周波数の半分（または$f_S/4$）にありますが、デシメーションによって、それ以降の段への入力が減るため、帯域幅も減少します。

図22に、特定の遷移幅について、フィルタの前のデシメーション・ファクタが増えるにつれて消費電流が減り、これによって消費電力が減ることを示します。

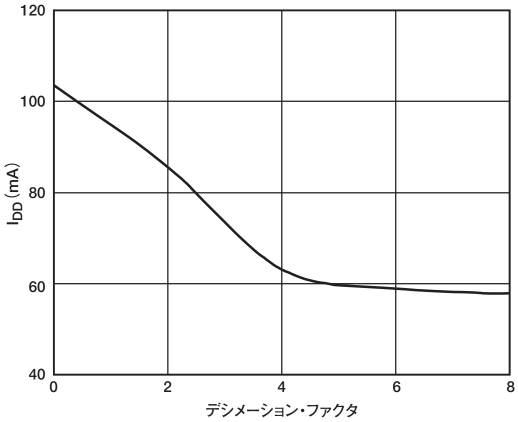


図22. 図1に示す66kHzの遷移幅を持つフィルタにおけるI_{DD}とデシメーションの関係

消費電力とフィルタ・タップとCLKIN周波数

AD7725用のフィルタを設計するとき、考慮すべき重要な要素は消費電力です。DI_{DD}、ポストプロセッサで使用するフィルタ・タップの数、そしてCLKIN周波数の間には、比例関係があります。AD7725パッケージで許容できる最大I_{DD}（AI_{DD}とDI_{DD}の合計）は150mAです。使用するフィルタ・タップが増えると、DI_{DD}が高くなります。また、CLKIN周波数が高くなるほど、DI_{DD}も高くなります。したがって、デバイスの電力を許容内に収めるために、場合によってCLKIN周波数とフィルタ・タップの間でトレードオフを図る必要があります。

このような消費電力の制約条件は、フィルタ設計パッケージのフィルタ・ウィザードの中に入っています。フィルタを設計している間、消費電力が表示され、許容範囲を超過すると反転表示されます。

図23と図24に、フィルタ・タップとCLKIN周波数のI_{DD}に対する関係を示します。

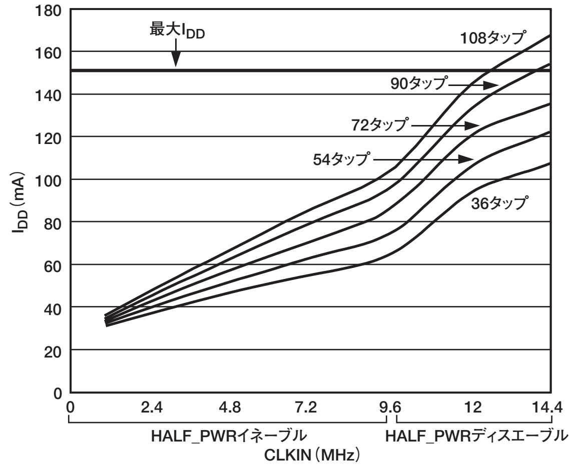


図23.　さまざまなフィルタ・タップ数に対する代表的なI_{DD}とCLKINの関係

特定のCLKIN周波数に対して、より正確なタップ数を得るには、図24を参照してください。

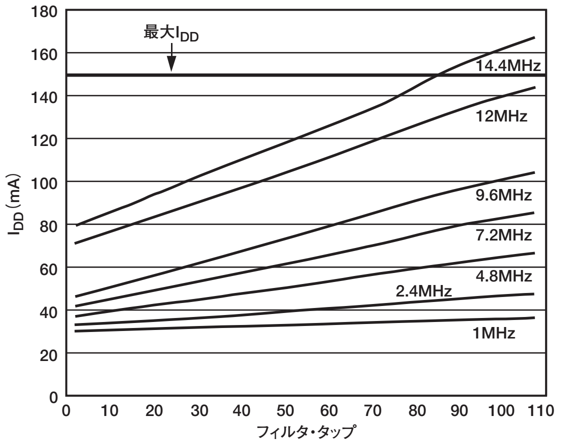


図24.　さまざまなCLKIN周波数に対する代表的なI_{DD}とフィルタ・タップの関係

図23と図24は、最悪のI_{DD}値をもたらす1段のローパスFIRフィルタの場合です。

フィルタで行われるデシメーションの量が増えるにつれて、I_{DD}は減ります。

動作モード

AD7725は、シリアルまたはパラレルのインターフェースで動作します。これらのモードを選択するためには、S/$\overline{P}$ピンのロジック状態を設定します。

パラレル・モード

パラレル・モードを選択するためには、S/$\overline{P}$をDGNDに接続します。パラレル・モードでAD7725の動作とポストプロセッサをプログラムするには、命令セットを使用する必要があります。ユーザーは、デバイスの動作について情報を提供する内蔵ステータス・レジスタにアクセスすることもできます。パラレル・インターフェースは、デジタル信号プロセッサとマイクロプロセッサに接続する標準のインターフェースです。図25に、AD7725とDSP／マイクロプロセッサ間のインターフェースを示します。図6、図7、図8には、パラレル・インターフェースのタイミングを示します。

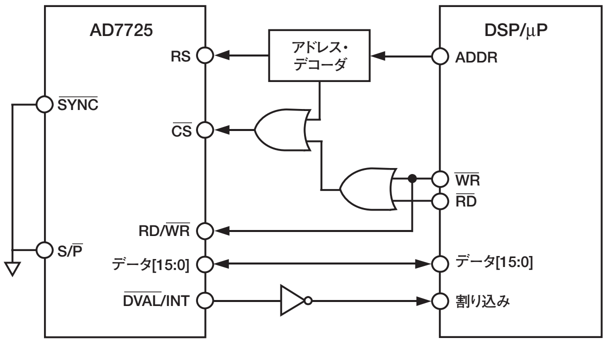


図25.　マイクロプロセッサへのAD7725パラレル・インターフェース

パラレル・モードでのAD7725の動作

AD7725では、DSP／マイクロプロセッサと通信するために、命令セット、割り込み出力（INTピン）、内蔵ステータス・レジスタを使用します。ユーザー介入が必要になるたびに、AD7725は割り込みを発行します。割り込みをクリアするには、命令を書き込むか、ステータス・レジスタを読み出します。パワーオン・リセットが完了すると、AD7725が割り込みを発行して、DSP／マイクロプロセッサとの通信を始めるためにユーザー介入が必要なことを示します。命令を発行して、ポストプロセッサをプログラムするための設定データをロードしてください。設定ファイルがロードされたら、デバイスが別の割り込みを発行します。これによって、ステータス・レジスタが読み出され、設定中にエラーが発生したかどうかチェックできます。設定プロセスでエラーが発生しなかった場合には、デバイスに変換の開始を指示する命令を発行できます。

命令／設定データの書き込みや、ステータス・レジスタ／変換データの読み出しを行うには、ピンRD/$\overline{WR}$、$\overline{CS}$、RSをデータ・ピンD0～D15と組み合わせて使用します。

読み出しサイクルでは、RSピンがステータス・レジスタや変換結果が読み出されるかどうかをAD7725に通知します。RSがハイレベルの場合、ステータス・レジスタが読み出されます。RSがローレベルの場合、デバイスIDや変換結果などのデータ・レジスタが読み出されます。同様に、$\overline{WR}$サイクルでは、RSがハイレベルの場合、命令が書き込まれます。RSがローレベルの場合、データ（設定データなど）が書き込まれます（表Iを参照）。

表I.　読み出しおよび書き込み

RD/$\overline{WR}$（ピン7）	RS（ピン4）	動作
0	0	データ書き込み
0	1	命令書き込み
1	0	データ読み出し
1	1	ステータス・レジスタ読み出し

ステータス・レジスタ

ステータス・レジスタは、デバイスのステータスについての情報をユーザーに提供する16ビット・レジスタです。ユーザーが入手できる情報としては、設定ファイルが正しくロードされたかどうか、エラーがあればどんなエラーが発生したか、最後に書き込まれた命令、デバイスを動作させるときにユーザーに役立つその他の情報が含まれます。ステータス・レジスタを読み出すためには、RSをハイレベル、RD/$\overline{\text{WR}}$をハイレベルにします。$\overline{\text{CS}}$がローレベルになると、ステータス・レジスタの内容が出力されます。表IIにステータス・レジスタ、表IIIに命令セットを示します。

表II. ステータス・レジスタ

ビット	名前	機能
15	InstrBUSY	命令が実行されているとき、このビットが1に設定されます。
14	データ・レディ	デバイスからデータを読み出す準備ができると、このビットが1に設定されます（読み出しデータ・サイクルを要求しています）。
13	データ・リクエスト	デバイスが書き込みデータを要求しているとき、このビットが1に設定されます（書き込みデータ・サイクルを要求しています）。
12	IDエラー	プログラミング・データに不正なID値がある場合、このビットが1に設定されます。
11	CRCエラー	デバイスに壊れたデータがロードされた場合、このビットが1に設定されます。
10	データ・エラー	オーバーフローが発生して変換結果が無効になる場合、このビットが1に設定されます。
9	InstrReg[15]	命令レジスタのビット15
8	InstrReg[13]	命令レジスタのビット13
7	InstrReg[12]	命令レジスタのビット12
6	InstrReg[11]	命令レジスタのビット11
5	InstrReg[6]	命令レジスタのビット6
4	InstrReg[5]	命令レジスタのビット5
3	InstrReg[4]	命令レジスタのビット4
2	InstrReg[1]	命令レジスタのビット1
1	InstrReg[0]	命令レジスタのビット0
0	CFGEND	設定終了フラグ。デバイスが正しく設定され、変換を開始する準備ができると、これが1に設定されます。

表III. パラレル・モードで使用する命令セット

命令	16進コード	説明
RdID	0x8802	デバイスIDの読み出し
RdCONV	0x8D21	コンバータ・データの読み出し。AD7725にこの命令が発行されると、ABORT命令が発行されるまで、デバイスは変換データの出力を続けます。
WrConfig	0x1800	設定データの書き込み
WrConfigEM	0x1A00	設定データの書き込み、マスク・エラー
ABORT	0x0000	アボート。この命令はソフト・リセットです。変換プロセスを中断して、デバイスを次の命令で使用できるように、設定されたままのクリーンな状態にします。
BFR	0x2000	内蔵ROMからのブート

デバイスの設定

パワーアップに引き続いて、パラレル・インターフェースを介して外部ソースからユーザー定義フィルタをロードして、AD7725を設定します。AD7725を設定するには、3つの命令があります（表IIIを参照）。

(i) WrConfig（設定の書き込み）

この命令が発行されると、設定データの新しいワードが要求されるたびに、デバイスが割り込みを生成します。割り込みは、データ書き込みサイクル中の$\overline{\text{CS}}$の立ち下がりエッジでクリアされます。この動作は、ファイルがすべて書き込まれるまで継続します。設定データの最後のワードが書き込まれた直後に、最後の割り込みがアサートされて「命令完了」を示します。

設定プロセス中にエラーが発生した場合（たとえば、設定データが壊れていたり、フォーマットが不正な場合）には、割り込みがアサートされます。

この命令を使用するときは、それぞれの割り込みの後でステータス・レジスタを読み出して、エラーの発生がなく正しい応答が行われたことを確認することをお勧めします。設定データが壊れている場合には、ポストプロセッサの内部に書き込まれません。

(ii) WrConfigEM（エラー・マスクによる設定の書き込み）

この命令が発行されると、設定ファイルのダウンロード中にエラーを通知する割り込みがアサートされません。これによって、前の命令のように割り込みごとにステータス・レジスタを読み出す手間を省きます。設定プロセスは、設定ファイルで常に504（42の書き込み×12ブロック）件のデータ書き込みサイクルを実行し、これが完了すると「命令完了」の割り込みを発行します。この場合、設定の最後にステータス・レジスタをチェックして、エラーが発生したかどうかを確認してください。設定データが壊れている場合には、ポストプロセッサの内部に書き込まれません。

評価を行う場合には、ユーザーは、内蔵ROMに格納されたデフォルト・フィルタをポストプロセッサにロードできます。この場合、次の命令を発行してください。

(iii) BFR（Boot from ROM）

この命令は、内蔵ROMに格納されたデフォルト・フィルタ用の設定データをロードするようデバイスに通知します。

変換

変換を開始するには、RdCONV（コンバータ・データを読み出し）命令を発行します（表IIIを参照）。変換データの読み出し準備ができると、すぐにINTがアサートされます（ステータス・レジスタのビット14がセットされます）。INTは、デバイスからデジタル・ワードが読み出されるまでハイレベルを保ちます。その後ローになり、次の変換が完了するとハイレベルに戻ります。デバイスは、ABORT命令が発行されるまで、変換を続けます。

シリアル・モード

シリアル・モードを選択するには、S/$\overline{\text{P}}$をDV_{DD}に接続します。図4に、AD7725のシリアル・インターフェースを示します。AD7725はマスターとしてのみ動作し、設定データをデバイスに転送するための2本のシリアル・データ入力ピン（FSIとSDI）、変換データをデバイスから転送するための2本のシリアル・データ出力ピン（FSOとSDO）、そしてシリアル・クロック出力（SCO）を用意しています。データはSCOに同期して、デバイスから入出力します。FSI信号とFSO信号を使用して、デバイスまたはプロセッサにデバイスとの間のワード転送の開始を指示します。AD7725は、変換とデータ転送用のクロックを用意しています。CFMTピンで変換中のSCOのアクティブ・エッジを選択し、EFMTピンで設定中のSCOのアクティブ・エッジを選択します。

シリアル・モードでのポストプロセッサのプログラミングとAD7725の動作は、すべて端子設定で行えます。シリアル・モードには、パワーアップ後のポストプロセッサの設定方法を決める3つのサブモードがあります。SMODE0ピンとSMODE1ピンのロジック値を設定して、これらのモードを選択します（表IVを参照）。サブモードは次のとおりです。

(i) DSP：フィルタはユーザー定義可能で、DSPからロードします。

(ii) EPROM：フィルタはユーザー定義可能で、外部EPROMからロードします。

(iii) Boot from ROM（BFR）：内蔵ROMに格納されているデフォルト・フィルタをポストプロセッサにロードし、設定データをロードせずにデバイスを評価できます。

シリアル・モードで複数のAD7725をデイジーチェーン接続することによって、すべてのAD7725を1つのEPROMやDSPから設定できるようにし、すべてのデバイスからの変換データを1つのDSPで読み出せるようにできます。

DSPモード — DSPから設定データをロード

このモードでは、ユーザー定義フィルタを作成して、できあがった設定ファイルをDSPからポストプロセッサにロードできます。これによって、DSPがAD7725にデータをロードし、変換結果を読み出します。この動作モードを選択するには、SMODE0をDV_{DD}に接続し、SMODE1をDGNDに接続します。これらのピンの値で、パワーアップ後にユーザー定義フィルタのデータがDSPからポストプロセッサに自動的にロードされることをAD7725に通知します。FSIとSDIを使用してデータをロードし、SCOによってデータの転送を制御します。パワーオン・リセットに続いて、$\overline{\text{SOE}}$ピンがハイレベルになり、ポストプロセッサの設定を開始できることをDSPに知らせます。設定中にエラーが発生しなかった場合には、CFGEND出力がハイレベルになります。図26では、CFGENDがINITに接続されているので、INITをハイレベルに駆動し、デバイスが変換を開始します。設定中にエラーが発生した場合には、$\overline{\text{ERR}}$ビットがローレベルになり、CFGENDはハイレベルになりません。このため、INITピンが変換を開始しません。$\overline{\text{RESETCFG}}$にローレベル・パルスが入力されるまで、デバイスは何もしません。ローレベル・パルスが入力されると、デバイスがリセットされ、$\overline{\text{SOE}}$がハイレベルになり、設定ファイルが再ロードされます。

AD7725は設定ファイル全体を読み出し、設定中にエラーが発生した場合でも、ファイル全体が読み出された後でなければユーザに通知しません。この場合、データはポストプロセッサにロードされません。SCRの値でシリアル・クロック周波数（SCO）を選択し、CLKIN（SCR＝0）またはCLKIN/2（SCR＝1）にすることができます。AD7725がCLKIN/16でデータを出力する場合には、SCOはCLKINと等しい周波数でなければなりません。低い出力ワード・レートの場合は、どちらのクロック周波数でも使用できます。AD7725に設定データをロードするために、1 CLKINサイクル幅のFSIパルスが、デバイスにデータが転送されていることをAD7725に知らせます。データは、FSIパルスの検出に続く、次の16 SCLKサイクルを使用してロードされます。図26に、DSPから設定データをロードする場合のAD7725の接続図を示します。図27には、パワーアップと設定シーケンスのフローチャートを示します。

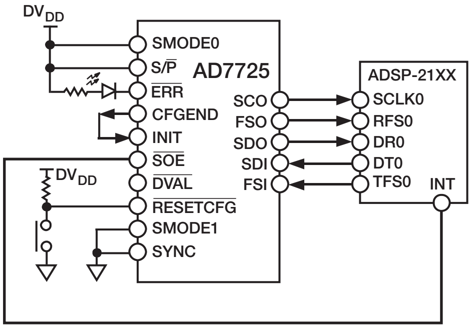


図26. DSPからフィルタ設定データをロードするための接続図

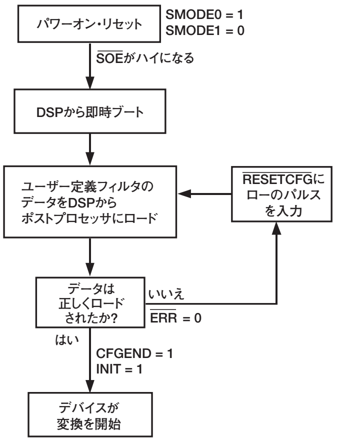


図27. DSPモードのフローチャート

表IV.　プログラミング・モード

S/$\overline{\text{P}}$	SMODE[1、0]	設定モード	説明
0	xx	PARALLEL	パラレル・インターフェース　16ビットの双方向マイクロプロセッサ。読み／書き動作にインターフェースを使用します。
1	00	BFR	シリアル・インターフェース　パワーオン・リセット（POR）時にデフォルト・フィルタ（内蔵ROM）からブート。
1	01	DSP	シリアル・インターフェース　DSPへのインターフェースに適した双方向シリアル同期インターフェース。
1	10	EPROM	シリアル・インターフェース　POR時に外部シリアルEPROMからブート。
1	11	EPROM	シリアル・インターフェース　POR時に外部シリアルEPROMからブート。

EPROMモード — 外部EPROMから設定データをロード

このモードでは、ユーザー定義フィルタをオフチップで作成し、できあがった設定ファイルを外部EPROMからAD7725のポストプロセッサにロードします。AD7725は、シリアル・インターフェースを介して変換結果をDSPに出力する前に、EPROMからフィルタ・データを受信することになります。この動作モードを選択するには、SMODE0をDGNDに接続し、SMODE1をDV_{DD}に接続します。これらのピンの値で、パワーアップ時にユーザー定義フィルタのデータを外部EPROMから自動的にロードすることをAD7725に知らせます。パワーアップに続いて、AD7725が$\overline{\text{SOE}}$ピンをローレベルに駆動することで、EPROMがイネーブルになり、そのアドレス・カウンタがリセットされます。次いで、データがSCO立ち上がりエッジでAD7725にラッチされるとともに、設定データの転送を開始します。データのダウンロード中、SCOの周波数はCLKIN/8になります。データ転送ではFSIを使用しないので、ローに接続してください。設定が完了してエラーが発生しなかった場合には、$\overline{\text{SOE}}$がハイレベルになってEPROMをディスエーブルにします。SCOは、SCRに応じて、CLKINまたはCLKIN/2に戻ります。さらにCFGENDがハイレベルになってINITピンをハイレベルに駆動し、デバイスが変換を開始します。設定中にエラーが発生した場合には、$\overline{\text{ERR}}$ビットはローレベルになり、CFGENDはハイレベルになりません。デバイスは、$\overline{\text{RESETCFG}}$にローレベル・パルスが入力されるまでは、何もしません。ローレベル・パルスが入力されると、デバイスがリセットされ、$\overline{\text{SOE}}$が再びローレベルになってEPROMをイネーブルにし、デバイスを再設定します。図28に、EPROMから設定データをロードする場合のAD7725の接続図を示します。図29には、パワーアップと設定シーケンスのフローチャートを示します。

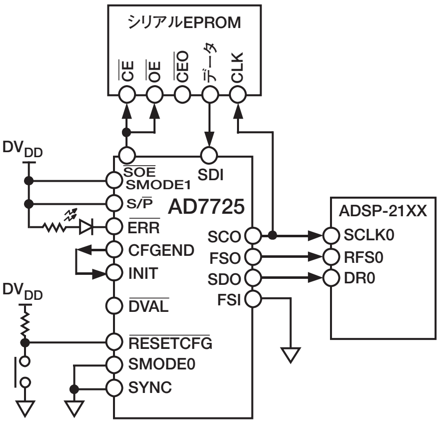


図28.　フィルタ設定データを外部EPROMからロードする場合の接続図

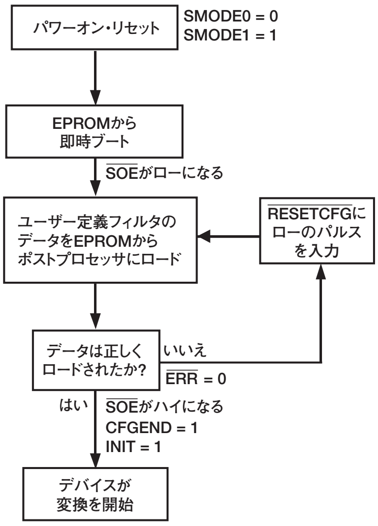


図29.　EPROMモードのフローチャート

Boot from ROMモード（BFR） — 内部デフォルト・フィルターを使用

この動作モードでは、設定データをロードしないでAD7725の評価ができます。このモードを選択するには、SMODE0とSMODE1をDGNDに接続します。これらのピンの値で、内蔵ROMに格納されているデフォルト・フィルタでポストプロセッサを設定することをAD7725に知らせます。デフォルト・フィルタのデータは、パワーアップに続いてポストプロセッサに自動的にロードされます。設定が完了すると、CFGENDピンがハイレベルになります。図30に示すように、CFGENDがINITに接続されているので、INITピンがハイレベルに駆動され、AD7725が変換を開始します。

このモードでは、FSIとSDIは使用しないので、DGNDに接続してください。AD7725は、この動作モードでは、固定したフィルタ応答特性の通常の$\Sigma\Delta$ ADCとして動作します。

設定中、SCOの周波数がCLKIN/16になります。設定が完了すると、SCRの選択によって、SCOの周波数がCLKINかCLKIN/2になります。また、CFMTを使用して、デバイスがデータを出力するSCOエッジを選択します。SCR＝0で、SCOはCLKINになり、SCR＝1では、SCOはCLKIN/2になります。CFMT＝0で、SCOの立ち上がりエッジでデータを出力し、CFMT＝1では、立ち下がりエッジで出力します。図30に、内部デフォルト・フィルタを使用する場合のAD7725の接続図を示します。図31には、パワーアップと設定シーケンスのフローチャートを示します。

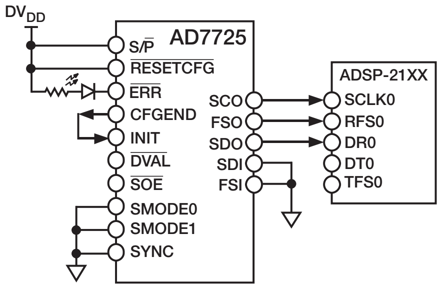


図30.　BFRモードでデフォルト・フィルタをロードする場合の接続図

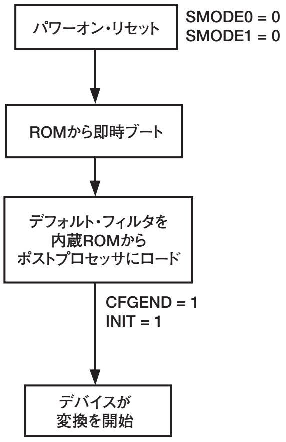


図31.　BFRモードのフローチャート

デイジーチェーン・デバイス

複数のAD7725を使って、デイジーチェーン／カスケード接続ができます。AD7725のこの機能によって、1本のシリアル・データ・ストリームで複数のデバイスの設定が可能になるため、システムに必要な条件が軽減します。また、1本のシリアル・データ・ストリームを用いて複数のデバイスからの変換データを1つのDSPで読み出すこともできます。デイジーチェーン接続の場合、各デバイスのSDO/FSOピンとSDI/FSIピンを使用して、設定／変換データがデバイスからデバイスに移動します。フィルタ設計パッケージのフィルタ・ウィザードを使用して、特定のデイジーチェーン設定ファイルを作成する必要があります。ユーザーは、いくつかのデイジーチェーン・オプションから選択できます。

(i)　設定中のデイジーチェーン接続

複数のAD7725をデイジーチェーン接続することで、共通の外部シリアルEPROMまたはDSPからすべてのデバイスに設定することが可能です。ユーザーは、フィルタ・ウィザードで、チェーン内のデバイスの数を指定し、デバイスごとに特定のフィルタを設計します。これによって、デバイスごとに別個の設定ファイルが作成されます。すべてのデバイスの設定ファイルを、テキスト・エディタなどを使用して、（最初のデバイスのファイルから順番に）1つの設定ファイルにまとめれば、1つのファイルをEPROMやDSPにロードするだけで済みます。各デバイスのFSI/SDIとFSO/SDOを使用して、この設定ファイルをデバイスにロードします。デバイスをデイジーチェーンで設定しておけば、各デバイスを別々に動作させることができ、FSOとSDOを使用して変換データを各デバイスから別個に読み出せます。

(ii)　デイジーチェーン — 設定と変換データ

複数のAD7725をデイジーチェーン接続して、（(i)で説明したように）共通の外部シリアルEPROMやDSPから設定でき、1本のシリアル・データ・ストリーム上で個々のデバイスからの変換データをすべて1つのDSPで読み出せるようにすることができます。そのためには、各デバイスの各フィルタの後にインターレーサが必要です。フィルタ・ウィザードを使用して、この設計を実装できます。インターレーサの機能は、各デバイスの変換データ出力を順番に1本のシリアル・データ・ストリームにまとめて行くことです。インターレーサは、インターポレーションとサミングでデータを結合します。インターポレーションでデータにゼロを埋め込みます。次に、インターレーサが、前のデバイスから出力データを取り出し、1クロック・サイクルだけ遅らせて、それを現在のデバイスの補間した出力に合計します。この動作はチェーン内の各デバイスで行われ、最後のデバイスからの出力データでは、すべてのデバイスの変換データが結合して1本の連続したデータ・ストリームになります。インターレースを行うフィルタを設計する場合は、異なるデバイスの変換データ間に干渉が生じないように、各デバイス上のフィルタのデシメーション・レートは、チェーン内のデバイス数の2倍、またはこの値の倍数にしてください。インターポレーションとデシメーションによって、各デバイスの実効出力データ・レート（最後のデバイスから出たとき）はCLKIN/(16×デバイスの数)になり、最終デバイスの実際の出力データ・レートはCLKIN/16になります。デイジーチェーンとインターレースの設計が完了したら、デバイスにロードする1つの設定ファイルが作成されます。図32に、インターレースを使用して、3つのデバイスをデイジーチェーン接続する例を示します。

設定データのロード

共通のEPROMまたはDSPから設定ファイルをロードする場合、設定データは、チェーン内の最初のデバイスにロードされます。このデバイスが設定されたら、データは、デバイス1のFSO/SDOとデバイス2のFSI/SDIを介して、チェーン内の2番目のデバイスにロードされます。このデバイスが設定されると、チェーン内の次のデバイスにデータがロードされ、このようにしてすべてのデバイスが設定されます。最後のデバイスのCFGENDピンがすべてのデバイスのINITピンに接続されているため、最後のデバイスが正しく設定されると、変換を開始します。

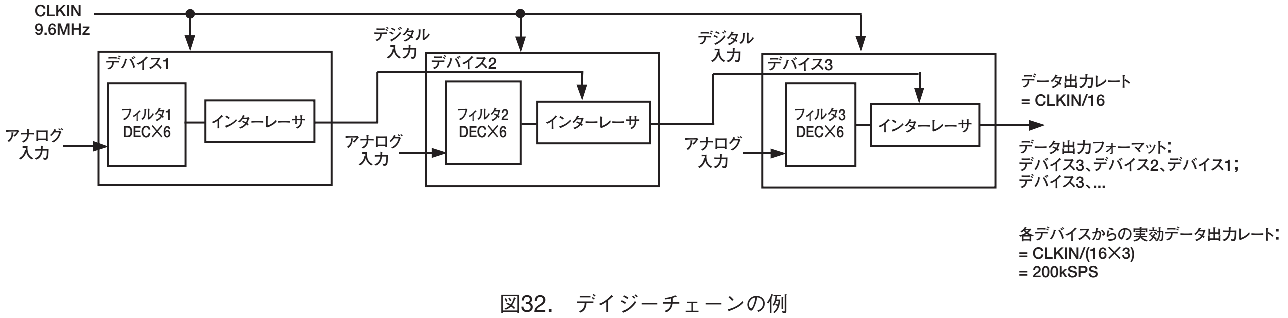


図32.　デイジーチェーンの例

変換
ADCが変換しているとき、チェーン内の最初のデバイスの変換結果は、2番目のデバイスに送られ、インターレーサによって2番目のデバイスの変換データと結合されます。さらに、このデータがチェーン内の次のデバイスからのデータと結合され、これが繰り返されます。最後のデバイスからの出力は、チェーン内のすべてのデバイスの変換結果で構成される連続したシリアル・データ・ストリームとなります。1つのDSPで、すべての変換データを次のように順番に読み出すことができます。

デバイスN；... デバイス2；デバイス1；デバイスN；... デバイス2；デバイス1；など

図33に、共通のDSPで複数のデバイスをデイジーチェーン接続する場合の接続図を示します。図34には、共通のDSPと共有EPROMで複数のデバイスをデイジーチェーン接続する場合の接続図を示します。

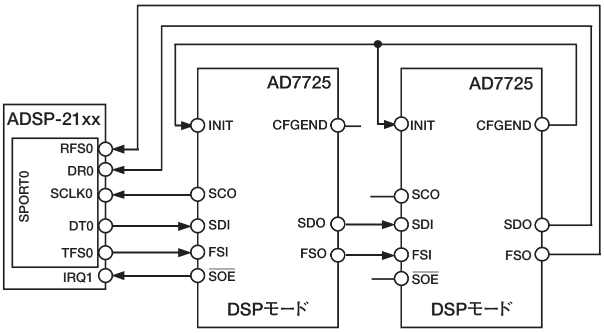


図33. 共通のDSPによるデバイスのデイジーチェーン接続

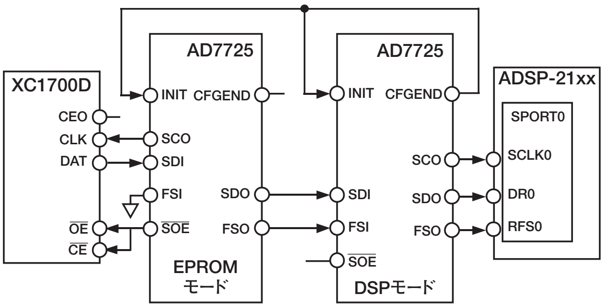


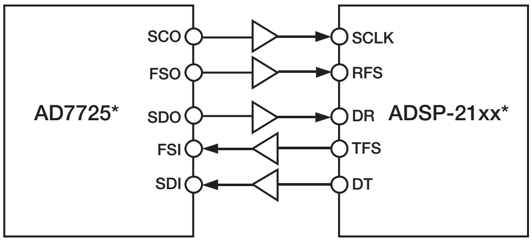
図34. 共通のDSPと共有EPROMによるデバイスのデイジーチェーン接続

(iii) 複数のデバイスでのフィルタのカスケード接続
フィルタの設計が大きすぎて、1つのAD7725デバイスでは処理できない場合には、複数のデバイスにまたがってフィルタをカスケード接続することができます。たとえば、108個を超えるタップの実装を必要とする3段フィルタを設計する場合、このフィルタを2つまたは3つのデバイスで共有できます。このためには、フィルタ・ウィザードで設定ファイルを作成する必要があります。ユーザーは、フィルタ・ウィザードを使ってフィルタ段を分割し、これを異なるデバイス上に実装し、最終デバイスの出力で最初のデバイスの入力をフィルタリングしたものが得られるようにすることができます。

DSPへのシリアル・インターフェース

AD7725は、シリアル・モードで業界標準のいくつかのデジタル信号プロセッサに直接接続することができます。いずれの場合も、AD7725がマスター、DSPがスレーブとして動作します。AD7725はシリアル・クロック（SCO）を用意しており、SDOピン上のデジタル・ワードをDSPに送信します。また、AD7725からDSPへの16ビット・ワードの転送を同期させるフレーム同期信号も生成します。SCOの周波数は、SCRピンの状態に応じて、CLKINまたはCLKIN/2になります。

AD7725からADSP-21xxへのインターフェース
図35に、ADSP-21xxとAD7725とのインターフェースを示します。ADSP-21xxの場合、シリアル・ポート・コントロール・レジスタのビットは、RFSR＝TFSR＝1（データ転送ごとにフレーム同期が必要）、SLEN＝15（16ビット・ワード長）、RFSW＝TFSW＝0（送受信動作用の通常のフレーミング・モード）、INVRFS＝INVTFS＝0（アクティブ・ハイレベルのRFSとTFS）、IRFS＝0（外部RFS）、ITFS＝1（内部TFS）、ISCLK＝0（外部シリアル・クロック）に設定してください。



* 分かりやすくするため他のピンは省略してあります。

図35. AD7725からADSP-21xxのインターフェース

接地とレイアウト

AD7725に対するアナログとデジタルの電源はそれぞれ独立しており、別々のピンを用意しているため、デバイス内のアナログ部とデジタル部の間のカップリングは最小限に抑えられます。直列のインダクタンスを最小限に抑えるため、AD7725のすべてのAGNDピンとDGNDピンは、グラウンド・プレーンに直接ハンダ付けする必要があります。さらに、電源ピンやリファレンス・ピン（REF1とREF2）から、デカップリング・コンデンサを介して関連するグラウンドまでをつなぐACパスは、できるだけ短くする必要があります（図36）。最適なデカップリングを行うには、表面実装型のコンデンサをデバイスにできるだけ近づけて配置し、理想的にはデバイス・ピンの真上に配置します。

静電結合を回避するには、グラウンド・プレーンが重なり合ってはいけません。AD7725のデジタルとアナログのグラウンド・プレーンは、低インダクタンスのパスによって1ヶ所で、できればデバイスの真下で接続する必要があります。一般にこの接続は、グラウンド・プレーンが同じレイヤ上にある場合は、0.5cm幅のプリント回路基板上のパターンとし、グラウンド・プレーンが異なるレイヤ上にある場合は、0.5cm幅のパターンと等価な抵抗値のメッキスルー・ホールを使用します。AD7725に接続する外部ロジックには、AD7725のデジタル・グラウンド・プレーンとは別のグラウンド・プレーンを使用してください。この2つのデジタル・グラウンド・プレーンも1ヶ所で接続してください。

AV_{DD}とDV_{DD}の電源を分離することも、効果的です。デジタル電源ピンDV_{DD}には別のアナログ電源から電力を供給しますが、必要ならば、AV_{DD}と電源接続を共有できます。

グラウンド・プレーンに最小限のエッチングを施す方法は、最良のシールド効果が得られるため一般に最も有効です。システムの配置に注意し、異なる信号が相互に干渉しないようにすれば、ノイズを最小限に抑えることができます。高いレベルのアナログ信号を低いレベルのアナログ信号から分離し、両方ともデジタル信号から離しておきます。波形サンプリングや再生のシステムでは、サンプリング・クロック（CLKIN）がアナログ信号並みにノイズに弱くなっています。CLKINは、アナログやデジタルのシステムから絶縁しておきます。クロックなどの高速なスイッチング信号は、基板の他の部分にノイズを放射しないようにアースでシールドし、アナログ入力の近くにクロック信号を通さないようにします。

デジタル・ラインはダイにノイズを流しますから、デバイスの下に通さないでください。アナログのグラウンド・プレーンは、ノイズ・カップリングからシールドするためにAD7725の下を通す必要があります。インピーダンスが低い経路を実現し、電源ライン上のグリッチ効果を減らすために、AD7725への電源ラインにできるだけ幅の広いトレース配線（できればプレーン）を使用します。デジタル信号とアナログ信号の交差は避けてください。基板の反対側の面にあるトレースは、互いに直角になるようにします。これによって、基板を通るフィードスルーの影響が低減します。

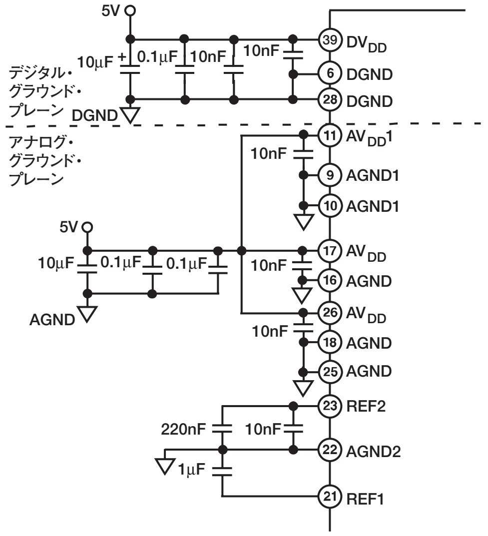


図36.　リファレンスと電源のデカップリング

PCB構造とデバイス・マウントによる熱除去の最適化

風のない通常の空調環境では、チップから周囲への主な放熱経路は、部品のピンからPCBとなります。この場合、基板の熱抵抗が重要な変数になります。これを下げるには、グラウンド・プレーンをヒートシンクとして最大限に活用し、熱が放散する経路（たとえば、基板取り付けシャーシへの伝導）を最適化します。基板内の（特にデバイスの領域で）銅の割合が増えるほど、熱抵抗は下がります。グラウンド・プレーンに広いトラックと熱バイアを使用することは、非常に効果的です。重要なコンポーネントを基板のエッジがシャーシに接続する部分の近くに配置すれば、ヒートシンクや強制空冷を使用しなくても冷却効果が得られます。熱ができるだけ広い領域から放散するように、高出力デバイスを接近させて配置するのは避けてください。

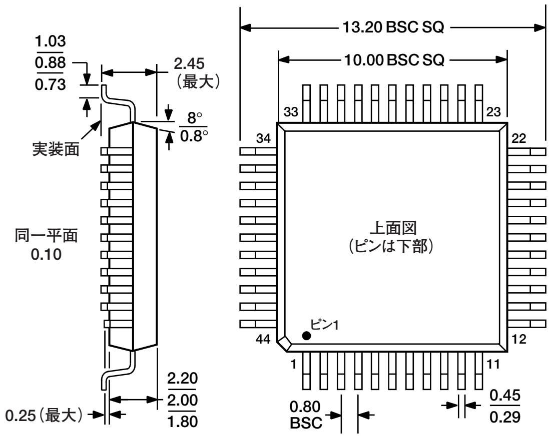
AD7725の性能評価

AD7725の評価パッケージには、組み立ておよびテスト済みの評価ボード、ドキュメント、評価ボード・コントローラを介してPCから基板を制御するためのソフトウェアが入っています。評価ボード・コントローラをAD7725評価ボード（あるいは末尾番号がCBの他の多くのアナログ・デバイセズの評価ボード）と組み合わせて使用すれば、AD7725の性能を実証／評価することができます。このソフトウェアによって、ユーザーは、AD7725のACテスト（高速フーリエ変換）とDCテスト（コードのヒストグラム）を実行できます。フィルタ設計パッケージのフィルタ・ウィザードをダウンロードすれば、ユーザー定義のフィルタ・ファイルをAD7725にロードして、評価ボード・コントローラを介してポストプロセッサをプログラムできます。詳細については、アナログ・デバイセズのWebサイトをご覧ください。

外形寸法

44ピン・プラスティック・クワッド・フラット［MQFP］
（S-44）

寸法はミリメートルで表示



JEDEC規格MS-022-ABに準拠

C01552-0-1/03(0)

PRINTED IN JAPAN