

### 特長

#### スループット

570 kSPS (ワーブ・モード)  
500 kSPS (ノーマル・モード)

INL:  $\pm 2.5$  LSB Max (フル・スケールの $\pm 0.0038\%$ )

ノーマス・コードで16ビットの分解能

S/(N+D): 180 kHz で 90 dB (Typ 値)

THD: 180 kHz で -100 dB (Typ 値)

#### アナログ入力電圧範囲

バイポーラ:  $\pm 10$  V,  $\pm 5$  V,  $\pm 2.5$  V  
ユニポーラ: 0 V ~ 10 V, 0 V ~ 5 V, 0 V ~ 2.5 V

AC仕様とDC仕様の両方を規定

パイプライン遅延なし

パラレル(8/16ビット)インターフェースおよびシリアル5 V/3 Vインターフェースを内蔵

SPI<sup>®</sup>/QSPI<sup>™</sup>/MICROWIRE<sup>™</sup>/DSP に互換

5 V 単電源動作

#### 消費電力

64 mW (typ)  
15  $\mu$ W @ 100 SPS

パワーダウン・モード: 最大 7  $\mu$ W

パッケージ: 48ピン・クワッド・フラットパック(LQFP)

パッケージ: 48ピン・チップ・スケール(LFCSP)

AD7664/AD7663のピン・コンパチブル・アップグレード品

### アプリケーション

データ・アクイジション

通信

計装機器

スペクトル・アナライザ

医療計装機器

プロセス制御

### 概要

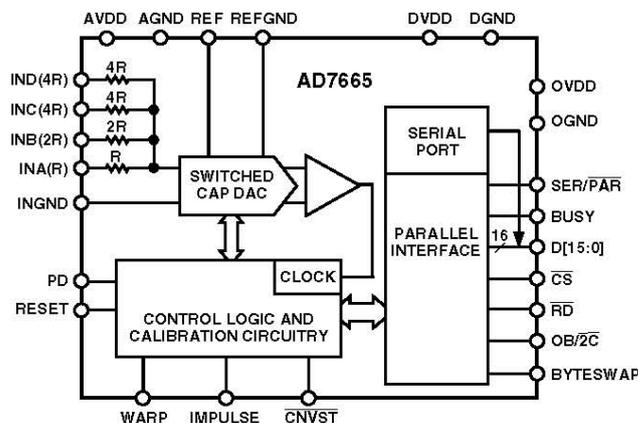
AD7665は、電荷再分配逐次比較型ADCを採用した570 kSPS、16ビットA/Dコンバータで5Vの単電源で動作します。このデバイスは、16ビットの高速サンプリングADC、多様な入力範囲を可能にする抵抗入力スケラ、内部変換クロック、誤差補正回路、シリアル・インターフェース・ポート、パラレル・システム・インターフェース・ポートを内蔵しています。

AD7665は、ゲイン、オフセット、直線性についての従来型DCパラメータの他に、信号対ノイズ比(SNR)や総合高調波歪み(THD)などのようなACパラメータも保証するため、出荷時にキャリブレーションされ広範囲にテストされています。

非常に高速なサンプリング・レート・モード(ワーブ)を持ち、非同期変換レート・アプリケーション用には高速モード(ノーマル)を、低消費電力アプリケーション用には、消費電力をスループットに応じて調整できる低消費電力モード(インパルス)を、それぞれ持っています。

\*特許申請中。

### 機能ブロック図



### PuISARの選択肢

Type/kSPS	100-250	500-570	800-1000
Pseudo Differential	AD7660	AD7650	
True Bipolar	AD7663	AD7665	AD7671
True Differential	AD7675	AD7676	AD7677
18-Bit	AD7678	AD7673	AD7674
Simultaneous/ Multichannel		AD7654	AD7665

このデバイスはアナログ・デバイセズの高性能0.6ミクロンCMOSプロセスで製造され、48ピンLQFPパッケージまたは小型の48ピンLFCSPパッケージを採用した-40~+85°Cの動作仕様です。

### 製品のハイライト

#### 1. 高速スループット

AD7665は非常に高速(ワーブ・モードで570 kSPS、ノーマル・モードで500 kSPS in)な、電荷再分配型16ビットSAR ADCです。

#### 2. 単電源動作

AD7665は5V単電源で動作し、消費電力は僅か64 mW (typ)です。スループットを低下させた省電力モード(インパルス)およびパワーダウン・モードで使用する場合にはさらに消費電力が低下します。

#### 3. 優れたINL

最大積分非直線性が2.5 LSBで、16ビット・ノーマス・コード。

#### 4. シリアルまたはパラレル・インターフェース

3Vまたは5Vロジックと互換性を持つ多才なパラレル・インターフェース(8ビットまたは16ビット)または2線式シリアル・インターフェースを採用。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
© 2003 Analog Devices, Inc. All rights reserved.

Rev. B

**仕様** (特に指定がない限り、 $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ 、 $\text{AVDD} = \text{DVDD} = 5\text{ V}$ 、 $\text{OVDD} = 2.7\text{ V}\sim 5.25\text{ V}$ )

Parameter	Conditions	Min	Typ	Max	Unit
RESOLUTION		16			Bits
ANALOG INPUT					
Voltage Range	$V_{\text{IND}} - V_{\text{INGND}}$	$\pm 4\text{ REF}$ , 0 V to 4 REF, $\pm 2\text{ REF}$ (See Table I)			
Common-Mode Input Voltage	$V_{\text{INGND}}$	-0.1		+0.5	V
Analog Input CMRR	$f_{\text{IN}} = 180\text{ kHz}$		62		dB
Input Impedance			See Table I		
THROUGHPUT SPEED					
Complete Cycle	In Warp Mode			1.75	$\mu\text{s}$
Throughput Rate	In Warp Mode	1		570	kSPS
Time between Conversions	In Warp Mode			1	ms
Complete Cycle	In Normal Mode			2	$\mu\text{s}$
Throughput Rate	In Normal Mode	0		500	kSPS
Complete Cycle	In Impulse Mode			2.25	$\mu\text{s}$
Throughput Rate	In Impulse Mode	0		444	kSPS
DC ACCURACY					
Integral Linearity Error		-2.5		+2.5	LSB <sup>1</sup>
No Missing Codes		16			Bits
Transition Noise			0.7		LSB
Bipolar Zero Error <sup>2</sup> , $T_{\text{MIN}}$ to $T_{\text{MAX}}$	$\pm 5\text{ V}$ Range, Normal or Impulse Modes	-25		+25	LSB
	Other Range or Mode	-0.06		+0.06	% of FSR
Bipolar Full-Scale Error <sup>2</sup> , $T_{\text{MIN}}$ to $T_{\text{MAX}}$		-0.25		+0.25	% of FSR
Unipolar Zero Error <sup>2</sup> , $T_{\text{MIN}}$ to $T_{\text{MAX}}$		-0.18		+0.18	% of FSR
Unipolar Full-Scale Error <sup>2</sup> , $T_{\text{MIN}}$ to $T_{\text{MAX}}$		-0.38		+0.38	% of FSR
Power Supply Sensitivity	$\text{AVDD} = 5\text{ V} \pm 5\%$		$\pm 9.5$		LSB
AC ACCURACY					
Signal-to-Noise	$f_{\text{IN}} = 10\text{ kHz}$	89	90		dB <sup>3</sup>
	$f_{\text{IN}} = 180\text{ kHz}$		90		dB
Spurious-Free Dynamic Range	$f_{\text{IN}} = 180\text{ kHz}$		100		dB
Total Harmonic Distortion	$f_{\text{IN}} = 180\text{ kHz}$		-100		dB
Signal-to-(Noise+Distortion)	$f_{\text{IN}} = 10\text{ kHz}$	88.5	90		dB
	$f_{\text{IN}} = 180\text{ kHz}$ , -60 dB Input		30		dB
-3 dB Input Bandwidth			3.6		MHz
SAMPLING DYNAMICS					
Aperture Delay			2		ns
Aperture Jitter			5		ps rms
Transient Response	Full-Scale Step			1	$\mu\text{s}$
REFERENCE					
External Reference Voltage Range		2.3	2.5	$\text{AVDD} - 1.85$	V
External Reference Current Drain	570 kSPS Throughput		114		$\mu\text{A}$
DIGITAL INPUTS					
Logic Levels					
$V_{\text{IL}}$		-0.3		+0.8	V
$V_{\text{IH}}$		+2.0		$\text{DVDD} + 0.3$	V
$I_{\text{IL}}$		-1		+1	$\mu\text{A}$
$I_{\text{IH}}$		-1		+1	$\mu\text{A}$
DIGITAL OUTPUTS					
Data Format			Parallel or Serial 16-Bit		
Pipeline Delay			Conversion Results Available Immediately after Completed Conversion		
$V_{\text{OL}}$	$I_{\text{SINK}} = 1.6\text{ mA}$			0.4	V
$V_{\text{OH}}$	$I_{\text{SOURCE}} = -570\text{ }\mu\text{A}$	$\text{OVDD} - 0.6$			V
POWER SUPPLIES					
Specified Performance					
AVDD		4.75	5	5.25	V
DVDD		4.75	5	5.25	V
OVDD		2.7		5.25 <sup>4</sup>	V
Operating Current <sup>5</sup>	570 kSPS Throughput				
AVDD			14		mA
DVDD <sup>6</sup>			4.5		mA
OVDD <sup>6</sup>			20		$\mu\text{A}$

Parameter	Conditions	Min	Typ	Max	Unit
POWER SUPPLIES (Continued)					
Power Dissipation <sup>6,7</sup>	444 kSPS Throughput <sup>8</sup> 100 SPS Throughput <sup>8</sup> 570 kSPS Throughput <sup>5</sup>		64 15 93	74 107 7	mW $\mu$ W mW $\mu$ W
In Power-Down Mode <sup>9</sup>					
TEMPERATURE RANGE <sup>10</sup>					
Specified Performance	T <sub>MIN</sub> to T <sub>MAX</sub>	-40		+85	°C

注

<sup>1</sup>LSB は最下位ビットを意味します。入力範囲が $\pm 5$  V の場合、1LSB = 152.588 $\mu$ V。<sup>2</sup>仕様のセクションの定義を参照。これらの仕様には外部リファレンスの誤差成分は含まれません。<sup>3</sup>dB で表示するすべての仕様はフル・スケール入力 FS を基準とします。特に注記がない場合、フル・スケールより 0.5 dB 低い入力信号でテスト。<sup>4</sup>max 値は、5.25 V と DVDD + 0.3 V の内のいずれか小さい方です。<sup>5</sup>ワープ・モード時。<sup>6</sup>パラレル読み出しモードでテスト。<sup>7</sup>0 V ~ 5 V 範囲と V<sub>IN</sub> - V<sub>INGND</sub> = 0 V でテスト。消費電力のセクション参照。<sup>8</sup>インパルス・モード時。<sup>9</sup>OVDD < DVDD + 0.3 V、かつすべてのデジタル入力をそれぞれ DVDD または DGND に接続。<sup>10</sup>拡張温度範囲については当社にご相談ください。

仕様は予告なく変更されることがあります。

表 1. アナログ入力構成

Input Voltage Range	IND(4R)	INC(4R)	INB(2R)	INA(R)	Input Impedance <sup>1</sup>
$\pm 4$ REF <sup>2</sup>	V <sub>IN</sub>	INGND	INGND	REF	5.85 k $\Omega$
$\pm 2$ REF	V <sub>IN</sub>	V <sub>IN</sub>	INGND	REF	3.41 k $\Omega$
$\pm$ REF	V <sub>IN</sub>	V <sub>IN</sub>	V <sub>IN</sub>	REF	2.56 k $\Omega$
0 V to 4 REF	V <sub>IN</sub>	V <sub>IN</sub>	INGND	INGND	3.41 k $\Omega$
0 V to 2 REF	V <sub>IN</sub>	V <sub>IN</sub>	V <sub>IN</sub>	INGND	2.56 k $\Omega$
0 V to REF	V <sub>IN</sub>	V <sub>IN</sub>	V <sub>IN</sub>	V <sub>IN</sub>	Note 3

注

<sup>1</sup>アナログ入力インピーダンス(typ)。<sup>2</sup>REF = 3 V、この範囲内、入力は-11 V ~ +12 V に制限する必要があります。<sup>3</sup>この範囲では、入力は高インピーダンス。**タイミング仕様** (特に指定がない限り、-40°C ~ +85°C、AVDD = DVDD = 5 V、OVDD = 2.7 V ~ 5.25 V)

Parameter	Symbol	Min	Typ	Max	Unit
Refer to Figures 11 and 12					
Convert Pulsewidth	t <sub>1</sub>	5			ns
Time between Conversions (Warp Mode/Normal Mode/Impulse Mode)	t <sub>2</sub>	1.75/2/2.25		Note 1	$\mu$ s
CNVST <sub>T</sub> LOW to BUSY HIGH Delay	t <sub>3</sub>			30	ns
BUSY HIGH All Modes Except in Master Serial Read after Convert Mode (Warp Mode/Normal Mode/Impulse Mode)	t <sub>4</sub>			0.75/1/1.25	$\mu$ s
Aperture Delay	t <sub>5</sub>		2		ns
End of Conversion to BUSY LOW Delay	t <sub>6</sub>	10			ns
Conversion Time (Warp Mode/Normal Mode/Impulse Mode)	t <sub>7</sub>			0.75/1/1.25	$\mu$ s
Acquisition Time	t <sub>8</sub>	1			$\mu$ s
RESET Pulsewidth	t <sub>9</sub>	10			ns
Refer to Figures 13, 14, 15, and 16 (Parallel Interface Modes)					
CNVST <sub>T</sub> LOW to DATA Valid Delay (Warp Mode/Normal Mode/Impulse Mode)	t <sub>10</sub>			0.75/1/1.25	$\mu$ s
DATA Valid to BUSY LOW Delay	t <sub>11</sub>	20			ns
Bus Access Request to DATA Valid	t <sub>12</sub>			40	ns
Bus Relinquish Time	t <sub>13</sub>	5		15	ns

## AD7665 タイミング仕様(続き)

Parameter	Symbol	Min	Typ	Max	Unit
Refer to Figures 17 and 18 (Master Serial Interface Modes) <sup>2</sup>					
$\overline{CS}$ LOW to SYNC Valid Delay	t <sub>14</sub>			10	ns
$\overline{CS}$ LOW to Internal SCLK Valid Delay	t <sub>15</sub>			10	ns
$\overline{CS}$ LOW to SDOUT Delay	t <sub>16</sub>			10	ns
CNVST LOW to SYNC Delay (Read during Convert) (Warp Mode/Normal Mode/Impulse Mode)	t <sub>17</sub>		25/275/525		ns
SYNC Asserted to SCLK First Edge Delay <sup>3</sup>	t <sub>18</sub>	4			ns
Internal SCLK Period <sup>3</sup>	t <sub>19</sub>	25		40	ns
Internal SCLK HIGH <sup>3</sup>	t <sub>20</sub>	15			ns
Internal SCLK LOW <sup>3</sup>	t <sub>21</sub>	9.5			ns
SDOUT Valid Setup Time <sup>3</sup>	t <sub>22</sub>	4.5			ns
SDOUT Valid Hold Time <sup>3</sup>	t <sub>23</sub>	2			ns
SCLK Last Edge to SYNC Delay <sup>3</sup>	t <sub>24</sub>	3			ns
$\overline{CS}$ HIGH to SYNC HI-Z	t <sub>25</sub>			10	ns
$\overline{CS}$ HIGH to Internal SCLK HI-Z	t <sub>26</sub>			10	ns
$\overline{CS}$ HIGH to SDOUT HI-Z	t <sub>27</sub>			10	ns
BUSY HIGH in Master Serial Read after Convert <sup>3</sup>	t <sub>28</sub>		See Table II		μs
$\overline{CNVST}$ LOW to SYNC Asserted Delay (Warp Mode/Normal Mode/Impulse Mode) Master Serial Read after Convert	t <sub>29</sub>		0.75/1/1.25		μs
SYNC Deasserted to BUSY LOW Delay	t <sub>30</sub>		25		ns
Refer to Figures 19 and 21 (Slave Serial Interface Modes)					
External SCLK Setup Time	t <sub>31</sub>	5			ns
External SCLK Active Edge to SDOUT Delay	t <sub>32</sub>	3		16	ns
SDIN Setup Time	t <sub>33</sub>	5			ns
SDIN Hold Time	t <sub>34</sub>	5			ns
External SCLK Period	t <sub>35</sub>	25			ns
External SCLK HIGH	t <sub>36</sub>	10			ns
External SCLK LOW	t <sub>37</sub>	10			ns

注

<sup>1</sup> ワープ・モードの場合、変換と変換の最大間隔は 1 ms。その他の場合この最大時間は不要。<sup>2</sup> シリアル・インターフェース・モードでの SYNC、SCLK、SDOUT のタイミングは、C<sub>L</sub> = 10 pF の最大負荷で規定。その他の場合は、最大負荷 60 pF で規定。<sup>3</sup> コンバート・モードでのシリアル・マスター読み出し時。コンバート・モード後のシリアル・マスター読み出しについては表 II を参照。

仕様は予告なく変更されることがあります。

表 II. 変換後のマスター読み出し時のシリアル・クロック・タイミング

DIVSCLK[1] DIVSCLK[0]		0 0	0 1	1 0	1 1	Unit
SYNC to SCLK First Edge Delay Minimum	t <sub>18</sub>	4	20	20	20	ns
Internal SCLK Period Minimum	t <sub>19</sub>	25	50	100	200	ns
Internal SCLK Period Maximum	t <sub>19</sub>	40	70	140	280	ns
Internal SCLK HIGH Minimum	t <sub>20</sub>	15	25	50	100	ns
Internal SCLK LOW Minimum	t <sub>21</sub>	9.5	24	49	99	ns
SDOUT Valid Setup Time Minimum	t <sub>22</sub>	4.5	22	22	22	ns
SDOUT Valid Hold Time Minimum	t <sub>23</sub>	2	4	30	90	ns
SCLK Last Edge to SYNC Delay Minimum	t <sub>24</sub>	3	60	140	300	ns
BUSY HIGH Width Maximum (Warp)	t <sub>28</sub>	1.5	2	3	5.25	μs
BUSY HIGH Width Maximum (Normal)	t <sub>28</sub>	1.75	2.25	3.25	5.5	μs
BUSY HIGH Width Maximum (Impulse)	t <sub>28</sub>	2	2.5	3.5	5.75	μs

## 絶対最大定格<sup>1</sup>

アナログ入力

IND<sup>2</sup>、INC<sup>2</sup>、INB<sup>2</sup> ..... -11 V ~ +30 V  
INA、REF、INGND、REFGND

..... AGND - 0.3 V ~ AVDD + 0.3 V

グラウンド電位差

AGND、DGND、OGND ..... ± 0.3 V

電源電圧

AVDD、DVDD、OVDD ..... -0.3 V ~ + 7 V

AVDD—DVDD 間、AVDD—OVDD 間 ..... ± 7 V

DVDD—OVDD 間 ..... -0.3 V ~ + 7 V

デジタル入力 ..... -0.3 V ~ DVDD + 0.3 V

内部消費電力<sup>3</sup> ..... 700 mW

内部消費電力<sup>4</sup> ..... 2.5 W

ジャンクション温度 ..... 150°C

保存温度範囲 ..... -65°C ~ +150°C

ピン温度範囲

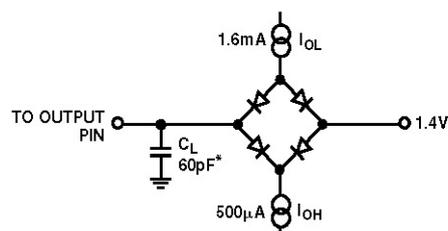
(ハンダ処理 10 sec) ..... 300°C

<sup>1</sup>上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

<sup>2</sup>アナログ入力のセクションを参照してください。

<sup>3</sup>デバイスを自然空冷: 48ピン LQFP:  $\theta_{JA} = 91^\circ\text{C}/\text{W}$ 、 $\theta_{JC} = 30^\circ\text{C}/\text{W}$  での仕様。

<sup>4</sup>デバイスを自然空冷: 48ピン LFCSP:  $\theta_{JC} = 26^\circ\text{C}/\text{W}$  での仕様。



\*IN SERIAL INTERFACE MODES, THE SYNC, SCLK, AND SDOOUT TIMINGS ARE DEFINED WITH A MAXIMUM LOAD  $C_L$  OF 10pF; OTHERWISE, THE LOAD IS 60pF MAXIMUM.

図 1. デジタル・インターフェース・タイミングの負荷回路、SDOUT、SYNC、SCLK の各出力、 $C_L = 10\text{ pF}$

## ピン配置

ST-48 および CP-48

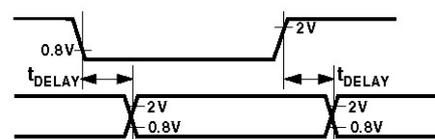
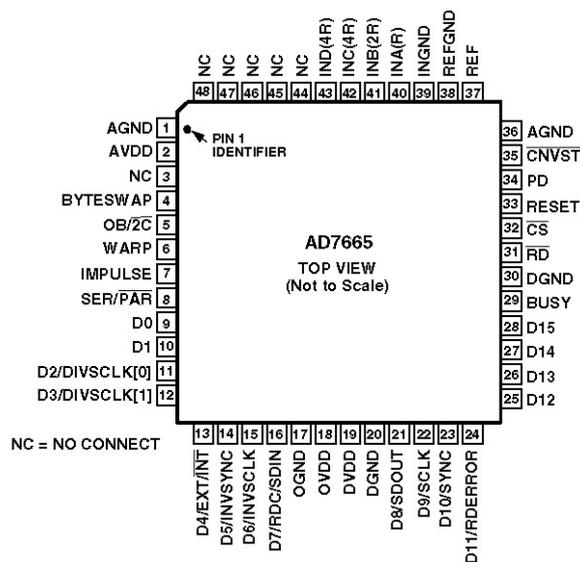


図 2. タイミングの電圧リファレンス・レベル

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7665AST	-40°C to +85°C	Quad Flatpack (LQFP)	ST-48
AD7665ASTRL	-40°C to +85°C	Quad Flatpack (LQFP)	ST-48
AD7665ACP	-40°C to +85°C	Chip Scale (LFCSP)	CP-48
AD7665ACPRL	-40°C to +85°C	Chip Scale (LFCSP)	CP-48
EVAL-AD7665CB <sup>1</sup>		Evaluation Board	
EVAL-CONTROL BRD <sup>2</sup>		Controller Board	

注

<sup>1</sup>これは単独の評価ボードとして、または評価/デモ目的の EVAL-CONTROL BRD2 と組み合わせて、使用することができます。

<sup>2</sup>このボードを使うと、PC からの制御と CB サフィックスが付くすべてのアナログ・デバイス評価ボードとの通信が可能です。

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン機能の説明

ピン番号	記号	タイプ	説明
1	AGND	P	アナログ電源のグラウンド・ピン。
2	AVDD	P	アナログ電源入力ピン。公称5 V。
3, 44~48	NC		未接続。
4	BYTESWAP		パラレル・モードの選択(8/16ビット)。ロー・レベルにすると、LSBがD[7:0]へ、MSBがD[15:8]へ、それぞれ出力されます。ハイ・レベルにすると、LSBがD[15:8]へ、MSBがD[7:0]へ、それぞれ出力されます。
5	$\overline{OB/2C}$	DI	ストレート・バイナリ数/2の補数。 $\overline{OB/2C}$ をハイ・レベルにするとデジタル出力はストレート・バイナリ数になり、ロー・レベルにするとMSBが反転されて内部シフトレジスタから2の補数が出力されます。
6	WARP	DI	モードの選択。ハイ・レベルで、かつIMPULSE=ロー・レベルのとき、この入力で最高速モードが選択されて、最大スループットが得られます。フル仕様精度を保証するためには最小変換レートを入力する必要があります。ロー・レベルにすると、最小変換レートに無関係にフル精度が維持されます。
7	IMPULSE	DI	モードの選択。ハイ・レベルで、かつWARP=ロー・レベルのとき、低消費電力モードが選択されます。このモードでは、消費電力がサンプリング・レートにほぼ比例します。
8	$\overline{SER/PAR}$	DI	シリアル/パラレル選択入力。ロー・レベルにするとパラレル・ポートが選択され、ハイ・レベルにするとシリアル・インターフェース・モードが選択されます。データ・バスの幾つかのビットがシリアル・ポートとして使われます。
9, 10	D[0:1]	DO	パラレル・ポート・データ出力バスのビット0とビット1。 $\overline{SER/PAR}$ をハイ・レベルにすると、これらの出力は高インピーダンスになります。
11, 12	D[2:3] or DIVSCLK[0:1]	DI/O	$\overline{SER/PAR}$ = ロー・レベルのとき、これらの出力はパラレル・ポート・データ出力バスのビット2およびビット3として使われます。 $\overline{SER/PAR}$ = ハイ・レベル、かつ $\overline{EXT/INT}$ = ロー・レベル、かつRDC/SDIN = ロー・レベルのとき、コンバート・モード後のシリアル・マスター読み出しになります。データ出力を駆動する内部シリアル・クロックが必要な場合に、これを低速化するとき、シリアル・ポートの一部を構成するこれらの入力を使います。他のシリアル・モードでは、これらのピンは高インピーダンス出力になります。
13	D[4] or $\overline{EXT/INT}$	DI/O	$\overline{SER/PAR}$ = ロー・レベルのとき、この出力はパラレル・ポート・データ出力バスのビット4として使われます。 $\overline{SER/PAR}$ = ハイ・レベルのとき、シリアル・ポートを構成するこの入力は、内部または外部のデータ・クロックを選択するデジタル選択入力として使われます。それぞれマスタ・モードおよびスレーブ・モードと呼ばれます。 $\overline{EXT/INT}$ をロー・レベルに固定すると、SCLK出力で内部クロックが選択されます。 $\overline{EXT/INT}$ をハイ・レベルにすると、出力データはSCLK入力に接続された外部クロック信号に同期し、さらに $\overline{CS}$ により外部クロックがゲーティングされます。
14	D[5] or INVSYNC	DI/O	$\overline{SER/PAR}$ = ロー・レベルのとき、この出力はパラレル・ポート・データ出力バスのビット5として使われます。 $\overline{SER/PAR}$ = ハイ・レベルのとき、シリアル・ポートを構成するこの入力は、SYNC信号のアクティブ状態を選択する選択入力として使われます。ロー・レベルにすると、SYNCはアクティブ・ハイになります。ハイ・レベルにすると、SYNCはアクティブ・ローになります。
15	D[6] or INVCLK	DI/O	$\overline{SER/PAR}$ = ロー・レベルのとき、この出力はパラレル・ポート・データ出力バスのビット6として使われます。 $\overline{SER/PAR}$ = ハイ・レベルのとき、シリアル・ポートを構成するこの入力は、SYNC信号の反転を選択する選択入力として使われます。マスタ・モードとスレーブ・モードの両方でアクティブになります。
16	D[7] or RDC/SDIN	DI/O	$\overline{SER/PAR}$ = ロー・レベルのとき、この出力はパラレル・ポート・データ出力バスのビット7として使われます。 $\overline{SER/PAR}$ = ハイ・レベルのとき、シリアル・ポートを構成するこの入力は、 $\overline{EXT/INT}$ の状態に応じて、外部データ入力または読み出しモード選択入力として使われます。 $\overline{EXT/INT}$ がハイ・レベルのとき、RDC/SDINをデータ入力として使って、1本のSDOUTラインに接続された複数のADCの変換結果をディジーチェーン接続することができます。SDINのデジタル・データ・レベルは、読み出しシーケンス開始からSCLKの16周期分の遅延でデータ上に出力されます。 $\overline{EXT/INT}$ = ロー・レベルのとき、RDC/SDINはリードバック・モードの選択に使われます。RDC/SDINがハイ・レベルのとき、前のデータは変換中にSDOUTに出力されます。RDC/SDINがロー・レベルのとき、変換が完了したときデータがSDOUTに出力されます。
17	OGND	P	入出力インターフェースのデジタル電源グラウンド。
18	OVDD	P	入出力インターフェースのデジタル電源。公称は、ホスト・インターフェース電源(5 Vまたは3 V)と同じ電位。
19	DVDD	P	デジタル電源。公称5 V。
20	DGND	P	デジタル電源のグラウンド。

## ピン機能説明(続き)

ピン番号	記号	タイプ	説明
21	D[8] or SDOUT	DO	SER/PAR =ロー・レベルのとき、この出力はパラレル・ポート・データ出力バスのビット8として使われます。SER/PAR =ハイ・レベルのとき、シリアル・ポートを構成するこの出力は、SYNCに同期するシリアル・データ出力として使われます。変換結果は内蔵レジスタに保持されます。AD7665は内部シフトレジスタからMSBファーストで変換結果を出力します。データ・フォーマットはOB/2Cのロジック・レベルで指定されます。シリアル・モードでは、EXT/INT =ロー・レベルのとき、SDOUTはSCLKの両エッジで有効です。シリアル・モードでは、EXT/INTがハイ・レベルのとき(INVSCLKがロー・レベルの場合)、SDOUTはSCLKの立ち上がりエッジで更新され、次の立ち下がりエッジで有効になります。INVSCLKがハイ・レベルの場合、SDOUTはSCLKの立ち下がりエッジで更新され、次の立ち上がりエッジで有効になります。
22	D[9] or SCLK	DI/O	SER/PAR =ロー・レベルのとき、この出力はパラレル・ポート・データ出力バスのビット9として使われます。SER/PAR =ハイ・レベルのとき、シリアル・ポートを構成するこのピンは、EXT/INTの状態に応じて、シリアル・データ・クロック入力または出力として使われます。データSDOUTが更新されるアクティブ・エッジは、INVSCLKピンのロジック状態により決定されます。
23	D[10] or SYNC	DO	SER/PAR =ロー・レベルのとき、この出力はパラレル・ポート・データ出力バスのビット10として使われます。SER/PAR =ハイ・レベルのとき、シリアル・ポートを構成するこの出力は、内部データ・クロックと一緒に使われるデジタル出力フレーム同期として使われます(EXT/INT =ロー・レベル)。読み出しシーケンスが開始され、かつINVSYNC =ロー・レベルのとき、SYNCはハイ・レベルに駆動され、SDOUT出力が有効な間ハイ・レベルが維持されます。読み出しシーケンスが開始され、かつINVSYNC =ハイ・レベルのとき、SYNCはロー・レベルに駆動され、SDOUT出力が有効な間ロー・レベルが維持されます。
24	D[11] or RDERROR	DO	SER/PAR =ロー・レベルのとき、この出力はパラレル・ポート・データ出力バスのビット11として使われます。SER/PAR =ハイ・レベルかつEXT/INT =ハイ・レベルのとき、シリアル・ポートを構成するこの出力は、未完了読み出しエラー・フラグとして使われます。スリープ・モードでは、次の変換が完了したときに、データ読み出しが開始されて完了しない場合、現在のデータが失われて、RDERRORにハイ・レベルのパルスが出力されます。
25~28	D[12:15]	DO	パラレル・ポート・データ出力バスのビット12とビット15。SER/PARをハイ・レベルにすると、これらの出力は高インピーダンスになります。
29	BUSY	DO	ビジー出力。変換開始時にハイ・レベルになり、変換が完了するまでハイ・レベルを維持します。データは内蔵シフトレジスタにラッチされます。BUSYの立ち下がりエッジは、データ・レディ・クロック信号として使うことができます。
30	DGND	P	デジタル・グラウンドに接続しておく必要があります。
31	RD	DI	データの読み出し。CSがロー・レベルで、かつRDがロー・レベルのとき、インターフェースのパラレルまたはシリアル出力バスがイネーブルされます。
32	CS	DI	チップ・セレクト。CSがロー・レベルで、かつRDがロー・レベルのとき、インターフェースのパラレルまたはシリアル出力バスがイネーブルされます。CSは、外部シリアル・クロックのゲーティングにも使われます。
33	RESET	DI	リセット入力。ハイ・レベルにすると、AD7665がリセットされます。現在の変換はアボートされます。使用しないとき、このピンはDGNDに接続しておきます。
34	PD	DI	パワーダウン入力。ハイ・レベルにすると、消費電力が削減されて、現在の変換が完了した後に変換が禁止されます。
35	CNVST	DI	変換の開始。CNVSTに立ち下がりエッジが入力されると、内部サンプル・アンド・ホールド回路がホールド状態になり、変換が開始されます。インパルス・モード(IMPULSE =ハイ・レベルかつWARP =ロー・レベル)では、アクイジション・フェーズ( $t_{\text{a}}$ )が完了したときCNVSTをロー・レベルにすると、内部サンプル/ホールド回路がホールド状態になり、直ちに変換が開始されます。
36	AGND	P	アナログ・グラウンドに接続しておく必要があります。
37	REF	AI	リファレンス電圧入力。
38	REFGND	AI	リファレンス電圧入力のアナログ・グラウンド。
39	INGND	AI	アナログ入力グラウンド。
40, 41, 42, 43	INA, INB, INC, IND	AI	アナログ入力。表Iの入力範囲の設定を参照してください。

注

AI =アナログ入力

DI =デジタル入力

DI/O =双方向デジタル

DO =デジタル出力

P =電源

## 仕様の定義

### 積分非直線性誤差(INL)

直線性誤差は、“負側のフル・スケール”と“正側のフル・スケール”を結ぶ直線と実際のコード出力との誤差として定義されます。負側フル・スケールとして使用されるポイントは、最初のコード遷移より 1/2 LSB だけ下に存在します。“正フル・スケール”は、最後のコード遷移より 1.5 LSB だけ上のレベルと定義されます。偏差は各コードの中央と直線との間の距離として測定されます。

### 微分非直線性誤差(DNL)

理論 ADC では、各コード遷移は 1 LSB だけ離れた位置で発生します。微分非直線性は、この理論値からの最大偏差を表します。微分非直線性は、ノーマス・コードが保証される分解能として規定されることがあります。

### フル・スケール誤差

最後の変化(2の補数コーディングで011 ... 10から011...11への変化)は、公称+フル・スケールより 1.5 LSB 低いアナログ電圧(±2.5 V 範囲の場合 2.499886 V)で発生する必要があります。フル・スケール誤差は、理論レベルと最後の変化の実際レベルとの差を意味します。

### バイポーラ・ゼロ誤差

理論中心値入力電圧(0 V)と中心値出力コードを発生する実際の電圧との差を意味します。

### ユニポーラ・ゼロ誤差

ユニポーラ・モードでは、最初の変化はアナログ・グラウンドより 1/2 LSB 上のレベルで発生する必要があります。ユニポーラ・ゼロ誤差は、そのポイントと実際の変化との差を意味します。

### スプリアス・フリー・ダイナミック・レンジ(SFDR)

入力信号の rms 振幅値とピーク・スプリアス信号との差をいい、dB 値で表します。

### 実効ビット数(ENOB)

正弦波を入力したときの分解能の測定値を表します。次式により、 $S/(N+D)$  と関係します。

$$ENOB = (S / [N + D]_{dB} - 1.76) / 6.02$$

ビット数で表されます。

### 総合高調波歪み(THD)

基本波から 5 次高調波成分までの rms 値の総和の、フル・スケール入力信号の rms 値に対する比を意味し、デシベル値で表します。

### 信号対ノイズ比(SNR)

実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から高調波成分と DC 成分を除いた分に対する比です。SNR は、デシベル値で表されます。

### 信号対(ノイズ+歪み)比(S/[N+D])

実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から DC 成分を除いた分(高調波成分は含む)に対する比です。 $S/(N+D)$  値はデシベルで表します。

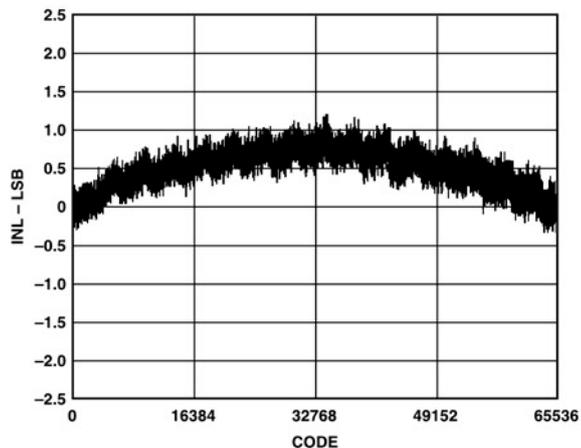
### アパーチャ遅延

アキュイジション性能を表し、CNVST 入力の立ち下がりエッジから入力信号が変換用にホールドされるまでの時間として測定されます。

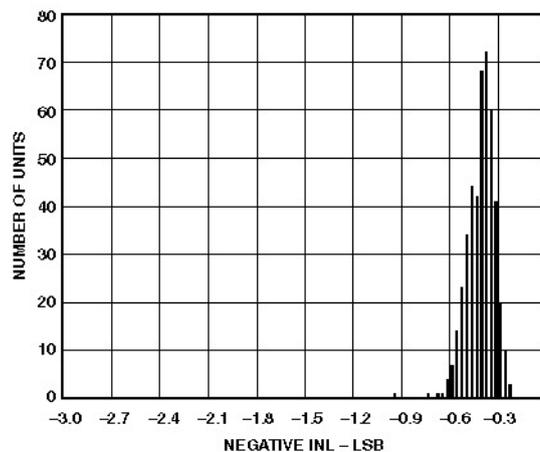
### 過渡応答

フル・スケール・ステップ関数が入力に加えられた後に、AD7665 が定格精度を達成するために要する時間を意味します。

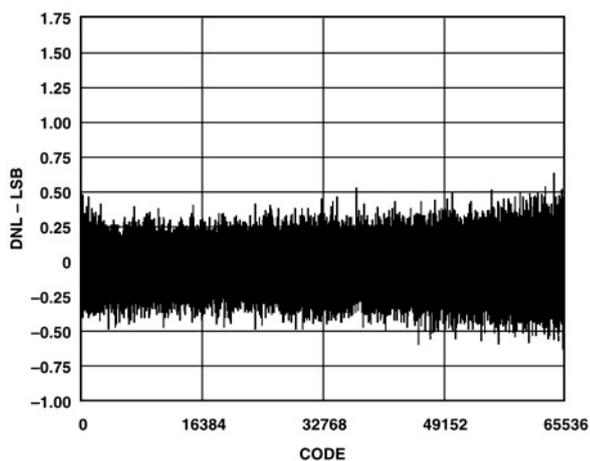
## 代表的な性能特性



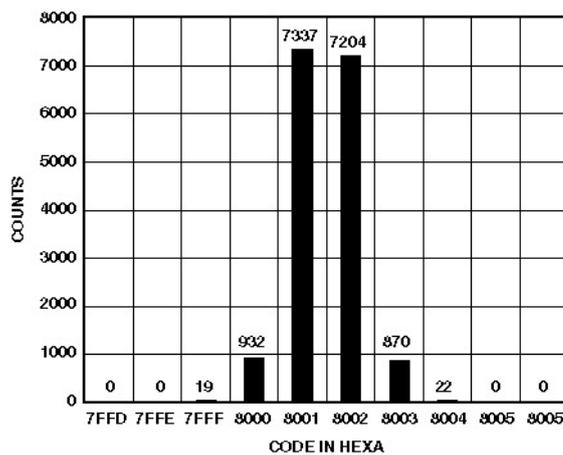
特性 1.コード対積分非直線性



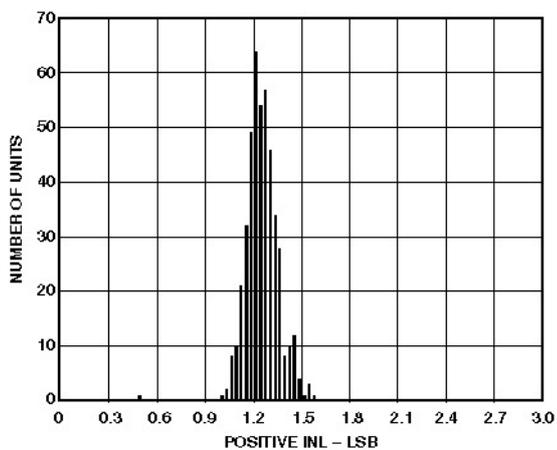
特性 4.負側 INL 分布(446 個)



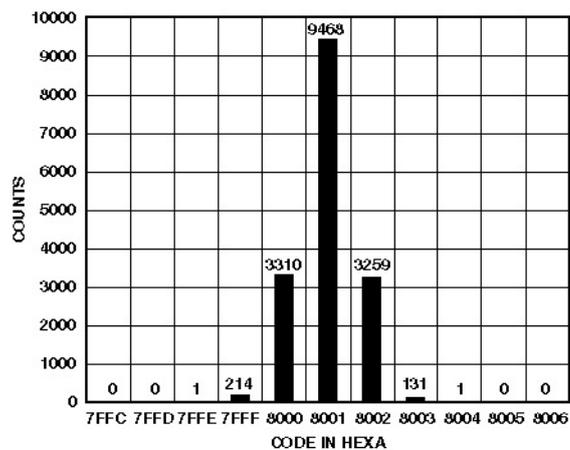
特性 2.コード対微分非直線性



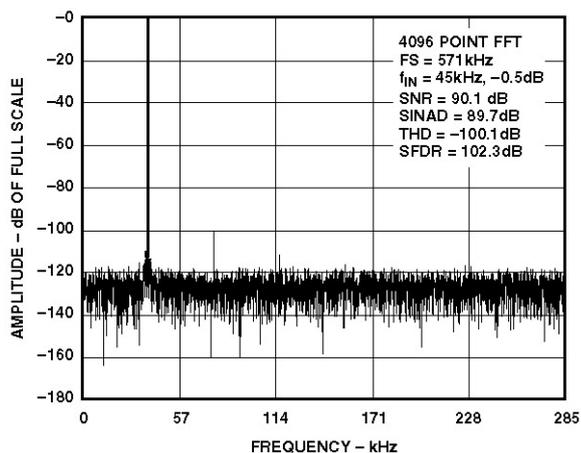
特性 5.コード変化が発生する DC 入力を 16,384 回変換した場合のヒストグラム



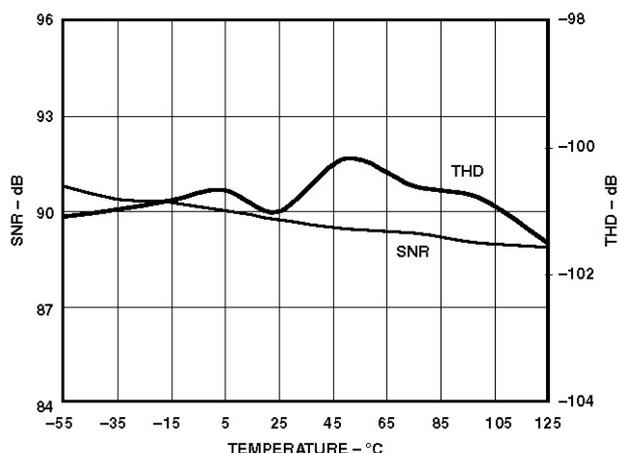
特性 3.正側 INL 分布(446 個)



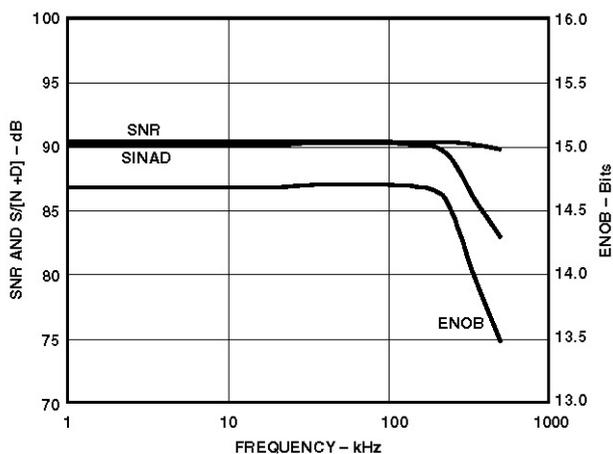
特性 6.コード中心値の DC 入力を 16,384 回変換した場合のヒストグラム



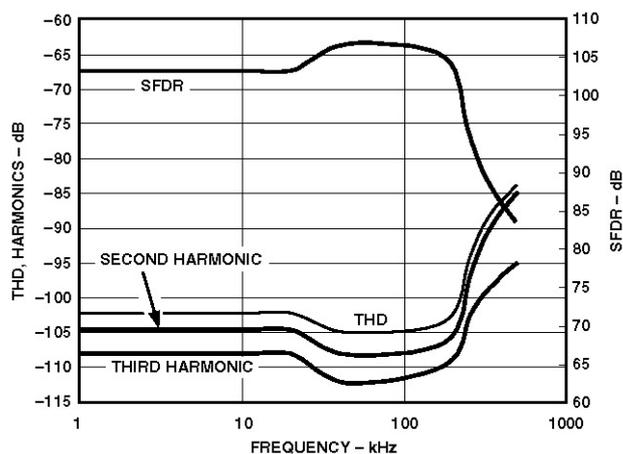
特性 7. FFT プロット



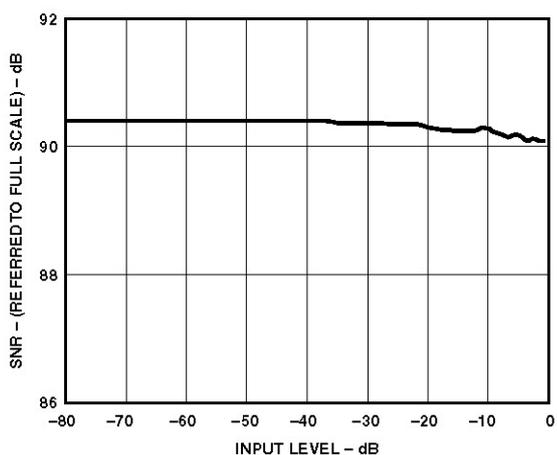
特性 10. SNR、THD の温度特性



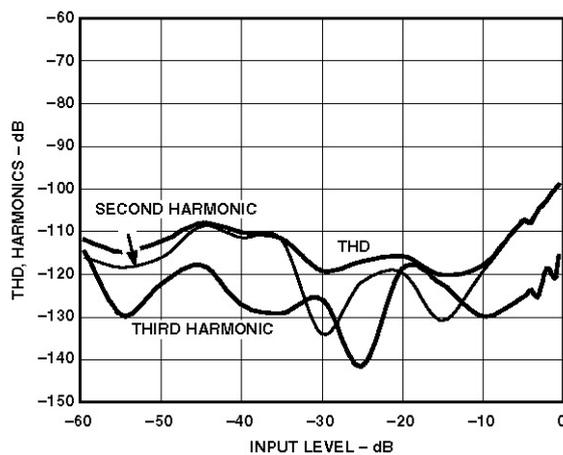
特性 8. SNR、S/(N+D)、および ENOB の周波数特性



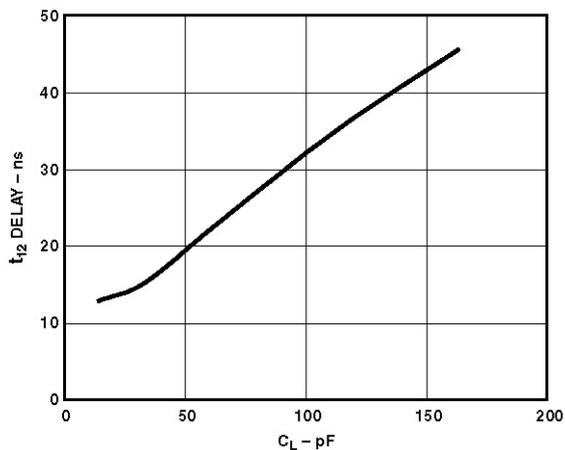
特性 11. THD、高調波、SFDR の周波数特性



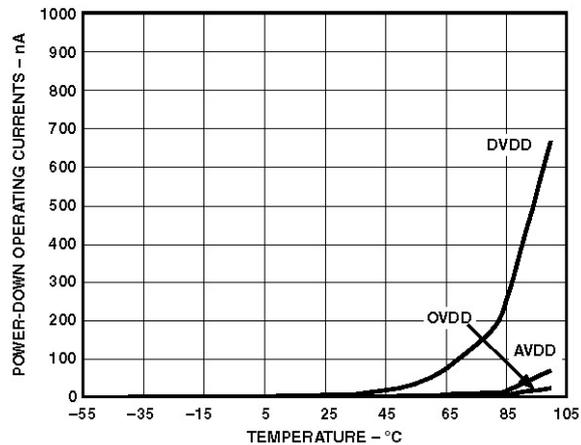
特性 9. 入力レベル対 SNR



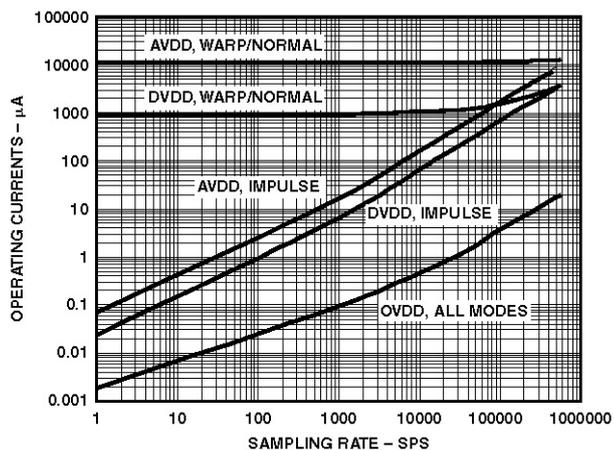
特性 12. 入力レベル対 THD、高調波



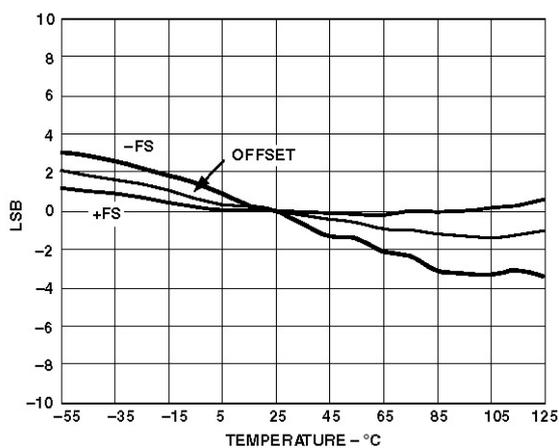
特性 13. 遅延対負荷容量  $C_L$



特性 15. パワーダウン動作電流の温度特性



特性 14. サンプル・レート対動作電流



特性 16. +FS、オフセット、-FS の温度特性

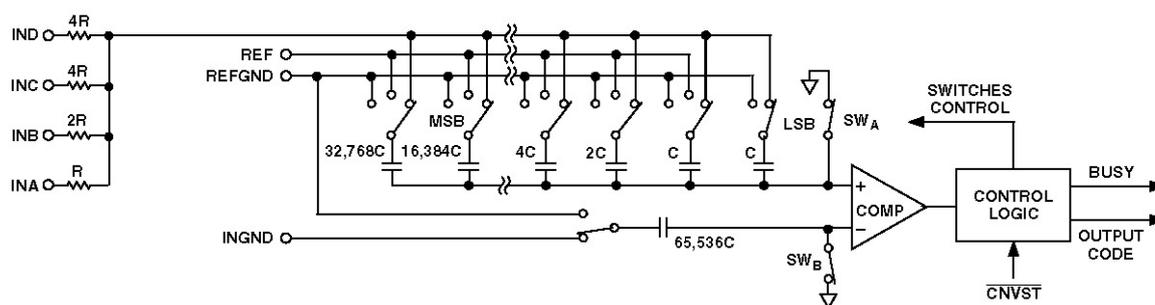


図 3. ADC の簡略化した回路図

## 回路説明

AD7665 は高速な低消費電力単電源動作の高精度 16 ビット A/D コンバータ (ADC) です。AD7665 は、アプリケーションに応じて性能を最適化するさまざまなモードを持っています。ワープ・モードでは、AD7665 は毎秒 570,000 サンプル (570 kSPS) の変換を行うことができます。

AD7665 はトラック・アンド・ホールド、パイプラインまたはレイテンシのない逐次比較型 ADC を提供するため、マルチプレクスされた複数チャンネルのアプリケーションに最適です。

入力抵抗スケーラの接続を変更することにより、バイポーラ入力範囲とユニポーラ入力範囲で動作する仕様になっています。

AD7665 は 5 V 単電源で動作し、5 V または 3 V のデジタル・ロジックとインターフェースすることができます。シリアルまたはパラレルのインターフェースを持つため、省スペースと柔軟な構成を兼ね備えた 48 ピン LQFP パッケージまたは 48 ピン LFCSP パッケージを採用しています。AD7665 は、AD7663 と AD7664 のピン・コンパチブルなアップグレード製品です。

## コンバータの動作

AD7665 は、電荷再分配型 DAC を採用した逐次比較型 A/D コンバータです。図 3 に、ADC の簡略化した回路図を示します。入力アナログ信号は、まず内蔵入力抵抗スケーラによりスケール・ダウンされ、レベル・シフトされます。この内蔵入力抵抗スケーラにより、ユニポーラ範囲 (0 V ~ 2.5 V, 0 V ~ 5 V, 0 V ~ 10 V) とバイポーラ範囲 ( $\pm 2.5$  V,  $\pm 5$  V,  $\pm 10$  V) が入力可能になります。この抵抗スケーラの出力電圧範囲は常に 0 ~ 2.5 V です。容量を使用するこの DAC は、2 進数の重みを持った 16 個のコンデンサのアレイと LSB コンデンサから構成されています。コンパレータの負側入力、容量性 DAC アレイと同じ値を持つダミー・コンデンサに接続されています。

アキュイジション・フェーズでは、コンパレータの正側入力に接続されたアレイの共通ピンは、SW<sub>A</sub> を経由して AGND に接続されます。独立なすべてのスイッチは抵抗スケーラの出力に接続されています。したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用されて、アナログ信号が取り込まれます。同様に、ダミー・コンデンサも INGND 入力のアナログ信号を取り込みます。

アキュイジション・フェーズが終わると、 $\overline{\text{CNVST}}$  入力がロー・レベルになり、変換フェーズが開始されます。変換フェーズが開始されると、最初に SW<sub>A</sub> と SW<sub>B</sub> が開きます。次に、コンデンサ・アレイとダミー・コンデンサが入力から切り離されて、REFGND 入力に接続されます。そうすると、アキュイジション・フェーズの終わりに取り込まれた、抵抗スケーラ出力と INGND の間の差動電圧がコンパレータ入力に接続されて、コンパレータは平衡しくなくなります。

コンデンサ・アレイの各エレメントを REFGND または REF の間でスイッチングすることにより、コンパレータ入力を 2 進数重みの電圧ステップ ( $V_{\text{REF}}/2$ ,  $V_{\text{REF}}/4$  ...  $V_{\text{REF}}/65,536$ ) で変えます。コン

トロール・ロジックがこれらのスイッチをトグルして (MSB から開始)、コンパレータが再度平衡するようにします。この処理が終了すると、コントロール・ロジックが ADC 出力コードを発生して、BUSY 出力をロー・レベルにします。

## 動作モード

AD7665 には、ワープ、ノーマル、インパルスの 3 つの動作モードがあります。これらの各モードは特定のアプリケーションに向いています。

ワープ・モードでは、最大 570 kSPS の最高速の変換レートが可能です。ただし、このモードでは、フル仕様精度は変換と変換の間隔が 1 ms を超えない場合にのみ保証されます。たとえば、連続する 2 回の変換の間隔が 1 ms を超える場合は、パワーアップ後、最初の変換結果が無視されます。このモードにより、AD7665 は高精度と高速サンプル・レートが必要なアプリケーション向けに最適になっています。

ノーマル・モードは最高速モード (500 kSPS) であり、変換と変換の間隔に関する制約はありません。このモードにより、AD7665 は高精度と高速サンプル・レートの両方を必要とするデータ・アキュイジション・システムなどのような非同期アプリケーションに対して最適になっています。

最小消費電力モードであるインパルス・モードでは、変換と変換の間に消費電力を節約することができます。このモードでの最大スループットは 444 kSPS です。たとえば、100 SPS で動作する場合、消費電力は 15  $\mu$ W (typ) で済みます。この機能により、AD7665 はバッテリー駆動のアプリケーションに最適になっています。

## 伝達関数

OB/ $\overline{2C}$  デジタル入力を使用して、ストレート・バイナリおよび 2 の補数の 2 種類から AD7665 出力コーディングを選択することができます。AD7665 の理論伝達特性を図 4 と表 III に示します。

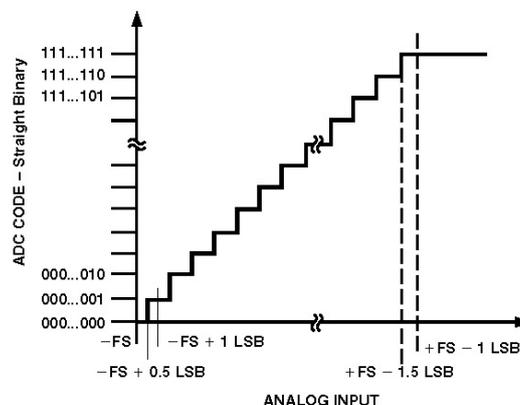


図 4. ADC の理論伝達関数

表 III. 出力コードと理論入力電圧

Description	Analog Input						Digital Output Code (Hexa)	
							Straight Binary	Twos Complement
Full-Scale Range <sup>1</sup>	±10 V	±5 V	±2.5 V	0 V to 10 V	0 V to 5 V	0 V to 2.5 V		
Least Significant Bit	305.2 μV	152.6 μV	76.3 μV	152.6 μV	76.3 μV	38.15 μV		
FSR - 1 LSB	9.999695 V	4.999847 V	2.499924 V	9.999847 V	4.999924 V	2.499962 V	FFFF <sup>2</sup>	7FFF <sup>2</sup>
Midscale + 1 LSB	305.2 μV	152.6 μV	76.3 μV	5.000153 V	2.570076 V	1.257038 V	8001	0001
Midscale	0 V	0 V	0 V	5 V	2.5 V	1.25 V	8000	0000
Midscale - 1 LSB	-305.2 μV	-152.6 μV	-76.3 μV	4.999847 V	2.499924 V	1.249962 V	7FFF	FFFF
-FSR + 1 LSB	-9.999695 V	-4.999847 V	-2.499924 V	152.6 μV	76.3 μV	38.15 μV	0001	8001
-FSR	-10 V	-5 V	-2.5 V	0 V	0 V	0 V	0000 <sup>3</sup>	8000 <sup>3</sup>

注

<sup>1</sup> REF = 2.5 V、REF = 3 V での値、すべての値は直線的にスケールされます。<sup>2</sup> これは、アナログ入力範囲より上に対するコードでもあります。<sup>3</sup> これは、アナログ入力範囲より下に対するコードでもあります。

## 代表的な接続図

図 5 に、AD7665 の代表的な接続を示します。この図に示すさまざまな回路はオプションであり、この後に説明します。

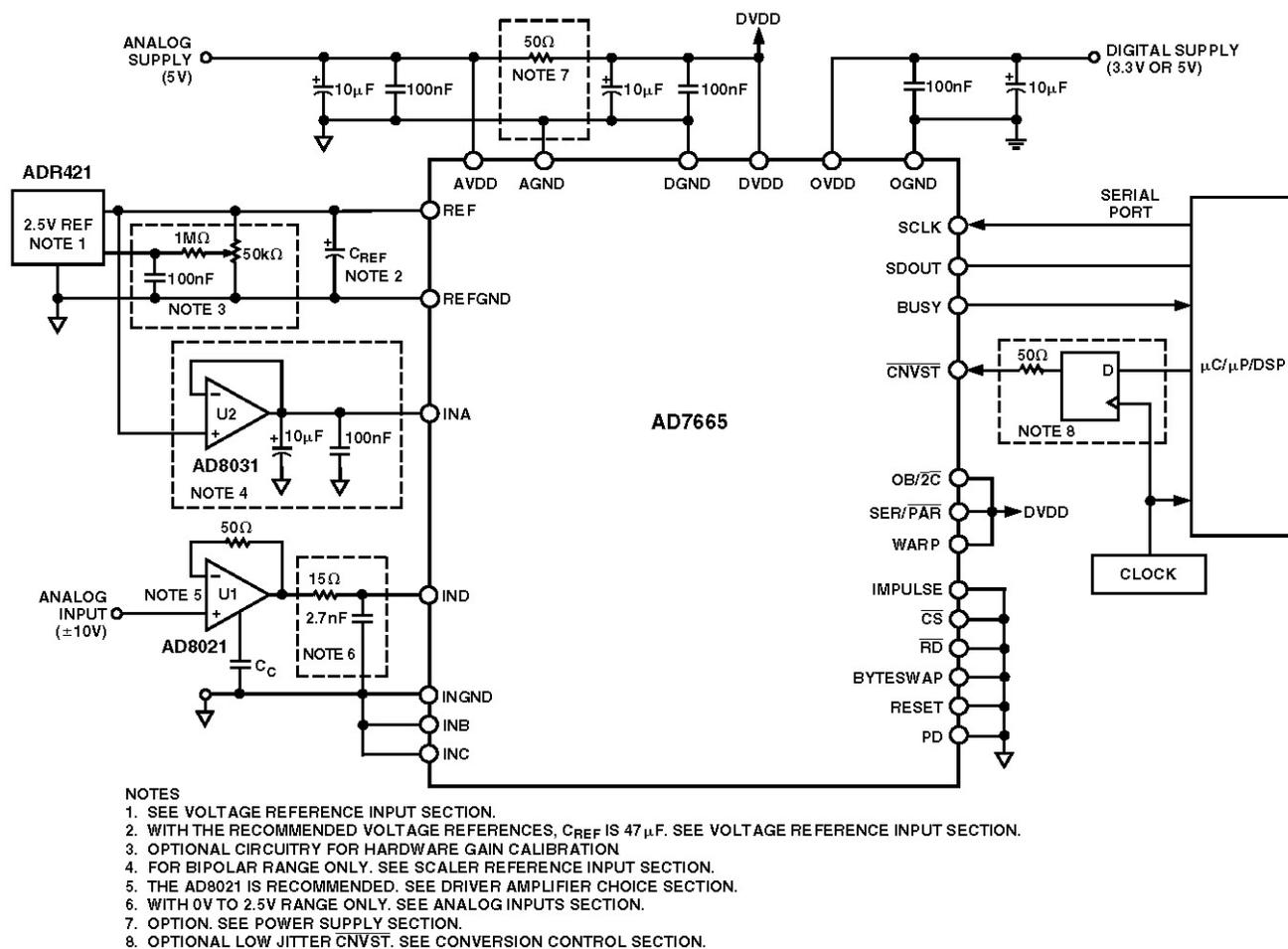


図 5. 代表的な接続図(±10 V 範囲を表示)

## アナログ入力

AD7665 は、6 種類フルスケール・アナログ入力範囲で動作する仕様になっています。各アナログ入力 (IND、INC、INB、INA) に必要な接続と、出力フルスケール範囲を表 I に示します。各アナログ入力範囲の入力インピーダンス (typ) も示してあります。

図 6 に、AD7665 の単純化されたアナログ入力部分を示します。

4 つのアナログ入力に接続された 4 本の抵抗が抵抗スケラを構成し、これによりアナログ入力範囲をスケール・ダウン/シフトしてスイッチド・キャパシタ ADC 入力に共通な入力範囲 0 V ~ 2.5 V にします。

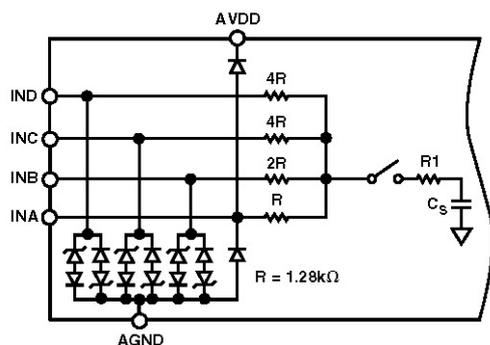


図 6. 単純化されたアナログ入力

4 つの入力 (INA、INB、INC、IND) を入力信号そのものに接続することにより、グラウンド、2.5 V のリファレンス電圧、またはその他のアナログ入力範囲を実現することができます。

図 6 に示すダイオードは 4 つの入力に対して ESD 保護機能を提供します。入力 (INB、INC、IND) には高電圧保護機能 (-11 V ~ +30 V) があるため、広い入力電圧範囲が可能です。アナログ入力信号が INA (0 V ~ 5 V) を含むこれらの入力に対する絶対定格を超えないよう注意する必要があります。この機能では、これらのダイオードが順方向にバイアスされて、電流が流れるようになります。これらのダイオードは、最大 120 mA の順方向バイアス電流を処理することができます。例えば、0 V ~ 2.5 V の入力範囲を使う場合、入力バッファ (UI) 電源が AVDD と異なるとき、この状態が偶発的に入力 INA で発生することがあります。このような場合、短絡電流制限機能を持つ入力バッファを使ってデバイスを保護することができます。

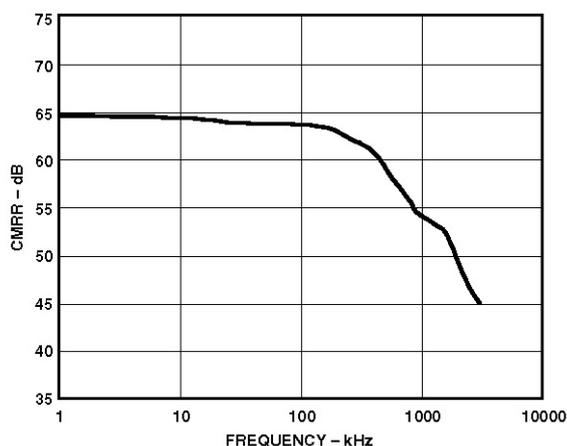


図 7. アナログ入力 CMRR の周波数特性

このアナログ入力構造を使うと、抵抗スケラ出力と INGND との間の差動信号のサンプリングが可能になります。他のコンバータとは異なり、INGND は入力と同じタイミングでサンプルされます。この差動入力を使用することにより、両入力に共通の微小信号を阻止することができます (図 7)。図 7 には代表的な CMRR の周波数特性を示してあります。たとえば、INGND を使ってリモート信号グラウンドを検出することにより、センサーとローカル ADC グラウンドとの間のグラウンド電位差が除去されます。

アクイジション・フェーズでは、AD7665 は AC 信号に対して抵抗スケラの等価抵抗  $R/2$ 、これに直列な  $R1$  および  $Cs$  で構成される 1 極の RC フィルタのように動作します。抵抗  $R1$  は 100  $\Omega$  (typ) であり、直列抵抗とスイッチのオン抵抗から構成される集中定数です。コンデンサ  $Cs$  は 60 pF (typ) であり、主に ADC サンプリング・コンデンサです。3.6 MHz (typ 値) の -3 dB カットオフ周波数を持つ 1 極フィルタは、不要な折り返し成分を削減し、入力から入り込むノイズを制限します。

0 V ~ 2.5 V のアナログ入力電圧範囲を使う場合以外、ゲイン誤差を避けるため非常に低いインピーダンス・ソースから AD7665 を駆動する必要があります。これはドライバ・アンプを使うと実現できます。アンプの選択は、AD7665 の抵抗アナログ入力回路のために簡単です。

0 V ~ 2.5 V のアナログ入力電圧範囲を使う場合は、AD7665 の入力インピーダンスが非常に高いため、ゲイン誤差なしに低インピーダンス・ソースから AD7665 を直接駆動することができます。これにより、図 5 に示すように、外付けの 1 極 RC フィルタをアンプ出力と ADC アナログ入力の間に入挿入すると、AD7665 アナログ入力回路で実現されているノイズ・フィルタをさらに強化することができます。ただし、ソース・インピーダンスは AC 性能、特に総合高調波歪み (THD) に影響を与えるため、低く維持する必要があります。最大ソース・インピーダンスは、許容可能な総合 THD の大きさに依存します。THD は、ソース・インピーダンスと最大入力周波数の関数として性能低下します (図 8)。

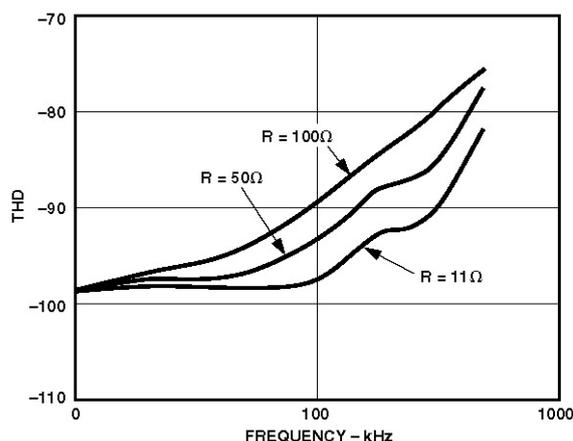


図 8. アナログ入力周波数および入力抵抗対 THD (0 V ~ 2.5 V の場合)

## ドライバ・アンプの選択

AD7665 の駆動は簡単ですが、ドライバ・アンプは少なくとも次の条件を満たす必要があります。

- ドライバ・アンプと AD7665 アナログ入力回路は共に、コンデンサ・アレイのフル・スケール・ステップに対して 16 ビット・レベル (0.0015%) でセトリングできる必要があります。アンプのデータシートでは、一般に 0.1~0.01% のセトリングが規定されています。16 ビット・レベルでのセトリング・タイムから大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。超ローノイズと広いゲイン帯域幅を組み合わせた小型オペアンプ AD8021 は、最大 13 までの高いゲインで使用した場合もこのセトリング・タイム条件を満たします。
- AD7665 の SNR 性能と遷移ノイズ性能を維持するためには、ドライバ・アンプが保証するノイズをできるだけ低く抑える必要があります。ドライバから発生するノイズは、使用するアナログ入力電圧範囲に従って抵抗スケラにより先ずスケール・ダウンされ、次に  $(R/2 + R1)$  と  $C_S$  から構成される AD7665 アナログ入力回路の 1 極ローパス・フィルタによりフィルタされます。アンプに起因する SNR の低下は、次式で表されます。

$$SNR_{Loss} = 20 \log \left( \frac{28}{\sqrt{784 + \frac{\pi}{2} f_{-3dB} \left( \frac{2.5 N e_N}{FSR} \right)^2}} \right)$$

ここで、

$f_{-3dB}$  MHz で表した AD7665 の -3 dB 入力帯域幅 (3.6 MHz)、すなわち入力フィルタ (使用した場合) のカットオフ周波数。

$N$  アンプのノイズ係数 (バッファ構成の場合は 1)。

$e_N$  オペアンプの等価入力ノイズ電圧 (nV/ $\sqrt{\text{Hz}}$ )。

$FSR$  フルスケール振幅 ( $\pm 2.5$  V 範囲の場合 5 V)。

たとえば、0~2.5 V 範囲で、2 nV/Hz<sup>1/2</sup> の等価入力ノイズを持つドライバ (たとえば、AD8021) をバッファとして構成すると、ノイズ・ゲイン = 1 となり、SNR は 0.12 dB だけ低下します。

- ドライバは、AD7665 の THD 性能に見合う THD 性能を持つ必要があります。TPC11 に、ドライバに必要な THD 周波数特性を示します。

AD8021 はこれらの条件を満たしているため、ほとんどすべてのアプリケーションに適しています。AD8021 には、外付けの補償コンデンサ 10 pF が必要です。このコンデンサは、NPO セラミックまたはマイカ・タイプのような優れた直線性を持つ必要があります。

デュアル・バージョンが必要でゲイン = 1 を使用する場合には、AD8022 も使用することができます。

高周波 (100 kHz 以上) 性能が不要な場合には、AD829 も使用することができます。ゲイン = 1 では、82 pF の補償コンデンサが必要です。

低周波アプリケーションで低バイアス電流が必要な場合は、AD8610 も使用することができます。

## リファレンス電圧入力

AD7665 は外付けの 2.5 V のリファレンス電圧を使用します。

AD7665 のリファレンス電圧入力 REF は動的入力インピーダンスを持っています。このため、REF 入力と REFGND 入力との間を効果的にデカップリングした低インピーダンス・ソースから駆動する必要があります。このデカップリングはリファレンス電圧の選択に依存しますが、一般に、最小寄生インダクタンスで REF 入力と REFGND 入力に接続された 1  $\mu\text{F}$  のセラミック・コンデンサと低 ESR のタンタル・コンデンサから構成されます。次の推奨リファレンス電圧を使用する場合、47  $\mu\text{F}$  のタンタル・コンデンサが適切です。

- 低ノイズ、低温度ドリフトの ADR421 および AD780 リファレンス電圧
- 低消費電力の ADR291 リファレンス電圧
- 低価格の AD1582 リファレンス電圧

複数の AD7665 を使用するアプリケーションに対しては、AD8031 のような低ノイズで非常に安定なオペアンプでリファレンス電圧をバッファすることが効果的です。

リファレンス電圧の温度係数は直接フル・スケールに影響を与えるので、このパラメータが問題となる場合は、注意する必要があります。たとえば、リファレンス電圧の温度係数が  $\pm 15$  ppm/ $^{\circ}\text{C}$  の場合、フル・スケールが  $\pm 1$  LSB/ $^{\circ}\text{C}$  変化します。仕様の表に示すように、 $V_{REF}$  が AVDD - 1.85 V に増加するする場合があることに注意してください。この場合の利点は、この増加により SNR が改善されることです。入力範囲は  $V_{REF}$  を使って定義しているため、これにより入力範囲が  $\pm 2.5$  V から  $\pm 3$  V に広がり、AVDD が 4.85 V より高い場合も同様です。リファレンス電圧を大きくすることによる理論的な改善は、1.58 dB ( $20 \log [3/2.5]$ ) です。ただし、理論量子化ノイズのため、実際の改善は約 1 dB になります。3 V のリファレンス電圧では AD780 を使用することができます。

## スケラ・リファレンス電圧入力 (バイポーラ入力範囲)

バイポーラ入力範囲で AD7665 を使う場合、図 5 の接続図にリファレンス・バッファ・アンプを示します。このバッファ・アンプは、INx ピンの信号に依存する電流から REF ピンをアイソレーションするために必要です。5 V 単電源では、AD7665 の性能低下なしに、AD8031 のような高速オペアンプを使うことができます。バッファは優れたセトリング特性を持ち、AD7665 の入力帯域幅で低い総合ノイズを持つ必要があります。

## 電源

AD7665 では、アナログ 5V 電源 AVDD、デジタル 5 V コア電源 DVDD、デジタル入出力インターフェース電源 OVDD の 3 種類の電源ピンを使用しています。OVDD 電源は 2.7 V ~ DVDD + 0.3 V で動作するロジックとの直接インターフェースを可能にします。所要電源数を減らすため、デジタル・コア (DVDD) は図 5 に示す簡単な RC フィルタを使ってアナログ電源から供給することができます。OVDD が DVDD を 0.3 V 以上超えないようになった後は、AD7665 は電源シーケンスに依存しなくなるため、電源電圧によるラッチアップの問題はありません。さらに、広い周波数範囲で電源変動に対して安定です (図 9)。

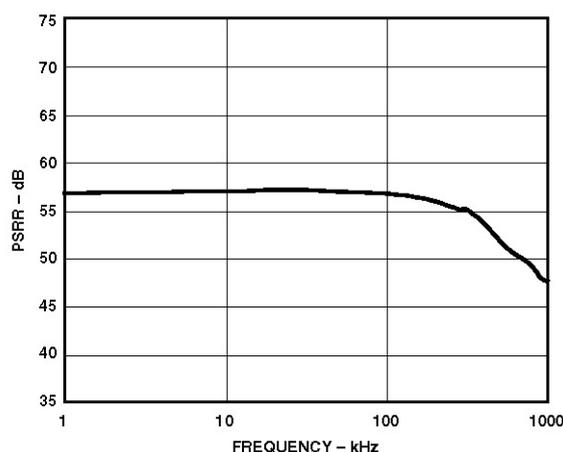


図 9. PSRR の周波数特性

## 消費電力

インパルス・モードでは、AD7665 は各変換フェーズの終わりで自動的に消費電力を削減します。アキュイジション・フェーズでは動作電流は非常に小さいため、変換レートが下がると消費電力を大幅に削減することができます(図 10)。この機能により、AD7665 は非常に低消費電力のバッテリー・アプリケーションに最適になっています。

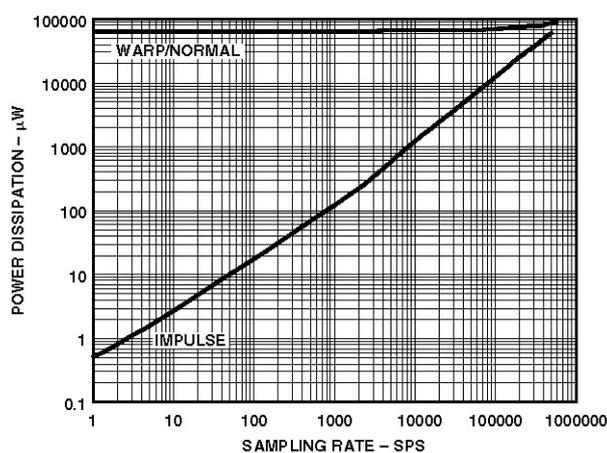


図 10.消費電力対サンプル・レート

ここでは、入力抵抗スケラで消費される電力を考慮していません。この消費電力は、使用する入力電圧範囲とパワーダウン・モードであってもアナログ入力電圧に依存します。0 V ~ 2.5 V を使用する場合、またはアナログ入力電圧が 0 V で、ユニポーラ範囲 (0 V ~ 5 V または 0 V ~ 10 V) を使用する場合には、消費電力はありません。

アキュイジション・フェーズでもデジタル・インターフェースはアクティブであることに注意してください。動作デジタル電源電流をさらに削減するため、デジタル入力を電源レール (DVDD および DGND) 近くまで駆動して、OVDD が DVDD を 0.3 V を超えて上回らないようにします。

## 変換制御

図 11 に、変換処理の詳しいタイミング図を示します。AD7665 は、変換を開始させる  $\overline{\text{CNVST}}$  信号により制御されます。一旦変換が開始されると、パワーダウン入力 PD によっても、変換が完了するまで再起動または中止ができません。 $\overline{\text{CNVST}}$  信号は、 $\overline{\text{CS}}$  信号と  $\overline{\text{RD}}$  信号と無関係に動作します。

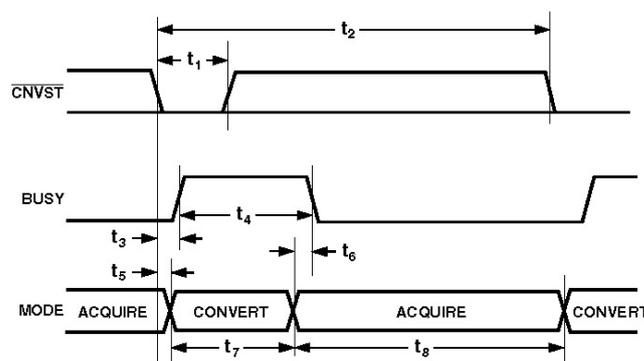


図 11.変換の基本タイミング

インパルス・モードでは、変換を自動的に開始させることができます。BUSY がロー・レベルのとき、 $\overline{\text{CNVST}}$  をロー・レベルにすると、AD7665 はアキュイジション・フェーズを制御して、自動的に新しい変換を開始します。 $\overline{\text{CNVST}}$  をロー・レベルに維持すると、AD7665 は変換処理を自動的に継続します。BUSY がロー・レベルになったとき、アナログ入力は整定している必要があることに注意してください。また、パワーアップ時に、 $\overline{\text{CNVST}}$  を一度ロー・レベルにして変換処理を開始させる必要があります。このモードでは、AD7665 はインパルス・モードで保証された規定値 444 kSPS より少し早く動作することが可能なことがあります。この機能は、ワープ・モードまたはノーマル・モードにはありません。

$\overline{\text{CNVST}}$  はデジタル信号ですが、高速できれいなエッジとレベル、最小のオーバーシュートとアンダーシュートまたは立ち上がりを持つようにデザインする注意が必要です。 $\overline{\text{CNVST}}$  のパターンはグラウンドでシールドし、値の小さい直列終端抵抗(たとえば 50 V)をこのラインを駆動するデバイス出力側に接続することが望まれます。

SNR が重要なアプリケーションでは、 $\overline{\text{CNVST}}$  信号のジッタを非常に小さく抑える必要があります。これを実現するために、 $\overline{\text{CNVST}}$  の発生に専用の発振器を使うか、あるいは少なくとも高周波の低ジッタ・クロックで駆動することがあります(図 5)。

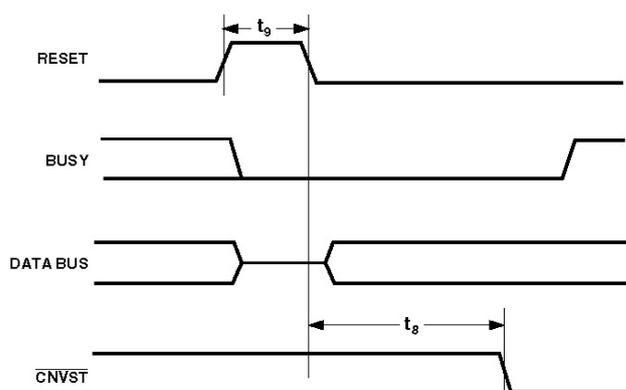


図 12. RESET のタイミング

## デジタル・インターフェース

AD7665 は多才なデジタル・インターフェースを内蔵しており、シリアル・インターフェースまたはパラレル・インターフェースを使ってホスト・システムにインターフェースすることができます。シリアル・インターフェースはパラレル・データ・バス上にマルチプレクスされています。また、AD7665 デジタル・インターフェースは AD7665 の OVDD 電源ピンをホスト・システムのインターフェース・デジタル電源に接続するだけで、3 V または 5 V のロジックにも対応します。最後に、OB/2C 入力ピンを使って、2 の補数コーディングまたはストレート・バイナリ・コーディングを選択することができます。

$\overline{CS}$  と  $\overline{RD}$  の 2 本の信号がインターフェースを制御します。これらの信号の少なくとも一方がハイ・レベルのとき、インターフェース出力は高インピーダンスになります。一般に、 $\overline{CS}$  は複数の AD7665 を使用するアプリケーションで各 AD7665 の選択に使い、AD7665 を 1 個使用するデザインではロー・レベルに固定します。 $\overline{RD}$  は、一般に変換結果のデータ・バスへの出力をイネーブルするときに使います。

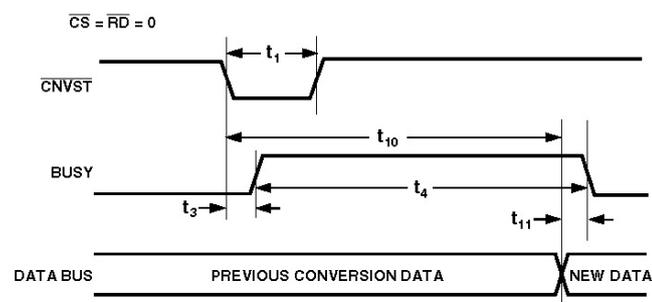


図 13. 読み出しのマスター・パラレル・データ・タイミング

(連続読み出し)

## パラレル・インターフェース

$\overline{SER}/\overline{PAR}$  をロー・レベルにすると、AD7665 はパラレル・インターフェースを使用するように設定されます。データは各変換の後に(すなわち次のアキュイジション・フェーズ中に)、または次の変換中に、それぞれ読み出すことができます(それぞれ図 14 と図 15 に示します)。ただし、変換中にデータを読み出すときは、変換フェーズの前半でのみ読み出すことが推奨されます。これにより、デジタル・インターフェース上の電圧過渡が最もクリティカルなアナログ変換回路に混入するのを防止することができます。

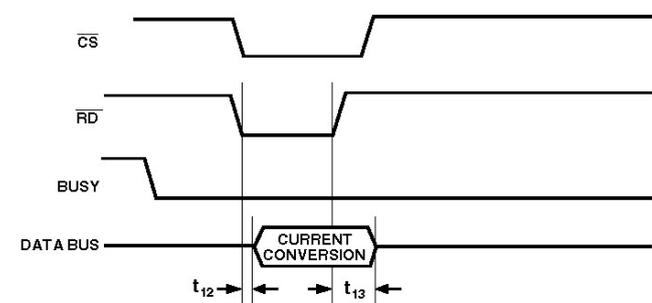


図 14. 読み出しのスレーブ・パラレル・データ・タイミング

(変換後の読み出し)

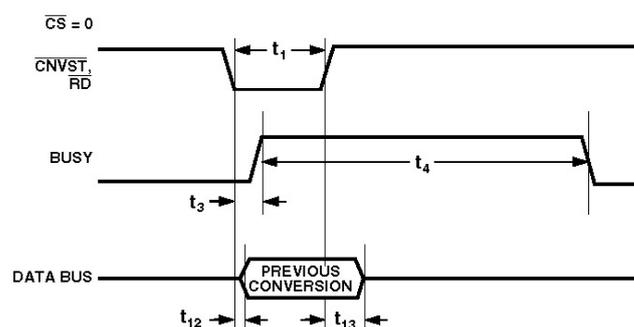


図 15. 読み出しのスレーブ・パラレル・データ・タイミング  
(変換中の読み出し)

BYTESWAP ピンを使うと、8 ビット・バスに対する外付け部品の不要なインターフェースが可能になります。図 16 に示すように、BYTESWAP がロー・レベルのとき、LSB が D[7:0] に、MSB が D[15:8] に、それぞれ出力されます。BYTESWAP がハイ・レベルのとき、LSB と MSB は置換されて、LSB が D[15:8] に、MSB が D[7:0] に、それぞれ出力されます。BYTESWAP をアドレス・ラインに接続すると、データの 16 ビットを D[15:8] または D[7:0] から 2 バイトとして読み出すことができます。

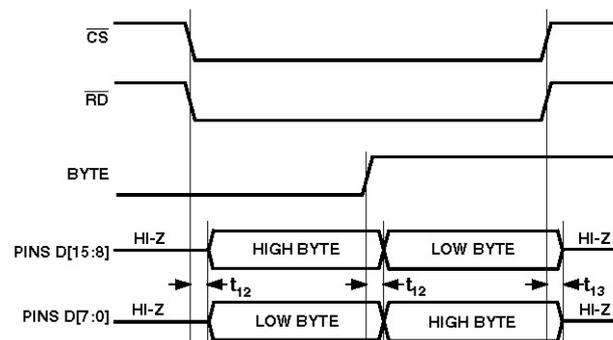


図 16. 8 ビット・パラレル・インターフェース

## シリアル・インターフェース

$\overline{SER}/\overline{PAR}$  がハイ・レベルのとき、シリアル・インターフェースを使用するように AD7665 を設定することができます。AD7665 は、MSB ファーストで 16 ビットのデータを SDOOUT ピンに出力します。このデータは、SCLK ピンに入力される 16 個のクロック・パルスに同期化されています。出力データは、データ・クロックの立ち上がりエッジと立ち下がりエッジの両方で有効です。

## マスター・シリアル・インターフェース

### 内部クロック

EXT/INT ピンをロー・レベルに維持すると、シリアル・データ・クロック SCLK を発生して出力するように AD7665 を設定することができます。また、AD7665 は SYNC 信号を発生して、シリアル・データが有効になるタイミングをホストに知らせます。シリアル・クロック SCLK と SYNC 信号は必要に応じて反転することができます。RDC/SDIN 入力に応じて、各変換の後、または変換中に、データを読み出すことができます。図 17 と図 18 に、これら 2 つのモードの詳しいタイミング図を示します。

一般に、AD7665 は高速スレーブモードで使用されるため、モード・マスター(変換中の読み出し)が使用可能な場合は、最も推奨されるシリアル・モードです。

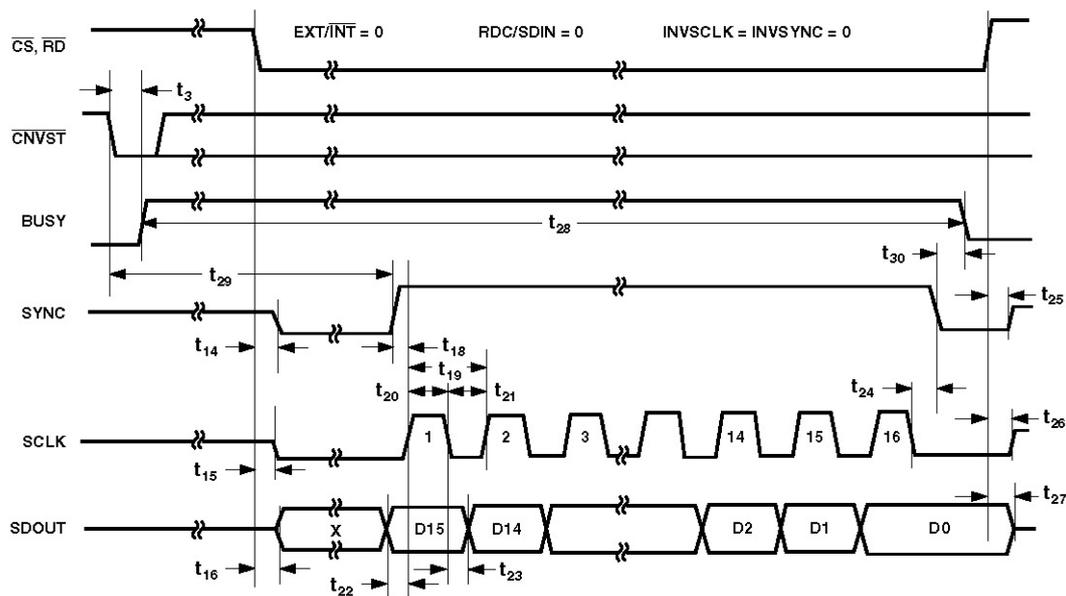


図 17.読み出しのマスター・シリアル・データ・タイミング(変換後の読み出し)

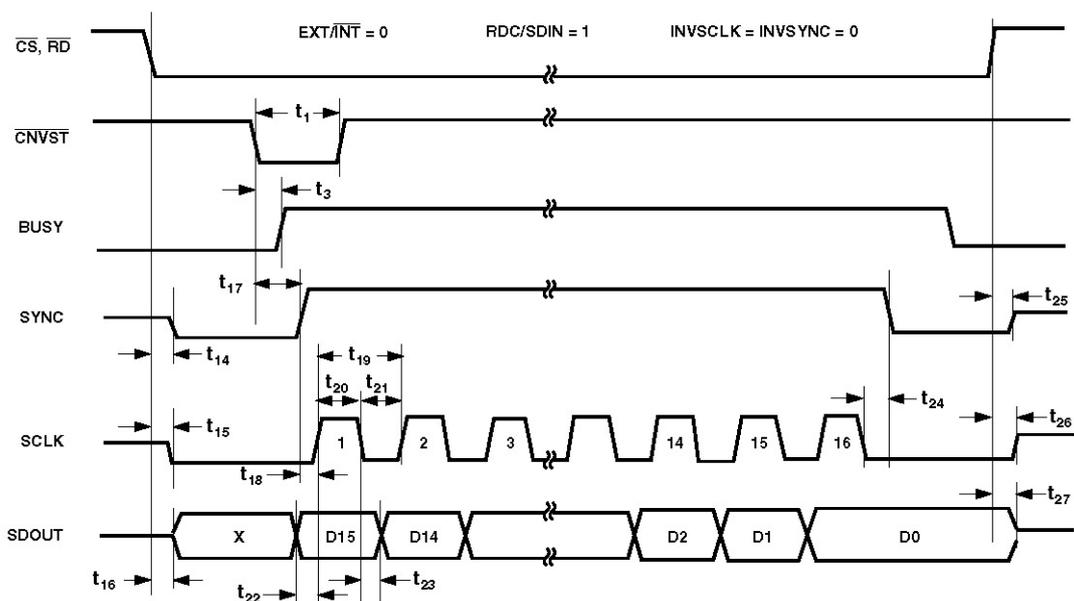


図 18.読み出しのマスター・シリアル・データ・タイミング(変換中における前の変換結果の読み出し)

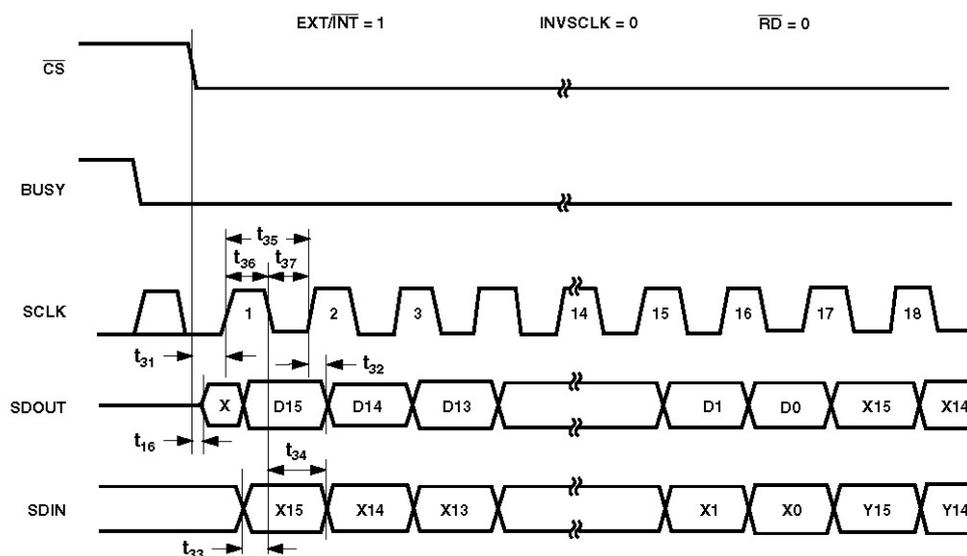


図 19.読み出しのスレーブ・シリアル・データ・タイミング(変換後の読み出し)

変換中の読み出しモードでは、適切な時間にシリアル・クロックとデータがトグルするため、デジタル動作がクリティカルな変換判定に影響を与えることを最小限にします。

変換後の読み出しモードでは、他のモードとは異なり、BUSY 幅が長くなる変換フェーズの終わりにではなく、16 データ・ビットがパルス出力された後に BUSY 信号がロー・レベルに戻ることに注意する必要があります。

## スレーブ・シリアル・インターフェース

### 外部クロック

EXT/INTピンをハイ・レベルに維持すると、SCLK ピンに外部シリアル・データ・クロックを入力するように AD7665 を設定することができます。このモードでは、幾つかの方法を使ってデータを読み出すことができます。外部シリアル・クロックがCSによりゲーティングされるため、CSとRDが共にロー・レベルのときデータが出力されます。したがって、CSに応じて、各変換の後または次の変換中にデータを読み出すことができます。外部クロックとしては、連続クロックまたは不連続クロックが可能です。不連続クロックの非アクティブ状態は、ノーマル・ハイ・レベルまたはノーマル・ロー・レベルが可能です。図 19 と図 21 に、これらの方法の詳しいタイミング図を示します。

AD7665 がビット判定を行っているときに、デジタル入出力ピンで過渡電圧が発生しないようにすることが重要で、発生すると変換結果の性能低下が発生します。これは変換フェーズの後半で特に重要です。AD7665 は変換フェーズの前半で行われたビット判定の誤りを補正することができる誤差補正回路を後半で提供しているためです。この理由により、外部クロックを入力する場合には、BUSY がロー・レベルのときだけトグルし、さらに BUSY がハイ・レベルである後半では変化しない不連続クロックの使用が推奨されます。

### 変換後の外部不連続クロックによるデータ読み出し

このモードでは最大スレーブットを達成できませんが、シリアル・スレーブ・モードとしては最も推奨されるモードです。図 19 に、この方法の詳しいタイミング図を示します。BUSY がロー・レベルに戻って変換の完了が表示されると、この変換結果はCSとRDが共にロー・レベルのとき読み出すことができます。データは MSB ファーストで、16 個のクロック・パルスでシフト出

力され、クロックの立ち上がりエッジと立ち下がりエッジの両方で有効です。

この方法の利点は、変換処理中にデジタル・インターフェース上で過渡電圧が発生しないため、変換性能の低下がないことです。

もう 1 つの利点は、低速デジタル・ホスト・インターフェースと最高速のシリアル読み出しの両方をサポートできる最大 40 MHz までの任意の速度でデータを読み出しできることです。

最後に、このモードの場合だけ、AD7665 は RDC/SDIN 入力ピンを使って複数のコンバータをカスケード接続する“デジチェーン”機能を提供します。この機能は部品数と接続配線数の削減に役立ちます。たとえば、絶縁された複数のコンバータを使用するアプリケーションではこの接続が使用されます。

2 個のデバイスを接続する例を図 20 に示します。共通の CNVST 信号を使用すると、同時サンプリングが可能です。RDC/SDIN 入力、SDOUT 上でデータをシフト出力する際に使う SCLK クロックのエッジとは反対側のエッジでラッチされることに注意してください。このため、次の SCLK サイクルで、“上流側”コンバータの MSB は“下流側”コンバータの LSB の直後に続きます。

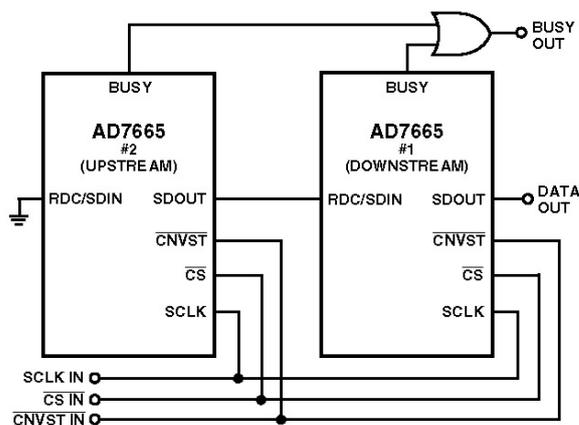


図 20.デジチェーン接続した 2 個の AD7665

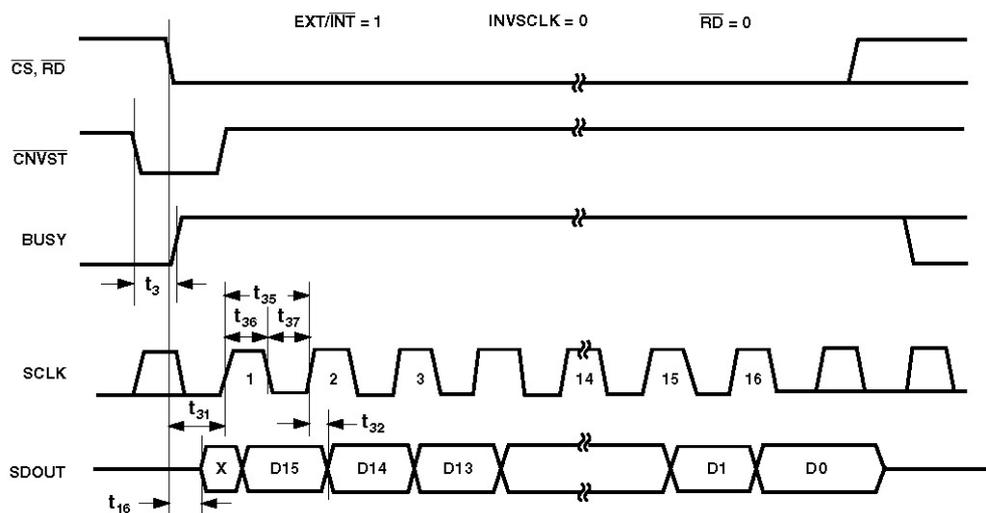


図 21. 読み出しのスレーブ・シリアル・データ・タイミング(変換中における前の変換結果の読み出し)

### 外部クロックによる変換中のデータ読み出し

図 21 に、この方法の詳しいタイミング図を示します。変換中に、 $\overline{CS}$ と $\overline{RD}$ がロー・レベルのとき、前の変換結果を読み出すことができます。データは MSB ファーストで、16 個のクロック・パルスでシフト出力され、クロックの立ち上がりエッジと立ち下がりエッジの両方で有効です。現在の変換が完了する前に、16 ビットを読み出す必要があります。16 ビットを読み出さなかった場合は、 $\overline{RDERROR}$  にハイ・パルスが出力され、これを使ってホスト・インターフェースに割込みを発生して、不完全なデータ読み出しを防止することができます。このモードにはディジチチェーン機能はありません。RDC/SDIN 入力は常にハイ・レベルまたはロー・レベルに固定しておく必要があります。

デジタル動作に起因する性能低下を少なくするため、少なくとも 25 MHz の高速な不連続クロック (インパルス・モード時)、または 40 MHz クロック (ノーマルまたはワープ・モード時) により、変換フェーズの前半で全ビットを読み出していることを確認することをお勧めします。また、変換後にデータの読み出しを開始して、新しい変換が開始された後にも最終ビットの読み出しを続けることも可能です。この方法では、10 MHz (インパルス・モード時)、12 MHz (ノーマル・モード時)、15 MHz (ワープ・モード) のような低速クロックを使用することも可能です。

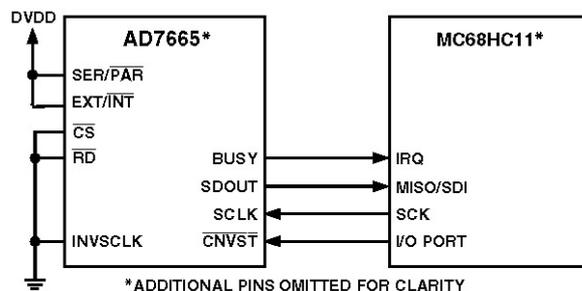
## マイクロプロセッサ・インターフェース

AD7665 は、マイクロプロセッサをサポートする従来型の DC 計測アプリケーションやデジタル信号プロセッサにインターフェースする AC 信号処理アプリケーション向けに最適です。AD7665 は、パラレルの 8 ビット幅または 16 ビット幅のインターフェース、汎用シリアル・ポート、またはマイクロコントローラの I/O ポートを使ってインターフェースするようにデザインされています。さまざまな外付けバッファを AD7665 に使用することにより、デジタル・ノイズが ADC へ混入するのを防止することができます。以下の節では、SPI を持つマイクロコントローラ、ADSP-21065L 信号プロセッサ、ADSP-218x 信号プロセッサと AD7665 を組み合わせて使用する方法を説明します。

### SPI インターフェース(MC68HC11)

図 22 に、AD7665 と MC68HC11 のような SPI を内蔵するマイクロコントローラとの間のインターフェース図を示します。マイクロコントローラの低速に対応するため、AD7665 はスレーブ・デ

バイスとして動作し、データを変換した後に読み出します。このモードではディジチチェーン接続も可能です。内部タイマ割り込みに対する応答の中で変換コマンドを起動することができます。変換終了信号 (BUSY がロー・レベルに変化) に対するマイクロコントローラの割込みラインを使用する応答の中で、出力データの読み出し (必要に応じて 1 回に 1 バイトずつ) を開始することができます。MC68HC11 のシリアル・ペリフェラル・インターフェース (SPI) は、SPI コントロール・レジスタ (SPCR) に書き込みを行って、マスター・モード (MSTR) = 1、クロック極性ビット (CPOL) = 0、クロック位相ビット (CPHA) = 1、SPI 割込みイネーブル (SPIE) = 1 に設定します。IRQ は、エッジのみの検出動作 (オプション・レジスタの IRQE = 1) に設定します。



\*ADDITIONAL PINS OMITTED FOR CLARITY

図 22. AD7665 と SPI 間のインターフェース

### ADSP-21065L とのマスター・シリアル・インターフェース

図 23 に示すように、マスター・モードのシリアル・インターフェースを使って、外付けロジックなしで、AD7665 を ADSP-21065L にインターフェースさせることができます。このモードでは、接続配線の削減と最大転送速度で変換中または変換後にデータが読み出しできる (DIVSCLK [0:1] は共にロー・レベル) という 2 つの利点が組み合わせてあります。

AD7665 は内部クロック・モード ( $\overline{EXT/INT}$  = ロー・レベル) に設定し、マスター・デバイスとして動作します。変換コマンドは、外付けの低ジッタ発振器 (図示) または、ADSP-21065L の FLAG 出力、または ADSP-21065L シリアル・ポートの 1 つのフレーム出力 TFS (タイマーのように使用することが可能) を使って発生することができます。ADSP-21065L のシリアル・ポートは、外部クロック (IRFS = 0)、立ち上がりエッジ・アクティブ (CKRE = 1)、外部遅延フレーム同期信号 (IRFS = 0、LAFS = 1、RFSR = 1)、

アクティブ・ハイ (LRFS = 0) に設定します。ADSP-21065L のシリアル・ポートは、受信コントロール・レジスタ (SRCTL) に書き込みを行って設定します。ADSP-2106x SHARC のユーザー・マニュアルを参照してください。ADSP-21065L のシリアル・ポートは不連続クロックを検出するので、シリアル・ポートが後続の各データ読み出し動作が正常にこのクロックに同期されることを確認するために、最初のワード読み出しは ADSP-21065L のリセットが済んだ後に行う必要があります。

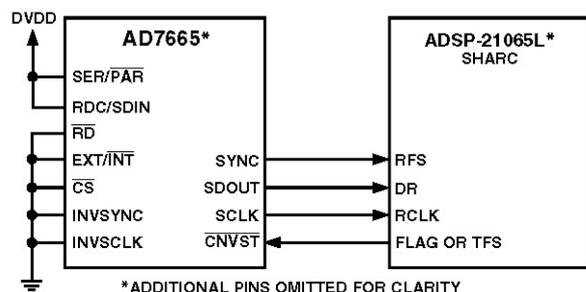


図23. シリアル・マスター・モードを使用するADSP-21065Lとのインターフェース

## アプリケーション情報

### レイアウト

図9に示すように、AD7665は電源ノイズに対して優れた耐性を持っていますが、グラウンド・レイアウトについては注意が必要です。

AD7665を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。そうすると、グラウンド・プレーンの使用が可能になり、それらを容易に分離できるようになります。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1点で接続する必要があります。AD7665の真下で、あるいは少なくともAD7665にできるだけ近い場所での1点接続が望まれます。複数のデバイスがアナログ・グラウンドとデジタル・グラウンドの接続を必要とするシステム内でAD7665を使用する場合にも、この接続は1カ所で行う必要があります。すなわち、AD7665のできるだけ近くで星型グラウンド接続点を構成します。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンがAD7665の下を通過することは可能です。CNVSTやクロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、これらの信号はアナログ信号パスの近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置します。これにより、ボードを貫通するノイズ混入の影響を減らすことができます。

AD7665の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。AD7665に対する電源インピーダンスを下げるため、および電源スパイクの振幅を小さくするために、正しいデカップリングも重要です。デカップリング用セラミック・コンデンサ 100 nF (typ 値) を、各電源ピン AVDD、DVDD、OVDD の近くに、理想的にはこれらのピンと対応するグラウンド・ピンに直接接続する必要があります。さらに、低 ESR の 10  $\mu$ F コンデンサを ADC の近くに配置して、低周波リップルを抑える必要があります。

AD7665 の DVDD 電源は、別々の電源、またはアナログ電源 AVDD またはデジタル・インターフェース電源 OVDD から供給することができます。システム・デジタル電源のノイズが多い場合、または高速なスイッチング・デジタル信号が存在する場合には、別々の電源を使用できないとき、DVDD デジタル電源を図5に示す RC フィルタを介してアナログ電源 AVDD に接続し、システム電源をインターフェース・デジタル電源 OVDD とその他のデジタル回路に接続することをお勧めします。DVDD にシステム電源を接続する場合、高周波スパイクを抑えるためビードを挿入すると有効です。

AD7665にはINGND、REFGND、AGND、DGND、OGNDからなる5種類のグラウンド・ピンがあります。INGNDはアナログ入力信号の検出に使用します。リファレンス電圧を検出するREFGNDにはパルス電流が流れるため、リファレンスまでの低インピーダンス・リターンを用意する必要があります。AGNDはグラウンドであり、大部分の内部ADCアナログ信号がこれを基準に使っています。このグラウンドは、最小の抵抗でアナログ・グラウンド・プレーンに接続する必要があります。DGNDは、構成に応じて、アナログ・グラウンド・プレーンまたはデジタル・グラウンド・プレーンに接続する必要があります。OGNDはデジタル・システム・グラウンドに接続します。

リファレンス電圧のデカップリングのレイアウトは重要です。デカップリング・コンデンサはADCの近くに配置し、短い太いパターンで接続して寄生インダクタンスを小さくする必要があります。

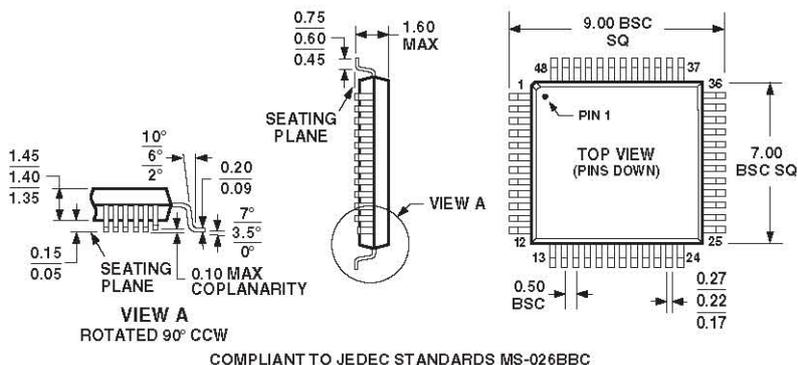
### AD7665の性能評価

AD7665の推奨レイアウトの概要はAD7665評価ボード内に示してあります。評価ボードの梱包には、アセンブラ、テスト済み評価ボード、ドキュメント、評価/制御ボードを介してPCからボードを制御するソフトウェアが添付されています。

### 外形寸法

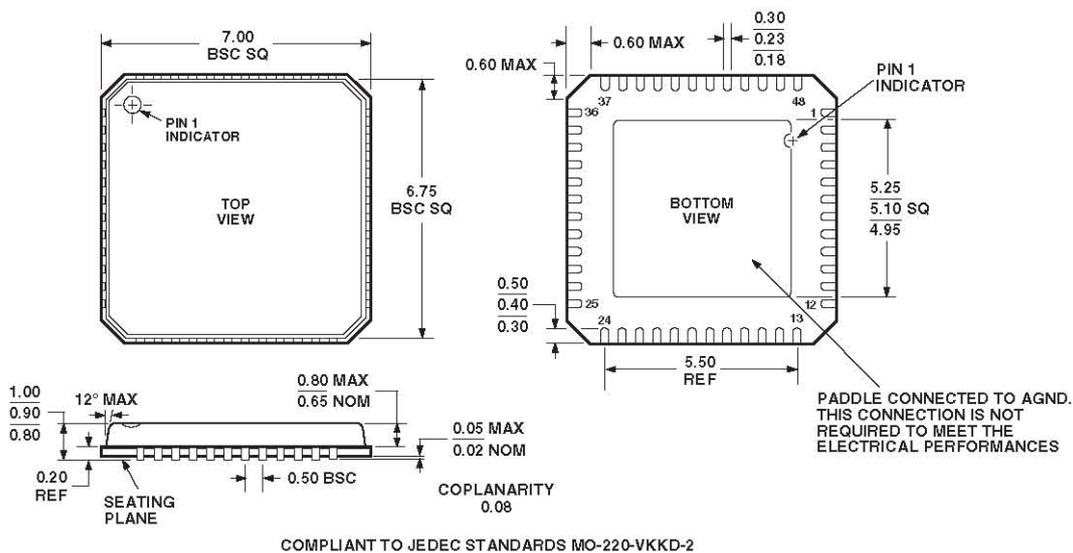
48ピン・ロー・プロファイル・クワッド・フラット・パッケージ[LQFP]  
(ST-48)

寸法: mm



48ピン・リード・フレーム・チップ・スケール・パッケージ[LFCSP]  
(CP-48)

寸法: mm



## 改訂履歷

Location	Page
<b>4/03—Data Sheet changed from REV. A to REV. B.</b>	
Changes to PulsAR Selection table .....	1
Changes to ORDERING GUIDE .....	5
Change to Figure 5 .....	13
Updated OUTLINE DIMENSIONS .....	22
<b>5/02—Data Sheet changed from REV. 0 to REV. A.</b>	
Edits to FEATURES .....	1
Edit to GENERAL DESCRIPTION .....	1
Chart added to PRODUCT HIGHLIGHTS .....	1
Edits to SPECIFICATIONS .....	2–3
Edits to Table I .....	3
Edits to ABSOLUTE MAXIMUM RATINGS .....	5
Edits to ORDERING GUIDE .....	5
Edits to PIN FUNCTION DESCRIPTION .....	6
Addition of TPC I6 .....	11
Edits to CIRCUIT INFORMATION section .....	12
Edits to Table III .....	13
New Voltage Reference Input section .....	15
Edits to ADSP-21065L in Master Serial Interface section .....	20
New ST-48 Package Outline .....	22