



# 250 kSPS、6チャンネル、同時サンプリング バイポーラ16ビットADC

データシート

AD7656A

## 特長

- 6個の独立なA/Dコンバータ(ADC)を内蔵
- 真のバイポーラ・アナログ入力
- ピン/ソフトウェアから選択可能な範囲:  $\pm 10\text{ V}$  または  $\pm 5\text{ V}$
- 高速スループット・レート: 250 kSPS
- iCMOS<sup>®</sup>プロセス技術
- 低消費電力: 250 kSPS、5 V 電源で 140 mW
- 広い入力帯域幅
  - 50 kHz の入力周波数で 86.5 dB SNR
- リファレンス電圧とリファレンス・バッファを内蔵
- パラレル、シリアル、デジチェーン・インターフェース・モード
- 高速シリアル・インターフェース
  - シリアル・ペリフェラル・インターフェース: (SPI)/QSPI<sup>™</sup>/MICROWIRE<sup>®</sup>/DSP 互換
- パワーダウン・モード: 最大 100 mW
- 64ピン LQFP を採用
- 強化型電源シーケンシング (PSS)機能を内蔵

## アプリケーション

- 電源ライン・モニタリング・システム
- 計装システムおよび制御システム
- 多軸ポジショニング・システム

## 概要

AD7656A<sup>1</sup>は、iCMOS<sup>®</sup> プロセス (工業用CMOS)用にデザインされ、6個の16ビット、高速、低消費電力逐次比較型ADCを内蔵しています。iCMOS は、高電圧シリコン技術、サブミクロン CMOS技術、相補バイポーラ技術を組み合わせた製造プロセスです。この技術は、前世代の高電圧では実現できなかったフットプリントで33 V動作が可能な広範囲な高性能アナログICの開発を可能にしました。iCMOSデバイスは、従来型CMOSプロセスを採用したアナログICとは異なり、バイポーラ入力信号に対応できると同時に、性能の強化、大幅な消費電力の削減、パッケージの小型化が可能になりました。

AD7656Aのスループット・レートは最大 250 kSPS です。広帯域(12 MHz)のトラック・アンド・ホールド・アンプを内蔵しており、最大 12 MHz までの入力周波数を処理することができます。

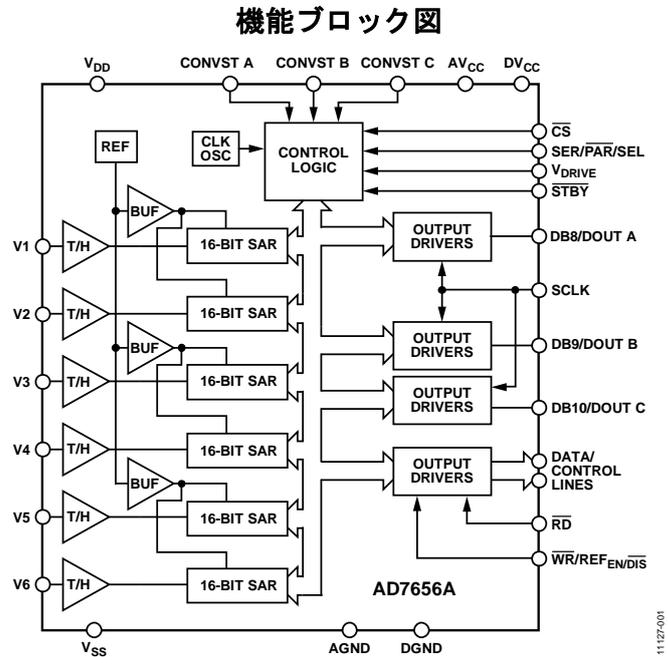


図 1.

変換プロセスとデータ・アクイジションは、CONVST x 信号と内蔵発振器を使って制御されます。3本の CONVST x ピン (CONVST A、CONVST B、CONVST C)により、3個のADC対の独立な同時サンプリングが可能です。AD7656Aは、高速なパラレルおよびシリアル・インターフェースを内蔵しているため、マイクロプロセッサまたはデジタル信号プロセッサ (DSP) とインターフェースさせることができます。シリアル・インターフェース・モードでは、AD7656Aは複数のADCを1つのシリアル・インターフェースに接続できるデジチェーン機能を持っています。AD7656Aは、 $\pm 4 \times VREF$  範囲と  $\pm 2 \times VREF$  範囲の真のバイポーラ入力信号を処理することができます。AD7656Aは2.5 Vのリファレンス電圧も内蔵しています。共用ピンの名前は、関連する機能でのみ参照できます。

## 製品のハイライト

- 6個の16ビット250 kSPS ADCを内蔵。
- 6本の真のバイポーラ、高インピーダンス・アナログ入力を使用。
- パラレル・インターフェースおよび高速シリアル・インターフェース。

<sup>1</sup>米国特許 No. 6,731,232 により保護されています。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	動作原理.....	15
アプリケーション.....	1	コンバータの詳細.....	15
機能ブロック図.....	1	ADCの伝達関数.....	16
概要.....	1	リファレンス電圧セクション.....	16
製品のハイライト.....	1	代表的な接続図.....	16
改訂履歴.....	2	アナログ入力の駆動.....	17
仕様.....	3	インターフェース・セクション.....	17
タイミング仕様.....	5	ソフトウェアからのADC選択.....	19
絶対最大定格.....	6	シリアルの読出し動作.....	21
電源シーケンシング.....	6	デジタイゼーション・モード (DCEN = 1、SER/PAR/SEL = 1)..	21
熱抵抗.....	6	アプリケーション情報.....	24
ESDの注意.....	6	レイアウト.....	24
ピン配置およびピン機能説明.....	7	外形寸法.....	25
代表的な性能特性.....	10	オーダー・ガイド.....	25
用語.....	13		

## 改訂履歴

12/13—Revision 0: Initial Version

## 仕様

$V_{REF} = 2.5\text{ V}$  内部/外部、 $AV_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $DV_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 2.7\text{ V} \sim 5.25\text{ V}$ 。  $\pm 4 \times V_{REF}$  範囲の場合、 $V_{DD} = 11\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -11\text{ V} \sim -16.5\text{ V}$ 。  $\pm 2 \times V_{REF}$  範囲の場合、 $V_{DD} = 6\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -6\text{ V} \sim -16.5\text{ V}$ 。特に指定がない限り、 $f_{SAMPLE} = 250\text{ kSPS}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>DYNAMIC PERFORMANCE</b>					
Signal-to-Noise + Distortion (SINAD) <sup>1</sup>	84	85.5		dB	$f_{IN} = 50\text{ kHz}$ sine wave
Signal-to-Noise Ratio (SNR) <sup>1</sup>	85	86.5		dB	
Total Harmonic Distortion (THD) <sup>1</sup>			-90	dB	
RANGE Pin = 0		-92		dB	$V_{DD}/V_{SS} = \pm 6\text{ V to } \pm 11\text{ V}$
RANGE Pin = 1		-100		dB	$V_{DD}/V_{SS} = \pm 12\text{ V to } \pm 16.5\text{ V}$
Peak Harmonic or Spurious Noise (SFDR) <sup>1</sup>		-100		dB	
Intermodulation Distortion (IMD) <sup>1</sup>					$f_a = 50\text{ kHz}$ , $f_b = 49\text{ kHz}$
Second-Order Terms		-112		dB	
Third-Order Terms		-107		dB	
Aperture Delay			10	ns	
Aperture Delay Matching			4	ns	
Aperture Jitter		35		ps	
Channel-to-Channel Isolation <sup>1</sup>		-100		dB	$f_{IN}$ on unselected channels up to 100 kHz
Full Power Bandwidth		12		MHz	At -3 dB
		2		MHz	At -0.1 dB
<b>DC ACCURACY</b>					
Resolution		16		Bits	
No Missing Codes	15			Bits	
	16			Bits	At 25°C
Integral Nonlinearity <sup>1</sup>			$\pm 3$	LSB	
		$\pm 1$		LSB	
Positive Full-Scale Error <sup>1</sup>		$\pm 0.22\%$	$\pm 0.75$	% FSR	
Positive Full-Scale Error Matching <sup>1</sup>			$\pm 0.35$	% FSR	
Bipolar Zero-Scale Error <sup>1</sup>		$\pm 0.004\%$	$\pm 0.023$	% FSR	
Bipolar Zero-Scale Error Matching <sup>1</sup>			$\pm 0.038$	% FSR	
Negative Full-Scale Error <sup>1</sup>		$\pm 0.22\%$	$\pm 0.75$	% FSR	
Negative Full-Scale Error Matching <sup>1</sup>			$\pm 0.35$	% FSR	
<b>ANALOG INPUT</b>					
Input Voltage Ranges	$-4 \times V_{REF}$		$+4 \times V_{REF}$	V	See Table 6 for the minimum $V_{DD}/V_{SS}$ for each range
	$-2 \times V_{REF}$		$+2 \times V_{REF}$	V	RANGE pin = 0
DC Leakage Current			$\pm 1$	$\mu\text{A}$	RANGE pin = 1
Input Capacitance <sup>2</sup>		10		pF	$\pm 4 \times V_{REF}$ range when in track mode
		14		pF	$\pm 2 \times V_{REF}$ range when in track mode
<b>REFERENCE INPUT/OUTPUT</b>					
Reference Input Voltage Range	2.5		3	V	
DC Leakage Current			$\pm 1$	$\mu\text{A}$	
Input Capacitance <sup>2</sup>		18.5		pF	$REF_{EN}/DIS = 1^3$
Reference Output Voltage	2.49		2.51	V	
Long-Term Stability		150		ppm	1000 hours
Reference Temperature Coefficient			25	ppm/°C	
		6		ppm/°C	
<b>LOGIC INPUTS</b>					
Input High Voltage ( $V_{INH}$ )	$0.7 \times V_{DRIVE}$			V	
Input Low Voltage ( $V_{INL}$ )			$0.3 \times V_{DRIVE}$	V	
Input Current ( $I_{IN}$ )			$\pm 1$	$\mu\text{A}$	Typically 10 nA, $V_{IN} = 0\text{ V}$ or $V_{DRIVE}$
Input Capacitance ( $C_{IN}$ ) <sup>2</sup>			10	pF	
<b>LOGIC OUTPUTS</b>					
Output High Voltage ( $V_{OH}$ )	$V_{DRIVE} - 0.2$			V	$I_{SOURCE} = 200\text{ }\mu\text{A}$

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Output Low Voltage ( $V_{OL}$ )			0.2	V	$I_{SINK} = 200 \mu A$
Floating State Leakage Current			$\pm 1$	$\mu A$	
Floating State Output Capacitance <sup>2</sup>			10	pF	
Output Coding					
CONVERSION RATE					
Conversion Time			3.1	$\mu s$	Parallel interface mode only
Track-and-Hold Acquisition Time <sup>1,2</sup>			550	ns	
Throughput Rate			250	kSPS	
POWER REQUIREMENTS					
$V_{DD}$ Range	6		16.5	V	For the $4 \times V_{REF}$ range, $V_{DD} = 11 V$ to $16.5 V$
$V_{SS}$ Range	-6		-16.5	V	For the $4 \times V_{REF}$ range, $V_{SS} = -11 V$ to $-16.5 V$
$AV_{CC}$	4.75		5.25	V	
$DV_{CC}$	4.75		5.25	V	
$V_{DRIVE}$	2.7		5.25	V	
$I_{TOTAL}$ <sup>4</sup>					Digital inputs = 0 V or $V_{DRIVE}$
Normal Mode (Static)			28	mA	$AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25 V$ , $V_{DD} = 16.5 V$ , $V_{SS} = -16.5 V$
Normal Mode (Operational)			26	mA	$f_{SAMPLE} = 250 kSPS$ , $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25 V$ , $V_{DD} = 16.5 V$ , $V_{SS} = -16.5 V$
$I_{SS}$ (Operational)			0.25	mA	$V_{SS} = -16.5 V$ , $f_{SAMPLE} = 250 kSPS$
$I_{DD}$ (Operational)			0.25	mA	$V_{DD} = 16.5 V$ , $f_{SAMPLE} = 250 kSPS$
Partial Power-Down Mode			7	mA	$AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25 V$ , $V_{DD} = 16.5 V$ , $V_{SS} = -16.5 V$
Full Power-Down Mode ( $\overline{STBY}$ Pin)			80	mA	SCLK on or off, $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25 V$ , $V_{DD} = 16.5 V$ , $V_{SS} = -16.5 V$
Power Dissipation					$AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25 V$ , $V_{DD} = 16.5 V$ , $V_{SS} = -16.5 V$
Normal Mode (Static)			143	mW	
Normal Mode (Operational)			140	mW	$f_{SAMPLE} = 250 kSPS$
Partial Power-Down Mode			35	mW	
Full Power-Down Mode ( $\overline{STBY}$ Pin)			100	mW	

<sup>1</sup> 用語のセクションを参照してください。

<sup>2</sup> 初期リリース時はサンプル・テストにより適合性を保証。

<sup>3</sup> 共用ピンの名前は、関連する機能でのみ参照できます。

<sup>4</sup>  $I_{AVCC}$ 、 $I_{VDD}$ 、 $I_{VSS}$ 、 $I_{VDRIVE}$ 、 $I_{DVCC}$ を含みます。

## タイミング仕様

特に指定がない限り、 $AV_{CC}$  および  $DV_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$  内部/外部、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $\pm 4 \times V_{REF}$  範囲の場合、 $V_{DD} = 11\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -11\text{ V} \sim -16.5\text{ V}$ 、 $\pm 2 \times V_{REF}$  範囲の場合、 $V_{DD} = 6\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -6\text{ V} \sim -16.5\text{ V}$ 。適合性保証のために初期リリース時にサンプル・テストを実施。すべての入力信号は  $t_R = t_F = 5\text{ ns}$  ( $V_{DD}$  の 10% から 90%) で規定し、1.6V の電圧レベルからの時間とします。

表 2.

Parameter	Limit at $T_{MIN}, T_{MAX}$		Unit	Description <sup>1</sup>
	$V_{DRIVE} < 4.75\text{ V}$	$V_{DRIVE} = 4.75\text{ V to } 5.25\text{ V}$		
<b>PARALLEL INTERFACE MODE</b>				
$t_{CONVERT}$	3	3	$\mu\text{s typ}$	Conversion time, internal clock
$t_{QUIET}$	150	150	ns min	Minimum quiet time required between bus relinquish and start of next conversion
$t_{ACQ}$	550	550	ns min	Acquisition time
$t_1$	60	60	ns min	CONVST x high to BUSY high
$t_{10}$	25	25	ns min	Minimum CONVST x low pulse
$t_{WAKE-UP}$	2	2	ms max	$\overline{STBY}$ rising edge to CONVST x rising edge, not shown in figures
	25	25	$\mu\text{s max}$	Partial power-down mode
<b>PARALLEL WRITE OPERATION</b>				
$t_{11}$	15	15	ns min	$\overline{WR}$ pulse width
$t_{12}$	0	0	ns min	$\overline{CS}$ to $\overline{WR}$ setup time
$t_{13}$	5	5	ns min	$\overline{CS}$ to $\overline{WR}$ hold time
$t_{14}$	5	5	ns min	Data setup time before $\overline{WR}$ rising edge
$t_{15}$	5	5	ns min	Data hold after $\overline{WR}$ rising edge
<b>PARALLEL READ OPERATION</b>				
$t_2$	0	0	ns min	BUSY to $\overline{RD}$ delay
$t_3$	0	0	ns min	$\overline{CS}$ to $\overline{RD}$ setup time
$t_4$	0	0	ns min	$\overline{CS}$ to $\overline{RD}$ hold time
$t_5$	45	36	ns min	$\overline{RD}$ pulse width
$t_6$	45	36	ns max	Data access time after $\overline{RD}$ falling edge
$t_7$	10	10	ns min	Data hold time after $\overline{RD}$ rising edge
$t_8$	12	12	ns max	Bus relinquish time after $\overline{RD}$ rising edge
$t_9$	6	6	ns min	Minimum time between reads
<b>SERIAL INTERFACE MODE</b>				
$f_{SCLK}$	18	18	MHz max	Frequency of serial read clock
$t_{16}$	12	12	ns max	Delay from $\overline{CS}$ until SDATA three-state disabled
$t_{17}^2$	22	22	ns max	Data access time after SCLK rising edge/ $\overline{CS}$ falling edge
$t_{18}$	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns min	SCLK low pulse width
$t_{19}$	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns min	SCLK high pulse width
$t_{20}$	10	10	ns min	SCLK to data valid hold time after SCLK falling edge
$t_{21}$	18	18	ns max	$\overline{CS}$ rising edge to SDATA high impedance

<sup>1</sup> 共用ピンの名前は、関連する機能でのみ参照できます。

<sup>2</sup> この測定では、データ出力ピンにバッファが使用されます。

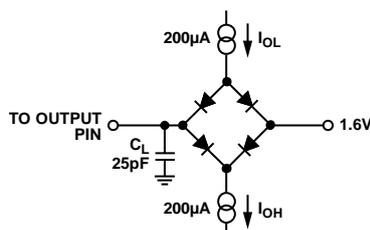


図 2. デジタル出力タイミグ仕様の負荷回路

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
$V_{DD}$ to AGND, DGND	0 V to +16.5 V
$V_{SS}$ to AGND, DGND	0 V to -16.5 V
$V_{DD}$ to $AV_{CC}$	$AV_{CC} + 0.7$ V to 16.5 V
$AV_{CC}$ to AGND, DGND	-0.3 V to +7 V
$DV_{CC}$ to $AV_{CC}$	-0.3 V to $AV_{CC} + 0.3$ V
$DV_{CC}$ to DGND, AGND	-0.3 V to +7 V
AGND to DGND	-0.3 V to +0.3 V
$V_{DRIVE}$ to DGND	-0.3 V to $DV_{CC} + 0.3$ V
Analog Input Voltage to AGND	$V_{SS} + 1$ V to $V_{DD} - 1$ V
Digital Input Voltage to DGND	-0.3 V to $V_{DRIVE} + 0.3$ V
Digital Output Voltage to DGND	-0.3 V to $V_{DRIVE} + 0.3$ V
REFIN/REFOUT to AGND	-0.3 V to $AV_{CC} + 0.3$ V
Input Current to Any Pin Except Supplies <sup>1</sup>	$\pm 10$ mA
Operating Temperature Range	$-40^\circ\text{C}$ to $+85^\circ\text{C}$
Storage Temperature Range	$-65^\circ\text{C}$ to $+150^\circ\text{C}$
Junction Temperature	$150^\circ\text{C}$
Pb/Sn Temperature, Soldering	
Reflow (10 sec to 30 sec)	$240(0)^\circ\text{C}$
Pb-Free Temperature, Soldering Reflow	$260(0)^\circ\text{C}$

<sup>1</sup>最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 電源シーケンシング

デバイスの信頼性を保証するため、 $V_{DD}$  と  $V_{SS}$  を同時に加えることが必要です。同時に加えることが保証できない場合、 $V_{DD}$  を  $V_{SS}$  の前にパワーアップさせてください。 $V_{DD}$  と  $V_{SS}$  がフルにパワーアップする前に負電圧をアナログ入力に加える場合には、 $560\ \Omega$  の抵抗をアナログ入力に接続する必要があります。

多くのシーケンシング組み合わせで、一時的に高電流状態になることがあります。すべての電源がパワーアップすると、デバイスは通常の動作電流に戻ります。 $AV_{CC}$  の前にアナログ入力 ( $A_{IN}$ ) が到着すると、アナログ入力に一時的に高電流が生じます。 $DV_{CC}$  の前にデジタル入力が立上がり、さらに他の電源の前に  $DV_{CC}$  が立上がる場合にも、一時的な高電流状態が生じます。

## 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。これらの仕様は 4 層ボードに適用します。

表 4. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
64-Lead LQFP	45	11	$^\circ\text{C}/\text{W}$

## ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

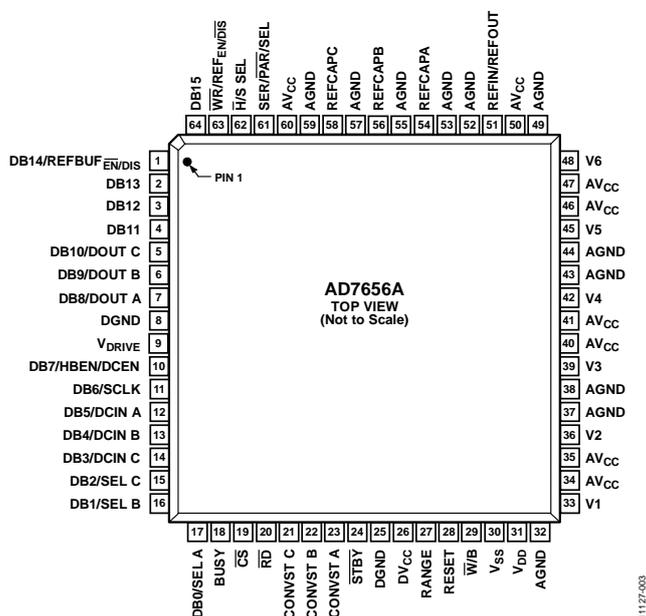


図 3. ピン配置

表 5. ピン機能説明<sup>1</sup>

ピン番号	記号	説明
1	DB14/REFBUF $\overline{\text{EN}}_{\text{DIS}}$	データビット 14/リファレンス・パルファ・イネーブルおよびディスエーブル。SER/PAR/SEL = 0 のとき、このピンはスリー・ステート・デジタル入力/出力ピンとして機能します。
2, 3, 64	DB13, DB12, DB15	データビット 13、データビット 12、データビット 15。SER/PAR/SEL = 0 のとき、これらのピンはスリー・ステート・デジタル入力/出力ピンとして機能します。CS と RD がロー・レベルのとき、これらのピンを使って、変換結果を出力します。CS と WR がロー・レベルのとき、これらのピンを使って、コントロール・レジスタへ書込みます。SER/PAR/SEL = 1 のとき、これらのピンは DGND に接続します。
4	DB11	データビット 11/デジタル・グラウンド。SER/PAR/SEL = 0 のとき、このピンはスリー・ステート・デジタル出力ピンとして機能します。SER/PAR/SEL = 1 のとき、このピンは DGND に接続します。
5	DB10/DOUT C	データビット 10/シリアル・データ出力 C。SER/PAR/SEL = 0 のとき、このピンはスリー・ステート・デジタル出力ピンとして機能します。SER/PAR/SEL = 1 かつ SEL C = 1 のとき、このピンは DOUT C として機能し、シリアル変換データを出力します。このピンは、シリアル・インターフェースが 3 本の DOUT x 出力ラインを持つように設定します。
6	DB9/DOUT B	データビット 9/シリアル・データ出力 B。SER/PAR/SEL = 0 のとき、ピン 6 はスリー・ステート・デジタル出力ピンとして機能します。SER/PAR/SEL = 1 かつ SEL B = 1 のとき、このピンは DOUT B として機能し、シリアル変換データを出力します。このピンは、シリアル・インターフェースが 2 本の DOUT x 出力ラインを持つように設定します。
7	DB8/DOUT A	データビット 8/シリアル・データ出力 A。SER/PAR/SEL = 0 のとき、このピンはスリー・ステート・デジタル出力ピンとして機能します。SER/PAR/SEL = 1 かつ SEL A = 1 のとき、このピンは DOUT A として機能し、シリアル変換データを出力します。
8, 25	DGND	デジタル・グラウンド。AD7656A 上の全デジタル回路に対するグラウンド基準ポイントです。両 DGND ピンをシステムの DGND プレーンへ接続してください。DGND 電圧と AGND 電圧は理想的には同電位である必要があり、バイアスに過渡現象であっても、差が 0.3 V を超えないようにする必要があります。
9	V <sub>DRIVE</sub>	ロジック電源入力。このピンに入力される電圧により、インターフェースの動作電圧が決定されます。このピンは通常、ホスト・インターフェースの電源と同じ電源に接続されます。10 $\mu$ F と 100 nF のデカップリング・コンデンサを V <sub>DRIVE</sub> ピンに接続して、このピンを DGND へデカップリングしてください。

ピン番号	記号	説明
10	DB7/HBEN/DCEN	データビット7/上位バイト・イネーブル/デジチェーン・イネーブル。パラレル・ワード・モード (SER/PAR/SEL=0かつ W/B=0)で動作するとき、ピン10はデータビット7として機能します。パラレル・バイト・モード (SER/PAR/SEL=0かつ W/B=1)で動作するとき、ピン10はHBENとして機能します。このモードでHBENピンがハイ・レベルの場合、データはMSBバイト・ファーストでDB15~DB8に出力されます。HBENピンがロー・レベルの場合、データはLSBバイト・ファーストでDB15~DB8に出力されます。シリアル・モードで動作するとき (SER/PAR/SEL=1)、ピン10はDCENとして機能します。DCENがハイ・レベルの場合、AD7656Aはデジチェーン・モードで動作し、DB5~DB3はDCIN A~DCIN Cとして機能します。シリアル・モードで動作し、かつデジチェーン・モードでない場合には、DCENとDGNDを接続してください。
11	DB6/SCLK	データビット6/シリアル・クロック。SER/PAR/SEL=0のとき、このピンはスリー・ステート・パラレル・デジタル出力ピンとして機能します。SER/PAR/SEL=1のとき、このピンはSCLK入力として機能し、シリアル転送用の読出しシリアル・クロックになります。
12	DB5/DCIN A	データビット5/デジチェーン入力A。SER/PAR/SEL=ロー・レベルのとき、このピンはスリー・ステート・パラレル・デジタル出力ピンとして機能します。SER/PAR/SEL=1かつDCEN=1のとき、このピンはデジチェーン入力Aとして機能します。シリアル・モードで動作し、かつデジチェーン・モードでない場合には、このピンをDGNDへ接続してください。
13	DB4/DCIN B	データビット4/デジチェーン入力B。SER/PAR/SEL=0のとき、このピンはスリー・ステート・パラレル・デジタル出力ピンとして機能します。SER/PAR/SEL=1かつDCEN=1のとき、このピンはデジチェーン入力Bとして機能します。シリアル・モードで動作し、かつデジチェーン・モードでない場合には、このピンをDGNDへ接続してください。
14	DB3/DCIN C	データビット3/デジチェーン入力C。SER/PAR/SEL=0のとき、このピンはスリー・ステート・パラレル・デジタル出力ピンとして機能します。SER/PAR/SEL=1かつDCEN=1のとき、このピンはデジチェーン入力Cとして機能します。シリアル・モードで動作し、かつデジチェーン・モードでない場合には、このピンをDGNDへ接続してください。
15	DB2/SEL C	データビット2/セレクト DOUT C。SER/PAR/SEL=0のとき、このピンはスリー・ステート・パラレル・デジタル出力ピンとして機能します。SER/PAR/SEL=1のとき、このピンはSEL Cとして機能し、シリアル・インターフェースの設定に使われます。このピンが1の場合、シリアル・インターフェースは3本のDOUT出力ピンで動作し、DOUT Cをシリアル出力としてイネーブルします。このピンが0の場合、DOUT Cはシリアル・データ出力ピンとして動作するようにイネーブルされません。未使用シリアルDOUTピンには何も接続しないでください。
16	DB1/SEL B	データビット1/セレクト DOUT B。SER/PAR/SEL=0のとき、このピンはスリー・ステート・パラレル・デジタル出力ピンとして機能します。SER/PAR/SEL=1のとき、このピンはSEL Bとして機能し、シリアル・インターフェースの設定に使われます。このピンが1の場合、シリアル・インターフェースは2本または3本のDOUT x出力ピンで動作し、DOUT Bをシリアル出力としてイネーブルします。このピンが0の場合、DOUT Bはシリアル・データ出力ピンとして動作するようにイネーブルされず、1本のDOUT出力ピン(DOUT A)だけが使用されます。未使用シリアルDOUTピンには何も接続しないでください。
17	DB0/SEL A	データビット0/セレクト DOUT A。SER/PAR/SEL=0のとき、このピンはスリー・ステート・パラレル・デジタル出力ピンとして機能します。SER/PAR/SEL=1のとき、ピン17はSEL Aとして機能し、シリアル・インターフェースの設定に使われます。このピンが1の場合、シリアル・インターフェースは1本または2本または3本のDOUT x出力ピンで動作し、DOUT Aをシリアル出力としてイネーブルします。シリアル・モードで動作する場合、このピンは常に1に設定してください。
18	BUSY	ビジー出力。変換開始時にハイ・レベルになり、変換が完了するまでハイ・レベルを維持します。変換データは出力データ・レジスタにラッチされます。BUSY信号がハイ・レベルのとき、AD7656A上で新しい変換を開始しないでください。
19	CS	チップ・セレクト。このアクティブ・ロー・ロジック入力により、データ転送がフレーム化されます。パラレル・モードでCSとRDが共にロー・レベルになると、出力バスがイネーブルされ、変換結果がパラレル・データ・バス・ラインへ出力されます。CSとWRがロー・レベルで、かつパラレル・モードの場合、DB15~DB8を使用して、内蔵コントロール・レジスタヘデータが書込まれます。シリアル・モードでは、CSを使ってシリアル読出し転送をフレーム化し、シリアル出力データのMSBを出力します。
20	RD	データの読出し。パラレル・モードでCSとRDがロー・レベルのとき、出力バスがイネーブルされます。シリアル・モードでは、RDラインをロー・レベルに維持してください。
21, 22, 23	CONVST C, CONVST B, CONVST A	変換開始入力C、変換開始入力B、変換開始入力A。これらのロジック入力を使ってADC対上の変換を開始させます。CONVST AはV1とV2での同時変換を、CONVST BはV3とV4での同時変換を、CONVST CはV5とV6での同時変換を、それぞれ開始する際に使用されます。CONVST xがロー・レベルからハイ・レベルに切り替わると、選択されたADC対のトラック・アンド・ホールドがトラックからホールドに切り替わり、変換が開始されます。これらの入力は、ADC対をパーシャル・パワーダウン・モードにする際にも使用することができます。
24	STBY	スタンバイ・モード入力。このピンを使って、6個すべての内蔵ADCをスタンバイ・モードにします。STBYピンをハイ・レベルにすると、通常動作に、ロー・レベルにするとスタンバイ動作に、それぞれなります。
26	DV <sub>CC</sub>	デジタル電源、4.75 V~5.25 V。DV <sub>CC</sub> 電圧とAV <sub>CC</sub> 電圧は理想的には同電位である必要があり、バイアスに過渡現象であっても、差が0.3 Vを超えないようにする必要があります。10 μFと100 nFのデカップリング・コンデンサをDV <sub>CC</sub> ピンに接続して、この電源をDGNDへデカップリングしてください。

ピン番号	記号	説明
27	RANGE	アナログ入力範囲選択。ロジック入力。このピンのロジック・レベルによって、アナログ入力チャンネルの入力範囲が指定されます。このピンが <b>BUSY</b> の立下がりエッジでロジック 1 のとき、次の変換の範囲は $\pm 2 \times V_{REF}$ になります。このピンが <b>BUSY</b> の立下がりエッジでロジック 0 のとき、次の変換の範囲は $\pm 4 \times V_{REF}$ になります。ハードウェア・セレクト・モードでは、 <b>BUSY</b> の立下がりエッジで <b>RANGE</b> ピンがチェックされます。ソフトウェア・モード ( $\overline{H/S SEL} = 1$ ) では、 <b>RANGE</b> ピンを <b>DGND</b> へ接続することができ、入力範囲は、コントロール・レジスタの <b>RNGA</b> ビット、 <b>RRGB</b> ビット、 <b>RNGC</b> ビットで指定されます。
28	RESET	リセット入力。このピンをハイ・レベルに設定すると、 <b>AD7656A</b> がリセットされて、変換中であれば変換を停止させます。内部レジスタは全ビット 0 になります。ハードウェア・モードでは、ハードウェア・セレクト・ピンのロジック・レベルに応じて <b>AD7656A</b> が設定されます。すべてのモードで、パワーアップ後にデバイスは <b>RESET</b> パルスを受信する必要があります。リセットのハイ・パルス幅は、100 ns (typ) です。 <b>RESET</b> パルスの後、変換を開始するためには <b>AD7656A</b> は有効な <b>CONVST</b> パルスの入力が必要とします。このパルスは、 <b>CONVST</b> のハイ・レベルからロー・レベルへのエッジとそれに続く <b>CONVST</b> のロー・レベルからハイ・レベルへのエッジで構成されます。 <b>RESET</b> パルスの間、 <b>CONVST</b> x 信号はハイ・レベルである必要があります。
29	$\overline{W/B}$	$\overline{Word}$ / バイト入力。このピンがロー・レベルのとき、パラレル・データライン <b>DB15</b> ~ <b>DB0</b> を使って <b>AD7656A</b> との間でデータを転送することができます。このピンをハイ・レベルにすると、バイト・モードがイネーブルされます。このモードでは、データライン <b>DB15</b> ~ <b>DB8</b> を使ってデータが転送され、 <b>DB7</b> は <b>HBEN</b> として機能します。16 ビット変換結果を取得するときは、2 バイト読出しが必要です。シリアル・モードでは、このピンを <b>DGND</b> へ接続してください。
30	$V_{SS}$	負電源電圧。このピンは、アナログ入力セクションの負電源電圧です。 $V_{SS}$ ピンに 10 $\mu$ F と 100 nF のデカップリング・コンデンサを接続してください。
31	$V_{DD}$	正電源電圧。このピンは、アナログ入力セクションの負電源電圧です。 $V_{DD}$ ピンに 10 $\mu$ F と 100 nF のデカップリング・コンデンサを接続してください。
32, 37, 38, 43, 44, 49, 52, 53, 55, 57, 59	AGND	アナログ・グラウンド。 <b>AD7656A</b> のすべてのアナログ回路のグラウンド基準ポイント。すべてのアナログ入力信号と外付けリファレンス信号は <b>AGND</b> 電圧を基準とします。すべての <b>AGND</b> ピンはシステムの <b>AGND</b> プレーンへ接続してください。 <b>AGND</b> 電圧と <b>DGND</b> 電圧は理想的には同電位である必要があり、バイアスに過渡現象であっても、差が 0.3 V を超えないようにする必要があります。
33, 36, 39, 42, 45, 48	$V1$ ~ $V6$	アナログ入力 1 ~ アナログ入力 6。これらのピンは 6 本のシングルエンド・アナログ入力です。ハードウェア・モードでは、これらのチャンネルのアナログ入力範囲は、 <b>RANGE</b> ピンにより指定されます。ソフトウェア・モードでは、コントロール・レジスタの <b>RNGC</b> ビット ~ <b>RNGA</b> ビットで指定されます (表 9 参照)。
34, 35, 40, 41, 46, 47, 50, 60	$AV_{CC}$	4.75 V ~ 5.25 V のアナログ電源電圧。 $AV_{CC}$ ピンは <b>ADC</b> コアの電源電圧です。 $AV_{CC}$ 電圧と $DV_{CC}$ 電圧は理想的には同電位である必要があり、バイアスに過渡現象であっても、差が 0.3 V を超えないようにする必要があります。10 $\mu$ F と 100 nF のデカップリング・コンデンサを $AV_{CC}$ ピンに接続して、これらの電源を <b>AGND</b> へデカップリングしてください。
51	REFIN/REFOUT	リファレンス電圧入力 / 出力。 <b>AD7656A</b> の外部での用途にピン 51 から内蔵リファレンス電圧が出力されます。代わりに内蔵リファレンス電圧をディスエーブルして、外付けリファレンス電圧をこの入力に接続することができます。リファレンスのセクションを参照してください。内蔵リファレンス電圧をイネーブルする場合、ピン 51 を最小 10 $\mu$ F のコンデンサでデカップリングしてください。
54, 56, 58	REFCAPA, REFCAPB, REFCAPC	リファレンス・コンデンサ A、リファレンス・コンデンサ B、リファレンス・コンデンサ C。デカップリング・コンデンサをこれらのピンに接続して、各 <b>ADC</b> 対のリファレンス・バッファをデカップリングしてください。各 <b>REFCAP</b> x ピンを 10 $\mu$ F と 100 nF のコンデンサで <b>AGND</b> へデカップリングしてください。
61	$\overline{SER/PAR/SEL}$	シリアル / パラレル 選択入力。このピンをロー・レベルにすると、パラレル・インターフェースが選択されます。このピンをハイ・レベルにすると、シリアル・インターフェース・モードが選択されます。シリアル・モードでは、 <b>DB10</b> ~ <b>DB8</b> は <b>DOUT C</b> ~ <b>DOUT A</b> として、 <b>DB0</b> ~ <b>DB2</b> は <b>DOUT</b> 選択として、 <b>DB7</b> は <b>DCEN</b> として、それぞれ機能します。シリアル・モードでは、 <b>DB15</b> と <b>DB13</b> ~ <b>DB11</b> を <b>DGND</b> へ接続してください。
62	$\overline{H/S SEL}$	ハードウェア / ソフトウェア・セレクト入力。ロジック入力。 $\overline{H/S SEL} = 0$ のとき、 <b>AD7656A</b> はハードウェア・セレクト・モードで動作し、同時サンプルされる <b>ADC</b> 対は <b>CONVSTx</b> ピンにより選択されます。 $\overline{H/S SEL} = 1$ のとき、同時サンプルされる <b>ADC</b> 対はコントロール・レジスタへの書込みにより選択されます。シリアル・モードの場合、 <b>CONVST A</b> を使って選択した <b>ADC</b> 対で変換を開始します。
63	$\overline{WR/REF_{EN\overline{DIS}}}$	書込みデータ / リファレンス・イネーブル / ディスエーブル。 $\overline{H/S SEL}$ ピンがハイ・レベルで、かつ $\overline{CS}$ と $\overline{WR}$ がロー・レベルのとき、 <b>DB15</b> ~ <b>DB8</b> を使って内部コントロール・レジスタへのデータ書込みが行われます。 $\overline{H/S SEL}$ ピンがロー・レベルのとき、このピンを使って内蔵リファレンス電圧をイネーブル / ディスエーブルします。 $\overline{H/S SEL} = 0$ かつ $\overline{REF_{EN\overline{DIS}}} = 0$ のとき、内蔵リファレンス電圧がディスエーブルされるため、外付けリファレンスを <b>REFIN/REFOUT</b> ピンへ加える必要があります。 $\overline{H/S SEL} = 0$ かつ $\overline{REF_{EN\overline{DIS}}} = 1$ のとき、内蔵リファレンス電圧がイネーブルされるため、 <b>REFIN/REFOUT</b> ピンをデカップリングする必要があります。リファレンスのセクションを参照してください。

<sup>1</sup> 共用ピンの名前は、関連する機能でのみ参照できます。

代表的な性能特性

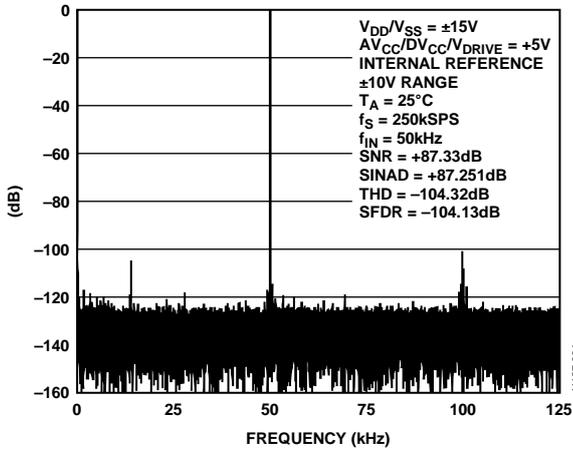


図 4.FFT、±10 V 範囲

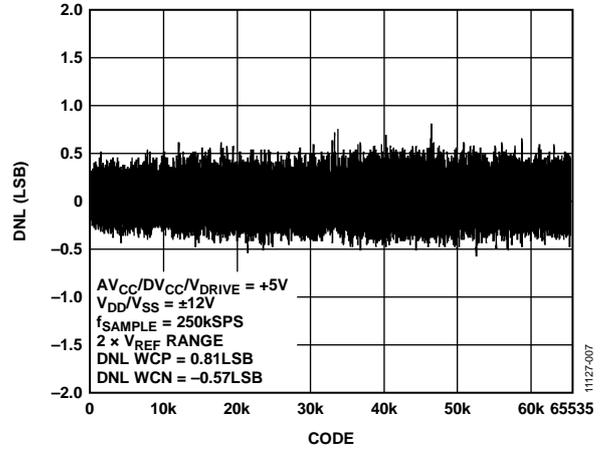


図 7.DNL

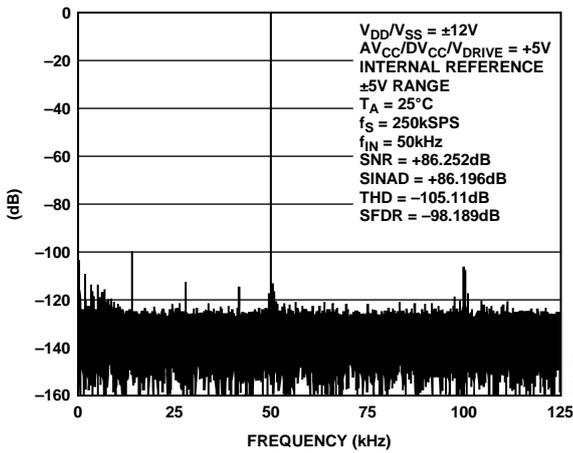


図 5.FFT、±5 V 範囲

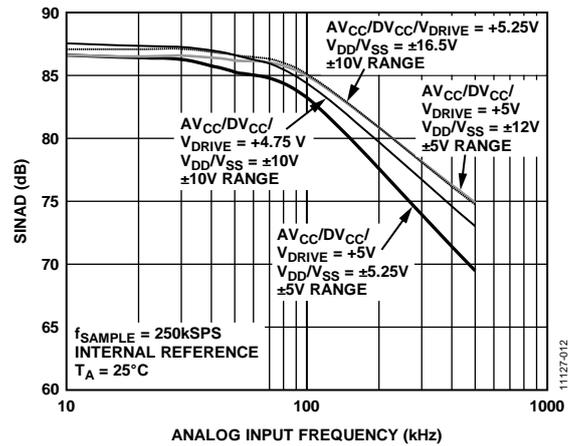


図 8.アナログ入力周波数対 SINAD

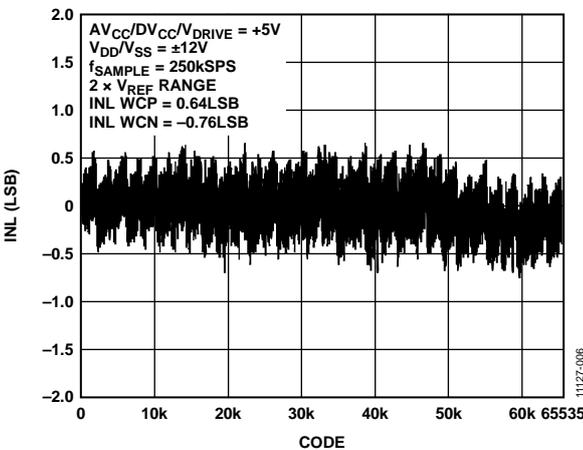


図 6.INL

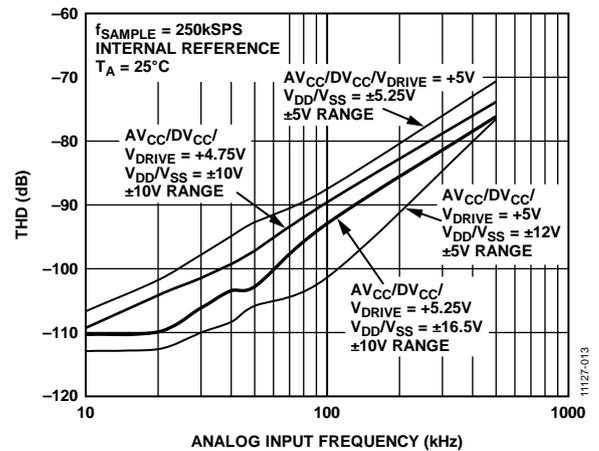


図 9.アナログ入力周波数対 THD

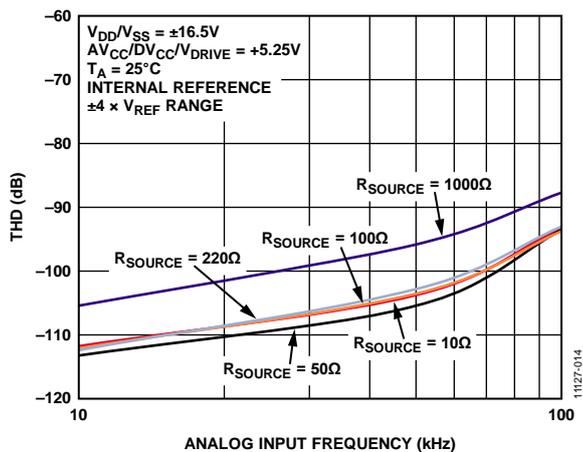


図 10. 様々なソース・インピーダンスでのアナログ入力周波数対 THD、 $\pm 4 \times V_{REF}$  範囲

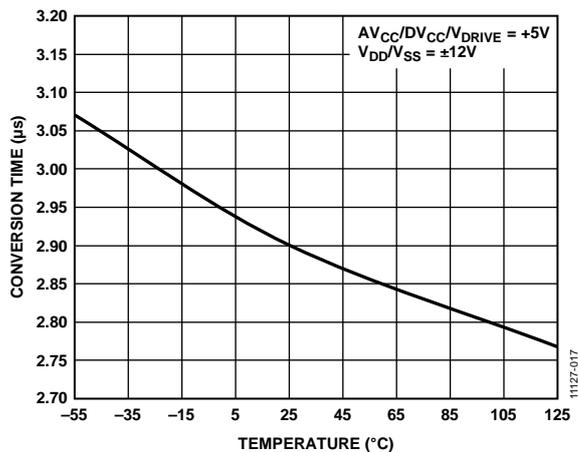


図 13. 変換時間の温度特性

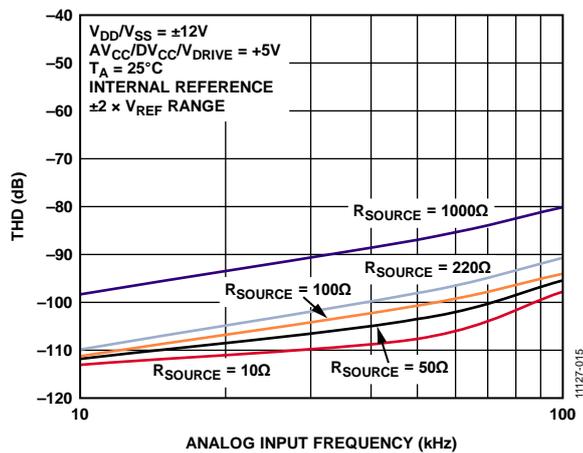


図 11. 様々なソース・インピーダンスでのアナログ入力周波数対 THD、 $\pm 2 \times V_{REF}$  範囲

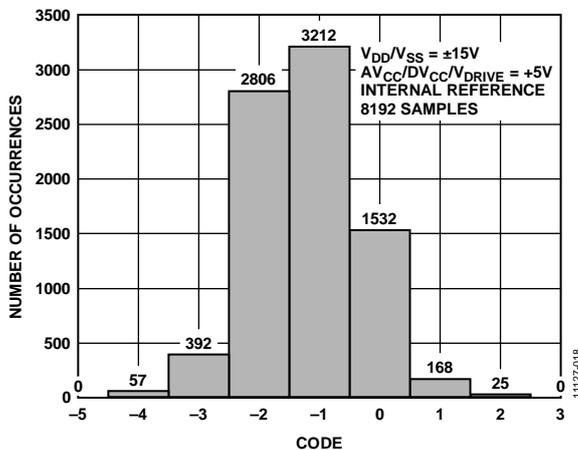


図 14. コードのヒストグラム

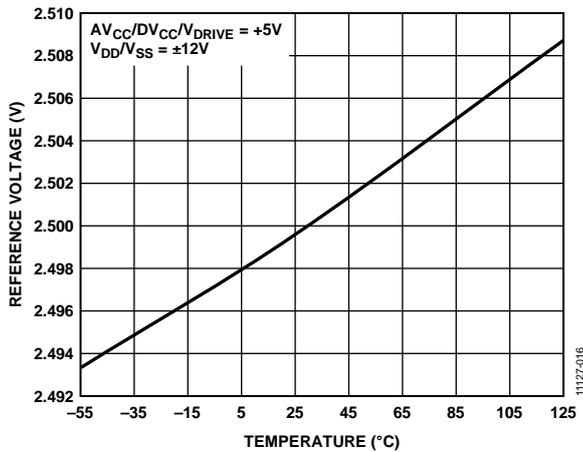


図 12. リファレンス電圧の温度特性

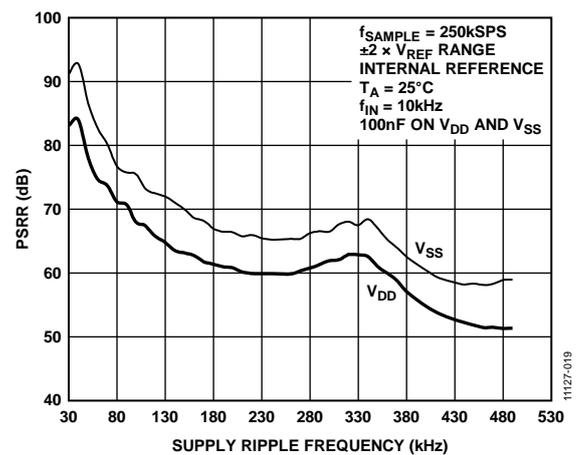


図 15. 電源リップル周波数対 PSRR

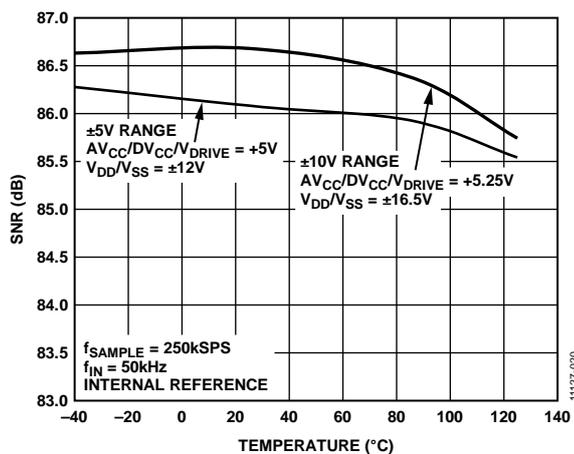


図 16. SNR の温度特性

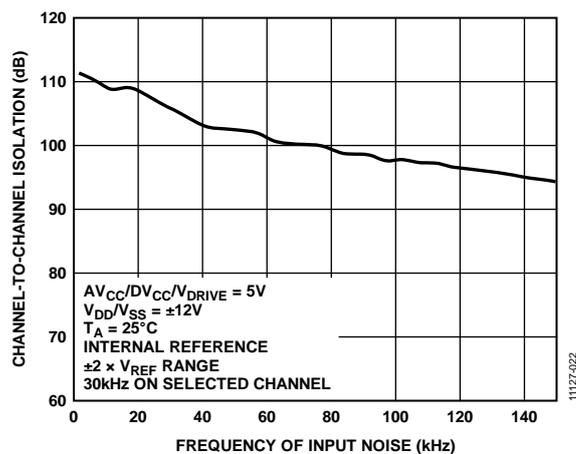


図 18. チャンネル間アイソレーション

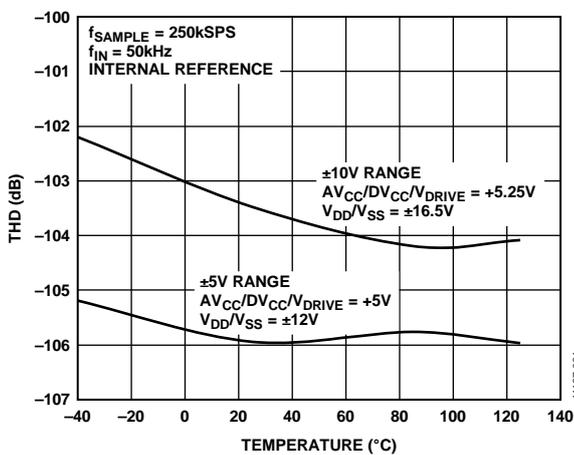


図 17. THD の温度特性

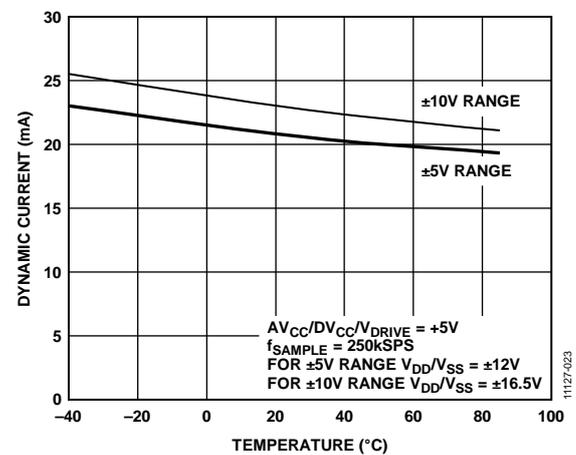


図 19. ダイナミック電流の温度特性

## 用語

### 積分非直線性(INL)

ADC 伝達関数の両端を結ぶ直線からの最大許容誤差をいいます。伝達関数の両端とは、ゼロスケール(最初のコード変化より 0.5 LSB 下のポイント)とフルスケール(最後のコード変化より 0.5 LSB 上のポイント)をいいます。

### 微分非直線性(DNL)

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

### バイポーラ・ゼロスケール誤差

ミッドスケール変化(全ビット 1 から全ビット 0 への変化)の理論  $V_{IN}$  電圧(AGND-1 LSB)からの差を意味します。

### バイポーラ・ゼロスケール誤差マッチング

任意の 2 つの入力チャンネルの間のバイポーラ・ゼロ・コード誤差の差を意味します。

### 正のフルスケール誤差

バイポーラ・ゼロスケール・エラー補正後の最後のコード遷移(011 ... 110→011 ... 111)と理論値( $4 \times V_{REF} - 1$  LSB または  $2 \times V_{REF} - 1$  LSB)の差を意味します。

### 正のフルスケール誤差マッチング

任意の 2 つの入力チャンネルの間の正のフルスケール誤差の差を意味します。

### 負のフルスケール誤差

バイポーラ・ゼロ・コード誤差補正後の最初のコード遷移(10 ... 000→10 ... 001)と理論値( $-4 \times V_{REF} + 1$  LSB または  $-2 \times V_{REF} + 1$  LSB)の差を意味します。

### 負のフルスケール誤差マッチング

任意の 2 つの入力チャンネルの間の負のフルスケール誤差の差を意味します。

### トラック・アンド・ホールド・アクイジション・タイム

変換終了後、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。トラック・アンド・ホールド・アクイジション時間は、変換終了後にトラック・アンド・ホールド・アンプが最終値の  $\pm 1$  LSB 以内に出力が収まるために要する時間です。詳細については、トラック・アンド・ホールド・アンプのセクションを参照してください。

### 信号対ノイズ比(SNR)

SNR は、測定した出力信号 rms 値と、ナイキスト周波数より下のそれ以外の全スペクトル成分の rms 値総和との比です。SNR は、デシベル値で表されます。

### 信号対ノイズおよび歪み(SINAD)比

これは、ADC 出力での信号対ノイズ(+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは  $1/2$  サンプルング周波数( $f_{SAMPLE}/2$ )までのすべての非基本波の和で表します(DC を除く)。

この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理論 N ビット・コンバータに対する SINAD の理論値は次式で表されます。

$$SINAD = (6.02 N + 1.76) \text{ dB}$$

したがって、16 ビット・コンバータの場合、SINAD は 98 dB になります。

### 全高調波歪み(THD)

THD は高調波の rms 値総和と基本波の比です。AD7656A の場合、次式で与えられます。

$$THD \text{ (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 $V_1$  は基本波の rms 振幅。 $V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$  は、2 次～6 次の高調波の rms 振幅。

### ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、ADC 出力スペクトル内の(DC を除いて  $f_{SAMPLE}/2$  まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれている ADC の場合は、ノイズ・ピークにより決定されます。

### 相互変調歪み(IMD)

非線形性を持つアクティブ・デバイスに 2 つの周波数  $f_a$  および  $f_b$  を含む正弦波を入力すると、様々な和および差の周波数  $m f_a \pm n f_b$  を持つ歪み成分が発生します。ここで、 $m$ 、 $n=0$ 、1、2、3 です。相互変調歪みは  $m$  と  $n$  が非ゼロの項です。例えば、2 次項には  $(f_a + f_b)$  と  $(f_a - f_b)$  が含まれ、3 次項には  $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$  が含まれます。

AD7656A は、入力帯域幅の上限に近い 2 つの入力周波数を使う CCIF 標準を使ってテストされています。この場合、2 次項は通常、元の正弦波の周波数から離れて位置し、3 次項は通常、入力周波数に近い周波数に位置します。そのため、2 次項と 3 次項は別々に指定されます。相互変調歪みの計算は THD の仕様に従います。すなわち、dB で表した個々の歪み成分の rms 総和の、基本波の和の rms 振幅に対する比になります。

**チャンネル間アイソレーション**

チャンネル間アイソレーションは、2つのチャンネル間でのクロストークのレベルの大きさを表します。フルスケールの 100 kHz 正弦波信号をすべての非選択入力チャンネルに入力し、30 kHz 信号を使って選択したチャンネルで信号の減衰を測定することにより決定します。

**電源変動除去比(PSRR)**

電源変動はフルスケール変化に影響しますが、コンバータの直線性には影響を与えません。PSR は、電源電圧の公称値からの変化で発生するフルスケール変化ポイントの最大変化を表します。代表的な性能特性のセクションを参照してください。

図 15 に、AD7656Aの電源リップル周波数対電源除去比を示します。電源変動除去比は、ADC 出力でのフルスケール周波数  $f$  の電力と、ADC の  $V_{DD}$  電源と  $V_{SS}$  電源に加えられた周波数  $f_{SAMPLE}$  で 200 mV p-p の正弦波の電力との比として定義されます。

$$PSRR \text{ (dB)} = 10 \log (P_f/P_{f_s})$$

ここで、

$P_f$  は ADC 出力での周波数  $f$  の電力。

$P_{f_s}$  は  $V_{DD}$  電源と  $V_{SS}$  電源に加えられた周波数  $f_s$  の電力に一致します。

**パーセント・フルスケール比 (%FSR)**

%FSR は、ADC のフル理論振幅を使って計算されます。

## 動作原理

### コンバータの詳細

AD7656A は 6 個の内蔵 A/D コンバータ (ADC) の同時サンプリングを可能にする高速低消費電力コンバータです。AD7656A のアナログ入力には真のバイポーラ入力信号を入力することができます。RANGE ピン/RNGx ビットを使って  $\pm 4 \times V_{REF}$  または  $\pm 2 \times V_{REF}$  を次の変換の入力範囲として選択します。

AD7656A は、6 個の逐次比較型 (SAR) ADC、6 個のトラック・アンド・ホールド・アンプ、2.5 V リファレンス電圧、リファレンス・バッファ、パラレルおよびシリアルの高速度インターフェースを内蔵しています。AD7656A では、3 本の CONVST x ピン (CONVST A、CONVST B、CONVST C) を相互に接続すると、6 個すべての ADC の同時サンプリングが可能になります。あるいは、6 個の ADC を 3 対にグループ化することができます。各対は、各 ADC 対、4 個の ADC、または 6 個すべての ADC での同時サンプリングを開始する際に使用する、対応した CONVST 信号を持っています。CONVST A は V1 と V2 での同時サンプリングを、CONVST B は V3 と V4 での同時サンプリングを、CONVST C は V5 と V6 での同時サンプリングを、それぞれ開始する際に使用されます。

CONVST x にパルスを入力すると AD7656A 上で変換が開始されます。CONVST x の立上がりエッジで、選択された ADC 対のトラック・アンド・ホールド・アンプがホールド・モードになり、変換が開始されます。CONVST x の立上がりエッジの後に、BUSY 信号がハイ・レベルになって変換中であることを表示します。AD7656A の変換クロックは内部で発生され、デバイスの変換時間は 3  $\mu$ s です。変換が完了すると、BUSY 信号はロー・レベルに戻ります。BUSY の立下がりエッジで、トラック・アンド・ホールド・アンプはトラック・モードへ戻ります。出力レジスタのデータは、パラレルまたはシリアルインターフェースを使って読出すことができます。

### トラック・アンド・ホールド・アンプ

AD7656A のトラック・アンド・ホールド・アンプにより、ADC はフルスケール振幅の入力正弦波を正確に 16 ビット分解能で変換することができます。トラック・アンド・ホールド・アンプの入力帯域幅は、AD7656A が最大スループット・レートで動作した場合でも、ADC のナイキスト・レートより広くなっています。このデバイスは最大 12 MHz の入力周波数を処理することができます。

トラック・アンド・ホールド・アンプは、CONVST x の立上がりエッジでそれぞれの入力を同時にサンプルします。トラック・アンド・ホールドのアパーチャ時間(すなわち、外部 CONVST x 信号が実際にホールドを開始する間の遅延時間)は 10 ns です。この値は、1 個のデバイス上の 6 個すべてのトラック・アンド・ホールド・アンプ間で、さらにデバイス間で一致しています。このマッチングにより、6 個以上の ADC が同時にサンプルすることができます。変換の終了は BUSY の立下がりエッジで通知され、この時点でトラック・アンド・ホールド・アンプがトラック・モードに戻り、アキュイジション・タイムが開始されます。

### アナログ入力

AD7656A は真のバイポーラ入力電圧を処理することができます。RANGE ピンのロジック・レベルまたはコントロール・レジスタの RNGx ビットに書込まれた値により、次の変換に対する AD7656A のアナログ入力範囲が決定されます。RANGE ピンまたは RNGx ビットが 1 のとき、次の変換のアナログ入力範囲は  $\pm 2 \times V_{REF}$  になります。RANGE ピンまたは RNGx ビットが 0 のとき、次の変換のアナログ入力範囲は  $\pm 4 \times V_{REF}$  になります。

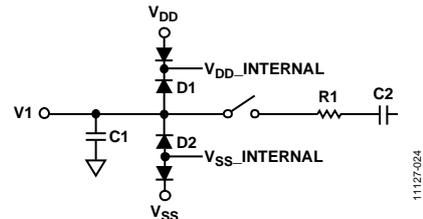


図 20.等価アナログ入力構造

図20に、AD7656Aの入力構造の等価回路を示します。ダイオードD1とD2はアナログ入力に対してESD保護機能を提供します。アナログ入力信号が  $V_{DD}$  電源レールと  $V_{SS}$  電源レールの規定値より  $V_{SS} + 1$  Vおよび  $V_{DD} - 1$  V以上超えないよう注意する必要があります。信号がこの値を超えると、これらのダイオードが順方向にバイアスされてサブストレートへ導通し始めるためです。これらのダイオードが損傷なしに許容できる最大電流は10 mAです。図20に示すコンデンサC1は約4 pF (typ)で、主にピン容量に起因します。抵抗R1は集中定数部品であり、スイッチ(トラック・アンド・ホールド・スイッチ)のオン抵抗から構成されます。この抵抗は約25  $\Omega$  (typ)です。コンデンサC2はADCのサンプリング・コンデンサであり、容量は10 pF (typ)です。

AD7656A には、高電圧アナログ入力構造に対する  $V_{DD}$  と  $V_{SS}$  の 2 つの電源が必要です。これらの電源電圧はアナログ入力範囲より高い必要があります(各アナログ入力範囲に対するこれらの電源の条件については表 6 参照)。AD7656A では、ADC コア電源として 4.75 V~5.25 V の低電圧  $AV_{CC}$  電源、デジタル電源として 4.75 V~5.25 V の  $DV_{CC}$  電源、インターフェース電源として 2.7 V~5.25 V の  $V_{DRIVE}$  電源が必要です。

選択したアナログ入力範囲に対して最小電源電圧を使用する場合規定性能を満たすためには、最大スループット・レートよりスループット・レートを低下させる必要があります。

表 6.最小  $V_{DD}/V_{SS}$  電源電圧条件

Analog Input Range (V)	Reference Voltage (V)	Full-Scale Input (V)	Minimum $V_{DD}/V_{SS}$ (V)
$\pm 4 \times V_{REF}$	2.5	$\pm 10$	$\pm 11$
$\pm 4 \times V_{REF}$	3.0	$\pm 12$	$\pm 13$
$\pm 2 \times V_{REF}$	2.5	$\pm 5$	$\pm 6$
$\pm 2 \times V_{REF}$	3.0	$\pm 6$	$\pm 7$

### ADC の伝達関数

AD7656A の出力コーディングは2の補数です。デザイン上のコード変化は連続する整数LSB値の中間(1/2 LSB、3/2 LSBなど)で発生します。AD7656AのLSB サイズはFSR/65,536になります。理論伝達特性を図21に示します。

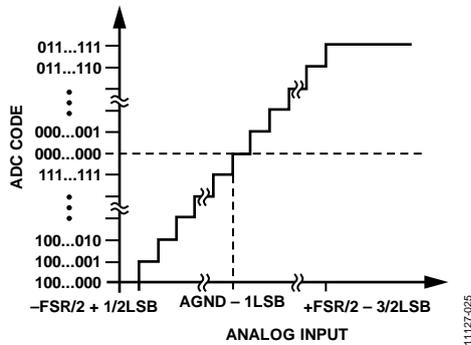


図 21.伝達特性

LSB サイズは選択したアナログ入力範囲に依存します(表 7 参照)。

表 7.各アナログ入力範囲に対する LSB サイズ

Input Range (V)	LSB Size (mV)	Full Scale Range
±10	0.305	20 V/65,536
±5	0.152	10 V/65,536

### リファレンス電圧セクション

REFIN/REFOUT ピンを使うと、AD7656A の 2.5 V リファレンス電圧を外部へ出力するか、あるいはこのピンから変換用の外付けリファレンス電圧を入力することができます。

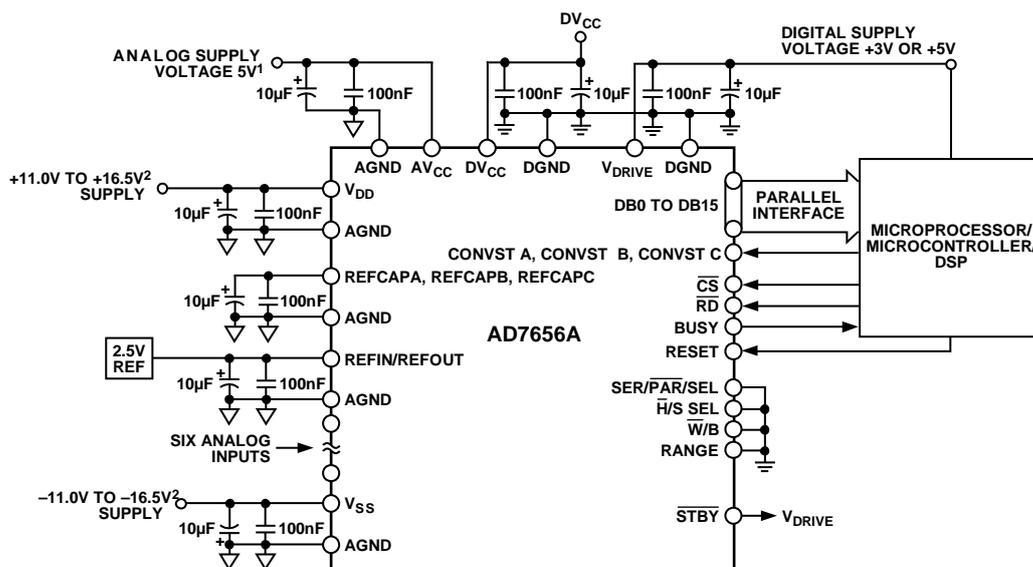
AD7656A は、2.5 V の外付けリファレンス電圧を使用することができます。外付けリファレンス電圧を使用する場合は、内蔵リファレンス電圧はディスエーブルする必要があります。リセット後、AD7656A はデフォルトで外付けリファレンス・モードで動作するため、リファレンス・バッファがイネーブルされます。

内蔵リファレンス電圧は、ハードウェアまたはソフトウェア・モードでイネーブルすることができます。ハードウェア・モードで内蔵リファレンスをイネーブルするときは、 $\overline{H/S SEL}$  ピンに 0 を、 $REF_{EN/DIS}$  ピンに 1 を、それぞれ設定します。ソフトウェア・モードで内蔵リファレンスをイネーブルするときは、 $\overline{H/S SEL}$  ピンに 1 を設定し、コントロール・レジスタの DB9 に 1 を書込みます。内蔵リファレンス・モードの場合、10  $\mu F$  と 100 nF のコンデンサで REFIN/REFOUT ピンをデカップリングしてください。

AD7656A は 3 個のリファレンス・バッファを内蔵しています。3 個の各 ADC 対には対応するリファレンス・バッファが付いています。これらのリファレンス・バッファでは、REFCAPA ピン、REFCAPB ピン、REFCAPC ピンに外付けデカップリング・コンデンサが必要です。10  $\mu F$  と 100 nF の外付けデカップリング・コンデンサをこれらの REFCAPx ピンに接続してください。内蔵リファレンス・バッファは、ソフトウェア・モードで内部コントロール・レジスタのビット DB8 への書込みによりディスエーブルすることができます。シリアル・インターフェースを選択した場合、ハードウェア・モードで DB14/REFBUF $_{EN/DIS}$  ピンにハイ・レベルを設定して、内蔵リファレンス・バッファをディスエーブルすることができます。内蔵リファレンス電圧とそのバッファをディスエーブルする場合は、外部でバッファされたリファレンス電圧を REFCAPx ピンへ加えてください。

### 代表的な接続図

図 22 に、AD7656A の代表的な接続図を示します。デバイスには 8 本の AVCC 電源ピンがあります。AVCC 電源は、AD7656A の変換プロセスで使用される電源であるため優れたデカップリングが必要です。各 AVCC 電源ピンは個別に、10  $\mu F$  のタンタル・コンデンサと 100 nF のセラミック・コンデンサでデカップリングしてください。AD7656A は、内蔵リファレンス電圧または外付けリファレンス電圧で動作することができます。この構成では、デバイスが外付けリファレンス電圧で動作するように設定されています。REFIN/REFOUT ピンは 10  $\mu F$  と 100 nF のコンデンサ対でデカップリングされています。3 個の内蔵リファレンス・バッファがイネーブルされています。各 REFCAPx ピンは 10  $\mu F$  と 100 nF のコンデンサ対でデカップリングされます。



<sup>1</sup>DECOUPLING SHOWN ON THE AV<sub>CC</sub> PIN APPLIES TO EACH AV<sub>CC</sub> PIN.  
<sup>2</sup>SEE THE POWER SUPPLY SEQUENCING SECTION.

11127-122

図 22.代表的な接続図

6本の  $AV_{CC}$  電源ピンは AD7656A 上の 6 個の ADC コアの電源として使用され、その結果変換プロセスに使用されることとなります。各アナログ入力ピンは、 $AV_{CC}$  電源ピンと AGND ピンで囲まれています。これらの  $AV_{CC}$  ピンと AGND ピンは、各 ADC コアの電源とグラウンドになっています。例えば、ピン 33 は  $V_1$ 、ピン 34 は ADC コア 1 の  $AV_{CC}$  電源、さらにピン 32 は ADC コア 1 の AGND です。もう 1 つのデカップリング軽減ソリューションは、これらの 6 本の  $AV_{CC}$  電源ピンをピン 34 とピン 35、ピン 40 とピン 41、ピン 46 とピン 47 の 3 対にグループ化することです。AD7656A に対しては、100  $\mu\text{F}$  のデカップリング・コンデンサを各ピン対に接続することができます。その他すべての電源とリファレンス・ピンは、10  $\mu\text{F}$  のコンデンサでデカップリングしてください。

$AV_{CC}$  電源と  $DV_{CC}$  電源として同じ電源を使用する場合は、電源ピン間にフェライトまたは小型の RC フィルタを接続してください。

AGND ピンはシステムのアナログ・グラウンド・プレーンに接続されています。DGND ピンはシステムのデジタル・グラウンド・プレーンに接続されています。AGND プレーンと DGND プレーンは、システム内の 1 箇所まで接続してください。この接続は、システム内の AD7656A の近くで行ってください。

$V_{DRIVE}$  電源はプロセッサと同じ電源に接続されます。 $V_{DRIVE}$  電圧が出力ロジック信号の電圧値を制御します。

$V_{DD}$  信号と  $V_{SS}$  信号は最小 10  $\mu\text{F}$  のコンデンサでデカップリングしてください。これらの電源は、AD7656A アナログ入力の高電圧アナログ入力構造に使用されています。

## アナログ入力の駆動

AD7656A で使用されるドライバ・アンプとアナログ入力回路は、フルスケール・ステップ入力に対して、AD7656A の規定のアクイジション・タイム 550 ns を満たす 16 ビット・レベル (0.0015%) に安定する必要があります。AD7656A の SNR 性能と遷移ノイズ性能を維持するためには、ドライバ・アンプが発生するノイズをできるだけ低く抑える必要があります。さらにドライバは、AD7656A に見合う THD 性能を持つ必要があります。

AD8021 はこれらすべての条件を満たしています。AD8021 には、外付けの補償コンデンサ 10 pF が必要です。AD8021 のデュアル・バージョンが必要な場合には、AD8022 を使用することができます。AD8610 と AD797 も、AD7656A の駆動に使用するこ

とができます。

## インターフェース・セクション

AD7656A には、パラレル・インターフェースと高速シリアル・インターフェースの 2 つのインターフェース・オプションがあります。インターフェース・モードは、SER/PAR SEL ピンで選択します。パラレル・インターフェースは、ワード・モード ( $\overline{W/B} = 0$ ) またはバイト・モード ( $\overline{W/B} = 1$ ) で動作することができます。インターフェース・モードを次のセクションで説明します。

### パラレル・インターフェース (SER/PAR SEL = 0)

AD7656A は 6 個の 16 ビット ADC を内蔵しています。3 本すべての CONVST x ピン (CONVST A、CONVST B、CONVST C) を相互に接続すると、6 個のすべての ADC の同時サンプルを行うことができます。AD7656A での変換を開始するためには、CONVST x の立下がりエッジとそれに続く CONVST x の立上がりエッジで構成される CONVST x パルスの入力が必要です。CONVST x の立上がりエッジで、選択した ADC で同時変換が開始されます。AD7656A は、変換の実行に使う発振器を内蔵しています。変換時間  $t_{CONVERT}$  は、3  $\mu\text{s}$  です。変換が完了すると、BUSY 信号はロー・レベルになります。BUSY 信号の立下がりエッジを使って、トラック・アンド・ホールド・アンプがトラック・モードに戻されます。また、AD7656A では、3 本の CONVST x ピンに独立にパルスを入力することにより、対にした 6 個の ADC で同時に変換することができます。CONVST A は  $V_1$  と  $V_2$  での同時変換を、CONVST B は  $V_3$  と  $V_4$  での同時変換を、CONVST C は  $V_5$  と  $V_6$  での同時変換を、それぞれ開始する際に使用されます。同時サンプルされた ADC の変換結果は、出力データ・レジスタに格納されます。

AD7656A からのデータの読出しは、標準の  $\overline{CS}$  信号と  $\overline{RD}$  信号を使うパラレル・データバスを経由して行うことができます ( $\overline{W/B} = 0$ )。パラレル・バスからデータを読出すときは、SER/PAR SEL ピンをロー・レベルにする必要があります。CS 入力信号と RD 入力信号を内部でゲーティングして変換結果をデータ・バスへ出力します。CS と RD をロー・レベルにすると、データライン DB0~DB15 は高インピーダンス状態を維持します。

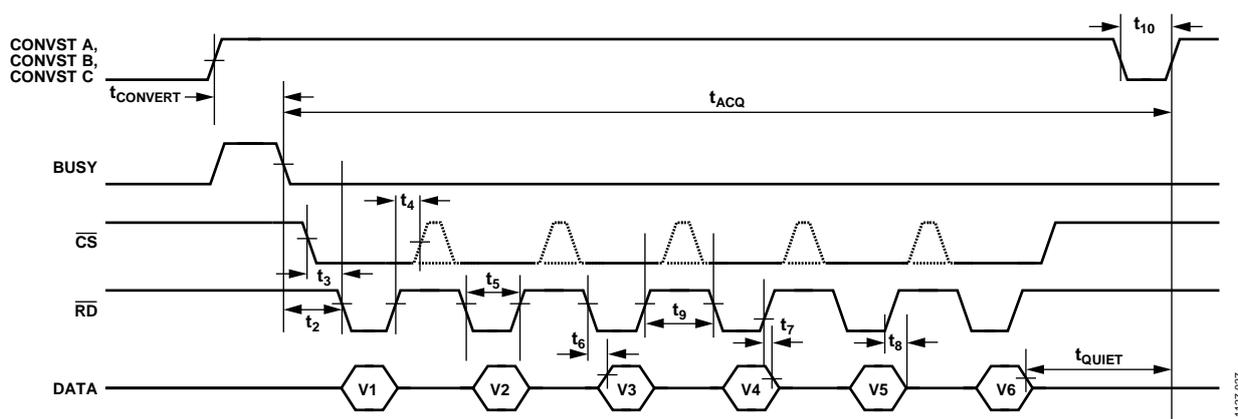


図 23. パラレル・インターフェースのタイミング図 ( $\overline{W/B} = 0$ )

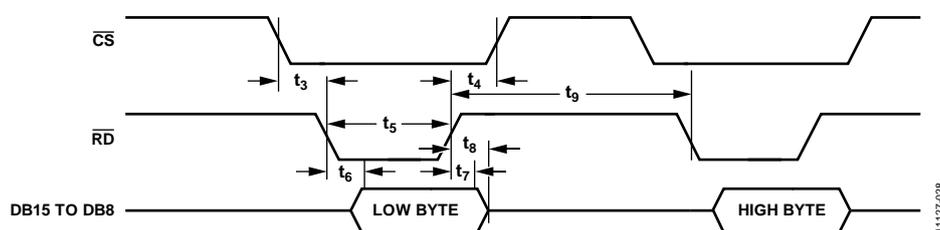


図 24. パラレル・インターフェース—バイト動作モードでの読み出しサイクル ( $\overline{W/B} = 1$ , HBEN = 0)

$\overline{CS}$  信号をロー・レベルに固定して、 $\overline{RD}$  信号を使って変換結果をアクセスすることができます。読み出し動作は、BUSY 信号がロー・レベルになった後に行うことができます。必要な読み出し動作回数は、同時サンプルされる ADC 数に依存します (図 23 参照)。CONVST A と CONVST B を同時にロー・レベルにすると、V1、V2、V3、V4 から変換結果を取得するために 4 回の読み出し動作が必要です。CONVST A と CONVST C を同時にロー・レベルにすると、V1、V2、V5、V6 から変換結果を取得するために 4 回の読み出し動作が必要です。変換結果は、昇順に出力されません。

3本の CONVST x 信号を使って3つの ADC 対で変換を独立に開始させる場合、BUSY 信号がハイ・レベルのとき、チャンネル対で変換を開始しないようにしてください。読み出しシーケンス中に変換を開始できますが、変換性能に影響が生じることがあるため推奨されません。規定の性能を得るためには、変換後に読み出しを実行することが推奨されます。使用しない入力チャンネル対については、対応する CONVST x ピンを  $V_{DRIVE}$  へ接続してください。

8ビット・バスだけが存在する場合は、AD7656Aのインターフェースをバイト・モードで動作するように設定することができます ( $\overline{W/B} = 1$ )。この設定では、DB7/HBEN/DCEN ピンがHBEN機能を持ちます。AD7656Aの各チャンネルの変換結果は、2回の読み出し動作でアクセスすることができ、各読み出し動作で8ビット・データがDB15~DB8に出力されます (図 24参照)。HBEN ピンは、読み出し動作で16ビット変換結果の上位バイトまたは下位バイトのいずれを最初にアクセスするかを指定します。DB15~DB8で常に下位バイトを先にアクセスするときは、HBEN ピンをロー・レベルにしてください。DB15~DB8で常に上位バイトを先にアクセスするときは、HBEN ピンをハイ・レベルにしてください。バイト・モードで、3本のすべてのCONVST x ピンにパルスが入力されて6個のすべてのADCで同時変換が開始される場合、6個の16ビット変換結果を読み出すためには、12回の読み出し動作が必要です。バイト・モードではDB6~DB0を未接続のままにしてください。

### ソフトウェアからの ADC 選択

$\overline{H/S SEL}$  ピンは、同時サンプルされる ADC の組み合わせのソースを指定します。 $\overline{H/S SEL}$  ピンがロー・レベルのとき、同時サンプルされるチャンネルの組み合わせは、 $\overline{CONVST A}$  ピン、 $\overline{CONVST B}$  ピン、 $\overline{CONVST C}$  ピンにより指定されます。 $\overline{H/S SEL}$  ピンがハイ・レベルのとき、同時サンプルされるチャンネルの組み合わせは、コントロール・レジスタの DB15 ビット～DB13 ビットの値により指定されます。このモードでは、コントロール・レジスタへの書込みが必要です。

コントロール・レジスタは 8 ビットの書込み専用レジスタです。データは、 $\overline{CS}$  ピン、 $\overline{WR}$  ピン、DB15～DB8 のデータ・ピンを使ってこのレジスタに書込まれます (図 25 参照)。表 8 にコントロール・レジスタを示します。同時サンプルされる ADC 対を選択するときは、書込み動作で対応するデータラインにハイ・レベルを設定します。

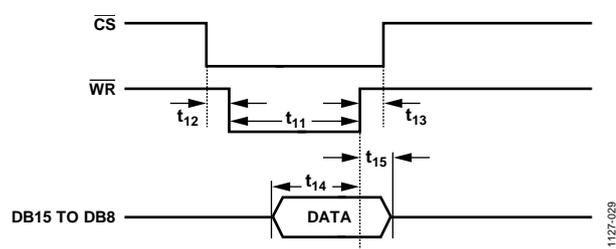


図 25. パラレル・インターフェース—ワード・モードでの書込みサイクル ( $\overline{W/B} = 0$ )

AD7656A のコントロール・レジスタを使うと、各 ADC 対に個別の範囲を設定することができます。コントロール・レジスタの DB12 ビット～DB10 ビットを使って各 ADC 対に範囲を設定します。

AD7656A のリセット後は、コントロール・レジスタ値は全ビット 0 になります。

$\overline{CONVST A}$  信号を使って、コントロール・レジスタを使って選択したチャンネルの組み合わせで同時変換を開始させます。ソフトウェア・モードで動作するときは ( $\overline{H/S SEL} = 1$ )  $\overline{CONVST B}$  信号と  $\overline{CONVST C}$  信号をロー・レベルにすることができます。必要となる読出しパルス数は、コントロール・レジスタで選択した ADC 数と、ワード・モードまたはバイト・モードのいずれでデバイスが動作するかに依存します。変換結果は、昇順に出力されます。

書込み動作では、データ・バス・ビット DB15～データ・バス・ビット DB8 は双方向になり、 $\overline{RD}$  がハイ・レベルで、かつ  $\overline{CS}$  と  $\overline{WR}$  がロー・レベルのときコントロール・レジスタへの入力になります。DB15～DB8 のロジック状態は、 $\overline{WR}$  がハイ・レベルになるときにコントロール・レジスタへラッチされます。

表 8. コントロール・レジスタ・ビット (デフォルトは全ビット・ゼロ)

DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8
VC	VB	VA	RNGC	RNGB	RNGA	REFEN	REFBUF

表 9. コントロール・レジスタ・ビット機能の説明 (デフォルトは全ビット・ゼロ)

Bit	Mnemonic	Description
DB15	VC	This bit selects the V5 and V6 analog inputs for the next conversion. When this bit is set to 1, V5 and V6 are simultaneously converted on the next $\overline{CONVST A}$ rising edge.
DB14	VB	This bit selects the V3 and V4 analog inputs for the next conversion. When this bit is set to 1, V3 and V4 are simultaneously converted on the next $\overline{CONVST B}$ rising edge.
DB13	VA	This bit selects the V1 and V2 analog inputs for the next conversion. When this bit is set to 1, V1 and V2 are simultaneously converted on the next $\overline{CONVST C}$ rising edge.
DB12	RNGC	This bit selects the analog input range for the V5 and V6 analog inputs. When this bit is set to 1, the $\pm 2 \times V_{REF}$ range is selected for the next conversion. When this bit is set to 0, the $\pm 4 \times V_{REF}$ range is selected for the next conversion.
DB11	RNGB	This bit selects the analog input range for the V3 and V4 analog inputs. When this bit is set to 1, the $\pm 2 \times V_{REF}$ range is selected for the next conversion. When this bit is set to 0, the $\pm 4 \times V_{REF}$ range is selected for the next conversion.
DB10	RNGA	This bit selects the analog input range for the V1 and V2 analog inputs. When this bit is set to 1, the $\pm 2 \times V_{REF}$ range is selected for the next conversion. When this bit is set to 0, the $\pm 4 \times V_{REF}$ range is selected for the next conversion.
DB9	REFEN	This bit selects the internal reference or an external reference. When this bit is set to 0, the external reference mode is selected. When this bit is set to 1, the internal reference is selected.
DB8	REFBUF	This bit selects between using the internal reference buffers and choosing to bypass these reference buffers. When this bit is set to 0, the internal reference buffers are enabled and decoupling is required on the REFCAPx pins. When this bit is set to 1, the internal reference buffers are disabled and a buffered reference is applied to the REFCAPx pins.

### アナログ入力範囲の変更 ( $\overline{H/S SEL} = 0$ )

AD7656Aの RANGE ピンを使うと、6 本のアナログ入力のアナログ入力範囲として $\pm 2 \times V_{REF}$ または $\pm 4 \times V_{REF}$ を選択することができます。H/S SEL ピンがロー・レベルのとき、RANGEピンのロジック状態が BUSY 信号の立下がりエッジでサンプルされて、次の同時変換の範囲が決定されます。RANGE ピンが BUSY 信号の立下がりエッジでハイ・レベルのとき、次の変換の範囲は  $\pm 2 \times V_{REF}$ になります。RANGEピンが BUSY信号の立下がりエッジでロー・レベルのとき、次の変換の範囲は  $\pm 4 \times V_{REF}$ になります。RESET パルスの後、BUSY 信号の最初の立下がりエッジで範囲が更新されます。

### アナログ入力範囲の変更 ( $\overline{H/S SEL} = 1$ )

$\overline{H/S SEL}$  ピンがハイ・レベルのとき、コントロール・レジスタへの書き込みにより範囲を変更することができます。コントロール・レジスタのビット[DB12:DB10]を使って、次の変換のアナログ入力範囲を選択します。各アナログ入力対には対応する範囲ビットがあるため、各 ADC 対に独立な範囲を設定することができます。RNGx ビットが 1 に設定されると、次の変換の範囲は  $\pm 2 \times V_{REF}$ になります。RNGx ビットが 0 に設定されると、次の変換の範囲は  $\pm 4 \times V_{REF}$ になります。

### シリアル・インターフェース ( $\overline{SER/PAR/SEL} = 1$ )

1 本、2 本、または 3 本すべての CONVST 信号にパルスを入力することにより、AD7656Aは調整済みの内蔵発振器を使って CONVST x の立上がりエッジで選択したチャンネル対を同時変換します。CONVST x の立上がりエッジの後に、BUSY 信号がハイ・レベルになって変換中であることを表示します。変換が完了すると(3  $\mu$ s後)、この信号はロー・レベルに戻ります。出力レジスタには新しい変換結果がロードされ、データはAD7656Aから読出すことができます。シリアル・インターフェースを使ってデバイスからデータを読出すときは、 $\overline{SER/PAR}$ をハイ・レベルにします。AD7656A からデータを転送するためには、CS信号と SCLK 信号が使用されます。デバイスには 3 本の DOUT x ピン (DOUT A、DOUT B、DOUT C)があります。データは、1 本、2 本、または 3 本すべての DOUT x ラインを使ってデバイスからリードバックすることができます。

図 26 に、3 本の DOUT x ラインを使った、6 回の同時変換と読出しシーケンスを示します。図 26 では、32 SCLK 転送を使って AD7656A からデータをアクセスしていますが、 $\overline{CS}$  信号により個別にフレーム化された 16 SCLK 転送を 2 回使って、3 本の DOUT x ラインでデータをアクセスすることもできます。シリアル・インターフェースを選択し、変換データを 3 本すべての DOUT x ラインへ出力するときは、DB0/SEL A、DB1/SEL B、DB2/SEL C を  $V_{DRIVE}$ へ接続してください。これらピンは、それぞれ DOUT A~DOUT C のラインをイネーブルするときに使います。

2本のデータ出力ラインへ変換データを出力する場合は、DOUT AとDOUT Bを使います。DOUT AとDOUT Bをイネーブルするときは、DB0/SEL AとDB1/SEL Bを $V_{DRIVE}$ へ接続し、DB2/SEL Cをロー・レベルへ接続してください。6回の同時変換を行い、2本のDOUT xラインだけを使用する場合は、48回のSCLK変化を使ってAD7656Aからデータをアクセスすることができます。図 27に、6個のすべてのADCの同時変換に対する、2本のDOUT x ラインを使った読出しシーケンスを示します。6個のADCで同時変換を行う場合、AD7656Aからの変換結果の読出しには2本のDOUT x ラインだけが使用されます。DOUT A はV1、V2、V5からの変換結果を、DOUT BはV3、V4、V6からの変換結果を、それぞれ出力します。

データを1本のDOUTxラインだけで出力することもできます。この場合、DOUTAを使って変換データをアクセスしてください。AD7656Aをこの動作モードに設定するときは、DB0/SEL Aを $V_{DRIVE}$ へ、DB1/SEL BとDB2/SEL Cをロー・レベルへ、それぞれ接続してください。1本だけのDOUTxラインを使用する欠点は、スループット・レートが低下することです。96 SCLK転送を1回、フレーム化32 SCLK 転送を3回、またはフレーム化16 SCLK 転送を6回使用してAD7656Aからデータをアクセスすることができます。シリアル・モードでは、RD ラインをロー・レベルに接続してください。未使用DOUT x ラインは、シリアル・モードでは未接続のままにしてください。

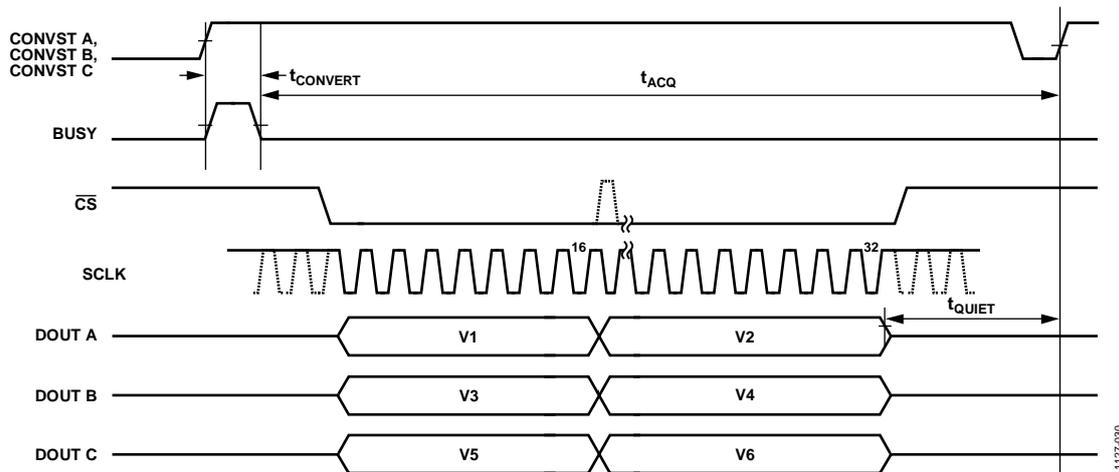


図 26.3 本の DOUT x ラインによるシリアル・インターフェース

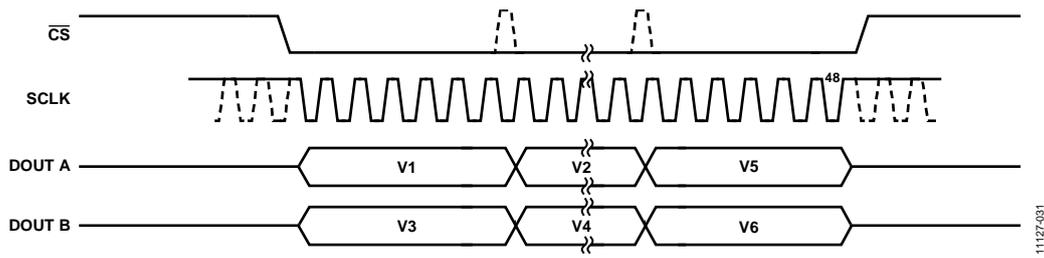


図 27.2本の DOUT x ラインによるシリアル・インターフェース

11127-001

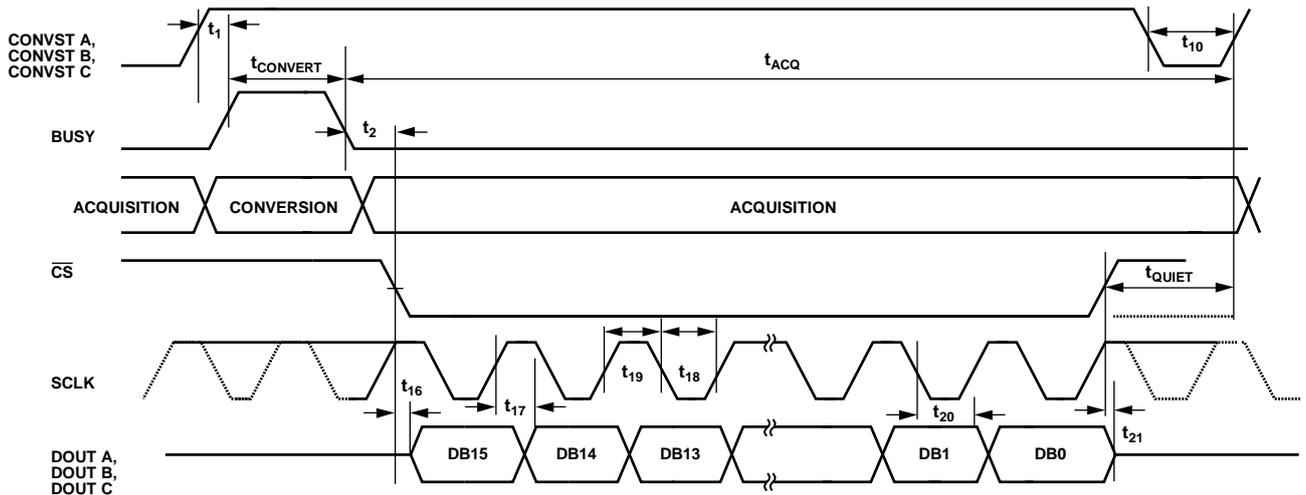


図 28.シリアルの読出し動作

11127-002

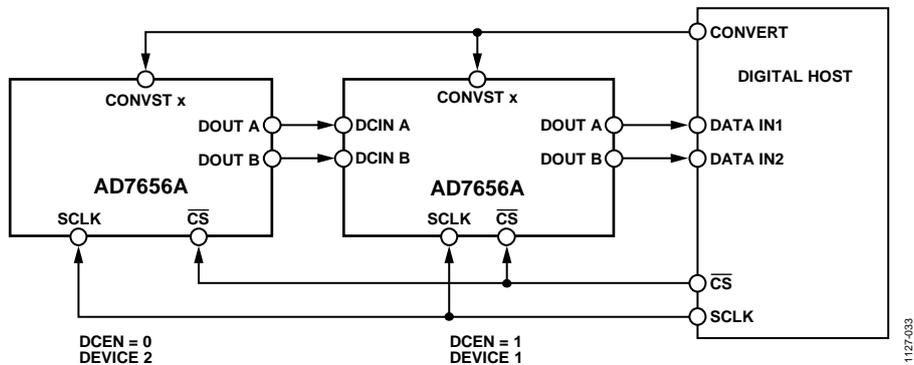


図 29.デジチェーン構成

11127-003

シリアルの読出し動作

図 28 に、AD7656A シリアル・インターフェースからデータ読出しのタイミング図を示します。SCLK 入力信号は、シリアル・インターフェースのクロックになります。データを AD7656A からアクセスするときは、CS をロー・レベルにします。CS の立下がりエッジで、バスがスリー・ステート状態から抜け出して、16 ビット変換結果の MSB が出力されます。ADC は各変換結果に対して 16 ビットを出力します。AD7656A のデータ・ストリームは 16 ビットの変換データで構成され、MSB ファーストで出力されます。

変換結果の最初のビットは、CS の立下がりエッジの後の、最初の SCLK 立下がりエッジで有効になります。後続の 15 ビットのデータは、SCLK 信号の立下がりエッジで出力されます。データは、SCLK の立下がりエッジで有効になります。各変換結果をアクセスするためには、16 個のクロック・パルス AD7656A

へ入力する必要があります。図 28 に、変換結果をアクセスするときに 16 個の SCLK による読出しの使用法を示します。

デジチェーン・モード (DCEN = 1、SER/PAR/SEL = 1)

3本、2本、または1本の DOUT x ピンを使って AD7656A から変換データを読出す場合、デバイスをデジチェーン・モードで動作させるように DCEN ピンを使って設定することができます。このデジチェーン機能を使うと、複数の AD7656A デバイスをカスケード接続できるため、部品数と配線接続数の削減に役立ちます。2 個のデバイスの接続例を図 29 に示します。この構成では 2 本の DOUT x ラインが使用されています。共通の CONVST x 信号を使うと、12 個のアナログ入力の同時サンプリングが可能です。DB5、DB4、DB3 の各ピンは、デジチェーン・モードでの DCIN A~DCIN C データ入力ピンとして使

用されています。

CONVST の立上がりエッジを使って AD7656A 上の変換を開始させます。BUSY 信号がロー・レベルになって変換の完了が表示された後、2 個のデバイスからのデータの読出しを開始することができます。図 30 に、デジチェーン・モードで 2 個の AD7656A デバイスを動作させたときのシリアル・タイミング図を示します。

CS の立下がりエッジを使って、AD7656A からのシリアル転送をフレーム化し、バスをスリー・ステートから抜け出させ、最初の変換結果の MSB を出力させます。図 30 に示す例では、12 個のすべての ADC チャンネルが同時サンプルされます。この例では、2 本の DOUT x ラインを使って、変換結果を读出しています。CS は 96 SCLK 転送をフレーム化しています。最初の 48 個の SCLK で、変換データがデバイス 2 からデバイス 1 へ転送されます。デバイス 2 の DOUT A は V1、V2、V5 から変換データをデバイス 1 の DCIN A へ転送し、デバイス 2 の DOUT B は V3、V4、V6 から変換結果をデバイス 1 の DCIN B へ転送します。最初の 48 個の SCLK で、デバイス 1 はデータをデジタル・ホストへ転送します。デバイス 1 の DOUT A は V1、V2、V5 から変換

データを転送し、デバイス 1 の DOUT B は V3、V4、V6 から変換データを転送します。最後の 48 個の SCLK で、デバイス 2 はゼロを出力し、デバイス 1 は、最初の 48 個の SCLK でデバイス 2 から入力されたデータをデジタル・ホストへシフト出力します。DCEN が転送中ハイ・レベルを維持すると、フレーム化 16 SCLK 転送を 6 回使用してこの例を実現することもできます。

図 31 に、2 個の AD7656A デバイスをデジチェーン・モードに設定して、3 本の DOUT x ラインを使って動作させた場合のタイミングを示します。12 個すべての入力を同時サンプリングするものとする、読出し動作で、CS は 64 SCLK 転送をフレーム化します。

この転送の最初の 32 個の SCLK で、デバイス 1 からの変換結果はデジタル・ホストへ入力され、デバイス 2 からの変換結果はデバイス 1 へ入力されます。この転送の最後の 32 個の SCLK で、デバイス 2 からの変換結果はデバイス 1 へ出力されて、デジタル・ホストに入力されます。デバイス 2 はゼロを出力します。

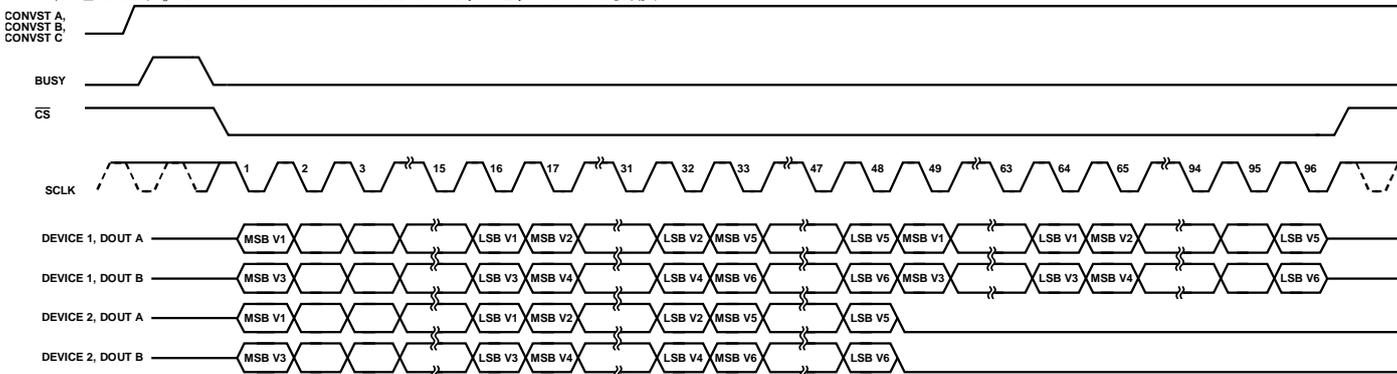


図 30.2 本の DOUTx ラインによるデジチェーン・シリアル・インターフェースのタイミング

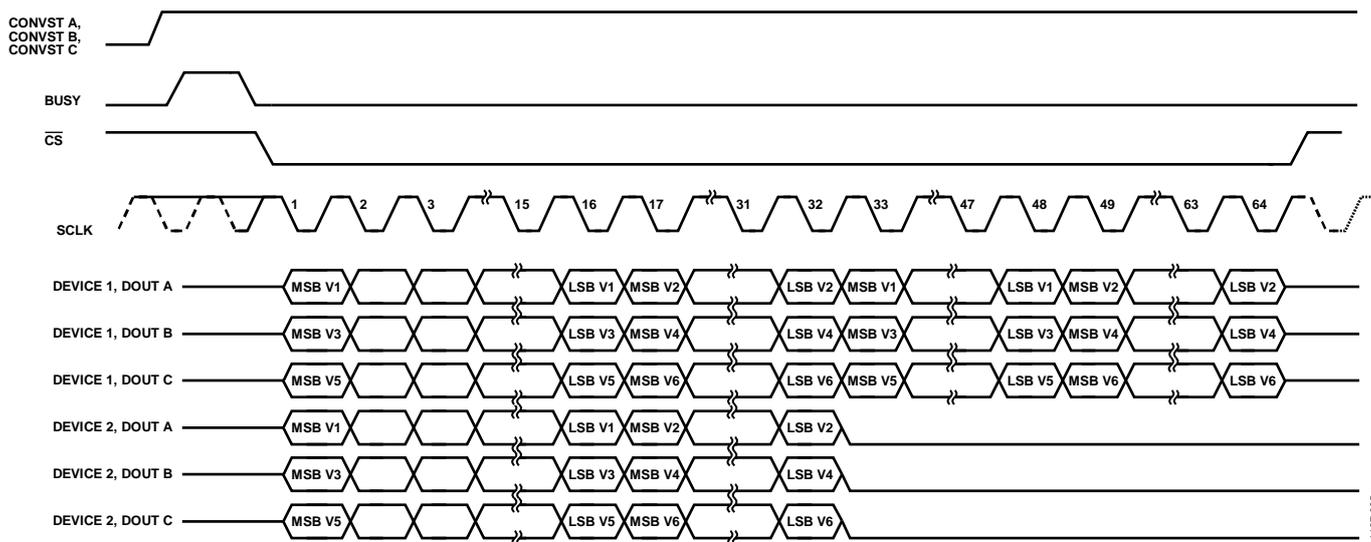


図 31.3 本の DOUT x ラインによるデジチェーン・シリアル・インターフェースのタイミング

**スタンバイ/パーシャル・パワーダウン動作モード  
(SER/PAR/SEL = 0 または SER/PAR/SEL = 1)**

BUSY の立下がりエッジの前に対応する CONVST x 信号をロー・レベルにすると、個別にパーシャル・パワーダウン・モードにすることができます。CONVST x 信号をハイ・レベルにして ADC 対をパワーアップさせ、トラック・アンド・ホールド・アンプをトラック・モードにさせます。パーシャル・パワーダウンからのパワーアップ時間が経過した後、CONVST x 信号は有効な変換を開始する立上がりエッジを受信することができます。パーシャル・パワーダウン・モードでは、リファレンス・バッファはパワーアップしたままになります。1つの ADC 対がパーシャル・パワーダウン・モードにあるときでも、他の ADC では変換を行うことができます。

AD7656A にはパワーダウン・モードがあり、デバイスを低消費電力モードにすることができます(最大 100 mW)。STBY入力を

ロー・レベルにすると AD7656A はスタンバイ・モードになり、STBY をハイ・レベルにして、通常動作に戻すことができます。AD7656A がスタンバイ・モードのとき、出力データ・バッファは動作したままです。これは、デバイスの変換結果をアクセスできることを意味します。このスタンバイ機能を使って、AD7656A を低いスループット・レートで動作させて平均消費電力を削減することができます。BUSY がロー・レベルになったとき各変換の終わりで AD7656A をスタンバイにすることができます。次の変換の前にスタンバイ・モードから抜け出させることができます。ウェイクアップ時間は、AD7656A がスタンバイ・モードから抜け出すタイミングです。ウェイクアップ時間により、変換と変換の間にパワーダウンする際に AD7656A が動作できる最大スループット・レートが制限されます。仕様のセクションを参照してください。

## アプリケーション情報

### レイアウト

AD7656A を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。

少なくとも 1 枚のグラウンド・プレーンを使う必要があります。デジタル部とアナログ部に共通または分けて使うことができます。プレーンが分割されている場合、デジタルとアナログのグラウンド・プレーンはできるだけ AD7656A に近い 1 箇所(望ましくは真下)で接続する必要があります。

複数のデバイスがアナログ・グラウンドとデジタル・グラウンドの接続を必要とするシステム内で AD7656A を使用する場合にも、この接続は 1 か所で行う必要があります。すなわち、AD7656A のできるだけ近くで星型グラウンド接続点を構成します。グラウンド・プレーンへしっかりと接続してください。複数のグラウンド・ピンに対して 1 つの接続を共用することは避ける必要があります。各グラウンド・ピンに対して、グラウンド・プレーンへの個別のビアまたは複数のビアを使用する必要があります。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD7656A の下を通過することは可能です。CONVST x やクロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、これらの信号はアナログ信号バスの近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボード上の近傍のパターンは、互いに右角度となるように配置してボードを通過するフィードスルー効果を減少させます。

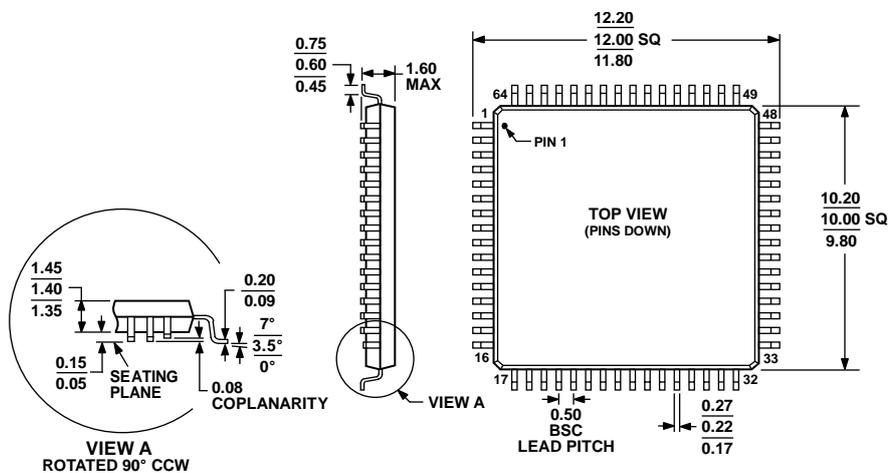
AD7656A の AV<sub>CC</sub>、DV<sub>CC</sub>、V<sub>DRIVE</sub>、V<sub>DD</sub>、V<sub>SS</sub> の各ピンへの電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。ボード上の AD7656A 電源ピンと電源パターンの間はしっかりと接続する必要があります。これには各電源ピンに対して 1 個または複数の

ビアを使用することが含まれます。

AD7656A に対する電源インピーダンスを下げるため、および電源スパイクの振幅を小さくするために、正しいデカップリングも重要です。100 nF (typ) のデカップリング・セラミック・コンデンサをすべての電源ピン、V<sub>DD</sub>、V<sub>SS</sub>、AV<sub>CC</sub>、DV<sub>CC</sub>、V<sub>DRIVE</sub> に接続してください。デカップリング・コンデンサはこれらのピンと対応するグラウンド・ピンの近くに(理想的には直接に)配置する必要があります。さらに、低 ESR の 10 μF コンデンサを各電源ピンに接続してください。これらのコンデンサをピン間で共用しないでください。電源プレーンとグラウンド・プレーンへコンデンサを接続するときは大きなビアを使用してください。さらに、各ビアとコンデンサ・パッドの間のパターンは太く短くし、またコンデンサ・パッドに隣接してビアを配置して寄生インダクタンスを小さくしてください。AV<sub>CC</sub> のデカップリングに推奨されるデカップリング・コンデンサは、100 nF の低 ESR セラミック・コンデンサと、10 μF の低 ESR タンタル・コンデンサです。大きなタンタル・デカップリング・コンデンサは、AV<sub>CC</sub> 電源がボードに入力されるポイントへ接続してください。

別のデカップリング軽減接続は、代表的な接続図のセクションに示します。このデカップリング接続は AV<sub>CC</sub> 電源ピンを対にグループ化して、電源対の間でデカップリング・コンデンサを共用できるようにします。6 本の AV<sub>CC</sub> 電源ピンをピン 34 とピン 35、ピン 40 とピン 41、ピン 46 とピン 47 の 3 対にグループ化することです。各対内の電源ピンを相互に接続します。AD7656A のピン配置はこれを容易に可能にします。AD7656A では、各対を 100 μF のコンデンサでデカップリングします。この最小デカップリング構成では、その他のすべての電源ピンとリファレンス・ピンは 10 μF のコンデンサでデカップリングします。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

051706-A

図 32.64 ピン・ロー・プロファイル・クワッド・フラット・パッケージ[LQFP]  
(ST-64-2)  
寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
AD7656ABSTZ	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7656ABSTZ-RL	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2

<sup>1</sup> Z = RoHS 準拠製品。