

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2014年05月19日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2014年05月19日

製品名：AD7654

対象となる和文データシートのリビジョン(Rev)：Rev.0

訂正箇所：

P15 7行目

[誤] **ハイレベル**のときには IN_{x1} が選択され、**ローレベル**のときは IN_{x2} が選択されます。

[正] **ローレベル**のときには IN_{x1} が選択され、**ハイレベル**のときには IN_{x2} が選択されます。



**ANALOG
DEVICES**

デュアル2チャンネル同時サンプリング 16ビット500kSPS SAR ADC

AD7654*

特長

16ビット、デュアル2チャンネル同時サンプリングADC

ノー・ミスコードの16ビット分解能

スループット：

500kSPS (ノーマル・モード)

444kSPS (インパルス・モード)

INL：最大±3.5LSB (フルスケールの±0.0053%)

SNR：100kHzで89dB (標準値)

THD：100kHzで-100dB

アナログ入力電圧範囲：0~5V

パイプライン遅延なし

パラレルとシリアル5V/3Vインターフェース内蔵

SPI™/QSPI™/MICROWIRE™/DSPとの互換性

5V単電源動作

消費電力

120mW (標準値)

10kSPSで2.6mW

パッケージ：48ピン・クワッド・フラットパック (LQFP)

または48ピン・フレーム・チップ・スケール・パッケージ (LFCSP)

低価格

アプリケーション

ACモーター制御

三相電力制御

4チャンネル・データ・アキュジション

無停電電源装置

通信

概要

AD7654は、16ビット・デュアルチャンネル、電荷再配分SAR式の低価格A/Dコンバータで、5V単電源で動作します。同時サンプリングを可能にするローノイズで広帯域幅のトラック・アンド・ホールド・アンプ2つ、高速16ビット・サンプリングADC、内部変換クロック、エラー訂正回路、シリアルとパラレル両方のシステム・インターフェース・ポートを内蔵しています。各トラック・アンド・ホールドには、前面にマルチプレクサがあり、4チャンネル入力のADCを実現します。

動作モードには、きわめて高速なサンプリング・レート・モード (ノーマル) のほか、低消費電力アプリケーション向けに消費電力をスループットに応じて調整できる低消費電力モード (インパルス) があります。AD7654は、48ピンLQFPパッケージまたは48ピンLFCSPパッケージを採用し、-40~+85°Cで動作します。

* 特許申請中

SPIとQSPIは、Motorola, Inc.の商標です。

Microwireは、National Semiconductor Corporationの商標です。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を暗示的または明示的に許諾するものでもありません。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

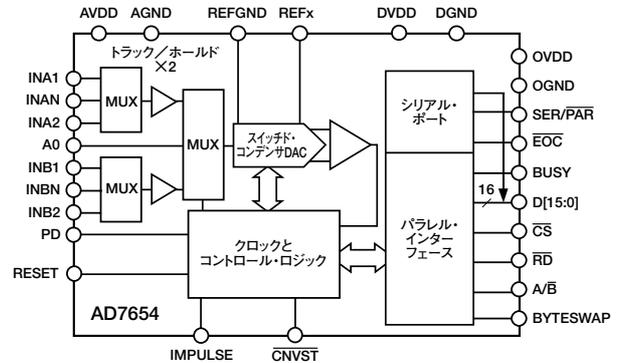
REV. 0

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200

大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868 (代)

機能ブロック図



PuISAR選択

タイプ/kSPS	100~250	500~570	800~1000
疑似差動	AD7651 AD7660/ AD7661	AD7650/ AD7652 AD7664/ AD7666	AD7653 AD7667
真のバイポーラ	AD7663	AD7665	AD7671
真の差動	AD7675	AD7676	AD7677
18ビット	AD7678	AD7679	AD7674
マルチチャンネル /同時		AD7654	

製品のハイライト

- 同時サンプリング
AD7654は、2つのサンプル/ホールド回路を内蔵しており、同時サンプリングが可能です。4チャンネル入力です。
- 高速スループット
AD7654は、きわめて高速 (ノーマル・モードで500kSPS、インパルス・モードで444kSPS) な電荷再配分式の16ビットSAR ADCですので、パイプライン遅延がありません。
- 優れたINLとノー・ミスコード
AD7654の最大積分非直線性は3.5LSBで、16ビット・レベルでミスコードがありません。
- 単電源動作
AD7654は、5V単電源で動作し、消費電力はわずか120mW (標準値) です。低消費電力モード (インパルス) とパワーダウン・モードでスループットを減らせば、消費電力をさらに低減することもできます。
- シリアルまたはパラレルのインターフェース
多彩なパラレル・インターフェースまたは2線式シリアル・インターフェースは、3Vロジックにも5Vロジックにも対応します。

AD7654 — 仕様

(特に指定のない限り、 $-40\sim+85^{\circ}\text{C}$ 、 $V_{\text{REF}}=2.5\text{V}$ 、 $\text{AVDD}=\text{DVDD}=5\text{V}$ 、 $\text{OVDD}=2.7\sim5.25\text{V}$)

パラメータ	条件	最小	標準	最大	単位
分解能		16			ビット
アナログ入力 電圧範囲 コモン・モード入力電圧 アナログ入力CMRR 入力電流 入力インピーダンス	$V_{\text{INx}}-V_{\text{INxN}}$ V_{INxN} $f_{\text{IN}}=100\text{kHz}$ 500kSPSスループット	0 -0.1	55 45	$2V_{\text{REF}}$ +0.5	V dB μA
スループット速度 サイクル長 スループット・レート サイクル長 スループット・レート	ノーマル・モード ノーマル・モード インパルス・モード インパルス・モード	0 0		2 500 2.25 444	μs kSPS μs kSPS
DC精度 積分直線性誤差 ノー・ミスコード トランジション・ノイズ フルスケール誤差 ² フルスケール誤差ドリフト ² ユニポーラ・ゼロ誤差 ² ユニポーラ・ゼロ誤差ドリフト ² 電源電圧感度	$T_{\text{MIN}}\sim T_{\text{MAX}}$ $T_{\text{MIN}}\sim T_{\text{MAX}}$ AVDD=5V±5%	-3.5 16	0.7 ±0.25 ±2 ±0.8 0.8	+3.5 ±0.5 ±0.25	LSB ¹ ビット LSB FSRの% ppm/°C FSRの% ppm/°C LSB
AC精度 S/N比 スプリアス・フリー・ダイナミックレンジ 全高調波歪み S/(N+D)比 チャンネル間アイソレーション -3dB入力帯域幅	$f_{\text{IN}}=20\text{kHz}$ $f_{\text{IN}}=100\text{kHz}$ $f_{\text{IN}}=100\text{kHz}$ $f_{\text{IN}}=100\text{kHz}$ $f_{\text{IN}}=20\text{kHz}$ $f_{\text{IN}}=100\text{kHz}$ $f_{\text{IN}}=100\text{kHz}$ 、-60dB入力 $f_{\text{IN}}=100\text{kHz}$	88 87.5	90 89 105 -100 90 88.5 30 -92 10		dB ³ dB dB dB dB dB dB dB MHz
サンプリング・ダイナミック特性 アパーチャ遅延 ⁴ アパーチャ遅延マッチング ⁴ アパーチャ・ジッター ⁴ 過渡応答	フルスケール・ステップ		2 30 5	250	ns ps ps RMS ns
リファレンス 外部リファレンス電圧範囲 外部リファレンス電流ドレイン	500kSPSスループット	2.3	2.5 180	AVDD/2	V μA
デジタル入力 ロジック・レベル V_{IL} V_{IH} I_{IL} I_{IH}		-0.3 +2.0 -1 -1		+0.8 OVDD+0.3 +1 +1	V V μA μA
デジタル出力 データ・フォーマット パイプライン遅延 V_{OL} V_{OH}	$I_{\text{SINK}}=1.6\text{mA}$ $I_{\text{SOURCE}}=-500\mu\text{A}$			0.4	V V

パラメータ	条件	最小	標準	最大	単位
電源					
仕様性能					
AVDD		4.75	5	5.25	V
DVDD		4.75	5	5.25	V
OVDD		2.25		5.255	V
動作電流 ⁶	500kSPSスループット				
AVDD			15.5		mA
DVDD			8.5		mA
OVDD			100		μA
消費電力	500kSPSスループット ⁶		120	135	mW
	10kSPSスループット ⁷		2.6		mW
	444kSPSスループット ⁷		114	125	mW
温度範囲 ⁸					
仕様性能	T _{MIN} ~T _{MAX}	-40		+85	℃

注

¹ LSB=最下位ビット。0~5Vの入力範囲で、1 LSB=76.294μV。² 仕様の定義のセクションを参照。この値には外部リファレンスによる誤差分は含まれていません。³ dBで表示するすべての値はフルスケール入力FSを基準としています。特に指定がない限り、フルスケールより0.5dB低い入力信号でテスト。⁴ 初期リリース時にサンプル・テスト。⁵ 最大値は、5.25VとDVDD+0.3Vの最小値。⁶ ノーマル・モード時。⁷ インパルス・モード時。⁸ 拡張温度範囲については製造元にお問い合わせください。

仕様は予告なく変更されることがあります。

タイミング仕様 (特に指定のない限り、-40~+85℃、AVDD=DVDD=5V、OVDD=2.7~5.25V)

パラメータ	記号	最小	標準	最大	単位
図8と図9を参照					
変換パルス幅	t ₁	5			ns
変換と変換の間隔 (ノーマル・モード/インパルス・モード)	t ₂	2/2.25			μs
CNVSTのローレベルからBUSYのハイレベルまでの遅延	t ₃			32	ns
BUSYのハイレベル、コンバート・モード後のマスター・シリアル読み出しを除く全モード (ノーマル・モード/インパルス・モード)	t ₄			1.75/2	μs
アパーチャ遅延	t ₅		2		ns
変換終了からBUSYのローレベルまでの遅延	t ₆	10			ns
変換時間 (ノーマル・モード/インパルス・モード)	t ₇			1.75/2	μs
アクイジション時間	t ₈	250			ns
RESETパルス幅	t ₉	10			ns
CNVSTのローレベルからEOCのハイレベルまでの遅延	t ₁₀			30	ns
チャンネルA変換用のEOCのハイレベル (ノーマル・モード/インパルス・モード)	t ₁₁			1/1.25	μs
チャンネルA変換後のEOCのローレベル	t ₁₂	45			ns
チャンネルB変換用のEOCのハイレベル	t ₁₃			0.75	μs
チャンネル選択のセットアップ・タイム	t ₁₄	250			ns
チャンネル選択のホールド・タイム	t ₁₅			30	ns
図10~14を参照 (パラレル・インターフェース・モード)					
CNVSTのローレベルからデータ有効までの遅延	t ₁₆			1.75/2	μs
データ有効からBUSYのローレベルまでの遅延	t ₁₇	14			ns
バス・アクセス・リクエストからデータ有効まで	t ₁₈			40	ns
バス開放時間	t ₁₉	5		15	ns
A/Bのローレベルからデータ有効までの遅延	t ₂₀			40	ns

AD7654

タイミング仕様 (続き)

パラメータ	記号	最小	標準	最大	単位
図15と図16を参照 (マスター・シリアル・インターフェース・モード)					
\overline{CS} のローレベルからSYNC有効までの遅延	t_{21}			10	ns
\overline{CS} のローレベルから内部SCLK有効までの遅延	t_{22}			10	ns
\overline{CS} のローレベルからSDOUTまでの遅延	t_{23}			10	ns
\overline{CNVST} のローレベルからSYNCまでの遅延 (変換中の読み出し) (ノーマル・モード/インパルス・モード)	t_{24}		250/500		ns
SYNCアサートからSCLK先頭エッジまでの遅延*	t_{25}	3			ns
内部SCLK周期*	t_{26}	23		40	ns
内部SCLKのハイレベル時間*	t_{27}	12			ns
内部SCLKのローレベル時間*	t_{28}	7			ns
SDOUT有効までのセットアップ・タイム*	t_{29}	4			ns
SDOUT有効からのホールド・タイム*	t_{30}	2			ns
SCLK最終エッジからSYNCまでの遅延*	t_{31}	1			ns
\overline{CS} のハイレベルからSYNCのHI-Zまで	t_{32}			10	ns
\overline{CS} のハイレベルから内部SCLKのHI-Zまで	t_{33}			10	ns
\overline{CS} のハイレベルからSDOUTのHI-Zまで	t_{34}			10	ns
変換後のマスター・シリアル読み出しでのBUSYのハイレベル (ノーマル・モード/インパルス・モード)	t_{35}			表Iを参照	
\overline{CNVST} のローレベルからSYNCアサートまでの遅延 (ノーマル・モード/インパルス・モード)	t_{36}		0.75/1		μ s
SYNCアサート解除からBUSYのローレベルまでの遅延	t_{37}		25		ns
図17と図18を参照 (スレーブ・シリアル・インターフェース・モード)					
外部SCLKセットアップ・タイム	t_{38}	5			ns
外部SCLKのアクティブ・エッジからSDOUTまでの遅延	t_{39}	3		18	ns
SDINセットアップ・タイム	t_{40}	5			ns
SDINホールド・タイム	t_{41}	5			ns
外部SCLK周期	t_{42}	25			ns
外部SCLKのハイレベル時間	t_{43}	10			ns
外部SCLKのローレベル時間	t_{44}	10			ns

* コンバート・モードでのシリアル・マスター読み出し時。コンバート・モード後のシリアル・マスター読み出しについては表Iを参照。
仕様は予告なく変更されることがあります。

表I. 変換後のマスター読み出し時のシリアル・クロック・タイミング

DIVSCLK[1]		0	0	1	1	
DIVSCLK[0]		0	1	0	1	単位
SYNCからSCLK先頭エッジまでの最小遅延	t_{25}	3	17	17	17	ns
内部SCLK最小周期	t_{26}	25	50	100	200	ns
内部SCLK標準周期	t_{26}	40	70	140	280	ns
内部SCLK最小ハイレベル時間	t_{27}	12	22	50	100	ns
内部SCLK最小ローレベル時間	t_{28}	7	21	49	99	ns
SDOUT有効の最小セットアップ・タイム	t_{29}	4	18	18	18	ns
SDOUT有効の最小ホールド・タイム	t_{30}	2	4	30	80	ns
SCLK最終エッジからSYNCまでの最小遅延	t_{31}	1	3	30	80	ns
BUSYの最大ハイレベル時間 (ノーマル)	t_{35}	3.25	4.25	6.25	10.75	μ s
BUSYの最大ハイレベル時間 (インパルス)	t_{35}	3.5	4.5	6.5	11	μ s

絶対最大定格¹

アナログ入力

INAx², INBx², REFx, INxN, REF_{GND}
 AGND-0.3V~AVDD+0.3V

グラウンド間電位差

AGND, DGND, OGND ±0.3V

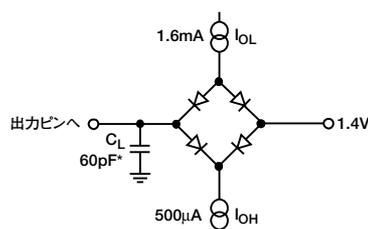
電源電圧

AVDD, DVDD, OVDD -0.3~+7V

AVDD~DVDD, AVDD~OVDD ±7V

DVDD~OVDD -0.3~+7V

デジタル入力 -0.3V~DVDD+0.3V

内部消費電力³ 700mW内部消費電力⁴ 2.5W

*シリアル・インターフェース・モードでのSYNC, SCLK, SDOUTのタイミングは、 $C_L=10\text{pF}$ の最大負荷で規定。その他の場合は、最大負荷60pFで規定。

図1. デジタル・インターフェース・タイミングの負荷回路、SDOUT、SYNC、SCLKの各出力、 $C_L=10\text{pF}$

接合温度 150°C

保管温度範囲 -65~+150°C

ピン温度範囲

(ハンダ付け10秒) 300°C

注

¹ 上記の絶対最大定格リストを超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格のみを規定するものであり、これらの規定値あるいはこの仕様書の動作セクションに記載した規定値を超える条件で、デバイスが機能的に動作することを意味するものではありません。長期間にわたって絶対最大定格条件で放置すると、デバイスの信頼性に影響を与えるおそれがあります。

² アナログ入力のセクションを参照してください。

³ 自然空冷、48ピンLQFP、 $\theta_{JA}=91^\circ\text{C/W}$ 、 $\theta_{JC}=30^\circ\text{C/W}$ でのデバイスに対する仕様。

⁴ 自然空冷、48ピンLFCSP、 $\theta_{JA}=26^\circ\text{C/W}$ でのデバイスに対する仕様。

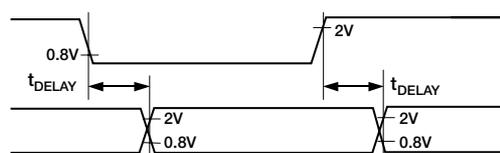


図2. タイミングのリファレンス・レベル

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD7654AST	-40~+85°C	クワッド・フラットパック (LQFP)	ST-48
AD7654ASTRL	-40~+85°C	クワッド・フラットパック (LQFP)	ST-48
AD7654ACP	-40~+85°C	チップ・スケール・パッケージ (LFCSP)	CP-48
AD7654ACPRL	-40~+85°C	チップ・スケール・パッケージ (LFCSP)	CP-48
EVAL-AD7654CB ¹		評価ボード	
EVAL-CONTROL BRD ²		コントローラ・ボード	

注

¹ これは単独の評価ボードとしても、または評価/デモ用にEVAL-CONTROL BRD2と組み合わせても使用できます。

² このボードでは、PCを使用して、末尾番号CBが付くすべてのアナログ・デバイス評価ボードの制御と通信が可能です。

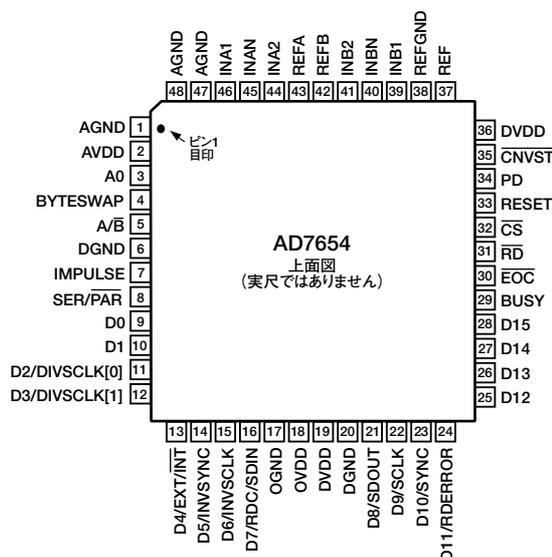
注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。AD7654は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD7654

ピン配置



ピン機能の説明

ピン番号	記号	タイプ	説明
1、47、48	AGND	P	アナログ電源グラウンド・ピン
2	AVDD	P	入力アナログ電源ピン 公称値5V
3	A0	DI	マルチプレクサ・セレクト ローレベルにすると、アナログ入力INA1とINB1を同時にサンプリングしてから、変換します。ハイレベルにすると、アナログ入力INA2とINB2を同時にサンプリングしてから、変換します。
4	BYTESWAP	DI	パラレル・モードの選択 (8/16ビット) ローレベルにすると、LSBをD[7:0]で出力し、MSBをD[15:8]で出力します。ハイレベルにすると、LSBをD[15:8]で出力し、MSBをD[7:0]で出力します。
5	A/B	DI	データ・チャンネルの選択 パラレル・モードでは、ローレベルにすると、チャンネルBのデータを読み出します。ハイレベルにすると、チャンネルAのデータを読み出します。シリアル・モードでは、ハイレベルにすると、チャンネルAを最初に出力し、次にチャンネルBを出力します。ローレベルにすると、チャンネルBを最初に出力し、次にチャンネルAを出力します。
6、20	DGND	P	デジタル電源グラウンド
7	IMPULSE	DI	モードの選択 ハイレベルにすると、低消費電力モードが選択されます。このモードでは、消費電力はサンプリング・レートにほぼ比例したものになります。
8	SER/ $\overline{\text{PAR}}$	DI	シリアル/パラレル選択入力 ローレベルにすると、パラレル・ポートが選択されます。ハイレベルにすると、シリアル・インターフェース・モードが選択され、データ・バスのいくつかのビットをシリアル・ポートとして使用します。
9、10	D[0:1]	DO	パラレル・ポート・データ出力バスのビット0とビット1 $\text{SER}/\overline{\text{PAR}}=\text{HIGH}$ のとき、これらの出力は高インピーダンスになります。
11、12	D[2:3] または DIVSCLK[0:1]	DI/O	$\text{SER}/\overline{\text{PAR}}=\text{LOW}$ のとき、これらの出力をパラレル・ポート・データ出力バスのビット2およびビット3として使用します。 $\text{SER}/\overline{\text{PAR}}=\text{HIGH}$ 、 $\text{EXT}/\overline{\text{INT}}=\text{LOW}$ 、 $\text{RDC}/\text{SDIN}=\text{LOW}$ のとき (コンバート・モード後のシリアル・マスター読み出し)、データを出力させる内部クロックの速度を低速化させたい場合に、シリアル・ポートを構成するこれらの入力を使用します。他のシリアル・モードでは、これらの入力は使用しません。
13	D[4] またはEXT/INT	DI/O	$\text{SER}/\overline{\text{PAR}}=\text{LOW}$ のとき、この出力をパラレル・ポート・データ出力バスのビット4として使用します。 $\text{SER}/\overline{\text{PAR}}=\text{HIGH}$ のとき、シリアル・ポートを構成するこの入力を、内部または外部のデータ・クロック (それぞれマスター・モードまたはスレープ・モードと呼ばれます) を選択するデジタル選択入力として使用します。EXT/INTをLOWに固定すると、SCLK出力で内部クロックが選択されます。EXT/INT=HIGHにすると、出力データがSCLK入力に接続された外部クロック信号に同期します。

ピン番号	記号	タイプ	説明
14	D[5] またはINVSYNC	DI/O	<p>SER/$\overline{\text{PAR}}$=LOWのとき、この出力をパラレル・ポート・データ出力バスのビット5として使用します。</p> <p>SER/$\overline{\text{PAR}}$=HIGHのとき、シリアル・ポートを構成するこの入力を使用して、SYNC信号のアクティブ状態を選択します。ローレベルにすると、SYNCはアクティブ・ハイレベルになります。ハイレベルにすると、SYNCはアクティブ・ローレベルになります。</p>
15	D[6] またはINVSCLK	DI/O	<p>SER/$\overline{\text{PAR}}$=LOWのとき、この出力をパラレル・ポート・データ出力バスのビット6として使用します。</p> <p>SER/$\overline{\text{PAR}}$=HIGHのとき、シリアル・ポートを構成するこの入力を使用して、SCLK信号を反転します。この入力はマスター・モードとスレーブ・モードの両方でアクティブです。</p>
16	D[7] またはRDC/SDIN	DI/O	<p>SER/$\overline{\text{PAR}}$=LOWのとき、この出力をパラレル・ポート・データ出力バスのビット7として使用します。</p> <p>SER/$\overline{\text{PAR}}$=HIGHのとき、シリアル・ポートを構成するこの入力を、EXT/$\overline{\text{INT}}$の状態に応じて、外部データ入力または読み出しモード選択入力のいずれかに使用します。</p> <p>EXT/$\overline{\text{INT}}$=HIGHのとき、RDC/SDINをデータ入力として使用して、複数のADCの変換結果を1本のSDOUTラインにデジタイズチェーン接続することができます。SDINのデジタル・データ・レベルは、読み出しシーケンス開始からSCLKの32周期分の遅延でSDOUT上に出力されます。</p> <p>EXT/$\overline{\text{INT}}$=LOWのとき、RDC/SDINを使用して、読み出しモードを選択します。RDC/SDIN=HIGHのとき、変換中に以前のデータをSDOUTに出力します。RDC/SDIN=LOWのときは、変換が完了しなければSDOUTにデータを出力できません。</p>
17	OGND	P	入/出力インターフェースのデジタル電源グラウンド
18	OVDD	P	入/出力インターフェースのデジタル電源 公称は、ホスト・インターフェース電源(5Vまたは3V)と同じ電位。
19、36	DVDD	P	デジタル電源 公称値5V
21	D[8] またはSDOUT	DO	<p>SER/$\overline{\text{PAR}}$=LOWのとき、この出力をパラレル・ポート・データ出力バスのビット8として使用します。</p> <p>SER/$\overline{\text{PAR}}$=HIGHのとき、シリアル・ポートを構成するこの出力を、SCLKに同期するシリアル・データ出力として使用します。変換結果は32ビットの内蔵レジスタに格納されます。AD7654は、内部シフト・レジスタから、MSB先頭で変換結果を2つ出力します。チャンネル出力の順序は、A/Bによって制御されます。シリアル・モードでは、EXT/$\overline{\text{INT}}$=LOWのとき、SDOUTはSCLKの両方のエッジで有効です。</p> <p>シリアル・モードで、EXT/$\overline{\text{INT}}$=HIGHのとき：</p> <p>INVSCLK=LOWの場合、SDOUTはSCLKの立ち上がりエッジで更新され、次の立ち下がりエッジで有効になります。</p> <p>INVSCLK=HIGHの場合、SDOUTはSCLKの立ち下がりエッジで更新され、次の立ち上がりエッジで有効になります。</p>
22	D[9] またはSCLK	DI/O	<p>SER/$\overline{\text{PAR}}$=LOWのとき、この出力をパラレル・ポート・データ出力バスのビット9として使用します。</p> <p>SER/$\overline{\text{PAR}}$=HIGHのとき、シリアル・ポートを構成するこのピンを、EXT/$\overline{\text{INT}}$ピンの状態に応じて、シリアル・データ・クロック入力または出力として使用します。データSDOUTが更新されるアクティブ・エッジは、INVSCLKピンの状態によって異なります。</p>
23	D[10] またはSYNC	DO	<p>SER/$\overline{\text{PAR}}$=LOWのとき、この出力をパラレル・ポート・データ出力バスのビット10として使用します。</p> <p>SER/$\overline{\text{PAR}}$=HIGHのとき、シリアル・ポートを構成するこの出力を、内部データ・クロックと一緒に使用されるデジタル出力フレーム同期として使用します(EXT/$\overline{\text{INT}}$=LOW)。</p> <p>読み出しシーケンスが開始され、かつINVSYNC=LOWのとき、SYNCがハイレベルに駆動され、SDOUTをフレームで囲みます。最初のチャンネルを出力した後、SYNCにローレベル・パルスが出力されます。読み出しシーケンスが開始され、かつINVSYNC=HIGHのとき、SYNCがローレベルに駆動され、SDOUT出力が有効な間はローレベルが維持されます。最初のチャンネルを出力した後、SYNCにハイレベル・パルスが出力されます。</p>

ピン機能の説明（続き）

ピン番号	記号	タイプ	説明
24	D[11] またはRDERROR	DO	SER/PAR=LOWのとき、この出力をパラレル・ポート・データ出力バスのビット11として使用します。 SER/PAR=HIGHでEXT/INT=HIGHのとき、シリアル・ポートを構成するこの出力を読み出し不完全エラー・フラグとして使用します。スレーブ・モードでは、データ読み出しが開始され、それが完了しないうちに次の変換が完了した場合、そのデータは失われ、RDERRORにハイレベル・パルスが出力されます。
25～28	D[12:15]	DO	パラレル・ポート・データ出力バスのビット12～15 SER/PAR=HIGHのとき、これらの出力は高インピーダンスになります。
29	BUSY	DO	ビジー出力 変換が開始されるとハイレベルになり、2つの変換が完了してデータが内蔵シフト・レジスタにラッチされるまでハイレベルを維持します。BUSYの立ち下がりエッジは、データ・レディ・クロック信号として使用できます。
30	EOC	DO	変換出力の最後 チャンネル変換のたびにローレベルになります。
31	RD	DI	データの読み出し CS=LOWでRD=LOWのとき、インターフェースのパラレルまたはシリアル出力バスがイネーブルになります。
32	CS	DI	チップ・セレクト CS=LOWでRD=LOWのとき、インターフェースのパラレルまたはシリアル出力バスがイネーブルになります。CSは、外部シリアル・クロックのゲーティングにも使用されます。
33	RESET	DI	リセット入力 ハイレベルにすると、AD7654がリセットされます。動作中の変換は中止されます。使用しない場合、このピンをDGNDに接続できます。
34	PD	DI	パワーダウン入力 ハイレベルにすると、消費電力が低減され、現在の変換が完了すると、変換が禁止されます。
35	CNVST	DI	変換の開始 CNVSTに立ち下がりエッジが入力されると、内部サンプル/ホールド回路がホールド状態になり、変換を開始します。インパルス・モード (IMPULSE=HIGH) では、アクイジション・フェーズ (t _q) が完了したときCNVSTをローレベルにすると、内部サンプル/ホールド回路がホールド状態になり、直ちに変換を開始します。
37	REF	AI	この入力ピンを使用して、コンバータへのリファレンスを提供します。
38	REFGND	AI	リファレンス入力アナログ・グラウンド
39、41	INB1、INB2	AI	アナログ入力
40、45	INBN、INAN	AI	アナログ入力グラウンドの感知 各チャンネル・グラウンドを個別に感知できます。
42、43	REFB、REFA	AI	これらの入力、それぞれチャンネルAとチャンネルBに適用されるリファレンスです。
44、46	INA2、INA1		

注

AI=アナログ入力

DI=デジタル入力

DI/O=双方向デジタル

DO=デジタル出力

P=電源

仕様の定義

積分非直線性誤差 (INL)

直線性誤差とは、負側フルスケールと正側フルスケールを結ぶ直線と実際の各コード出力との差を意味します。負側フルスケールとして使用するポイントは、最初のコード遷移より1/2LSBだけ下に存在します。正側フルスケールは、最後のコード遷移より1+1/2LSBだけ上のレベルと定義されます。差とは、各コードの中心と真の直線との距離です。

微分非直線性誤差 (DNL)

理想的なADCでは、コード遷移は1LSBだけ離れた位置で発生します。微分非直線性とは、この理想値からの最大偏差のことです。しばしばノー・ミスコードを保証する分解能について、微分非直線性が規定されます。

フルスケール誤差

最後の变化 (111...10から111...11への変化) は、ノミナル・フルスケールより1/2LSB低いアナログ電圧 (0~5V範囲の場合は4.999886V) で発生する必要があります。フルスケール誤差とは、最後の遷移の理想レベルと実際のレベルとの差を意味します。

ユニポーラ・ゼロ誤差

ユニポーラ・モードでは、最初の遷移がアナログ・グラウンドより1/2LSB高いレベルで発生する必要があります。ユニポーラ・ゼロ誤差とは、そのポイントと実際の遷移との差を意味します。

スプリアスフリー・ダイナミックレンジ (SFDR)

入力信号のRMS振幅値とピーク・スプリアス信号との差で、dB値で表します。

実効ビット数 (ENOB)

ENOBは、サイン波を入力したときの分解能の測定値です。S/(N+D)との関係は、次式で表されます。

$$ENOB = (S / [N+D]_{dB} - 1.76) / 6.02$$

ENOBはビット数で表します。

全高調波歪み (THD)

THDとは、最初の5つの高調波成分のRMS値の総和の、フルスケール入力信号のRMS値に対する比を意味し、dB値で表します。

S/N比 (SNR)

S/N比は、実際の入力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和から高調波成分とDC成分を除いた値との比です。S/N比はdB値で表します。

S/N+歪み比 (S/[N+D])

S/(N+D)は、実際の入力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和 (DC以外の高調波成分を含む) との比です。S/(N+D)はdB値で表します。

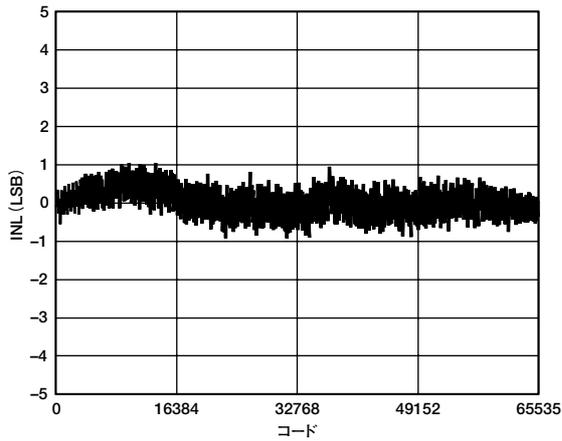
アパーチャ遅延

アパーチャ遅延はアキュイジション性能を表し、 \overline{CNVST} 入力の立ち下がりがエッジから、入力信号が変換用にホールドされるまでの時間として測定されます。

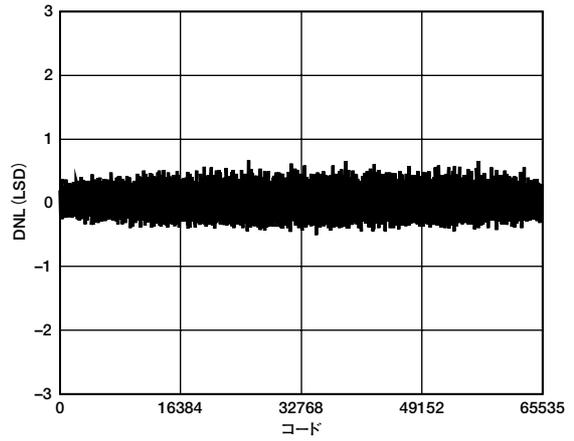
過渡応答

フルスケール・ステップ関数が入力に加えられてから、AD7654が定格精度を達成するまでに要する時間を意味します。

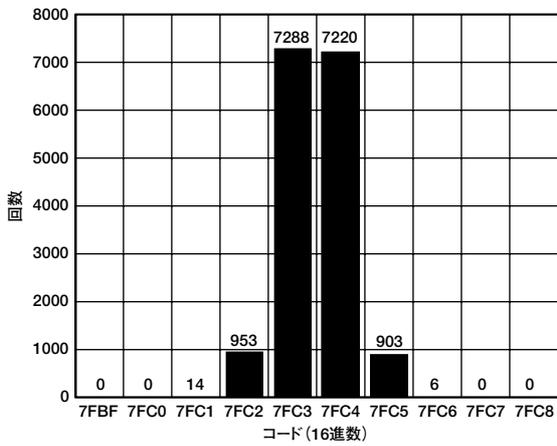
AD7654 — 代表的な性能特性



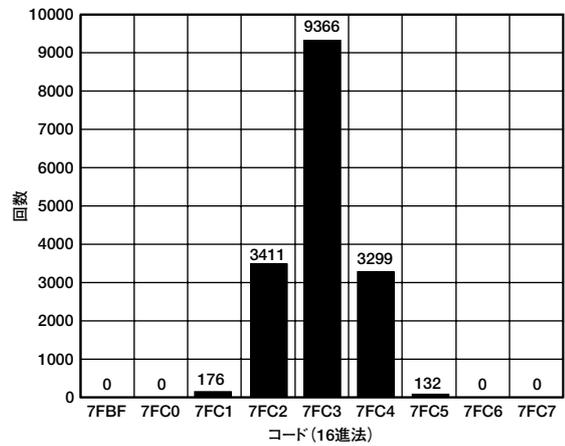
TPC 1. 積分非直線性とコード



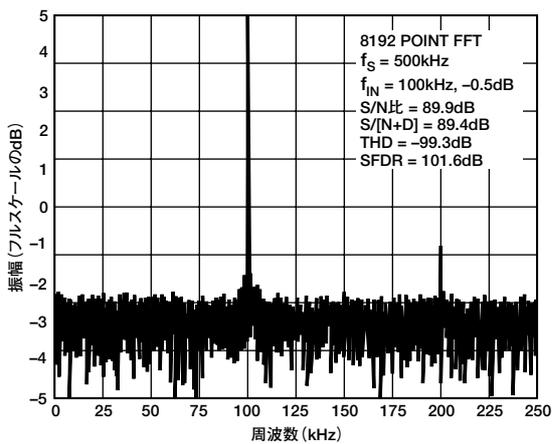
TPC 4. 微分非直線性とコード



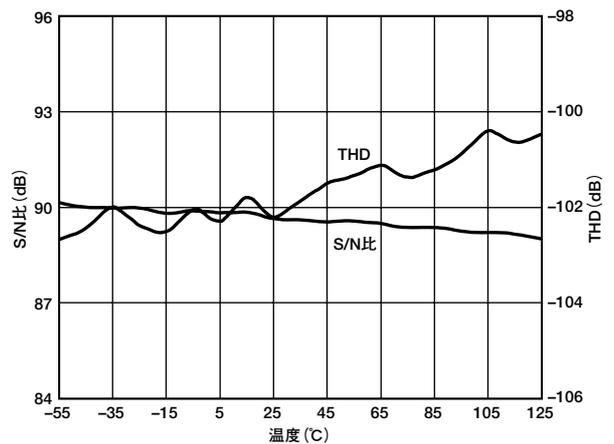
TPC 2. コード遷移が発生するDC入力の場合のヒストグラム
16,384回変換した場合のヒストグラム



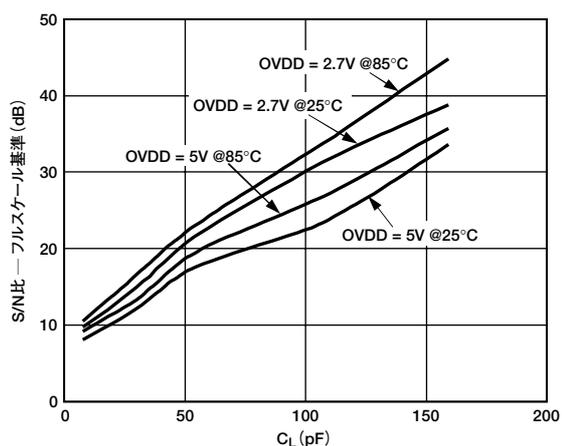
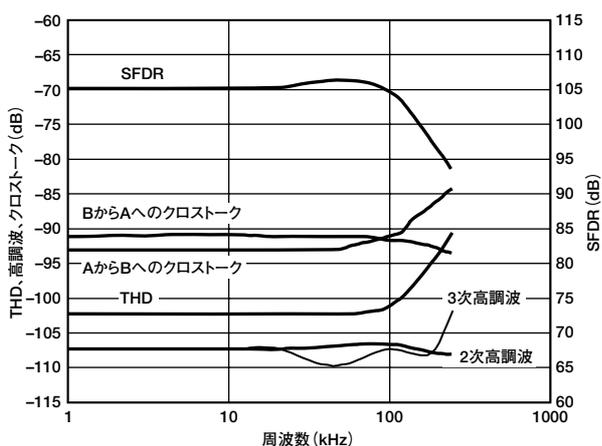
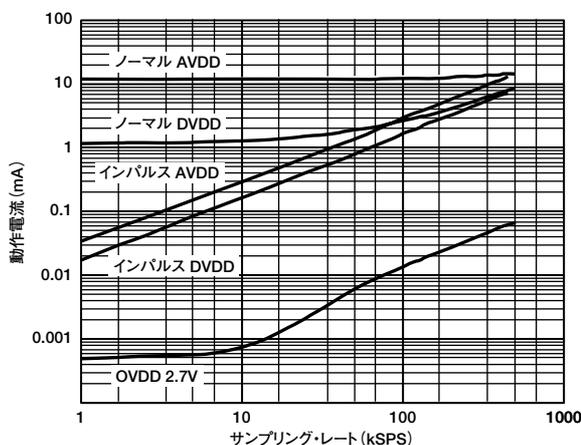
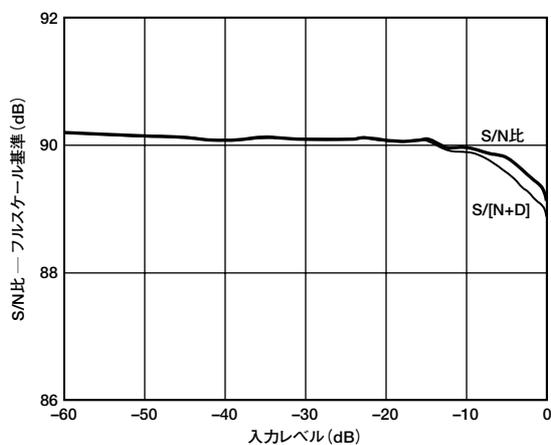
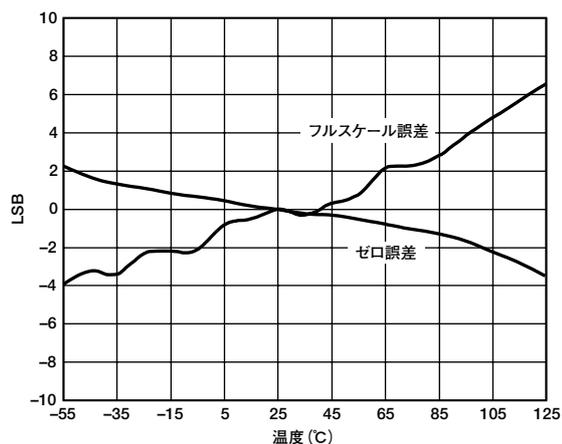
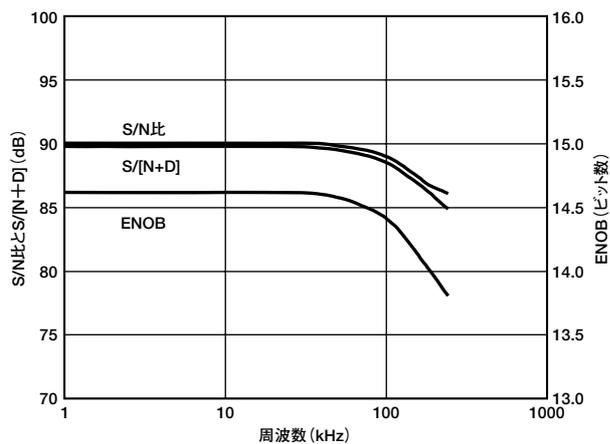
TPC 5. コード中心値のDC入力の場合のヒストグラム
16,384回変換した場合のヒストグラム



TPC 3. FFTプロット



TPC 6. S/N比とTHDの温度特性



AD7654

回路情報

AD7654は、低消費電力、単電源、高精度の同時サンプリングを行う、きわめて高速な16ビットA/Dコンバータ（ADC）です。

2つのトラック/ホールドを内蔵し、パイプラインやレイテンシのない逐次近似型ADCですので、マルチプレクスされた複数チャンネルのアプリケーションに最適です。また、2組同時サンプリングにより4チャンネルADCとして使用することも可能です。

AD7654は、5V単電源で動作し、5Vまたは3Vのデジタル・ロジックに接続できます。48ピンLQFPまたは小型の48ピンLFCSPパッケージを採用し、省スペースを実現するほか、シリアルまたはパラレルのいずれのインターフェースとしても柔軟に構成できます。AD7654は、PulSAR ADCとピン互換性があります。

動作モード

AD7654には、ノーマルとインパルスの2つの動作モードがあります。それぞれのモードは、特定のアプリケーションに使用するのに適しています。

ノーマル・モードは最高速モード（500kSPS）です。パワーダウン・モード（PD=HIGH）を除いて、消費電力はほとんどサンプリング・レートに依存しません。

最小消費電力モードのインパルス・モードでは、変換と変換の間に消費電力を節約することができます。このモードでの最大スループットは444kSPSです。10kSPSで動作する場合なら、消費電力は2.6mW程度で済みます。この機能により、AD7654はバッテリー駆動のアプリケーションに最適です。

伝達関数

AD7654のデータ・フォーマットは自然2進数です。AD7654の理想伝達特性を図3と表IIに示します。

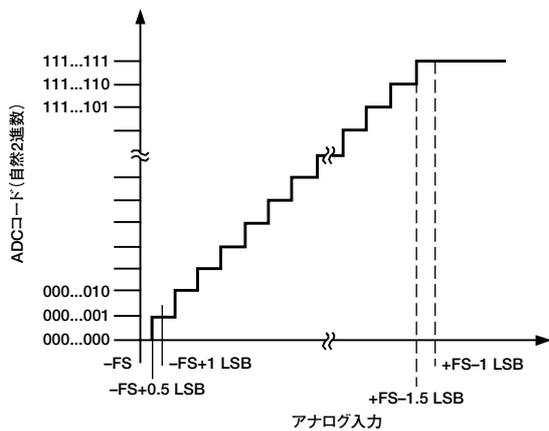


図3. ADCの理想伝達関数

表II. 出力コードと理論入力電圧

説明	アナログ入力 $V_{REF}=2.5\text{ V}$	デジタル出力 コード（16進）
FSR-1LSB	4.999924V	FFFF ¹
FSR-2LSB	4.999847V	FFFE
ミッドスケール+1LSB	2.500076V	8001
ミッドスケール	2.5V	8000
ミッドスケール-1LSB	2.499924V	7FFF
-FSR+1LSB	76.29 μ V	0001
-FSR	0V	0000 ²

注

¹ これはオーバーレンジ・アナログ入力のコードでもあります（ $2 \times (V_{REF} - V_{REFGND})$ より $V_{INx} - V_{INxN}$ 上）。

² これはアンダーレンジ・アナログ入力のコードでもあります（ V_{INxN} より V_{INx} 下）。

代表的な接続図

図5に、AD7654の代表的な接続図を示します。この図に示す異なる回路はオプションで、以下に説明します。

アナログ入力

図4に、AD7654の簡略化したアナログ入力部分を示します。

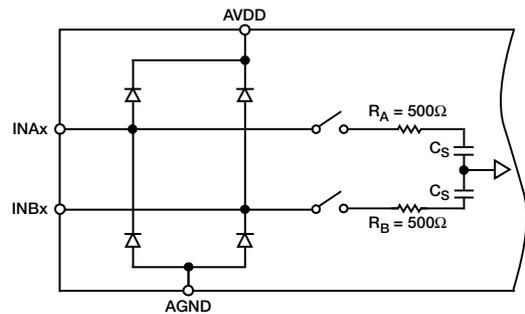
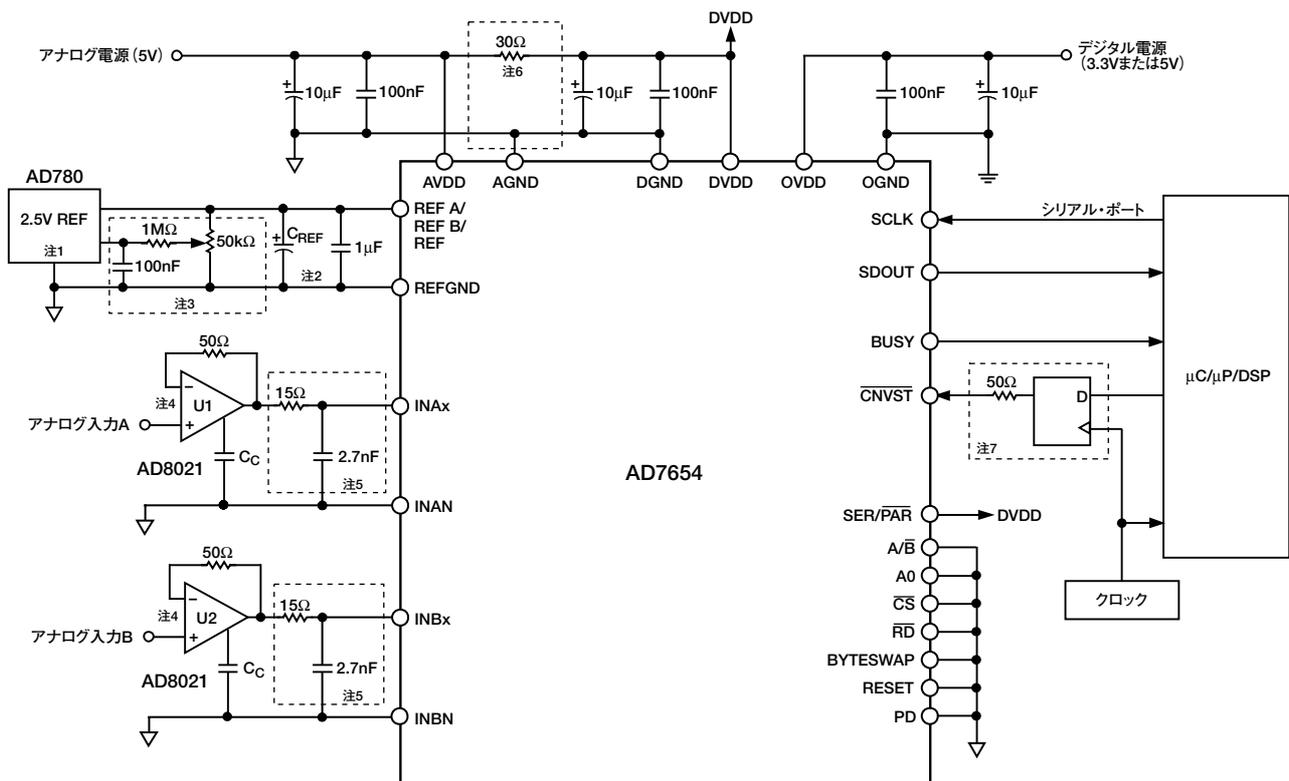


図4. 簡略化したアナログ入力

図4に示すダイオードは、入力に対してESD保護機能を持ちます。アナログ入力信号がこれらの入力の絶対定格を超えないように注意する必要があります。この機能では、これらのダイオードが順方向にバイアスされて、電流が流れるようになります。ダイオードは、最大120mAの順方向バイアス電流を処理できます。この状態は、入力バッファの（U1）電源または（U2）電源がAVDDと異なるときに発生します。このような場合、短絡電流制限機能を持つ入力バッファを使ってデバイスを保護できます。

このアナログ入力構造により、INxとINxNとの間で差動信号のサンプリングができます。他のコンバータとは異なり、INxNがINx入力と同時にサンプリングされます。差動入力を使用することで、2つの入力に同相な小信号を阻止することができます。



注

1. リファレンス入力セクションを参照してください。
2. 推奨リファレンスの場合、 $C_{REF}=47\mu\text{F}$ 。リファレンス入力セクションを参照してください。
3. ハードウェア・ゲイン・キャリブレーション用のオプション回路。
4. AD8021を推奨。ドライバ・アンプの選択セクションを参照してください。
5. アナログ入力セクションを参照してください。
6. オプション。電源セクションを参照してください。
7. オプションの低ジッターCNVST。変換制御セクションを参照してください。

図5. 代表的な接続図 (シリアル・インターフェース)

アクイジション・フェーズでは、AC信号に対して、等価抵抗 R_A 、 R_B 、 C_S から構成される1次RCフィルタのように動作します。抵抗 R_A と R_B は、一般に 500Ω であり、直列抵抗とスイッチのオン抵抗で構成される集中コンポーネントです。コンデンサ C_S は、一般に 32pF であり、主にADCサンプリング・コンデンサです。標準的な 10MHz の -3dB カットオフ周波数を持つ1次フィルタは、不要なエリアス成分を低減し、入力から入り込むノイズを制限します。

AD7654の入力インピーダンスはきわめて高く、低インピーダンス信号源から直接駆動してもゲインエラーはありません。これにより、図5に示すように、外付けの1次RCフィルタをアンプ出力とADCアナログ入力間に挿入することが可能になり、AD7654アナログ入力回路のノイズ・フィルタをさらに強化できます。ただし、信号源インピーダンスは、AC性能、特に全高調波歪みに影響を与えるため、低く維持しておく必要があります。最大信号源インピーダンスは、許容可能な全高調

波歪み (THD) の大きさに依存します。信号源インピーダンスが高くなるほど、THDは低下します。

ドライバ・アンプの選択

AD7654は簡単に駆動できますが、ドライバ・アンプには少なくとも次の条件が求められます。

- ・ドライバ・アンプは、AD7654アナログ入力回路と共に、16ビット・レベル (0.0015%) でコンデンサ・アレイのフルスケール・ステップに対して整定できなければなりません。アンプのデータシートでは、一般に0.1%または0.01%での整定が規定されています。16ビット・レベルでのセトリング・タイムから大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。超ローノイズと広いゲイン帯域幅を組み合わせた小型オペアンプAD8021なら、最大13までの高いゲインで使用する場合でも、このセトリング・タイム条件を満たします。

AD7654

・AD7654の遷移ノイズ性能とS/N比を維持するためには、ドライバ・アンプによって生じるノイズをできるだけ低く抑える必要があります。ドライバから発生するノイズは、 R_A 、 R_B 、 C_S で構成される、AD7654アナログ入力回路の1次ローパス・フィルタによって除去されます。アンプに起因するS/N比の低下は、次式で表されます。

$$SNR_{LOSS} = 20 \log \left(\frac{56}{\sqrt{56^2 + \frac{\pi}{2} f_{-3dB} (N e_N)^2}} \right)$$

この式において：

f_{-3dB} は、MHzで表したAD7654の-3dB入力帯域幅(10MHz)、または入力フィルタ（使用した場合）のカットオフ周波数。

N はアンプのノイズ係数（バッファ構成の場合は1）。

e_N は、 nV/\sqrt{Hz} で表したオペアンプの等価入力ノイズ電圧。

AD8021のように $2nV/\sqrt{Hz}$ の等価入力ノイズを持つドライバをバッファとして構成した場合、ノイズ・ゲイン=+1で、図5のフィルタを使用すると、S/N比の低下は0.03dBだけで、フィルタなしの場合なら0.09dB低下します。

・ドライバは、AD7654のTHD性能に見合うTHD性能を備えている必要があります。

AD8021はこれらの条件を満たしているため、ほとんどすべてのアプリケーションに適しています。AD8021には、10pFの外付けの補償コンデンサが必要です。コンデンサは、NPOセラミックまたはマイカ・タイプのような優れた直線性を備えているものがよいでしょう。

デュアル・バージョンが必要でゲイン=1を使用する場合には、AD8022を使用することもできます。

高周波（100kHz以上）性能が不要な場合には、AD829も使用することができます。ゲイン=1では、82pFの補償コンデンサが必要です。

低周波アプリケーションで低バイアス電流が必要な場合は、AD8610も使用することができます。

リファレンス入力

AD7654には、外付けの2.5Vリファレンスが必要です。リファレンス入力REFAとREFBです。AD7654のリファレンス入力REFには、ダイナミックな入力インピーダンスがあります。そのため、効率的なデカップリングをした低インピーダンス信号源から駆動する必要があります。デカップリングは、どのリファレンスを選択するかで異なりますが、一般に、寄生インダクタンスが最小になるようにREFA、REFB、REFGNDの入力に接続された1 μ Fのセラミック・コンデンサと低ESRのタンタル・コンデンサで構成されます。次の推奨リファレンス電圧を使用する場合は、47 μ Fのタンタル・コンデンサが適しています。

- ・ローノイズ、低温度ドリフトのAD780リファレンス
- ・低価格のAD1582リファレンス

複数のAD7654を使用するアプリケーションでは、内部バッファを使用してリファレンス電圧をバッファの方が効果的です。各ADCは、別々にデカップリングしてください。

リファレンスのリファレンス温度係数は、場合によってフルスケール精度に直接影響を与えるため、十分注意する必要があります。温度係数 ± 15 ppm/ $^{\circ}C$ のリファレンスでは、フルスケール精度が ± 1 LSB/ $^{\circ}C$ 変化します。

電源

AD7654では、アナログ5V電源AVDD、デジタル5Vコア電源DVDD、デジタル入/出力インターフェース電源OVDDの3種類の電源ピンを使用します。OVDD電源は、2.7V~DVDD+0.3Vで動作するロジックとの直接のインターフェースを可能にします。必要な電源の数を減らすため、図5に示すように、デジタル・コア（DVDD）には簡単なRCフィルタを使ってアナログ電源から供給できます。OVDDがDVDDを0.3Vより上回らなければ、AD7654は電源シーケンスに依存することがなく、このため電源電圧によるラッチアップの問題も生じません。さらに、図6に示すように、広い周波数範囲で電源変動に対して安定しています。

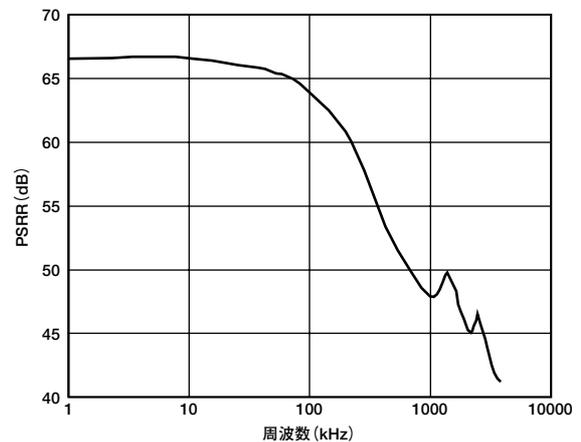


図6. PSRRの周波数特性

消費電力

インパルス・モードでは、AD7654は各変換フェーズの終わりで自動的に消費電力を低減します。アクイジション・フェーズで動作電流が非常に小さくなるため、図7に示すように、変換レートを下げれば消費電力の大幅低減が可能になります。この機能により、AD7654は消費電力のきわめて低いバッテリー・アプリケーションに最適です。

アクイジション・フェーズでも、デジタル・インターフェースはアクティブです。動作デジタル電源電流をさらに低減するため、デジタル入力を電源レール（DVDDとDGND）の近くで駆動して、OVDDがDVDDを0.3Vより上回らないようにします。

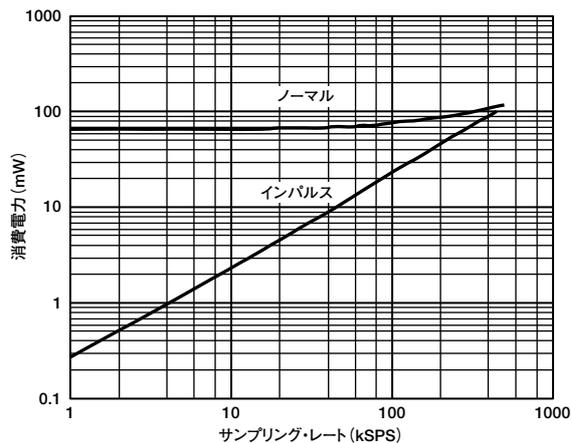


図7. 消費電力とサンプリング・レート

変換制御

図8に、変換処理の詳しいタイミング図を示します。AD7654は $\overline{\text{CNVST}}$ 信号によって制御され、この信号が変換を開始します。一度変換が開始されると、変換が完了するまでは、パワーダウン入力PDによっても再起動もアポートもできません。 $\overline{\text{CNVST}}$ 信号は、 $\overline{\text{CS}}$ 信号や $\overline{\text{RD}}$ 信号とは無関係に動作します。A0信号は、サンプリングする入力信号を選択するMUX選択信号です。ローレベルのときには IN_{x1} が選択され、ハイレベルのときには IN_{x2} が選択されます。ここで、xはAまたはBです。なお、コンバータのアクイジション・フェーズの間は、この信号を変更しないでください。

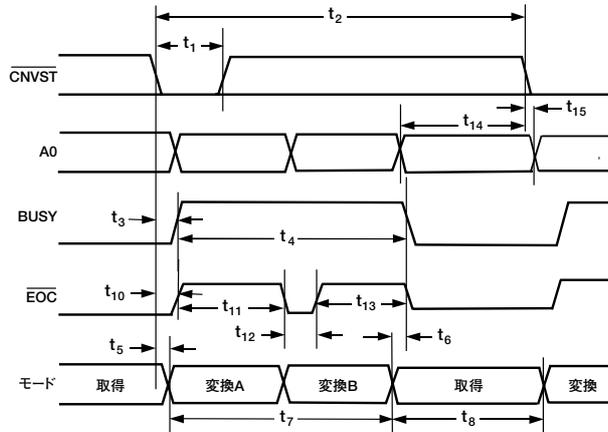


図8. 変換制御

インパルス・モードでは、変換を自動的に開始できます。 $\text{BUSY}=\text{LOW}$ で、 $\overline{\text{CNVST}}$ をローレベルにすると、AD7654はアクイジション・フェーズを制御して、自動的に新しい変換を開始します。 $\overline{\text{CNVST}}$ をローレベルに維持すれば、AD7654は

変換処理を自動的に継続します。 BUSY がローレベルになったとき、アナログ入力は安定していなければなりません。また、パワーアップ時には、 $\overline{\text{CNVST}}$ を一度ローレベルにして変換処理を開始します。このモードでは、インパルス・モードで保証されている規定値444kSPSよりも、少し早くAD7654が動作することがあります。この機能は、ノーマル・モードにはありません。

$\overline{\text{CNVST}}$ はデジタル信号ですが、高速できれいなエッジとレベルにすること、オーバーシュート/アンダーシュートやリングングを最小にすることに注意して設計してください。

S/N比が重要なアプリケーションでは、 $\overline{\text{CNVST}}$ 信号のジッターを特に小さく抑える必要があります。これを実現するには、 $\overline{\text{CNVST}}$ の生成に専用の発振器を使うか、あるいは少なくとも高周波の低ジッター・クロックで駆動します(図5を参照)。

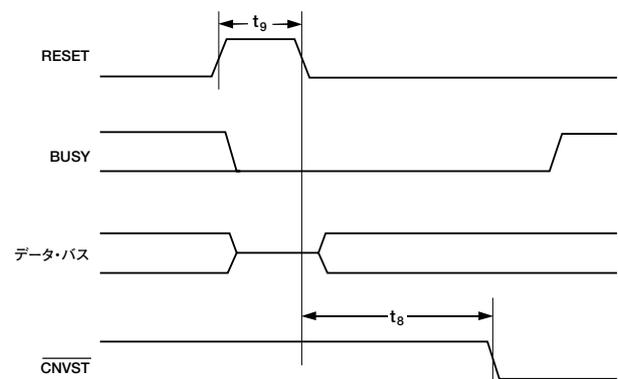


図9. リセットのタイミング

デジタル・インターフェース

AD7654には、多彩なデジタル・インターフェースがあります。シリアル・インターフェースもしくはパラレル・インターフェースを使って、ホスト・システムに接続できます。シリアル・インターフェースは、パラレル・データ・バス上に多重化されています。また、AD7654のデジタル・インターフェースは、AD7654のOVDD電源ピンをホスト・システムのインターフェース・デジタル電源に接続するだけで、3Vまたは5Vのロジックに対応します。

$\overline{\text{CS}}$ と $\overline{\text{RD}}$ の2本の信号がインターフェースを制御します。これらの信号のどちらか1つでもハイレベルのときは、インターフェース出力が高インピーダンスになります。一般に、 $\overline{\text{CS}}$ により複数のAD7654を使用するアプリケーションで各AD7654を選択し、AD7654を1個使用するデザインでは $\overline{\text{CS}}$ をローレベルに固定します。 $\overline{\text{RD}}$ は、一般にデータ・バス上で変換結果をイネーブルにするときに使います。パラレル・モードでは、信号A/ $\overline{\text{B}}$ によってチャンネルAまたはチャンネルBの出力の読み出しを選択します。シリアル・モードでは、信号A/ $\overline{\text{B}}$ で、最初に出力されるチャンネルを制御します。

AD7654

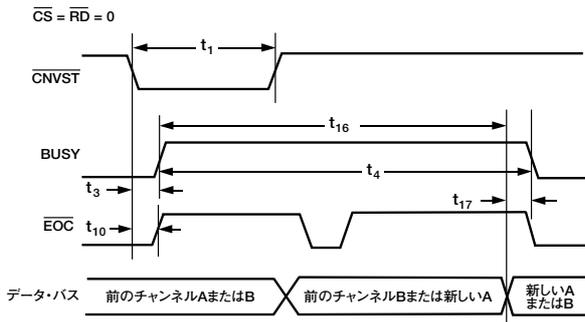


図10. 読み出し時のマスター・パラレル・データ・タイミング (連続読み出し)

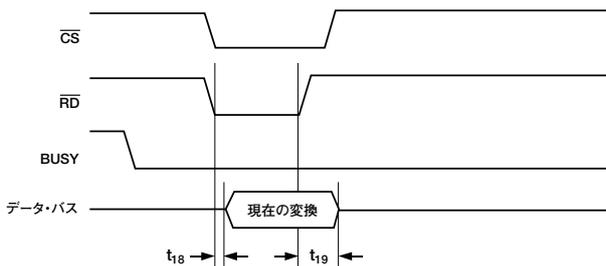


図11. 読み出し時のスレーブ・パラレル・データ・タイミング (変換後の読み出し)

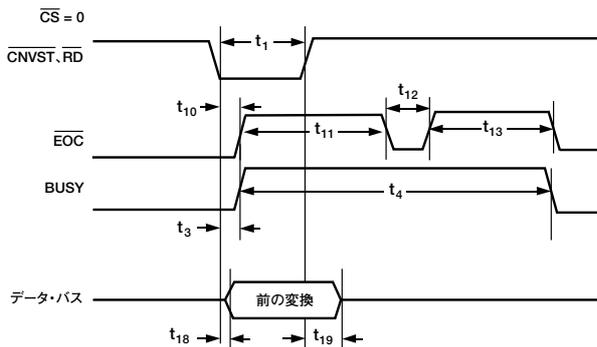


図12. 読み出し時のスレーブ・パラレル・データ・タイミング (変換中の読み出し)

パラレル・インターフェース

$\overline{SER}/\overline{PAR}$ をローレベルにすると、AD7654はパラレル・インターフェースを使用する設定になります (図10を参照)。図11と図12に示すように、各変換の後 (すなわち次のアキュイジション・フェーズの間または他のチャンネルの変換中)、または次の変換中にデータの読み出しができます。ただし、変換中にデータを読み出すときは、変換フェーズの前半に行くことを推奨します。これにより、デジタル・インターフェース上での電圧変化によって生じる可能性のあるフィードスルーが最もクリティカルなアナログ変換回路に混入するのを防止できます。

BYTESWAPピンを使うと、外部部品なしで8ビット・バスに対応可能です。図13に示すように、BYTESWAPがローレベルのとき、LSBバイトがD[7:0]に、MSBがD[15:8]に出力されます。BYTESWAPがハイレベルのとき、LSBバイトとMSBバイトは交換されて、LSBがD[15:8]に、MSBがD[7:0]に出力されます。BYTESWAPをアドレス・ラインに接続すると、16ビット・データをD[15:8]またはD[7:0]から2バイトで読み出すことができます。

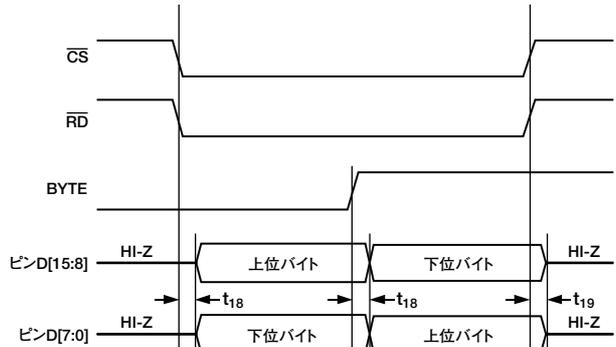


図13. 8ビットのパラレル・インターフェース

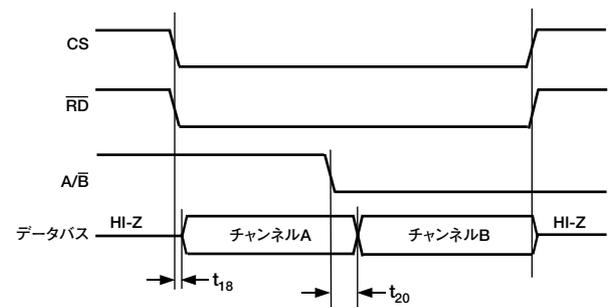


図14. A/ \overline{B} チャンネルの読み出し

A/\overline{B} の機能の詳細を図15で説明します。ハイレベルのとき、チャンネルAからのデータがデータ・バス上で使用可能になります。ローレベルのとき、データ・バスはチャンネルBから出力を送ります。なお、チャンネルAは変換が完了した後すぐに読み出しできますが (\overline{EOC})、チャンネルBはまだ変換フェーズにあります。

シリアル・インターフェース

$\overline{SER}/\overline{PAR} = \text{HIGH}$ のとき、AD7654はシリアル・インターフェースを使用する設定になります。AD7654は、MSB先頭で32ビットのデータをSDOUTピンに出力します。出力されるチャンネルの順序は、 A/\overline{B} によって制御されます。ハイレベルのときはチャンネルAが最初に出され、ローレベルではチャンネルBが最初に出されます。パラレル・モードの場合とは異なり、チャンネルAのデータは、チャンネルBが変換された後に更新されます。このデータは、SCLKピン上の32個のクロック・パルスに同期化されています。

マスター・シリアル・インターフェース

内部クロック

EXT/INTピンをローレベルにすると、AD7654は、シリアル・データ・クロックSCLKを内部で生成し外部に供給する設定になります。AD7654は、SYNC信号も発して、シリアル・データが有効になるタイミングをホストに知らせます。シリアル・クロックSCLKとSYNC信号は、必要に応じて反転できます。出力データは、データ・クロックの立ち上がりエッジと立ち下がりエッジの両方で有効です。RDC/SDIN入力に応じて、各変換の後または次の変換中にデータを読み出すことができます。

図15と図16に、この2つのモードの詳しいタイミング図を示します。

一般に、AD7654は高速スループットで使用されるため、変換中のマスター読み出しモードが使用可能な場合は、これが最も推奨されるシリアル・モードです。

変換後読み出しモードでは、他のモードと異なり、BUSY信号は変換終了後すぐにローレベルに戻るのではなく、32ビットのデータを読み出してからローレベルに戻るため、BUSYの幅が長くなります。このモードの1つの利点は、DIVSCLKを使用してシリアル・クロックを低速にできるため、低速のデジタル・ホストに対応できることです。

変換中の読み出しモードでは、シリアル・クロックとデータが適切なタイミングでトグルするので、デジタル動作とクリティカルな変換判定との間のフィードスルーを最小限に抑えられま

す。各チャンネルのLSBが出力された後、SYNC信号はローレベルになります。

スレーブ・シリアル・インターフェース

外部クロック

EXT/INTピンがハイレベルに保持されると、AD7654は外部シリアル・データ・クロックをSCLKピンで入力する設定になります。このモードでは、いくつかの方法を使ってデータを読み出せます。外部シリアル・クロックは \overline{CS} によりゲーティングされ、データは \overline{CS} と \overline{RD} が共にローレベルのときに出力されます。したがって、 \overline{CS} に応じて、各変換の後または次の変換中にデータの読み出しができます。外部クロックは、連続クロックまたは不連続クロックのいずれかを使用できます。不連続クロックは、非アクティブ時に、ノーマル・ハイレベルまたはノーマル・ローレベルにすることができます。図17と図18に、これらの方法の詳しいタイミング図を示します。

AD7654がビット判定を行っているときに、デジタル入/出力ピンで電圧変化が発生しないようにすることが大切です。さもないと、変換結果が劣化することがあります。これは、各チャンネルの変換フェーズの後半で特に重要です。後半には、変換フェーズの前半で行われたビット判定の誤りを補正できる誤差補正回路があるためです。このため、外部クロックを入力する場合には、BUSYがローレベルのときだけトグルする不連続クロックを使用すること、さらにもっと重要な要件としてEOCがハイレベルになる後半では変化が生じないようにすることを推奨します。

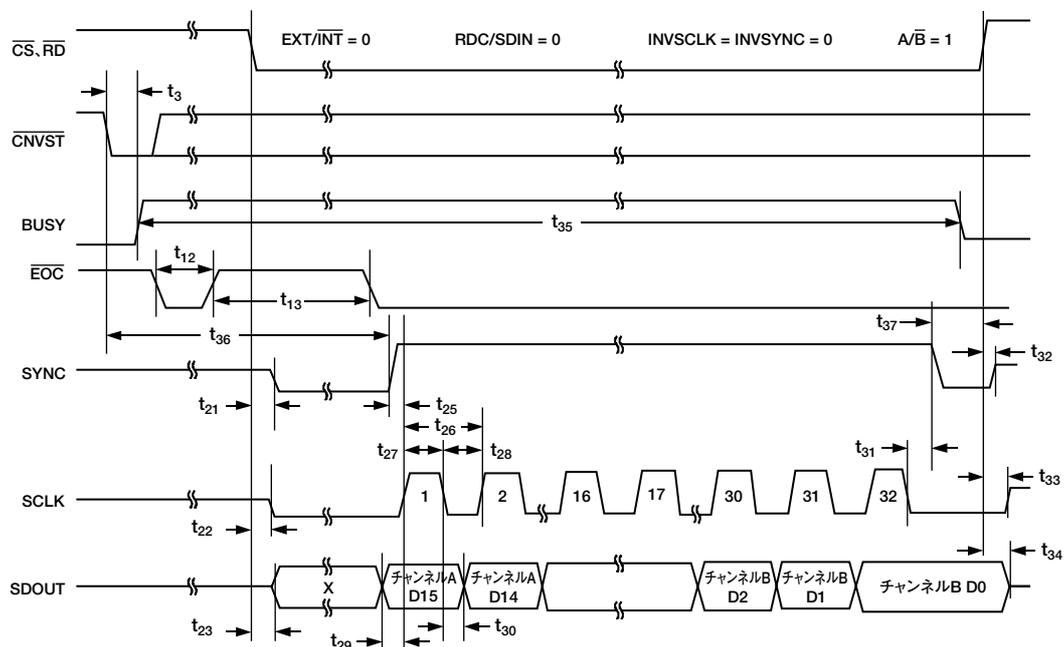


図15. 読み出しのマスター・シリアル・データ・タイミング (変換後の読み出し)

AD7654

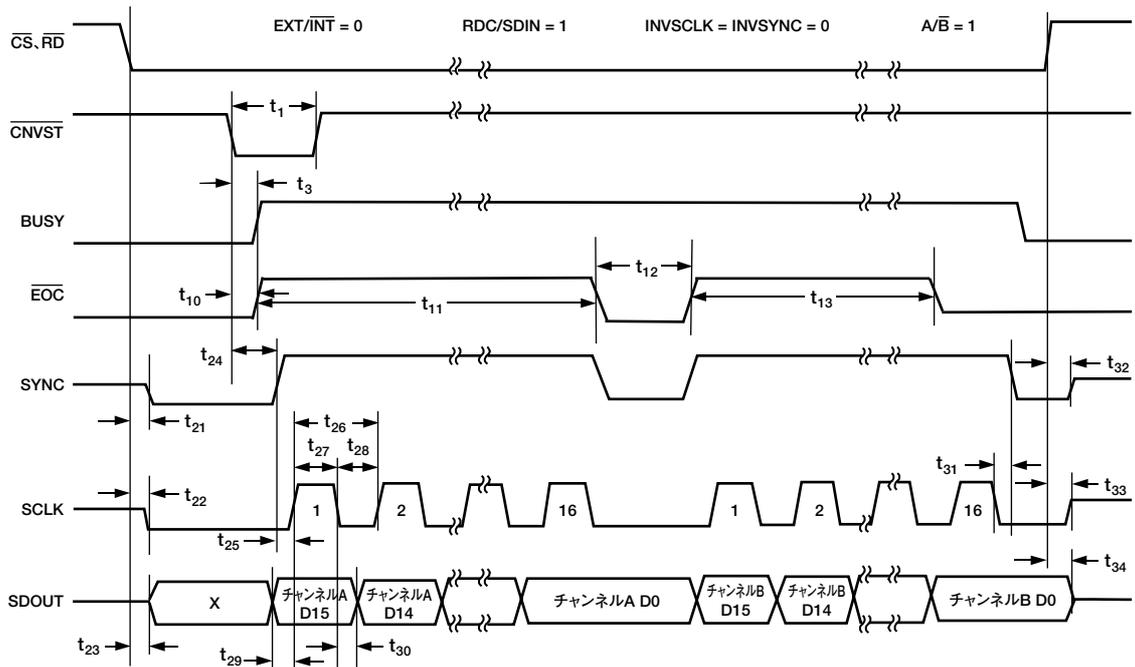


図16. 読み出しのマスター・シリアル・データ・タイミング (変換中における前の変換の読み出し)

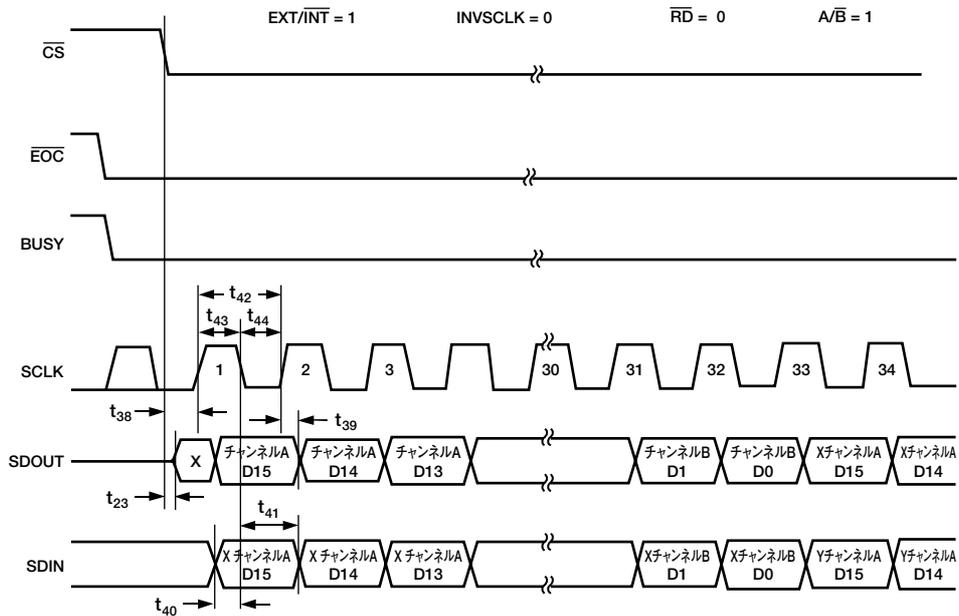


図17. 読み出しのスレーブ・シリアル・データ・タイミング (変換後の読み出し)

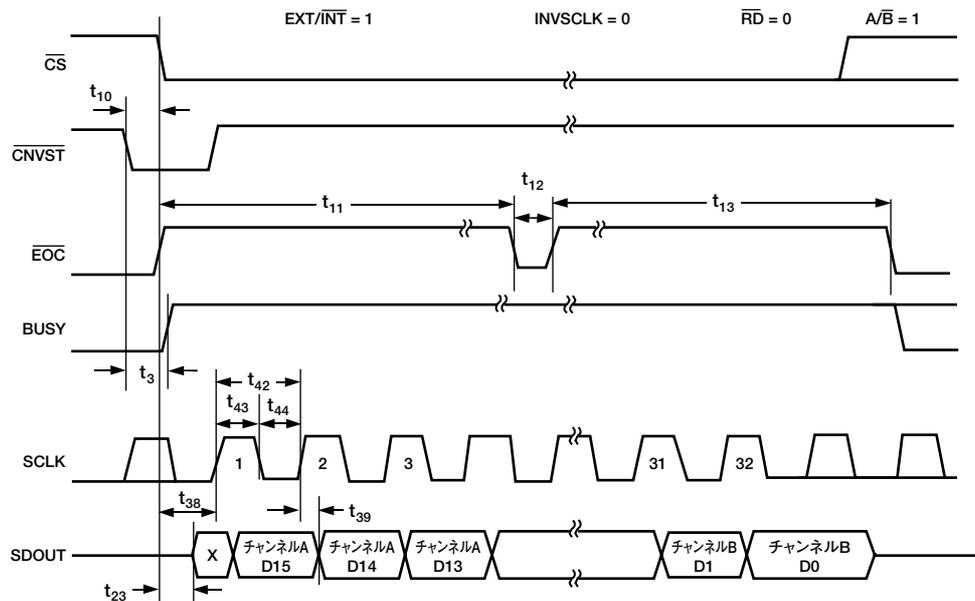


図18. 読み出しのスレーブ・シリアル・データ・タイミング（変換中における前の変換の読み出し）

変換後の外部不連続クロックによるデータ読み出し

このモードは、シリアル・スレーブ・モードで最も推奨するモードです。図18に、この方法の詳しいタイミング図を示します。BUSYがローレベルに戻って変換の完了が示された後、CSとRDが共にローレベルのときに、この変換結果を読み出すことができます。2つのチャンネルからのデータは、MSB先頭で、32個のクロック・パルスでシフト出力され、クロックの立ち上がり／立ち下がりエッジの両方で有効です。

この方法の利点の1つは、変換処理中にデジタル・インターフェース上で電圧変化が発生しないため、変換性能が低下しないことです。

もう1つの利点は、最大40MHzまでの任意の速度でデータの読み出しができることです。これによって、低速デジタル・ホスト・インターフェースにも最高速のシリアル読み出しにも対応可能になります。

最後に、AD7654は、このモードの場合にだけ、RDC/SDIN入力ピンを使って複数のコンバータをカスケード接続するデジチェーン機能を提供します。この機能を利用すれば、部品や接続配線の数を減らすことが可能です。例えば、複数の絶縁コンバータを使用するアプリケーションではこの接続が効果的です。

2個のデバイスを接続する例を図19に示します。共通のCNVST信号を使用すれば、同時サンプリングが可能です。RDC/SDIN入力は、SDOUT上でデータをシフト出力する際に使うSCLKクロックのエッジとは反対側のエッジでラッチされます。このため、次のSCLKサイクルで、上流側コンバータのMSBが下流側コンバータのLSBの直後に続きます。

外部クロックによる変換中のデータ読み出し

図18に、この方法の詳しいタイミング図を示します。変換中に、CS=LOWかつRD=LOWのとき、前の変換結果を読み出すことができます。データはMSB先頭で、32個のクロック・パルスでシフト出力され、クロックの立ち上がり／立ち下がりエッジの両方で有効です。現在の変換が完了する前に、この32ビットを読み出す必要があります。そうしない場合は、RDERRORにハイレベル・パルスが出力され、これによりホスト・インターフェースに割り込みが発生して、不完全なデータ読み出しを防止します。このモードにはデジチェーン機能はなく、RDC/SDIN入力は常にハイレベルかローレベルに固定しておく必要があります。

デジタル動作に起因する性能の低下を少なくするため、変換フェーズの前半で全ビットを読み出すことができる高速の不連続クロックを使用することを推奨します。また、変換後にデータの読み出しを開始して、新しい変換が開始された後も引き続き最終ビットまで読み出すことも可能です。

AD7654

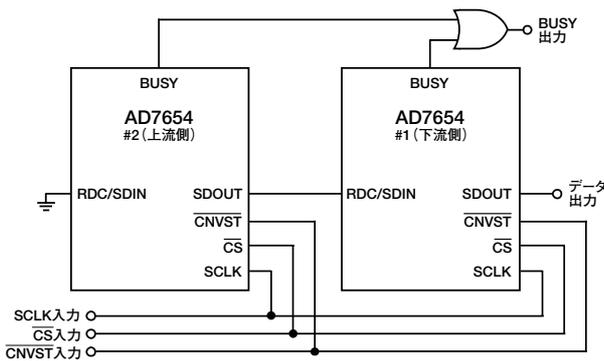


図19. デイジーチェーン接続した2個のAD7654

マイクロプロセッサとのインターフェース

AD7654は、マイクロプロセッサをサポートする従来型のDC計測アプリケーションや、デジタル信号プロセッサに接続するAC信号処理アプリケーション向けに最適です。AD7654は、パラレル8ビットまたは16ビット幅のインターフェース、汎用シリアル・ポート、またはマイクロコントローラのI/Oポートを使って接続するように設計されています。さまざまな外付けバッファを使用することにより、デジタル・ノイズがADCへ混入するのを防止できます。以下では、SPIを有するDSPのADSP-219xと組み合わせて使用方法を説明します。

SPIインターフェース (ADSP-219x)

図19に、SPIを有するDSPのADSP-219xとAD7654とのインターフェース図を示します。DSPの低速に対応するため、AD7654はスレーブ・デバイスとして動作し、変換後にデータを読み出す必要があります。このモードではデイジーチェーン機能も可能です。内部タイマー割り込みに応じて変換コマンドを起動できます。16ビット幅の2つのSPIアクセスによって、32ビットの出力データを読み出します。読み出し処理は、DSPの割り込みラインを使用する変換終了信号 (BUSYがローレベルに変化) に応じて開始できます。ADSP-219xのシリアル・ペリフェラル・インターフェース (SPI) は、SPIコントロール・レジスタ (SPICLTx) への書き込みにより、マスター・モード (MSTR) = 1、クロック極性ビット (CPOL) = 0、クロック位相ビット (CPHA) = 1に設定されます。

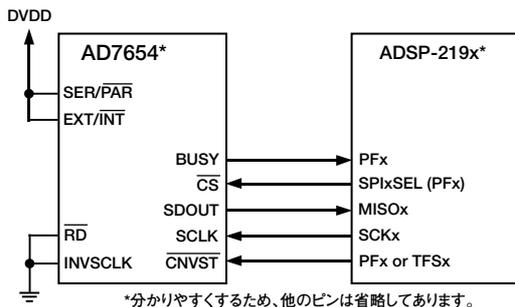


図20. AD7654とSPI間のインターフェース

アプリケーション情報

レイアウト

図5に示すように、AD7654には電源ノイズの影響をあまり受けないという特長がありますが、グラウンド・レイアウトについては注意が必要です。

AD7654を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内にそれぞれをまとめて配置するよ

うに設計してください。こうすれば、グラウンド・プレーンを使用して簡単に分離できるようになります。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは、1点で接続する必要があります。できればAD7654の真下、あるいは少なくともAD7654にできるだけ近い場所で接続してください。複数のデバイスがAGNDとDGNDの接続を必要とするシステム内でデバイスを使用する場合でも、接続は1か所で行います。AD7654のできるだけ近くに星型のグラウンド・ポイントを構成してください。

チップにノイズが混入するのを防ぐため、デバイスの真下にデジタル・ラインを設置しないことを推奨します。ノイズ混入を防止するため、アナログ・グラウンド・プレーンはAD7654の下を通るようにします。CNVSTやクロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分へのノイズの放射を防ぎ、アナログ信号パスの近くを通らないようにしてください。デジタル信号とアナログ信号の交差を防止する必要があります。ボードの近くにある反対側の層のパターンは、互いに直角となるように配置します。これにより、ボードを貫通するノイズ混入の影響を減らせます。AD7654への電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。AD7654に対する電源インピーダンスを下げるため、また電源スパイクの振幅を小さくするために、十分なデカップリングも大切です。デカップリング用セラミック・コンデンサ100nF (標準値) を、各電源ピンAVDD、DVDD、OVDDの近くに、理想的にはこれらのピンおよび対応するグラウンド・ピンに直接接続します。さらに、低ESRの10μFコンデンサをADCの近くに配置して、低周波リップルを抑えるようにしてください。

AD7654のDVDD電源は、別々の電源、またはアナログ電源AVDDもしくはデジタル・インターフェース電源OVDDから供給できます。システム・デジタル電源のノイズが多い場合、または高速のスイッチング・デジタル信号が存在する場合に、別々の電源を使用できなければ、DVDDデジタル電源を図5に示すRCフィルターを介してアナログ電源AVDDに接続し、システム電源をインターフェース・デジタル電源OVDDとその他のデジタル回路に接続することを推奨します。DVDDにシステム電源を接続する場合、高周波スパイクをさらに抑えるためにはビーズを挿入するとよいでしょう。

AD7654にはREFGND、AGND、DGND、OGNDの4種類のグラウンド・ピンがあります。リファレンス電圧を設定するREFGNDにはパルス電流が流れるため、リファレンスまでのリターンを低インピーダンスにしてください。AGNDはグラウンドであり、大部分の内部ADCアナログ信号がこれを基準に使用します。このグラウンドは、最小の抵抗でアナログ・グラウンド・プレーンに接続してください。DGNDは、構成に応じて、アナログ・グラウンド・プレーンまたはデジタル・グラウンド・プレーンに接続する必要があります。OGNDはデジタル・システム・グラウンドに接続します。

リファレンス電圧のデカップリングのレイアウトは重要です。デカップリング・コンデンサはADCの近くに配置し、短く太いパターンで接続して寄生インダクタンスを最小限に抑えるようにしてください。

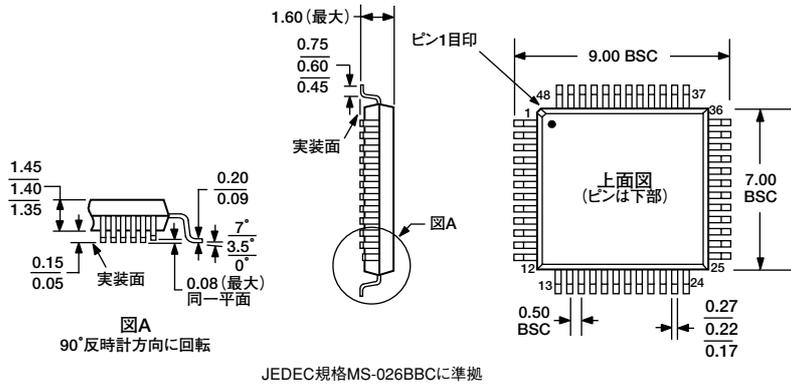
AD7654の性能評価

AD7654の推奨レイアウトの概要は、AD7654の評価ボードのマニュアルに示してあります。評価ボードのパッケージには、組み立ておよびテスト済みの評価ボード、マニュアル、Eval-Control BRD2を介してPCからボードを制御するソフトウェアが同梱されています。

外形寸法

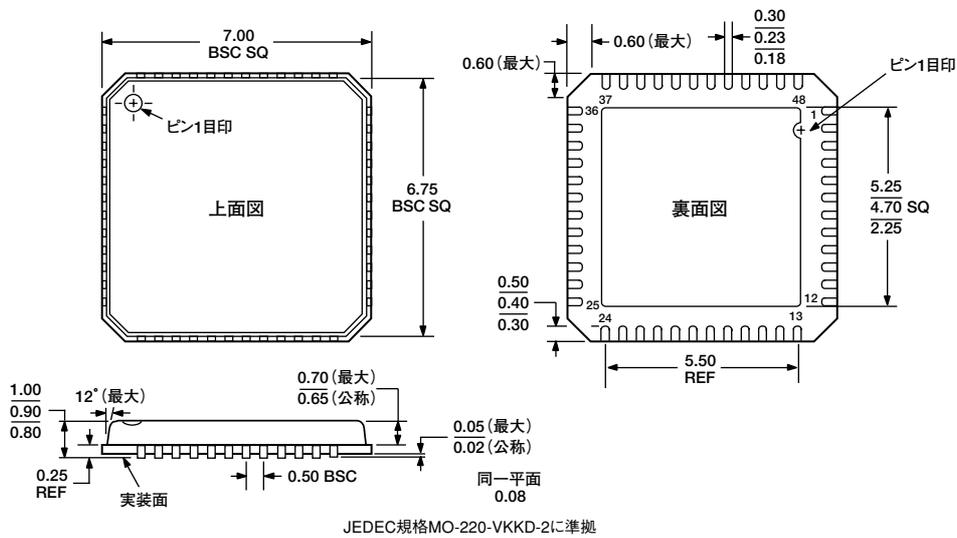
48ピン・プラスチック・クワッド・フラット [LQFP]
厚さ1.4mm
(ST-48)

寸法はミリメートルで表示



48ピン・フレーム・チップ・スケール・パッケージ [LFCSP]
(CP-48)

寸法はミリメートルで表示



AD7654

