

特長

スループット：1.25MSPS

INL：±1.5LSB (typ)、±3LSB (max) (フルスケールの
±11ppm)

ノー・ミスコードの18ビット分解能

ダイナミック・レンジ：95dB (typ)

SIND：93.5dB (typ) @20kHz ($V_{REF}=2.5V$)

THD：-113dB (typ) @20kHz ($V_{REF}=2.5V$)

内部リファレンス：2.048V、ドリフト8ppm/°C (typ)、TEMP

出力

差動入力範囲：± V_{REF} (V_{REF} は最高2.5Vまで)

パイプライン遅延なし (SARアーキテクチャ)

パラレル (18、16、または8ビット・バス) とシリアル
5V/3.3V/2.5Vインターフェース

SPI®/QSPI™/MICROWIRE™/DSP互換

2.5V単電源動作

消費電力

65mW (typ) @1.25MSPS (内部REFを使用)

パワーダウン・モード時2μW

鉛フリーの48ピンLQFPおよび48ピンLFCSP_VQ

AD7641、その他のPulSAR ADCとピン互換

アプリケーション

医療機器

高速データ・アクイジション/高ダイナミックのデータ・ア
クイジション

デジタル・シグナル・プロセッシング

スペクトル解析

計測機器

通信

ATE

概要

AD7643は、18ビット、1.25MSPS、電荷再配分式SAR型、完全差動入力のア/Dコンバータ (ADC) で、2.5V単電源で動作します。高速18ビット・サンプリングADC、内部変換クロック、内部リファレンス (およびバッファ)、誤差補正回路、シリアルとパラレルのシステム・インターフェース・ポートを内蔵しています。レイテンシのないADCであるため、非同期レート・アプリケーションに使用できます。AD7643は、工場出荷時にハードウェア校正が行われており、S/N比 (SNR) などのACパラメータや、ゲイン、オフセット、直線性といった従来のDCパラメータについてもテストで保証されています。AD7643は、鉛フリーのパッケージでのみ提供しています。動作は、-40~+85°Cで仕様規定されています。

機能ブロック図

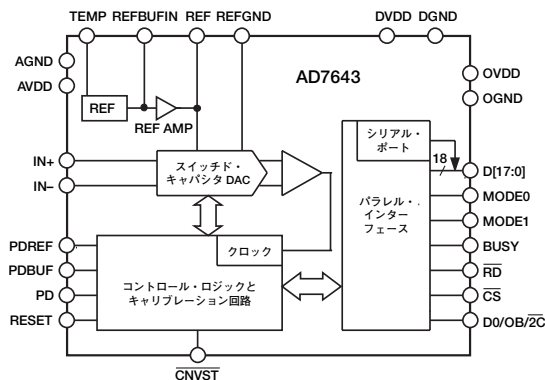


図1

表1. PulSAR 48ピン セレクション

タイプ/ kSPS	100~ 250	500~ 570	650~ 1000	>1000
疑似差動	AD7651、 AD7660、 AD7661	AD7650、 AD7652、 AD7664、 AD7666	AD7653、 AD7667	
真の バイポーラ	AD7610、 AD7663	AD7665	AD7612、 AD7671	
真の差動	AD7675	AD7676	AD7677	AD7621、 AD7622、 AD7623
18ビット マルチ チャンネル/ 同時	AD7631、 AD7678	AD7679 AD7654	AD7634、 AD7674 AD7655	AD7641、 AD7643

製品のハイライト

- 高速スループット**
1.25MSPS、電荷再配分式の18ビット逐次比較型 (SAR) ADCです。
- 優れた直線性**
AD7643は、18ビットのノー・ミスコードを保証しています。
- 内部リファレンス**
AD7643は、±7ppm/°C (typ) のドリフトの2.048V内部リファレンスとオンチップのTEMPセンサを備えています。
- 単電源動作**
AD7643は、2.5Vの単電源で動作します。
- シリアル/パラレル・インターフェース**
2.5V、3.3V、または5Vロジックと互換性を持つ、多機能のパラレル・インターフェース (18、16または8ビット・バス) または2線式シリアル・インターフェースを内蔵。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06 (6350) 6868

目次

特長	1	マルチプレクサ入力	17
アプリケーション	1	ドライバ・アンプの選択	18
概要	1	電圧リファレンス入力	18
機能ブロック図	1	電源	20
製品のハイライト	1	変換制御	20
改訂履歴	2	インターフェース	21
仕様	3	デジタル・インターフェース	21
タイミング仕様	5	パラレル・インターフェース	21
絶対最大定格	7	シリアル・インターフェース	22
ESDに関する注意	7	マスター・シリアル・インターフェース	22
ピン配置とピン機能の説明	8	スレーブ・シリアル・インターフェース	24
用語の説明	11	マイクロプロセッサとのインターフェース	26
代表的な性能特性	12	アプリケーション設計上の注意	27
アプリケーション情報	15	レイアウト	27
回路の説明	15	AD7643の性能評価	27
コンバータの動作	15	外形寸法	28
伝達関数	16	オーダー・ガイド	28
代表的な接続図	17		
アナログ入力	17		

改訂履歴

4/06—Revision 0: Initial Version

仕様

AVDD=DVDD=2.5V、OVDD=2.3~3.6V、 $V_{REF}=2.5V$ 。特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ で全仕様を規定。

表2

パラメータ	条件	Min	Typ	Max	単位
分解能		18			ビット
アナログ入力					
電圧範囲	$V_{IN+} - V_{IN-}$	$-V_{REF}$		$+V_{REF}$	V
動作入力電圧	AGNDを基準とした V_{IN+} 、 V_{IN-}	-0.1		AVDD ¹	V
アナログ入力CMRR	$f_{IN}=100kHz$		58		dB
入力電流	1.25MSPSスループット		2.5		μA
入力インピーダンス ²					
スループット速度					
変換速度				800	ns
スループット・レート				1.25	MSPS
DC精度					
積分直線性誤差 ³		-3	±1.5	+3	LSB ⁴
ノー・ミスコード		18			ビット
微分直線性誤差		-1		+1.25	LSB
遷移ノイズ	$V_{REF}=2.5V$ $V_{REF}=2.048V$		1.7 2.0		LSB LSB
ゼロ誤差、 $T_{MIN} \sim T_{MAX}$ ⁵		-16		+16	LSB
ゼロ誤差温度ドリフト			±1		ppm/°C
ゲイン誤差、 $T_{MIN} \sim T_{MAX}$ ⁵		-22		+22	LSB
ゲイン誤差温度ドリフト			±1		ppm/°C
電源電圧変動感度	AVDD=2.5V±5%		±16		LSB
AC精度					
ダイナミック・レンジ	$V_{REF}=2.5V$		95		dB ⁶
S/N比	$f_{IN}=1kHz$ 、 $V_{REF}=2.5V$ $f_{IN}=20kHz$ 、 $V_{REF}=2.5V$ $f_{IN}=20kHz$ 、 $V_{REF}=2.048V$ $f_{IN}=100kHz$ 、 $V_{REF}=2.5V$		93.5 93.5 92 93		dB dB dB dB
SFDR	$f_{IN}=1kHz$ 、 $V_{REF}=2.5V$ $f_{IN}=20kHz$ 、 $V_{REF}=2.5V$ $f_{IN}=20kHz$ 、 $V_{REF}=2.048V$ $f_{IN}=100kHz$ 、 $V_{REF}=2.5V$		118 114 111 108		dB dB dB dB
全高調波歪み（THD）	$f_{IN}=1kHz$ 、 $V_{REF}=2.5V$ $f_{IN}=20kHz$ 、 $V_{REF}=2.5V$ $f_{IN}=20kHz$ 、 $V_{REF}=2.048V$ $f_{IN}=100kHz$ 、 $V_{REF}=2.5V$		-114 -113 -109 -105		dB dB dB dB
S/N&D比	$f_{IN}=1kHz$ 、 $V_{REF}=2.5V$ $f_{IN}=20kHz$ 、 $V_{REF}=2.5V$ $f_{IN}=20kHz$ 、 $V_{REF}=2.048V$ $f_{IN}=100kHz$ 、 $V_{REF}=2.5V$		93.5 93.5 91.8 92.5		dB dB dB dB
-3dB入力帯域幅			50		MHz
サンプリング・ダイナミック特性					
アパーチャ遅延			1		ns
アパーチャ・ジッタ			5		ps rms
過渡応答	フルスケール・ステップ			250	ns
内部リファレンス	PDREF=PDBUF=ローレベル				
出力電圧	REF@25°C	2.038	2.048	2.058	V
温度ドリフト	-40~+85°C		±8		ppm/°C
ライン・レギュレーション	AVDD=2.5V±5%		±15		ppm/V

AD7643

パラメータ	条件	Min	Typ	Max	単位
ターンオン・セトリング時間	$C_{REF} = 10\mu F$		5		ms
REFBUFIN出力電圧	REFBUFIN@25°C		1.19		V
REFBUFIN出力抵抗			6.33		kΩ
外部リファレンス	PDREF=PDBUF=ハイレベル				
電圧範囲	REF	1.8	2.5	AVDD+0.1	V
電流ドレイン	1.25MSPSスループット		100		μA
リファレンス・バッファ	PDREF=ハイレベル、 PDBUF=ローレベル				
REFBUFIN入力電圧範囲	REF=2.048V (typ)	1.05	1.2	1.30	V
REFBUFIN入力電流	REFBUFIN=1.2V		1		nA
TEMPピン					
電圧出力	@25°C		278		mV
温度感度			1		mV/°C
出力抵抗			4.7		kΩ
デジタル入力					
ロジック・レベル					
V_{IL}		-0.3		+0.6	V
V_{IH}		1.7		5.25	V
I_{IL}		-1		+1	μA
I_{IH}		-1		+1	μA
デジタル出力					
データ・フォーマット ⁷					
パイプライン遅延 ⁸					
V_{OL}	$I_{SINK} = 500\mu A$			0.4	V
V_{OH}	$I_{SOURCE} = -500\mu A$	OVDD-0.3			V
電源					
仕様性能					
AVDD		2.37	2.5	2.63	V
DVDD		2.37	2.5	2.63	V
OVDD		2.30 ⁹		3.6	V
動作電流 ¹⁰	1.25MSPSスループット				
AVDD ¹¹	内部リファレンス使用時		24		mA
DVDD			1.5		mA
OVDD ¹²			0.5		mA
消費電力 ^{10, 11}					
内部リファレンス使用時	1.25MSPSスループット		65	80	mW
外部リファレンス使用時	1.25MSPSスループット		60	75	mW
パワーダウン・モード ¹²	PD=ハイレベル		2		μW
温度範囲 ¹³					
仕様性能	$T_{MIN} \sim T_{MAX}$	-40		+85	°C

¹ 外部リファレンス使用時。内部リファレンス使用時は、入力範囲は-0.1V~ V_{REF} 。

² 「アナログ入力」を参照。

³ 直線性は、ベスト・ストレート・ライン近似ではなくエンドポイントを使用してテストされます。

⁴ LSBは最下位ビットを意味します。入力範囲が±2.048Vの場合は、1LSB=15.63μV。

⁵ 「電圧リファレンス入力」を参照。これらの仕様には外部リファレンスによる誤差分は含まれません。

⁶ dB表示の仕様はすべてフルスケール入力 (FS) を基準とします。特に指定のない限り、フルスケールより0.5dB低い入力信号でテスト。

⁷ パラレルまたはシリアル18ビット。

⁸ 変換結果は、変換完了後直ちに出力されます。

⁹ 「絶対最大定格」を参照。

¹⁰ パラレル読み出しモードでテスト。

¹¹ 内部リファレンス使用時は、PDREFとPDBUFはローレベル。外部リファレンス使用時は、PDREFとPDBUFはハイレベル。

¹² すべてのデジタル入力をOVDDに接続。

¹³ 拡張温度範囲については、代理店および弊社営業部にお問い合わせください。

タイミング仕様

AVDD=DVDD=2.5V、OVDD=2.3~3.6V、 $V_{REF}=2.5V$ 。特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ で全仕様を規定。

表3

パラメータ	記号	Min	Typ	Max	単位
変換とRESET（図30と図31を参照）					
変換パルス幅	t_1	15		70 ¹	ns
変換と変換の間隔	t_2	800			ns
CNVSTのローレベルからBUSYのハイレベルまでの遅延	t_3			23	ns
全モード（変換後のマスター・シリアル読出しを除く）でのBUSYハイレベルまで アパーチャ遅延	t_4			550	ns
変換終了からBUSYのローレベルまでの遅延	t_5		1		ns
変換時間	t_6	10			ns
アキュイジション時間	t_7			550	ns
RESETパルス幅	t_8	250			ns
RESETのローレベルからBUSYのハイレベルまでの遅延 ²	t_9	15			ns
RESETのローレベルからのBUSYのハイレベル時間 ²	t_{38}		10		ns
	t_{39}		500		ns
パラレル・インターフェース・モード（図32~35を参照）					
CNVSTのローレベルからDATA有効までの遅延	t_{10}			550	ns
DATA有効からBUSYのローレベルまでの遅延	t_{11}	2			ns
バス・アクセス要求からDATA有効まで	t_{12}			20	ns
バス開放時間	t_{13}	2		15	ns
マスター・シリアル・インターフェース・モード³（図36と図37を参照）					
CSのローレベルからSYNC有効までの遅延	t_{14}			10	ns
CSのローレベルから内部SCLK有効までの遅延 ³	t_{15}			10	ns
CSのローレベルからSDOUTまでの遅延	t_{16}			10	ns
CNVSTのローレベルからSYNCまでの遅延	t_{17}		135		ns
SYNCのアサートからSCLKの先頭エッジまでの遅延	t_{18}	2			ns
内部SCLK周期 ⁴	t_{19}	8		20	ns
内部SCLKのハイレベル時間 ⁴	t_{20}	2			ns
内部SCLKのローレベル時間 ⁴	t_{21}	2			ns
SDOUT有効のセットアップ時間 ⁴	t_{22}	1			ns
SDOUT有効のホールド時間 ⁴	t_{23}	0			ns
SCLKの最終エッジからSYNCまでの遅延 ⁴	t_{24}	0			ns
CSのハイレベルからSYNCのHi-Zまで	t_{25}			10	ns
CSのハイレベルから内部SCLKのHi-Zまで	t_{26}			10	ns
CSのハイレベルからSDOUTのHi-Zまで	t_{27}			10	ns
変換後のマスター・シリアル読出しでのBUSYのハイレベルまで ⁴	t_{28}		表4を参照		ns
CNVSTのローレベルからSYNCのアサートまでの遅延	t_{29}		508		ns
SYNCのアサート解除からBUSYのローレベルまでの遅延	t_{30}		13		ns
スレーブ・シリアル・インターフェース・モード（図39と図40を参照）					
外部SCLKのセットアップ時間	t_{31}	5			ns
外部SCLKのアクティブ・エッジからSDOUTまでの遅延	t_{32}	1		8	ns
SDINのセットアップ時間	t_{33}	5			ns
SDINのホールド時間	t_{34}	5			ns
外部SCLK周期	t_{35}	12.5			ns
外部SCLKのハイレベル時間	t_{36}	5			ns
外部SCLKのローレベル時間	t_{37}	5			ns

¹ 「変換制御」を参照。

² 「デジタル・インターフェース」と「RESET」を参照。

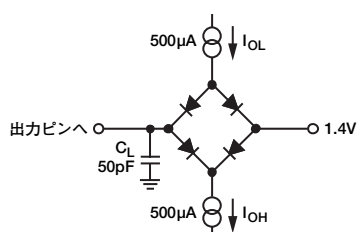
³ シリアル・インターフェース・モードでは、SYNC、SCLK、SDOUTのタイミングは $C_L=10pF$ の最大負荷で規定。その他の場合は最大負荷60pFで規定。

⁴ 変換中に事前の結果をシリアル・マスターから読み出すモード時。変換終了後のシリアル・マスター読出しモードのタイミング仕様については、表4を参照。

AD7643

表4. 変換終了後のマスター読出しモードでのシリアル・クロック・タイミング

DIVSCLK[1] DIVSCLK[0]	記号	0 0	0 1	1 0	1 1	単位
SYNCからSCLK先頭エッジまでの最小遅延	t_{18}	1	3	3	3	ns
内部SCLK最小周期	t_{19}	8	16	32	64	ns
内部SCLK最大周期	t_{19}	20	40	70	135	ns
内部SCLK最小ハイレベル時間	t_{20}	2	8	16	32	ns
内部SCLK最小ローレベル時間	t_{21}	2	8	16	32	ns
SDOUT有効の最小セットアップ時間	t_{22}	1	5	5	5	ns
SDOUT有効の最小ホールド時間	t_{23}	0	0.5	10	30	ns
SCLK最終エッジからSYNCまでの最小遅延	t_{24}	0	0.5	9	26	ns
BUSYの最大ハイレベル時間	t_{28}	0.84	1.14	1.72	2.88	μ s



注
シリアル・インターフェース・モードでは、SYNC、SCLK、SDOUTのタイミングは $C_L=10\text{pF}$ の最大負荷で規定。その他の場合は最大負荷 60pF で規定。

図2. デジタル・インターフェース・タイミングの負荷回路、SDOUT、SYNC、SCLKの各出力、 $C_L=10\text{pF}$

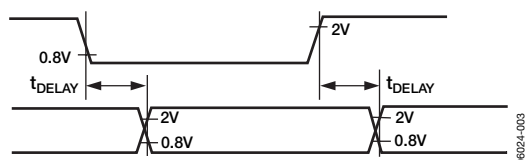


図3. タイミングの電圧リファレンス・レベル

絶対最大定格

表5

パラメータ	定格値
アナログ入出力 AGNDに対するIN ⁺ 、IN ⁻ 、REF、 REFBUF _{IN} 、TEMP、INGND、 REFGND	AVDD+0.3V～ AGND-0.3V
グラウンド間電位差 AGND、DGND、OGND	±0.3V
電源電圧 AVDD、DVDD	-0.3～+2.7V
OVDD	-0.3～+3.8V
AVDD～DVDD	±2.8V
AVDD、DVDD～OVDD	-3.8～+2.8V
デジタル入力	-0.3～+5.5V
PDREF、PDBUF ²	±20mA
内部消費電力 ³	700mW
内部消費電力 ⁴	2.5W
ジャンクション温度	125℃
保存温度範囲	-65～+125℃

¹ 「アナログ入力」を参照。

² 「電圧リファレンス入力」を参照。

³ 自然空冷、48ピンLQFP、 $\theta_{JA}=91^{\circ}\text{C}/\text{W}$ 、 $\theta_{JC}=30^{\circ}\text{C}/\text{W}$ でのデバイスに対する仕様。

⁴ 自然空冷、48ピンLFCSP、 $\theta_{JA}=26^{\circ}\text{C}/\text{W}$ でのデバイスに対する仕様。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD7643

ピン配置と機能の説明

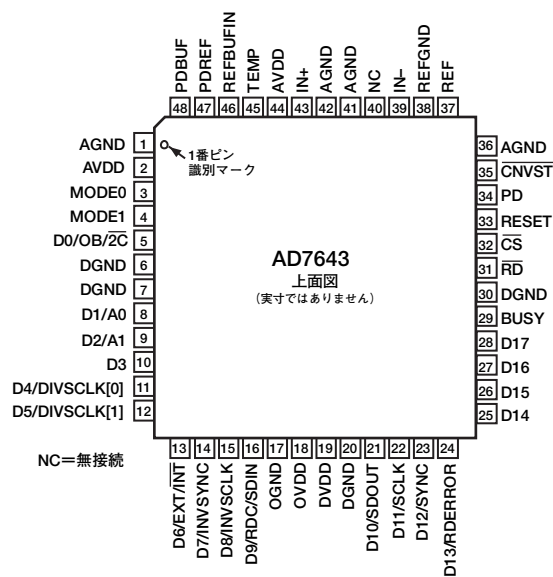


図4. ピン配置

表6. ピン機能の説明

ピン番号	記号	タイプ ¹	説明																				
1、36、41、42	AGND	P	アナログ電源グラウンド・ピン																				
2、44	AVDD	P	入力アナログ電源ピン。通常、2.5V																				
3、4	MODE[0:1]	DI	データ出力インターフェース・モードの選択 インターフェース・モード番号 <table><thead><tr><th>モード番号</th><th>MODE1</th><th>MODE0</th><th>説明</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>0</td><td>18ビット・インターフェース</td></tr><tr><td>1</td><td>0</td><td>1</td><td>16ビット・インターフェース</td></tr><tr><td>2</td><td>1</td><td>0</td><td>8ビット (バイト) インターフェース</td></tr><tr><td>3</td><td>1</td><td>1</td><td>シリアル・インターフェース</td></tr></tbody></table>	モード番号	MODE1	MODE0	説明	0	0	0	18ビット・インターフェース	1	0	1	16ビット・インターフェース	2	1	0	8ビット (バイト) インターフェース	3	1	1	シリアル・インターフェース
モード番号	MODE1	MODE0	説明																				
0	0	0	18ビット・インターフェース																				
1	0	1	16ビット・インターフェース																				
2	1	0	8ビット (バイト) インターフェース																				
3	1	1	シリアル・インターフェース																				
5	D0/OB/ $\overline{2C}$	DI/O	MODE[1:0]=0 (18ビット・インターフェース・モード) の場合、このピンはパラレル・ポート・データ出力バスのビット0であり、データ・コーディングはストレート・バイナリです。他のモードでは、このピンでストレート・バイナリまたは2の補数を選択できます。OB/ $\overline{2C}$ をハイレベルにすると、デジタル出力はストレート・バイナリになりますが、ローレベルにすると、MSBが反転されて内部シフト・レジスタから2の補数で出力されます。																				
6、7	DGND	P	デジタル・グラウンドに接続します。																				
8	D1/A0	DI/O	MODE[1:0]=0の場合、このピンはパラレル・ポート・データ出力バスのビット1です。他のモードでは、このピンでデータの出力形式を制御します (表7を参照)。																				
9	D2/A1	DI/O	MODE[1:0]=0の場合、このピンはパラレル・ポート・データ出力バスのビット2です。MODE[1:0]=1または2の場合、このピンでデータの出力形式を制御します (表7を参照)。																				
10	D3	DO	MODE[1:0]=0、1、または2の場合、この出力はパラレル・ポート・データ出力バスのビット3として使用されます。このピンは、インターフェース・モードに関係なく常に出力です。																				
11、12	D[4:5] またはDIVSCLK[0:1]	DI/O	MODE[1:0]=0、1、または2の場合、これらのピンはパラレル・ポート・データ出力バスのビット4とビット5です。 MODE[1:0]=3 (シリアル・モード) の場合、シリアル・クロック分周の選択。変換終了後のシリアル・マスター読出しモードを使用するとき (EXT/ $\overline{INT}$ =ローレベル、RDC/SDIN=ローレベル)、これらの入力を使用して、データを出力させる内部シリアル・クロックの速度を低下させることができます。他のシリアル・モードでは、これらのピンは高インピーダンス出力となります。																				
13	D6 またはEXT/ $\overline{INT}$	DI/O	MODE[1:0]=0、1、または2の場合、この出力はパラレル・ポート・データ出力バスのビット6として使用されます。 MODE[1:0]=3 (シリアル・モード) の場合、シリアル・クロック・ソースの選択。この入力、内部生成された (マスター) シリアル・データ・クロックと外部 (スレーブ) シリアル・データ・クロックの選択に使用されます。 EXT/ $\overline{INT}$ =ローレベルの場合、マスター・モードです。SCLK出力では内部シリアル・クロックが選択されます。 EXT/ $\overline{INT}$ =ハイレベルの場合、スレーブ・モードです。出力データは、外部クロック信号に同期し、CSによってゲーティングされ、SCLK入力に接続されます。																				

ピン番号	記号	タイプ ¹	説明
14	D7 またはINVS $\overline{\text{SYNC}}$	DI/O	MODE[1:0]=0、1、または2の場合、この出力はパラレル・ポート・データ出力バスのビット7として使用されます。 MODE[1:0]=3（シリアル・モード）の場合、反転 $\overline{\text{SYNC}}$ の選択。シリアル・マスター・モード（EXT/INT=ローレベル）では、この入力 $\overline{\text{SYNC}}$ 信号のアクティブ状態の選択に使用されます。 INVS $\overline{\text{SYNC}}$ =ローレベルの場合、 $\overline{\text{SYNC}}$ はアクティブ・ハイとなります。 INVS $\overline{\text{SYNC}}$ =ハイレベルの場合、 $\overline{\text{SYNC}}$ はアクティブ・ローとなります。
15	D8 またはINVSCLK	DI/O	MODE[1:0]=0、1、または2の場合、この出力はパラレル・ポート・データ出力バスのビット8として使用されます。 MODE[1:0]=3（シリアル・モード）の場合、反転SCLKの選択。すべてのシリアル・モードで、この入力 $\overline{\text{SCLK}}$ 信号の反転に使用されます。
16	D9 またはRDC またはSDIN	DI/O	MODE[1:0]=0、1、または2の場合、この出力はパラレル・ポート・データ出力バスのビット9として使用されます。 MODE[1:0]=3（シリアル・モード）の場合、変換中の読出し。シリアル・マスター・モードを使用するとき（EXT/INT=ローレベル）、RDCは読出しモードの選択に使用されます。 RDC=ハイレベルの場合、変換中に前の変換結果がSDOUT上に出力され、SCLKの周期が変化します（「マスター・シリアル・インターフェース」を参照）。 RDC=ローレベルの場合（変換後の読出し）、変換終了後にのみSDOUTに現在の結果を出力できます。 MODE[1:0]=3（シリアル・モード）の場合、シリアル・データ入力。シリアル・スレーブ・モードを使用するとき（EXT/INT=ハイレベル）、SDINは複数のADCからの変換結果を1本のSDOUTラインにダイジーチェーンするためのデータ入力として使用できます。SDINのデジタル・データ・レベルは、読出しシーケンス開始からSCLKの18周期分の遅延でSDOUT上に出力されます。
17	OGND	P	I/Oインターフェースのデジタル電源グラウンド
18	OVDD	P	I/Oインターフェースのデジタル電源。通常は、ホスト・インターフェース電源（2.5Vまたは3V）と同じ電源
19	DVDD	P	デジタル電源。通常、2.5V
20	DGND	P	デジタル電源グラウンド
21	D10 またはSDOUT	DO	MODE[1:0]=0、1、または2の場合、この出力はパラレル・ポート・データ出力バスのビット10として使用されます。 MODE[1:0]=3（シリアル・モード）の場合、シリアル・データ出力。シリアル・モードでは、このピンは、SCLKに同期したシリアル・データ出力として使用されます。変換結果は内蔵レジスタに格納されます。AD7643は、その内部シフト・レジスタから変換結果をMSBファーストで提供します。データ・フォーマットは、OB/2Cのロジック・レベルによって決定されます。 マスター・モード（EXT/INT=ローレベル）では、SDOUTはSCLKの両方のエッジで有効です。 スレーブ・モード（EXT/INT=ハイレベル）では、 INVSCLK=ローレベルの場合、SDOUTはSCLKの立上がりエッジで更新され、次の立下がりエッジで有効となります。 INVSCLK=ハイレベルの場合、SDOUTはSCLKの立下がりエッジで更新され、次の立上がりエッジで有効となります。
22	D11 またはSCLK	DI/O	MODE[1:0]=0、1、または2の場合、この出力はパラレル・ポート・データ出力バスのビット11として使用されます。 MODE[1:0]=3（シリアル・モード）の場合、シリアル・クロック。すべてのシリアル・モードで、このピンは、EXT/INTピンのロジック状態に依存して、シリアル・データ・クロックの入力または出力として使用されます。データSDOUTが更新されるアクティブ・エッジは、INVSCLKピンのロジック状態に依存します。
23	D12 または $\overline{\text{SYNC}}$	DO	MODE[1:0]=0、1、または2の場合、この出力はパラレル・ポート・データ出力バスのビット12として使用されます。 MODE[1:0]=3（シリアル・モード）の場合、フレーム同期。シリアル・マスター・モード（EXT/INT=ローレベル）では、この出力は、内部データ・クロックで使用するデジタル出力フレーム同期として使用されます。 読出しシーケンスが開始され、INVS $\overline{\text{SYNC}}$ =ローレベルの場合、 $\overline{\text{SYNC}}$ はハイレベルに駆動され、SDOUT出力が有効である間はハイレベルのままです。 読出しシーケンスが開始され、INVS $\overline{\text{SYNC}}$ =ハイレベルの場合、 $\overline{\text{SYNC}}$ はローレベルに駆動され、SDOUT出力が有効である間はローレベルのままです。
24	D13 またはRDERROR	DO	MODE[1:0]=0、1、または2の場合、この出力はパラレル・ポート・データ出力バスのビット13として使用されます。 MODE[1:0]=3（シリアル・モード）の場合、読出しエラー。シリアル・スレーブ・モード（EXT/INT=ハイレベル）では、この出力は読出し未完了エラー・フラグとして使用されます。現在の変換の完了時に、データ読出しが開始されて完了していない場合は、現在のデータは失われ、RDERRORにハイレベル・パルスが出力されます。
25~28	D[14:17]	DO	パラレル・ポート・データ出力バスのビット14~17。これらのピンは、インターフェース・モードに関係なく常に出力です。

AD7643

ピン番号	記号	タイプ ¹	説明
29	BUSY	DO	ビジー出力。変換が開始されるとハイレベルに遷移し、変換が完了してデータが内蔵のシフト・レジスタにラッチされるまで、ハイレベルのままです。BUSYの立下がりエッジは、データ・レディ・クロック信号として使用できます。
30	DGND	P	デジタル電源グラウンド
31	$\overline{\text{RD}}$	DI	データ読出し。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ が両方ともローレベルの場合、インターフェースのパラレルまたはシリアル出力バスがイネーブルになります。
32	$\overline{\text{CS}}$	DI	チップ・セレクト。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ が両方ともローレベルの場合、インターフェースのパラレルまたはシリアル出力バスがイネーブルになります。 $\overline{\text{CS}}$ は、スレーブ・シリアル・モードで外部クロックのゲーティングにも使用されます。
33	RESET	DI	リセット入力。ハイレベルの場合、AD7643をリセットします。現在の実行中の変換があればアボートされます。RESETの立下がりエッジでは、BUSYにハイレベルのパルスを与えて指示されたキャリブレーション・モードがイネーブルになります。「デジタル・インターフェース」を参照。使用しない場合は、このピンはDGNDに接続できます。
34	PD	DI	パワーダウン入力。ハイレベルの場合、ADCをパワーダウンします。消費電力が低下し、現在の変換の完了後は変換が禁止されます。
35	$\overline{\text{CNVST}}$	DI	変換スタート。 $\overline{\text{CNVST}}$ の立下がりエッジで、内部サンプル&ホールド回路がホールド状態になり、変換を開始します。
37	REF	AI/O	リファレンス入出力 PDREF/PDBUF=ローレベルの場合、内部リファレンスとバッファがイネーブルになり、このピン上に2.048Vが出力されます。 PDREF/PDBUF=ハイレベルの場合、内部リファレンスとバッファがディスエーブルになり、AVDDまでの電圧リファレンスを外部から供給できるようになります。内部リファレンスおよびバッファの有無とは無関係にデカップリングが必要です。「電圧リファレンス入力」を参照。
38	REFGND	AI	リファレンス入力アナログ・グラウンド
39	IN ⁻	AI	負側差動アナログ入力
40	NC		接続なし
43	IN ⁺	AI	正側差動アナログ入力
45	TEMP	AO	温度センサー・アナログ出力通常は、温度係数1mV/°Cで278mV@25°Cです。このピンは、AD7643の温度測定に使用できます。「温度センサ」を参照。
46	REFBUFIN	AI/O	内部リファレンス出力／リファレンス・バッファ入力 PDREF/PDBUF=ローレベルの場合、内部リファレンスとバッファがイネーブルになり、このピン上に1.2V (typ) のバンド・ギャップが出力されます（これには外部でのデカップリングが必要です）。内部の固定ゲイン・リファレンス・バッファは、これを使用してREFピン上に2.048Vを出力します。 内部リファレンス・バッファ（PDBUF=ローレベル、PDREF=ハイレベル）付きの外部リファレンスを使用する場合、このピンに1.2Vを印加すると、REFピン上に2.048Vが出力されます。「電圧リファレンス入力」を参照。
47	PDREF	DI	内部リファレンスのパワーダウン入力 ローレベルの場合、内部リファレンスがイネーブルになります。 ハイレベルの場合、内部リファレンスがパワーダウンされるので、外部リファレンスを使用します。
48	PDBUF	DI	内部リファレンス・バッファのパワーダウン入力 ローレベルの場合、バッファがイネーブルになります（内部リファレンス使用時にはローレベル）。 ハイレベルの場合、バッファがパワーダウンされます。

¹ AI=アナログ入力、AI/O=双方向アナログ、AO=アナログ出力、DI=デジタル入力、DI/O=双方向デジタル、DO=デジタル出力、P=電源。

表7. データ・バス・インターフェースの定義

MODE	MODE1	MODE0	D0/OB/ $\overline{2C}$	D1/A0	D2/A1	D[3]	D[4:9]	D[10:11]	D[12:15]	D[16:17]	説明
0	0	0	R[0]	R[1]	R[2]	R[3]	R[4:9]	R[10:11]	R[12:15]	R[16:17]	18ビット・パラレル
1	0	1	OB/ $\overline{2C}$	A0=0	R[2]	R[3]	R[4:9]	R[10:11]	R[12:15]	R[16:17]	16ビットの上位ワード
1	0	1	OB/ $\overline{2C}$	A0=1	R[0]	R[1]	すべてゼロ				16ビットの下位ワード
2	1	0	OB/ $\overline{2C}$	A0=0	A1=0	すべてHi-Z		R[10:11]	R[12:15]	R[16:17]	8ビット上位バイト
2	1	0	OB/ $\overline{2C}$	A0=0	A1=1	すべてHi-Z		R[2:3]	R[4:7]	R[8:9]	8ビット中位バイト
2	1	0	OB/ $\overline{2C}$	A0=1	A1=0	すべてHi-Z		R[0:1]	すべてゼロ		8ビット下位バイト
2	1	0	OB/ $\overline{2C}$	A0=1	A1=1	すべてHi-Z		すべてゼロ		R[0:1]	8ビット下位バイト
3	1	1	OB/ $\overline{2C}$	すべてHi-Z			シリアル・インターフェース				シリアル・インターフェース

用語の説明

積分非直線性誤差 (INL)

直線性誤差とは、負側フルスケールと正側フルスケールを結ぶ直線と実際の各コード出力との差を意味します。負側フルスケールとして使用するポイントは、最初のコード遷移より0.5LSBだけ下に存在します。正側フルスケールは、最後のコード遷移より1.5LSB高いレベルと定義されます。偏差は各コードの中央と真の直線との距離として測定されます。

微分非直線性誤差 (DNL)

理想的なADCでは、各コード遷移は1LSBだけ離れた位置で発生します。微分非直線性とは、この理論値からの最大偏差のことです。通常は、ノー・ミスコードが保証される分解能として規定されることもあります。

ゲイン誤差

最初の遷移 (000...00から000...01) は、公称負側フルスケールより0.5LSB高いアナログ電圧で発生します (±2.048V範囲では-2.0479922V)。最後の遷移 (111...10から111...11) は、公称正側フルスケールより1.5LSB低いアナログ電圧で発生します (±2.048V範囲では2.0479766V)。ゲイン誤差は、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差と、対応する理論値の差との偏差を表します。

ゼロ誤差

理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コードを生成する実際の電圧との差をいいます。

ダイナミック・レンジ

フルスケールのRMS値と、入力を短絡して測定したRMSノイズとの比で、dB値で表します。

S/N比 (SNR)

実際の入力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和から高調波成分とDC成分を除いた値との比で、dB値で表します。

全高調波歪み (THD)

最初の5つの高調波成分のRMS値の総和と、フルスケール入力信号のRMS値との比であり、dB値で表します。

信号/ノイズ&歪み比 (SINAD)

実際の入力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和 (DC以外の高調波成分を含む) との比であり、dB値で表します。

スプリアスフリー・ダイナミック・レンジ (SFDR)

入力信号のRMS振幅値とピーク・スプリアス信号のRMS値との差を意味し、dB値で表します。

有効ビット数 (ENOB)

サイン波を入力したときの分解能の測定値であり、ビット数で表します。SINADとの関係は次式で表します。

$$ENOB = [(SINAD_{dB} - 1.76) / 6.02]$$

アパーチャ遅延

アクイジション性能を表し、 $\overline{CNVST}$ 入力の下上がりエッジから、入力信号が変換用にホールドされるまでの時間として測定されます。

過渡応答

AD7643の入力にフルスケールのステップ関数が与えられてから、AD7643が定格精度を達成するまでに要する時間です。

リファレンス電圧の温度係数

リファレンス電圧の温度係数は、 T_{MIN} 、 T (25℃)、 T_{MAX} の3点で測定されたリファレンス出力電圧 (V_{REF}) の最大値と最小値の差の電圧と、25℃での出力電圧の代表的なシフトから得られ、次のようにppm/℃で表します。

$$TCV_{REF} (ppm/^\circ C) = \frac{V_{REF} (Max) \times V_{REF} (Min)}{V_{REF} (25^\circ C) \times (T_{MAX} - T_{MIN})} \times 10^6$$

ここで、

$$V_{REF} (Max) = T_{MIN}, T (25^\circ C), \text{または} T_{MAX} \text{での最大} V_{REF}$$

$$V_{REF} (Min) = T_{MIN}, T (25^\circ C), \text{または} T_{MAX} \text{での最小} V_{REF}$$

$$V_{REF} (25^\circ C) = 25^\circ C \text{での} V_{REF}$$

$$T_{MAX} = +85^\circ C$$

$$T_{MIN} = -40^\circ C$$

代表的な性能特性

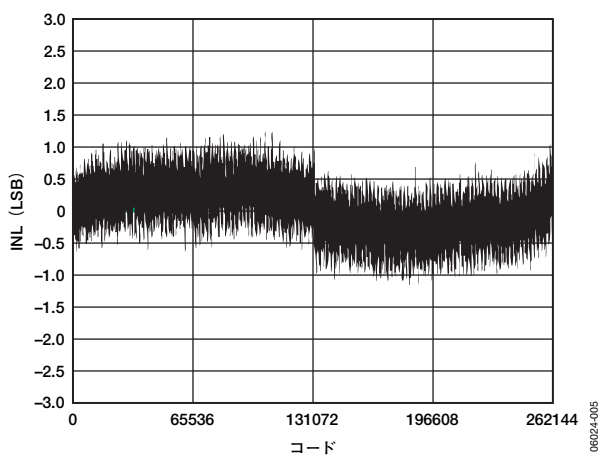


図5. コード対 INL

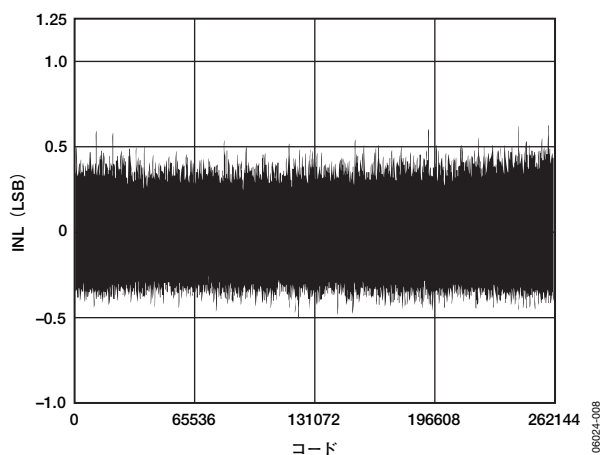


図8. コード対 DNL

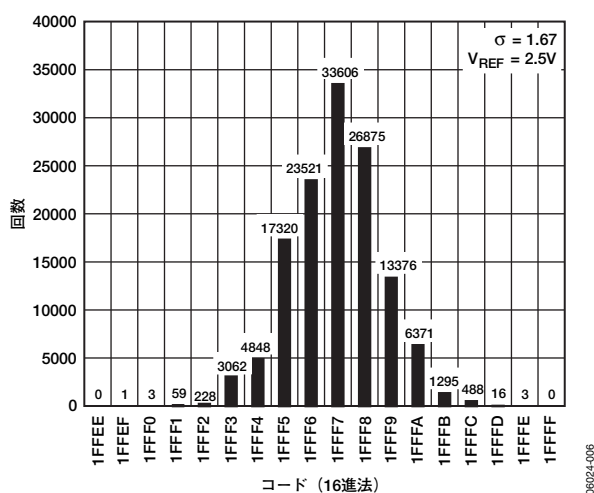


図6. コード中央値のDC入力を131,072回変換した場合のヒストグラム (外部リファレンス)

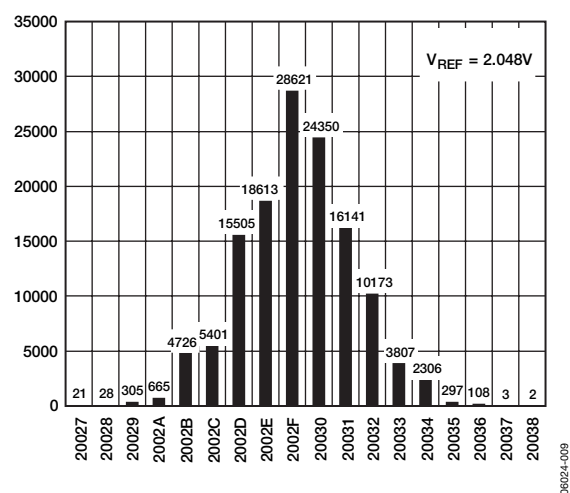


図9. コード中央値のDC入力を131,072回変換した場合のヒストグラム (内部リファレンス)

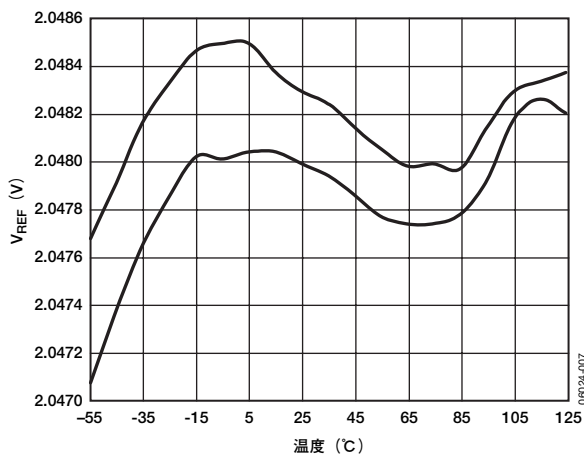


図7. 代表的なリファレンス電圧出力の温度特性 (2個)

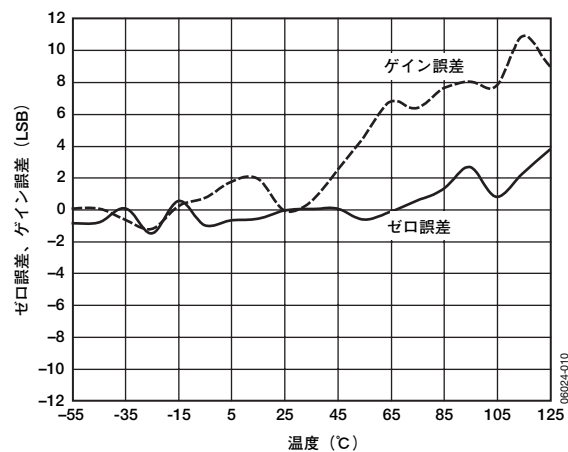


図10. ゼロ誤差とゲイン誤差の温度特性

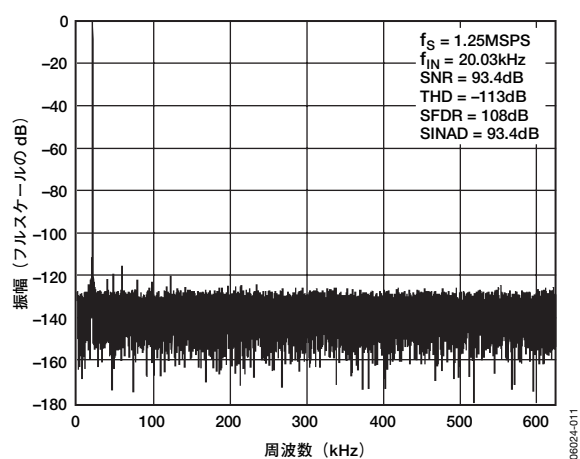


図11. FFT (20kHz)

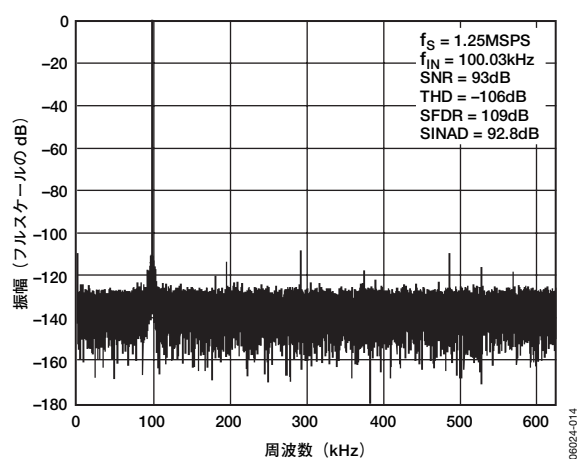


図14. FFT (100kHz)

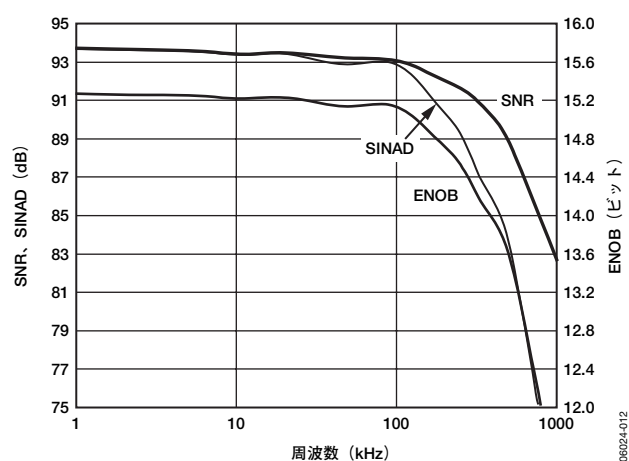


図12. S/N比、SINAD、ENOBの周波数特性

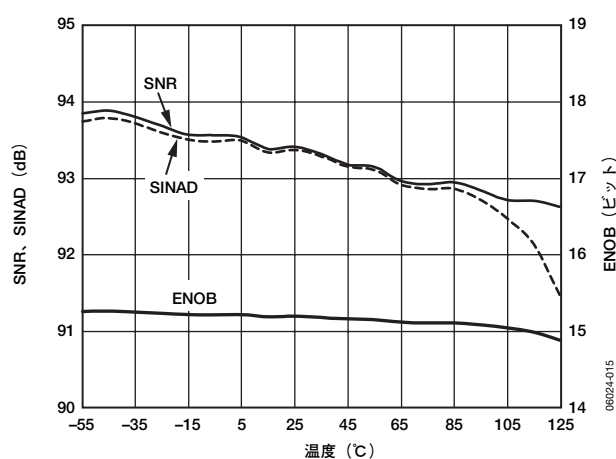


図15. S/N比、SINAD、ENOBの温度特性

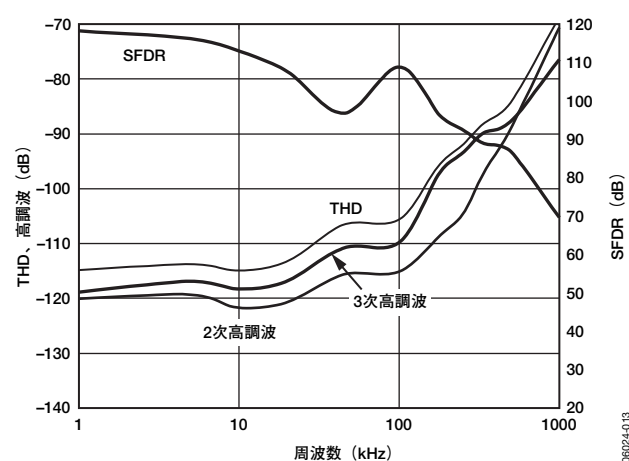


図13. THD、高調波、SFDRの周波数特性

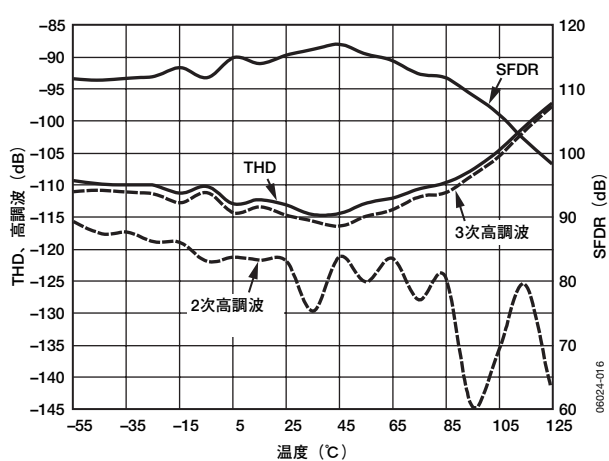


図16. THD、高調波、SFDRの温度特性

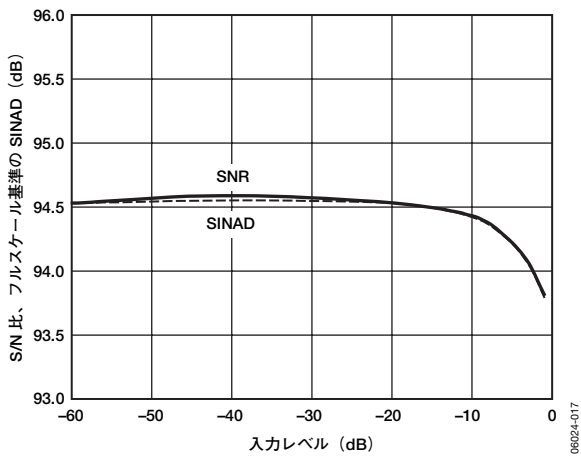


図17. 入力レベル 対 S/N比とSINAD
(フルスケール基準)

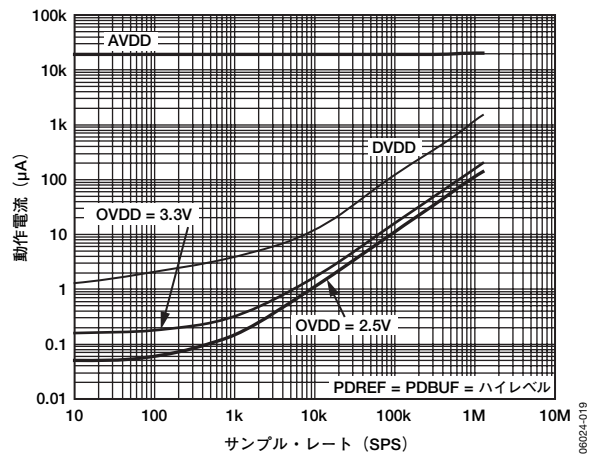


図19. サンプル・レート 対 動作電流

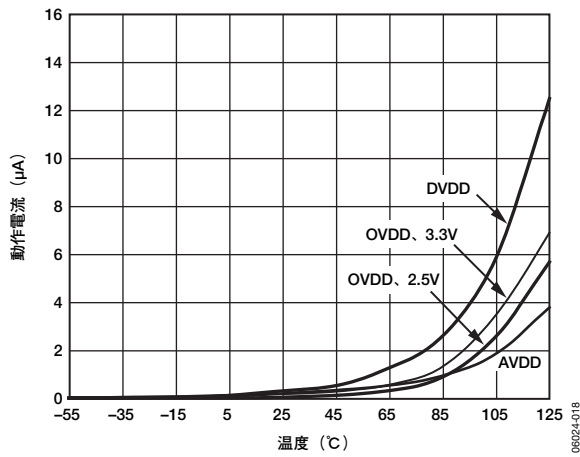


図18. パワーダウン動作電流の温度特性

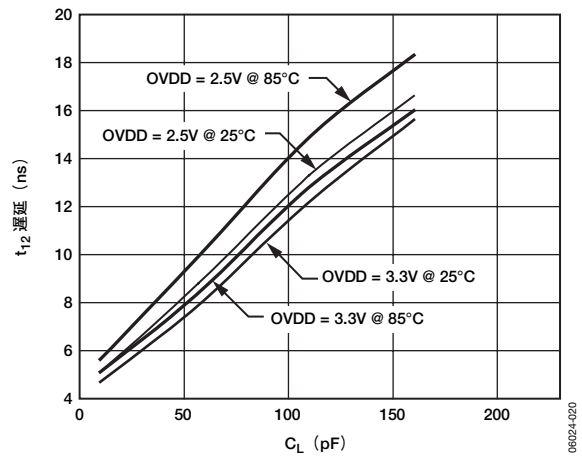


図20. 負荷容量 C_L 対 代表的な遅延

アプリケーション情報

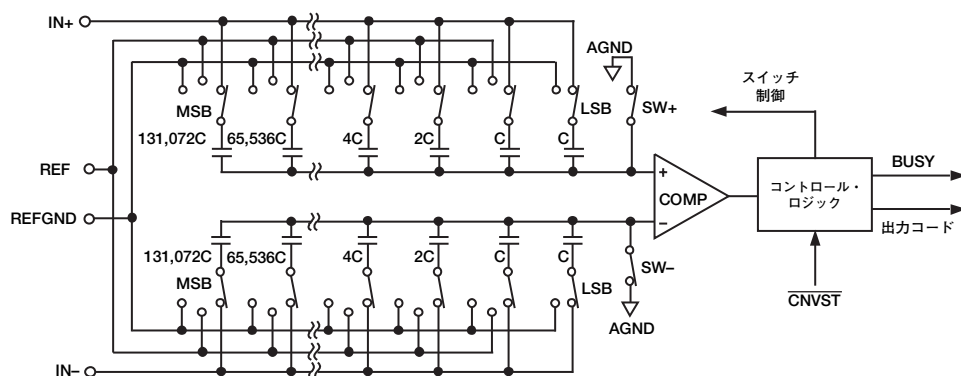


図21. ADCの簡略回路図

回路の説明

AD7643は、逐次比較型アーキテクチャを使用した高速、低消費電力、単電源、高精度の18ビットA/Dコンバータ（ADC）です。AD7643では、毎秒1,250,000サンプル（1.25MSPS）の変換が可能です。

AD7643はトラック＆ホールドを内蔵し、パイプラインやレイテンシ（遅延）のない逐次比較型ADCであるため、マルチプレクスされた複数チャンネルのアプリケーションに最適です。

AD7643は、2.5V単電源で動作し、5V、3.3V、2.5Vのデジタル・ロジックに接続できます。48ピンLQFPまたは小型の48ピンLFCSPパッケージを採用し、省スペースとフレキシビリティが得られるほか、シリアル／パラレルいずれのインターフェースも可能です。AD7643は、AD7674、AD7678、AD7679の高速版でありAD7641とピン互換性があります。

コンバータの動作

AD7643は、電荷再配分式DACをベースにした逐次比較型ADCです。図21は、このADCの簡略回路図です。容量性DACは、2進数の重みを持った16個のコンデンサから成る2列の同じアレイで構成されており、各アレイはコンパレータの2つの入力に接続されています。

アキュイジション・フェーズでは、コンパレータの入力に接続されたアレイのピンが、SW+とSW-を経由してAGNDに接続されます。独立したスイッチはすべて、アナログ入力に接続されています。このようにして、コンデンサ・アレイはサンプリング・コンデンサとして使用され、IN+入力とIN-入力上のアナログ信号を取り込みます。アキュイジション・フェーズが完了し、CNVST入力がローレベルになると、変換フェーズが開始されます。変換フェーズが開始されると、まずSW+とSW-が開きます。2列のコンデンサ・アレイは入力から切り離されて、REFGND入力に接続されます。したがって、アキュイジション・フェーズの終わりに取り込まれた入力IN+とIN-の間の差動電圧がコンパレータ入力に加えられて、コンパレータの平衡性が失われます。コンデンサ・アレイの各エレメントをREFGNDとREFの間でスイッチングすることにより、コンパレータ入力は2進数重みの電圧ステップ（ $V_{REF}/2$ 、 $V_{REF}/4$ 、... $V_{REF}/262144$ ）で変化します。コンパレータを再度平衡状態にするため、コントロール・ロジックではこれらのスイッチをトグルします（MSBファーストで開始）。この処理が終了すると、コントロール・ロジックはADC出力コードを生成し、BUSY出力をローレベルにします。

08024-021

AD7643

伝達関数

AD7643の出力コーディングは、18ビット・インターフェース・モードの場合を除き、OB/2Cデジタル入力を使用して、ストレート・バイナリと2の補数から選択できます。 $V_{REF} = 2.048V$ でのLSBサイズは $2 \times V_{REF} / 262,144$ であり、これは $15.623\mu V$ となります。理論的な伝達特性については、図22と表8を参照してください。

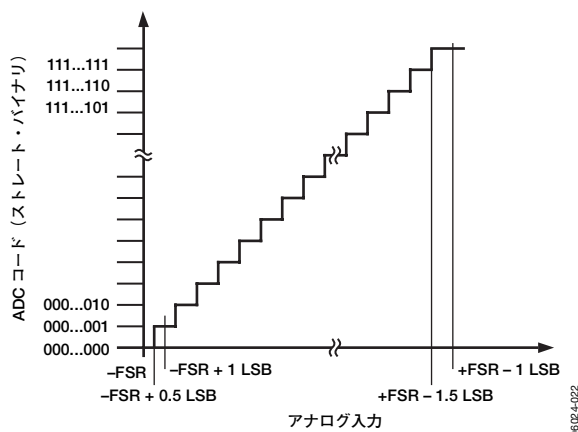


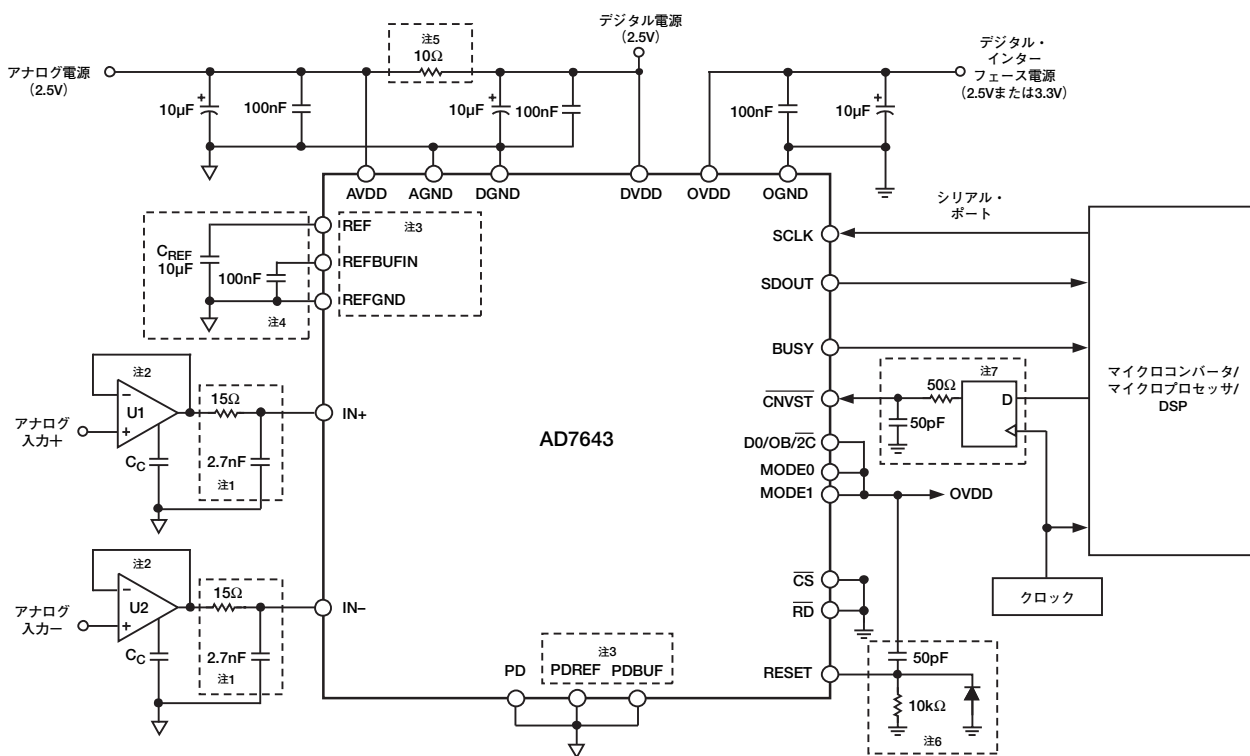
図22. ADCの理論的な伝達関数

表8. 出力コードと入力電圧の理論値

説明	アナログ入力 $V_{REF} = 2.048V$	デジタル出力コード (16進数)	
		ストレート・バイナリ	2の補数
FSR - 1LSB	+2.0479844V	0x3FFFF ¹	0x1FFFF ¹
FSR - 2LSB	+2.0479688V	0x3FFFE	0x1FFFE
ミッドスケール + 1LSB	+15.625 μV	0x20001	0x00001
ミッドスケール	0V	0x20000	0x00000
ミッドスケール - 1LSB	-15.625 μV	0x1FFFF	0x3FFFF
-FSR + 1LSB	-2.0479844V	0x00001	0x20001
-FSR	-2.048V	0x00000 ²	0x20000 ²

¹ これはアナログ入力範囲より上に対するコードでもあります ($V_{IN+} - V_{IN-} > V_{REF} - V_{REFGND}$)。

² これはアナログ入力範囲より下に対するコードでもあります ($V_{IN+} - V_{IN-} < -V_{REF} + V_{REFGND}$)。



1. 「アナログ入力」を参照。
2. AD8021 を推奨。「ドライバ・アンプの選択」を参照。
3. 内部リファレンスを使用した構成を図示しています。「電圧リファレンス入力」を参照。
4. 10 μF のセラミック・コンデンサ (X5R、1206 サイズ) を推奨 (たとえば、パナソニック ECJ3YB0J106M)。「電圧リファレンス入力」を参照。
5. オプション。「電源」を参照。
6. オプション。「パワーアップ」を参照。
7. オプションの低ジッタ CNVST。「変換制御」を参照。

図23. 代表的な接続図

代表的な接続図

図23に、AD7643の代表的な接続図を示します。オプションの回路については、次項「アナログ入力」で説明します。

アナログ入力

図24に、AD7643の入力構造の等価回路を示します。

2個のダイオードD1とD2は、アナログ入力IN+とIN-にESD保護機能を提供します。アナログ入力信号は、絶対に両電源レールを0.3V以上超えないように注意してください。さもなければ、これらのダイオードが順方向にバイアスされて、電流が流れてしまいます。これらのダイオードは、最大100mAの順方向バイアス電流を処理できます。このような状態は、たとえば、入力バッファのU1電源またはU2電源がAVDDと異なるときに発生します。このような場合は、短絡電流制限機能を持つ入力バッファを使ってデバイスを保護できます。

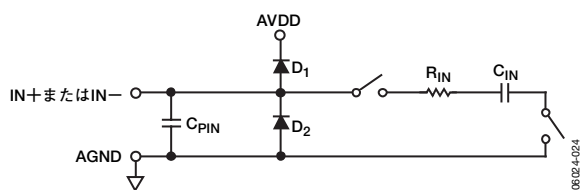


図24. AD7643の簡略化されたアナログ入力

AD7643のアナログ入力は、真の差動構造になっています。この差動入力を使用することにより、両入力の同相小信号を除去できます（図25）。図25に、内部リファレンスと外部リファレンスを用いた場合の、代表的なCMRRの周波数特性を示します。

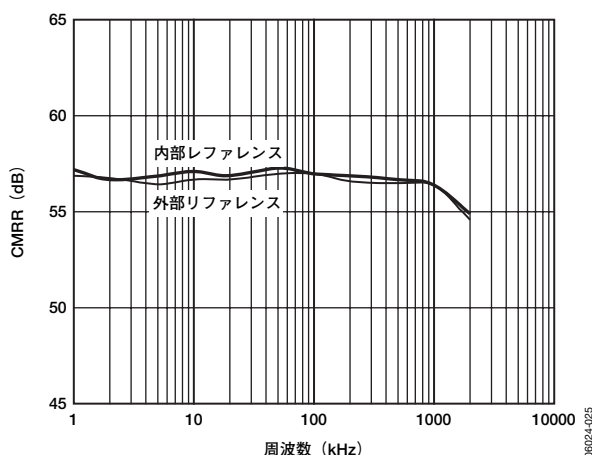


図25. アナログ入力CMRRの周波数特性

AC信号のアクイジション・フェーズでは、アナログ入力（IN+とIN-）のインピーダンスは、 R_{IN} と C_{IN} の直列接続で構成された回路とコンデンサ C_{PIN} との並列組み合わせとしてモデル化できます。 C_{PIN} は主にピン容量です。 R_{IN} は通常175Ωで、直列抵抗とスイッチのオン抵抗から構成されます。 C_{IN} は通常12pFで、主にADCサンプリング・コンデンサです。スイッチが開いている変換フェーズでは、入力インピーダンスは C_{PIN} に制限されます。 R_{IN} と C_{IN} により、50MHzの-3dBカットオフ周波数（typ）を持つ単極のローパス・フィルタが構成されるため、好ましくないエイリアシング（折返し成分）の影響を抑え、入力から入り込むノイズが制限されます。

AD7643の入力インピーダンスはきわめて高いため、低インピーダンス信号源から直接駆動してもゲイン誤差はありません。図23に示すように、アンプ出力とADCアナログ入力との間に外付けの単極RCフィルタを挿入して、AD7643アナログ入力回路によるノイズ・フィルタ処理を強化できます。ただし、ソース・インピーダンスが大きい場合には、AC性能、特に全高調波歪み（THD）に多大な影響を与えます。最大ソース・インピーダンスは、許容可能なTHDの大きさに依存します。図26に示すように、THDはソース・インピーダンスと最大入力周波数の関数となっており、それに応じて劣化します。

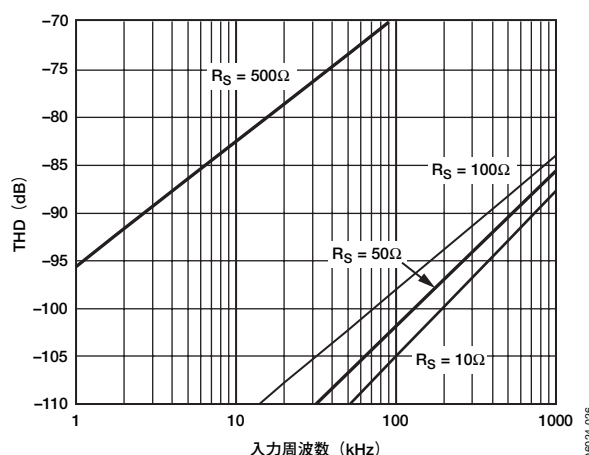


図26. アナログ入力周波数とソース抵抗 対 THD

マルチプレクサ入力

フルスケール・ステップ時に多重化アプリケーションで1.25MSPSのフルスループットを使用する場合、図23に示すRCフィルタでは必要なアクイジション時間（ t_s ）内にセトリングしません。これらの値は、AD7643の最高のSNR性能を最適化するために選択されています。多重化アプリケーションで1.25MSPSのフルスループットを使用する場合は、RCを t_s （約 $8.5 \times RC$ 時定数）に合うように調整する必要があります。ただし、RとCを小さくすると、RCフィルタ帯域幅が増大し、AD7643のノイズが増えてS/N比が低下する可能性があります。図23のRCフィルタを使ってこうしたアプリケーションのSNR性能を維持するには、AD7643を $t_s > 350\text{ns}$ 、またはほぼ $1/(t_s + t_s) = \text{約} 1.12\text{MSPS}$ で実行する必要があります。

AD7643

ドライバ・アンプの選択

AD7643は簡単に駆動できますが、ドライバ・アンプには次の条件が求められます。

- マルチチャンネルの多重化アプリケーションの場合、ドライバ・アンプとAD7643のアナログ入力回路は、コンデンサ・アレイのフルスケール・ステップに対して18ビット・レベル（0.0004%）でセトリングしなければなりません。アンプのデータシートでは、一般に0.1~0.01%でのセトリングが規定されています。これは18ビット・レベルでのセトリング・タイムから大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。超低ノイズで広いゲイン帯域幅を備えた小型オペアンプAD8021なら、最大13の高いゲインで使用した場合も、このセトリング・タイムの条件を満たします。
- AD7643の遷移ノイズ性能とS/N比を維持するには、ドライバ・アンプによって生じるノイズをできるだけ低く抑える必要があります。ドライバから発生するノイズは、 R_{IN} と C_{IN} （または外付けフィルタ）によって構成されるAD7643アナログ入力回路の単極ローパス・フィルタで除去します。アンプに起因するS/N比の低下は、次式で求められます。

$$SNR_{LOSS} = 20 \log \left[\frac{30}{\sqrt{900 + \frac{\pi f_{-3dB}}{2} (Ne_{N+})^2 + \frac{\pi f_{-3dB}}{2} (Ne_{N-})^2}} \right]$$

ここで、

f_{-3dB} は、AD7643の入力帯域幅（50MHz）または図23に示すように入力RCフィルタ（使用した場合）のカットオフ周波数（3.9MHz）。

Nは、アンプのノイズ係数（バッファ構成の場合には+1）。

e_{N+} および e_{N-} は、IN+とIN-に接続されたオペアンプの等価入力電圧ノイズ密度（ $nV/\sqrt{Hz}$ ）。この近似式は、アンプ周りの抵抗が小さい場合に使用できます。抵抗が大きい場合は、そのノイズ寄与も二乗和の平方根になります。

たとえば、AD8021のように $2.1nV/\sqrt{Hz}$ の等価入力ノイズ密度のオペアンプをバッファとして構成した場合、ノイズ・ゲインは1で、図23のRCフィルタを使用した場合のS/N比の低下はわずか0.25dB、フィルタなしの場合は2.5dBの低下になります。

- ドライバは、AD7643のTHD性能に見合うTHD性能を持っている必要があります。図13に、ドライバが満たすべきTHDの周波数特性を示します。

AD8021はこれらの条件を満たしているため、ほとんどすべてのアプリケーションに適しています。AD8021では優れた直線性を得るために、NPOセラミックやマイカ・タイプのような10pFの外付け補償コンデンサが必要となります。さらに、ゲイン+1の非反転回路の使用が推奨され、これを使うと最適なS/N比が得られます。

デュアル・バージョンが必要でゲイン=1を使用する場合は、AD8022も使用できます。高周波（100kHz超）性能がそれほど重要でないアプリケーションでは、AD829を使用することもできます。ゲイン=1のアプリケーションでは、82pFの補償コンデンサが必要です。低周波アプリケーションで低バイアス電流が必要な場合は、AD8610を使用することができます。

シングルエンド／差動変換駆動回路

ユニポーラ・アナログ信号を使用するアプリケーションの場合、図27に示すように、シングルエンド／差動変換ドライバを使うと、デバイスに対する差動入力が可能になります。この構成では、 $0 \sim V_{REF}$ の信号を入力すると、 $V_{REF}/2$ をミッドスケールとする $\pm V_{REF}$ の差動信号が得られます。 $R = 15\Omega$ と $C = 2.7nF$ を使用する単極フィルタでは、3.9MHzのコーナー周波数が得られます。

アプリケーションでこれ以上のノイズを許容できる場合は、AD8139差動ドライバを使用できます。

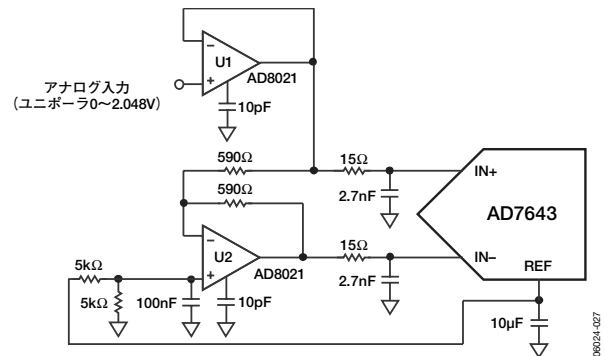


図27. シングルエンド／差動変換駆動回路
（内部リファレンス・バッファを使用）

電圧リファレンス入力

AD7643では、温度ドリフトがごくわずかな内部電圧リファレンス、または内部リファレンス・バッファを使ってバッファできる外付けの1.2Vリファレンス、または外付けリファレンスを選択できます。

リファレンス電圧を内蔵する多くのADCとは異なり、AD7643の内部リファレンスの性能は非常に優れているため、ほとんどすべてのアプリケーションで使用できます。

内部リファレンス

(PDBUF=ローレベル、PDREF=ローレベル)

内部リファレンスを使用するには、PDREF入力とPDBUF入力がローレベルであることが必要です。そうすると、REFBUFIN上に1.2Vのバンド・ギャップ出力が得られ、内部バッファで増幅されて、REFピン上で2.048Vのリファレンス電圧になります。

内部リファレンス電圧は、 $2.048\text{V} \pm 10\text{mV}$ に温度補償されています。リファレンス電圧は、ドリフトが $8\text{ppm}/^\circ\text{C}$ (typ) に調整されています。このドリフト特性 (typ) を図7に示します。

内部リファレンスがイネーブルになると、REFBUFINの出力抵抗は $6.33\text{k}\Omega$ (Min) になります。これは、 100nF を超えるセラミック・コンデンサを使ってデカップリングすることが必要です。このコンデンサはRCフィルタを構成し、ノイズを削減します。

REFBUFINの出力インピーダンスは $6.33\text{k}\Omega$ (typ) であるため、工業汚染物質の中でも特に相対湿度によってリファレンスのドリフト特性が直接的な影響を受けることがあります。一般に、このような環境下でドリフトの影響を抑えるにはガード・リングが使用されます。しかし、AD7643のリード・ピッチは微細であるため、このノードのガードは実用的ではありません。したがって、このような工業アプリケーションでは、Dow Corning® 1-2577やHumiSeal® 1B73などの絶縁保護コーティングの使用を推奨します。

外部1.2Vリファレンスと内部バッファ

(PDBUF=ローレベル、PDREF=ハイレベル)

内部バッファ付きの外部リファレンスを使用するには、PDREFをハイレベル、PDBUFをローレベルにしてください。これによって内部リファレンスをパワーダウンスし、外付けの1.2VリファレンスをREFBUFINに印加して、REFピンで2.048V (typ) を生成できます。

外部2.5Vリファレンス

(PDBUF=ハイレベル、PDREF=ハイレベル)

外部2.5Vリファレンスを直接REFピン上で使うときは、PDREFとPDBUFは両方ともハイレベルにする必要があります。

ドリフト性能を向上させるには、AD780やADR431などの外部リファレンスを使用できます。外部電圧リファレンスを直接使用する利点は、次のとおりです。

- 内部リファレンスを使用するときの代表的な2.048Vリファレンスの代わりに、電源 (2.5V) にきわめて近いリファレンス電圧を使用すれば、S/N比とダイナミック・レンジが向上します (およそ1.7dB)。S/N比は次のように計算されます。

$$\text{SNR} = 20 \log \left(\frac{2.048}{2.50} \right)$$

- 内部リファレンスをパワーダウンスして (PDREF=ハイレベル)、電力を節減できます。

PDREFとPDBUFは、それぞれ内部リファレンスと内部リファレンス・バッファをパワーダウンスします。PDREFとPDBUFの入力電流は20mA以内にしてください。駆動電圧がAVDDを超えると (たとえば、パワーアップ時)、入力電流が20mAを超えることがあります。この場合は、 125Ω のシリアル抵抗の使用を推奨します。

リファレンスのデカップリング

内部リファレンスと外部リファレンスのいずれを使用しても、AD7643の電圧リファレンス入力 (REF) には動的作用インピーダンスがあります。したがって、REF入力とREFGND入力との間に効率的なデカップリングを行い、低インピーダンス信号源を使用して駆動する必要があります。デカップリングは使用する電圧リファレンスによって異なりますが、通常は、寄生インダクタンスを最小に抑えた、REFとREFGNDに接続された低ESRコンデンサから構成されます。

内部リファレンス電圧を使用する場合や、次のいずれかの推奨リファレンス電圧を使用する場合は、 $10\mu\text{F}$ (X5R、1206サイズ) のセラミック・チップ・コンデンサ (または $47\mu\text{F}$ のタンタル・コンデンサ) が適しています。

AD7643の性能には、リファレンス・デカップリングの配置も重要です。デカップリング・コンデンサは、ADCと同じ側に厚いPCボード・パターンでREFピンに実装してください。REFGNDも、最短距離でリファレンスのデカップリング・コンデンサに接続してください。

複数のAD7643デバイスを使用するアプリケーションの場合、リファレンス電圧のバッファリングには内部リファレンス・バッファ付きの外部リファレンスを使用すると効果的です。ただし、リファレンス・バッファはユニティ・ゲインではないため、レシオメトリックな同時サンプリング設計では、AD8031/AD8032などの外部リファレンスと外部バッファを使用して、すべてのコンバータで同じリファレンス・レベルを維持する必要があります。

電圧リファレンスの温度係数 (TC) は、フルスケールに直接影響を与えます。したがって、フルスケール精度が重要となるアプリケーションでは、TCに注意する必要があります。たとえば、温度係数 $\pm 4\text{ppm}/^\circ\text{C}$ のリファレンスでは、フルスケール精度が $\pm 1\text{LSB}/^\circ\text{C}$ 変化します。

V_{REF} は $\text{AVDD} + 0.1\text{V}$ まで増大できます。入力レンジは V_{REF} から定義するため、基本的にこれによって $\text{AVDD} = 2.7\text{V}$ で $0 \sim 2.8\text{V}$ のレンジに拡大します。

温度センサー

TEMPピンでは、AD7643の温度を測定します。温度範囲の全域でキャリブレーション精度を高めるため、TEMPピンの出力はアナログ・スイッチ (ADG779など) の入力の1つに印加され、ADC自身を使用してその温度を測定します。この構成を図28に示します。

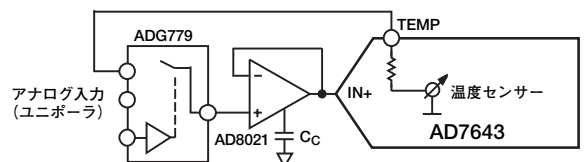


図28. 温度センサーの使い方

AD7643

電源

AD7643では、アナログ2.5V電源AVDD、デジタル2.5Vコア電源DVDD、デジタル入出力インターフェース電源OVDDの3種類の電源ピンを使用します。OVDDを使うと、2.3~5.25Vで動作する任意のロジックと直接インターフェースできます。所要電源数を減らすため、デジタル・コア（DVDD）は、簡単なRCフィルタを使ってアナログ電源から供給できます（図23を参照）。

電源シーケンス

AD7643は電源シーケンスに依存しないため、電源誘導電圧ラッチアップの影響はありません。さらに、図29に示すように、AD7643は広い周波数レンジにわたって電源変動の影響を受けません。

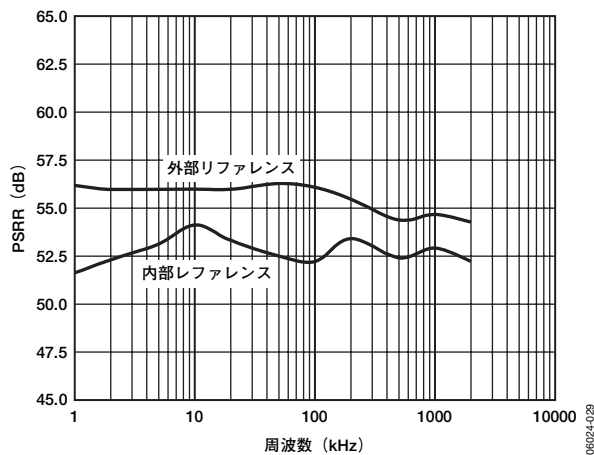


図29. PSRRの周波数特性

パワーアップ

パワーアップ時、またはパワーダウン・モード（PD=ハイレベル）から動作モードへの復帰時に、AD7643は初期化プロセスを起動します。この期間内では、最初の128回の変換が無視されるか、RESET入力にパルスが与えられて初期化プロセスが高速化されます。RESETとタイミングの詳細については、「デジタル・インターフェース」を参照してください。

デジタル・インターフェースを最小限に抑えるには、図23に示すように、簡単なパワーオン・リセット回路を使用できます。OVDDがパワーアップすると、コンデンサは短絡されてRESETはハイレベルになります。その後、コンデンサが充電されて、RESETはローレベルに戻ります。しかし、パワーダウン・モード（PD=ハイレベル）ではどの電源もパワーアップしないため、この回路が機能するのは、AD7643のパワーアップ時だけです。

アクイジション・フェーズでも、デジタル・インターフェースはアクティブです。動作デジタル電源電流をさらに低減するため、デジタル入力を電源レール（つまり、OVDDとOGND）の近くで駆動します。

変換制御

AD7643はCNVST入力によって制御されます。変換の開始に必要なのは、CNVSTの立下がりエッジのみです。図30に、変換プロセスの詳細なタイミング図を示します。いったん変換が開始されると、変換が完了するまでは、たとえパワーダウン入力（PD）によっても、再起動したりアボートしたりできません。CNVST信号は、CS信号やRD信号とは無関係に動作します。

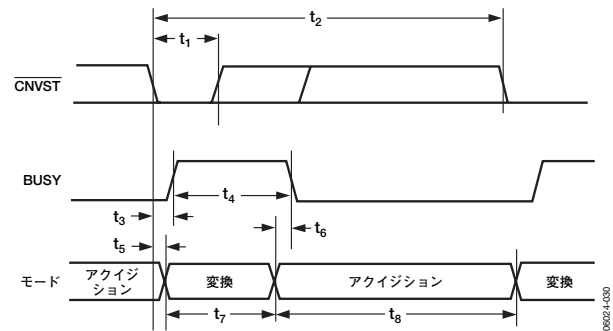


図30. 基本的な変換タイミング

最適性能を得るには、CNVSTの最大ローレベル時間（ t_1 ）の後や変換の終了する前に、CNVSTの立上がりエッジが発生しないようにしてください。

CNVSTはデジタル信号ですが、高速できれいなエッジとレベルにすること、オーバーシュート／アンダーシュートやリングを最小にすることに注意して設計してください。

CNVSTのパターンはグラウンドでシールドし、このラインを駆動する部品の出力側に近接して小さな値（たとえば50Ω）の直列終端抵抗を接続してください。また、オーバーシュート／アンダーシュートの影響をさらに低減するために、50pFほどのコンデンサの使用を推奨します（図23）。

S/N比が重要なアプリケーションでは、CNVST信号のジッタを非常に小さく抑える必要があります。そのためには、CNVSTの発生に専用の発振器を使うか、高周波の低ジッタ・クロックでCNVSTを駆動してください（図23）。

インターフェース

デジタル・インターフェース

AD7643には汎用のデジタル・インターフェースがあり、ホスト・システムとシリアルまたはパラレル・インターフェースとして設定できます。シリアル・インターフェースは、パラレル・データ・バス上でマルチプレクスされます。AD7643のデジタル・インターフェースは、2.5Vまたは3.3VのOVDDにより、2.5V、3.3V、5Vのロジックにも対応します。OVDDではロジック・ハイの出力電圧を規定します。ほとんどのアプリケーションでは、AD7643のOVDD電源ピンは、ホスト・システム・インターフェースの2.5Vまたは3.3Vデジタル電源に接続されます。D0/OB/2C入力ピンを使用して、2の補数またはストリート・バイナリのコデイングを使用できます。

インターフェースは、2つの信号 $\overline{CS}$ と $\overline{RD}$ により制御されます。これらの信号の少なくとも1つがハイレベルのとき、インターフェース出力は高インピーダンスになります。通常、複数のAD7643を使用するアプリケーションでは、 $\overline{CS}$ によって各AD7643を選択します。AD7643を1個使用する設計では $\overline{CS}$ をローレベルに固定します。 $\overline{RD}$ は、一般にデータ・バス上に変換結果を出力するときに使います。

RESET

RESET入力によって、AD7643をリセットして高速に初期化を実現します。RESETの立上がりエッジで、現在の変換（もしあれば）がアボートされ、データ・バスはスリーステートになります。RESETの立下がりエッジで、データ・バスはクリアされ、BUSYにハイレベルのパルスを与えて指定した初期化プロセスが起動されます。変換は、BUSYの立下がりエッジ後に行うことができます。RESETのタイミングの詳細については、図31を参照してください。

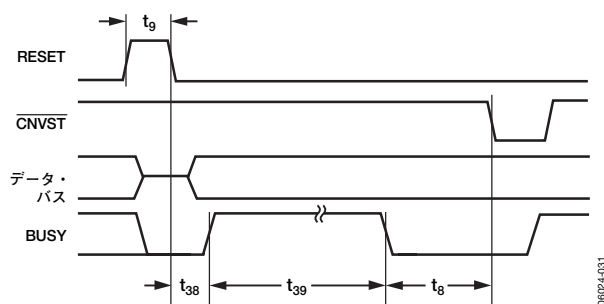


図31. RESETのタイミング

パラレル・インターフェース

AD7643は、表7に従ってバス幅18ビット、16ビット、または8ビットのパラレル・インターフェースを使用するように構成されています。

マスター・パラレル・インターフェース

$\overline{CS}$ と $\overline{RD}$ をローレベルに接続すると、データを連続的に読み出すことができます。したがって、マイクロプロセッサとの接続を最小限に抑えられます。しかし、このモードでは、データ・バスが常に駆動されているため、デバイスがRESET状態に保持されない限り共有バス・アプリケーションでは使用できません。このモードのタイミングの詳細を図32に示します。

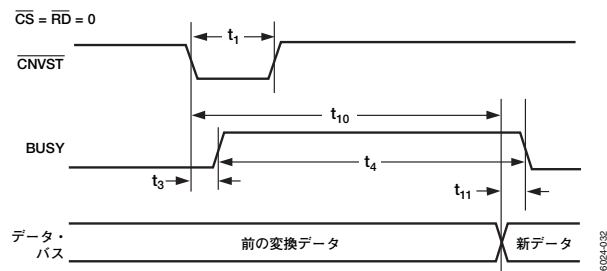


図32. 読み出し用のマスター・パラレル・データ・タイミング (連続読み出し)

スレーブ・パラレル・インターフェース

スレーブ・パラレル読み出しモードでは、データは、各変換の後（つまり次のアキュイジション・フェーズ中）または次の変換中に読み出すことができます（それぞれ図33と図34を参照）。変換中にデータを読み出すときは、変換フェーズの前半に行うことを推奨します。これによって、デジタル・インターフェース上の電圧変化と最もクリティカルなアナログ変換回路との間の潜在的なフィードスルーを防止できます。

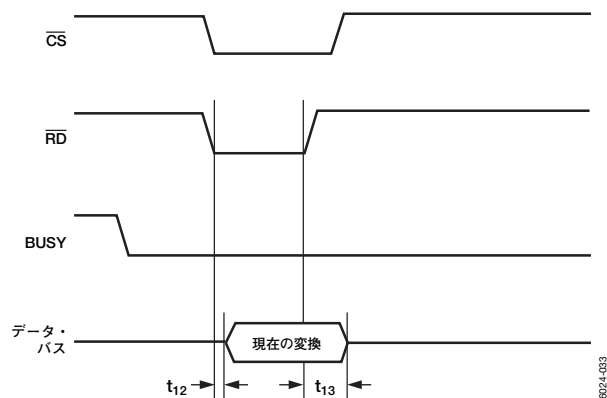


図33. 読み出し用のスレーブ・パラレル・データ・タイミング (変換後の読み出し)

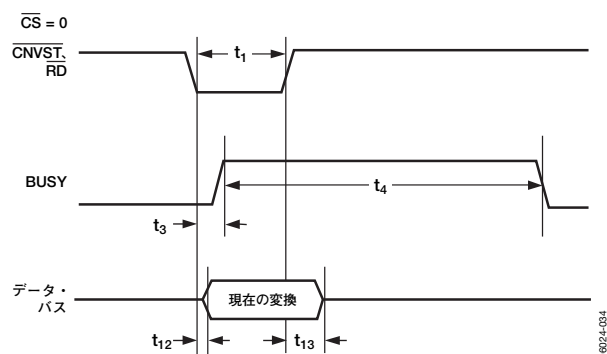


図34. 読み出し用のスレーブ・パラレル・データ・タイミング (変換中の読み出し)

AD7643

16ビットと8ビット・インターフェース (マスターまたはスレーブ)

16ビット (MODE[1:0]=1) および8ビット (MODE[1:0]=2) インターフェースの場合、図35に示すように、A0/A1ピンを使用することで16ビット/8ビット・バスに対するグルーレスなインターフェースが可能です。A0/A1をアドレス・ラインに接続すれば、16ビット・インターフェースの場合は2バイト単位で、8ビット・インターフェースの場合は3バイト単位でデータを読み出すことができます。このインターフェースは、マスターとスレーブ両方のパラレル読出しモードで使用できます。インターフェースの完全な詳細については、表7を参照してください。

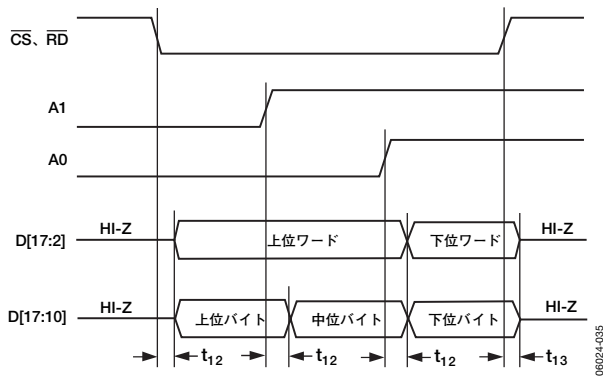


図35. 8ビットと16ビットのパラレル・インターフェース

シリアル・インターフェース

AD7643は、MODE[1:0]=3のときにシリアル・インターフェースを使用する構成になります。AD7643は、18ビットのデータをMSBファーストでSDOUTピンに出力します。このデータは、SCLKピン上の18個のクロック・パルスに同期化されています。出力データは、データ・クロックの立上がりエッジと立下がりエッジの両方で有効です。

マスター・シリアル・インターフェース

内部クロック

EXT/INTピンをローレベルに保持すると、AD7643はシリアル・データ・クロックSCLKを内部で生成し外部に供給する設定になります。AD7643はSYNC信号も生成し、シリアル・データが有効になるタイミングをホストに知らせます。シリアル・クロックSCLKとSYNC信号は、必要に応じて反転できます。変換入力中の読出しRDC/SDINに応じて、各変換の後または次の変換中にデータを読み出すことができます。図36と図37に、この2つのモードの詳しいタイミング図を示します。

一般に、AD7643は高速スループットで使用されるため、変換中のマスター読出しモードが最も推奨されるシリアル・モードです。このモードでは、シリアル・クロックとデータが適切なタイミングでトグルするので、デジタル動作とクリティカルな変換判定との間のフィードスルーを最小限に抑えられます。このモードでは、LSBのセトリングに時間がかかり、SCLKはSAR変換サイクルから得られるため、SCLK周期が変化します。

変換終了後の読出しモードでは、他のモードとは異なり、BUSY信号は変換終了後すぐにローレベルに戻るのではなく、18ビットのデータがパルス出力されてからローレベルに戻るため、BUSYの幅が長くなります。結果として、このモードでは最大スループットは達成できません。

また、変換モード後の読出しの時には、DIVSCLK[1:0]入力を使ってさまざまなホストに対応するためにSCLK周波数を遅くすることができます。これらの入力を使用する場合のSCLKタイミングの詳細については、表4を参照してください。

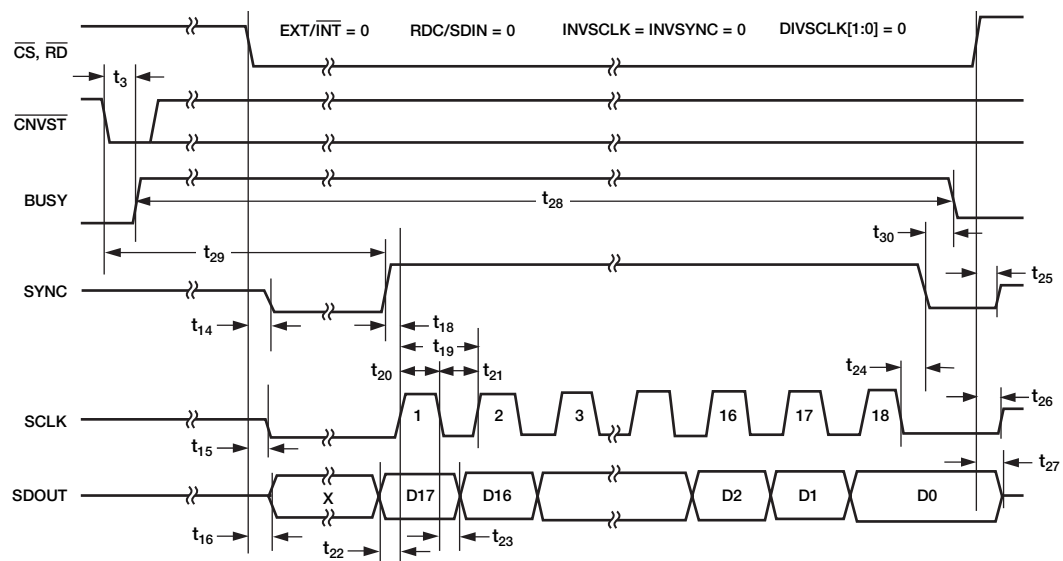


図36. 読み出し用のマスター・シリアル・データ・タイミング（変換後の読み出し）

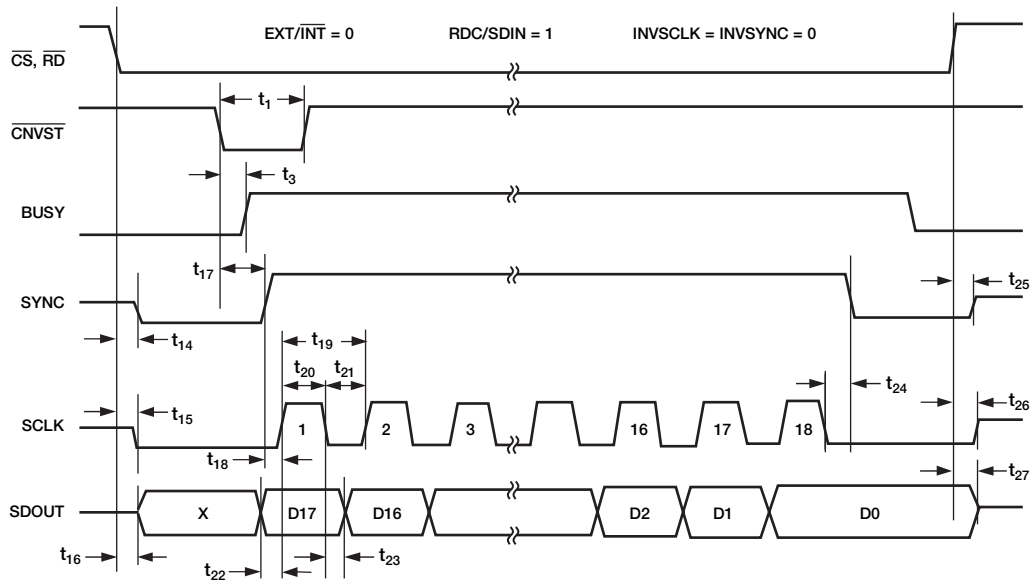


図37. 読み出し用のマスター・シリアル・データ・タイミング（変換中における前の変換の読み出し）

06024-037

スレーブ・シリアル・インターフェース

外部クロック

EXT/INTピンがハイレベルに保持されると、AD7643は外部シリアル・データ・クロックをSCLKピンで入力する設定になります。このモードでは、いくつかの方法を使ってデータを読み出せます。外部シリアル・クロックは $\overline{CS}$ によりゲーティングされます。 $\overline{CS}$ と $\overline{RD}$ が両方ともローレベルのとき、各変換の後または次の変換中にデータの読出しができます。外部クロックは、連続クロックまたは不連続クロックのいずれかを使用できます。不連続クロックは、非アクティブ時に、ノーマル・ハイレベルまたはノーマル・ローレベルにできます。図39と図40に、これらの方法の詳しいタイミング図を示します。

AD7643がビット判定を行っているときに、デジタル入出力ピンで電圧変化が発生しないようにすることが大切です。さもないと、変換結果が劣化することがあります。これは、変換フェーズの後半で特に重要です。後半には、変換フェーズの前半で行われたビット判定の誤りを補正できる誤差補正回路があるためです。このため、外部クロックを入力する場合は、BUSYがローレベルのときだけトグルし、さらにBUSYがハイレベルである後半では変化しない不連続クロックを推奨します。

変換後の外部不連続クロックによるデータ読出し

図39に、この方法の詳細なタイミング図を示します。BUSYがローレベルに戻って変換の完了が表示されると、この変換結果は、 $\overline{CS}$ と $\overline{RD}$ がともにローレベルのとき読み出すことができます。データはMSBファーストで、18個のクロック・パルスでシフト出力され、クロックの立上がり／立下がりエッジの両方で有効です。

この方法の1つの利点は、変換処理中にデジタル・インターフェース上で電圧変化が生じないため、変換性能が低下しないことです。もう1つの利点は、低速デジタル・ホスト・インターフェースと最高速のシリアル読出しの両方に対応できる、最大80MHzまでの任意の速度でデータを読み出せることです。

また、変換後にデータの読出しを開始し、新しい変換が開始された後も引き続き最終ビットまで読み出すことも可能です。この読出しモードでは、変換を開始する直前にデジタル動作を一時停止する（SCLKをハイレベルまたはローレベルにする）ことを推奨します。変換が開始されたら、読出しを続行できます。また、このモードでは、全読出し時間がアキュイジション時間(t_s)と変換時間(t_f)の1/2を足した時間($t_s + 1/2 \times t_f$)になるため、クロック速度を遅くしてデータを読み出すことができます（「外部クロックによる前の変換中のデータ読出し」を参照）。

さらに、このモードの場合にのみ、AD7643はRDC/SDINピンを使って複数のコンバータをカスケード接続するデジチェーン機能を使用できます。この機能によって、絶縁された複数のコンバータを使用するアプリケーションなどで部品数と接続配線数を削減できます。

2個のデバイスを接続する例を図38に示します。共通のCNVST信号を使用すると、同時サンプリングが可能です。RDC/SDIN入力は、SDOUT上でデータをシフト出力する際に使うSCLKクロックのエッジとは反対側のエッジでラッチされることに注意してください。このため、次のSCLKサイクルで、上流側コンバータのMSBは下流側コンバータのLSBの直後に続きます。

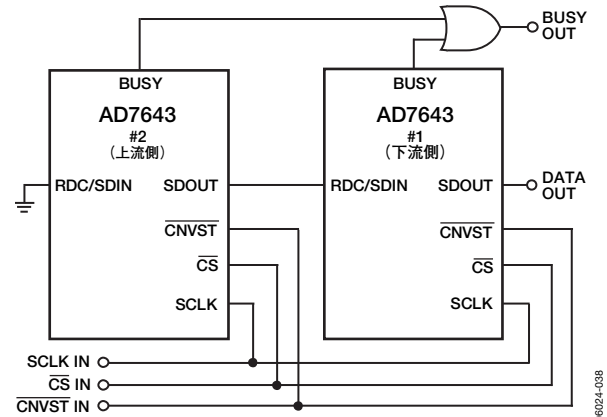


図38. デジチェーン接続した2個のAD7643

外部クロックによる前の変換中のデータ読出し

図40に、この方法の詳細なタイミング図を示します。変換中に、 $\overline{CS}$ と $\overline{RD}$ の両方がローレベルのとき、前の変換結果を読み出すことができます。データはMSBファーストで、18個のクロック・パルスでシフト出力され、クロックの立上がり／立下がり両方のエッジで有効です。現在の変換が完了する前に、この18ビットを読み出す必要があります。さもないと、RDERRORにハイレベル・パルスが出力されます。これは、不完全なデータ読出しを防止するために、ホスト・インターフェースの割込みに使用できます。このモードにはデジチェーン機能はなく、RDC/SDIN入力は常にハイレベルかローレベルに固定しておく必要があります。

デジタル動作による性能の低下を抑えるために、SAR変換フェーズ(t_f)の前半で全ビットを読み出すことができるように67MHz以上の高速不連続クロックを使用することを推奨します。このようにすれば、ADCは t_f の間にデジタル動作に起因するエラーを修正できます。

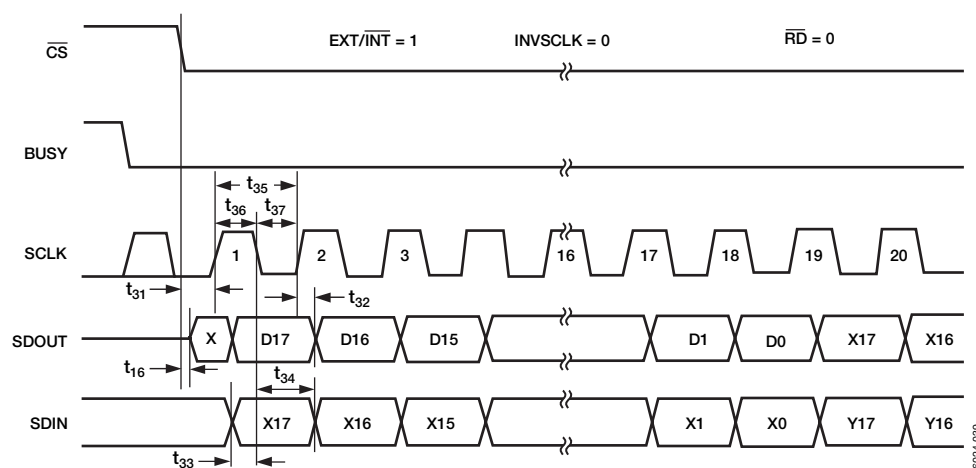


図39. 読出し用のスレーブ・シリアル・データ・タイミング（変換後の読出し）

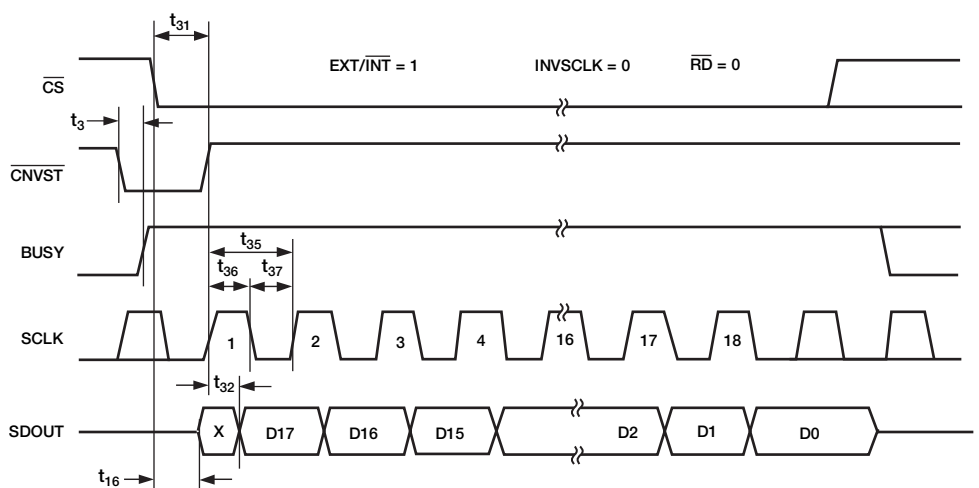


図40. 読出し用のスレーブ・シリアル・データ・タイミング（変換中における前の変換の読出し）

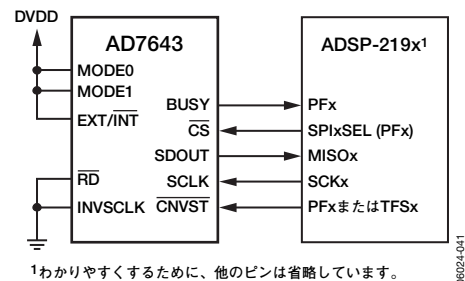
AD7643

マイクロプロセッサとのインターフェース

AD7643は、マイクロプロセッサをサポートする従来型のDC計測アプリケーションや、デジタル信号プロセッサに接続するAC信号処理アプリケーション向けに最適です。AD7643は、パラレル8ビットまたは16ビット幅のインターフェース、汎用シリアル・ポート、またはマイクロコントローラのI/Oポートを使って接続するように設計されています。さまざまな外付けバッファを使用することにより、デジタル・ノイズがADCに混入することを防止できます。「SPIインターフェース (ADSP-219x)」では、SPIを備えたADSP-219x DSPとAD7643を組み合わせて使用する方法を説明します。

SPIインターフェース (ADSP-219x)

図41に、SPIを備えたDSPであるADSP-219xとAD7643とのインターフェース図を示します。DSPの低速に対応するため、AD7643はスレーブ・デバイスとして動作し、変換後にデータを読み出す必要があります。このモードではデジタイゼーション機能も可能です。内部タイマ割込みに応じて変換コマンドを起動できます。18ビット出力データを3SPIバイト・アクセスで読み出します。読出し処理は、DSPの割込みラインを使用する変換終了信号 (BUSYがローレベルに変化) に応じて開始できます。ADSP-219xのシリアル・ペリフェラル・インターフェース (SPI) は、SPIコントロール・レジスタ (SPICLTx) への書き込みにより、マスター・モード (MSTR)=1、クロック極性ビット (CPOL)=0、クロック位相ビット (CPHA)=1、およびSPI割込みイネーブル (TIMOD)=00に設定されます。すべてのタイミング条件を満たすために、SPIクロックを17Mb/sに制限します。この速度では、ADC変換結果を1 μ s以内に読み出すことが可能です。より高速なサンプリング・レートが必要な場合には、パラレル・インターフェース・モードの使用を推奨します。



¹わかりやすくするために、他のピンは省略しています。

図41. AD7643とADSP-219xのインターフェース

アプリケーション設計上の注意

レイアウト

AD7643は電源ノイズに対する耐性が優れていますが、グラウンディングのレイアウトについては注意が必要です。分離が容易なグラウンド・プレーンを使用できるようにするため、AD7643を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれをまとめて配置するように設計してください。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは、1点で接続する必要があります。できればAD7643の真下、あるいは少なくともAD7643にできるだけ近い場所で接続してください。複数のデバイスがAGNDとDGNDの接続を必要とするシステムでAD7643を使用する場合にも、この接続は1か所だけで行う必要があります。すなわち、AD7643のできるだけ近くでスター結線してください。

ノイズがチップに混入することを防ぎ、ノイズの放射を防止し、フィードスルーを減らすには：

- デジタル・ラインがデバイスの真下を通らないようにします。
- AD7643の下はアナログ・グラウンド・プレーンとします。
- CNVSTやクロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、これらの信号はアナログ信号パスの近くを通過しないようにします。
- デジタル信号とアナログ信号の交差を回避します。
- ボード部品面にもっとも近いレイヤでのパターンは、互いに直角となるように配置します。これにより、ボードを貫通するノイズ混入の影響を減らせます。

AD7643への電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。AD7643に対する電源インピーダンスを下げるため、また電源スパイクの振幅を小さくするために、十分なデカップリングも大切です。デカップリング用セラミック・コンデンサ100nF (typ) を、各電源ピンAVDD、DVDD、OVDDの近くに、理想的にはこれらのピンおよび対応するグラウンド・ピンのすぐ隣に配置します。さらに、低ESRの10μFコンデンサをADCの近くに配置して、低周波リップルをさらに抑えるようにしてください。

AD7643のDVDD電源は、別の電源、アナログ電源AVDD、またはデジタル・インターフェース電源OVDDから供給できます。システム・デジタル電源のノイズが多い場合や、高速のスイッチング・デジタル信号が存在する場合に、別の電源を使用できなければ、RCフィルタを介してDVDDデジタル電源をアナログ電源AVDDに接続し、システム電源をインターフェース・デジタル電源OVDDとその他のデジタル回路に接続することを推奨します。図23にこの構成例を示します。DVDDにシステム電源を接続する場合には、高周波スパイクをさらに抑えるためにビードを挿入すると有効です。

AD7643には、REFGND、AGND、DGND、OGNDの4種類のグラウンド・ピンがあります。リファレンス電圧を感知するREFGNDにはパルス電流が流れるため、リファレンスまでのリターンを低インピーダンスにしてください。AGNDはグラウンドであり、大部分の内部ADCアナログ信号がこれを基準に使用します。このグラウンドは、最小の抵抗でアナログ・グラウンド・プレーンに接続してください。DGNDは、構成に応じて、アナログ・グラウンド・プレーンまたはデジタル・グラウンド・プレーンに接続する必要があります。OGNDはデジタル・システム・グラウンドに接続します。

リファレンス電圧のデカップリングのレイアウトは重要です。寄生インダクタンスを最小限に抑えるには、デカップリング・コンデンサをADCの近くに配置し、短く太いパターンで接続してください。

AD7643の性能評価

AD7643の推奨レイアウトの概要は、AD7643の評価用ボード (EVAL-AD7643CB) の付属資料にも記載してあります。評価用ボードのパッケージには、テスト済みの評価用ボード (組立不要)、付属資料、「EVAL-CONTROL BRD3」を介してPCからボードを制御するソフトウェアが同梱されています。

AD7643

外形寸法

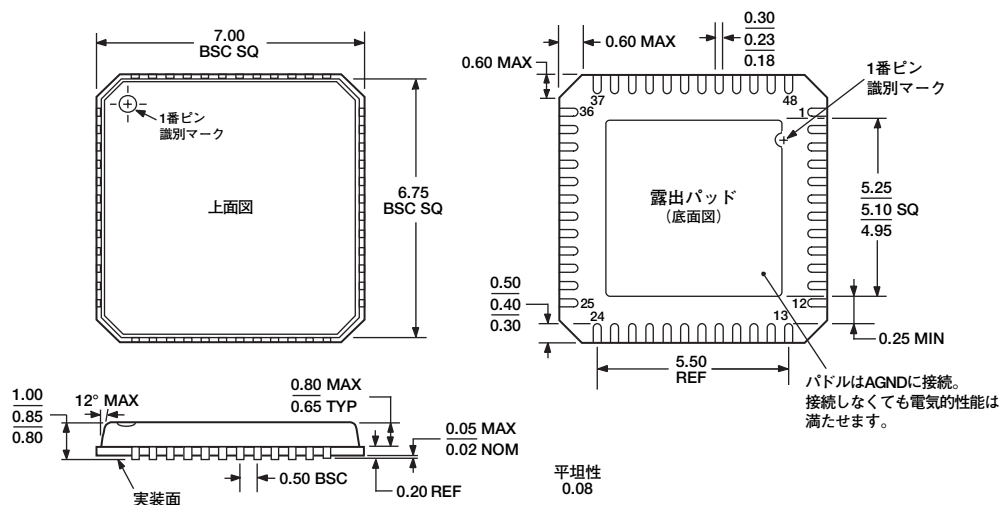


図42. 48ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
7mm×7mmボディ、極薄クワッド (CP-48-1)
寸法単位: mm

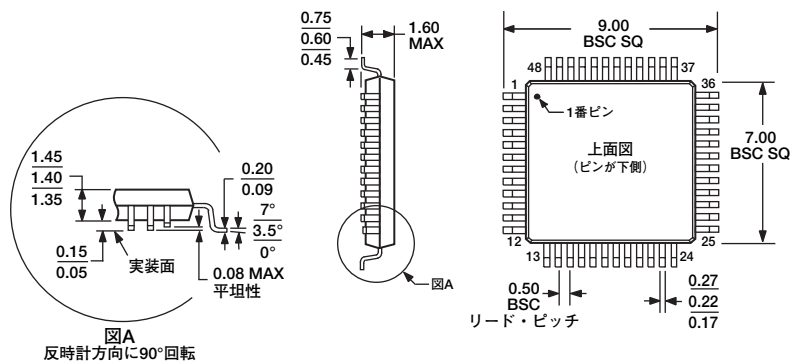


図43. 48ピン薄型クワッド・フラット・パッケージ [LQFP]
寸法単位: mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD7643BCPZ ¹	-40～+85℃	48ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-48-1
AD7643BCPZRL ¹	-40～+85℃	48ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-48-1
AD7643BSTZ ¹	-40～+85℃	48ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-48
AD7643BSTZRL ¹	-40～+85℃	48ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-48
EVAL-AD7643CB ²		評価用ボード	
EVAL-CONTROL BRD3 ³		コントローラ・ボード	

¹ Z=鉛フリー製品。

² このボードは、評価/デモンストレーション用に、単独の評価用ボードとして使用したり、EVAL-CONTROL BRD3と組み合わせて使用したりできます。

³ このコントローラ・ボードを使用すると、製品番号末尾にCBが付いたアナログ・デバイス製評価用ボード全製品の制御と通信をPCで行うことができます。