250kSPS、プログラマブル入力レンジの18ビットPulSAR®、差動A/Dコンバータ

AD7631

特長

ピン／ソフトウェアでプログラム可能な複数の入力レンジ
　±5V（10Vp-p）、±10V（20Vp-p）、±5V（20Vp-p）、
　±10V（40Vp-p）
ピンまたはシリアルSPI®で入力範囲／モードの選択が可能
スループット：250kSPS
INL：±1.5LSB（typ）、±2.5LSB（max）（FSRの±9.5ppm）
18ビット分解能、ノー・ミッシング・コード
ダイナミック・レンジ：102.5dB
SNR：101dB@2kHz
THD：−112dB@2kHz
*i*CMOS®プロセス技術
5Vの内部リファレンス：3ppm/℃のドリフト（typ）、TEMP出力
パイプライン遅延なし（SARアーキテクチャ）
パラレル（18/16/8ビット・バス）およびシリアル5V/3.3Vインターフェース
SPI/QSPI™/MICROWIRE™/DSP互換
消費電力
　73mW@250kSPS
　10mW@1kSPS
鉛フリー、48ピンLQFPおよび48ピンLFCSP（7mm×7mm）

アプリケーション

プロセス制御
高速データ・アクイジション
デジタル・シグナル・プロセッシング
スペクトル分析
ATE

概要

AD7631は18ビットの電荷再配分式SAR（逐次比較型）A/Dコンバータ（ADC）で、アナログ・デバイセズの*i*CMOS高電圧プロセスに基づいて製造されています。入力範囲と動作モードは、ハードウェアまたは書込み専用のシリアル設定ポートを使って設定します。AD7631は、18ビットの高速サンプリングADC、内部変換クロック、内部リファレンス（およびバッファ）、誤差補正回路、シリアルおよびパラレルのシステム・インターフェース・ポートを備えています。IN+ピンとIN-ピンの完全差動アナログ入力を$\overline{\text{CNVST}}$の立下がりエッジでサンプリングします。また、4種類のアナログ入力範囲をサポートしています。消費電力はスループットに直線的に比例します。動作は−40～+85℃で仕様規定されています。

機能ブロック図

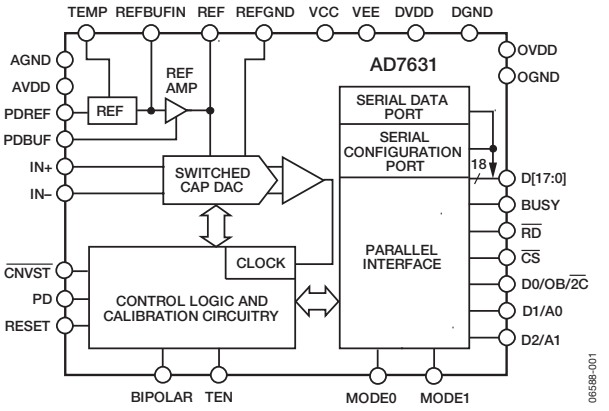


図1

表1.　48ピンPulSAR ADCセレクション

Input Type	Res (Bits)	100 to 250 (kSPS)	500 to 570 (kSPS)	570 to 1000 (kSPS)	>1000 (kSPS)
Bipolar	14			AD7951	
Differential Bipolar	14			AD7952	
Unipolar	16	AD7651	AD7650	AD7653	
		AD7660	AD7652	AD7667	
		AD7661	AD7664		
			AD7666		
Bipolar	16	AD7610	AD7665	AD7612	
		AD7663		AD7671	
Differential	16	AD7675	AD7676	AD7677	AD7621
Unipolar					AD7622
					AD7623
Simultaneous/	16		AD7654		
Multichannel Unipolar			AD7655		
Differential Unipolar	18	AD7678	AD7679	AD7674	AD7641
					AD7643
Differential Bipolar	18	AD7631		AD7634	

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2007 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本　　社／〒105-6891 東京都港区海岸1-16-1　ニューピア竹芝サウスタワービル
電話03（5402）8200

大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36　新大阪MTビル2号
電話06（6350）6868

目次

特長 1
アプリケーション 1
概要 1
機能ブロック図 1
改訂履歴 2
仕様 3
　タイミング仕様 5
絶対最大定格 7
　ESDに関する注意 7
ピン配置および機能の説明 8
代表的な性能特性 12
用語の説明 16
動作原理 17
　回路情報 17
　コンバータの動作 17
　伝達関数 18
　代表的な接続図 18
　アナログ入力 19
　ドライバ・アンプの選択 20
　電圧リファレンス入出力 21
　電源 22
　変換制御 23
インターフェース 24
　デジタル・インターフェース 24
　パラレル・インターフェース 24
　シリアル・インターフェース 25
　マスター・シリアル・インターフェース 25
　スレーブ・シリアル・インターフェース 26
　ハードウェア設定 29
　ソフトウェア設定 29
　マイクロプロセッサとのインターフェース 30
アプリケーション情報 31
　レイアウトのガイドライン 31
　性能評価 31
外形寸法 32
　オーダー・ガイド 32

改訂履歴

2/07—Revision 0: Initial Version

仕様

特に指定のない限りAVDD＝DVDD＝5V、OVDD＝2.7～5.5V、VCC＝15V、VEE＝－15V、V_{REF}＝5Vで、仕様はすべてT_{MIN}～T_{MAX}条件下の数値。

表2

Parameter	Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
ANALOG INPUTS					
Differential Voltage Range, V_{IN}	$(V_{IN+}) - (V_{IN-})$				
0 V to 5 V	V_{IN} = 10 V p-p	$-V_{REF}$		$+V_{REF}$	V
0 V to 10 V	V_{IN} = 20 V p-p	$-2\ V_{REF}$		$+2\ V_{REF}$	V
±5 V	V_{IN} = 20 V p-p	$-2\ V_{REF}$		$+2\ V_{REF}$	V
±10 V	V_{IN} = 40 V p-p	$-4\ V_{REF}$		$+4\ V_{REF}$	V
Operating Voltage Range	V_{IN+}, V_{IN-} to AGND				
0 V to 5 V		−0.1		+5.1	V
0 V to 10 V		−0.1		+10.1	V
±5 V		−5.1		+5.1	V
±10 V		−10.1		+10.1	V
Common-Mode Voltage Range	V_{IN+}, V_{IN-}				
5 V		$V_{REF}/2 - 0.1$	$V_{REF}/2$	$V_{REF}/2 + 0.1$	V
10 V		$V_{REF} - 0.2$	V_{REF}	$V_{REF} + 0.2$	V
Bipolar Ranges		−0.1	0	+0.1	V
Analog Input CMRR	f_{IN} = 100 kHz		75		dB
Input Current	250 kSPS throughput		80[1]		µA
Input Impedance	See Analog Inputs section				
THROUGHPUT SPEED					
Complete Cycle				4.0	µs
Throughput Rate				250	kSPS
DC ACCURACY					
Integral Linearity Error[2]	250 kSPS throughput	−2.5	±1.5	+2.5	LSB[3]
No Missing Codes		18			Bits
Differential Linearity Error[2]		−1		+2.5	LSB
Transition Noise			0.75		LSB
Unipolar Zero Error		−0.06		+0.06	%FS
Bipolar Zero Error		−0.03		+0.03	%FS
Zero-Error Temperature Drift			±0.5		ppm/℃
Bipolar Full-Scale Error		−0.09		+0.09	%FS
Unipolar Full-Scale Error		−0.07		+0.07	%FS
Full-Scale Error Temperature Drift			±0.5		ppm/℃
Power Supply Sensitivity	AVDD = 5 V ± 5%		3		LSB
AC ACCURACY					
Dynamic Range	V_{IN} = 0 to 5 V, f_{IN} = 2 kHz, −60 dB	100	101.8		dB[4]
	V_{IN} = all other input ranges, f_{IN} = 2 kHz, −60 dB	100	102.5		dB
Signal-to-Noise Ratio	V_{IN} = 0 to 5 V, f_{IN} = 2 kHz	99.5	100.5		dB
	V_{IN} = all other input ranges, f_{IN} = 2 kHz	100	101		dB
Signal-to-(Noise + Distortion), SINAD	f_{IN} = 2 kHz		100		dB
Total Harmonic Distortion	f_{IN} = 2 kHz		112		dB
Spurious-Free Dynamic Range	f_{IN} = 2 kHz		113		dB
−3 dB Input Bandwidth	V_{IN} = 0 V to 5 V		45		MHz
SAMPLING DYNAMICS					
Aperture Delay			2		ns
Aperture Jitter			5		ps rms
Transient Response	Full-scale step			500	ns

Parameter	Conditions/Comments	Min	Typ	Max	Unit
INTERNAL REFERENCE	PDREF = PDBUF = low				
Output Voltage	REF @ 25℃	4.965	5.000	5.035	V
Temperature Drift	−40℃ to +85℃		±3		ppm/℃
Line Regulation	AVDD = 5 V ± 5%		±15		ppm/V
Long-Term Drift	1000 hours		50		ppm
Turn-On Settling Time	C_{REF} = 22 µF		10		ms
REFERENCE BUFFER	PDREF = high				
REFBUFIN Input Voltage Range		2.4	2.5	2.6	V
EXTERNAL REFERENCE	PDREF = PDBUF = high				
Voltage Range	REF	4.75	5	AVDD + 0.1	V
Current Drain	250 kSPS throughput		250		µA
TEMPERATURE PIN					
Voltage Output	@ 25℃		311		mV
Temperature Sensitivit			1		mV/℃
Output Resistance			4.33		kΩ
DIGITAL INPUTS					
Logic Level					
V_{IL}		−0.3		+0.6	V
V_{IH}		2.1		OVDD + 0.3	V
I_{IL}		−1		+1	µA
I_{IH}		−1		+1	µA
DIGITAL OUTPUTS					
Data Format	Parallel or serial 18-bit				
Pipeline Delay[5]					
V_{OL}	I_{SINK} = 500 µA			0.4	V
V_{OH}	I_{SOURCE} = −500 µA	OVDD − 0.6			V
POWER SUPPLIES					
Specified Performance					
AVDD		4.75[6]	5	5.25	V
DVDD		4.75	5	5.25	V
OVDD		2.7		5.25	V
VCC		7	15	15.75	V
VEE		−15.75	−15	0	V
Operating Current[7]	@ 250 kSPS throughput				
AVDD					
With Internal Reference[8]			8.5		mA
With Internal Reference Disabled[8]			6.1		mA
DVDD			4		mA
OVDD			0.1		mA
VCC	VCC = 15 V, with internal reference buffer		1.4		mA
	VCC = 15 V		0.8		mA
VEE	VEE = −15 V		0.7		mA
Power Dissipation	@ 250 kSPS throughput				
With Internal Reference[8]			94	120	mW
With Internal Reference Disabled[8]			73	100	mW
In Power-Down Mode[9]	PD = high		10		µW
TEMPERATURE RANGE[10]					
Specified Performance	T_{MIN} to T_{MAX}	−40		+85	℃

[1] すべての入力範囲で、入力電流はスループットに依存します。「アナログ入力」の項を参照。
[2] 直線性をテストする場合は、ベスト・ストレート・ライン近似ではなくエンドポイントを使用し、また常に5Vの外部リファレンスを使用します。
[3] LSBは最下位ビットを意味します。LSBの仕様にはリファレンスによる誤差分は含まれません。
[4] dB表示の仕様はすべてフルスケール入力（FSR）を基準とします。特に指定のない限り、フルスケールより0.5dB低い入力信号でテストします。
[5] 変換結果は、変換完了後直ちに出力されます。
[6] 4.75 V またはV_{REF}−0.1Vのいずれか大きいほうの値。
[7] パラレル読出しモードでテスト。
[8] 内部リファレンス使用時は、PDREFとPDBUFはローレベル。内部リファレンスがディスエーブルのときは、PDREFとPDBUFはハイレベル。内部リファレンス・バッファ使用時はPDBUFはローレベル。
[9] すべてのデジタル入力をOVDDに接続。
[10] 拡張温度範囲については、代理店および弊社営業部に問い合わせてください。

タイミング仕様

特に指定のない限り、AVDD＝DVDD＝5V、OVDD＝2.7～5.5V、VCC＝15V、VEE＝－15 V、V_{REF}＝5Vで、仕様はすべてT_{MIN}～T_{MAX}条件下の数値。

表3

Parameter	Symbol	Min	Typ	Max	Unit
CONVERSION AND RESET (See Figure 35 and Figure 36)					
Convert Pulse Width	t_1	10			ns
Time Between Conversions	t_2	4.0			µs
$\overline{CNVST}$ Low to BUSY High Delay	t_3			35	ns
BUSY High All Modes (Except Master Serial Read After Convert)	t_4			1.68	µs
Aperture Delay	t_5		2		ns
End of Conversion to BUSY Low Delay	t_6	10			ns
Conversion Time	t_7			1.68	µs
Acquisition Time	t_8	2.32			ns
RESET Pulse Width	t_9	10			ns
PARALLEL INTERFACE MODES (See Figure 37 and Figure 39)					
$\overline{CNVST}$ DATA Valid Delay	t_{10}			1.65	µs
DATA Valid to BUSY Low Delay	t_{11}	20			ns
Bus Access Request to DATA Valid	t_{12}			40	ns
Bus Relinquish Time	t_{13}	2		15	ns
MASTER SERIAL INTERFACE MODES[1] (See Figure 41 and Figure 42)					
$\overline{CS}$ Low to SYNC Valid Delay	t_{14}			10	ns
$\overline{CS}$ Low to Internal SDCLK Valid Delay[1]	t_{15}			10	ns
$\overline{CS}$ Low to SDOUT Delay	t_{16}			10	ns
$\overline{CNVST}$ Low to SYNC Delay, Read During Convert	t_{17}		530		ns
SYNC Asserted to SDCLK First Edge Delay	t_{18}	3			ns
Internal SDCLK Period[2]	t_{19}	30		45	ns
Internal SDCLK High[2]	t_{20}	15			ns
Internal SDCLK Low[2]	t_{21}	10			ns
SDOUT Valid Setup Time[2]	t_{22}	4			ns
SDOUT Valid Hold Time[2]	t_{23}	5			ns
SDCLK Last Edge to SYNC Delay[2]	t_{24}	5			ns
$\overline{CS}$ High to SYNC HIGH-Z	t_{25}			10	ns
$\overline{CS}$ High to Internal SDCLK HIGH-Z	t_{26}			10	ns
$\overline{CS}$ High to SDOUT HIGH-Z	t_{27}			10	ns
BUSY High in Master Serial Read After Convert[2]	t_{28}		See Table 4		
$\overline{CNVST}$ Low to SYNC Delay, Read After Convert	t_{29}		1.5		µs
SYNC Deasserted to BUSY Low Delay	t_{30}		25		ns
SLAVE SERIAL/SERIAL CONFIGURATION INTERFACE MODES[1] (See Figure 44, Figure 45, and Figure 47)					
External SDCLK, SCCLK Setup Time	t_{31}	5			ns
External SDCLK Active Edge to SDOUT Delay	t_{32}	2		18	ns
SDIN/SCIN Setup Time	t_{33}	5			ns
SDIN/SCIN Hold Time	t_{34}	5			ns
External SDCLK/SCCLK Period	t_{35}	25			ns
External SDCLK/SCCLK High	t_{36}	10			ns
External SDCLK/SCCLK Low	t_{37}	10			ns

[1] シリアル・インターフェース・モードでSYNC、SDCLK、SDOUTのタイミングは、最大負荷C_L＝10pFで規定。その他の場合は、最大負荷60pFで規定。
[2] 変換モードでのシリアル・マスター読出し時。変換モード後のシリアル・マスター読出しについては表4を参照。

表4. 変換モード後のマスター読出し時のシリアル・クロック・タイミング

DIVSCLK[1] DIVSCLK[0]	Symbol	0 0	0 1	1 0	1 1	Unit
SYNC to SDCLK First Edge Delay Minimum	t_{18}	3	20	20	20	ns
Internal SDCLK Period Minimum	t_{19}	30	60	120	240	ns
Internal SDCLK Period Maximum	t_{19}	45	90	180	360	ns
Internal SDCLK High Minimum	t_{20}	15	30	60	120	ns
Internal SDCLK Low Minimum	t_{21}	10	25	55	115	ns
SDOUT Valid Setup Time Minimum	t_{22}	4	20	20	20	ns
SDOUT Valid Hold Time Minimum	t_{23}	5	8	35	90	ns
SDCLK Last Edge to SYNC Delay Minimum	t_{24}	5	7	35	90	ns
BUSY High Width Maximum	t_{28}	2.55	3.40	5.00	8.20	µs

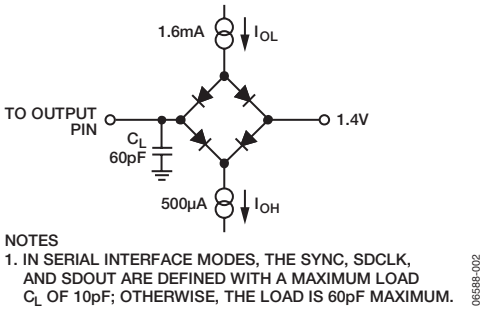


図2. デジタル・インターフェース・タイミングの負荷回路、SDOUT、SYNC、SDCLKの各出力、C_L=10pF

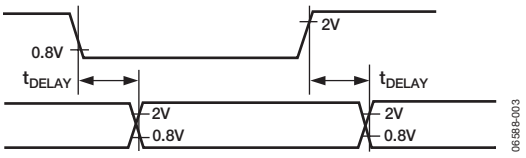


図3. タイミングの電圧リファレンスのレベル

絶対最大定格

表5

Parameter	Rating
Analog Inputs/Outputs	
IN+[1], IN−[1] to AGND	VEE – 0.3 V to VCC + 0.3 V
REF, REFBUFIN, TEMP, REFGND to AGND	AVDD + 0.3 V to AGND – 0.3 V
Ground Voltage Differences	
AGND, DGND, OGND	±0.3 V
Supply Voltages	
AVDD, DVDD, OVDD	–0.3 V to +7 V
AVDD to DVDD, AVDD to OVDD	±7 V
DVDD to OVDD	±7 V
VCC to AGND, DGND	–0.3 V to +16.5 V
VEE to GND	+0.3 V to –16.5 V
Digital Inputs	–0.3 V to OVDD + 0 .3 V
PDREF, PDBUF	±20 mA
Internal Power Dissipation[2]	700 mW
Internal Power Dissipation[3]	2.5 W
Junction Temperature	125℃
Storage Temperature Range	–65℃ to +125℃

[1]「アナログ」入力の項を参照。
[2] 自然空冷、48ピンLQFP、θ_{JA}＝91℃/W、θ_{JC}＝30℃/W時のデバイスに対する仕様。
[3] 自然空冷、48ピンLFCSP、θ_{JA}＝26℃/W時のデバイスに対する仕様。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスで高エネルギーの静電放電が発生した場合、損傷を生じる可能性があります。性能劣化や機能低下を防止するため、ESDに対して適切な予防措置をとることが推奨されます。

ピン配置および機能の説明

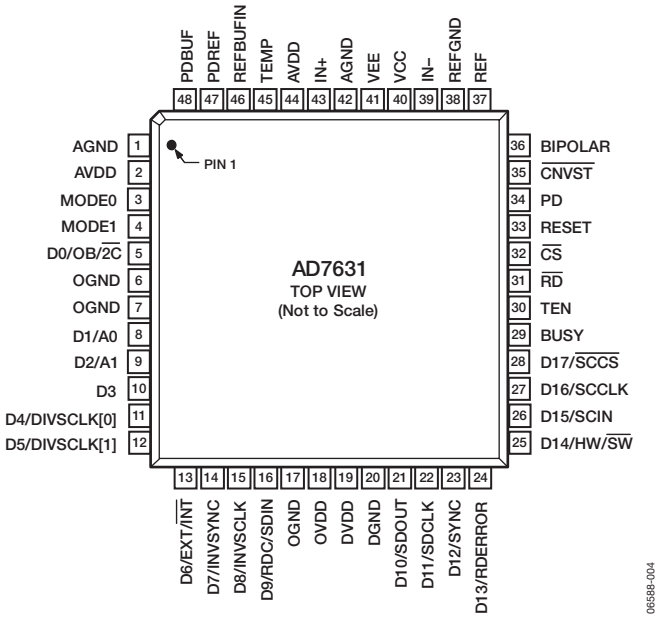


図4. ピン配置

表6. ピン機能の説明

ピン番号	記号	タイプ[1]	説明
1, 42	AGND	P	アナログ電源のグラウンド・ピン。全アナログ入出力に対するグラウンド・リファレンス・ポイント。全アナログ入出力信号はAGND電圧を基準とし、システムのアナログ・グラウンド・プレーンに接続します。またAGND、DGND、OGNDは同じ電位になります。
2, 44	AVDD	P	アナログ電源ピン。公称4.75～5.25Vで、10μFと100nFのコンデンサでデカップリングします。
3, 4	MODE[0:1]	DI	データ入出力インターフェース・モードの選択 Interface Mode / MODE1 / MODE0 / Description 0 / Low / Low / 18-bit interface 1 / Low / High / 16-bit interface 2 / High / Low / 8-bit (byte) interface 3 / High / High / Serial interface
5	D0/OB/$\overline{2C}$	DI/O[2]	18ビット・パラレル・モードでは、この出力をパラレル・ポート・データ出力バスのビット0として使用します。データ・コーディングはストレート・バイナリです。他のモードでは、このピンを使ってストレート・バイナリまたは2の補数を選択できます。 OB/$\overline{2C}$がハイレベルのときは、デジタル出力がストレート・バイナリとなります。 OB/$\overline{2C}$がローレベルのときは、MSBが反転されて内部シフト・レジスタから2の補数が出力されます。
6, 7, 17	OGND	P	入出力インターフェース・デジタル電源グラウンド。デジタル出力に対するグラウンド・リファレンス・ポイント。AGNDおよびDGNDと同じ電位でシステム・デジタル・グラウンドに接続するのが理想的です。
8	D1/A0	DI/O	MODE[1：0]＝0の場合、このピンはパラレル・ポート・データ出力バスのビット1です。他のモードでは、このピンを使ってデータの出力形式を制御します（表7）。
9	D2/A1	DI/O	MODE[1：0]＝0の場合、このピンはパラレル・ポート・データ出力バスのビット2です。 MODE[1：0]＝1または2の場合、このピンを使ってデータの出力形式を制御します（表7）。
10	D3	DO	MODE[1：0]＝0、1、または2の場合、この出力をパラレル・ポート・データ出力バスのビット3として使用します。 このピンは、インターフェース・モードに関わりなく常に出力です。
11, 12	D[4:5] or DIVSCLK [0:1]	DI/O	MODE[1：0]＝0、1、または2の場合、これらのピンはパラレル・ポート・データ出力バスのビット4とビット5です。 MODE[1：0]＝3の場合、シリアル・データ・クロック分周が選択されます。変換終了後のシリアル・マスター読出しモードを使用するときに（EXT/INT＝ローレベル、RDC/SDIN＝ローレベル）、これらの入力を使って、データを出力させる内部シリアル・クロックを低速化できます。他のシリアル・モードでは、これらのピンは高インピーダンス出力となります。

ピン番号	記号	タイプ[1]	説明
13	D6 or EXT/$\overline{INT}$	DO/I	MODE[1：0]＝0、1、または2の場合、この出力をパラレル・ポート・データ出力バスのビット6として使用します。 MODE[1：0]＝3の場合、シリアル・データ・クロック源が選択されます。シリアル・モードでは、この入力を使用し、内部生成された（マスター）シリアル・データ・クロックと外部（スレーブ）シリアル・データ・クロック（AD7631出力データ用）を選択します。 EXT/$\overline{INT}$＝ローレベル（マスター・モード）のとき、SDCLK出力では内部シリアル・データ・クロックが選択されます。 EXT/$\overline{INT}$＝ハイレベル（スレーブ・モード）のとき、出力データは外部クロック信号に同期し、$\overline{CS}$によってゲーティングされ、SDCLK入力に接続されます。
14	D7 or INVSYNC	DI/O	MODE[1：0]＝0、1、または2の場合、この出力をパラレル・ポート・データ出力バスのビット7として使用します。 MODE[1：0]＝3の場合、シリアル・データ反転SYNCが選択されます。シリアル・マスター・モード（MODE[1：0]＝3、EXT/$\overline{INT}$＝ローレベル）では、この入力を使用してSYNC信号のアクティブ状態を選択します。 INVSYNCがローレベルの場合、SYNCはアクティブ・ハイになります。 INVSYNCがハイレベルの場合、SYNCはアクティブ・ローになります。
15	D8 or INVSCLK	DI/O	MODE[1：0]＝0、1、または2の場合、この出力をパラレル・ポート・データ出力バスのビット8として使用します。 MODE[1：0]＝3の場合、反転SDCLK/SCCLKが選択されます。この入力を使用してSDCLKとSCCLKの両方を反転します。 INVSYNCがローレベルの場合、SDCLK/SCCLKの立上がりエッジが使用されます。 INVSYNCがハイレベルの場合、SDCLK/SCCLKの立下がりエッジが使用されます。
16	D9 or RDC or SDIN	DI/O	MODE[1：0]＝0、1、または2の場合、この出力をパラレル・ポート・データ出力バスのビット9として使用します。 MODE[1：0]＝3の場合、変換中のシリアル・データ読出しになります。シリアル・マスター・モード（MODE[1：0]＝3、EXT/$\overline{INT}$＝ローレベル）のとき、RDCを読出しモードの選択に使用します。「マスター・シリアル・インターフェース」の項を参照。 RDCがローレベルの場合、変換終了後に現在の結果が読み出されます。このモードで最大スループットを達成することはできません。 RDCがハイレベルの場合、現在の変換中に前の変換結果が読み出されます。 MODE[1：0]＝3の場合、シリアル・データ入力となります。シリアル・スレーブ・モード（MODE[1：0]＝3、EXT/$\overline{INT}$＝ハイレベル）のとき、SDINは、複数のADCからの変換結果を1本のSDOUTラインにデイジーチェーンするためのデータ入力として使用できます。SDINのデジタル・データ・レベルは、読出しシーケンス開始からSDCLKの16周期分の遅延でSDOUT上に出力されます。
18	OVDD	P	I/Oインターフェースのデジタル電源。通常は、ホスト・インターフェース電源（2.5V、3V、または5V）と同じ電源です。10μFコンデンサと100nFコンデンサでデカップリングします。
19	DVDD	P	デジタル電源。通常は4.75～5.25V。10μFコンデンサと100nFコンデンサでデカップリングします。AVDDから電源を供給できます。
20	DGND	P	デジタル電源グラウンド。デジタル出力のグラウンド・リファレンス・ポイント。AGNDおよびDGNDと同じ電位でシステム・デジタル・グラウンドに接続するのが理想的です。
21	D10 or SDOUT	DI/O	MODE[1：0]＝0、1、または2の場合、この出力をパラレル・ポート・データ出力バスのビット10として使用します。 MODE[1：0]＝3の場合、シリアル・データ出力となります。すべてのシリアル・モードで、このピンはSDCLKに同期するシリアル・データ出力として使用されます。変換結果は内蔵のレジスタに格納されます。AD7631は内部シフト・レジスタからMSBファーストで変換結果を出力します。データ・フォーマットはOB/$\overline{2C}$のロジック・レベルで指定されます。 EXT/$\overline{INT}$がローレベルの場合（マスター・モード）、SDOUTがSDCLKの両エッジで有効となります。 EXT/$\overline{INT}$がハイレベルの場合（スレーブ・モード）、次のようになります。 INVSCLKがローレベルのときは、SDOUTがSDCLKの立上がりエッジで更新されます。 INVSCLKがハイレベルのときは、SDOUTがSDCLKの立下がりエッジで更新されます。
22	D11 or SDCLK	DI/O	MODE[1：0]＝0、1、または2の場合、この出力をパラレル・ポート・データ出力バスのビット11として使用します。 MODE[1：0]＝3の場合、シリアル・データ・クロックとなります。すべてのシリアル・モードで、このピンは、EXT/$\overline{INT}$ピンのロジック状態に応じてシリアル・データ・クロックの入力または出力として使用されます。データSDOUTが更新されるアクティブ・エッジは、INVSCLKピンのロジック状態に依存します。
23	D12 or SYNC	DO	MODE[1：0]＝0、1、または2の場合、この出力をパラレル・ポート・データ出力バスのビット12として使用します。 MODE[1：0]＝3の場合、シリアル・データ・フレーム同期となります。シリアル・マスター・モード（MODE[1：0]＝3、EXT/$\overline{INT}$＝ローレベル）のとき、この出力は内部データ・クロック使用時のデジタル出力フレーム同期として使用されます。 読出しシーケンスが開始され、かつINVSYNCがローレベルのとき、SYNCはハイレベルに駆動され、SDOUT出力が有効な間はハイレベルを保持します。 読出しシーケンスが開始され、かつINVSYNCがハイレベルのとき、SYNCはローレベルに駆動され、SDOUT出力が有効な間はローレベルを保持します。

ピン番号	記号	タイプ[1]	説明
24	D13 or RDERROR	DO	MODE[1：0]＝0、1、または2の場合、この出力をパラレル・ポート・データ出力バスのビット13として使用します。 MODE[1：0]＝3の場合、シリアル・データ読出しエラーとなります。シリアル・スレーブ・モード（MODE[1：0]＝3、EXT/$\overline{\text{INT}}$＝ハイレベル）のとき、この出力はデータ読出し未完了を示すエラー・フラグとして使用されます。データ読出しが開始され、現在の変換処理が終了しても読出しが完了しない場合、現在のデータが失われて、RDERRORにハイレベルのパルスが出力されます。
25	D14 or HW/$\overline{\text{SW}}$	DI/O	MODE[1：0]＝0、1、または2の場合、この出力をパラレル・ポート・データ出力バスのビット14として使用します。 MODE[1：0]＝3の場合、シリアル設定ハードウェアまたはシリアル設定ソフトウェアの選択となります。シリアル・モードのとき、この入力を使用してAD7631をハードウェアで設定するか、ソフトウェアで設定するか選択します。「ハードウェア設定」と「ソフトウェア設定」の各項を参照。 HW/SWがローレベルのとき、AD7631はシリアル設定レジスタが使用してソフトウェアにより設定されます。 HW/SWがハイレベルのとき、AD7631は専用のハードウェア入力ピンにより設定されます。
26	D15 or SCIN	DI/O	MODE[1：0]＝0、1、または2の場合、この出力をパラレル・ポート・データ出力バスのビット15として使用します。 MODE[1：0]＝3の場合、シリアル設定データ入力となります。シリアル・ソフトウェア設定モードのときは（HW/SW＝ローレベル）、この入力を使用し、設定データをMSBファーストでシリアル設定レジスタにシリアルに書き込みます。この入力のデータはSCCLKでラッチされます。「ソフトウェア設定」の項を参照。
27	D16 or SCCLK	DI/O	MODE[1：0]＝0、1、または2の場合、この出力をパラレル・ポート・データ出力バスのビット16として使用します。 MODE[1：0]＝3の場合、シリアル設定クロックとなります。シリアル・ソフトウェア設定モードのときは（HW/SW＝ローレベル）、この入力を使用してSCINにデータをクロック入力します。データSCINが更新されるアクティブ・エッジは、INVSCLKピンのロジック状態に依存します。「ソフトウェア設定」の項を参照。
28	D17 or $\overline{\text{SCCS}}$	DI/O	MODE[1：0]＝0、1、または2の場合、この出力をパラレル・ポート・データ出力バスのビット17として使用します。 MODE[1：0]＝3の場合、シリアル設定チップ・セレクトとなります。シリアル・ソフトウェア設定モードのときは（HW/SW＝ローレベル）、この入力を使用してシリアル設定ポートを有効にします。「ソフトウェア設定」の項を参照。
29	BUSY	DO	ビジー出力。変換開始時にハイレベルに遷移し、変換が完了してデータが内蔵シフト・レジスタにラッチされるまでハイレベルを保持します。BUSYの立下がりエッジは、データ・レディ・クロック信号として使用できます。変換モード後のマスター読出しでは（MODE[1：0]＝3、EXT/$\overline{\text{INT}}$＝ローレベル、RDC＝ローレベル）、ビジー時間は表4に従い変動します。
30	TEN	DI2	入力範囲の選択。これは下記のようにBIPOLARとともに使用します。 Input range (V) / BIPOLAR / TEN 0 to 5 / Low / Low 0 to 10 / Low / High ±5 / High / Low ±10 / High / High
31	$\overline{\text{RD}}$	DI	データの読出し。$\overline{\text{CS}}$と$\overline{\text{RD}}$がともにローレベルのとき、インターフェースのパラレルまたはシリアル出力バスが有効になります。
32	$\overline{\text{CS}}$	DI	チップ・セレクト。$\overline{\text{CS}}$と$\overline{\text{RD}}$がともにローレベルのとき、インターフェースのパラレルまたはシリアル出力バスが有効になります。$\overline{\text{CS}}$は、スレーブ・シリアル・モードで外部クロックのゲーティングにも使用されます（シリアル設定ポートには使用されません）。
33	RESET	DI	リセット入力。ハイレベルに設定するとAD7631がリセットされ、変換中であれば変換がアボートされます。RESETの立下がりエッジでデータ出力がオールゼロになり（OB/$\overline{\text{2C}}$＝ハイレベル）、設定レジスタがクリアされます。「デジタル・インターフェース」の項を参照。このピンは、未使用時にOGNDに接続できます。
34	PD	DI[2]	パワーダウン入力。PDがハイレベルのとき、ADCがパワーダウンします。消費電力は低減し、現在の変換が完了した後に変換が禁止されます。パワーダウン中、デジタル・インターフェースはアクティブ状態を保持します。
35	$\overline{\text{CNVST}}$	DI	変換の開始。$\overline{\text{CNVST}}$の立下がりエッジで内部サンプル／ホールドがホールド状態になり、変換が開始されます。
36	BIPOLAR	DI[2]	入力範囲の選択。30番ピンの説明を参照。
37	REF	AO/I	リファレンス入出力。PDREF/PDBUFがローレベルの場合、内部リファレンスとバッファが有効になり、このピン上に5Vが出力されます。PDREF/PDBUFがハイレベルの場合、内部リファレンスとバッファが無効になり、AVDDまでの電圧リファレンスを外部から供給できるようになります。内部リファレンスおよびバッファの有無とは無関係に、最低でも22μFのコンデンサによるデカップリングが必要です。「電圧リファレンス入出力」の項を参照。
38	REFGND	AI	リファレンス入力のアナログ・グラウンド。アナログ・グラウンド・プレーンに接続します。

ピン番号	記号	タイプ[1]	説明
39	IN−	AI	アナログ入力。IN+を基準とします。 0～5Vの入力範囲の場合、IN−はV_{REF}/2を中心とする0V～V_{REF}の範囲の電圧となります。 0～10Vの入力範囲の場合、V_{REF}を中心とする0V～2V_{REF}の範囲の電圧となります。 ±5Vおよび±10Vの範囲の場合、IN−は0Vを中心とする最大±2V_{REF}（±5Vの範囲）または最大±4V_{REF}（±10Vの範囲）の真のバイポーラとなります。 全範囲で、IN+とは180°逆位相でIN−を駆動する必要があります。
40	VCC	P	正側電圧電源。通常は+7～+15V。
41	VEE	P	負側高電圧電源。通常は0～−15V（ユニポーラ範囲での0V）。
43	IN+	AI	アナログ入力。IN−を基準とします。 0～5Vの入力範囲の場合、IN+はV_{REF}/2を中心とする0V～V_{REF}の範囲の電圧となります。0～10Vの入力範囲の場合は、V_{REF}を中心とする0V～2V_{REF}の範囲の電圧となります。±5Vまたは±10Vの範囲の場合、IN+は0Vを中心とする最大±2V_{REF}（±5Vの範囲）または最大±4V_{REF}（±10Vの範囲）の真のバイポーラとなります。 全範囲で、IN−とは180°逆位相でIN+を駆動する必要があります。
45	TEMP	AO	温度センサ・アナログ出力。内部リファレンスが有効の場合（PDREF=PDBUF=ローレベル）、このピンはAD7631の温度に比例する電圧を出力します。「電圧リファレンス入出力」の項を参照。
46	REFBUFIN	AI	リファレンス・バッファ入力。内部リファレンス・バッファで外部リファレンスを使用する場合（PDBUF=ローレベル、PDREF=ハイレベル）、このピンに2.5Vを供給すると、REFピン上に5Vが出力されます。「電圧リファレンス入出力」の項を参照。
47	PDREF	DI	内部リファレンス・パワーダウン入力 ローレベルのときに内部リファレンスが有効になります。 ハイレベルのときに内部リファレンスがパワーダウンされるため、外部リファレンスを使用する必要があります。
48	PDBUF	DI	内部リファレンス・バッファのパワーダウン入力 ローレベルのときに、バッファが有効になります（内部リファレンスを使用するときはローレベルに設定）。 ハイレベルのときに、バッファがパワーダウンされます。

[1] AI=アナログ入力、AI/O=双方向アナログ、AO=アナログ出力、DI=デジタル入力、DI/O=双方向デジタル、DO=デジタル出力、P=電源。
[2] ドント・ケア。シリアル設定モード（MODE[1：0]=3、HW/$\overline{SW}$=ローレベル）のとき、この入力はシリアル設定レジスタで設定されます。「ハードウェア設定」と「ソフトウェア設定」の各項を参照。

表7. データ・バス・インターフェースの定義

MODE	MODE1	MODE0	D0/OB/$\overline{2C}$	D1/A0	D2/A1	D[3]	D[4:9]	D[10:11]	D[12:15]	D[16:17]	Description
0	0	0	R[0]	R[1]	R[2]	R[3]	R[4:9]	R[10:11]	R[12:15]	R[16:17]	18-bit parallel
1	0	1	OB/$\overline{2C}$	A0 = 0	R[2]	R[3]	R[4:9]	R[10:11]	R[12:15]	R[16:17]	16-bit high word
1	0	1	OB/$\overline{2C}$	A0 = 1	R[0]	R[1]	All zeros				16-bit low word
2	1	0	OB/$\overline{2C}$	A0 = 0	A1 = 0	All High-Z		R[10:11]	R[12:15]	R[16:17]	8-bit high byte
2	1	0	OB/$\overline{2C}$	A0 = 0	A1 = 1	All High-Z		R[2:3]	R[4:7]	R[8:9]	8-bit midbyte
2	1	0	OB/$\overline{2C}$	A0 = 1	A1 = 0	All High-Z		R[0:1]	All zeros		8-bit low byte
2	1	0	OB/$\overline{2C}$	A0 = 1	A1 = 1	All High-Z		All zeros		R[0:1]	8-bit low byte
3	1	1	OB/$\overline{2C}$	All High-Z				Serial interface			Serial interface

代表的な性能特性

AVDD＝DVDD＝5V、OVDD＝5V、VCC＝15V、VEE＝－15V、V_{REF}＝5V、T_A＝25℃。

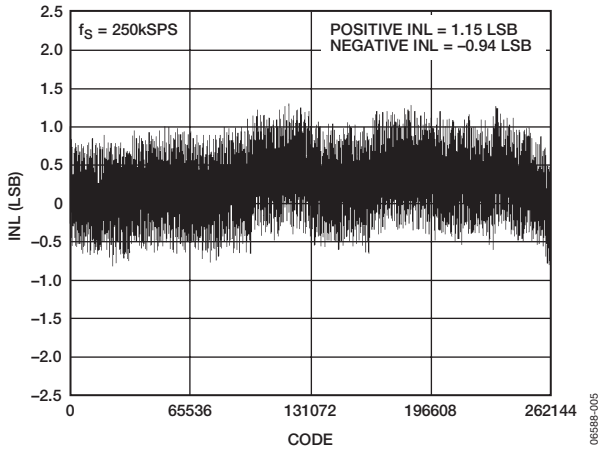


図5.　コード 対 積分非直線性、10Vのバイポーラ範囲

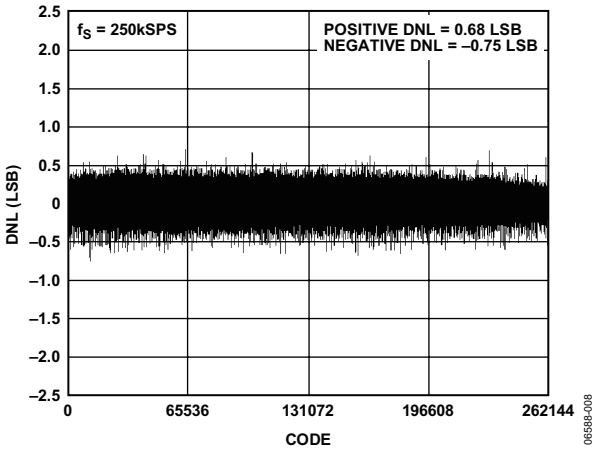


図8.　コード 対 微分非直線性、10Vのバイポーラ範囲

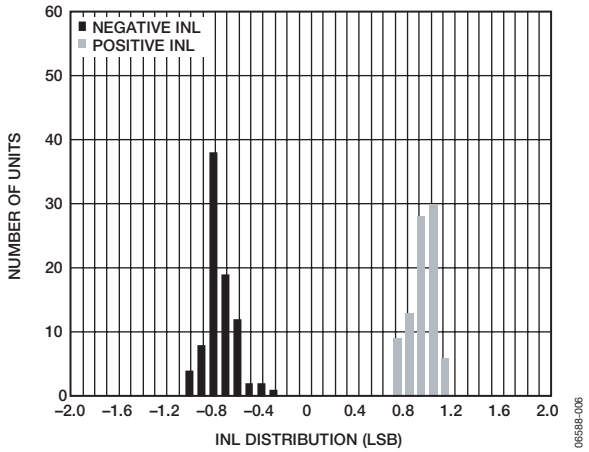


図6.　積分非直線性分布、10Vのユニポーラ範囲
（86個のデバイス）

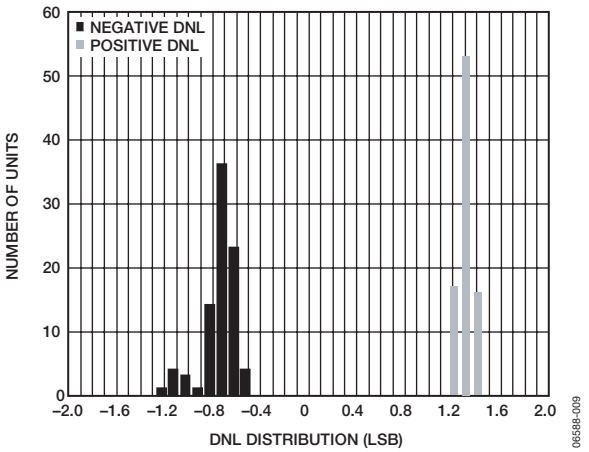


図9.　微分非直線性分布、5Vのバイポーラ範囲
（86個のデバイス）

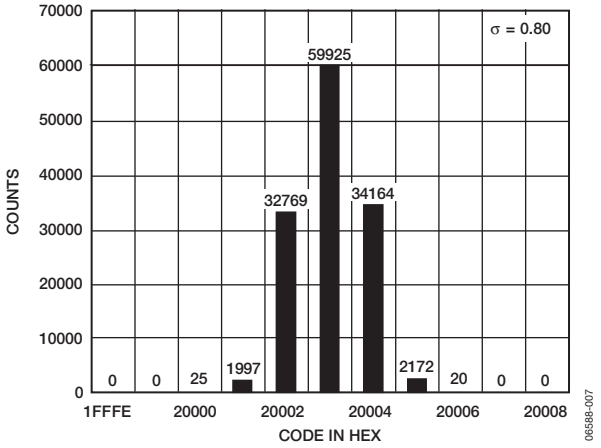


図7.　コード中央値のDC入力を261,120回変換した場合のヒストグラム、5Vのバイポーラ範囲

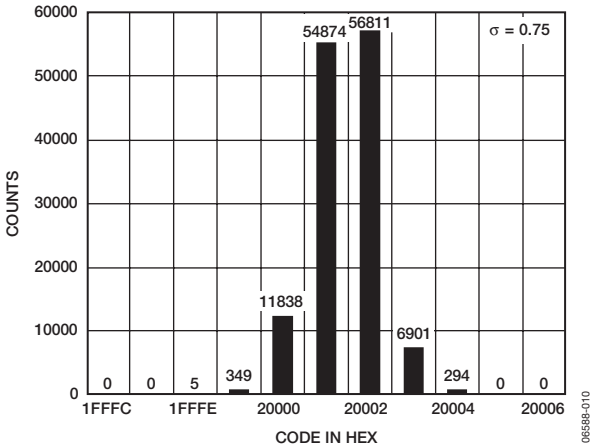


図10.　コード変化が発生するDC入力を261,120回変換した場合のヒストグラム、5Vのバイポーラ範囲

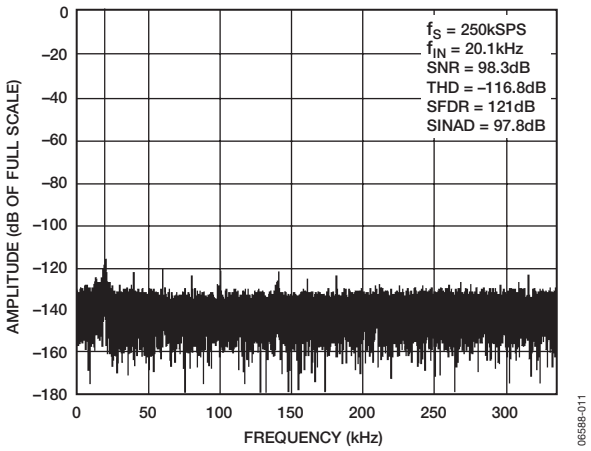


図11. FFT 20kHz、5Vのバイポーラ範囲、内部リファレンス

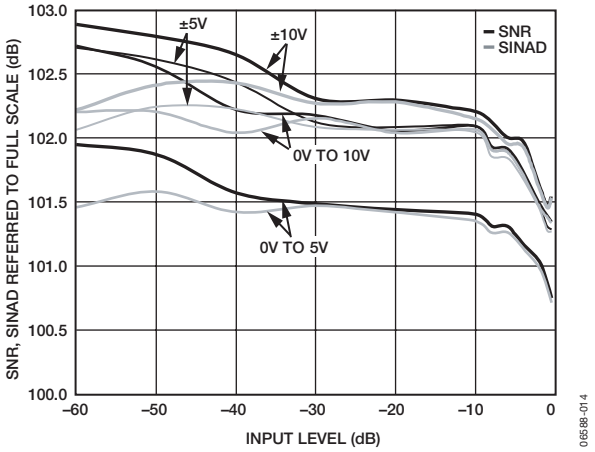


図14. 入力レベル 対 S/N比およびSINAD（フルスケール基準）

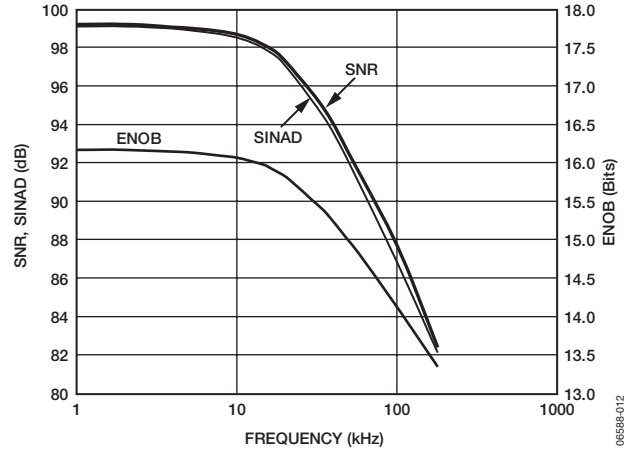


図12. S/N比、SINAD、およびENOBの周波数特性、5Vのユニポーラ範囲

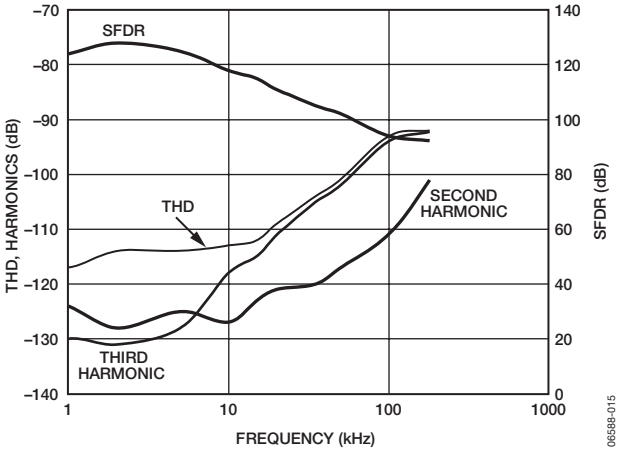


図15. THD、高調波、およびSFDRの周波数特性、5Vのユニポーラ範囲

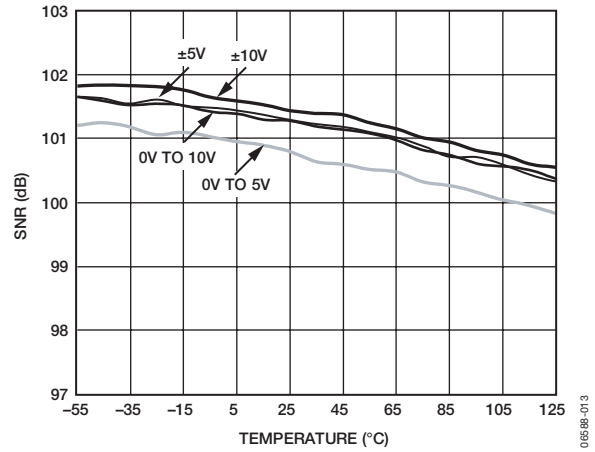


図13. S/N比の温度特性

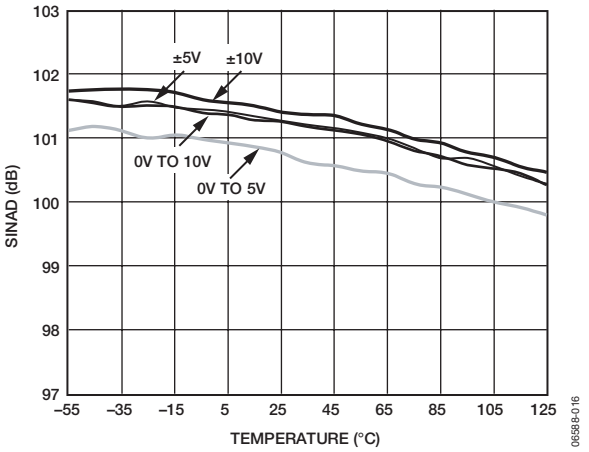


図16. SINADの温度特性

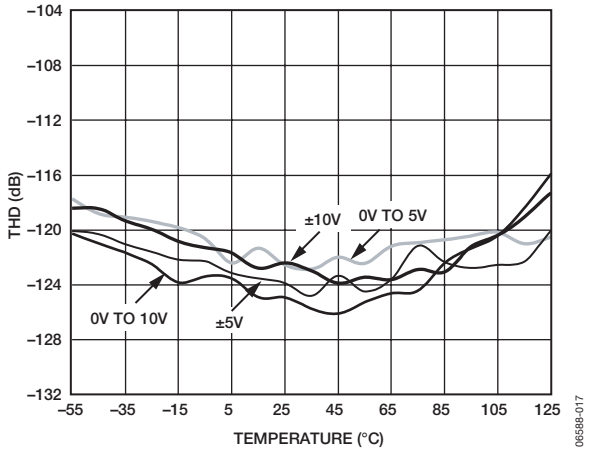


図17. THDの温度特性

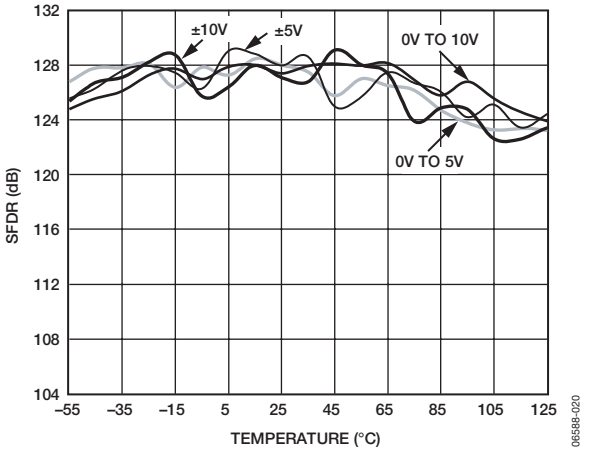


図20. SFDRの温度特性（高調波を除く）

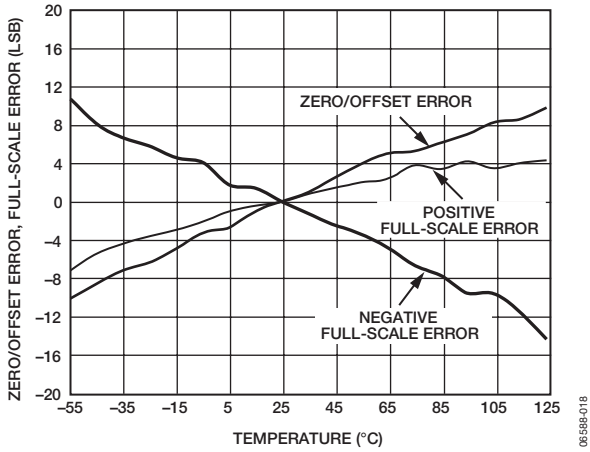


図18. ゼロ／オフセット誤差および正側／負側フルスケール誤差の温度特性、すべて25℃に正規化

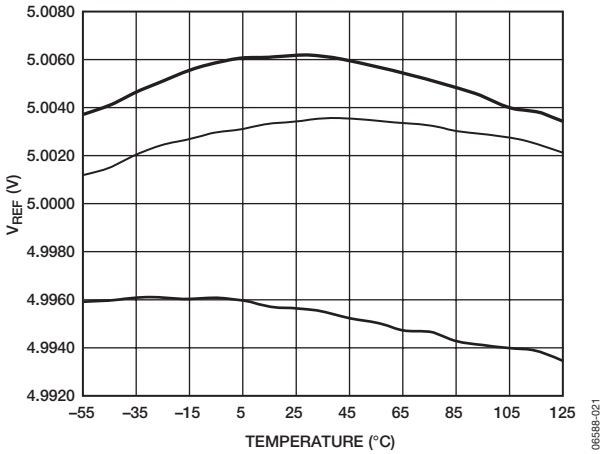


図21. 代表的なリファレンス電圧出力の温度特性（3個のデバイス）

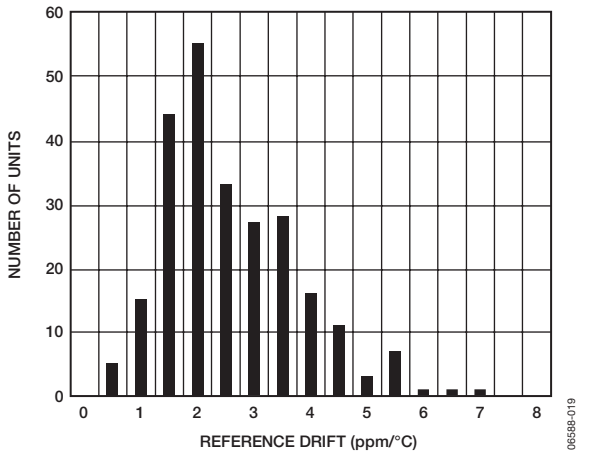


図19. リファレンス電圧温度係数の分布（247個のデバイス）

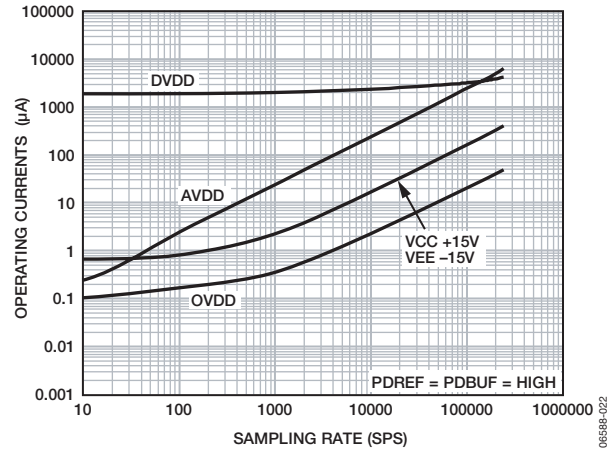


図21. サンプル・レート 対 動作電流

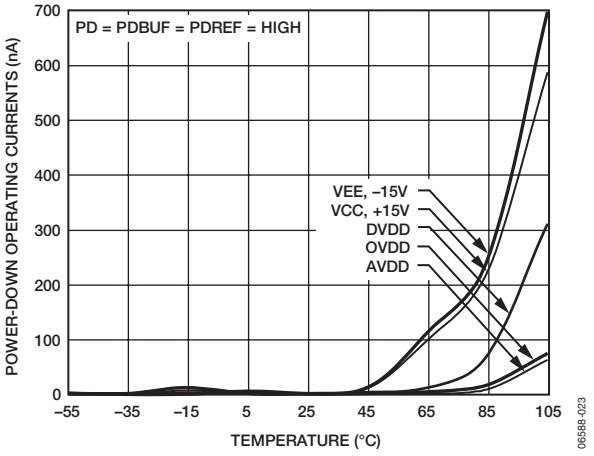


図23. パワーダウン動作電流の温度特性

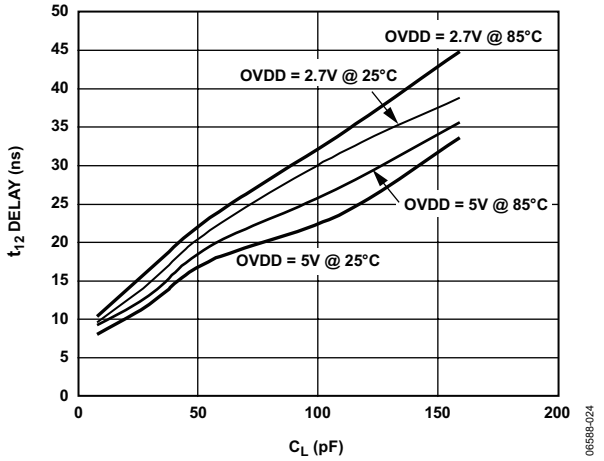


図24. 代表的な負荷容量C_L 対 遅延

用語の説明

最下位ビット（LSB）
最下位ビットすなわちLSBは、コンバータで表すことができる最小増分です。Nビットの分解能を持つ完全差動入力ADCの場合、LSBは次式のように電圧単位で表されます。

$$LSB(V)=\frac{V_{INp\text{-}p}}{2^N}$$

積分非直線性誤差（INL）
直線性誤差とは、負側フルスケールと正側フルスケールとを結ぶ直線と実際の各コード出力との偏差を意味します。負側フルスケールとして使用するポイントは、最初のコード遷移より0.5LSBだけ下に存在します。正側フルスケールは、最後のコード遷移より1.5LSB高いレベルと定義されます。偏差は各コードの中央と真の直線との間の距離として測定されます。

微分非直線性誤差（DNL）
理想的なADCでは、各コード遷移は1LSBだけ離れた位置で発生します。微分非直線性とは、この理論値からの最大偏差のことです。ノー・ミッシング・コードが保証される分解能として規定されることもあります。

バイポーラ・ゼロ誤差
理想的なミッドスケール入力電圧（0V）と、ミッドスケール出力コードを生成する実際の電圧との差をいいます。

ユニポーラ・オフセット誤差
最初の遷移はアナログ・グラウンドより0.5LSB上のレベルで発生します。ユニポーラ・オフセット誤差は、その点からの実際の遷移の偏差をいいます。

フルスケール誤差
最後の遷移（ストレート・バイナリ・フォーマットで111...10から111...11）は、公称フルスケールより1.5LSB低いアナログ電圧で発生します。フルスケール誤差は、最後の遷移での理想的なレベルから実際のレベルへの偏差をLSB（またはフルスケール範囲の%値）で表し、オフセット誤差の影響を含みます。これは、オフセットの誤差の影響を含まないゲイン誤差（同じくLSB、またはフルスケール範囲の%値で表す）と密接な関連があります。

ダイナミック・レンジ
フルスケールのRMS値と、−60dBの入力を使用して測定したRMSノイズとの比を意味し、dB値で表します。

S/N比（SNR）
実際の入力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和から高調波成分とDC成分を除いた値との比で、dB値で表します。

全高調波歪み（THD）
最初の5つの高調波成分のRMS値の総和と、フルスケール入力信号のRMS値との比であり、dB値で表します。

信号／ノイズ＆歪み比（SINAD）
実際の入力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和（DC以外の高調波成分を含む）との比を意味し、dB値で表します。

スプリアスフリー・ダイナミック・レンジ（SFDR）
入力信号のRMS振幅値とピーク・スプリアス信号のRMS値との差を意味し、dB値で表します。

有効ビット数（ENOB）
サイン波を入力したときの分解能の測定値です。SINADとの関係は次式で表します。

$$ENOB=[(SINAD_{dB}-1.76)/6.02]$$

アパーチャ遅延
アクイジション性能を表し、$\overline{\text{CNVST}}$入力の立下がりエッジから、入力信号が変換用にホールドされるまでの時間を測定します。

過渡応答
AD7631の入力にフルスケールのステップ関数が与えられてから、AD7631が定格精度を達成するまでに要する時間です。

リファレンス電圧の温度係数
リファレンス電圧の温度係数は、T_{MIN}、T(25℃)、T_{MAX}の3点で測定されたリファレンス出力電圧（V_{REF}）の最大値と最小値の差の電圧と、25℃での出力電圧の代表的なシフトから得られ、次のようにppm/℃で表します。

$$TCV_{REF}\,(\text{ppm/℃})=\frac{V_{REF}\,(Max)-V_{REF}\,(Min)}{V_{REF}\,(25℃)\times(T_{MAX}-T_{MIN})}\times 10^6$$

ここで、
$V_{REF}\,(Max)$＝T_{MIN}、T(25℃)、またはT_{MAX}での最大V_{REF}
$V_{REF}\,(Min)$＝T_{MIN}、T(25℃)、またはT_{MAX}での最小V_{REF}
$V_{REF}\,(25℃)$＝25℃でのV_{REF}
T_{MAX}＝＋85℃
T_{MIN}＝−40℃

動作原理

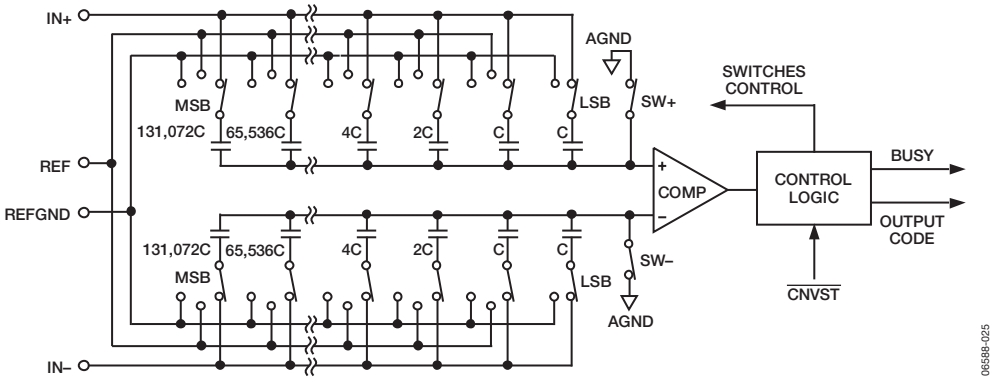


図25. ADCの簡略回路図

回路情報

AD7631は、逐次比較型の容量DAC（CDAC）アーキテクチャを使用した、高速、低消費電力の高精度18ビットADCです。

AD7631では、4種類の入力範囲のいずれか1つをいつでも設定できます。この設定はパラレル・ハードウェア・モード／シリアル・ハードウェア・モードで特定の入力を使って行うか、あるいはシリアル・ソフトウェア・モードで設定レジスタを使って書込み専用のSPI互換インターフェースにより行います。AD7631はアナログ・デバイセズの特許技術*i*CMOS高電圧プロセスを採用し、従来の薄膜を使用することなく、完全差動のIN＋/IN－入力で0～＋5V（10Vp-p）、0～＋10V（20Vp-p）、±5V（20Vp-p）、±10V（40Vp-p）の入力範囲に対応します。入力を適正な設定にロックするには、1アクイジション・サイクル（t_8）のみで十分です。ADCの再設定にリセットを行う（電源を入れ直す）必要はありません。

AD7631は毎秒250,000サンプルの変換（250kSPS）が可能で、消費電力はスループットに直線的に比例するため、バッテリ駆動のシステムに最適です。

AD7631はトラック／ホールドを内蔵し、パイプライン遅延やレイテンシのない逐次比較型ADCを提供できるため、マルチプレクスされた複数チャンネルのアプリケーションにも最適です。

ユニポーラ入力範囲の場合、AD7631は通常3つの電源VCC、AVDD（DVDDを提供可能）、OVDD（5V、3.3V、2.5Vのデジタル・ロジックにインターフェース可能）を必要とします。バイポーラ入力範囲の場合は、追加のVEE電源を使用する必要があります。

このデバイスは、省スペースと柔軟性という2つの特性をあわせ持つ鉛フリーの48ピンLQFPまたは小型の48ピン、7mm×7mm LFCSPで提供されます。本製品はパラレルまたはシリアルSPI互換のインターフェースとして構成できます。

コンバータの動作

AD7631は、電荷再配分式DACをベースとする逐次比較型ADCです。図25に、ADCの簡略回路図を示します。この容量DAC（CDAC）は、2進数の重みを持った18個のコンデンサで構成される2列のアレイを備えています。各アレイはコンパレータの2つの入力に接続されています。

アクイジション・フェーズでは、コンパレータの入力に接続されたアレイの端子は、SW＋とSW－を経由してAGNDに接続されます。すべての独立したスイッチはアナログ入力に接続されます。したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用され、IN＋入力とIN－入力上のアナログ信号を取り込みます。アクイジション・フェーズが終了して、$\overline{\text{CNVST}}$入力がローレベルになると、変換フェーズが開始されます。変換フェーズが開始されると、SW＋とSW－が開きます。次に、2列のコンデンサ・アレイが入力から切り離されて、REFGND入力に接続されます。そうすると、アクイジション・フェーズの終わりに取り込まれた、IN＋とIN－の間の差動電圧がコンパレータ入力に接続され、コンパレータの平衡性が失われます。コンデンサ・アレイの各エレメントをREFGNDとREFの間で切り替えることにより、コンパレータ入力は2進数重みの電圧ステップ（$V_{REF}/2$、$V_{REF}/4$...$V_{REF}/262,144$）で変化します。コントロール・ロジックがこれらのスイッチをトグルして（MSBファースト）、コンパレータを再度平衡させます。

この処理が終了すると、コントロール・ロジックがADC出力コードを発生して、BUSY出力をローレベルにします。

伝達関数

18ビット・パラレル・インターフェース・モード以外では、D0/OB/$\overline{2C}$デジタル入力または設定レジスタを使用して、ストレート・バイナリと2の補数の2種類から出力コーディングを選択できます。各アナログ入力範囲（V_{IN}）の理論伝達特性とデジタル出力コードについては、図26と表8を参照してください。設定レジスタを使用する場合、D0/OB/$\overline{2C}$入力（ドント・ケア）はハイレベルまたはローレベルに接続します。

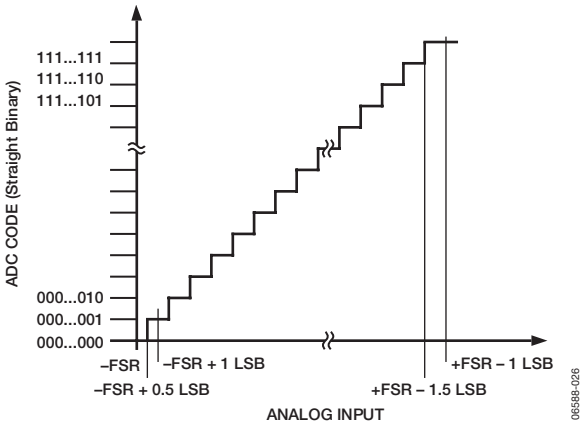


図26. ADCの理論伝送関数

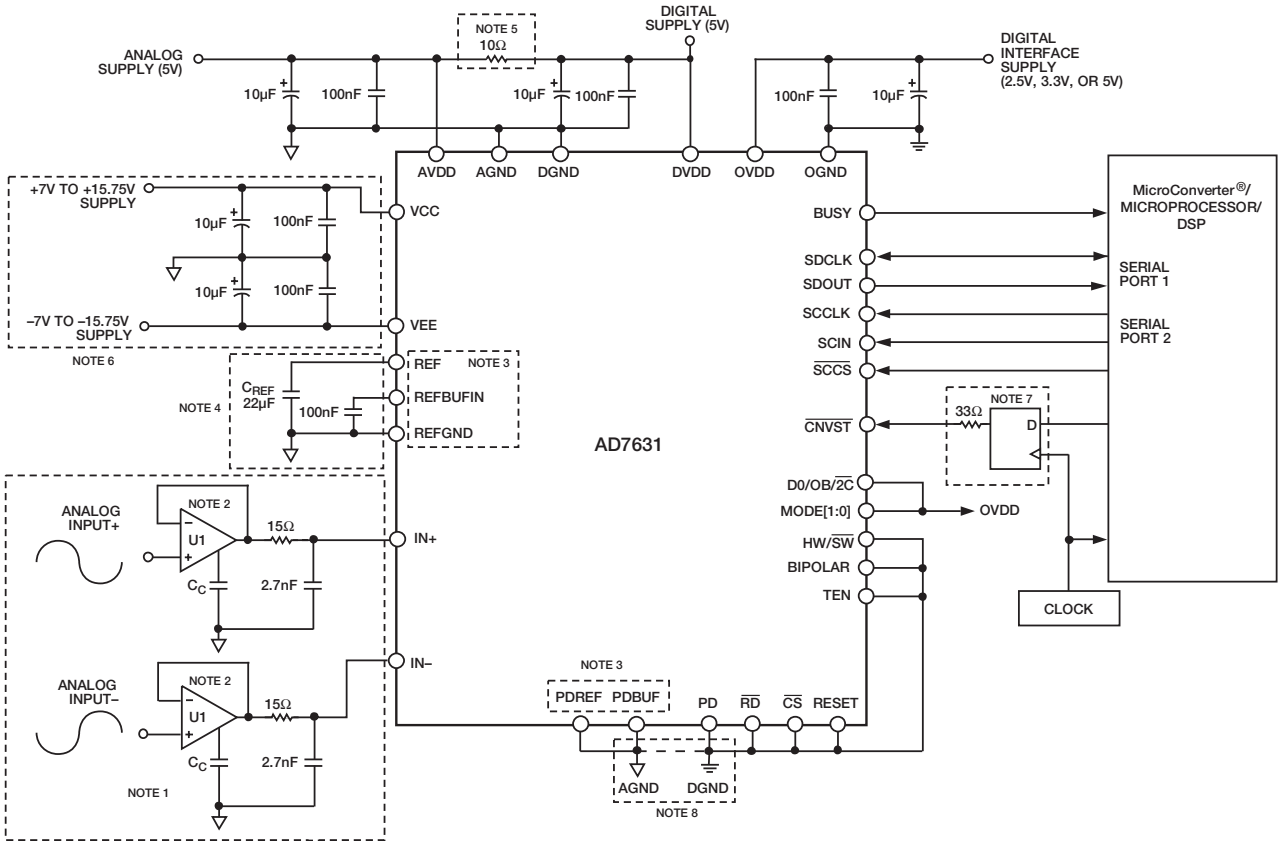
代表的な接続図

図27に、内部リファレンス、シリアル・データ・インターフェース、シリアル設定ポートを使用したAD7631の代表的な接続図を示します。この図に示した各種回路はオプションであり、次項以下で説明します。

表8. 出力コードと理論入力電圧

	V_{REF} = 5 V				Digital Output Code	
Description	V_{IN} = 0 V to 5 V (10 V p-p)	V_{IN} = 0 V to 10 V (20 V p-p)	V_{IN} = ±5 V (20 V p-p)	V_{IN} = ±10 V (40 V p-p)	Straight Binary	Twos Complement
FSR – 1 LSB	+4.999962 V	+9.999924 V	+9.999924 V	+19.999847 V	0x3FFFF[1]	0x1FFFF[1]
FSR – 2 LSB	+4.999924 V	+9.999847 V	+9.999847 V	+19.999695 V	0x3FFFE	0x1FFFE
Midscale + 1 LSB	+38.15 µV	–76.29 µV	–76.29 µV	+152.59 µV	0x20001	0x00001
Midscale	0 V	0 V	0 V	0 V	0x20000	0x00000
Midscale – 1 LSB	–38.15 µV	–76.29 µV	–76.29 µV	–152.59 µV	0x1FFFF	0x3FFFF
–FSR + 1 LSB	–4.999962 V	–9.999924 V	–9.999924 V	–19.999847 V	0x00001	0x20001
–FSR	–5 V	–10 V	–10 V	–20 V	0x00000[2]	0x20000[2]

[1] アナログ入力範囲より上のコードでもあります。
[2] アナログ入力範囲より下のコードでもあります。



NOTES
1. ANALOG INPUTS ARE DIFFERENTIAL (ANTIPHASE). SEE ANALOG INPUTS SECTION.
2. THE AD8021 IS RECOMMENDED. SEE DRIVER AMPLIFIER CHOICE SECTION.
3. THE CONFIGURATION SHOWN IS USING THE INTERNAL REFERENCE. SEE VOLTAGE REFERENCE INPUT/OUTPUT SECTION.
4. A 22µF CERAMIC CAPACITOR (X5R, 1206 SIZE) IS RECOMMENDED (FOR EXAMPLE, PANASONIC ECJ4YB1A226M). SEE VOLTAGE REFERENCE INPUT/OUTPUT SECTION.
5. OPTIONAL, SEE POWER SUPPLIES SECTION.
6. THE VCC AND VEE SUPPLIES SHOULD BE VCC = [VIN(MAX) + 2V] AND VEE = [VIN(MIN) – 2V] FOR BIPOLAR INPUT RANGES. FOR UNIPOLAR INPUT RANGES, VEE CAN BE 0V. SEE POWER SUPPLIES SECTION.
7. OPTIONAL LOW JITTER CNVST, SEE CONVERSION CONTROL SECTION.
8. A SEPARATE ANALOG AND DIGITAL GROUND PLANE IS RECOMMENDED, CONNECTED TOGETHER DIRECTLY UNDER THE ADC. SEE LAYOUT GUIDELINES SECTION.

図27. シリアル・インターフェースおよびシリアル・プログラマブル・ポートの代表的な接続図

アナログ入力

入力範囲の選択

パラレル・モードとシリアル・ハードウェア・モードでは、BIPOLAR（バイポーラ）入力とTEN（10V範囲）を使って入力範囲を選択します。ピンの詳細については表6を参照し、ピンまたは設定レジスタによるモードの選択については「ハードウェア設定」、「ソフトウェア設定」の項をそれぞれ参照してください。設定レジスタを使用する場合、BIPOLAR入力とTEN入力はドント・ケアで、ハイレベルまたはローレベルに接続します。

入力構造

図28に、AD7631の入力構造と等価の回路を示します。

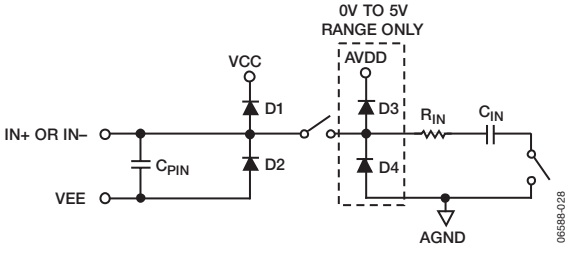


図28. アナログ入力の簡略回路図

4つのダイオードD1～D4は、アナログ入力IN＋とIN－のESD保護用です。アナログ入力信号が電源レールより0.3V以上超えないように注意する必要があります。これらのダイオードが順方向にバイアスされて、電流が流れてしまうためです。ダイオードは、最大120mAの順方向バイアス電流を処理できます。一例を上げると、この状態は入力バッファ（U1）の電源がAVDD、VCC、VEEと異なるときなどに発生します。このような場合、短絡電流制限機能のある入力バッファを使えばデバイスを保護できます。ただし、ほとんどのオペアンプの短絡電流は100mA未満です。D3およびD4は0～5Vの範囲でのみ使用され、これより高い電圧範囲からスイッチングするアプリケーションでは追加の保護が可能です。

真の差動を提供するAD7631のアナログ入力構造を使うと、IN＋とIN－との間の差動信号のサンプリングが可能になります。この差動入力の採用により、両入力の同相小信号が除去されます。図29に代表的なCMRRの周波数特性を示します。

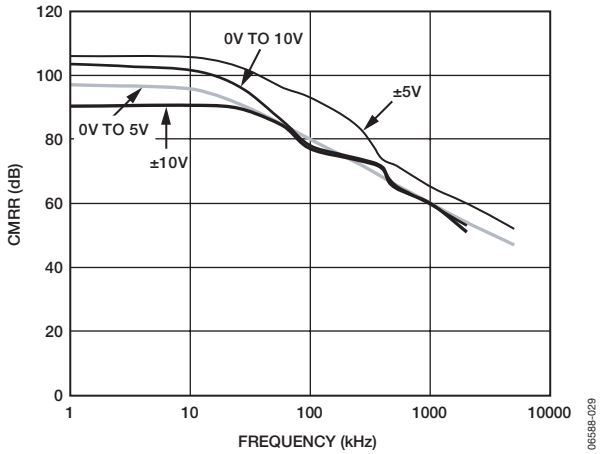


図29. アナログ入力CMRRの周波数特性

AC信号のアクイジション・フェーズでは、アナログ入力IN＋とIN－のインピーダンスは、R_{IN}とC_{IN}の直列接続で構成された回路とコンデンサC_{PIN}との並列組み合わせとしてモデル化できます。C_{PIN}は主にピン容量です。R_{IN}は5kΩ(typ)で、直列抵抗とスイッチのオン抵抗で構成されます。C_{IN}は主にADCサンプリング・コンデンサとして機能し、選択した入力範囲に依存します。0～5Vの範囲では48pF（typ）、0～10Vおよび±5Vの範囲では24pF（typ）、±10Vの範囲では12pF（typ）となります。スイッチが開かれている変換フェーズでは、入力インピーダンスはC_{PIN}に制限されます。

AD7631の入力インピーダンスはきわめて高いため、低インピーダンス信号源から直接駆動してもゲイン誤差はありません。図27に示すように、アンプ出力とADCアナログ入力との間に外付けの単極RCフィルタを挿入して、AD7631アナログ入力回路によるノイズ・フィルタ処理を強化できます。ただし、ソース・インピーダンスが大きい場合は、AC性能、特に全高調波歪み（THD）に多大な影響を与えます。最大ソース・インピーダンスは、許容可能なTHDの大きさに依存します。図30に示すように、THDはソース・インピーダンスと最大入力周波数の関数となっており、それに応じて劣化します。

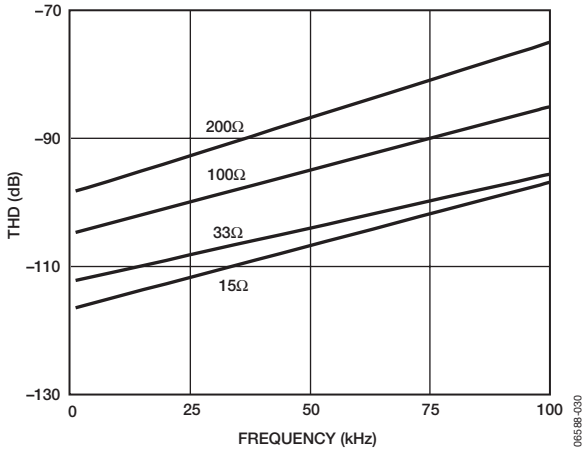


図30. アナログ入力周波数とソース抵抗 対 THD

ドライバ・アンプの選択

AD7631の駆動は簡単ですが、ドライバ・アンプは次の条件を満たす必要があります。

- 多チャンネルをマルチプレクスするアプリケーションの場合、ドライバ・アンプとAD7631アナログ入力回路はともに、コンデンサ・アレイのフルスケール・ステップに対して18ビット・レベル（0.0004%）でセトリングする必要があります。アンプのデータシートでは、一般に0.1～0.01%でのセトリングが規定されています。これは18ビット・レベルでのセトリング時間とは大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。オペアンプAD8021は超低ノイズと大きなゲイン帯域幅を兼ね備えているため、最大13倍のゲインで使用するときでも、このセトリング時間の条件を満たします。

- AD7631の遷移ノイズ性能とS/N比を維持するには、ドライバ・アンプによって生じるノイズをできるだけ低く抑える必要があります。ドライバから発生するノイズは、外付けの単極ローパス・フィルタによって除去されます（図27）。アンプに起因するS/N比の性能低下は、次式で求められます。

$$SNR_{LOSS} = 20\log\left(\frac{V_{NADC}}{\sqrt{V_{NADC}^2 + \frac{\pi}{2} f_{-3dB}(Ne_{N+})^2 + \frac{\pi}{2} f_{-3dB}(Ne_{N-})^2}}\right)$$

ここで、

V_{NADC}はADCのノイズであり、次式で表されます。

$$V_{NADC} = \frac{\frac{2V_{INp\text{-}p}}{2\sqrt{2}}}{10^{\frac{SNR}{20}}}$$

f_{-3dB}は、入力フィルタのカットオフ周波数（3.9MHz）。

*N*は、アンプのノイズ係数（バッファ構成の場合は1）。

e_{N+}とe_{N-}は、IN＋とIN－に接続されたオペアンプの等価入力電圧ノイズ密度（nV/√Hz）。

この概算式は、アンプ周辺に使用される抵抗値が小さいときに利用できます。抵抗が大きい場合は、ノイズ寄与分も二乗和の平方根をとります。

- ドライバには、AD7631のTHD性能に見合うTHD性能が必要です。図15に、ドライバが満たすべきTHDの周波数特性を示します。

AD8021はこれらの条件を満たしているため、ほとんどすべてのアプリケーションに適しています。AD8021では優れた直線性を得るために、NPOセラミックやマイカ・タイプのような10pFの外付け補償コンデンサが必要となります。さらに、ゲイン＋1の非反転回路の使用構成を推奨しますが、これを使うと最適なS/N比が得られます。

デュアル・バージョンが必要でゲイン＝1を使用する場合は、AD8022も使用できます。高周波（100kHz超）性能を必要としないアプリケーションでは、AD829も使用できます。ゲイン＝1のアプリケーションでは、82pFの補償コンデンサが必要です。低周波アプリケーションで低バイアス電流が必要な場合では、AD8610を使用できます。

AD7631は大きな形状の高電圧入力スイッチを使用するため、最大のフルパワー帯域幅でアンプを使用するときに最高の直線性性能が得られます。アンプでADCの広いダイナミック・レンジを使用すると、直線性誤差は大きくなります。高い分解能を必要とするアプリケーションの場合は、AD7631を駆動するユニティ・フォロワの前にゲインがある追加アンプを配置する必要があります。推奨のオペアンプについては、表9を参照してください。

表9. 推奨ドライバ・アンプ

Amplifier	Typical Application
AD829	±15 V supplies, very low noise, low frequency
AD8021	±12 V supplies, very low noise, high frequency
AD8022	±12 V supplies, very low noise, high frequency, dual
ADA4922-1	±12 V supplies, low noise, high frequency, single-ended-to-differential driver
AD8610/ AD8620	±13 V supplies, low bias current, low frequency, single/dual

シングルエンド／差動変換ドライバ

シングルエンド・ソースの場合、ADA4922-1のようなシングルエンド／差動変換ドライバを使うと、AD7631の差動駆動が可能になります。R＝15ΩとC＝2.7nFを使用する単極フィルタでは、3.9MHzのコーナー周波数が得られます。

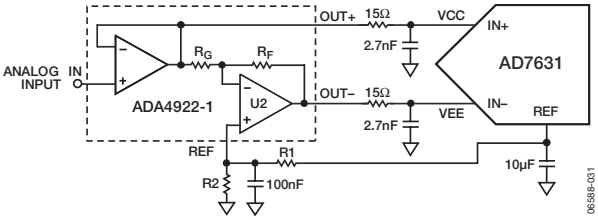


図31. ADA4922-1を使用したシングルエンド／差動変換ドライバ

5Vと10Vのユニポーラ入力範囲の場合は、内部（または外部）リファレンス・ソースを使用してU2をレベル・シフトし、入力スパンを調整します。外付けのリファレンスを使用する場合は、R1/R2の値を低くして抵抗のジョンソン・ノイズ（1.29E－10×√R）を低減します。±5Vと±10Vのバイポーラ入力範囲の場合は、同相電圧が0Vとなるためリファレンスの接続は不要です。R1/R2の差動入力範囲については、表10を参照してください。

表10. R1/R2構成

Input Range (V)	R1 (Ω)	R2 (Ω)	Common-Mode Voltage (V)
5	2.5 k	2.5 k	2.5
10	2.5 k	Open	5
±5, ±10	100	0	

この回路は、表9の推奨低ノイズ・アンプを使ってディスクリートに構成することもできます。コンバータのS/N比を維持するには、抵抗R_FとR_Gを低く抑える必要があります。

電圧リファレンス入出力

AD7631では、温度ドリフトが非常に小さい内部電圧リファレンス、外部リファレンス、または外付けバッファ付きリファレンスを選択できます。

AD7631の内部リファレンスの性能は非常に優れているため、ほとんどすべてのアプリケーションで使用できます。ただし、直線性性能は外部リファレンスを使用したときのみ保証されます。

内部リファレンス（REF＝5V）（PDREF＝ローレベル、PDBUF＝ローレベル）

内部リファレンスを使用する場合は、PDREF入力とPDBUF入力をローレベルにします。これによって内蔵のバンド・ギャップ・リファレンス、バッファ、TEMPセンサーが有効となり、REFピン上に5.00Vのリファレンス電圧が出力されます。

内部リファレンスは、5.000V±35mVに温度補償されています。リファレンスは、ドリフトが3ppm/℃（typ）に調整されています。このドリフト特性（typ）は図19に示しています。

外部2.5Vリファレンスと内部バッファ（REF＝5V）（PDREF＝ハイレベル、PDBUF＝ローレベル）

内部バッファ付きの外部リファレンスを使用するには、PDREFをハイレベル、PDBUFをローレベルにする必要があります。これにより、内部リファレンスがパワーダウンされ、REFBUFINに2.5Vリファレンスが印加されて、REFピン上に5Vが出力されます。内部リファレンス・バッファは、マルチコンバータ・アプリケーションに有用です。一般に、これらのアプリケーションでは、バッファを使ってコンバータ間のリファレンスのカップリングを避けることができます。

外部5Vリファレンス（PDREF＝ハイレベル、PDBUF＝ハイレベル）

外部リファレンスを直接REFピン上で使用するときは、PDREFとPDBUFはともにハイレベルにする必要があります。PDREFとPDBUFは、それぞれ内部リファレンスと内部リファレンス・バッファをパワーダウンします。ドリフト性能を高めるために、ADR445またはADR435などの外部リファレンスの使用を推奨します。

リファレンス・デカップリング

内部リファレンスと外部リファレンスのいずれを使用しても、AD7631の電圧リファレンス入力（REF）には動的入力インピーダンスがあります。したがって、REF入力とREFGND入力との間に効率的なデカップリングを行い、低インピーダンス信号源を使用して駆動する必要があります。デカップリングは使用する電圧リファレンスによって異なりますが、通常は、寄生インダクタンスを最小に抑えた、REFとREFGNDに接続された低ESRコンデンサから構成されています。内部リファレンスを使用する場合や、外部リファレンス（ADR445/ADR435）を使用する場合は、22µF（X5R、1206サイズ）のセラミック・チップ・コンデンサ（または47µFの低ESRタンタル・コンデンサ）が適しています。

AD7631の性能には、リファレンス・デカップリングの配置も重要です。デカップリング・コンデンサは、ADCと同じ側に厚いPCボード・パターンでREFピンに実装する必要があります。また、REFGNDを最短距離でリファレンスのデカップリング・コンデンサに接続し、複数のビアを使ってアナログ・グラウンド・プレーンに接続します。

複数のAD7631デバイスまたは他のPulSARデバイスを使用するアプリケーションでは、外付けの2.5Vリファレンス電圧のバッファリングに内部リファレンス・バッファを使用するとより効果的です。

電圧リファレンスの温度係数（TC）は、フルスケールに直接影響を与えます。したがって、フルスケール精度が重要となるアプリケーションでは、TCに注意する必要があります。たとえば、TCが±4ppm/℃のリファレンスでは、フルスケール精度が±1LSB/℃変化します。

温度センサー

TEMPピンでは、AD7631の温度を測定します。温度範囲の全域でキャリブレーション精度を高めるため、TEMPピンの出力をアナログ・スイッチ（ADG779など）の入力の1つに印加し、ADC自体をその温度の測定に使用します。この構成を図32に示します。

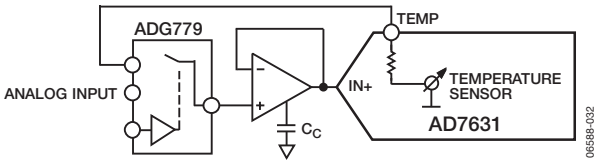


図32. 温度センサーの使用

電源

AD7631は以下の5つの電源ピンを使用します。

- AVDD：5Vアナログ・コア電源
- VCC：アナログ高電圧正側電源
- VEE：高電圧負側電源
- DVDD：5Vデジタル・コア電源
- OVDD：デジタル入出力インターフェース電源

コア電源

AVDDおよびDVDDは、それぞれAD7631のアナログ・コア電源とデジタル・コア電源です。十分なデカップリングを行うために、これらの各電源に最低10µFのコンデンサと100nFのコンデンサを使用する必要があります。100nFコンデンサは、できる限りAD7631の近くに配置します。必要な電源数を減らすために、DVDDはアナログ電源から単純なRCフィルタを通して供給できます（図27を参照）。

高電圧電源

高電圧バイポーラ電源（VCCとVEE）は必須であり、最大入力電圧より2V以上大きな電圧を供給できるものとします。たとえば、±10Vの電圧範囲を使用する場合、これらの電源電圧は±12 V（min）とします。これにより、40Vp-pの完全差動入力が可能となります。（入力IN＋とIN－でそれぞれ±10V）。これらの各電源は、最低10µFのコンデンサと100nFのコンデンサを使って十分にデカップリングする必要があります。ユニポーラ動作の場合、VEE電源をグラウンドに接続できますが、THD性能がいくらか劣化します。

デジタル出力電源

OVDDはデジタル出力を供給し、2.3～5.25V間で機能するロジックとの直接インターフェースが可能です。OVDDは、システム・インターフェースと同じレベルに設定する必要があります。また、最低10µFのコンデンサと100nFのコンデンサを使って十分にデカップリングを行う必要があります。100nFコンデンサは、可能な限りAD7631の近くに配置してください。

電源シーケンス

AD7631は電源シーケンスから独立しており、図33に示すように、広い周波数範囲にわたってAVDDの電源変動の影響をほとんど受けません。

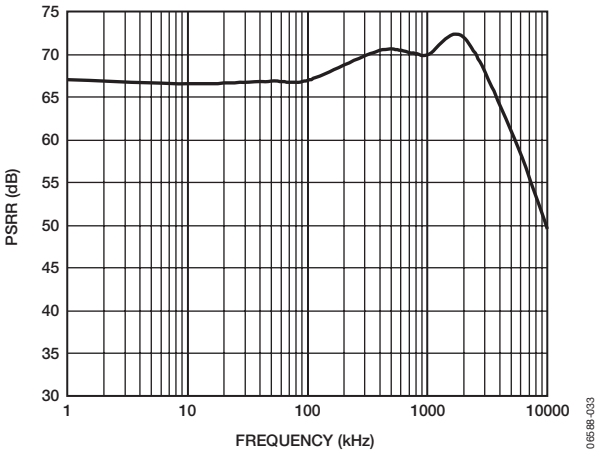


図33. AVDD PSRRの周波数特性

スループット 対 消費電力

AD7631はインパルス・モード時、各変換フェーズが終わると自動的に消費電力を低減します。アクイジション・フェーズでは動作電流が非常に小さくなるため、変換速度を下げれば大幅な節電が可能になります（図34）。このため、AD7631は消費電力のきわめて低いバッテリ駆動のアプリケーションに最適です。

アクイジション・フェーズでも、デジタル・インターフェースはアクティブです。動作デジタル電源電流をさらに低減するため、デジタル入力を電源レール（OVDDとOGND）の近くで駆動します。

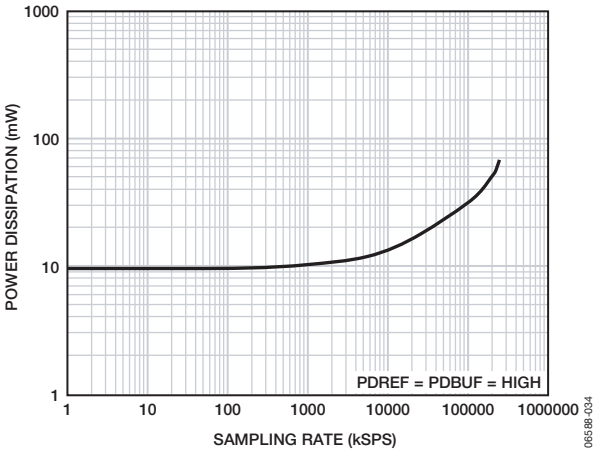


図34. サンプリング・レート 対 消費電力

パワーダウン

PDをハイレベルに設定するとAD7631がパワーダウンされ、電源電流がその最低値にまで低減されます（図23を参照）。ADCがパワーダウンされると、電流変換が終了し（その処理が行われている場合）、デジタル・バスはアクティブのままとなります。デジタル電源電流をさらに低減するには、入力をOVDDまたはOGNDに駆動します。

パワーダウンは設定レジスタで設定することもできます。詳細は「ソフトウェア設定」の項を参照してください。設定レジスタを使用する場合は、PD入力（ドント・ケア）はハイレベルまたはローレベルに接続します。

変換制御

AD7631は$\overline{\text{CNVST}}$入力によって制御されます。変換の開始に必要なのは、$\overline{\text{CNVST}}$の立下がりエッジのみです。図35に、変換プロセスの詳細なタイミング図を示します。変換が開始されると、変換が完了するまでは、たとえパワーダウン入力（PD）でも再起動したりアボートしたりできません。$\overline{\text{CNVST}}$信号は、$\overline{\text{CS}}$信号や$\overline{\text{RD}}$信号とは無関係に動作します。

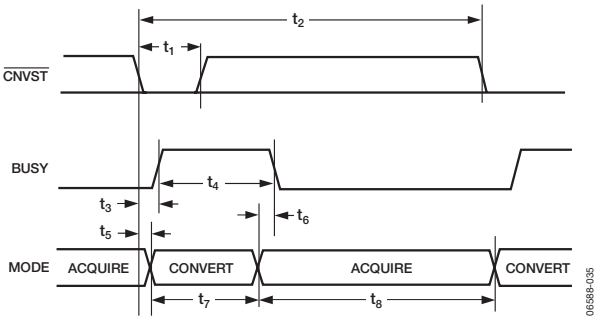


図35. 基本的な変換タイミング

$\overline{\text{CNVST}}$はデジタル信号ですが、高速できれいなエッジとレベルになるように、またオーバーシュート／アンダーシュートやリンギングが最小になるように設計してください。

$\overline{\text{CNVST}}$のパターンはグラウンドでシールドし、このラインを駆動する部品の出力側の近くに小さな値（たとえば50Ω）の直列終端抵抗を接続してください。

S/N比が重要なアプリケーションでは、$\overline{\text{CNVST}}$信号のジッタをかなり小さくする必要があります。そのためには、$\overline{\text{CNVST}}$の発生に専用の発振器を使うか、高周波の低ジッタ・クロックで$\overline{\text{CNVST}}$を駆動してください（図27を参照）。

インターフェース

デジタル・インターフェース

AD7631には汎用のデジタル・インターフェースがあり、ホスト・システムとのシリアルまたはパラレル・インターフェースとして設定できます。シリアル・インターフェースは、パラレル・データ・バス上でマルチプレクスされます。AD7631のデジタル・インターフェースは、2.5V、3.3V、5Vのロジックにも対応します。ほとんどのアプリケーションでは、OVDD電源ピンはホスト・システム・インターフェースの2.5～5.25Vデジタル電源に接続されます。18ビットのパラレル・インターフェース以外では、D0/OB/$\overline{2C}$入力ピンを用いて2の補数またはストレート・バイナリのコーディングを使用できます。

インターフェースは、2つの信号$\overline{CS}$と$\overline{RD}$により制御されます。これらの信号の少なくとも1つがハイレベルのとき、インターフェース出力は高インピーダンスになります。通常、複数のAD7631を使用するアプリケーションでは、$\overline{CS}$によって各AD7631を選択します。AD7631を1個使用する設計では$\overline{CS}$をローレベルに固定します。$\overline{RD}$は、一般にデータ・バス上に変換結果を出力するときに使います。

RESET

RESET入力によってAD7631をリセットします。RESETの立上がりエッジで、現在の変換（もしあれば）がアボートされ、データ・バスはスリーステートになります。RESETの立下がりエッジでAD7631がリセットされ、データ・バスと設定レジスタがクリアされます。RESETのタイミングの詳細については、図36を参照してください。

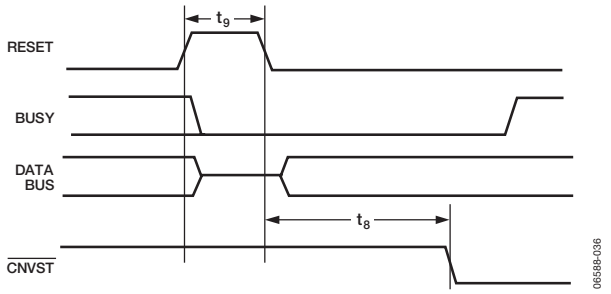


図36. RESETのタイミング

パラレル・インターフェース

18/16/8ビット・インターフェースでそれぞれMODE[1：0]＝0、1、2の場合、AD7631はパラレル・インターフェースを使用するように設定されます（表7を参照）。

マスター・パラレル・インターフェース

$\overline{CS}$と$\overline{RD}$をローレベルに接続すると、データを連続的に読み出すことができ、マイクロプロセッサの接続を最小限に抑えることができます。しかし、このモードでは、データ・バスが常に駆動されているため、デバイスがRESET状態に保持されない限り共有バス・アプリケーションでは使用できません。このモードのタイミングの詳細を図37に示します。

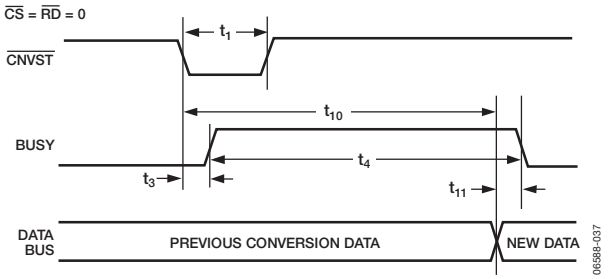


図37. 読出し用のマスター・パラレル・データ・タイミング（連続読出し）

スレーブ・パラレル・インターフェース

スレーブ・パラレル読出しモードでは、各変換の後（つまり次のアクイジション・フェーズ中）または次の変換中にデータの読出しができます（それぞれ図38と図39を参照）。変換中のデータの読出しは、変換フェーズの前半に行うことを推奨します。これによって、デジタル・インターフェース上の電圧変化と最もクリティカルなアナログ変換回路との間の潜在的なフィードスルーを防止できます。

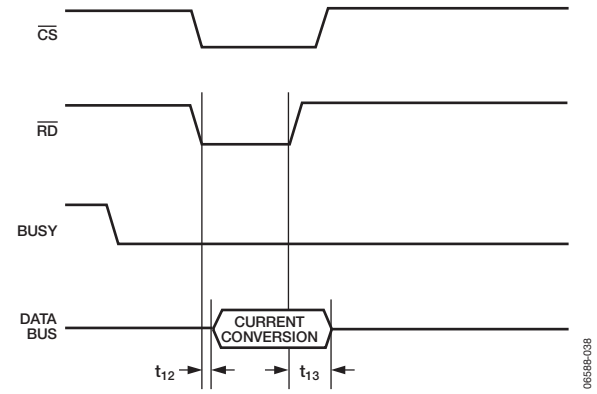


図38. 読出し用のスレーブ・パラレル・データ・タイミング（変換後の読出し）

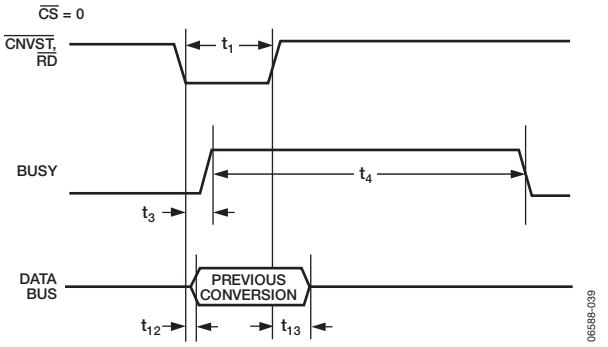


図39. 読出し用のスレーブ・パラレル・データ・タイミング（変換中の読出し）

18ビット・インターフェース（マスターまたはスレーブ）

18ビット・インターフェースは、MODE[1：0]＝0に設定して選択します。このモードでは、データ出力はストレート・バイナリとなります。

16ビットおよび8ビット・インターフェース（マスターまたはスレーブ）

16ビット（MODE[1：0]＝1）と8ビット（MODE[1：0]＝2）のインターフェースでは、図40に示すように、ピンA0とピンA1によって16ビット・バスまたは8ビット・バスへのグルーレスなインターフェースが可能となります（詳細は表7を参照）。ピンA0とピンA1をアドレス・ラインに接続すれば、16ビット・インターフェースの場合は2ワード単位で、8ビット・インターフェースの場合は3バイト単位でデータを読み出すことができます。このインターフェースは、マスター・パラレルとスレーブ・パラレルの読出しモードで使用できます。

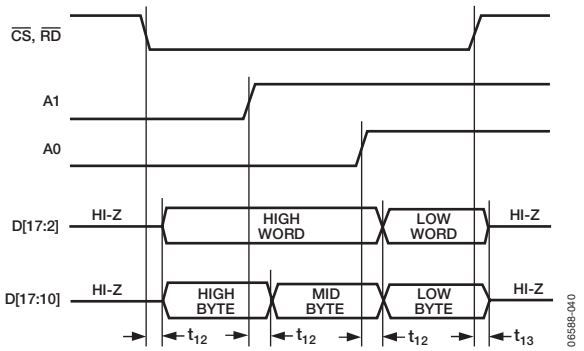


図40. 8ビットおよび16ビットのパラレル・インターフェース

シリアル・インターフェース

MODE[1：0]＝3のとき、AD7631はシリアル・インターフェースを使用する設定になります。AD7631は、データピンD[17：4]でマルチプレクスされるシリアル・インターフェース（SPI互換）を備えています。

データ・インターフェース

AD7631は、18ビットのデータをMSBファーストでSDOUTピンに出力します。このデータは、SDCLKピン上の18個のクロック・パルスに同期化されています。出力データは、データ・クロックの立上がりエッジと立下がりエッジの両方で有効です。

シリアル設定インターフェース

シリアル設定ピンも データ・ピンD[17：14]でマルチプレクスされるため、シリアル・モードではシリアル設定レジスタでのみAD7631を設定できます。詳細は、「ハードウェア設定」「ソフトウェア設定」の各項を参照してください。

マスター・シリアル・インターフェース

D[12：4]でマルチプレクスされ、マスター・シリアル・インターフェースに使用されるピンはDIVSCLK[1：0]、EXT/$\overline{\text{INT}}$、INVSYNC、INVSCLK、RDC、SDOUT、SDCLK、SYNCです。

内部クロック（MODE[1：0]＝3、EXT/$\overline{\text{INT}}$＝ローレベル）

EXT/$\overline{\text{INT}}$ピンをローレベルに保持すると、AD7631はシリアル・データ・クロックSDCLKを内部で生成し外部に供給する設定になります。また、SYNC信号も生成し、シリアル・データが有効になるタイミングをホストに知らせます。SDCLKとSYNC信号は、必要に応じてINVSCLKとINVSYNC入力をそれぞれ使用して反転できます。入力のRDCに応じて、各変換の後または次の変換中にデータを読み出すことができます。図41と図42に、この2つのモードの詳しいタイミング図を示します。

変換中の読出し（RDC＝ハイレベル）

RDCをハイレベルに設定すれば、変換モード中のマスター読出し（前の変換結果）が可能となります。一般に、AD7631は高速スループットで使用されるため、この読出しモードが最適なシリアル・モードです。このモードでは、シリアル・クロックとデータが適切なタイミングでトグルするため、デジタル動作とクリティカルな変換判定との間のフィードスルーを最小限に抑えられます。このモードでは、LSBのセトリングに時間がかかり、SDCLKはSAR変換サイクルから得られるため、SDCLK周期が変化します。また、このモードでは2種類の周期を持つ不連続なSDCLKが生成されるため、ホストではSPIインターフェースを使用する必要があります。

変換後の読出し（RDC＝ローレベル、DIVSCLK[1：0]＝[0～3]）

RDCをローレベルに設定すれば、変換終了後の読出しモードが可能となります。この読出しモードでは、他のシリアル・モードとは異なり、BUSY信号は変換終了後すぐにローレベルに戻るのではなく、18ビットのデータがパルス出力されてからローレベルに戻るため、BUSYの幅が長くなります（BUSYのタイミング仕様については表4を参照）。SDCLKの周期とSDOUTのデータレートは入力DIVSCLK[1：0]によって制御されるため、このモードでは最大スループットは達成できません。このモードでも不連続なSDCLKが生成されますが、固定の周期のため、ホストではSPIとシリアルのどちらのポートでも使用することができます。

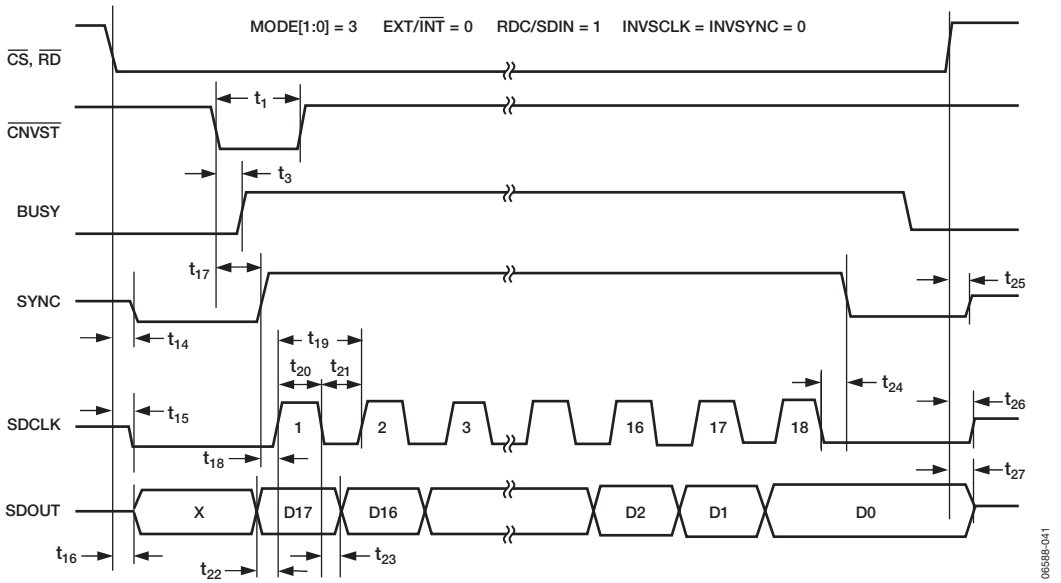


図41. 読出し用のマスター・シリアル・データ・タイミング（変換中での前の変換の読出し）

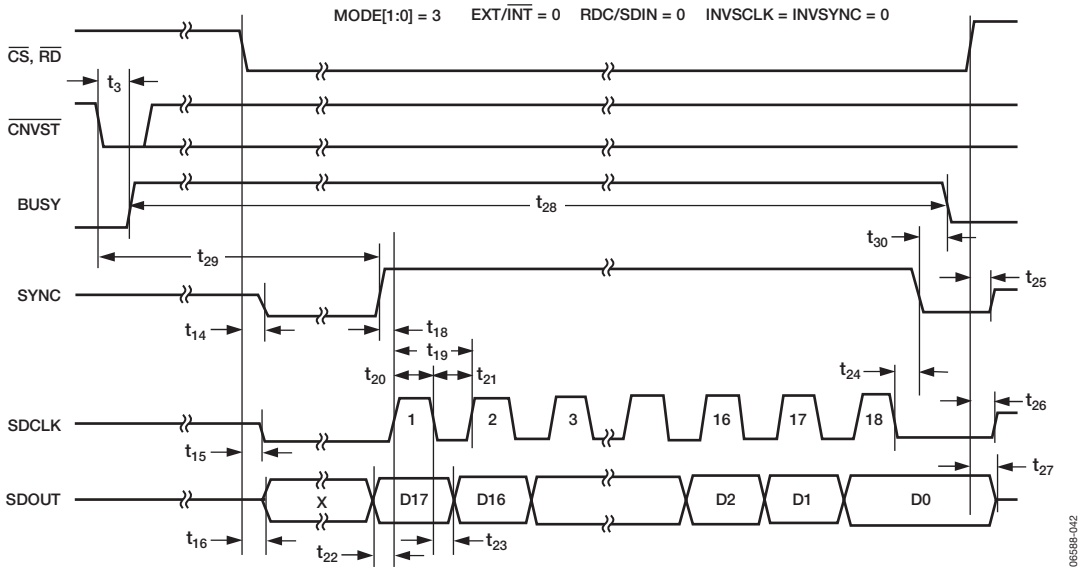


図42. 読出し用のマスター・シリアル・データ・タイミング（変換後の読出し）

スレーブ・シリアル・インターフェース

D[13：6]でマルチプレクスされます。スレーブ・シリアル・インターフェースに使用されるピンはEXT/$\overline{\text{INT}}$、INVSCLK、SDIN、SDOUT、SDCLK、RDERRORです。

外部クロック（MODE[1：0]=3、EXT/$\overline{\text{INT}}$=ハイレベル）

EXT/$\overline{\text{INT}}$ピンをハイレベルに設定した場合、AD7631は外部シリアル・データ・クロックをSDCLKピンで入力できます。このモードでは、いくつかの方法を使ってデータを読み出せます。外部シリアル・クロックは$\overline{\text{CS}}$によりゲーティングされます。$\overline{\text{CS}}$と$\overline{\text{RD}}$が両方ともローレベルのとき、各変換の後または次の変換中にデータの読出しができます。クロックは、非アクティブ時に、ノーマル・ハイレベルまたはノーマル・ローレベルにできます。図44と図45に、この読出しの詳しいタイミング図を示します。

AD7631がビット判定を行っているときに、デジタル入出力ピンで電圧遷移が発生しないようにします。そうしないと、変換結果が劣化することがあります。これは、変換フェーズの最後の550ns間で特に重要です。この期間で、変換フェーズの前半で行われたビット判定の誤りを補正できる誤差補正回路を使用するためです。このため、入力する外部クロックとしては、BUSYがローレベルのときのみ遷移し、さらにBUSYがハイレベルである最後の450nsの間遷移しない不連続クロックを推奨します。

変換後の外部不連続クロックによるデータ読出し

このモードでは最大スループットを達成できませんが、シリアル・スレーブ・モードでは最適なモードです。図44に、この方法の詳細なタイミング図を示します。BUSYがローレベルに戻って変換の完了が表示されると、この変換結果は、$\overline{CS}$と$\overline{RD}$がともにローレベルのとき読み出すことができます。データはMSBファーストで、18個のクロック・パルスでシフト出力され、SDCLKの周波数に応じて、クロックの立上がり／立下がりエッジの両方で有効となります。

この方法の1つの利点は、変換処理中にデジタル・インターフェース上で電圧遷移が発生しないため、変換性能の低下がないことです。もう1つの利点は、低速デジタル・ホスト・インターフェースと最高速のシリアル読出しの両方に対応した、最大40MHzの任意の速度でデータを読み出せることです。

デイジーチェーン機能

さらに、このモードのときは、シリアル・データ入力ピン（SDIN）を使って複数のコンバータをカスケード接続するデイジーチェーン機能を使用できます。この機能を使い、絶縁された複数のコンバータを使用するアプリケーションなどで、必要に応じて部品数と接続配線数を削減できます。タイミングの詳細は、図44を参照してください。

2個のデバイスを接続する例を図43に示します。

共通の$\overline{CNVST}$信号を使用すると、同時サンプリングが可能です。SDIN入力は、SDOUT上でデータをシフト出力する際に使うSDCLKクロックのエッジとは反対側のエッジ（INVSCLK＝ローレベルのときはSDCLKの立下がりエッジ）でラッチされます。このため、次のSDCLKサイクルで、上流側コンバータのMSBは下流側コンバータのLSBの直後に続きます。このモードでは、SDINからSDCLKまでのセットアップ時間（t_{33}）が仕様規定の最小時間より短いため40MHzのSDCLKを使用することはできません。（同時サンプリングを行うときは、すべてのコンバータでSDCLKからSDOUTまでの遅延時間（t_{32}）が同じになります。）適正な動作を保証するには、SDINをラッチするためのSDCLKエッジ（SDCLKの1/2周期）が必要です。

$$t_{1/2SDCLK} = t_{32} + t_{33}$$

あるいは、SDCLK最大周波数が必要となります。

$$f_{SDCLK} = \frac{1}{2(t_{32} + t_{33})}$$

デイジーチェーン機能を使用しない場合は、SDIN入力を必ずハイレベルまたはローレベルに固定します。

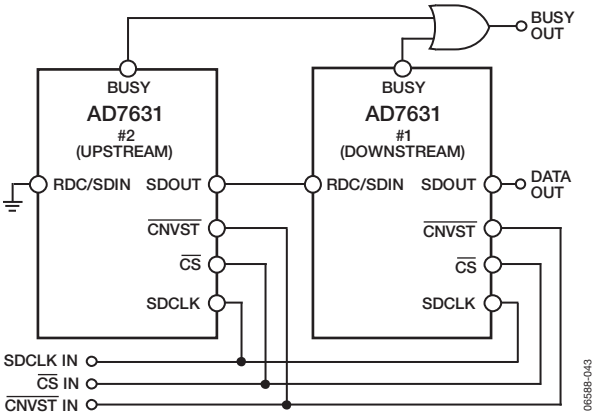


図43. デイジーチェーン接続した2個のAD7631デバイス

外部クロックによる前の変換中のデータ読出し

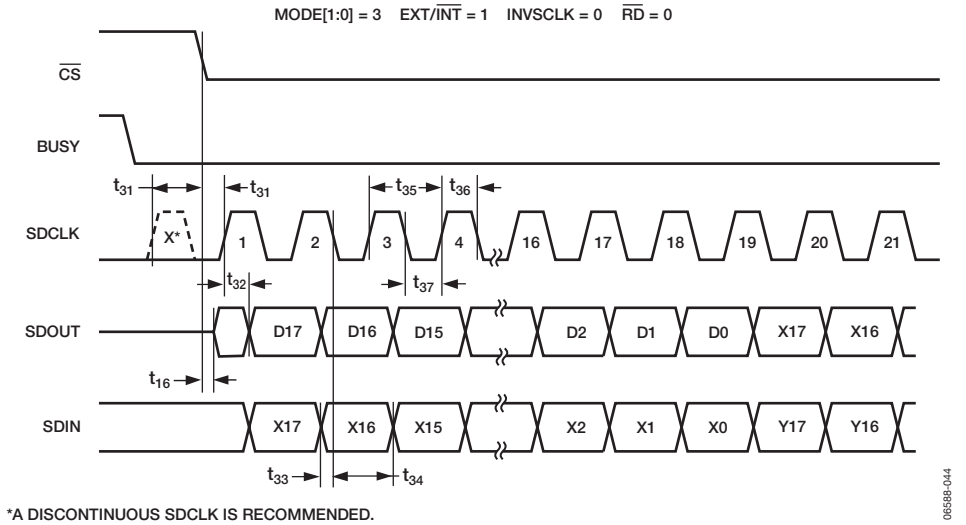
図45に、この方法の詳細なタイミング図を示します。変換中に、$\overline{CS}$と$\overline{RD}$の両方がローレベルのとき、前の変換結果を読み出すことができます。データはMSBファーストで、18個のクロック・パルスでシフト出力され、クロックの立上がり／立下がり両方のエッジで有効となります。現在の変換が完了する前に、この18ビットを読み出す必要があります。そうしないと、RDERRORにハイレベル・パルスが出力されます。これは、不完全なデータ読出しを防止するために、ホスト・インターフェースの割込みに使用できます。

デジタル動作による性能低下を抑えるには、40MHz以上の高速な不連続クロックを使用して、SAR変換フェーズの前半で全ビットを読み出せるようにします。

このモードではデイジーチェーン機能を使用しません。SAR変換フェーズの後半でデジタル動作が発生すると、性能が低下する可能性があります。

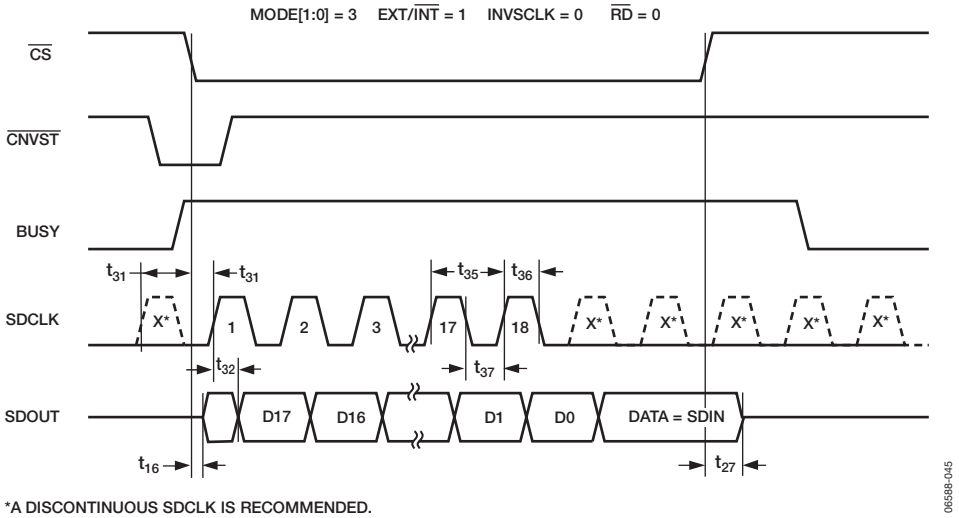
変換後／変換中の外部クロックによるデータ読出し

変換後にデータ読出しを開始し、次の変換が開始された後に最後の一連のビットを読み出すこともできます。この方法によりフルスループットと低速のSDCLK周波数の使用が可能となります。ビット判定の誤りを最小限に抑えられる場合は、不連続なSDCLKの使用を推奨します。たとえば、13 MHz などの低速のSDCLKを使用できます。



*A DISCONTINUOUS SDCLK IS RECOMMENDED.

図44. 読出し用のスレーブ・シリアル・データ・タイミング（変換後の読出し）



*A DISCONTINUOUS SDCLK IS RECOMMENDED.

図45. 読出し用のスレーブ・シリアル・データ・タイミング（変換中における前の変換の読出し）

ハードウェア設定

AD7631は、パラレル・モード（MODE[1：0]=0、1、2）／シリアル・ハードウェア・モード（MODE[1：0]=3、HW/$\overline{SW}$=ハイレベル）時に専用のハードウェア・ピンBIPOLAR、TEN、D0/OB/$\overline{2C}$、PDを使っていつでも設定できます。モードの選択や入力範囲の設定は、変換前か変換中に行うことができます。RESET入力と同様、ADCはセトリングのために最低1アクイジション時間を必要とします（図46を参照）。ピンの説明は、表6を参照してください。これらの入力は、ソフトウェア設定モードの使用時に高インピーダンスとなるため注意してください。

ソフトウェア設定

D[17：14]でマルチプレクスされ、ソフトウェア設定に使用されるピンは、HW/$\overline{SW}$、SCIN、SCCLK、$\overline{SCCS}$です。AD7631は書込み専用のシリアル設定ポート（SCP）が有効のときに、シリアル設定レジスタを使って変換モード、入力範囲の選択、出力コーディング、パワーダウンの設定を行うことができます。設定レジスタの各ビットの詳細は、表11を参照してください。ポートはパラレル・インターフェースでマルチプレクスされるため、選択したシリアル・ソフトウェア・モード（MODE[1：0]=3、HW/$\overline{SW}$=ローレベル）でのみSCP を使用できます。

ポートのチップ・セレクト（$\overline{SCCS}$）がアサートされ、SCCLKに同期したSCINに書込みを行うことで、SCPにアクセスできます。SCCLKは、SDCLKと同様、INVSCLKの状態に応じてエッジ・センシティブとなります。タイミングの詳細については、図47を参照してください。SCINは、MSBファーストで設定レジスタにクロック入力されます。設定レジスタは、ビット8のSTARTビットで開始される内部シフト・レジスタです。レジスタが9番目のSCCLKエッジによって更新されると、新しい設定の使用が可能となります。タイミング図に示したように、SCCLKの9番目のエッジからは最小1アクイジション時間が必要となります。ビット[1：0]は予備ビットです。SCPの更新中は、このビットへの書込みは行われません。

SCPには最大40MHzでいつでも書込みが可能ですが、図47に示すように、AD7631がビジー状態（変換中）以外のときの書込みを推奨します。このモードでは、SCPへのアクセスに要する時間が最小（t_{31}+9×1/SCCLK+t_8）のため、670kSPSを完全に達成することはできません。フル・スループットが必要な場合は、変換中にSCPへの書込みを行うことができます。ただし、変換の最後の600ns間（BUSY＝ハイレベル）にSCPへの書込みを行うことは推奨していません。これを行うと性能が低下する可能性があります。また、変換モード後および変換モード中のシリアル・マスター／シリアル・スレーブ読出しで、SPCへのアクセスが可能となります。

パワーアップ時には、設定レジスタは未定義となっています。RESET入力によって設定レジスタがクリアされ（全ビット＝0に設定）、0～5V入力、通常モード、2の補数出力の設定となります。

表11. 設定レジスタの説明

ビット	記号	説明
8	START	STARTビット。SCPが有効（$\overline{SCCS}$＝ローレベル）で、STARTがハイレベルのときは、SCCLKの最初の立上がりエッジによって（INVSCLK＝ローレベル）レジスタに新しい設定がロードされます。
7	BIPOLAR	入力範囲の選択。下記に従い、ビット6のTENとともに使用します。 Input Range (V) BIPOLAR TEN 0～5 ローレベル ローレベル 0～10 ローレベル ハイレベル ±5 ハイレベル ローレベル ±10 ハイレベル ハイレベル
6	TEN	入力範囲の選択。ビット7のBIPOLARを参照。
5	PD	パワーダウン PD＝ローレベル、通常動作 PD＝ハイレベル、ADCをパワーダウン。パワーダウン中にSCPにアクセスできます。ADCをパワーアップするには、次の設定でPDをローレベルにします。
4	RSV	予備
3	RSV	予備
2	OB/$\overline{2C}$	出力コーディング OB/2C＝ローレベル、2の補数形式の出力を使用します。 OB/2C＝ハイレベル、ストレート・バイナリ形式の出力を使用します。
1	RSV	予備
0	RSV	予備

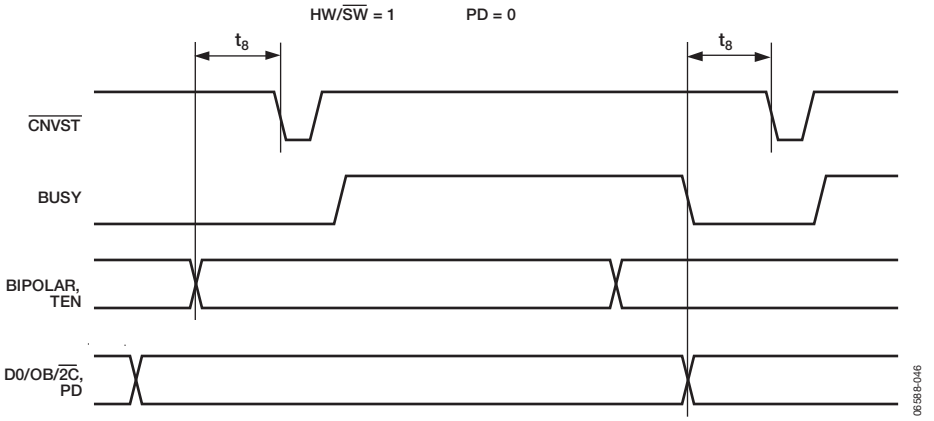


図46. ハードウェア設定のタイミング

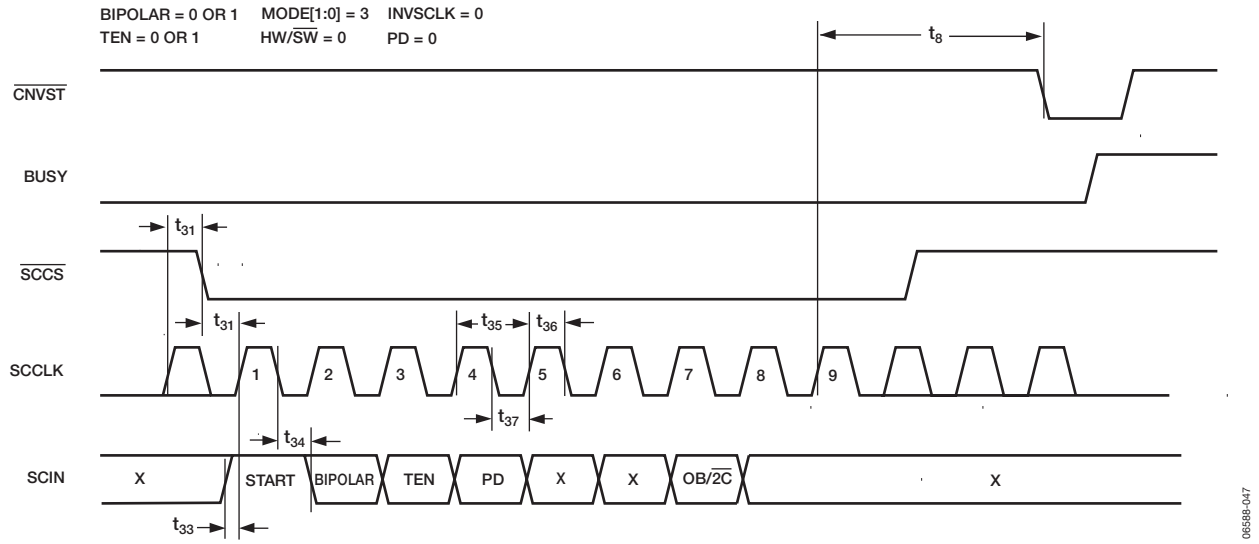


図47. シリアル設定ポートのタイミング

マイクロプロセッサとのインターフェース

AD7631は、マイクロプロセッサをサポートする従来型のDC計測アプリケーションや、デジタル信号プロセッサに接続するAC信号処理アプリケーションに最適です。AD7631は、パラレル8ビットまたは18ビット幅のインターフェース、汎用シリアル・ポート、マイクロコントローラのI/Oポートを使って接続を行います。さまざまな外付けバッファを使用することにより、デジタル・ノイズがADCに混入するのを防止できます。

SPIインターフェース

AD7631は、SPI/QSPIデジタル・ホストやDSP（Blackfin® ADSP-BF53x、ADSP-218x/ADSP-219xなど）と互換性があります。 図48に、SPIを備えたDSPであるADSP-219xとAD7631とのインターフェース図を示します。DSPの低速処理に対応するため、AD7631はスレーブ・デバイスとして動作し、データは変換後に読み出す必要があります。このモードではデイジーチェーン機能も可能です。内部タイマ割込みに呼応して変換コマンドを起動できます。

読出し処理は、DSPの割込みラインを使用する変換終了信号（BUSYがローレベルに変化）に応じて開始できます。ADSP-219xのシリアル・ペリフェラル・インターフェース（SPI）は、SPIコントロール・レジスタ（SPICLTx）への書込みにより、マスター・モード（MSTR） ＝1、クロック極性ビット（CPOL）＝0、クロック位相ビット（CPHA）＝1、SPI割込みイネーブル（TIMOD）＝0に設定されます。

すべてのタイミング条件を満たすために、SPIクロックを17Mbsに制限します。この速度では、ADC変換結果を1µs以内に読み出すことが可能です。より高速なサンプリング・レートが必要な場合は、パラレル・インターフェース・モードの1つを使用します。

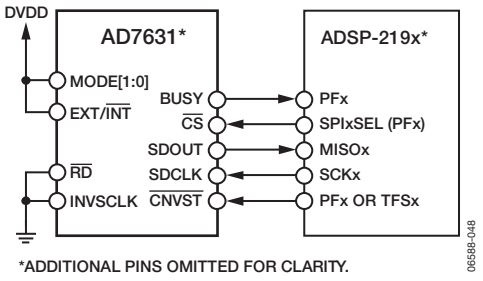


図48. AD7631とSPIインターフェース

アプリケーション情報

レイアウトのガイドライン

AD7631は電源ノイズ耐性が非常に優れていますが、グラウンディングのレイアウトについては注意が必要です。分離が容易なグラウンド・プレーンを使用できるようにするため、AD7631を実装するPCボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれをまとめて配置するように設計します。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは、1点で接続する必要があります。できればAD7631の真下、あるいは少なくともAD7631にできるだけ近い場所で接続してください。複数のデバイスでAGNDとDGNDの接続が必要となるシステムでAD7631を使用する場合にも、この接続は1か所で行う必要があります。すなわち、AD7631のできるだけ近くでスター結線してください。

チップへのノイズの混入やノイズの拡散を防止し、フィードスルーを減らすには、次のことが必要です。

- デジタル・ラインがデバイスの真下を通らないようにする。
- AD7631の下はアナログ・グラウンド・プレーンとする。
- $\overline{\text{CNVST}}$やクロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの拡散を防止する。また、これらの信号はアナログ信号パスの近くを通過しないようにする。
- デジタル信号とアナログ信号の交差を回避する。
- ボードの各近接レイヤでのパターンは、互いに直角となるように配置する。これにより、ボードを貫通するノイズ混入の影響を減らす。

AD7631への電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。AD7631に対する電源インピーダンスを下げるため、また電源スパイクの振幅を小さくするために、十分なデカップリングも大切です。デカップリング用セラミック・コンデンサ100nF（typ）を、各電源ピンAVDD、DVDD、OVDD、VCC、VEEの近くに、理想的にはこれらのピンおよび対応するグラウンド・ピンのすぐ隣に配置します。さらに、低ESRの10µFコンデンサをADCの近くに配置して、低周波リップルをさらに抑えるようにしてください。

AD7631のDVDD電源は、別の電源にするか、アナログ電源AVDD、またはデジタル・インターフェース電源OVDDから供給できます。システム・デジタル電源のノイズが多い場合や、高速のスイッチング・デジタル信号が存在する場合に、別の電源を使用できなければ、RCフィルタを介してDVDDデジタル電源をアナログ電源AVDDに接続し、システム電源をインターフェース・デジタル電源OVDDとその他のデジタル回路に接続することを推奨します。図27にこの構成例を示します。DVDDにシステム電源を接続する場合は、高周波スパイクをさらに抑えるためにビードを挿入すると有効です。

AD7631には、REFGND、AGND、DGND、OGNDの4種類のグラウンド・ピンがあります。

- リファレンス電圧を感知するREFGNDにはパルス電流が流れるため、リファレンスまでのリターンを低インピーダンスにします。
- AGNDはグラウンドであり、大部分の内部ADCアナログ信号がこれを基準に使います。このグラウンドは、最小の抵抗でアナログ・グラウンド・プレーンに接続します。
- DGNDは、構成に応じて、アナログ・グラウンド・プレーンまたはデジタル・グラウンド・プレーンに接続します。
- OGNDはデジタル・システム・グラウンドに接続します。

リファレンス電圧のデカップリングのレイアウトは重要です。寄生インダクタンスを最小限に抑えるために、デカップリング・コンデンサをADCの近くに配置し、短く太いパターンで接続してください。

性能評価

AD7631の推奨レイアウトの概要は、AD7631の評価用ボード（EVAL-AD7631CBZ）の付属資料に示しています。評価用ボードのパッケージには、テスト済みの評価用ボード（組立不要）、付属資料、「EVAL-CONTROL BRD3」を介してPCからボードを制御するソフトウェアが同梱されています。

外形寸法

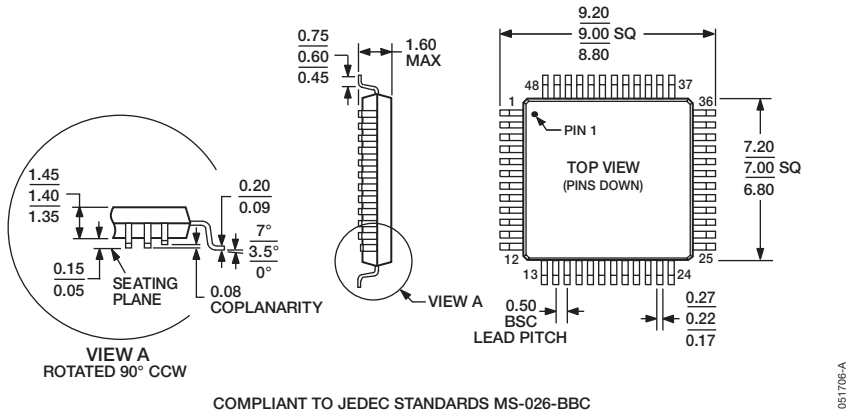


図49. 48ピン薄型クワッド・フラット・パッケージ［LQFP］

（ST-48）

寸法単位：mm

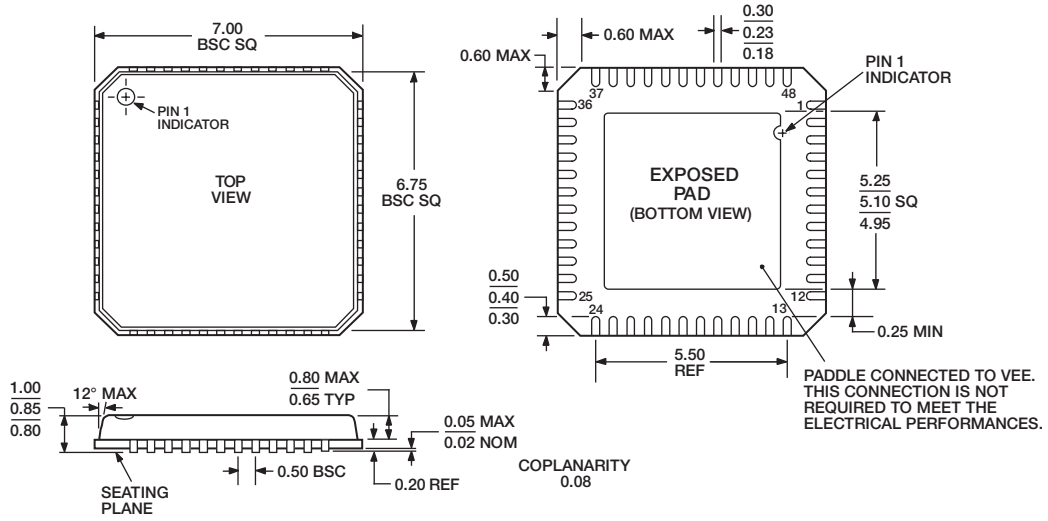


図50. 48ピン・リード・フレーム・チップ・スケール・パッケージ［LFCSP_VQ］

7mm×7mmボディ、極薄クワッド

（CP-48-1）

寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7631BCPZ[1]	−40℃ to +85℃	48-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-48-1
AD7631BCPZRL[1]	−40℃ to +85℃	48-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-48-1
AD7631BSTZ1[1]	−40℃ to +85℃	48-Lead Low Profile Quad Flat Package (LQFP)	ST-48
AD7631BSTZRL[1]	−40℃ to +85℃	48-Lead Low Profile Quad Flat Package (LQFP)	ST-48
EVAL-AD7631CBZ[1, 2]		Evaluation Board	
EVAL-CONTROL BRD3[3]		Controller Board	

[1] Z=鉛フリー製品

[2] このボードは、評価／デモンストレーション用に、単独の評価用ボードとして使用したり、EVAL-CONTROL BRD3と組み合わせて使用したりできます。

[3] このコントローラ・ボードを使用すると、製品番号末尾にCBが付いたアナログ・デバイセズ製評価用ボード全製品の制御と通信をPCで行うことができます。

D06588-0-2/07(0)-J