

特長

スループット: 6 MSPS
 SNR: 93 dB
 INL: ± 0.45 LSB (typ)、 ± 1 LSB (最大)
 DNL: ± 0.3 LSB (typ)、 ± 0.5 LSB (最大)
 消費電力: 135 mW
 32 ピン LFCSP (5 mm $\times$ 5 mm) パッケージを採用
 SAR アーキテクチャ
 レイテンシなし/パイプライン遅延なし
 ノーミス・コードの 16 ビット分解能
 ゼロ誤差: ± 1.5 LSB
 差動入力電圧: ± 4.096 V
 シリアル LVDS インターフェース
 セルフクロック・モード
 エコー・クロック・モード
 変換制御(CNV 信号)に LVDS または CMOS が使用可能
 リファレンス電圧オプション
 内蔵: 4.096 V
 外付け(1.2 V)バッファ付き: 4.096 V
 外付け: 4.096 V

アプリケーション

広いダイナミック・レンジの通信
 レシーバ
 デジタル画像システム
 高速データ・アキュイジション
 スペクトル解析
 テスト装置

機能ブロック図

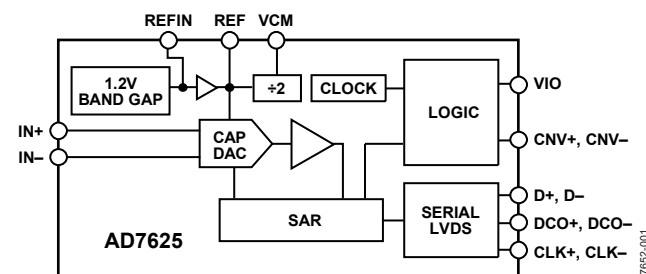


図 1.

概要

AD7625 は、電荷再分配逐次比較レジスタ(SAR)を採用した 16 ビット 6 MSPS の A/D コンバータ(ADC)です。SAR アーキテクチャを使うと、ノイズ(93 dB SNR)と直線性(1 LSB)でこれまでにない性能を実現することができます。AD7625 は、高速な 16 ビット・サンプリング ADC、変換クロック、バッファ付きリファレンス電圧を内蔵しています。IN+ピンと IN-ピンとの間の電位差を CNV $\pm$ の立上がりエッジでサンプルします。両ピンの各電圧は 0 V $\sim$ REF の範囲で逆位相に変化します。4.096 V のリファレンス電圧 REF は内部で発生するか、または外部から与えることができます。

すべての変換結果は、LVDS セルフクロックまたはエコー・クロックの 1 つのシリアル・インターフェースから得ることができるので、外部ハードウェア接続が少なくなります。

AD7625 は 32 ピンの 5 mm $\times$ 5 mm LFCSP パッケージを採用し、動作は $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ で規定されています。

表 1. 高速 PulSAR $^{\circ}$ ADC の選択肢

Input Type	Resolution (Bits)	1 MSPS to <2 MSPS	2 MSPS to 3 MSPS	6 MSPS
Differential (Ground Sense)	16	AD7653		
	16	AD7667		
	16	AD7980		
	16	AD7983		
True Bipolar Differential (Antiphase)	16	AD7671		
	16	AD7677	AD7621	AD7625
	16	AD7623	AD7622	
	18	AD7643	AD7641	
	18	AD7982		
	18	AD7984		

目次

特長	1	コンバータ情報	13
アプリケーション	1	伝達関数	14
機能ブロック図	1	アナログ入力	14
概要	1	代表的な接続図	15
改訂履歴	2	AD7625 の駆動	16
仕様	3	リファレンス電圧オプション	17
タイミング仕様	5	電源	18
絶対最大定格	6	デジタル・インターフェース	19
熱抵抗	6	アプリケーション情報	21
ESDの注意	6	レイアウト、デカップリング、グラウンド接続	21
ピン配置およびピン機能説明	7	外形寸法	22
代表的な性能特性	9	オーダー・ガイド	22
用語	12		
動作原理	13		
回路説明	13		

改訂履歴

1/09—Revision 0: Initial Version

仕様

VDD1 = 5 V; VDD2 = 2.5 V; VIO = 2.5 V; REF = 4.096 V、特に指定がない限り、すべての仕様は T_{MIN} ~ T_{MAX} で規定。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
ANALOG INPUT					
Voltage Range	$V_{IN+} - V_{IN-}$	$-V_{REF}$		$+V_{REF}$	V
Operating Input Voltage	V_{IN+} , V_{IN-} to GND	-0.1		$V_{REF} + 0.1$	V
Common-Mode Input Range		$V_{REF}/2 - 0.05$	$V_{REF}/2$	$V_{REF}/2 + 0.05$	V
Common-Mode Rejection Ratio	$f_{IN} = 1$ MHz		60		dB
Input Current	Midscale input		77		μ A
THROUGHPUT					
Complete Cycle				166	ns
Throughput Rate		0.1		6	MSPS
DC ACCURACY					
Integral Linearity Error		-1	± 0.45	+1	LSB
No Missing Codes		16			Bits
Differential Linearity Error		-0.5	± 0.3	+0.5	LSB
Transition Noise			0.6		LSB
Zero Error	T_{MIN} to T_{MAX}	-4	± 1.5	+4	LSB
Zero Error Drift			0.5		ppm/ $^{\circ}$ C
Gain Error	T_{MIN} to T_{MAX}		8	20	LSB
Gain Error Drift			0.4		ppm/ $^{\circ}$ C
Power Supply Sensitivity ¹	VDD1 = 5 V $\pm$ 5%		0.4		LSB
	VDD2 = 2.5 V $\pm$ 5%		0.2		LSB
AC ACCURACY					
External Reference	$f_{IN} = 20$ kHz				
Dynamic Range		92.5	93.2		dB
Signal-to-Noise Ratio		92	93		dB
Spurious-Free Dynamic Range			106		dB
Total Harmonic Distortion			-105.5		dB
Signal-to-(Noise + Distortion)		91.5	92		dB
Internal Reference	$f_{IN} = 20$ kHz				
Dynamic Range		92.5	93.2		dB
Signal-to-Noise Ratio		91.5	92.9		dB
Spurious-Free Dynamic Range			106		dB
Total Harmonic Distortion			-105.5		dB
Signal-to-(Noise + Distortion)		91	92.5		dB
-3 dB Input Bandwidth			100		MHz
Aperture Jitter			0.25		ps rms
INTERNAL REFERENCE					
Output Voltage	REFIN @ 25 $^{\circ}$ C		1.2		V
Temperature Drift	-40 $^{\circ}$ C to +85 $^{\circ}$ C		± 15		ppm/ $^{\circ}$ C
REFERENCE BUFFER					
REFIN Input Voltage Range			1.2		V
REF Output Voltage Range		4.076	4.096	4.116	V
Line Regulation	VDD1 $\pm$ 5%, VDD2 $\pm$ 5%		5		mV
EXTERNAL REFERENCE					
Voltage Range	REF		4.096		V
VCM PIN	@ 25 $^{\circ}$ C				
Output Voltage			REF/2		V
Output Impedance		4	5	6	k Ω
LVDS I/O (ANSI-644)					
Data Format			Serial LVDS twos complement		
Differential Output Voltage, V_{OD}	$R_L = 100 \Omega$	200	350	454	mV
Common-Mode Output Voltage, V_{OCM} ²	$R_L = 100 \Omega$	850	1250	1375	mV

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Differential Input Voltage, V_{ID}		100		650	mV
Common-Mode Input Voltage, V_{ICM}		800		1575	mV
POWER SUPPLIES					
Specified Performance					
VDD1		4.75	5	5.25	V
VDD2		2.37	2.5	2.63	V
VIO		2.37	2.5	2.63	V
Operating Currents					
Static—Not Converting					
VDD1			4.5	7.8	mA
VDD2			17	22.7	mA
VIO	Self-clocked mode and echoed-clock mode		11	13	mA
With Internal Reference					
	6 MSPS throughput				
VDD1			11	15.4	mA
VDD2			21.5	28.3	mA
VIO	Self-clocked mode and echoed-clock mode		13.5	16	mA
Without Internal Reference					
	6 MSPS throughput				
VDD1			9	12.1	mA
VDD2			21	26	mA
VIO	Self-clocked mode and echoed-clock mode		13.5	16	mA
Power Dissipation ³					
Static—Not Converting					
			95	130	mW
With Internal Reference					
	6 MSPS throughput		145	190	mW
Without Internal Reference					
	6 MSPS throughput		135	165	mW
Energy per Conversion	6 MSPS throughput		22		nJ/sample
TEMPERATURE RANGE					
Specified Performance					
	T_{MIN} to T_{MAX}	−40		+85	°C

¹ 外付けリファレンスを使用。

² ANSI-644 LVDS 仕様には、1125 mV の最小出力同相モード (V_{OCM}) があります。

³ 消費電力は AD7625 デバイスの分だけです。セルフクロック・インターフェース・モードでは、100 Ω 終端で 9 mW が消費されます。エコー・クロック・インターフェース・モードでは、2 本の 100 Ω 終端で 18 mW が消費されます。

タイミング仕様

VDD1 = 5 V; VDD2 = 2.5 V; VIO = 2.37 V~2.63 V; REF = 4.096 V。特に指定がない限り、すべての仕様は T_{MIN} ~ T_{MAX} で規定。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit
Time Between Conversions ¹	t_{CYC}	166		10,000	ns
Acquisition Time	t_{ACQ}	40			ns
CNV± High Time	t_{CNVH}	10		40	ns
CNV± to D± (MSB) Delay	t_{MSB}			145	ns
CNV± to Last CLK± (LSB) Delay	t_{CLKL}			110	ns
CLK± Period ²	t_{CLK}	$(t_{CYC} - t_{MSB} + t_{CLK})/n$	4	3.33	ns
CLK± Frequency	f_{CLK}		250	300	MHz
CLK± to DCO± Delay (Echoed-Clock Mode)	t_{DCO}	0	4	7	ns
DCO± to D± Delay (Echoed-Clock Mode)	t_D		0	1	ns
CLK± to D± Delay	t_{CLKD}	0	4	7	ns

¹ 変換と変換の間の最大時間は 10,000 ns です。CNV±が t_{CYC} の最大値を超えてアイドルのままになると、後続の変換結果は無効になります。

² 最小 CLK 周期に対して、データ読出しに使えるウインドウは $t_{CYC} - t_{MSB} + t_{CLK}$ です。この時間を読出すビット数で除算してください。エコー・クロック・インターフェース・モードでは $n = 16$ 、セルフクロック・インターフェース・モードでは $n = 18$ 。

絶対最大定格

表 4.

Parameter	Rating
Analog Inputs/Outputs	
IN+, IN- to GND ¹	-0.3 V to REF + 0.3 V or ±130 mA
REF ² to GND	-0.3 V to +6 V
VCM, CAP2 to GND	-0.3 V to +6 V
CAP1, REFIN to GND	-0.3 V to +2.7 V
Supply Voltage	
VDD1	-0.3 V to +6 V
VDD2, VIO	-0.3 V to +3 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
Digital Outputs to GND	-0.3 V to VIO + 0.3 V
Input Current to Any Pin Except Supplies ³	±10 mA
Operating Temperature Range (Commercial)	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
ESD	1 kV

¹アナログ入力 of the セクションを参照してください。

²任意の外部 REF 電圧 > 4.3 V を REF ピンに加えるときは、CNV+/CNV-をロー・レベルに維持してください。

³最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 5.熱抵抗

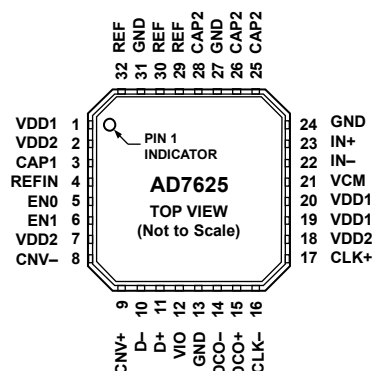
Package Type	θ_{JA}	θ_{JC}	Unit
32-Lead LFCSP_VQ	40	4	°C/W

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
1. CONNECT THE EXPOSED PAD TO THE GROUND PLANE OF THE PCB USING MULTIPLE VIAS.

07652-002

図 2.

表 6. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1	VDD1	P	5 V のアナログ電源。5 V 電源は 100 nF のコンデンサでデカップリングしてください。
2	VDD2	P	2.5 V のアナログ電源。このピンは、100 nF のコンデンサでデカップリングしてください。2.5 V 電源は先にこのピンに供給し、次に他の VDD2 ピン(ピン 7 とピン 18)に供給する必要があります。
3	CAP1	AO	このピンは 10 nF のコンデンサに接続してください。
4	REFIN	AI/O	バッファ付きリファレンス電圧。内蔵リファレンス電圧を使う場合、このピンはバンド・ギャップ電圧を出力し、公称 1.2 V になります。このピンは、 ADR280 のような外付けリファレンス電圧で上書き駆動することができます。内蔵または外付けリファレンス・モードでは、10 μ F のコンデンサが必要です。4.096 V の外付けリファレンス(REFに接続)を使う場合、このピンは未接続にして、コンデンサは不要です。
5、6	EN0、EN1	DI	イネーブル・ピン。これらのピンのロジック・レベルにより、デバイスの動作が次のように設定されます。 EN1 = 0、EN0 = 0: 違法状態。 EN1 = 0、EN0 = 1: 内部バッファをイネーブル、内蔵リファレンス電圧をディスエーブル。1.2 V の外付けリファレンス電圧を REFIN ピンに接続する必要があります。 EN1 = 1、EN0 = 0: 内蔵リファレンス電圧とリファレンス・バッファをディスエーブル。4.096 V の外付けリファレンス電圧を REF ピンに接続する必要があります。 EN1 = 1、EN0 = 1: 内蔵リファレンス電圧とリファレンス・バッファをイネーブル。
7	VDD2	P	2.5 V のデジタル電源。このピンは、100 nF のコンデンサでデカップリングしてください。
8、9	CNV-、CNV+	DI	変換入力。これらのピンは変換制御ピンとして機能します。これらのピンの立上がりエッジで、アナログ入力がサンプルされて、変換サイクルが開始されます。CNV- = グラウンドのとき、CNV+ は CMOS 入力として機能します。その他の場合は、CNV+ と CNV- は差動 LVDS 入力になります。
10、11	D-、D+	DO	LVDS データ出力。変換データは、これらのピンからシリアルに出力されます。
12	VIO	P	入力/出力インターフェース電源。2.5 V 電源を使い、このピンを 100 nF のコンデンサでデカップリングしてください。
13	GND	P	グラウンド。ピン 12 に接続する 100 nF コンデンサのリターン・パス。
14、15	DCO-、DCO+	DO	LVDS バッファ付きクロック出力。DCO+ = グラウンドのとき、セルフクロックのインターフェース・モードが選択されます。このモードでは、D $\pm$ 上の 16 ビット変換結果の前に 2 ビットのヘッダー(10)が付いて、シンプルなロジックでデータをデジタル・ホストと同期させることができます。DCO+ $\neq$ グラウンドのとき、エコー・クロック・インターフェース・モードが選択されます。このモードでは、DCO $\pm$ が CLK $\pm$ のコピーになります。データビットは DCO+ の立下がりエッジで出力され、DCO+ の次の立上がりエッジでデジタル・ホストへラッチすることができます。
16、17	CLK-、CLK+	DI	LVDS クロック入力。このクロックにより、CLK+ の立下がりエッジで変換結果がシフト出力されます。
18	VDD2	P	2.5 V のアナログ電源。このピンは、100 nF のコンデンサでデカップリングしてください。
19、20	VDD1	P	5 V のアナログ電源。これらのピンをピン 1 からフェライト・ビードでアイソレーションし、100 nF のコンデンサでデカップリングしてください。
21	VCM	AO	同相モード出力。すべてのリファレンス方式で、このピンは REF ピン電圧の 1/2 の電圧を出力するため、入力アンプの同相モードを駆動する際に役立ちます。
22	IN-	AI	差動負アナログ入力。比較される信号であり、IN+ と 180°位相をずらして駆動する必要があります。

ピン番号	記号	タイプ ¹	説明
23	IN+	AI	差動正アナログ入力。比較される信号であり、IN-と 180°位相をずらして駆動する必要があります。
24	GND	P	グラウンド。
25、26、 28	CAP2	AO	3 本すべてを CAP2 ピンに接続して、10 μ F の低 ESR 低 ESL のコンデンサ 1 個で最短パターン長でデカップリングしてください。コンデンサの他端は、ピン 27 (GND)の近くに配置する必要があります。
27	GND	P	グラウンド。ピン 25、ピン 26、ピン 28 に接続する 10 μ F コンデンサのリターン・パス。
29、30、 32	REF	AI/O	バッファ付きリファレンス電圧。内蔵リファレンス電圧または 1.2 V の外付けリファレンス電圧(REFIN 入力)を使う場合、4.096 V のシステム・リファレンス電圧がこのピンから出力されます。 ADR434 や ADR444 のような外付けリファレンス電圧を使う場合、内蔵リファレンス・バッファをディスエーブルする必要があります。いずれのケースでも、3 本すべてを REF ピンに接続して、10 μ F の低 ESR 低 ESL のコンデンサ 1 個で最短パターン長でデカップリングしてください。コンデンサの他端は、ピン 31 (GND)の近くに配置する必要があります。
31	GND	P	グラウンド。ピン 29、ピン 30、ピン 32 に接続する 10 μ F コンデンサのリターン・パス。
EP	エクスポーズ ド・パッド		エクスポーズド・パッドは、パッケージの下面にあります。エクスポーズド・パッドは、複数のビアを使って PCB のグラウンド・プレーンへ接続してください。詳細については、露出パドルのセクションを参照してください。

¹ AI = アナログ入力、AI/O = 双方向アナログ、AO = アナログ出力、DI = デジタル入力、DO = デジタル出力、P = 電源。

代表的な性能特性

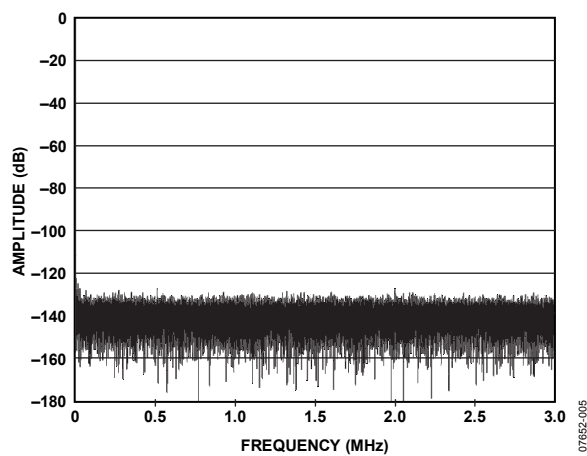


図 3.FFT 2 kHz 入力トーン、フル表示

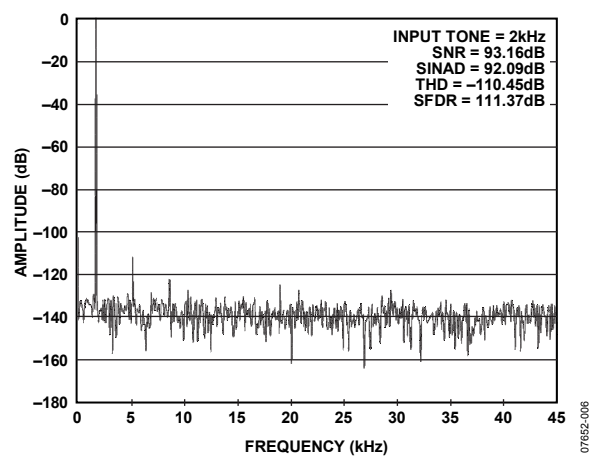


図 6.FFT 2 kHz 入力トーン、入力トーンと高調波を拡大

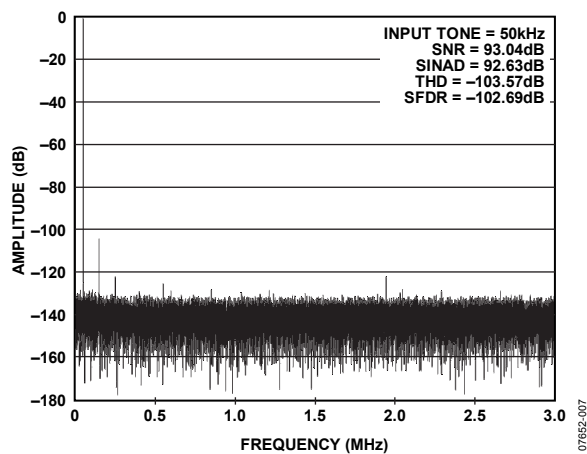


図 4.FFT 50 kHz 入力トーン

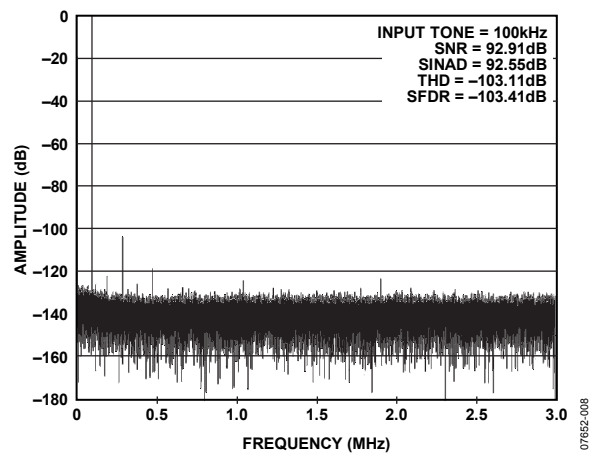


図 7.FFT 100 kHz 入力トーン

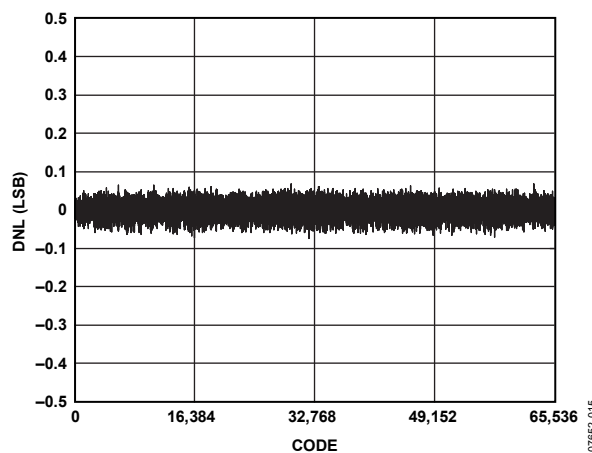


図 5.コード対微分非直線性

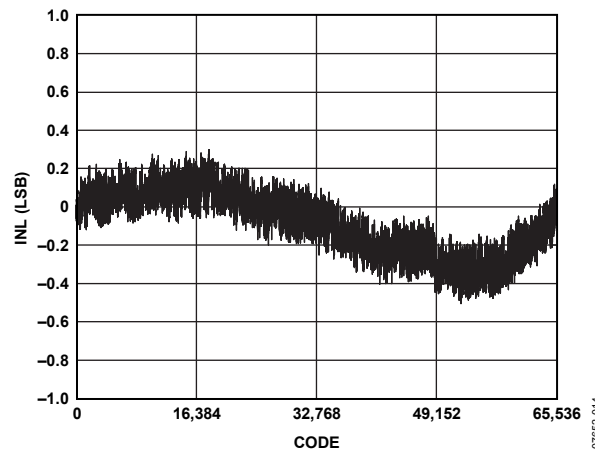


図 8.コード対積分非直線性

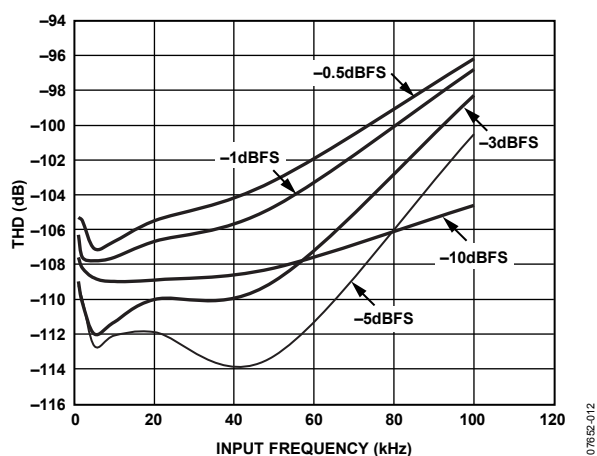


図 9. THD の周波数特性、入力振幅 = -0.5 dBFS ~ -10 dBFS

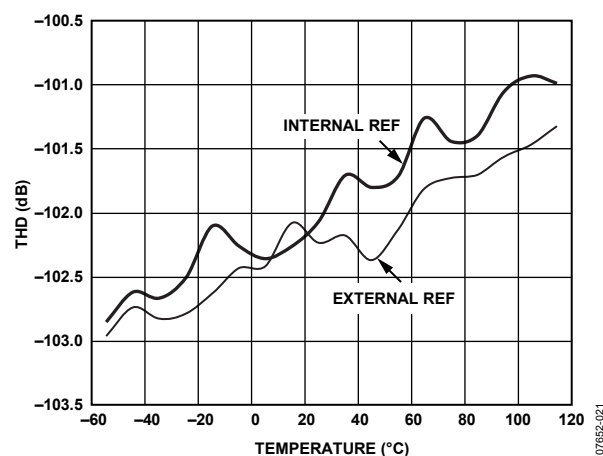


図 12. THD の温度特性 (-0.5 dB、20 kHz 入力トーン)

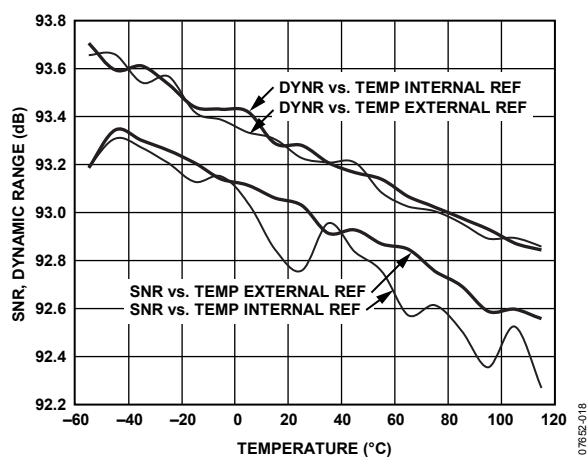


図 10. ダイナミック・レンジおよび SNR の温度特性 (-0.5 dB、20 kHz 入力トーン)

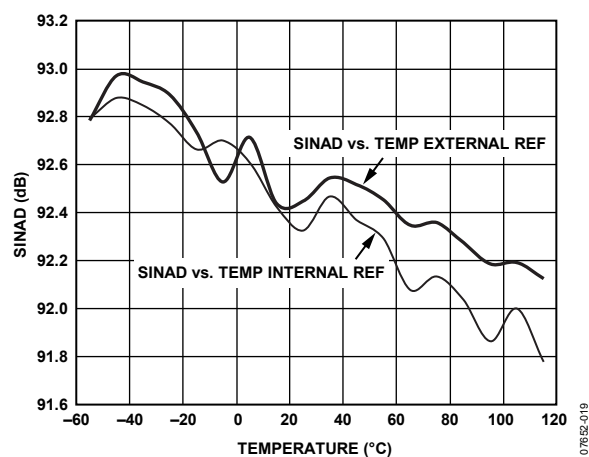


図 13. SINAD の温度特性 (-0.5 dB、20 kHz 入力トーン)

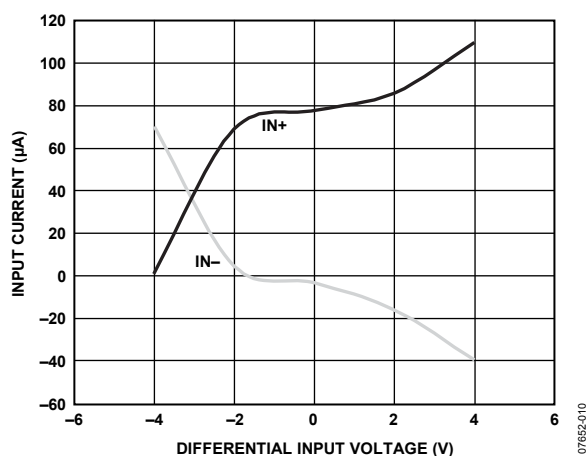


図 11. 差動入力電圧対入力電流 (IN+, IN-), 6 MSPS

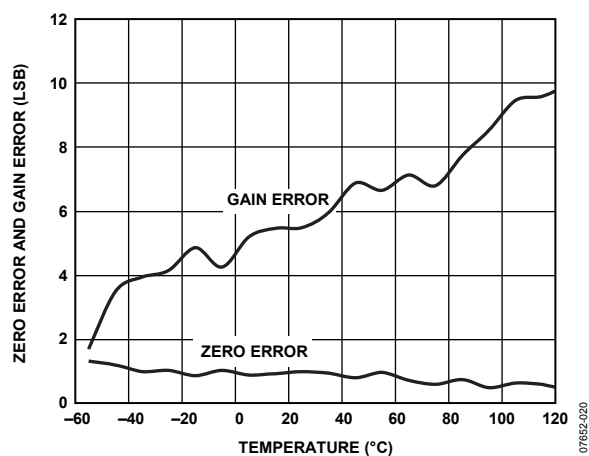


図 14. ゼロ誤差およびゲイン誤差の温度特性

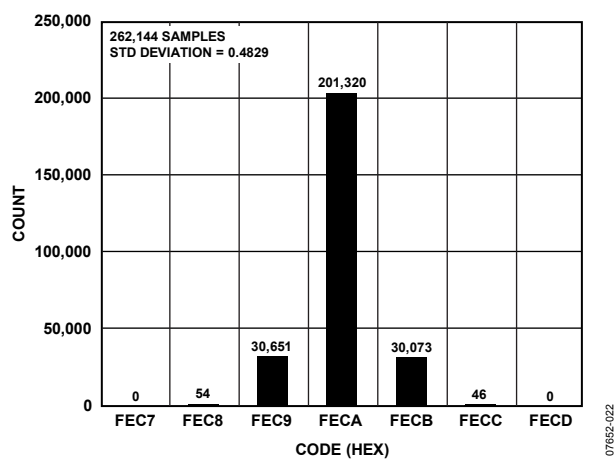


図 15.コード中心値の DC 入力を 262,144 回変換したときの
ヒストグラム(内蔵リファレンス電圧)

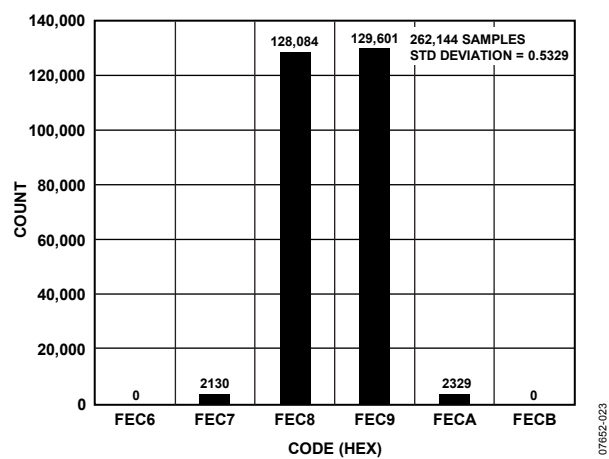


図 17.コード変化の DC 入力を 262,144 回変換したときの
ヒストグラム(内蔵リファレンス電圧)

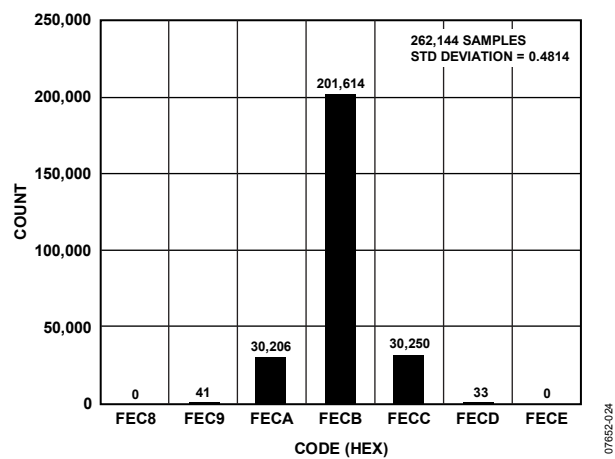


図 16.コード中心値の DC 入力を 262,144 回変換したときの
ヒストグラム(外付けリファレンス電圧)

用語

同相モード除去比(CMRR)

CMRR は、ADC 出力でのフルスケール周波数 f の電力と、 V_{IN+} と V_{IN-} の同相モード電圧に加えられた周波数 f_s の 80 mVp-p 正弦波の電力との比として定義されます。

$$CMRR \text{ (dB)} = 10 \log(P_f/P_{f_s})$$

ここで、

P_f は ADC 出力での周波数 f の電力。

P_{f_s} は、ADC 出力での周波数 f_s の電力。

微分非直線性(DNL)誤差

理論 ADC では、各コード遷移は 1 LSB だけ離れた位置で発生します。微分非直線性は、この理論値からの最大偏差を表します。微分非直線性は、ノーマス・コードが保証される分解能として規定されることがあります。

積分非直線性(INL)誤差

直線性誤差は、負側のフルスケールと正側のフルスケールを結ぶ直線と各コードとの偏差を意味します。負側フルスケールとして使用されるポイントは、最初のコード遷移より 1/2 LSB だけ下に存在します。正フルスケールは、最後のコード遷移より 1+1/2 LSB だけ上のレベルと定義されます。偏差は各コードの中央と直線との間の距離として測定されます。

ダイナミック・レンジ

-60 dB(typ)の入力に対して測定した rms ノイズに対するフルスケールの rms 値の比を表します。ダイナミック・レンジの値は dB で表されます。

実効ビット数(ENOB)

ENOB は、正弦波を入力したときの分解能を表します。SINAD に関係し、次のようにビット数で表されます。

$$ENOB = [(SINAD_{dB} - 1.76)/6.02]$$

ゲイン誤差

最初の変化(100 ... 000→100 ... 001)は公称フルスケール(±4.096 V レンジの場合は-4.0959375 V)より 0.5 LSB 上のレベルで発生する必要があります。最後の変化(011 ... 110→011 ... 111)は、公称フルスケール(±4.096 V レンジの場合は+4.0959375 V)より 1.5 LSB 低いアナログ電圧で発生する必要があります。ゲイン誤差は、最後の変化の実際のレベルと最初の変化の実際のレベルとの差と、対応する両理論レベル間の差との間の違いを表します。

最下位ビット(LSB)

最下位ビット(LSB)は、コンバータが表現できる最小増分に該当します。N ビットの分解能を持つフル差動入力 ADC の場合、ボルトで表した LSB は次のようになります。

$$LSB \text{ (V)} = \frac{V_{INp-p}}{2^N}$$

電源除去比(PSRR)

電源変動はフルスケール変化に影響しますが、コンバータの直線性には影響を与えません。PSRR は、電源電圧の公称値からの変化で発生するフルスケール変化ポイントの最大変化を表します。

リファレンス電圧の温度係数

リファレンス電圧の温度係数は、 T_{MIN} 、 $T(25^\circ\text{C})$ 、 T_{MAX} で測定された最大および最小リファレンス出力電圧(V_{REF})でのサンプル・デバイスの 25°C における出力電圧のシフト値(typ)から導出されます。次のように ppm/ $^\circ\text{C}$ で表されます。

$$TCV_{REF} \text{ (ppm}/^\circ\text{C}) = \frac{V_{REF} \text{ (Max)} - V_{REF} \text{ (Min)}}{V_{REF} \text{ (25}^\circ\text{C)} \times (T_{MAX} - T_{MIN})} \times 10^6$$

ここで、

$V_{REF} \text{ (Max)} = T_{MIN}$ 、 $T(25^\circ\text{C})$ 、 T_{MAX} での最大 V_{REF} 。

$V_{REF} \text{ (Min)} = T_{MIN}$ 、 $T(25^\circ\text{C})$ 、 T_{MAX} での最小 V_{REF} 。

$V_{REF} \text{ (25}^\circ\text{C)} = 25^\circ\text{C}$ での V_{REF} 。

$T_{MAX} = +85^\circ\text{C}$ 。

$T_{MIN} = -40^\circ\text{C}$ 。

信号対ノイズ比(SNR)

SNR は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から高調波成分と DC 成分を除いた分に対する比です。SNR は、デシベル値で表されます。

信号対(ノイズおよび歪み)(SINAD)比

SINAD は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和(DC 以外の高調波を含む)に対する比です。SINAD は、デシベル値で表されます。

スプリアス・フリー・ダイナミック・レンジ(SFDR)

SFDR は入力信号の rms 振幅値とピーク・スプリアス信号との差を意味し、dB 値で表します。

総合高調波歪み(THD)

THD は、基本波から 5 次高調波成分までの rms 値の総和の、フルスケール入力信号の rms 値に対する比を意味し、デシベル値で表します。

ゼロ誤差

ゼロ誤差とは、理論中心値入力電圧(0 V)と中心値出力コードを発生する実際の電圧との差を意味します。

動作原理

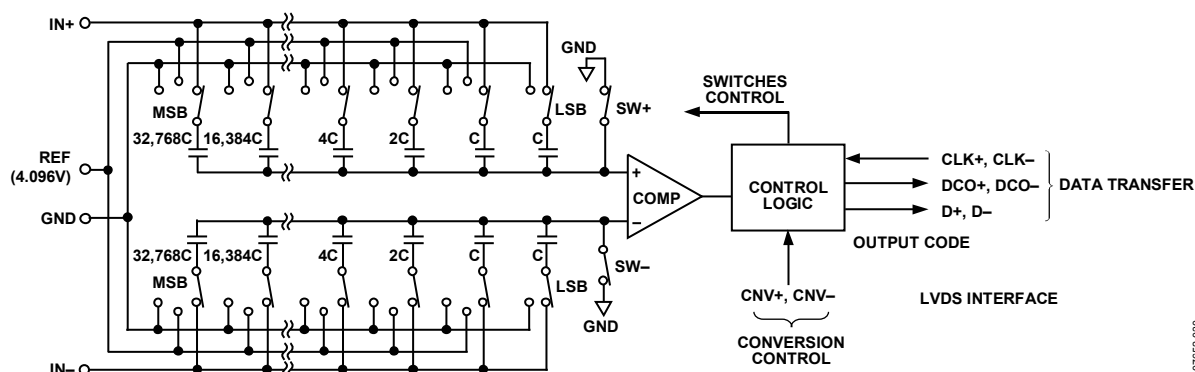


図 18.ADC の簡略化した回路図

回路説明

AD7625 は、6 MSPS、高精度、高電力効率の 16 ビット ADC であり、93 dB の SNR、 ± 0.45 LSB の INL、 ± 0.3 LSB の DNL 性能を提供するアーキテクチャを採用した SAR を使用しています。

AD7625 は毎秒 6,000,000 サンプル(6 MSPS)の変換を行うことができます。このデバイスの消費電力は 135 mW (typ)です。AD7625 には、高性能リファレンス電圧とリファレンス・バッファの内蔵機能が追加されています。

AD7625 は、5 V 電源と 2.5 V 電源(VDD1、VDD2)を使用する動作仕様になっています。デジタル・ホストと AD7625 とのインターフェースには 2.5 V ロジックのみを使用しています。AD7625 は LVDS インターフェースを使用してデータ変換を転送します。デバイスへの CNV+入力と CNV-入力は、アナログ入力の変換を起動します。CNV+ピンと CNV-ピンは、CMOS ソースまたは LVDS ソースから駆動することができます。

AD7625 は、省スペースの 32 ピン 5 mm × 5 mm LFCSP パッケージを採用しています。

コンバータ情報

AD7625 は、電荷再分配DACを使用するSARベースのアーキテクチャを採用した 6 MSPS ADCです。図 18 にADCの簡略化した回路図を示します。容量を使用するこのDACは、2 進数の重みを持った 16 個コンデンサで構成される 2 個の同じアレイで構成されており、各アレイは 2 個のコンパレータ入力に接続されています。

アキュイジション・フェーズでは、コンパレータ入力に接続されたアレイのピンは、SW+と SW-を経由して GND に接続されます。独立なすべてのスイッチはアナログ入力に接続されます。したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用されて、IN+入力と IN-入力上のアナログ信号が取り込まれます。アキュイジション・フェーズが終わり、CNV±入力がハイ・レベルになると、変換フェーズが開始されます。AD7625 は、CMOS (CNV+)または LVDS フォーマット(CNV±)信号を受信できることに注意してください。

変換フェーズが開始されると、まず SW+と SW-が開きます。2 個のコンデンサ・アレイは入力から切り離されて、GND 入力に接続されます。そのため、アキュイジション・フェーズの終わりに取り込まれた、入力(IN+と IN-)の間の差動電圧がコンパレータ入力に接続されて、コンパレータは平衡しくなくなります。コンデンサ・アレイの各エレメントを GND と 4.096 V(リファレンス電圧)の間でスイッチングすることにより、コンパレータ入力を 2 進数重みの電圧ステップ($V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/65,536$)で変えます。コントロール・ロジックがこれらのスイッチをトグルして(MSB から開始)、コンパレータが再度平衡するようにします。この処理が終了すると、コントロール・ロジックが ADC 出力コードを発生します。

AD7625 デジタル・インターフェースでは、低電圧差動シグナリング(LVDS)を使用して、高いデータ転送レートを可能にしています。

AD7625 の変換結果は、 t_{MSB} (変換の開始から MSB が定まるまでの時間)が経過した後に読出し可能になります。データをデジタル・ホストへ転送するときは、AD7625 ヘバーストの LVDS CLK±信号を入力する必要があります。

CLK±信号により、ADC変換結果がデータ出力D±へ出力されます。図 29 と 図 30 に、CLK±信号のバーストを示します。特長は、CLK±の差動電圧を保持して、 t_{CLKL} と t_{MSB} との時間の間にロー・レベルを発生させる必要があることです。

AD7625 には 2 つのデータ読出しモードがあります。エコー・クロックとセルフクロックの 2 つのインターフェース・モードの詳細については、デジタル・インターフェースのセクションを参照してください。

伝達関数

AD7625 は 4.096 V のリファレンス電圧を使用しています。AD7625 は、逆位相のアナログ入力(IN+と IN-)差動電圧をデジタル出力に変換します。アナログ入力(IN+と IN-)は、2.048 V の同相モード電圧(REF/2)を必要とします。

MSB ファーストの 16 ビット変換結果は、2 の補数フォーマットを採用しています。

AD7625 の理論伝達関数を 図 19 と 表 7 に示します。

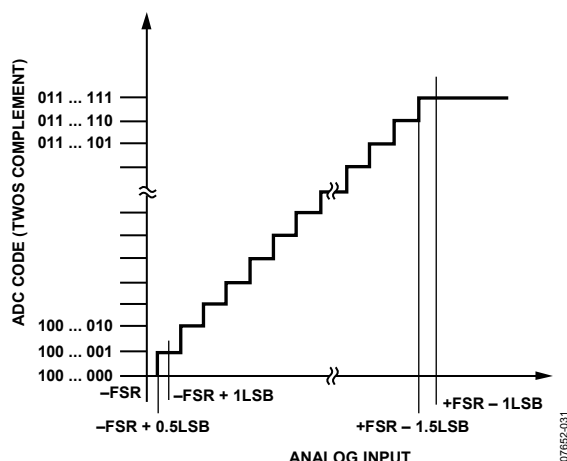


図 19.ADC の理論伝達関数(FSR = フルスケール・レンジ)

表 7. 出力コードと理論入力電圧

Description	Analog Input (IN+ - IN-) REF = 4.096 V	Digital Output Code Twos Complement (Hex)
FSR - 1 LSB	+4.0959375 V	0x1FFF
Midscale + 1 LSB	+62.5 μ V	0x0001
Midscale	0 V	0x0000
Midscale - 1 LSB	-62.5 μ V	0xFFFF
-FSR + 1 LSB	-4.0959375 V	0x1001
-FSR	-4.096 V	0x1000

アナログ入力

AD7625 に加えるアナログ入力(IN+と IN-)は、互いに 180°位相がずれている必要があります。図 20 に、AD7625 入力構造の等価回路を示します。

2 本のダイオードは、アナログ入力(IN+と IN-)に対するESD保護用です。アナログ入力信号がリファレンス電圧より 0.3V以上高くなならないよう注意する必要があります。アナログ入力信号がこの電圧を超えると、ダイオードが順方向にバイアスされてこの電圧から導通し始めるためです。これらのダイオードは、最大 130 mA の順方向バイアス電流を処理することができます。ただし、入力バッファの電源(例えば、図 24 の [ADA4899-1](#) の電源)がリファレンスの電源と異なる場合には、アナログ入力信号が電源レールを 0.3 V以上超えることができます。このような場合(例えば入力バッファが短絡)、電流制限機能を使ってデバイスを保護することができます。

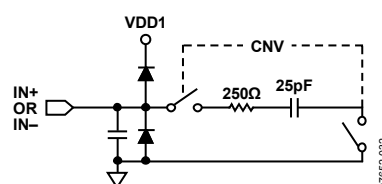


図 20.等価アナログ入力回路

このアナログ入力構造を使うと、IN+と IN-との間の差動信号のサンプリングが可能になります。この差動入力採用により、両入力に共存する信号が除去されます。AD7625 は、高いアナログ入力周波数である程度の THD 低下を示します。

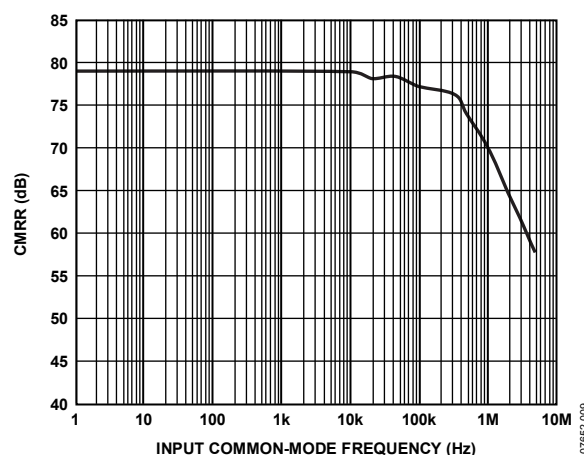
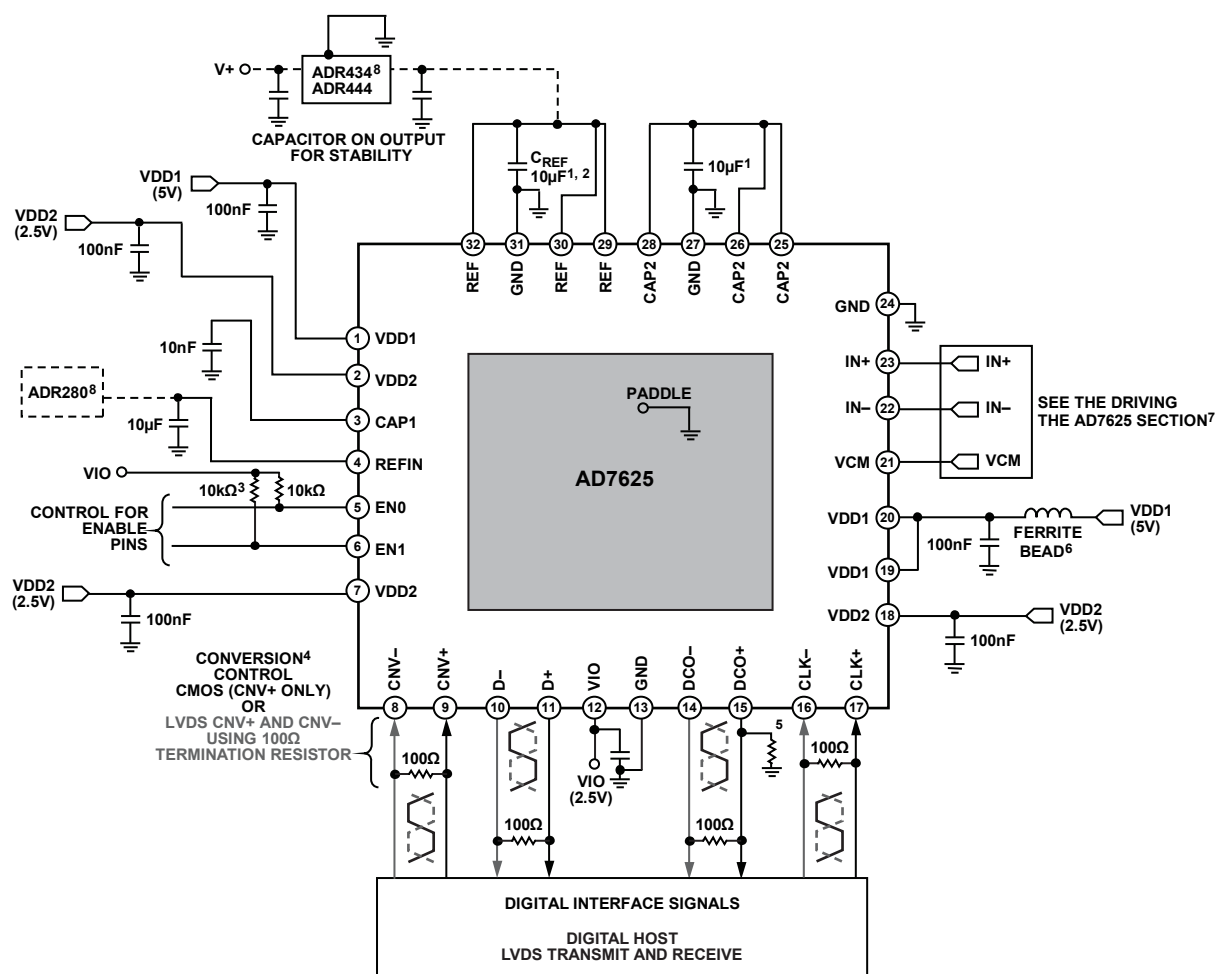


図 21.アナログ入力 CMRR の周波数特性

代表的な接続図



¹ SEE THE LAYOUT, DECOUPLING, AND GROUNDING SECTION.

² C_{REF} IS USUALLY A 10μF CERAMIC CAPACITOR WITH LOW ESR AND ESL.

³ USE PULL-UP OR PULL-DOWN RESISTORS TO CONTROL EN0, EN1 DURING POWER-UP. EN0 AND EN1 INPUTS CAN BE FIXED IN HARDWARE OR CONTROLLED USING A DIGITAL HOST (EN0 = 0 AND EN1 = 0 IS AN ILLEGAL STATE).

⁴ OPTION TO USE A CMOS (CNV+) OR LVDS (CNV±) INPUT TO CONTROL CONVERSIONS.

⁵ TO ENABLE SELF-CLOCKED MODE, TIE DCO+ TO GND USING A PULL-DOWN RESISTOR.

⁶ CONNECT PIN 19 AND PIN 20 TO VDD1 SUPPLY; ISOLATE FROM PIN 1 USING A FERRITE BEAD SIMILAR TO WURTH 74279266.

⁷ SEE THE DRIVING THE AD7625 SECTION FOR DETAILS ON AMPLIFIER CONFIGURATIONS.

⁸ SEE THE VOLTAGE REFERENCE OPTIONS SECTION FOR DETAILS.

図 22. 代表的なアプリケーション図

07652-027

AD7625 の駆動

差動アナログ入力ソース

図 24 に、AD7625 の各差動入力を駆動する ADA4899-1 を示します。

シングルエンド/差動ドライバ

ユニポーラ・アナログ信号を使用するアプリケーションの場合、図 23 に示すようなシングルエンド/差動変換ドライバを使うと、デバイスに対する差動入力が可能になります。この構成では、0 V~4.096 V の入力信号を与えたとき、中心スケール 2.048 V の差動 ± 4.096 V が得られます。R = 33 Ω と C = 56 pF を使った 1 極フィルタのコーナー周波数は 86 MHz になります。AD7625 の VCM 出力をバッファした後に、必要とされる 2.048 V の同相モード電圧の発生に使うことができます。

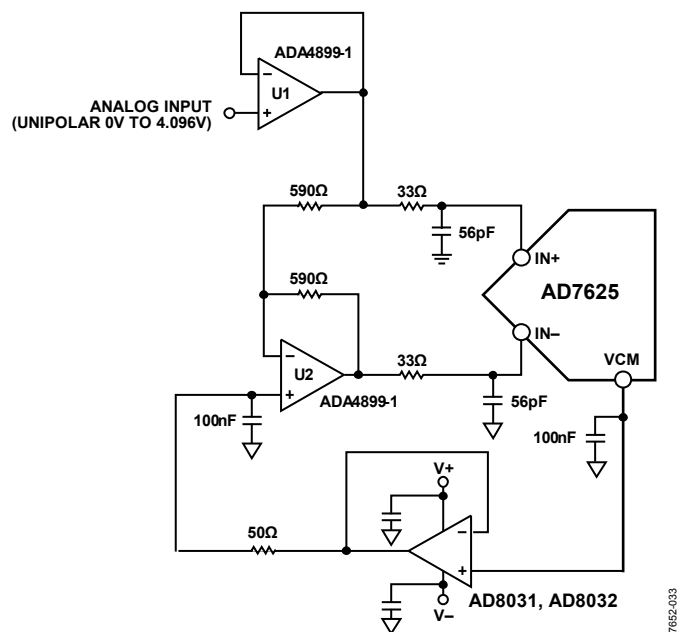
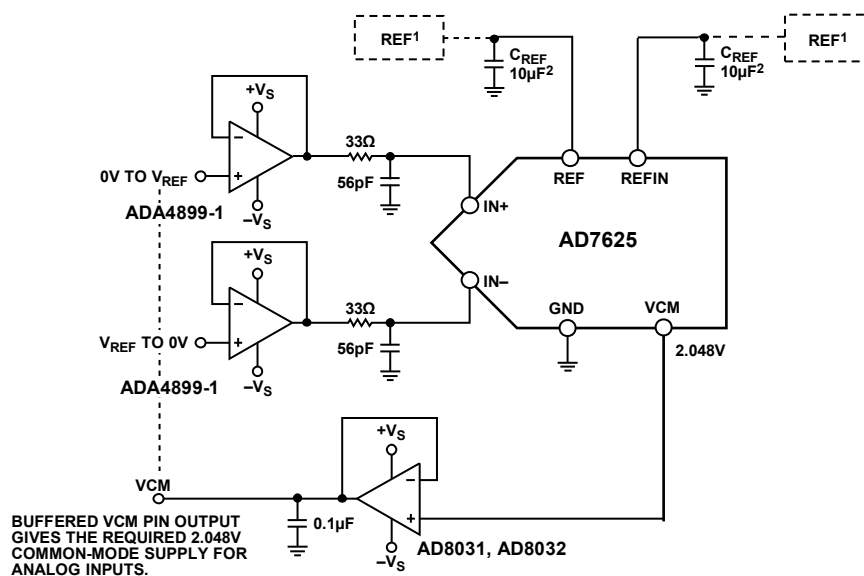


図 23. シングルエンド/差動変換ドライバ回路



¹SEE THE VOLTAGE REFERENCE OPTIONS SECTION. CONNECTION TO EXTERNAL REFERENCE SIGNALS IS DEPENDENT ON THE EN1 AND EN0 SETTINGS.

²C_{REF} IS USUALLY A 10μF CERAMIC CAPACITOR WITH LOW ESL AND ESR.

THE REF AND REFIN PINS ARE DECOUPLED REGARDLESS OF EN1 AND EN0 SETTINGS.

図 24. 差動アナログ・ソースからの AD7625 の駆動

リファレンス電圧オプション

AD7625 では、リファレンス電圧の発生とバッファリングに対する柔軟なオプションを提供しています。AD7625 の変換は 4.096 V のみを基準としています。この 4.096 V リファレンス電圧を発生する種々のオプションは、EN1 ピンと EN0 ピンから制御されます(表 8 参照)。

表 8. リファレンス電圧オプション¹

Option	EN1	EN0	Reference Mode
A	1	1	Use internal reference and internal reference buffer (both are enabled).
B	0	1	Use external 1.2 V reference with internal reference buffer enabled. The internal reference is disabled.
C	1	0	Use external 4.096 V reference with an external reference buffer. The internal reference and reference buffer are disabled.

¹ EN1 = 0 and EN0 = 0 is an illegal state.

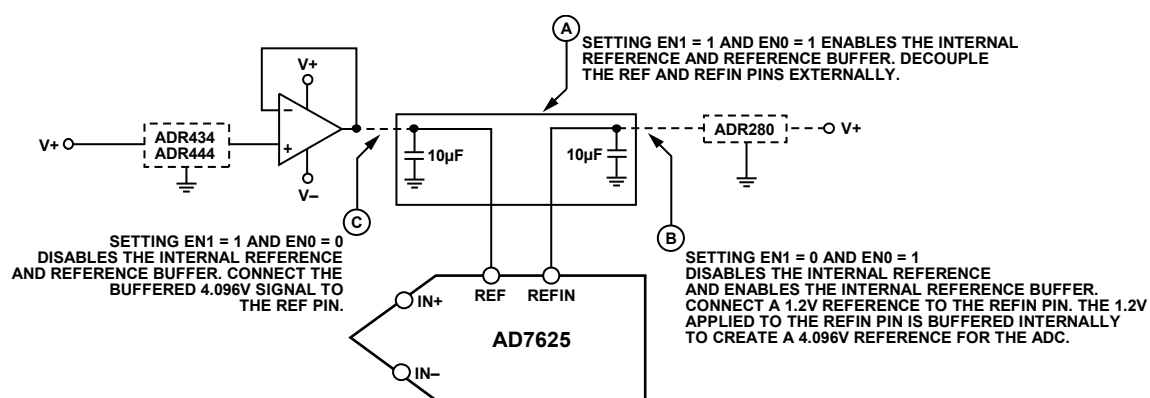


図 25. リファレンス電圧オプション

07652-028

電源

AD7625 では、5 V 電源(VDD1)、2.5 V 電源(VDD2)、デジタル入力/出力インターフェース(VIO)電源を使っています。VIO の使用により、2.5 V ロジックのみを使って直接インターフェースすることができます。VIO と VDD2 は同じ 2.5 V ソースから得ることができますが、パターンの分離と各ピンの個別デカップリングにより VIO と VDD2 をアイソレーションすることが推奨されます。

AD7625 に必要とされる 5 V 電源と 2.5 V 電源は、ADP3330-2.5、ADP3330-5、ADP3334、ADP1708 などのアナログ・デバイゼズのロー・ドロップアウト・レギュレータ(LDO)を使って発生することができます。

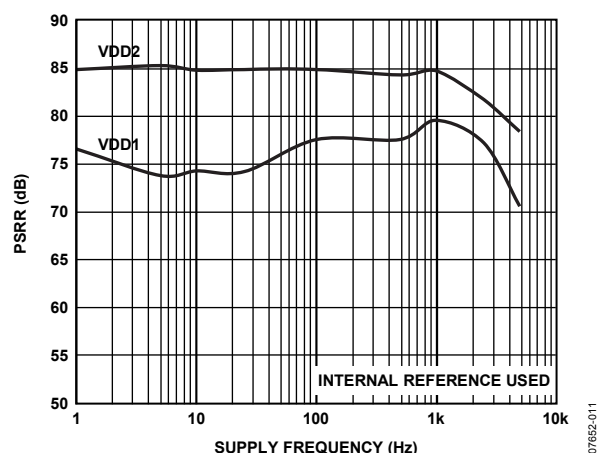


図 26. 電源周波数対 PSRR (VDD2 のリップル: 350 mV pp、VDD1 のリップル: 600 mV)

パワーアップ

AD7625 デバイスをパワーアップさせる際、使用するリファレンス・オプションに対して EN1 値と EN0 値を設定できるようにするため、デバイスに最初に VIO 電圧を加える必要があります。EN0 ピンと EN1 ピンをプルアップ/プルダウン抵抗に接続して、これらのピンの一方または両方が確実に非ゼロ値に設定されるようにする必要があります。EN0 = 0 かつ EN1 = 0 は違法状態であるため、回避する必要があります。

VIO が確定した後に、2.5 V の VDD2 電源をデバイスに加え、続いて 5 V の VDD1 電源と外付けリファレンス電圧(使用するリファレンス設定に応じて)の順に加えます。最後に、アナログ入力を ADC に接続します。

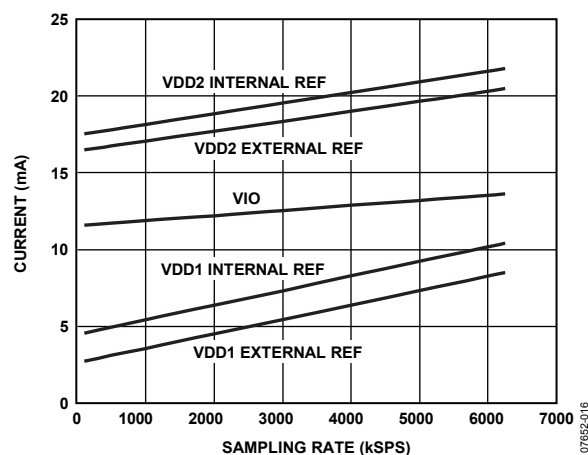


図 27. サンプルング・レート対消費電流

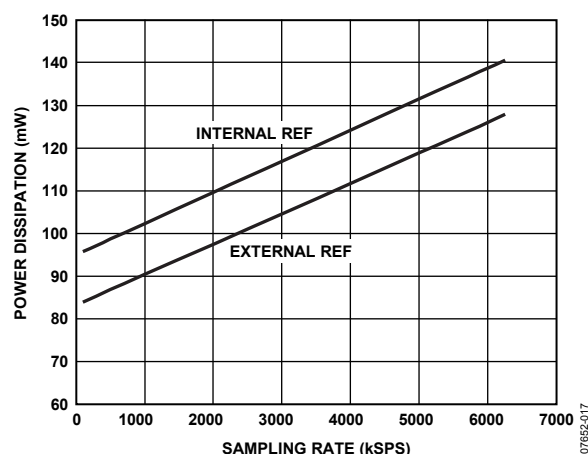


図 28. サンプルング・レート対消費電力

デジタル・インターフェース

変換制御

A/D 変換は、CNV 信号により制御されます。この信号は、CNV+/CNV- LVDS 信号で加えるか、または CNV+ピンに 2.5 V CMOS ロジック信号として加えることができます。変換は、CNV 信号の立上がりエッジで開始されます。

AD7625 がパワーアップした後の最初の変換結果は無効です。変換と変換の間の時間が t_{CYC} の最大仕様を超えない限り、後続の変換結果は有効です。

LVDS インターフェースを介して AD7625 のデジタル・データ出力を取得する 2 つの方法を次のセクションで説明します。

エコー・クロック・インターフェース・モード

エコー・クロック・インターフェース・モードでの AD7625 のデジタル動作を図 29 に示します。デジタル・ホスト上でシフトレジスタだけを必要とするこのインターフェース・モードは、多くのデジタル・ホスト(FPGA、シフトレジスタ、マイクロプロセッサなど)との間で使用することができます。各 AD7625 とデジタル・ホストとの間で 3 対の LVDS ($D_{\pm}$ 、 $CLK_{\pm}$ 、 $DCO_{\pm}$)が必要です。

クロック $DCO_{\pm}$ は、 $CLK_{\pm}$ のバッファされたコピーであり、データ $D_{\pm}$ に同期化されます。この $D_{\pm}$ は、 $DCO+$ (t_0)の立下がりエッジで更新されます。ボードとデジタル・ホストを通過する $D_{\pm}$ と $DCO_{\pm}$ との間の伝搬遅延を一致させることにより、 $DCO_{\pm}$ を使って $D_{\pm}$ をラッチすることができ、シフトレジスタに対してタイミング・マージンを確保することができます。

変換は $CNV_{\pm}$ パルスにより開始されます。有効動作のためには、 $CNV_{\pm}$ パルスがロー・レベル($\leq t_{CNVH}$ 最大値)に戻る必要があります。変換が開始されると、完了するまで動作を続けます。変換フェーズでは余分な $CNV_{\pm}$ パルスは無視されます。時間 t_{MSB} が経過した後、ホストは $CLK_{\pm}$ のバーストを開始させる必要があります。 t_{MSB} は新しい変換結果の MSB の最大時間であるため、 $CLK_{\pm}$ のゲーティング・デバイスとして使う必要があります。エコー・クロック $DCO_{\pm}$ とデータ $D_{\pm}$ は同相で駆動され、 $D_{\pm}$ は $DCO+$ の立下がりエッジで更新されます。一方、ホストは $D_{\pm}$ の取り込みに $DCO+$ の立上がりエッジを使う必要があります。唯一の条件は、次の変換フェーズのために時間 t_{CLKL} が経過する前に 16 CLK パルスが完了することです。そうしないとデータが失われてしまいます。時間 t_{CLKL} から t_{MSB} まで、 $D_{\pm}$ と $DCO_{\pm}$ は 0 に駆動されます。各 $CLK_{\pm}$ バーストの間は、 $CLK_{\pm}$ をアイドルのロー・レベルに設定してください。

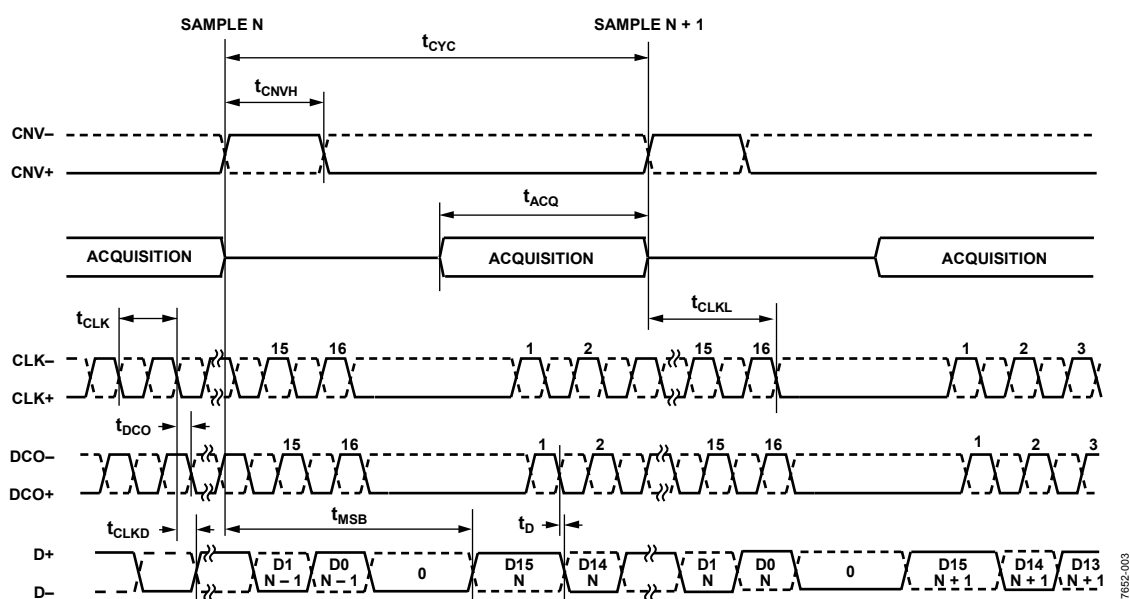


図 29. エコー・クロック・インターフェース・モードのタイミング図

セルフクロック・インターフェース・モード

セルフクロック・インターフェース・モードでのAD7625のデジタル動作を図30に示します。このインターフェース・モードは、ADCとデジタル・ホストの間の配線数を1個のAD7625あたり2対のLVDS (CLK±とD±)に、または複数AD7625デバイス間で共通のCLK±を共用する場合には1対に、それぞれ削減します。セルフクロック・インターフェース・モードを使うと、複数のAD7625デバイスを使用するボードのデザインが可能になります。デジタル・ホストはこのインターフェース方式を使って、各AD7625デバイスとデジタル・ホストの間の異なる伝搬遅延に対応することができます。

セルフクロック・インターフェース・モードは、データD±上で先行する2ビットのヘッダーと変換結果の各ADCワードから構成されています。デジタル・ホストでは、このヘッダーを使って各変換のD±を同期化します。同期は、AD7625デバイスごとに簡単なステート・マシンを使って行われます。例えば、ステート・マシンが3つのフェーズを持つCLK±と同じ速度で動作する場合、ステート・マシンはヘッダーのロジック1が発生するタイミングを検出します。

変換はCNV±パルスにより開始されます。有効動作のためには、CNV±パルスがロー・レベル($\leq t_{CNVH}$ 最大値)に戻る必要があります。変換が開始されると、完了するまで動作を続けます。変換フェーズでは余分なCNV±パルスは無視されます。時間 t_{MSB} が経過した後、ホストはCLK±のバーストを開始させる必要があります。 t_{MSB} はヘッダーの先頭ビットの最大時間であるため、CLK±のゲーティング・デバイスとして使う必要があります。ホスト内部では、CLK±も使って内部同期ステート・マシンを起動します。次のヘッダー・ビットと変換結果は、CLK±の後続立下がりエッジで出力されます。唯一の条件は、次の変換フェーズのために時間 t_{CLKL} が経過する前に18個のCLKパルスが完了することです。そうしないとデータが失われてしまいます。18個のCLK±パルスのバーストの間は、CLK±をアイドルのハイ・レベルに設定してください。

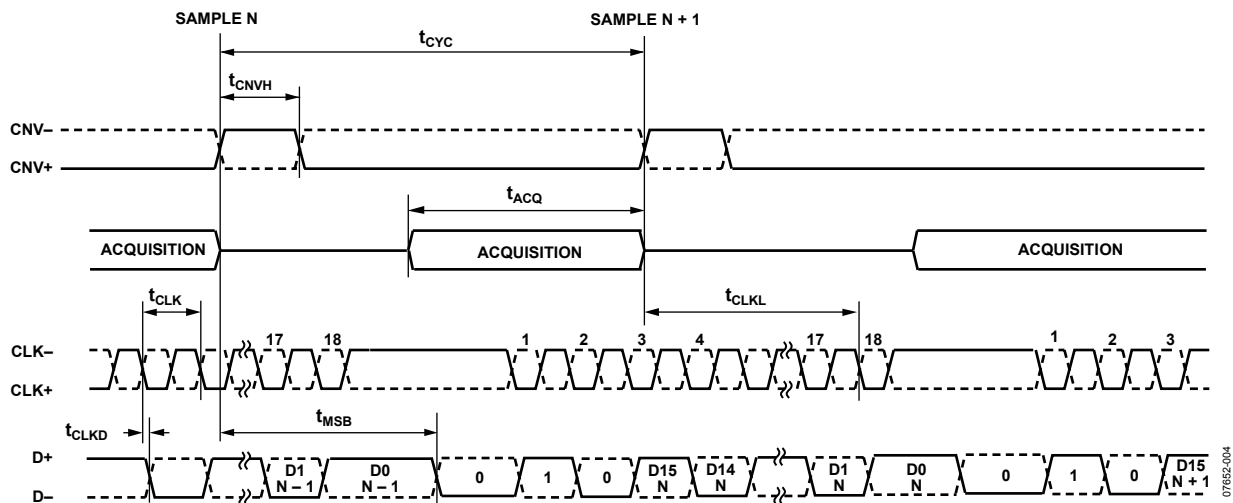


図 30.セルフクロック・インターフェース・モードのタイミング図

アプリケーション情報

レイアウト、デカップリング、グラウンド接続

AD7625 のプリント回路ボード(PCB)をレイアウトする際は、コンバータの最適性能を得るためにこのセクションの説明に従ってください。

露出パドル

AD7625 パッケージの下面に露出パドルがあります。

- パドルは PCB に直接ハンダ付けしてください。
- パドルは、図 31 に示すように、複数のビアを使ってボードのグラウンド・プレーンへ接続してください。
- ピン 12 (VIO)以外のすべての電源ピンは、直接パドルへデカップリングし、電流リターン・パスを最短にしてください。
- ピン 13 とピン 24 は、パドルへ直接接続することができます。これらのピンがパドルに接続されるポイントでは、グラウンドに接続するビアを使用してください。

VDD1 電源の配線とデカップリング

VDD1 電源は、ピン 1、ピン 19、ピン 20 に接続します。電源は、ピン 1 に 100 nF のコンデンサを接続してデカップリングする必要があります。この電源パターンは、ピン 19 とピン 20 に接続することができます。直列のフェライト・ビードを VDD1 電源とピン 1~ピン 19 およびピン 20 を接続する際に使います。フェライト・ビードは、VDD1 電源上の高周波ノイズまたはリンギングをアイソレーションします。ピン 19 とピン 20 の VDD1 電源を 100 nF の

コンデンサで GND へデカップリングしてください。この GND 接続は、露出パドルの近い距離に配置することができます。

VIO 電源のデカップリング

ピン 12 の VIO 電源は、ピン 13 のグラウンドへデカップリングしてください。

ピン 25~ピン 32 のデカップリングとレイアウト

ピン 25、ピン 26、ピン 28 の出力は一緒に接続し、これを低 ESR 低 ESL の 10 μ F コンデンサを使ってピン 27 へデカップリングしてください。

ピン 25、ピン 26、ピン 28 に接続するパスの PCB パターン幅を大きくして、これらのピンを接続するパスのインダクタンスを小さくしてください。

AD7625 のリファレンス・ピンに使用される接続についても、同じ対策が必要です。ピン 29、ピン 30、ピン 32 は一緒に接続し、広い幅の PCB パターンを使ってインダクタンスを小さくしてください。内蔵または外付けリファレンス・モードで、4.096 V のリファレンス電圧がピン 29、ピン 30、ピン 32 に出力されます。これらのピンは、低 ESR 低 ESL の 10 μ F コンデンサでピン 31 へデカップリングしてください。

図 31 に、AD7625 デバイス裏面の推奨レイアウト例を示します。引き出した信号パターン接続、および REF ピン(ピン 29、ピン 30、ピン 32)と CAP2 ピン(ピン 25、ピン 26、ピン 28)に入力される信号のデカップリング・コンデンサの外形に注意してください。

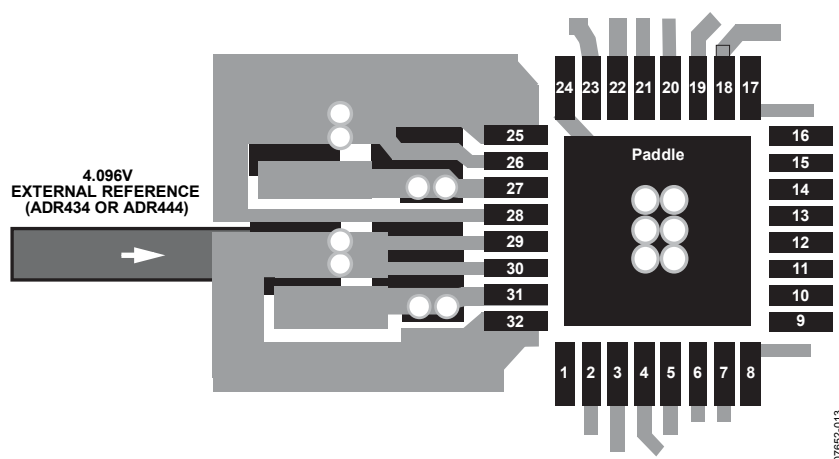
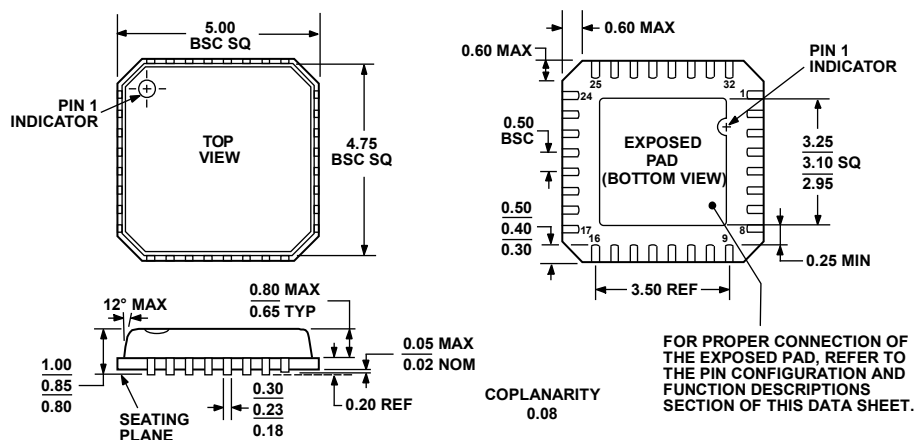


図 31. ピン 24~ピン 32 に対する推奨 PCB レイアウトとデカップリング

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VHDD-2

図 32.32 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
5 mm × 5 mm ボディ、極薄クワッド
(CP-32-2)
寸法: mm

011708-A

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7625BCPZ ¹	−40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-32-2
AD7625BCPZ-RL7 ¹	−40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-32-2
EVAL-AD7625EDZ ^{1,2}		Evaluation Board	
EVAL-CEDIZ ^{1,3}		Converter Evaluation and Development Board	

¹ Z = RoHS 準拠製品。

² これは単独の評価ボードとして、または評価/デモ目的の EVAL-CEDIZ と組み合わせて、使用することができます。

³ このボードを使うと、PC からの制御とモデル番号の後ろに EB が付くすべてのアナログ・デバイセズ評価ボードとの通信が可能です。