



# 16ビット、800kSPS、バイポーラ 入力、同時サンプリング ADC 内蔵 8チャンネル DAS

データシート

AD7606B

## 特長

全チャンネルで 800kSPS の 16 ビット ADC  
アナログ入力のインピーダンスが 5MΩ の入力バッファ  
AD7606 とピン互換  
動作温度範囲：-40°C~+125°C  
5V のアナログ単電源と 1.71V~3.6V の V<sub>DRIVE</sub> 電源  
8kV ESD で±21V の入力クランプ保護  
ソフトウェア・モードでは各種の追加モードを使用可能  
チャンネルごとに選択可能なアナログ入力範囲  
シングルエンド、バイポーラ：±10V、±5V、±2.5V  
チャンネルごとにシステム位相、オフセット、およびゲイン  
をキャリブレーション  
アナログ入力オープン・サーキット検出機能  
オープン・サーキット・コード誤差 < 20LSB (R<sub>PD</sub> = 10kΩ)  
自己診断機能とモニタリング機能  
データおよびレジスタの読出し／書込み時 CRC エラー・  
チェック

## アプリケーション

電力線のモニタリング  
保護リレー  
多相モータ制御  
計測器および制御システム  
データ・アキュイジション・システム

## 機能ブロック図

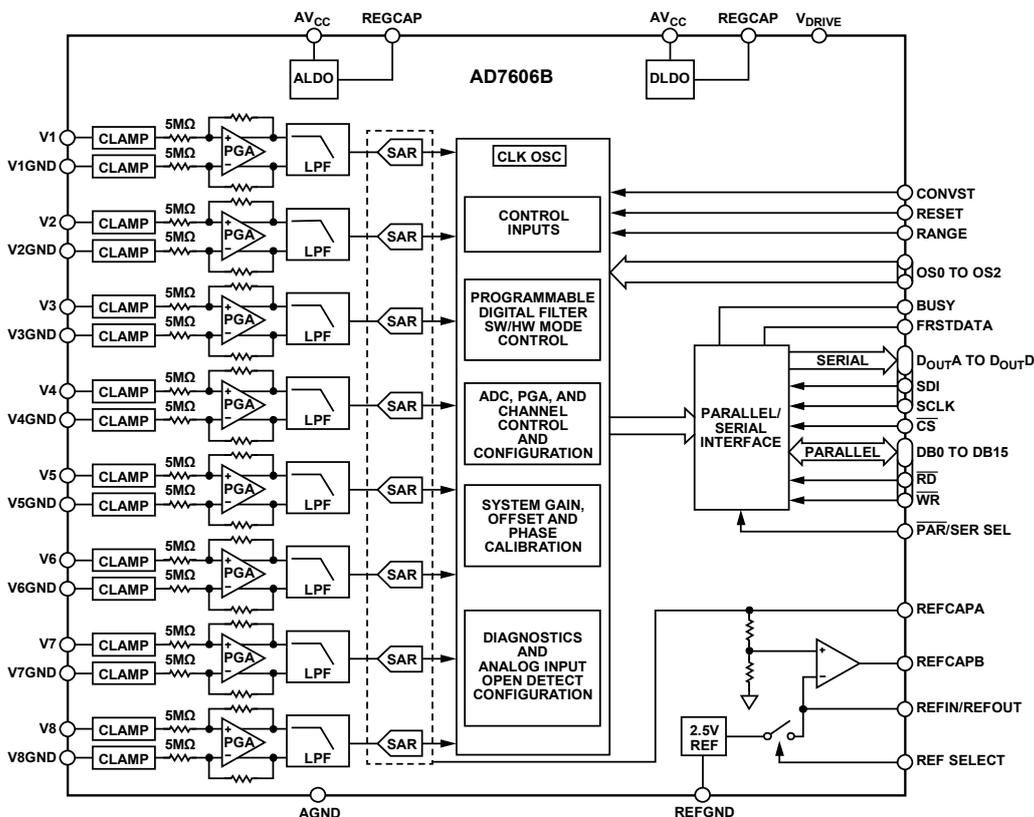


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F  
電話 052 (569) 6300

## 目次

特長 .....	1	システム位相のキャリブレーション .....	29
アプリケーション .....	1	システム・ゲインのキャリブレーション .....	29
機能ブロック図 .....	1	システム・オフセットのキャリブレーション .....	29
改訂履歴 .....	2	アナログ入力のオープン・サーキット検出 .....	30
概要 .....	3	デジタル・インターフェース .....	32
仕様 .....	4	ハードウェア・モード .....	32
タイミング仕様 .....	6	ソフトウェア・モード .....	32
絶対最大定格 .....	10	パラレル・インターフェース .....	33
熱抵抗 .....	10	シリアル・インターフェース .....	35
ESD に関する注意 .....	10	診断機能 .....	39
ピン配置およびピン機能の説明 .....	11	リセットの検出 .....	39
代表的な性能特性 .....	14	過電圧イベントと低電圧イベント .....	39
用語の定義 .....	20	デジタル誤差 .....	39
動作原理 .....	22	診断用マルチプレクサ .....	42
アナログ・フロント・エンド .....	22	代表的な接続図 .....	44
SAR ADC .....	23	アプリケーション情報 .....	46
リファレンス .....	23	レイアウトのガイドライン .....	46
動作モード .....	24	レジスタの一覧 .....	48
デジタル・フィルタ .....	27	レジスタの詳細 .....	50
オーバーサンプリングのパディング .....	28	外形寸法 .....	69
外部オーバーサンプリング・クロック .....	28	オーダー・ガイド .....	69
システム・キャリブレーション機能 .....	29		

## 改訂履歴

6/2019—Revision 0: Initial Version

## 概要

AD7606Bは、8チャンネル同時サンプリングの16ビットA/D変換データ・アクイジション・システム（DAS）で、各チャンネルにはアナログ入力クランプ保護機能、プログラマブル・ゲイン・アンプ（PGA）、ローパス・フィルタ、16ビット逐次比較レジスタ（SAR）、A/Dコンバータ（ADC）が組み込まれています。また、柔軟なデジタル・フィルタ、ADC駆動用の低ドリフト2.5V高精度リファレンスおよびリファレンス・バッファ、柔軟なパラレル・インターフェースとシリアル・インターフェースも内蔵しています。

AD7606Bは5V単電源で動作し、 $\pm 10V$ 、 $\pm 5V$ 、および $\pm 2.5V$ の真のバイポーラ入力レンジに対応しており、すべてのチャンネルで、最大800kSPSのスループット・レートでサンプリングを行います。また、入力クランプ保護機能により、最大 $\pm 21V$ の電圧に耐えることができます。AD7606Bのアナログ入力インピーダンスは $5M\Omega$ で、入力信号が遮断され $10k\Omega$ の外付け抵抗を通じてグラウンドにプルダウンされた時のバイポーラ・ゼロ・コードは、20LSB未満です。単電源動作、内蔵フィルタ、高い入力インピーダンスにより、バイポーラ電源を必要とする外付けドライバ・オペアンプは不要です。低スループット・レートでのアプリケーションでは、AD7606Bの柔軟なデジタル・フィルタを使用して、ノイズ性能を改善することができます。

ハードウェア・モードのAD7606Bは、AD7606と完全互換です。ソフトウェア・モードでは、以下の拡張機能を使用することができます。

- 追加の $\pm 2.5V$ アナログ入力レンジ
- チャンネルごとのアナログ入力レンジ選択（ $\pm 10V$ 、 $\pm 5V$ 、 $\pm 2.5V$ ）
- 追加のオーバーサンプリング（OS）オプション（最大OS  $\times 256$ ）
- システム・ゲイン、システム・オフセット、システム位相をチャンネルごとにキャリブレーション
- アナログ入力オープン・サーキット検出器
- 診断用マルチプレクサ
- 各種モニタ機能（シリアル・ペリフェラル・インターフェース（SPI）の無効読出し/書込み、巡回冗長検査（CRC）、過電圧および低電圧イベント、ビジー・スタック・モニタ、およびリセット検出）

このデータシートでは、 $\overline{RD}/SCLK$ などの多機能ピンについてはすべてのピン名を表記しますが、特定の機能のみが該当するような説明箇所では、SCLKピンのように1つのピン機能だけを表記しています。

表 1. ピン互換デバイス

Resolution (Bits)	Single-Ended Bipolar Inputs	True Differential Bipolar Inputs
18	AD7608	AD7609
16	AD7606 AD7606B	
14	AD7607	

## 仕様

特に指定のない限り、電圧リファレンス ( $V_{REF}$ ) = 外部および内部 2.5V、アナログ電源電圧 ( $AV_{CC}$ ) = 4.75V~5.25V、ロジック電源電圧 ( $V_{DRIVE}$ ) = 1.71V~3.6V、サンプリング周波数 ( $f_{SAMPLE}$ ) = 800kSPS、オーバーサンプリングなし、 $T_A$  = -40°C~+125°C、シングルエンド入力、全入力電圧範囲。

表 2.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
<b>DYNAMIC PERFORMANCE</b>					
Signal-to-Noise Ratio (SNR) <sup>1</sup>	特に指定のない限り、入力周波数 ( $f_{IN}$ ) = 1kHz サイン波				
	オーバーサンプリング (OS) なし、±10V レンジ	87.5	89.5		dB
	OS なし、±5V レンジ	86.5	88.5		dB
	OS なし、±2.5V レンジ	83.5	86		dB
	オーバーサンプリング比 (OSR) = 16×、±10V レンジ	92	93.5		dB
	OSR = 16×、±5V レンジ	90.5	92		dB
Total Harmonic Distortion (THD)	OSR = 16×、±2.5V レンジ	87.5	89		dB
	全入力レンジ				
Signal-to-Noise-and-Distortion	$f_{SAMPLE} = 200kSPS$		-105	-94	dB
	$f_{SAMPLE} = 800kSPS$		-100	-90	dB
	OS なし、±10V レンジ	86.5	88.5		dB
	OS なし、±5V レンジ	85.5	87.7		dB
	OS なし、±2.5V レンジ	83	85.5		dB
	OSR = 16×、±10V レンジ	89	92		dB
Spurious-Free Dynamic Range (SFDR)	OSR = 16×、±5V レンジ	89	91.3		dB
	OSR = 16×、±2.5V レンジ	86.5	88.7		dB
				-104	dB
Channel to Channel Isolation	未選択チャンネルの $f_{IN}$ = 最大 160kHz			-110	dB
Full Scale Step Settling Time	フルスケールの 0.01%				
	±10V レンジ		70		μs
	±5V レンジ		110		μs
	±2.5V レンジ		130		μs
<b>ANALOG INPUT FILTER</b>					
Full Power Bandwidth	-3dB、±10V レンジ		22.5		kHz
	-3dB、±5V レンジ		13.5		kHz
	-3dB、±2.5V レンジ		11.5		kHz
	-0.1dB、±10V レンジ		3		kHz
	-0.1dB、±5V レンジ		2		kHz
	-0.1dB、±2.5V レンジ		2		kHz
Phase Delay	±10V レンジ		8		μs
	±5V レンジ		9		μs
	±2.5V レンジ		11		μs
Phase Delay Matching	±10V レンジ			240	ns
	±5V レンジ			365	ns
	±2.5V レンジ			445	ns
<b>DC ACCURACY</b>					
Resolution	ノー・ミス・コード	16			Bits
Differential Nonlinearity (DNL)			±0.5	±0.99	LSB <sup>2</sup>
Integral Nonlinearity (INL)	$f_{SAMPLE} = 200kSPS$			±2	LSB <sup>2</sup>
	$f_{SAMPLE} = 800kSPS$		±1.16	±2.5	LSB <sup>2</sup>
Total Unadjusted Error (TUE)	内部リファレンス		±3	±47	LSB
Positive and Negative Full-Scale (FS) Error <sup>3</sup>	外部リファレンス		±2	±30	LSB
	内部リファレンス		±2	±45	LSB

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
Positive and Negative FS Error Drift Positive and Negative FS Error Matching Bipolar Zero Code Error Bipolar Zero Code Error Drift Bipolar Zero Code Error Matching Open Circuit Code Error	$R_{FILTER}^4 = 20k\Omega$ 、システム・ゲイン・キャリブレーションを無効化		126		LSB
	$R_{FILTER}^4 = 0k\Omega \sim 65k\Omega$ 、システム・ゲイン・キャリブレーションを有効化		4		LSB
	外部リファレンス		$\pm 1$	$\pm 5$	ppm/ $^{\circ}C$
	内部リファレンス		$\pm 4$	$\pm 15$	ppm/ $^{\circ}C$
	$T_A = -40^{\circ}C \sim +85^{\circ}C$		$\pm 1$	$\pm 14$	LSB
			$\pm 0.2$	$\pm 2$	ppm/ $^{\circ}C$
			1.5	23	LSB <sup>2</sup>
			1.4	14	LSB
			$\pm 12$	$\pm 30$	LSB
			$\pm 12$	$\pm 20$	LSB
		$\pm 17$	$\pm 35$	LSB	
		$\pm 17$	$\pm 25$	LSB	
		$\pm 22$	$\pm 40$	LSB	
		$\pm 22$	$\pm 30$	LSB	
<b>ANALOG INPUT</b>					
Input Voltage Ranges	$V_X - V_{XGND}$ $\pm 10V$ レンジ $\pm 5V$ レンジ $\pm 2.5V$ レンジ	-10 -5 -2.5		+10 +5 +2.5	V V V
Input Voltage Ranges	$V_{XGND} - AGND$ $\pm 10V$ レンジ $\pm 5V$ レンジ $\pm 2.5V$ レンジ	-0.7 -0.1 -0.1		+1.9 +2.7 +3.1	V V V
Analog Input Current	代表的な性能特性のセクションを参照してください。		$(V_{IN} - 2)/R_{IN}$		$\mu A$
Input Capacitance ( $C_{IN}$ ) <sup>6</sup>			5		pF
Input Impedance ( $R_{IN}$ ) <sup>7</sup>			5		M $\Omega$
Input Impedance Drift			$\pm 1$	$\pm 25$	ppm/ $^{\circ}C$
<b>REFERENCE INPUT/OUTPUT</b>					
Reference Input Voltage	REF SELECT = 0、外部リファレンス	2.495	2.5	2.505	V
DC Leakage Current				$\pm 0.12$	$\mu A$
Input Capacitance <sup>6</sup>			7.5		pF
Reference Output Voltage	REF SELSECT = 1、内部リファレンス、 $T_A = 25^{\circ}C$	2.497	2.5	2.503	V
Reference Temperature Coefficient			$\pm 3$	$\pm 15$	ppm/ $^{\circ}C$
Reference Voltage to the ADC	REFCAPA (ピン 44) と REFCAPB (ピン 45)	4.39		4.41	V
<b>LOGIC INPUTS</b>					
Input High Voltage ( $V_{INH}$ )		$0.7 \times V_{DRIVE}$			V
Input Low Voltage ( $V_{INL}$ )				$0.3 \times V_{DRIVE}$	V
Input Current ( $I_{IN}$ )				$\pm 1$	$\mu A$
Input Capacitance <sup>6</sup>			5		pF
<b>LOGIC OUTPUTS</b>					
Output High Voltage ( $V_{OH}$ )	電流源 ( $I_{SOURCE}$ ) = $100\mu A$	$V_{DRIVE} - 0.2$			V
Output Low Voltage ( $V_{OL}$ )	電流シンク ( $I_{SINK}$ ) = $100\mu A$			0.2	V
Floating State Leakage Current			$\pm 1$	$\pm 20$	$\mu A$
Output Capacitance <sup>6</sup>			5		pF
Output Coding	2 の補数				N/A <sup>8</sup>
<b>CONVERSION RATE</b>					
Conversion Time	表 3 を参照		0.75		$\mu s$
Acquisition Time			0.5		$\mu s$
Throughput Rate	チャンネルごと			800	kSPS

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
<b>POWER REQUIREMENTS</b>					
$V_{CC}$		4.75	5	5.25	V
$V_{DRIVE}$		1.71		3.6	V
REGCAP		1.875		1.93	V
$V_{CC}$ Current ( $I_{AVCC}$ )					
Normal Mode (Static)			7.5	9.5	mA
Normal Mode (Operational)	$f_{SAMPLE} = 800kSPS$		43	47.5	mA
	$f_{SAMPLE} = 10kSPS$		8	10	mA
Standby			3.5	4.5	mA
Shutdown Mode			0.5	5	$\mu A$
$V_{DRIVE}$ Current ( $I_{DRIVE}$ )					
Normal Mode (Static)			1.8	3.5	$\mu A$
Normal Mode (Operational)	$f_{SAMPLE} = 800kSPS$		1.1	1.5	mA
	$f_{SAMPLE} = 10kSPS$		30	75	$\mu A$
Standby			1.6	3	$\mu A$
Shutdown Mode			0.8	2	$\mu A$
Power Dissipation					
Normal Mode (Static)			40	50	mW
Normal Mode (Operational)	$f_{SAMPLE} = 800kSPS$		230	255	mW
	$f_{SAMPLE} = 10kSPS$		42	50	mW
Standby			18	24	mW
Shutdown Mode			2.5	25	$\mu W$

<sup>1</sup> 「OS なし」 は、オーバーサンプリングを行わないことを意味します。

<sup>2</sup> LSB は最下位ビットを意味します。±2.5V 入力レンジでは、1LSB = 76.293 $\mu V$  です。±5V 入力レンジでは、1LSB = 152.58 $\mu V$  です。±10V 入力レンジでは、1LSB = 305.175 $\mu V$  です。

<sup>3</sup> これらの仕様には、全温度範囲の変動と、リファレンスおよびリファレンス・バッファの影響が含まれています。

<sup>4</sup>  $R_{FILTER}$  は、アナログ入力フロント・エンドに対して直列に配置された抵抗。図 57 を参照。

<sup>5</sup> 図 59 を参照。

<sup>6</sup> 出荷テストの対象外です。初期リリース時のサンプル・テストにより、適合性が確保されています。

<sup>7</sup> 入力インピーダンスの変動は出荷時に調整されており、システム・ゲインのキャリブレーションのセクションに説明されています。

<sup>8</sup> N/A は該当なし。

## タイミング仕様

### 共通タイミング仕様

特に指定のない限り、 $V_{CC} = 4.75V \sim 5.25V$ 、 $V_{DRIVE} = 1.71V \sim 3.6V$ 、 $V_{REF} = 2.5V$  外部リファレンスおよび内部リファレンス、 $T_A = -40^\circ C \sim +125^\circ C$ 。インターフェースのタイミングは 20pF の負荷容量を使用してテストされており、 $V_{DRIVE}$  およびシリアル・インターフェースの負荷容量に依存します。

表 3.

パラメータ	Min	Typ	Max	単位	説明
$t_{CYCLE}$	1.25			$\mu s$	連続する CONVST 立上がりエッジ間の最小時間（オーバーサンプリング・モードを除く） <sup>1</sup>
$t_{LP\_CNV}$	10			ns	CONVST ロー・パルス幅
$t_{HP\_CNV}$	10			ns	CONVST ハイ・パルス幅
$t_{D\_CNV\_BSY}$					CONVST から BUSY ハイまでの遅延時間
			20	ns	$V_{DRIVE} > 2.7V$
			25	ns	$V_{DRIVE} < 2.7V$
$t_{S\_BSY}$	0			ns	BUSY 立下がりエッジから $\overline{RD}$ 立下がりエッジまでのセットアップ・タイムの最小値（パラレル・インターフェースの場合）、または BUSY 立下がりエッジから $D_{OUTX}$ ラインで MSB が使用できるようになるまでの最小時間（シリアル・インターフェースの場合）
$t_{D\_BSY}$			25	ns	$\overline{RD}$ の最後の立下がりエッジからその後続く BUSY 立下がりエッジまでの最大時間（パラレル・インターフェースの場合）、または最後の LSB がクロック・アウトされてからその後続く BUSY 立下がりエッジまでの最大時間（シリアル・インターフェースの場合）。変換時に読出し
$t_{CONV}$	0.65		0.85	$\mu s$	変換時間、オーバーサンプリングなし
	2.2		2.3	$\mu s$	2 倍のオーバーサンプリング
	4.65		4.8	$\mu s$	4 倍のオーバーサンプリング
	9.6		9.9	$\mu s$	8 倍のオーバーサンプリング
	19.4		20	$\mu s$	16 倍のオーバーサンプリング

パラメータ	Min	Typ	Max	単位	説明
$t_{\text{RESET}}$	39.2	40.2		$\mu\text{s}$	32 倍のオーバーサンプリング
	78.7	80.8		$\mu\text{s}$	64 倍のオーバーサンプリング
	157.6	161.9		$\mu\text{s}$	128 倍のオーバーサンプリング
	315.6	324		$\mu\text{s}$	256 倍のオーバーサンプリング
Partial Reset	55	2000		ns	パーシャル・リセット時の RESET のハイ・パルス幅
	3000			ns	フル・リセット時の RESET のハイ・パルス幅
$t_{\text{DEVICE\_SETUP}}$				$\mu\text{s}$	RESET 立下がりエッジから最初の CONVST 立上がりエッジまでの時間
	50			ns	
Full Reset	253			$\mu\text{s}$	
$t_{\text{WAKE-UP}}$					スタンバイ/シャットダウン・モード後のウェイクアップ・タイム
	Standby	1		$\mu\text{s}$	
	Shutdown	10		ms	
$t_{\text{POWER-UP}}$	10			ms	$V_{\text{CC}}/V_{\text{DRIVE}}$ が安定してから RESET がアサートされるまでの時間

<sup>1</sup> 4 つの D<sub>OUTX</sub> ラインすべてを選択した場合のシリアル・モードに適用。

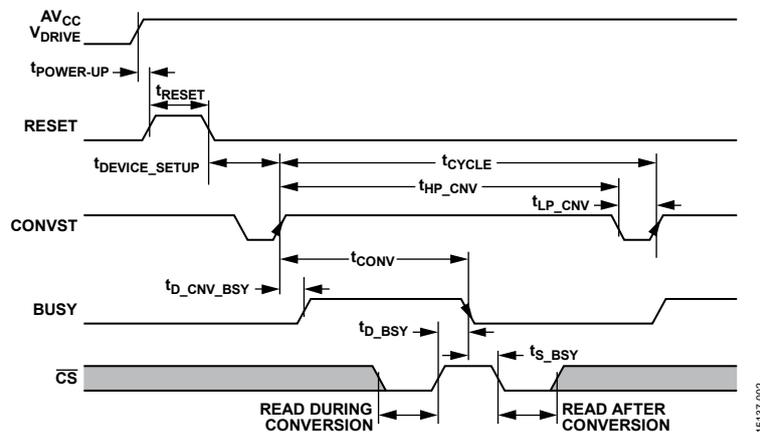


図 2. 共通タイミング図

## パラレル・モードのタイミング仕様

表 4.

パラメータ	Min	Typ	Max	単位	説明
$t_{\text{S\_}\overline{\text{CS}}\_}\text{RD}$	0			ns	$\overline{\text{CS}}$ 立下がりエッジから $\overline{\text{RD}}$ 立下がりエッジまでのセットアップ・タイム
$t_{\text{H\_}\overline{\text{RD}}\_}\overline{\text{CS}}$	0			ns	$\overline{\text{RD}}$ 立上がりエッジから $\overline{\text{CS}}$ 立上がりエッジまでのホールド・タイム
$t_{\text{HP\_}\overline{\text{RD}}}$	10			ns	$\overline{\text{RD}}$ ハイ・パルス幅
$t_{\text{LP\_}\overline{\text{RD}}}$	10			ns	$\overline{\text{RD}}$ ロー・パルス幅
$t_{\text{HP\_}\overline{\text{CS}}}$	10			ns	$\overline{\text{CS}}$ ハイ・パルス幅
$t_{\text{D\_}\overline{\text{CS}}\_}\text{DB}$			35	ns	$\overline{\text{CS}}$ から DBx のスリーステート・ディスエーブルまでの遅延
$t_{\text{H\_}\overline{\text{CS}}\_}\text{DB}$	0			ns	$\overline{\text{CS}}$ から DBx までのホールド・タイム
$t_{\text{D\_}\overline{\text{RD}}\_}\text{DB}$					$\overline{\text{RD}}$ 立下がりエッジ後のデータ・アクセス・タイム
$t_{\text{H\_}\overline{\text{RD}}\_}\text{DB}$	12		27	ns	$V_{\text{DRIVE}} > 2.7\text{V}$
			37	ns	$V_{\text{DRIVE}} < 2.7\text{V}$
$t_{\text{DHz\_}\overline{\text{CS}}\_}\text{DB}$			40	ns	$\overline{\text{CS}}$ 立上がりエッジから DBx が高インピーダンスになるまでの時間
$t_{\text{CYC\_}\overline{\text{RD}}}$					$\overline{\text{RD}}$ 立上がりエッジから $\overline{\text{RD}}$ 立下がりエッジまでの時間
$t_{\text{D\_}\overline{\text{CS}}\_}\text{FD}$	30			ns	$V_{\text{DRIVE}} > 2.7\text{V}$
	40			ns	$V_{\text{DRIVE}} < 2.7\text{V}$
			26	ns	$\overline{\text{CS}}$ 立下がりエッジから FRSTDATA のスリーステート・ディスエーブルまでの遅延

パラメータ	Min	Typ	Max	単位	説明
$t_{D\_RD\_FDH}$			30	ns	$\overline{RD}$ 立下がりエッジから $\overline{FRSTDATA}$ がハイになるまでの遅延
$t_{D\_RD\_FDL}$			30	ns	$\overline{RD}$ 立下がりエッジから $\overline{FRSTDATA}$ がローになるまでの遅延
$t_{DHZ\_FD}$			28	ns	$\overline{CS}$ 立上がりエッジから $\overline{FRSTDATA}$ のスリーステート・イネーブルまでの遅延
$t_{S\_CS\_WR}$	0			ns	$\overline{CS}$ 立下がりエッジから $\overline{WR}$ 立下がりエッジまでのセットアップ・タイム
$t_{HP\_WR}$	213			ns	$\overline{WR}$ ハイ・パルス幅
$t_{LP\_WR}$				ns	$\overline{WR}$ ロー・パルス幅
	88			ns	$V_{DRIVE} > 2.7V$
	213			ns	$V_{DRIVE} < 2.7V$
$t_{H\_WR\_CS}$	0			ns	$\overline{WR}$ ホールド・タイム
$t_{S\_DB\_WR}$	5			ns	設定データ有効後から $\overline{WR}$ 立上がりエッジまでのセットアップ・タイム
$t_{H\_WR\_DB}$	5			ns	$\overline{WR}$ 立上がりエッジから設定データ無効までのホールド・タイム
$t_{CYC\_WR}$	230			ns	設定データのセトリング・タイム、 $\overline{WR}$ 立上がりエッジから次の $\overline{WR}$ 立上がりエッジまで

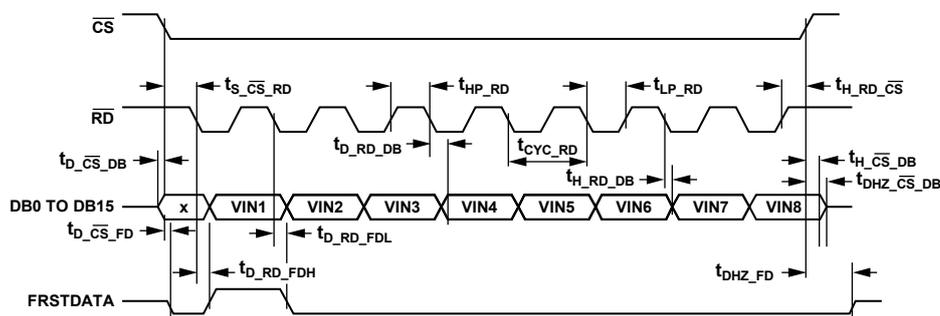


図 3. パラレル・モードの読出しタイミング図、 $\overline{CS}$ パルスと  $\overline{RD}$ パルスを分離

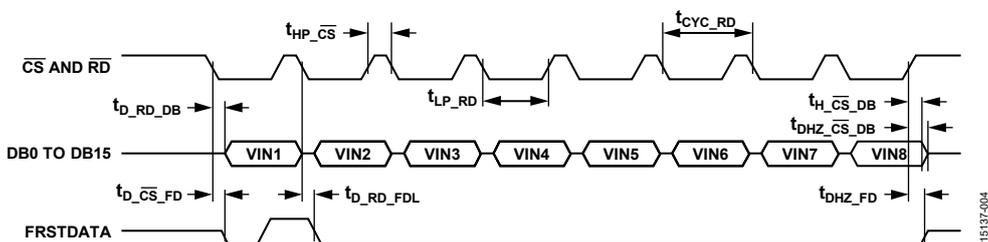


図 4. パラレル・モードの読出しタイミング図、 $\overline{CS}$ パルスと  $\overline{RD}$ パルスをリンク

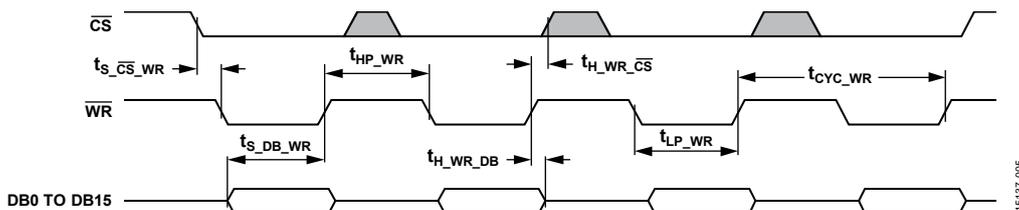


図 5. パラレル・モードの書込み動作タイミング図

## シリアル・モードのタイミング仕様

表 5.

パラメータ	Min	Typ	Max	単位	説明
$f_{SCLK}$			60	MHz	SCLK 周波数、 $f_{SCLK} = 1/t_{SCLK}$ $V_{DRIVE} > 2.7V$
			40	MHz	$V_{DRIVE} < 2.7V$
$t_{SCLK}$	$1/f_{SCLK}$			$\mu s$	最小 SCLK 周期
$t_{S\_CS\_SCK}$	2			ns	$\overline{CS}$ 立下がりエッジから SCLK 立下がりエッジまでのセットアップ・タイム
$t_{H\_SCK\_CS}$	2			ns	SCLK 立上がりエッジから $\overline{CS}$ 立上がりエッジまでのホールド・タイム
$t_{LP\_SCK}$	$0.4 \times t_{SCLK}$			ns	SCLK ロー・パルス幅
$t_{HP\_SCK}$	$0.4 \times t_{SCLK}$			ns	SCLK ハイ・パルス幅
$t_{D\_CS\_DO}$			9	ns	$\overline{CS}$ 立下がりエッジから $D_{OUTX}$ のスリーステートがディスエーブルされるまでの遅延 $V_{DRIVE} > 2.7V$
			18	ns	$V_{DRIVE} < 2.7V$
$t_{D\_SCK\_DO}$			15	ns	SCLK 立上がりエッジ後のデータ出力アクセス・タイム $V_{DRIVE} > 2.7V$
			25	ns	$V_{DRIVE} < 2.7V$
$t_{H\_SCK\_DO}$	8			ns	SCLK 立上がりエッジ後のデータ出力ホールド・タイム
$t_{S\_SDI\_SCK}$	8			ns	SCLK 立下がりエッジ前のデータ入力セットアップ・タイム
$t_{H\_SCK\_SDI}$	0			ns	SCLK 立下がりエッジ後のデータ入力ホールド・タイム
$t_{DHZ\_CS\_DO}$					$\overline{CS}$ 立上がりエッジから $D_{OUTX}$ が高インピーダンスになるまでの時間
			7	ns	$V_{DRIVE} > 2.7V$
			22	ns	$V_{DRIVE} < 2.7V$
$t_{WR}$	25			ns	同じレジスタの書込みと読出しの間の時間、または2つの書込みの間の時間 ( $f_{SCLK} > 50MHz$ の場合)
$t_{D\_CS\_FD}$			26	ns	$\overline{CS}$ 立下がりエッジから $D_{OUTX}$ のスリーステートがディスエーブルされるまでの遅延/ $\overline{CS}$ 立下がりエッジから MSB が有効になるまでの遅延
$t_{D\_SCK\_FDL}$			18	ns	16 番目の SCLK 立下がりエッジから FRSTDATA がローになるまでの時間
$t_{DHZ\_FD}$			28	ns	$\overline{CS}$ 立上がりエッジから FRSTDATA のスリーステートがイネーブルされるまでの時間

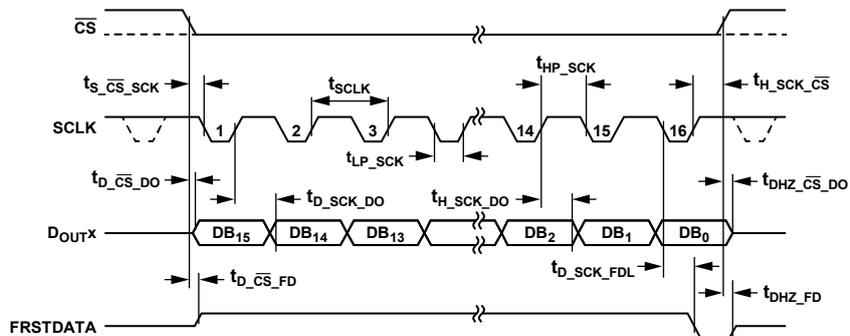


図 6. シリアル・タイミング図、ADC 読出しモード (チャンネル 1)

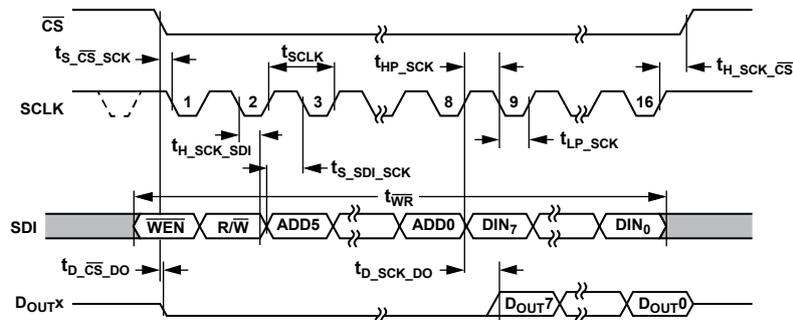


図 7. シリアル・インターフェースのタイミング図、レジスタ・マップの読出し/書込み動作

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
$AV_{CC}$ to AGND	-0.3 V to +7 V
$V_{DRIVE}$ to AGND	-0.3 V to $AV_{CC} + 0.3$ V
Analog Input Voltage to AGND <sup>1</sup>	$\pm 21$ V
Digital Input Voltage to AGND	-0.3 V to $V_{DRIVE} + 0.3$ V
Digital Output Voltage to AGND	-0.3 V to $V_{DRIVE} + 0.3$ V
REFIN to AGND	-0.3 V to $AV_{CC} + 0.3$ V
Input Current to Any Pin Except Supplies <sup>1</sup>	$\pm 10$ mA
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Pb/Sn Temperature, Soldering	
Reflow (10 sec to 30 sec)	240 (+0)°C
Pb-Free Temperature, Soldering Reflow	260 (+0)°C
Electrostatic Discharge (ESD)	
All Pins Except Analog Inputs	3.5 kV
Analog Input Pins Only	8 kV

<sup>1</sup> 100mA 以下の過渡電流で SCR ラッチアップが生じることはありません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

$\theta_{JA}$  は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 $\theta_{JC}$  は、ジャンクションとケースの間の熱抵抗です。

表 7. 熱抵抗

Package Type	$\theta_{JA}$ <sup>1</sup>	$\theta_{JC}$	Unit
ST-64-2	40	7	°C/W

<sup>1</sup> JEDEC 自然対流環境で JEDEC 2s2p サーマル・テスト PCB を使ってシミュレートしたデータ。

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

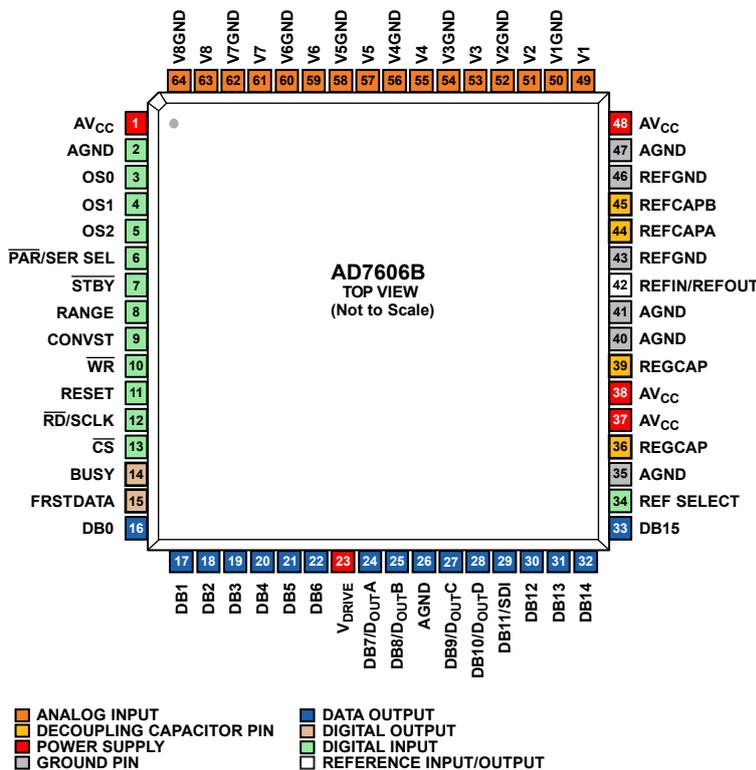


図 8. ピン配置

表 8. ピン機能の説明

ピン番号	タイプ <sup>1</sup>	記号	説明
1, 37, 38, 48	P	AV <sub>CC</sub>	アナログ電源電圧は 4.75V~5.25V です。この電源電圧は、内部フロントエンド・アンプと ADC コアに供給されます。これらの電源ピンは AGND にデカップリングしてください。
2, 26, 35, 40, 41, 47	P	AGND	アナログ・グラウンド。これらのピンは、AD7606B の全アナログ回路のグラウンド基準ポイントです。すべてのアナログ入力信号と外部リファレンス信号は、これらのピンを基準としてください。AGND ピンは、6 本すべてをシステムの AGND プレーンに接続する必要があります。
3 to 5	DI	OS0 to OS2	オーバーサンプリング・モード・ピン。これらの入力は、オーバーサンプリング比の選択、またはソフトウェア・モードの有効化に使用します（オーバーサンプリング・ピンのデコードについては表 12 を参照）。オーバーサンプリング動作モードの詳細については、デジタル・フィルタのセクションを参照してください。
6	DI	PAR/SER SEL	パラレル/シリアル・インターフェースの選択入力。このピンをロジック・ローに接続すると、パラレル・インターフェースが選択されます。このピンをロジック・ハイに接続すると、シリアル・インターフェースが選択されます。使用可能な各インターフェースの詳細については、デジタル・インターフェースのセクションを参照してください。
7	DI	STBY	スタンバイ・モード入力。ハードウェア・モードでは、このピンと RANGE ピンを組み合わせることによって、AD7606B をスタンバイ・モードまたはシャットダウン・モードのどちらかのパワーダウン・モードにすることができます。ソフトウェア・モードではこのピンは無視されます。したがって、このピンはロジック・ハイに接続することを推奨します。ハードウェア・モードとソフトウェア・モードの詳細については、パワーダウン・モードのセクションを参照してください。
8	DI	RANGE	アナログ入力レンジの選択入力。ハードウェア・モードでは、このピンはアナログ入力チャンネルの入力レンジを決定します（表 9 を参照）。STBY ピンがロジック・ローの場合、このピンはパワーダウン・モードを決定します（表 14 を参照）。ソフトウェア・モードでは、RANGE ピンは無視されます。ただし、このピンはハイまたはローに接続する必要があります。
9	DI	CONVST	変換開始入力。CONVST ピンがローからハイに移移すると、8 個の SAR ADC すべてでアナログ入力がサンプリングされます。ソフトウェア・モードでは、このピンを外部オーバーサンプリング・クロックとして設定できます。また、低ジッタの外部クロックを使用すれば、オーバーサンプリング比を大きくした場合は S/N 比性能を改善することができます。詳細については、外部オーバーサンプリング・クロックのセクションを参照してください。
10	DI	WR	デジタル入力。ハードウェア・モードでは、このピンは機能しません。したがって、ハイに接続、ローに接続、または CONVST に短絡のいずれも選択可能です。ソフトウェア・モードではアクティブ・ローの書込みピンとして機能し、パラレル・インターフェースを使ったレジスタへの書込みに使用します。詳細については、パラレル・インターフェースのセクションを参照してください。

ピン番号	タイプ <sup>1</sup>	記号	説明
11	DI	RESET	リセット入力、アクティブ・ハイ。AD7606Bでは、フル・リセットまたはパーシャル・リセットを選択できます。リセットのタイプはリセット・パルスの長さによって決まります。デバイスによるフル・リセット・パルスの受信は、パワーアップ後とすることを推奨します。詳細についてはリセット機能のセクションを参照してください。
12	DI	$\overline{\text{RD}}/\text{SCLK}$	パラレル・インターフェース選択時のパラレル・データ読出し制御入力 (RD)。 シリアル・インターフェース選択時のシリアル・クロック入力 (SCLK)。詳細についてはデジタル・インターフェースのセクションを参照してください。
13	DI	$\overline{\text{CS}}$	チップ・セレクト。このピンは、ADCデータの読出し用、またはレジスタ・データの読出しおよび書込みに使用するアクティブ・ローのチップ・セレクト入力です。詳細についてはデジタル・インターフェースのセクションを参照してください。
14	DO	BUSY	ビジー出力。このピンは、CONVST 立上がりエッジによってロジック・ハイに遷移します。BUSY 出力は、すべてのチャンネルの変換処理が完了するまでハイに維持されます。
15	DO	FRSTDATA	最初のデータ出力。FRSTDATA 出力信号は、最初のチャンネル V1 がパラレル・インターフェース (図 3 を参照) またはシリアル・インターフェース (図 6 を参照) を介してリードバック中であることを示します。詳細についてはデジタル・インターフェースのセクションを参照してください。
16 to 22	DO/DI	DB0 to DB6	パラレル出力/入力データ・ビット。パラレル・インターフェース使用時、これらのピンは、スリーステートのパラレル・デジタル入力ピンおよび出力ピンとして機能します (パラレル・インターフェースのセクションを参照)。シリアル・インターフェース使用時は、これらのピンを AGND に接続してください。
23	P	V <sub>DRIVE</sub>	ロジック電源入力。このピンに供給される電圧 (1.71 V~3.6V) により、インターフェースの動作電圧が決まります。このピンの公称電源電圧は、ホスト・インターフェース、つまり DSP (デジタル・シグナル・プロセッサ) および FPGA (フィールド・プログラマブル・ゲート・アレイ) の電源電圧と同じです。
24	DO/DI	DB7/D <sub>out</sub> A	パラレル入出力データのビット 7 (DB7) /シリアル・インターフェース・データ出力ピン (D <sub>out</sub> A)。パラレル・インターフェース使用時、このピンはスリーステートのパラレル・デジタル入出力ピンとして機能し、シリアル・インターフェース使用時は D <sub>out</sub> A として機能します。各データ・インターフェースと動作モードの詳細については、表 21 と表 22 を参照してください。
25	DO/DI	DB8/D <sub>out</sub> B	パラレル入出力データのビット 8 (DB8) /シリアル・インターフェース・データ出力ピン (D <sub>out</sub> B)。パラレル・インターフェース使用時、このピンはスリーステートのパラレル・デジタル入出力ピンとして機能し、シリアル・インターフェース使用時は D <sub>out</sub> B として機能します。各データ・インターフェースと動作モードの詳細については、表 21 と表 22 を参照してください。
27	DO/DI	DB9/D <sub>out</sub> C	パラレル入出力データのビット 9 (DB9) /シリアル・インターフェース・データ出力ピン (D <sub>out</sub> C)。パラレル・インターフェース使用時、このピンはスリーステートのパラレル・デジタル入出力ピンとして機能し、シリアル・インターフェース使用時にソフトウェア・モードで 4 データ出力ライン・オプションを使用した場合は、D <sub>out</sub> C として機能します。各データ・インターフェースと動作モードの詳細については、表 21 と表 22 を参照してください。
28	DO/DI	DB10/D <sub>out</sub> D	パラレル入出力データのビット 10 (DB10) /シリアル・インターフェース・データ出力ピン (D <sub>out</sub> D)。パラレル・インターフェース使用時、このピンはスリーステートのパラレル・デジタル入出力ピンとして機能し、シリアル・インターフェース使用時にソフトウェア・モードで 4 データ出力ライン・オプションを使用した場合は、D <sub>out</sub> D として機能します。各データ・インターフェースと動作モードの詳細については、表 21 と表 22 を参照してください。
29	DO/DI	DB11/SDI	パラレル入出力データ・ビット DB11 /シリアル・データ入力。パラレル・インターフェース使用時、このピンはスリーステートのパラレル・デジタル入出力ピンとして機能し、ソフトウェア・モード使用時にシリアル・インターフェースを使用した場合は、シリアル・データ入力として機能します。各データ・インターフェースと動作モードの詳細については、表 21 と表 22 を参照してください。
30 to 33	DO/DI	DB12 to DB15	パラレル入出力データ・ビット、DB15~DB12。パラレル・インターフェース使用時、これらのピンは、スリーステートのパラレル・デジタル入力ピンおよび出力ピンとして機能します (パラレル・インターフェースのセクションを参照)。シリアル・インターフェース使用時は、これらのピンを AGND に接続してください。
34	DI	REF SELECT	内部リファレンス/外部リファレンス選択のロジック入力。このピンをロジック・ハイに設定すると、内部リファレンスが選択されイネーブルになります。ロジック・ローにすると内部リファレンスがディスエーブルになるので、REFIN/REFOUT ピンに外部リファレンス電圧を加える必要があります。
36, 39	P	REGCAP	1.9V 内部レギュレータ、アナログ低ドロップアウト・レギュレータ (ALDO)、およびデジタル低ドロップアウト・レギュレータ (DLDO) からの電圧出力用デカップリング・コンデンサ・ピン。これらの出力ピンは、1 $\mu$ F のコンデンサを使って個別に AGND ヘッドデカップリングする必要があります。
42	REF	REFIN/ REFOUT	リファレンス入力 (REFIN) /リファレンス出力 (REFOUT)。REF SELECT ピンをロジック・ハイに設定すれば、内部 2.5V リファレンスを REFOUT ピンから取り出して外部で使用することができます。それ以外の場合、REF SELECT ピンをロジック・ローに設定すると内部リファレンスがディスエーブルされるので、この入力 (REFIN) に 2.5V の外部リファレンスを加える必要があります。内部リファレンス・オプションの場合も外部リファレンス・オプションの場合も、REFIN ピンとグラウンド間の REFGND ピンにできるだけ近い位置に 100nF のコンデンサを接続する必要があります。詳細については、リファレンスのセクションを参照してください。
43, 46	REF	REFGND	リファレンス・グラウンド・ピン。これらのピンは AGND に接続する必要があります。
44, 45	REF	REFCAPA, REFCAPB	リファレンス・バッファ強制/検出ピン。これらのピンは互いに接続し、等化直列抵抗 (ESR) の小さい 10 $\mu$ F セラミック・コンデンサを使って AGND にデカップリングする必要があります。これらのピンの標準電圧は 4.4V です。
49	AI	V1	チャンネル 1 の正のアナログ入力ピン。
50	AI GND	V1GND	チャンネル 1 の負のアナログ入力ピン。

ピン番号	タイプ <sup>1</sup>	記号	説明
51	AI	V2	チャンネル 2 の正のアナログ入力ピン。
52	AI GND	V2GND	チャンネル 2 の負のアナログ入力ピン。
53	AI	V3	チャンネル 3 の正のアナログ入力ピン。
54	AI GND	V3GND	チャンネル 3 の負のアナログ入力ピン。
55	AI	V4	チャンネル 4 の正のアナログ入力ピン。
56	AI GND	V4GND	チャンネル 4 の負のアナログ入力ピン。
57	AI	V5	チャンネル 5 の正のアナログ入力ピン。
58	AI GND	V5GND	チャンネル 5 の負のアナログ入力ピン。
59	AI	V6	チャンネル 6 の正のアナログ入力ピン。
60	AI GND	V6GND	チャンネル 6 の負のアナログ入力ピン。
61	AI	V7	チャンネル 7 の正のアナログ入力ピン。
62	AI GND	V7GND	チャンネル 7 の負のアナログ入力ピン。
63	AI	V8	チャンネル 8 の正のアナログ入力ピン。
64	AI GND	V8GND	チャンネル 8 の負のアナログ入力ピン。

<sup>1</sup> P は電源、DI はデジタル入力、DO はデジタル出力、REF はリファレンス入力/出力、AI はアナログ入力、GND はグラウンドです。

代表的な性能特性

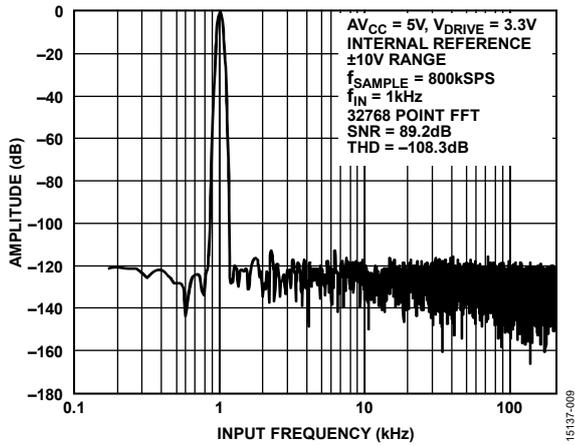


図 9. 高速フーリエ変換 (FFT)、±10V レンジ

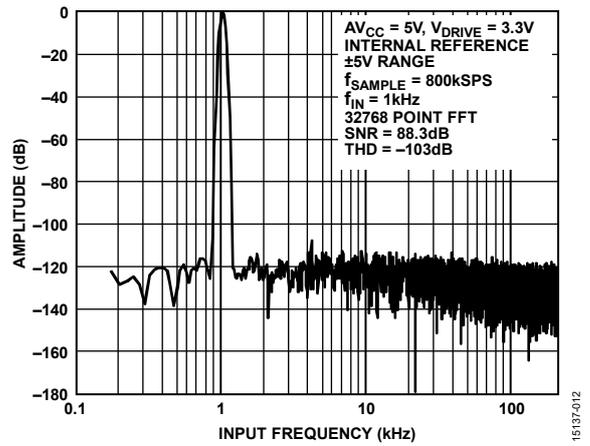


図 12. FFT、±5V レンジ

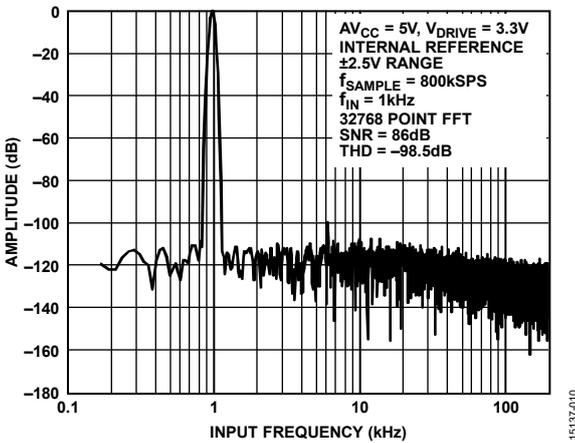


図 10. FFT、±2.5V レンジ

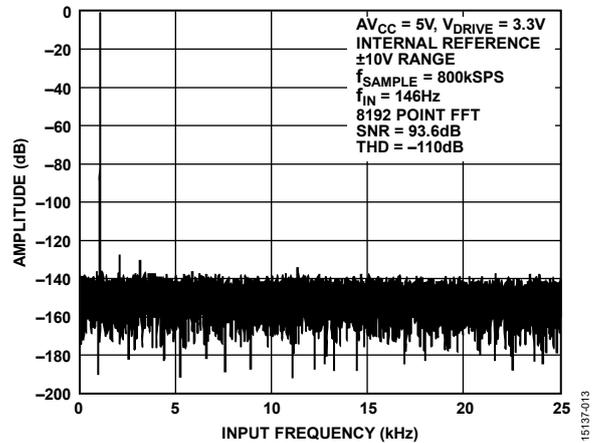


図 13. 16 倍の FFT オーバーサンプリング、±10V レンジ

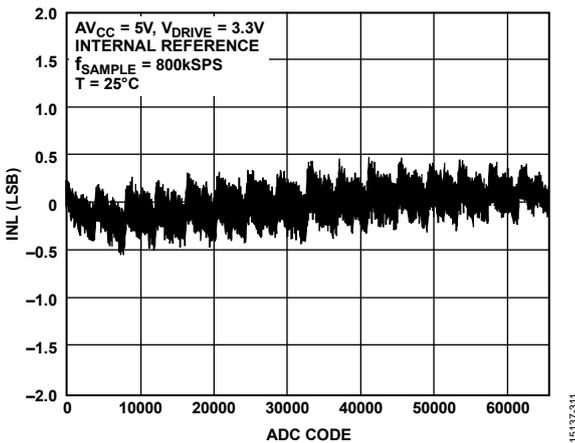


図 11. 標準 INL、±10V レンジ

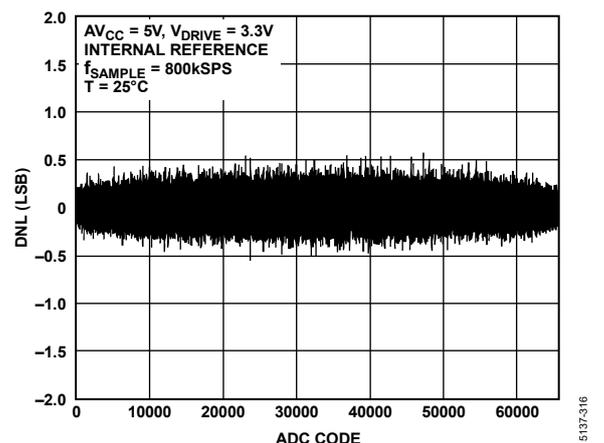


図 14. DNL (代表値)

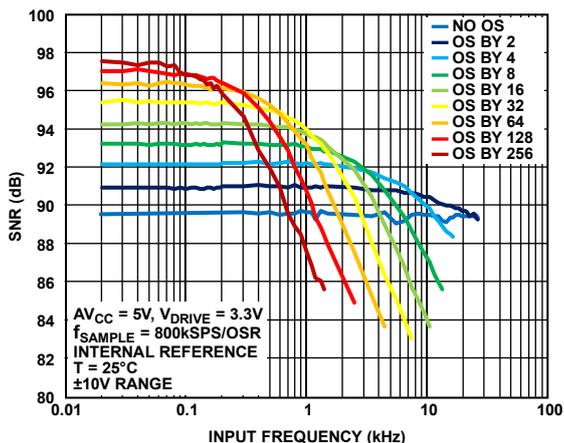


図 15. 様々な OSR 値での S/N 比と入力周波数の関係、 $\pm 10V$  レンジ、内部 OS クロック

15137-415

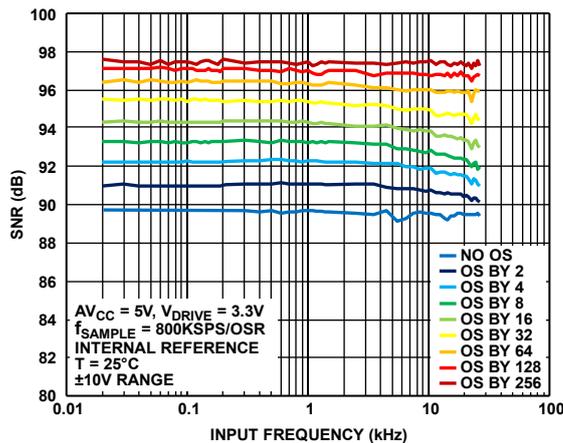


図 18. 様々な OSR 値での S/N 比と入力周波数の関係、 $\pm 10V$  レンジ、外部 OS クロック

15137-404

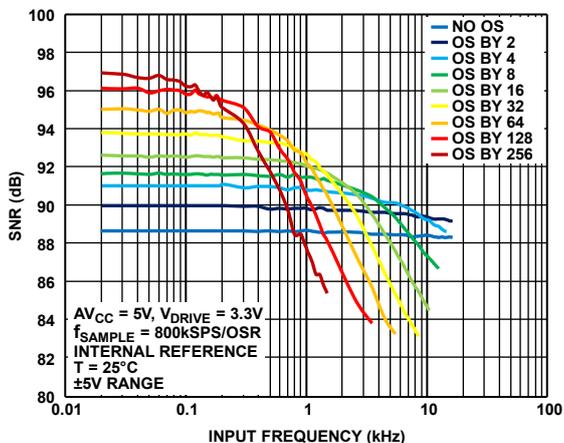


図 16. 様々な OSR 値での S/N 比と入力周波数の関係、 $\pm 5V$  レンジ、内部 OS クロック

15137-431

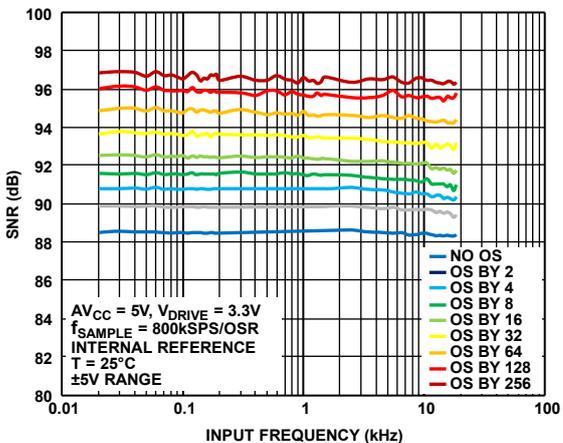


図 19. 様々な OSR 値での S/N 比と入力周波数の関係、 $\pm 5V$  レンジ、外部 OS クロック

15137-432

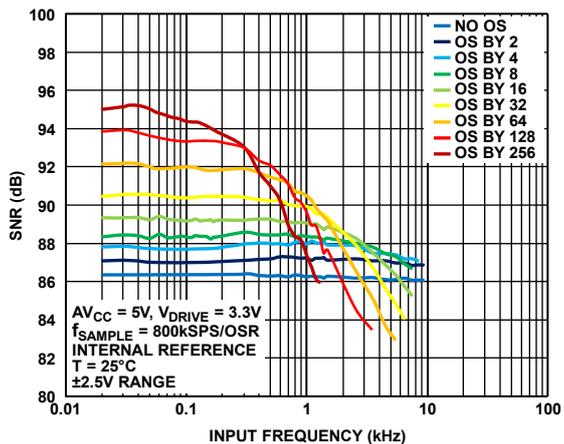


図 17. 様々な OSR 値での S/N 比と入力周波数の関係、 $\pm 2.5V$  レンジ、内部 OS クロック

15137-435

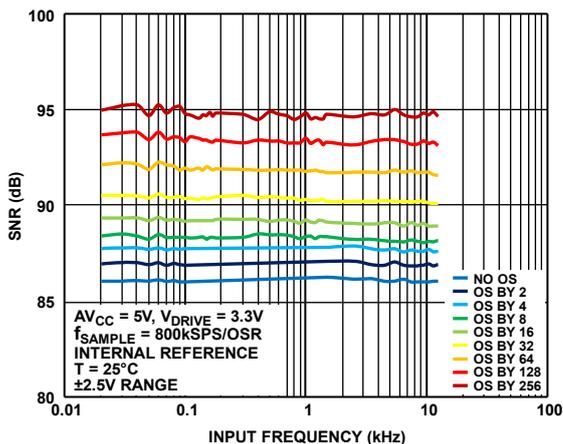


図 20. 様々な OSR 値での S/N 比と入力周波数の関係、 $\pm 2.5V$  レンジ、外部 OS クロック

15137-436

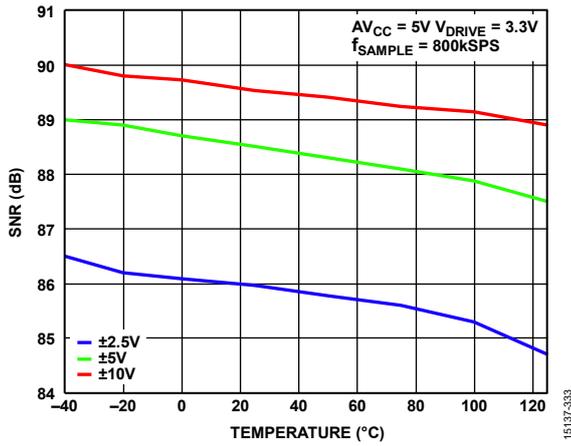


図 21. S/N 比の温度特性

15137-333

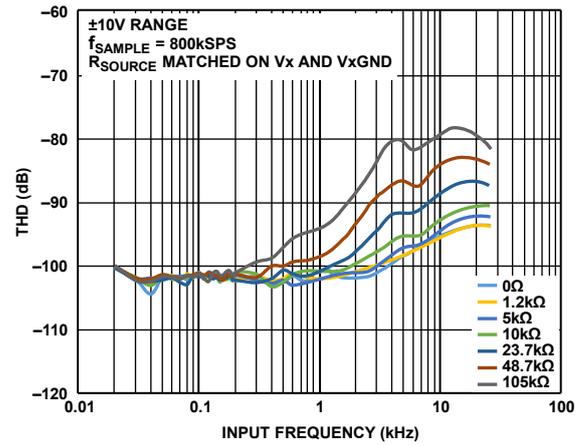


図 24. 様々なソース・インピーダンスでの THD と入力周波数の関係、±10V レンジ

15137-326

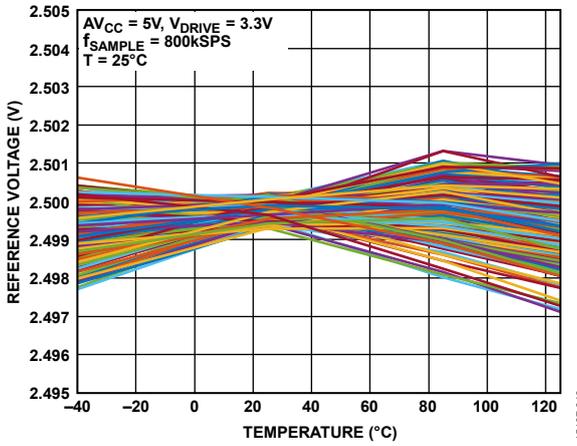


図 22. リファレンス・ドリフト

15137-343

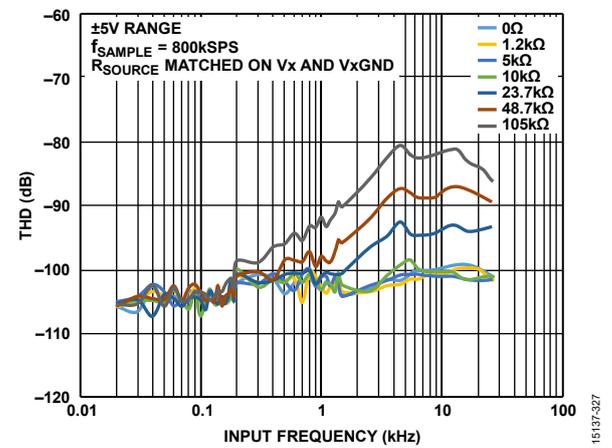


図 25. 各種ソース・インピーダンスでの THD と入力周波数の関係、±5V レンジ

15137-327

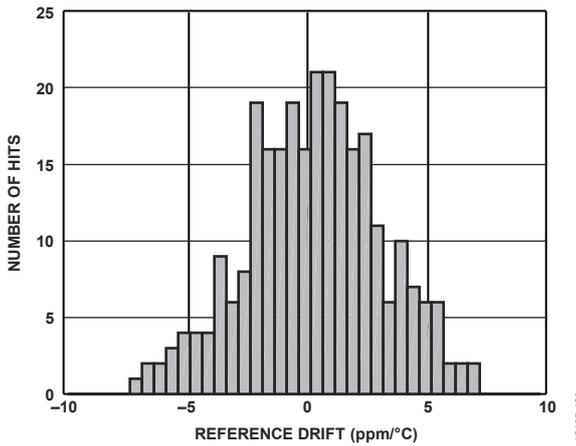


図 23. リファレンス・ドリフト・ヒストグラム

15137-423

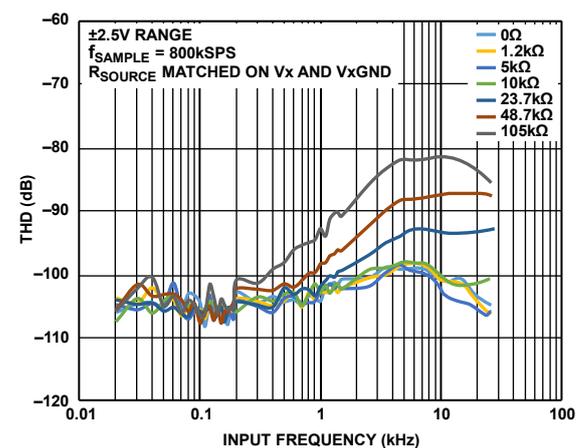


図 26. 各種ソース・インピーダンスでの THD と入力周波数の関係、±2.5V レンジ

15137-330

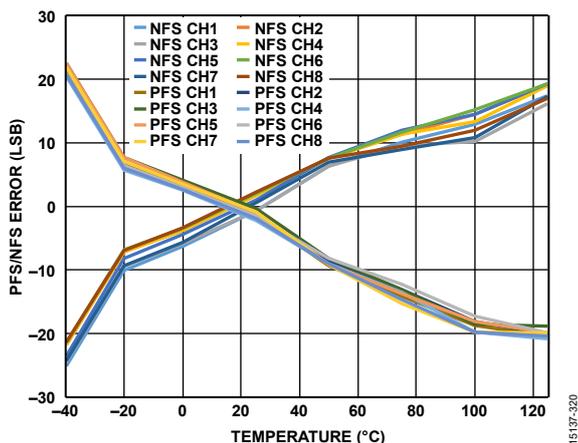


図 27. 正のフルスケール (PFS) 誤差と負のフルスケール (NFS) 誤差の温度特性、±10V レンジ

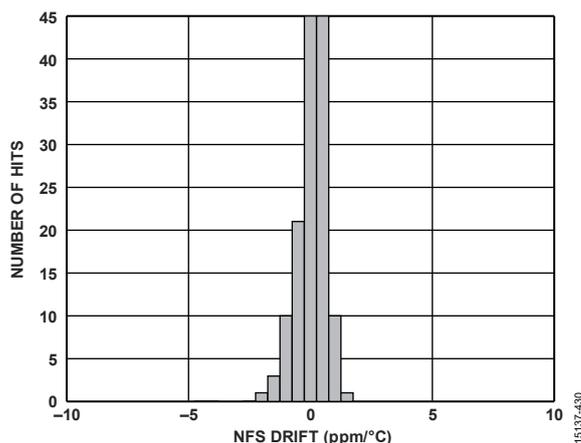


図 30. PFS/NFS ドリフトのヒストグラム、外部リファレンス

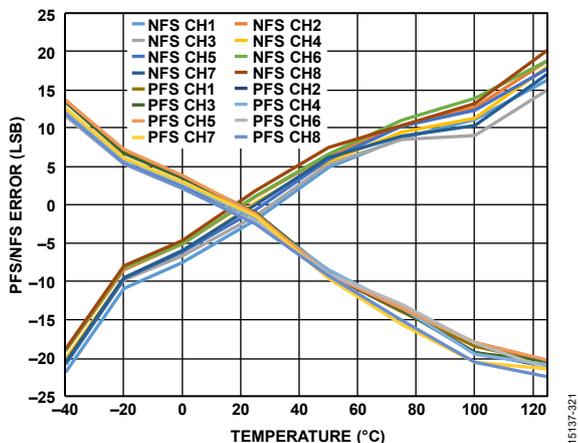


図 28. PFS/NFS 誤差の温度特性、±5V レンジ

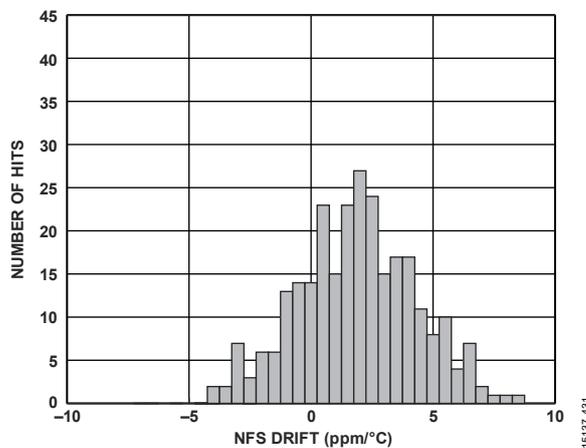


図 31. PFS/NFS ドリフト・ヒストグラム、内部リファレンス

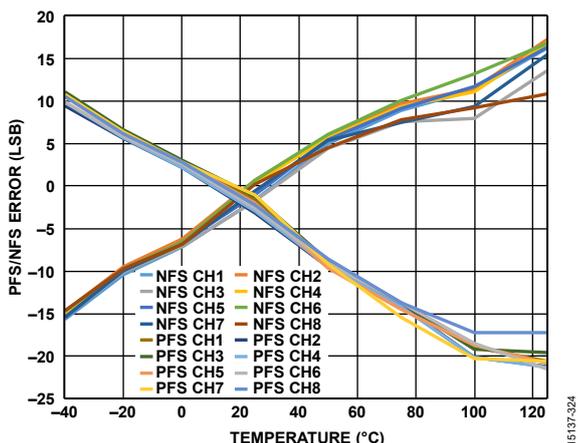


図 29. PFS/NFS 誤差の温度特性、±2.5V レンジ

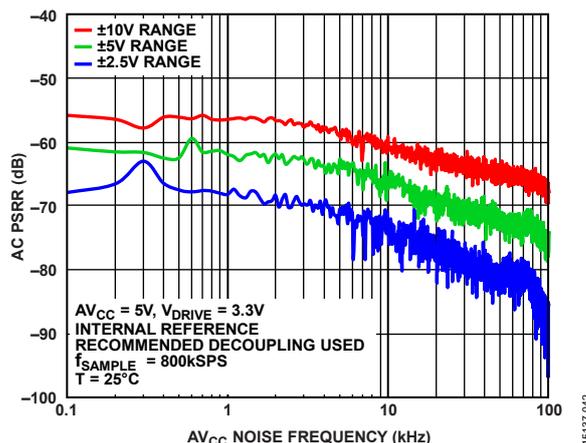


図 32. AC PSRR

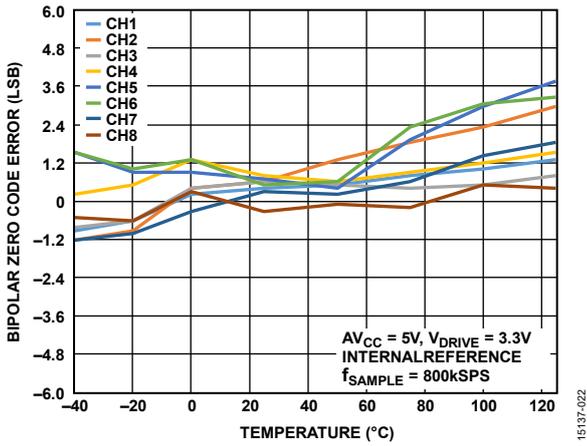


図 33. バイポーラ・ゼロ・コード誤差の温度特性、±10V レンジ

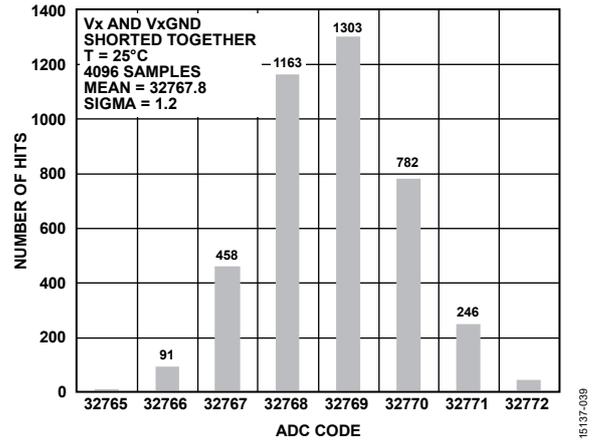


図 36. コードのヒストグラム、±10V レンジ

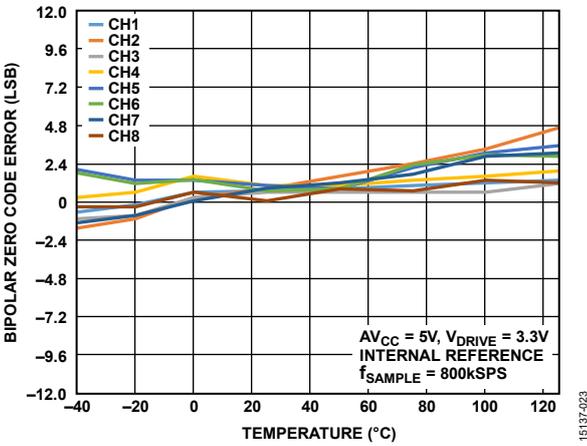


図 34. バイポーラ・ゼロ・コード誤差の温度特性、±5V レンジ

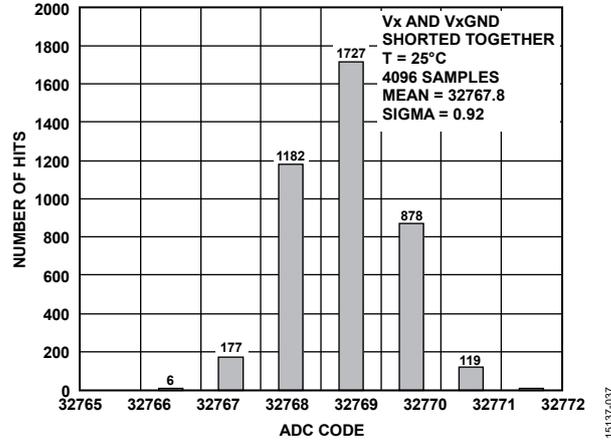


図 37. コードのヒストグラム、±5V レンジ

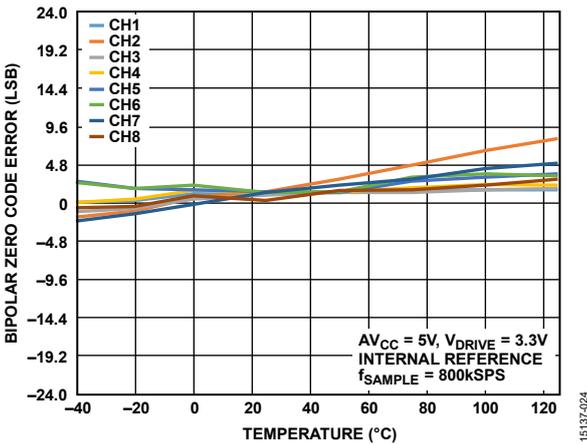


図 35. バイポーラ・ゼロ・コード誤差の温度特性、±2.5V レンジ

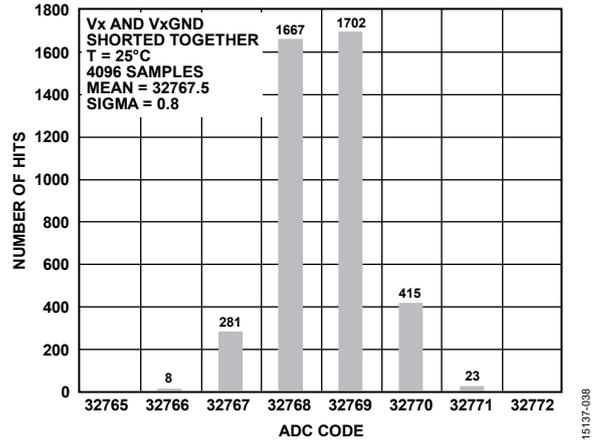


図 38. コードのヒストグラム、±2.5V レンジ

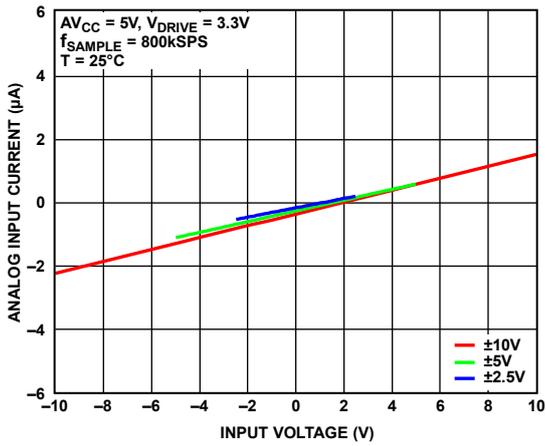


図 39. アナログ入力電流と入力電圧の関係

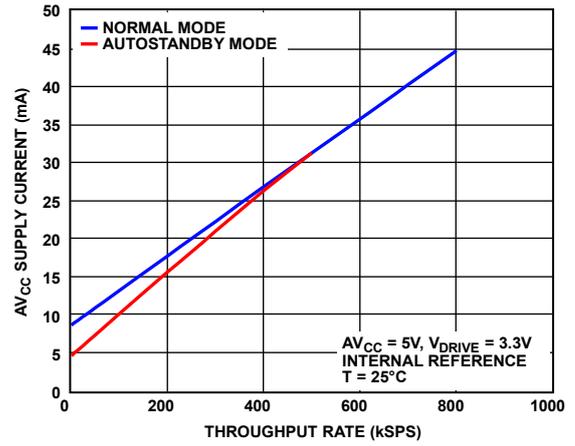


図 41. AV<sub>CC</sub> 電源電流とスループット・レートの関係

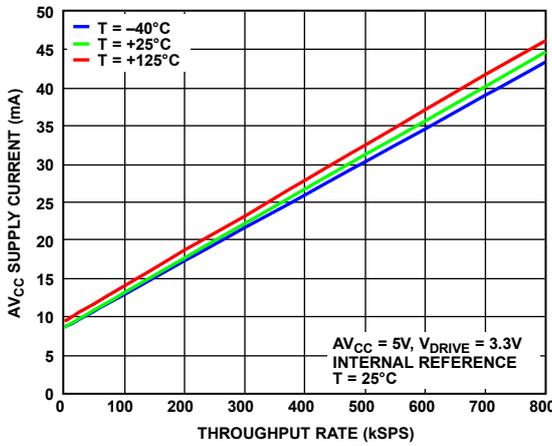


図 40. AV<sub>CC</sub> 電源電流とスループット・レートの関係

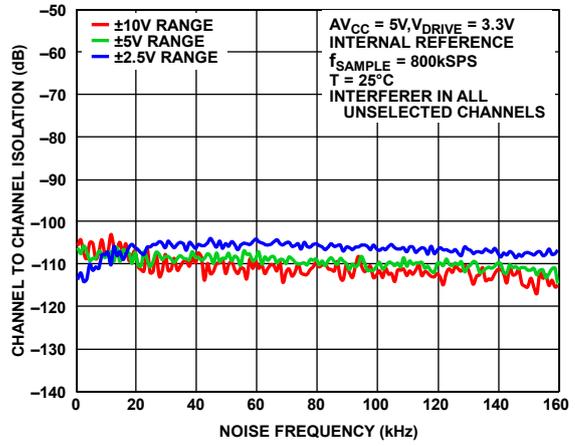


図 42. チャンネル間アイソレーションとノイズ周波数の関係

## 用語の定義

### 積分非直線性 (INL)

ADC 伝達関数の両端を結ぶ直線からの最大偏差です。伝達関数の両端は、ゼロ・スケール（最初のコード遷移より $\frac{1}{2}$ LSB 下）とフルスケール（最後のコード遷移より $\frac{1}{2}$ LSB 上）です。

### 微分非直線性 (DNL)

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差です。

### バイポーラ・ゼロ・コード誤差

バイポーラ・ゼロ・コード誤差は（すべて 1 からすべて 0 への）ミッドスケール遷移の理想値からの偏差（ $0V - \frac{1}{2}$ LSB）です。

### バイポーラ・ゼロ・コード誤差マッチ

バイポーラ・ゼロ・コード誤差マッチは、2 つの入力チャンネル間のバイポーラ・ゼロ・コード誤差の絶対差です。

### オープン・サーキット・コード誤差

オープン・サーキット・コード誤差は、アナログ入力にオープン・サーキットがあるとき、および 2 本のアナログ入力ピン間に接続されたプルダウン抵抗 ( $R_{PD}$ ) にオープン・サーキットがあるときの ADC 出力コードです。詳細については、図 59 を参照してください。

### 正のフルスケール (PFS) 誤差

PFS 誤差は、バイポーラ・ゼロ・コード誤差調整後における理論的な最後のコード遷移値（ $10V - \frac{1}{2}$ LSB (9.99954)、 $5V - \frac{1}{2}$ LSB (4.99977)、および  $2.5V - \frac{1}{2}$ LSB (2.49988)）と、実際に測定した最後のコード遷移値の差です。正のフルスケール誤差には、内部リファレンスおよびリファレンス・バッファの影響も含まれます。

### 正のフルスケール誤差マッチ

正のフルスケール誤差マッチは、2 つの入力チャンネル間の正のフルスケール誤差の絶対差です。

### 負のフルスケール (NFS) 誤差

NFS 誤差は、バイポーラ・ゼロ・コード誤差調整後における、理論的な最初のコード遷移値（ $-10V + \frac{1}{2}$ LSB (-9.99984)、 $-5V + \frac{1}{2}$ LSB (-4.99992)、 $-2.5V + \frac{1}{2}$ LSB (-2.49996)）と、実際に測定された最初のコード遷移値の差です。負のフルスケール誤差には、内部リファレンスおよびリファレンス・バッファの影響も含まれます。

### 負のフルスケール誤差マッチ

負のフルスケール誤差マッチは、2 つの入力チャンネル間の負のフルスケール誤差の絶対差です。

### 総合未調整誤差 (TUE)

TUE は、実際の出力コードと理論出力コード間の最大誤差です。TUE には、INL 誤差、バイポーラ・ゼロ・コード誤差、正負のフルスケール誤差、およびリファレンス誤差が含まれます。

### 信号/ノイズ+歪み (SINAD) 比

SINAD 比は、A/D コンバータの出力における信号測定値と「ノイズ+歪み」測定値の比です。信号は基本波の rms 振幅で表します。ノイズは  $1/2$  サンプルング周波数 ( $f_s/2$ , DC を除く) までの非基本波の総和で表します。

この比はデジタル化処理の量子化レベル数に依存し、レベル数が多いほど量子化ノイズは小さくなります。

サイン波入力を持つ理想的な N ビット・コンバータの理論的な SINAD は次式で求めます。

$$SINAD = (6.02N + 1.76) \text{ (dB)}$$

したがって、16 ビット・コンバータの SINAD は 98dB になります。

### 全高調波歪み (THD)

THD は、高調波の rms 和と基本波の比です。AD7606B の場合、THD は次のように定義されます。

$$THD \text{ (dB)} =$$

$$20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2 + V_8^2 + V_9^2}}{V_1}$$

ここで、

$V_1$  は基本波の rms 振幅。

$V_2 \sim V_9$  は、2 次～9 次高調波の rms 振幅です。

### ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、基本波の rms 値と、ADC 出力スペクトル内で ( $f_s/2$  まで、DC を除く) その次に大きい成分の rms 値との比です。一般に、この値はスペクトルに含まれる最大の高調波によって決まりますが、高調波がノイズ・フロアに埋まっている ADC ではノイズ・ピークによって決まります。

### 電源電圧変動除去比 (PSRR)

電源の変化はコンバータの直線性ではなく、フルスケール遷移に影響を与えます。電源電圧変動除去 (PSR) は、電源電圧の公称値からの変化により生じるフルスケール遷移点の最大変化量です。PSRR は、ADC 周波数  $f_s$  の  $AV_{CC}$  電源に加えられる  $100mV_{p-p}$  サイン波と、周波数  $f_s$  における ADC 出力電力との比として定義されます。

$$PSRR \text{ (dB)} = 20 \log (0.1/Pf_s)$$

ここで、

$Pf_s$  は、 $AV_{CC}$  電源にカップリングしたときの周波数  $f_s$  における電力に等しくなります。

### チャンネル間アイソレーション

チャンネル間アイソレーションはすべての入力チャンネル間のクロストーク・レベルの大きさです。この値を測定するには、選択されていない入力チャンネルすべてに最大 160kHz のサイン波信号を入力し、1kHz のサイン波信号が印加されているチャンネルでフルスケール信号の減衰量を調べます (図 42 を参照)。

## 位相遅延

位相遅延は、コンバータによって入力をサンプリングした時点から、ADC で結果を読み出すまでの絶対的な時間遅延です。これには、デバイスのアナログ・フロント・エンドによる遅延も含まれます。

## 位相遅延ドリフト

位相遅延ドリフトは、デバイスの動作温度全体にわたる単位温度あたりの位相遅延の変化量です。

## 位相遅延マッチング

位相遅延マッチングは、同時にサンプリングされたペア間で観測される最大位相遅延です。

## 動作原理

### アナログ・フロント・エンド

AD7606Bは、8チャンネルの16ビット同時サンプリング A/D 変換 DAS です。各チャンネルには、アナログ入力クランプ保護機能、PGA、ローパス・フィルタ、16ビット SAR ADC が組み込まれています。

### アナログ入力レンジ

AD7606B は真のバイポーラ、シングルエンド入力電圧に対応できます。表 9 に示すように、ハードウェア・モードでは、RANGE ピンのロジック・レベルが、すべてのアナログ・チャンネルのアナログ入力レンジを $\pm 10V$ とするか $\pm 5V$ とするかを決定します。

RANGE ピンのロジックを変えると、アナログ入力レンジが直ちに変更されます。ただし普通は、通常必要とされるアキュイジション時間に、約  $80\mu s$  のセトリング時間が加わります。スループット・レートが高いアプリケーションでは、変換中に RANGE ピンを変更することは推奨できません。

ソフトウェア・モードでは、アドレス  $0x03$  ~ アドレス  $0x06$  を使って、チャンネルごとに個別のアナログ入力レンジを設定できます。ソフトウェア・モードでは、RANGE ピンのロジック・レベルは無視されます。

表 9. アナログ入力レンジの選択

Range (V)	Hardware Mode <sup>1</sup>	Software Mode <sup>2</sup>
$\pm 10$	RANGE pin high	Address $0x03$ through Address $0x06$
$\pm 5$	RANGE pin low	Address $0x03$ through Address $0x06$
$\pm 2.5$	Not applicable	Address $0x03$ through Address $0x06$

<sup>1</sup> 8つのアナログ入力チャンネルには、すべて同じ入力レンジ ( $\pm 10V$  または  $\pm 5V$ ) が適用されます。

<sup>2</sup> アナログ入力レンジ ( $\pm 10V$ 、 $\pm 5V$ 、または  $\pm 2.5V$ ) は、メモリ・マップを使ってチャンネルごとに選択されます。

### アナログ入力インピーダンス

AD7606Bのアナログ入力インピーダンスは  $5M\Omega$  (代表値) です。この入力インピーダンスは固定されており、AD7606B のサンプリング周波数によって変化することはありません。この高いアナログ入力インピーダンスにより AD7606B の前段にドライバ・アンプは不要となり、ソースまたはセンサーを直結することができます。したがって、シグナル・チェーンからバイポーラ電源をなくすことができます。

### アナログ入力クランプ保護

AD7606B のアナログ入力回路を図 43 に示します。AD7606B のそれぞれのアナログ入力はクランプ保護回路を備えています。動作は  $5V$  単電源ですが、このアナログ入力クランプ保護により、最大  $\pm 21V$  までの入力過電圧が許容されます。

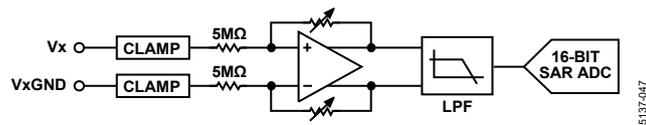


図 43. 各チャンネルのアナログ入力回路

クランプ回路の入力クランプ電流とソース電圧の関係を図 44 に示します。最大  $\pm 21V$  までの入力電圧では、クランプ回路に電流

は流れません。 $\pm 21V$  を超える入力電圧では、AD7606B のクランプ回路がオンになります。

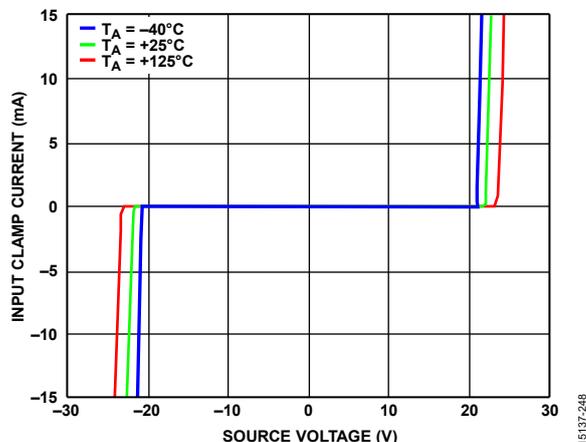


図 44. 入力保護クランプのプロファイル

入力電圧が  $\pm 21V$  を超えた場合の電流を  $\pm 10mA$  に制限するために、アナログ入力チャンネルには直列抵抗を接続することを推奨します。アナログ入力チャンネル  $V_x$  に直列抵抗 ( $R$ ) が接続されたアプリケーションでは、システムにオフセットが生じないようにするため、図 45 に示すように、この抵抗 ( $R$ ) と  $V_xGND$  の抵抗のマッチングを行うことを推奨します。ただしソフトウェア・モードでは、チャンネルごとにシステム・オフセットのキャリブレーションが行われて、システム全体のオフセットが除去されます (システム・オフセットのキャリブレーションのセクションを参照)。

通常動作時に、長時間にわたり AD7606B のアナログ入力が入力レンジを超える状態にしておくことは推奨できません。この状態を放置すると、バイポーラ・ゼロ・コード誤差性能が低下するおそれがあります。シャットダウン・モードやスタンバイ・モードでは、このような心配はありません。

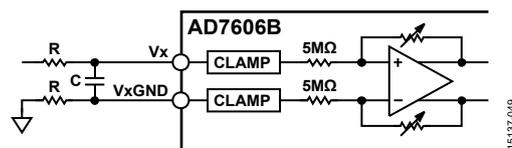


図 45. AD7606B アナログ入力の入力抵抗マッチング

### PGA

各入力チャンネルには PGA が組み込まれています。ゲインは、シングルエンドのアナログ入力信号を ADC の完全差動入力レンジに合わせてスケールアップするために、選択したアナログ入力レンジ (表 9 を参照) に応じて設定することができます。

PGA の各入力の入力インピーダンスは、全体的なゲイン誤差を維持するために正確に調整されています。更にこの調整値は、ゲイン・キャリブレーションを有効にして外部直列抵抗により生じるゲイン誤差を補償するときに使われます。PGA 機能の詳細については、システム・ゲインのキャリブレーションのセクションを参照してください。

## アナログ入力のアнтиエイリアス・フィルタ

AD7606B はアナログ・アンチエイリアス・フィルタを内蔵しています。アナログ・アンチエイリアス・フィルタの周波数応答を図46に、位相応答を図47に示します。±10Vレンジの-3dB周波数は22.5kHz（代表値）です。

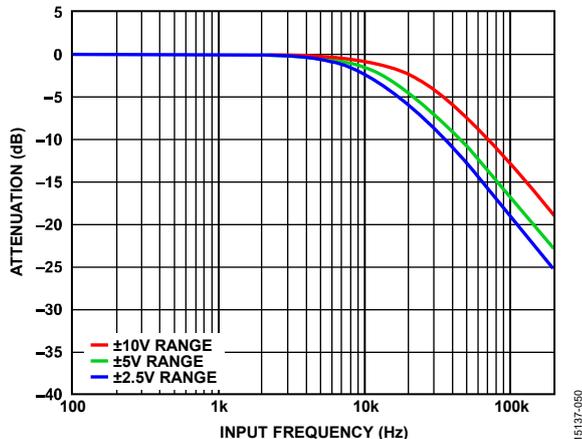


図46. アナログ・アンチエイリアス・フィルタの周波数応答

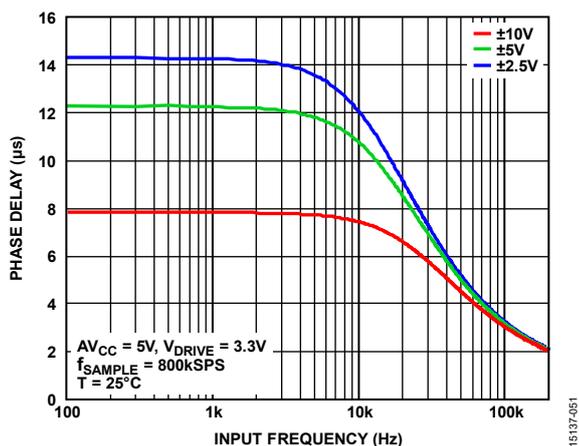


図47. アナログ・アンチエイリアス・フィルタの位相応答

## SAR ADC

AD7606B の ADC は、フルスケール振幅の入力信号を 16 ビット分解能で正確に捉えることができます。8 個の SAR ADC は、すべて CONVST 信号の立上がりエッジで各入力を同時にサンプリングします。

BUSY 信号は変換が進行中であることを示します。したがって、CONVST 信号の立上がりエッジで BUSY ピンがロジック・ハイになり、変換プロセス全体の終了時にローに遷移します。8 つすべてのチャンネルで変換プロセスが終了したことは、BUSY 信号の立下がりエッジによって示されます。次の変換セットのアクイジション時間は、BUSY 信号の立下がりエッジから開始されます。BUSY 信号がハイの間、CONVST の立上がりエッジは無視されます。

新しいデータは、BUSY 出力がローになってから、パラレル・インターフェースまたはシリアル・インターフェースを介して出力レジスタから読み出すことができます。あるいは、変換時の読出しのセクションに示すように、BUSY ピンがハイの間、前の変換のデータを読み出すことができます。

AD7606B には、変換を行うオンチップ発振器が組み込まれています。すべての ADC チャンネルの変換時間は  $t_{CONV}$  です（表 3 を参照）。ソフトウェア・モードには、CONVST ピンを通じて外部クロックを使用するためのオプションがあります。低ジッタの外部クロックを使用すれば、オーバーサンプリング比を大きくした場合の S/N 比性能を改善することができます。詳細については、デジタル・フィルタのセクションと図15～図20を参照してください。

使用しないアナログ入力チャンネルは、すべて AGND に接続します。変換は、常にすべてのチャンネルに対して行われるので、データ読出しには未使用チャンネルの結果も含まれます。

## ADC の伝達関数

AD7606B の出力コーディングは 2 の補数です。設計上のコード遷移は LSB の連続する整数値の中間 (1/2LSB、3/2LSB) で発生します。AD7606B の LSB サイズは  $FSR/65,536$  です。AD7606B の理想伝達特性を図48に示します。表10に示すように、LSB サイズは選択したアナログ入力レンジに依存します。

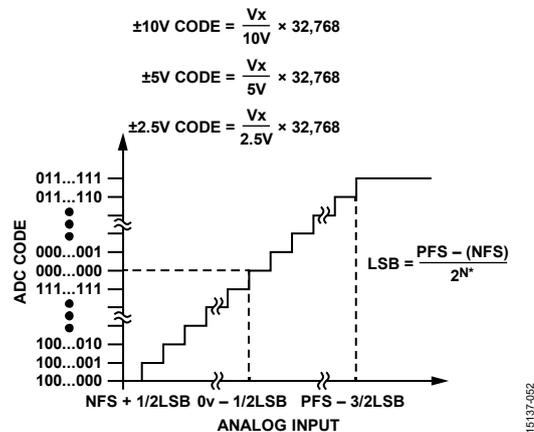


図48. 理想伝達特性

表 10. 入力電圧範囲

Range (V)	PFS (V)	Midscale (V)	NFS (V)	LSB (µV)
±10	+10	0	-10	305
±5	+5	0	-5	152
±2.5	+2.5	0	-2.5	76

## リファレンス

AD7606B は 2.5V のバンド・ギャップ・リファレンスを内蔵しています。REFIN/REFOUT ピンは次のいずれかに使用できます。

- REF SELECT ピンがロジック・ハイに接続されている場合は、2.5V 内部リファレンスへのアクセス。
- REF SELECT がロジック・ローに接続されている場合は、2.5V 外部リファレンスの入力。

表 11. リファレンスの設定

REF SELECT ピン	選択したリファレンス
Logic High	内部リファレンスをイネーブル
Logic Low	内部リファレンスをディスエーブル (外部 2.5V リファレンス電圧を REFIN/REFOUT ピンに接続する必要があります)

図 49 に示すように、AD7606B は、最大約 4.4V のリファレンス電圧が得られるように設定されたリファレンス・バッファを内蔵しています。この 4.4V バッファ付きリファレンスは、図 49 に示すように SAR ADC が使用します。リセット後の AD7606B は、REF SELECT ピンで選択されたリファレンス・モードで動作します。REFCAPA ピンと REFCAPB ピンは外部で互いに短絡させ、REFGND ピンに 10 $\mu$ F のセラミック・コンデンサを接続してリファレンス・バッファの動作がクロズドループ動作となるようにする必要があります。REFIN/REFOUT ピンには 10 $\mu$ F のセラミック・コンデンサが必要です。

AD7606B が外部リファレンス・モードに設定されている場合、REFIN/REFOUT ピンは高入力インピーダンス・ピンとなります。

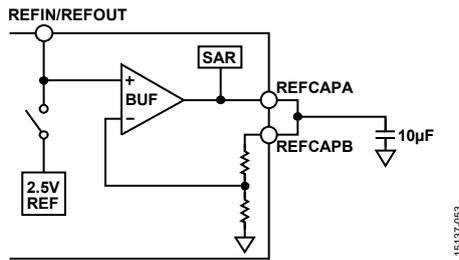


図 49. リファレンス回路

## 複数の AD7606B デバイスの使用

複数の AD7606B デバイスを使用するアプリケーションでは、アプリケーション条件に応じて以下のような設定を推奨します。

### 外部リファレンス・モード

1 つの外部リファレンスですべての AD7606B デバイスの REFIN/REFOUT ピンを駆動することができます (図 50 を参照)。この設定では、少なくとも 100nF のデカップリング・コンデンサを使って、AD7606B の各 REFIN/REFOUT ピンをデカップリングしてください。

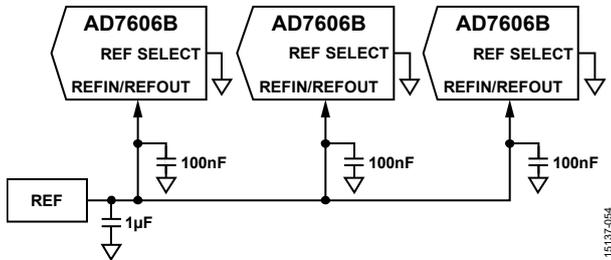


図 50. 1 つの外部リファレンスで複数の AD7606B の REFIN/REFOUT ピンを駆動

### 内部リファレンス・モード

内部リファレンス・モードで動作するように設定された AD7606B デバイス 1 個で、外部リファレンス・モードで動作するように設定された残りの AD7606B デバイスを駆動することができます (図 51 参照)。内部リファレンス・モードに設定された AD7606B の REFIN/REFOUT ピンは、10 $\mu$ F のセラミック・デカップリング・コンデンサを使ってデカップリングしてください。外部リファレンス・モードに設定された他の AD7606B デバイスの REFIN/REFOUT ピンには、少なくとも 100nF のデカップリング・コンデンサを使用する必要があります。

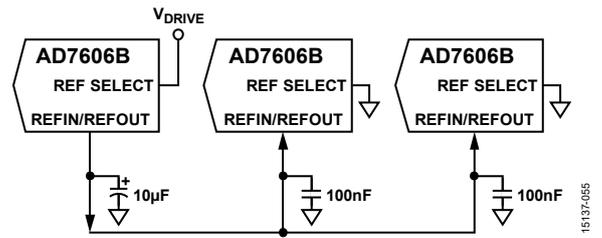


図 51. 内部リファレンスで複数の AD7606B の REFIN/REFOUT ピンを駆動

## 動作モード

AD7606B は、表 12 に示す OSx ピン (ピン 3、ピン 4、およびピン 5) を制御することにより、ハードウェア・モードまたはソフトウェア・モードで動作させることができます。

ハードウェア・モードの AD7606B は、RANGE ピン、OSx ピン、または STBY ピンのロジック・レベルに応じて設定されます。

ソフトウェア・モード、つまり 3 本の OSx ピンがすべてロジック・ハイに接続された状態の AD7606B は、シリアルまたはパラレル・インターフェースを介してアクセスする対応レジスタによって設定されます。表 13 に示すように、このモードでは追加的な機能を使用できます。

リファレンスとデータ・インターフェースは、ハードウェア・モードでもソフトウェア・モードでも、REF SELECT ピンと PAR/SER SEL ピンを使って選択します。

表 12. オーバーサンプリング・ピンのデコード

OSx Pins	AD7606B
000	No OS
001	2
010	4
011	8
100	16
101	32
110	64
111	Enters software mode

表 13. 機能マトリックス

Parameter	Hardware Mode	Software Mode
Analog Input Range <sup>1</sup>	$\pm 10\text{ V}$ or $\pm 5\text{ V}$ <sup>2</sup>	$\pm 10\text{ V}$ , $\pm 5\text{ V}$ , or $\pm 2.5\text{ V}$ <sup>3</sup>
System Gain, Phase, and Offset Calibration	Not accessible	Available <sup>3</sup>
OSR	From no OS to OSR = 64	From no OS to OSR = 256
Analog Input Open Circuit Detection	Not accessible	Available <sup>3</sup>
Serial Data Output Lines	2	Selectable: 1, 2, or 4
Diagnostics	Not accessible	Available
Power-Down Modes	Standby and shutdown	Standby, shutdown, and autostandby

<sup>1</sup> アナログ入力レンジの選択については表 9 を参照してください。

<sup>2</sup> 設定入力レンジはすべての入力チャンネルで同じです。

<sup>3</sup> チャンネルごとの値です。

## リセット機能

AD7606B はフル・モードとパーシャル・モードの 2 つのリセット・モードを備えています。リセット・モードは、リセット・ハイ・パルスの長さに応じて選択されます。パーシャル・リセットを行うには、RESET ピンを 55ns~2μs にわたってハイに保持する必要があります。RESET ピン解除後 50ns ( $t_{\text{DEVICE\_SETUP}}$ 、パーシャル・リセット) でデバイスは完全に機能し、変換を開始することができます。フル・リセットを行うには、RESET ピンを少なくとも 3μs にわたってハイに保持する必要があります。RESET ピンの解除後 253μs ( $t_{\text{DEVICE\_SETUP}}$ 、フル・リセット) でデバイスは完全に再設定され、変換を開始することができます。

パーシャル・リセットを実行すると、以下のモジュールが再初期化されます。

- デジタル・フィルタ
- SPIおよびパラレル・インターフェース、ADC モードにリセット
- SAR ADC
- CRC ロジック

パーシャル・リセット後は、ステータス・レジスタの RESET\_DETECT ビットがアサートされます (アドレス 0x01、ビット 7)。パーシャル・リセット完了後は、電流変換結果が破棄されます。パーシャル・リセットは、ソフトウェア・モードでプログラムされたレジスタ値、またはハードウェア・モードとソフトウェア・モードの両方でユーザ設定を格納するラッチには影響を与えません。

フル・リセットを行うとデバイスはデフォルトのパワーオン状態に戻り、ステータス・レジスタの RESET\_DETECT ビットがアサートされて (アドレス 0x01、ビット 7)、電流変換結果が破棄されます。AD7606B のフル・リセットを行うと、上記に挙げた機能に加えて以下の機能が設定されます。

- ハードウェア・モードまたはソフトウェア・モード
- インターフェース・タイプ (シリアルまたはパラレル)

## パワーダウン・モード

AD7606B のハードウェア・モードには、2 種類のパワーダウン・モード (スタンバイ・モードとシャットダウン・モード) があります。STBYピンは、表 14 に示すように、AD7606B をノーマル・モードにするかパワーダウン・モード (2 つのモードのどちらか 1 つ) にするかを制御します。STBYピンがローの場合は、RANGE ピンの状態によってパワーダウン・モードが選択されます。

表 14. パワーダウン・モードの選択、ハードウェア・モード

Power Mode	STBY Pin	RANGE Pin
Normal Mode	1	X <sup>1</sup>
Standby	0	1
Shutdown	0	0

<sup>1</sup>X = ドント・ケア。

ソフトウェア・モードでのパワーダウン・モード選択は、メモリ・マップ内にある CONFIG レジスタの OPERATION\_MODE ビット (アドレス 0x02、ビット [1:0]) を通じて行われます。ソフトウェア・モードでは、オートスタンバイ・モードと呼ばれる特別なパワーダウン・モードを使用できます。

表 15. CONFIG レジスタ (アドレス 0x02) によるソフトウェア・モードのパワーダウン・モード選択

Operation Mode	Address 0x02, Bit 1	Address 0x02, Bit 0
Normal	0	0
Standby	0	1
Autostandby	1	0
Shutdown	1	1

AD7606B をシャットダウン・モードにするとすべての回路がパワーダウンされ、最大消費電流が 5μA まで減少します。パワーアップ時間は約 10ms です。AD7606B をシャットダウン・モードからパワーアップするときは、必要なパワーアップ時間の経過後に AD7606B をフル・リセットする必要があります。

AD7606B をスタンバイ・モードにすると、合計消費電力量を最大で 4.5mA に抑えられるように、すべての PGA と SAR ADC が低消費電力モードになります。スタンバイ・モード終了後にリセットを行う必要はありません。

AD7606B をオートスタンバイ・モードにすると (ソフトウェア・モードでのみ可能)、デバイスは BUSY 信号の立下がりエッジで自動的にスタンバイ・モードになります。AD7606B は、CONVST 信号の立上がりエッジで自動的にスタンバイ・モードを終了します。したがって、CONVST 信号のロー・パルス時間は  $t_{\text{WAKE\_UP}}$  (スタンバイ・モード) = 1μs より長くなります。

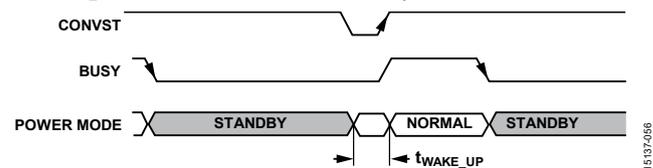


図 52. オートスタンバイ・モードの動作

## デジタル・フィルタ

AD7606B にはオプションのデジタル平均化フィルタが組み込まれており、より高い S/N 比やダイナミック・レンジが必要とされる低スループット・レートアプリケーションでは、このフィルタをイネーブ爾することができます。

ハードウェア・モードでは、表 12 に示すように、オーバーサンプリング・ピン OSx を使って、デジタル・フィルタのオーバーサンプリング比を制御します。OSx ピンは、BUSY 信号の立下がりエッジでラッチされます。

ソフトウェア・モードでは（つまり、すべての OSx ピンがロジック・ハイに接続されている場合）、オーバーサンプリング・レジスタ（アドレス 0x08）を通じてオーバーサンプリング比を選択します。ソフトウェア・モードでは、更に 2 つのオーバーサンプリング比（OS×128 と OS×256）を追加で選択できます。

オーバーサンプリング・モードでは、ADCは CONVST 信号の立下がりエッジで各チャンネルの最初のサンプルを取得します。最初のサンプルの変換後は、図 53 に示すように、内部で生成したサンプリング信号によってその後のサンプルが収集されます。このサンプリング信号は、外部オーバーサンプリング・クロックのセクションに示すように、外部から入力することも可能です。

例えば 8 倍のオーバーサンプリングを設定した場合は、8 個のサンプルが収集されて平均され、その結果が出力されます。CONVST 信号の立下がりエッジが最初のサンプリングをトリガして、残り 7 個のサンプルは内部生成したサンプリング信号を

使って収集されます。結果として、複数サンプルの平均をオンにすると S/N 比性能が向上しますが、最大スループット・レートは低下します。表 3 に示すように、オーバーサンプリング機能をオンにすると、BUSY 信号のハイ時間が ( $t_{CONV}$ ) 長くなります。±10V、±5V、および±2.5V レンジにおける S/N 比と、帯域幅およびスループットのトレードオフを表 16 に示します。

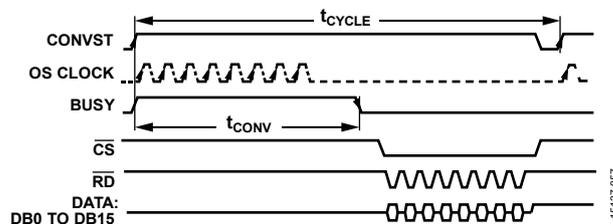


図 53. 8 倍オーバーサンプリングの例  
(変換後読出し、パラレル・インターフェース、内部生成したサンプリング信号による OS クロック)

図 53 は、オーバーサンプリングをオンにすると変換時間 ( $t_{CONV}$ ) が長くなることを示しています。この変換時間の延長に対処して読出しができるようにするには、スループット・レート ( $1/t_{CYCLE}$ ) を下げる必要があります。オーバーサンプリングをオンにしたときにスループット・レートをできるだけ高い値にするには、変換時の読出しのセクションに説明したように、BUSY 信号がハイになっている間に読出しを行います。

表 16. オーバーサンプリング性能

OS Ratio	Input Frequency (Hz)	±10 V Range		±5 V Range		±2.5 V Range		Maximum Throughput (kSPS)
		SNR (dB)	3 dB BW (kHz)	SNR (dB)	3 dB BW (kHz)	SNR (dB)	3 dB BW (kHz)	
No OS	1000	89.5	23.0	88.5	13.9	86	11.6	800
2	1000	91	22.7	89.9	13.8	87.2	11.5	400
4	1000	92.2	22.0	90.8	13.6	88	11.4	200
8	1000	93	20.0	91.5	13.0	88.4	11.1	100
16	1000	93.5	15.4	92	11.4	89	10.0	50
32	130	95.4	9.7	93.7	8.4	90.4	7.7	25
64	130	96.3	5.3	95	5.0	91.8	4.9	12.5
128 <sup>1</sup>	50	97.1	2.7	95.9	2.7	93.3	2.7	6.25
256 <sup>1</sup>	50	97.6	1.4	96.8	1.4	94.7	1.4	3.125

<sup>1</sup> ソフトウェア・モードでのみ使用可能。

## オーバーサンプリングのパディング

図 53 に示すように、内部的に生成したクロックは平均計算に使用するサンプルの収集をトリガし、ADC はその後続く CONVST 信号の立上がりエッジまでアイドル状態に保たれます。ソフトウェア・モードでは、オーバーサンプリング・レジスタ (アドレス 0x08) を通じて、アイドル時間が最小限となるように、つまり、図 54 に示すようにサンプリングのタイミングが等間隔となるように、内部クロック (OS クロック) 周波数を変更することができます。

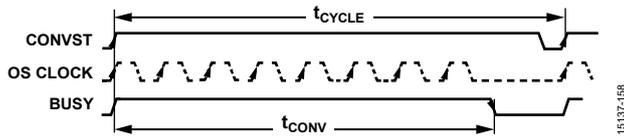


図 54. 8 倍オーバーサンプリングの例  
(オーバーサンプリングのパディングをイネーブル)

表 17. OS\_PAD ビットのデコード

OS_PAD (Address 0x08, Bits[7:5])	OS Clock Frequency (kHz)
0000	800
0001	753
0010	711
0011	673.5
0100	640
0101	609.5
0110	582
0111	556.5
1000	533
1001	512
1010	492.5
1011	474
1100	457
1101	441.5
1110	426.5
1111	413

## 外部オーバーサンプリング・クロック

ソフトウェア・モードには、オーバーサンプリング・モードが有効化されたときに、CONVST ピンを通じて外部クロックを使用するためのオプションがあります。低ジッタの外部クロックを使用すれば、オーバーサンプリング比を大きくした場合の S/N 比性能を改善することができます。外部クロックを使用することにより、最適なアンチエイリアシング性能が得られるよう、一定の間隔で入力をサンプリングすることができます。

外部オーバーサンプリング・クロックをイネーブルするには、CONFIG レジスタのビット 5 (アドレス 0x02, ビット 5) をセットする必要があります。この場合のスループット・レートは次式で得られます。

$$\text{Throughput} = \frac{1}{t_{\text{CONVST}} \times \text{OSR}}$$

つまり、図 55 に示すように、CONVST ピンを通じてクロックの OSR 値ごとにサンプリング信号が外部的に供給され、出力が平均されて提供されます。この機能は、パラレル・インターフェースまたはシリアル・インターフェースを通じて使用できます。

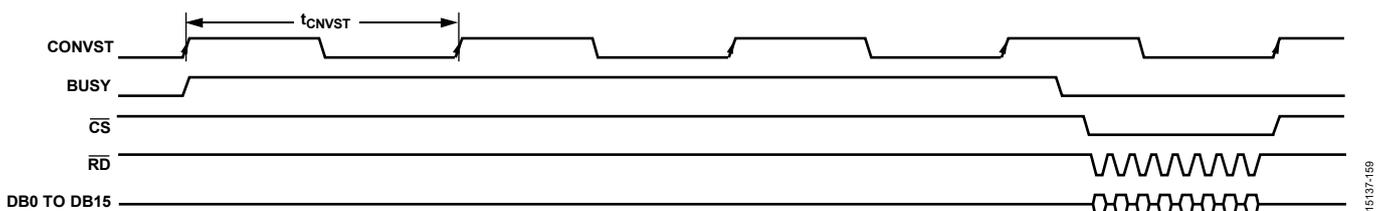


図 55. CONVST ピンに加えられる外部オーバーサンプリング・クロック (OSR = 4)、パラレル・インターフェース使用

## システム・キャリブレーション機能

ソフトウェア・モードでは、メモリ・マップ内の該当レジスタへ書き込みを行うことによって、以下のシステム・キャリブレーション機能を使用することができます。

- 位相キャリブレーション
- ゲインキャリブレーション
- オフセット・キャリブレーション
- アナログ入力オープン・サーキット検出

### システム位相のキャリブレーション

外部フィルタ使用時は、図56に示すように、ディスクリート・コンポーネント間のミスマッチや使用センサーのミスマッチによって、チャンネル間に位相差を生じる可能性があります。ソフトウェア・モードでは、個々のチャンネルのサンプリング・タイミングを遅らせることによって、この位相差をチャンネルごとに補償することができます。

特定チャンネルのサンプリング・タイミングは、該当するCHx\_PHASEレジスタ（アドレス0x19～アドレス0x20）へ書き込みを行うことにより、CONVST信号の立ち上がりエッジに対し、1.25μs～318.75μsの時間分解能で遅らせることができます。

例えば、CH4\_PHASEレジスタ（アドレス0x1C）に10dを書き込むと、図56に示すように、チャンネル4ではCONVSTの立ち上がりエッジ後12.5μs（t<sub>PHASE\_REG</sub>）にサンプリングが行われます。

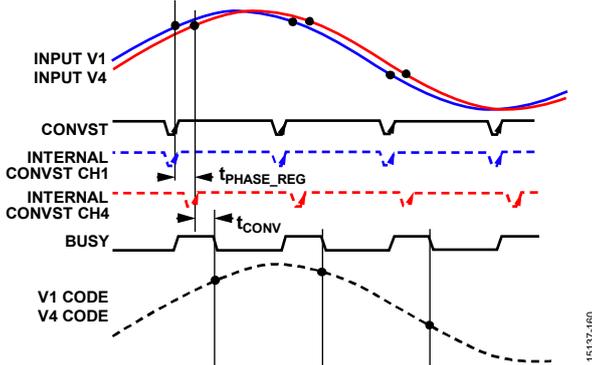


図 56. システム位相キャリブレーション機能

図56に示すように、BUSY信号のハイ時間はt<sub>CONV</sub>にt<sub>PHASE\_REG</sub>を加えた値に等しくなります。上述の例および図56では、CH4\_PHASE\_REGISTERだけを設定するとt<sub>CONV</sub>が12.5μs長くなります。したがって、より高いスループット・レートでの動作ではこのシナリオを考慮する必要があります。

### システム・ゲインのキャリブレーション

図57に示すように、外付けのR<sub>FILTER</sub>を使用するとシステム・ゲイン誤差が生じます。ソフトウェア・モードでは、使用する直列抵抗の値を該当するレジスタ（アドレス0x09～アドレス0x10）に書き込むことによって、このゲイン誤差を補償することができます。これらのレジスタは、最大65kΩの直列抵抗を1024Ωの分解能で補償できます。

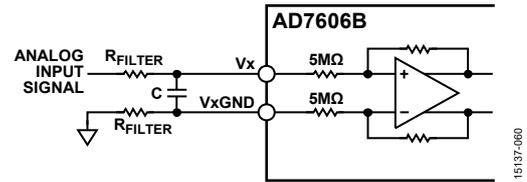


図 57. システム・ゲイン誤差

例えば、チャンネル5のアナログ入力に27kΩの抵抗を直列に接続すると、図58に示すように、この抵抗は-170LSBの正のフルスケール誤差をシステム（±10Vレンジ）に発生させます。ソフトウェア・モードでは、CH5\_GAIN（アドレス0x0D）に27dを書き込むことによって、この誤差を補償できます。

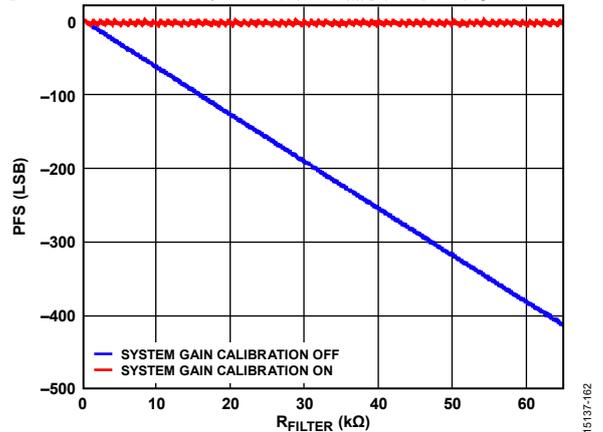


図 58. キャリブレーションをオンにした場合とオフにした場合のシステム・ゲイン誤差

### システム・オフセットのキャリブレーション

ソフトウェア・モードでは、センサーに内在するオフセットや、特定のチャンネルに配置されたR<sub>FILTER</sub>ペア間のミスマッチによって生じるオフセット（アナログ・フロント・エンドのセクションを参照）を、チャンネルごとに補償することができます。CHx\_OFFSETレジスタ（アドレス0x11～アドレス0x18）を使用すれば、表18に示すように、ADCコードに最大128LSBを自動的に加算または減算することができます（分解能1LSB）。

例えば、チャンネル3に接続した信号に9mVのオフセットがあり、このオフセットを補償するためにアナログ入力レンジを±10Vに設定した場合は（LSBサイズ=305μV）、該当レジスタを-30LSBに設定します。CH3\_OFFSETレジスタ（アドレス0x13）に128d-30d=0x80-0x1E=0x62を書き込めば、このオフセットをなくすことができます。

表 18. CHx\_OFFSETレジスタのビット・デコード

CHx_OFFSET Register	Offset Calibration (LSB)
0x00	-128
0x45	-59
0x80 (Default)	0
0x83	+3
0xFF	+127

アナログ入力のオープン・サーキット検出

AD7606B にはアナログ入力のオープン・サーキット検出機能があり、ソフトウェア・モードで使用することができます。この機能を使用するには、図 59 に示すように  $R_{PD}$  を接続する必要があります。アナログ入力の接続が解除された場合（例えば図 59 のスイッチを開いた場合）は、 $R_S < R_{PD}$  である限り、ソース・インピーダンスが  $R_S$  から  $R_{PD}$  に変化します。AD7606B が、PGA の共通モード電圧を内部的に切り替えることによってソース・インピーダンスの変化を検出できるように、 $R_{PD} = 50k\Omega$  とすることを推奨します。アナログ入力オープン・サーキット検出機能は、手動モードまたは自動モードで動作します。

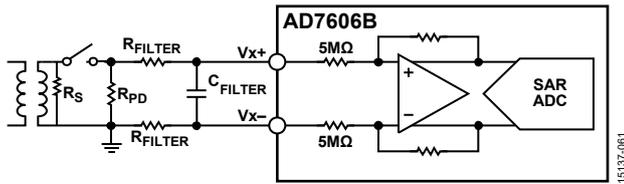


図 59.  $R_{PD}$  を接続したアナログ・フロント・エンド

手動モード

手動モードは、OPEN\_DETECT\_QUEUE（アドレス 0x2C）に 0x01 を書き込むことによって有効化しますが、このモードでは、OPEN\_DETECT\_ENABLE レジスタ（アドレス 0x23）の該当  $CH_x$  OPEN\_DETECT\_EN ビットによって、それぞれの PGA コモンモード電圧を制御します。このビットをハイに設定すると、PGA コモンモード電圧が高くなります。アナログ入力にオープン・サーキットがあると、図 60 に示すように ADC 出力が  $R_{PD}$  抵抗に比例して変化します。オープン・サーキットがない場合は、PGA コモンモード電圧が変化しても ADC 出力は変化しません。

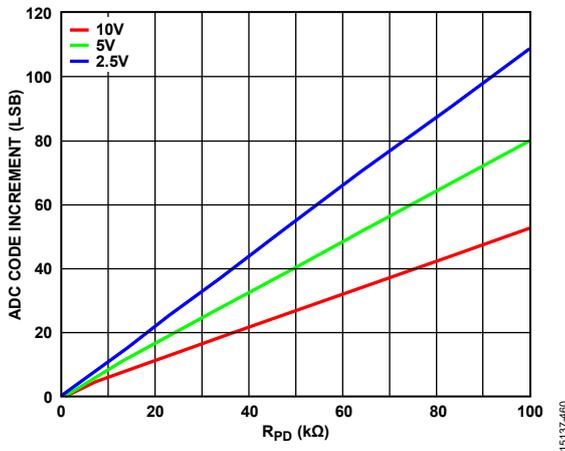


図 60.  $R_{PD}$  によるオープン・サーキット・コード誤差のインクリメント

自動モード

表 19 に示すように、自動モードは、OPEN\_DETECT\_QUEUE レジスタ（アドレス 0x2C）に 0x01 より大きい値を書き込むことによって有効化します。無変換状態の連続回数（OPEN\_DETECT\_QUEUE レジスタで指定）が一定数を超えたことを ADC がレポートし、AD7606B がこれを検出すると、ア

ナログ入力オープン・サーキット検出アルゴリズムが内部で自動的に実行されます。図 61 に示すように、アナログ入力オープン・サーキット検出アルゴリズムは PGA コモンモード電圧を自動的に変更し、ADC 出力をチェックして、最初の共通モード電圧に戻ります。PGA コモンモードの変化によっていずれかのチャンネルで ADC コードが変化した場合、これはそのアナログ入力に入力信号が接続されていないことを示唆しており、OPEN\_DETECTED レジスタ（アドレス 0x24）内に対応フラグがアサートされます。各チャンネルは、OPEN\_DETECT\_ENABLE レジスタ（アドレス 0x23）を通じて個別にイネーブルまたはディスエーブルできます。

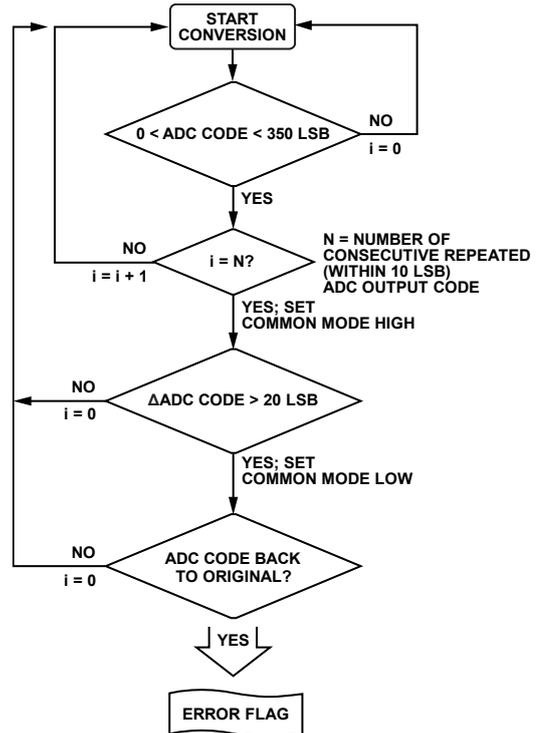


図 61. 自動アナログ入力オープン・サーキット検出フローチャート  
オーバーサンプリングを使用しない場合、AD7606B アナログ入力のオープン・サーキット自動検出のために設定する推奨最小変換回数は、次式で表されます。

$$OPEN\_DETECT\_QUEUE = 10 \times f_{SAMPLE} (R_{PD} + 2 \times R_{FILTER}) \times C_{FILTER}$$

ただし、オーバーサンプリング・モードを有効にした場合に使用する推奨最小変換回数は、次式で表されます。

$$OPEN\_DETECT\_QUEUE = 1 + (f_{SAMPLE} \times 2 (R_{PD} + 2 \times R_{FILTER}) \times C_{FILTER} \times OSR)$$

表 19. アナログ入力オープン・サーキット検出モードの選択とレジスタの機能

OPEN_DETECT_QUEUE (アドレス 0x2C)	オープン検出モード	OPEN_DETECT_ENABLE (アドレス 0x23)
0x00 (Default)	無効	該当せず
0x01	手動モード	コモンモード電圧をハイまたはローに設定 (チャンネルごと)
0x02 to 0xFF	自動、OPEN_DETECT_QUEUE は CHx_OPENED フラグをアサ ートするまでの連続変換回数	自動アナログ入力オープン・サーキット検出 をチャンネルごとに有効化または無効化

## デジタル・インターフェース

AD7606Bには、パラレル・インターフェースおよび高速シリアル・インターフェースという2つのインターフェース・オプションがあります。必要なインターフェース・モードはPAR/SER SELピンを介して選択します。

表 20. インターフェース・モードの選択

PAR/SER SEL	Interface Mode
0	Parallel interface mode
1	Serial interface mode

以下ではインターフェース・モードの動作について述べます。

### ハードウェア・モード

ハードウェア・モードで使用できるのはADCモードだけです。AD7606BのADCデータは、標準CS信号とRD信号を使いパラレル・データ・バスを介して読み出すか、標準CS信号、SCLK信号、および2つのDOUTX信号を使いシリアル・インターフェースを介して読み出すことができます。

ADC読出しモード動作の詳細については、変換結果の読出し（パラレルADCモード）のセクションと変換結果の読出し（シリアルADCモード）のセクションを参照してください。

### ソフトウェア・モード

ソフトウェア・モードは、3本のオーバーサンプリング・ピンすべてをハイに接続した場合にのみアクティブになります。このモードでは、ADC読出しモードとレジスタ・モードの両方を使用できます。AD7606BのADCデータは、標準CS、RD、およびWR信号を使いパラレル・データ・バスを介して読み出すか、CS、SCLK、SDI、およびDOUTAラインを使いシリアル・インターフェースを介して読み出すことができます。また、AD7606Bのレジスタの読出しと書込みも同じ方法で行うことができます。

レジスタ・モード動作の詳細については、パラレル・レジスタ・モード（レジスタ・データの書込み）とパラレル・レジスタ・モード（レジスタ・データの読出し）のセクションを参照してください。

表 21 と表 22 に示すように、ピン機能は、選択したインターフェース（パラレルまたはシリアル）と動作モード（ハードウェアまたはソフトウェア）によって異なります。

表 21. 動作モードごとのデータ・インターフェース・ピン機能（パラレル・インターフェース）

Pin Name	Pin No.	Hardware Mode	Software Mode	
			ADC Mode	Register Mode
DB0 to DB6	16 to 22	DB0 to DB6		Register data
DB7/D <sub>OUTA</sub>	24	DB7		Register data (MSB)
DB8/D <sub>OUTB</sub>	25	DB8		ADD0
DB9/D <sub>OUTC</sub>	27	DB9		ADD1
DB10/D <sub>OUTD</sub>	28	DB10		ADD2
DB11/SDI	29	DB11		ADD3
DB12 to DB14	30 to 32	DB12 to DB14		ADD4 to ADD6
DB15	33	DB15		R/W

表 22. 動作モードごとのデータ・インターフェース・ピン機能（シリアル・インターフェース）

Pin Name	Pin No.	Hardware Mode	Software Mode	
			ADC Mode	Register Mode
DB0 to DB6	16 to 22	N/A <sup>1</sup>		N/A
DB7/D <sub>OUTA</sub>	24	D <sub>OUTA</sub>	D <sub>OUTA</sub>	D <sub>OUTA</sub>
DB8/D <sub>OUTB</sub>	25	D <sub>OUTB</sub>	D <sub>OUTB</sub> <sup>2</sup>	Unused
DB9/D <sub>OUTC</sub>	27	N/A	D <sub>OUTC</sub> <sup>3</sup>	Unused
DB10/D <sub>OUTD</sub>	28		D <sub>OUTD</sub> <sup>3</sup>	Unused
DB11/SDI	29		Unused	SDI
DB12 to DB14	30 to 32			N/A
DB15	33			

<sup>1</sup> N/Aは該当なしを意味します。N/Aと表示されたピンはすべてAGNDに接続してください。

<sup>2</sup> CONFIGレジスタで2SDOまたは4SDOモードを選択した場合のみ使用し、それ以外は未接続のままにします。

<sup>3</sup> CONFIGレジスタで4SDOモードを選択した場合のみ使用し、それ以外は未接続のままにします。

## パラレル・インターフェース

パラレル・インターフェースを介して ADC データの読出しやレジスタ内容の読出し／書込みを行うには、PAR/SER SEL ピンをローに接続します。

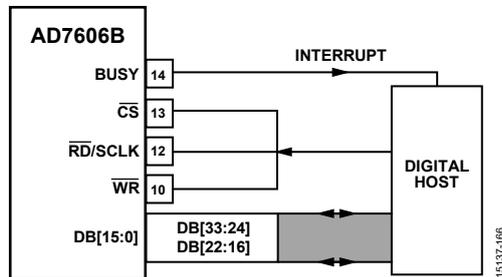


図 62. AD7606B のインターフェース図 -  $\overline{CS}$  と  $\overline{RD}$  を互いに短絡したパラレル・バス使用の AD7606B

バスは、 $\overline{CS}$  入力信号の立上がりエッジでスリーステートになり、 $\overline{CS}$  入力信号の立下がりエッジで高インピーダンス状態が終了します。 $\overline{CS}$  はデータ・ラインをイネーブルする制御信号で、複数の AD7606B デバイスが同じパラレル・データ・バスを共有できるようにします。

### 変換結果の読出し（パラレル ADC モード）

出力変換結果レジスタからのデータ読出しは、 $\overline{RD}$  ピンの立下がりエッジで行われます。 $\overline{RD}$  パルスのシーケンスを  $\overline{RD}$  ピンに加えると、各チャンネルからパラレル・バスに変換結果がクロック・アウトされます（[DB15:DB0]）。出力は、図 63 に示すように V1 から V8 まで昇順で行われます。

図 3 に示すように、 $\overline{CS}$  信号は終始ローに接続したままにすることができ、 $\overline{RD}$  信号は変換結果にアクセスすることができます。新しいデータの読出し動作は、BUSY 信号がローになった後に行うことができます（図 2 を参照）。もしくは、BUSY ピンがハイのときに、直前の変換プロセスからデータを読み出すことができます。

使用している AD7606B がシステム内に 1 個だけで、そのデバイスがパラレル・バスを共有していない場合は、デジタル・ホストからの制御信号を 1 つ使ってデータを読み出すことができます。 $\overline{CS}$  信号と  $\overline{RD}$  信号は、図 4 に示すように互いに接続できます。この場合、 $\overline{CS}$  信号と  $\overline{RD}$  信号の立下がりエッジがデータ・バスのスリーステートを解除し、データをクロック・アウトします。

図 4 に示すように、FRSTDATA 出力信号は、最初のチャンネル V1 をリードバックするタイミングを示します。FRSTDATA 出力ピンは  $\overline{CS}$  入力が高いレベルのときにスリーステートになり、 $\overline{CS}$  の立下がりエッジでスリーステートが解除されます。FRSTDATA ピンは V1 の結果に対応する  $\overline{RD}$  信号の立下がりエッジでハイに設定されて、出力データ・バス上で V1 の結果を使用

できることを示します。FRSTDATA ピンは、 $\overline{RD}$  の次の立下がりエッジ後にロジック・ローに戻ります。

### 変換時の読出し

BUSY ピンがハイになって変換が進行している間も、AD7606B からデータを読み出すことができます。この操作はコンバータの性能にほとんど影響せず、より高いスループット・レートを実現することができます。出力データ・レジスタは、BUSY 信号の立下がりエッジで新しい変換データに更新されます。したがって、AD7606B からのデータ読出しは、BUSY 信号の立下がりエッジを除いて、いつでも行うことができます。BUSY 信号がハイの時のデータ読出しは、すべて BUSY 信号の立下がりエッジ前に完了させる必要があります。

### CRC を有効にしたパラレル ADC モード

ソフトウェア・モードでは、INT\_CRC\_ERR\_EN ビット（アドレス 0x21、ビット 2）を通じて CRC を有効化することにより、パラレル・インターフェースを使い、CRC が付加された ADC データを読み出すことができます。CRC は 16 ビットで、図 65 に示すように、8 チャンネルすべての変換を読み出した後にクロック・アウトされます。CRC 計算には、DBx ピンのすべてのデータが含まれます（データ、ステータスが付加された場合はそのステータス、およびゼロ）。CRC の詳細については、診断機能のセクションを参照してください。

### ステータスをイネーブルしたパラレル ADC モード

ソフトウェア・モードでは、CONFIG レジスタのビット 6（アドレス 0x02、ビット 6）をセットすることによって 8 ビットのステータス・ヘッダがイネーブルされ（表 24 参照）、その後各チャンネルが 2 フレームのデータを取得します。

- 通常、最初のフレームは DBx を通じて ADC データをクロック・アウトします。
- 2 番目のフレームは、DB15~DB8 でそのチャンネルのステータス・ヘッダをクロック・アウトし（DB15 が MSB で DB8 が LSB）、DB7~DB0 ピンはゼロをクロック・アウトします。

このシーケンスを図 64 に示します。ステータス・ヘッダの内容と各ビットの説明は表 24 に示します。

表 23. ステータス・ヘッダの CH.ID ビット・デコード

CH.ID2	CH.ID1	CH.ID0	Channel Number
0	0	0	Channel 1 (V1)
0	0	1	Channel 2 (V2)
0	1	0	Channel 3 (V3)
0	1	1	Channel 4 (V4)
1	0	0	Channel 5 (V5)
1	0	1	Channel 6 (V6)
1	1	0	Channel 7 (V7)
1	1	1	Channel 8 (V8)

表 24. ステータス・ヘッダ、パラレル・インターフェース

ビット詳細	ビット 7 (MSB)	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0 (LSB)
ビット名	RESET_DET ECT	DIGITAL_ERROR	OPEN_DETECTED	AIN_OV_DIAG_ERR	AIN_UV_DIAG_ERR	CH.ID 2	CH.ID 1	CH.ID 0
ビットの説明 <sup>1</sup>	リセット検出	アドレス 0x22 のエラー・フラグ	このチャンネルのアナログ入力オープン状態	このチャンネルで過電圧を検出	このチャンネルで低電圧を検出	チャンネル ID (表 23 参照)。		

<sup>1</sup> 詳細については診断機能のセクションを参照してください。

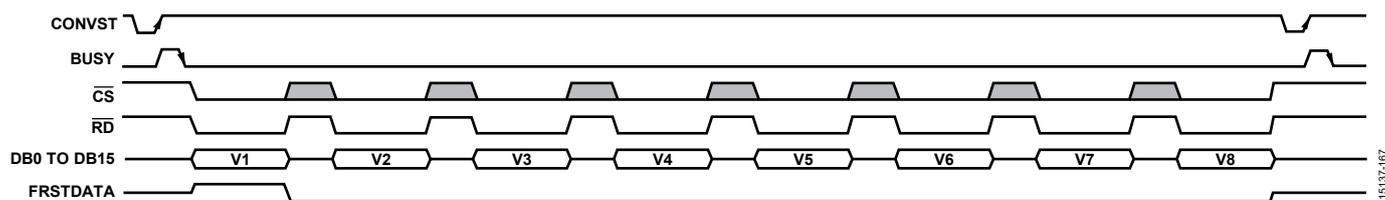


図 63. パラレル・インターフェース、ADC 読出しモード

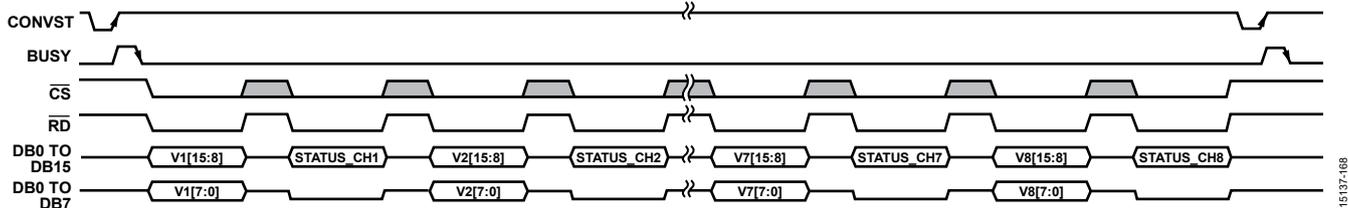


図 64. パラレル・インターフェース、ステータス・ヘッダをイネーブルした ADC 読出しモード

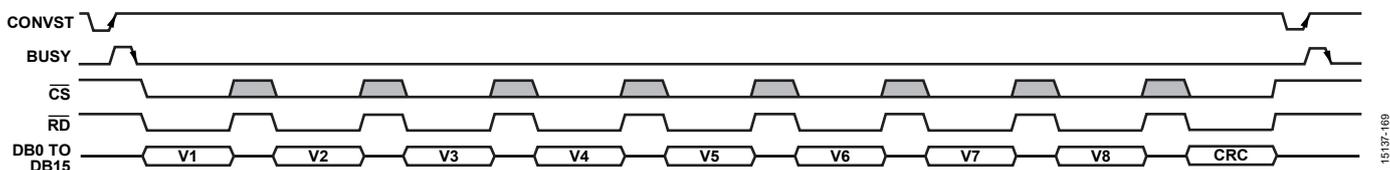


図 65. パラレル・インターフェース、CRC を有効にした ADC 読出しモード

## パラレル・レジスタ・モード (レジスタ・データの読出し)

ソフトウェア・モードでは、表 31 内のすべてのレジスタをパラレル・インターフェース経由で読み出すことができます。レジスタ内容を読み出すために  $\overline{CS}$  信号と  $\overline{RD}$  信号がともにロジック・ローになったとき、またはレジスタ・アドレスまたはレジスタ内容を書き込むために  $\overline{CS}$  信号と  $\overline{WR}$  信号が共にロジック・ローになったときに、[DB15:DB0] の高インピーダンス状態が終了します。

レジスタの読出しは 2 つのフレームを通じて行われます。最初に読出しコマンドが AD7606B に送られ、次に AD7606B がレジスタ内容をクロック・アウトします。これらのレジスタ読出しコマンドに使用するフォーマットを図 66 に示します。最初のフレームでは、

- 読出しコマンドを選択するには、ビット DB15 を 1 に設定する必要があります。読出しコマンドは AD7606B をレジスタ・モードにします。
- ビット DB [14:8] にはレジスタ・アドレスが含まれていなければなりません。
- その後の 8 ビット (DB [7:0]) は無視されます。

レジスタ・アドレスは、 $\overline{WR}$  信号の立上がりエッジで AD7606B にラッチされます。これによりレジスタの内容は、以下に示すように次のフレームで  $\overline{RD}$  ラインをローにすることによって、ラッチされたレジスタから読み出すことができます。

- ビット DB15 は AD7606B によって 0 にプルダウンされません。
- ビット DB [14:8] は、読み出すレジスタのアドレスを提供します。
- その後の 8 ビット (DB [7:0]) はレジスタの内容を提供します。

ADC 読出しモードへ戻るには、パラレル・レジスタ・モード (レジスタ・データの書込み) のセクションに示すように、アドレス 0x00 へ書込みを行います。デバイスがレジスタ・モードにある間は、ADC データを読み出すことはできません。

## パラレル・レジスタ・モード (レジスタ・データの書込み)

ソフトウェア・モードでは、表 31 内のすべてのリード/ライト・レジスタに対しパラレル・インターフェースを介して書込みを行うことができます。一連のレジスタへの書込みを行うには、メモリ・マップ上の任意のレジスタを読み出すことによって、ADC 読出しモード (デフォルト・モード) を終了します。レジスタへの書込みコマンドは、パラレル・バス (DB [15:0])、 $\overline{CS}$  信号、および  $\overline{WR}$  信号を介して 1 つのフレームで実行されます。書込みコマンドのフォーマットを図 66 に示します。図 66 に示す書込みコマンドは以下のように構成されます。

- 書込みコマンドを選択するには、ビット DB15 を 0 に設定する必要があります。
- ビット DB [14:8] にはレジスタのアドレスが格納されます。
- 後続する 8 ビット (DB [7:0]) には、選択したレジスタに書き込むデータが格納されます。

データは、 $\overline{WR}$  ピンの立上がりエッジでデバイスにラッチされます。ADC 読出しモードに戻るには、アドレス 0x00 に書込みを行います。デバイスがレジスタ・モードにある間は、ADC データを読み出すことはできません。

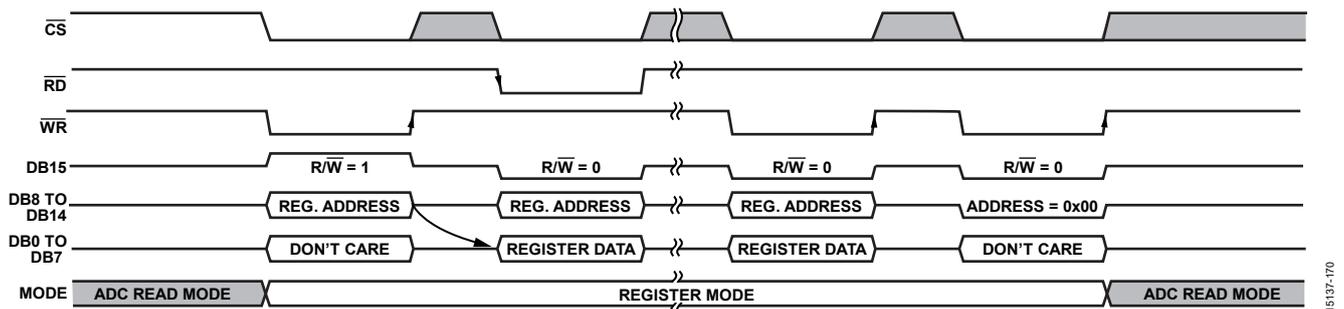


図 66. パラレル・インターフェースでのレジスタ読出し動作とその後の書き込み動作

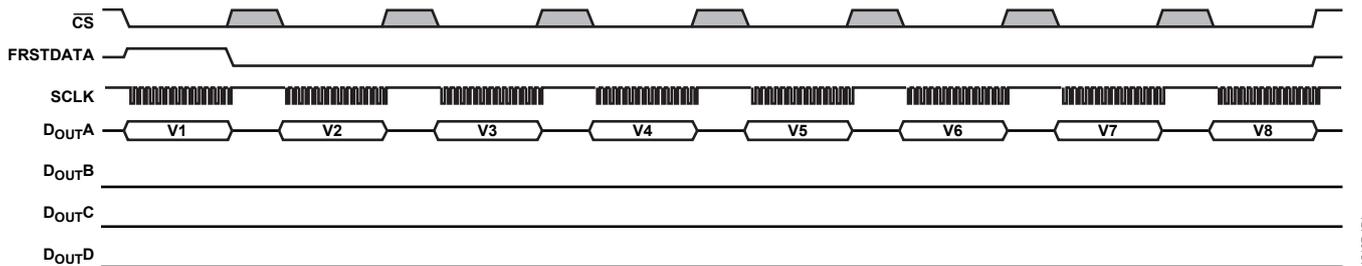


図 67. シリアル・インターフェースでの ADC 読出し、1 D<sub>OUTX</sub> ライン

## シリアル・インターフェース

シリアル・インターフェースを介して ADC データの読出しやレジスタ内容の読出し/書き込みを行うには、PAR/SER SEL ピンをハイに接続します。

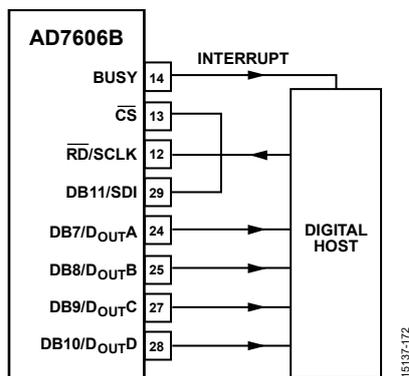


図 68. AD7606B のインターフェース図 - シリアル・インターフェースと 4 つの D<sub>OUTX</sub> を使用する AD7606B

## 変換結果の読出し (シリアル ADC モード)

AD7606Bには4本のシリアル・データ出力ピンがあります。すなわち、D<sub>OUTA</sub>、D<sub>OUTB</sub>、D<sub>OUTC</sub>、D<sub>OUTD</sub>です。ソフトウェア・モードでは、CONFIGレジスタ内に設定された構成に応じ、1つ (図68参照)、2つ (図69参照)、または4つ (図70参照) の D<sub>OUTX</sub> ラインを使って、AD7606Bのデータをリードバックすることができます。

表 25. CONFIG レジスタ

(アドレス 0x02) による D<sub>OUTX</sub> フォーマットの選択

D <sub>OUTX</sub> Format	Address 0x02, Bit 4	Address 0x02, Bit 3
1 D <sub>OUTX</sub>	0	0
2 D <sub>OUTX</sub>	0	1
4 D <sub>OUTX</sub>	1	0
1 D <sub>OUTX</sub>	1	1

ハードウェア・モードで使用できるのは、2 D<sub>OUTX</sub>ラインのオプションだけです。ただし、2つのCONVSTパルスの間に8個の16ビットSPIフレームを置くことによって、D<sub>OUTA</sub>からすべてのチャンネルを読み出すことができます。

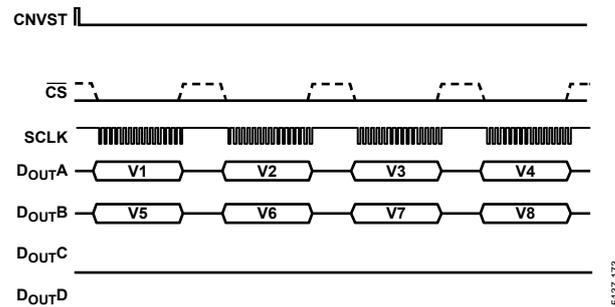


図 69. シリアル・インターフェースでの ADC 読出し、2 D<sub>OUTX</sub> ライン

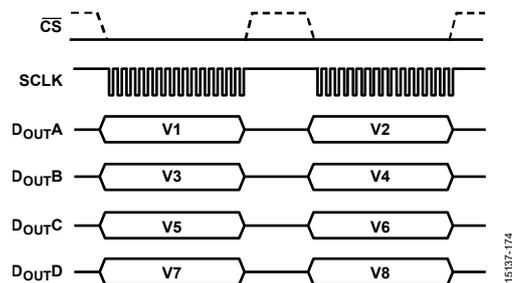


図 70. シリアル・インターフェースでの ADC 読出し、4 D<sub>OUTX</sub> ライン

CSの立下がりエッジでデータ出力ラインD<sub>OUTA</sub>~D<sub>OUTD</sub>の3ステータスが解除され、変換結果のMSBがクロック・アウトされます。3線モード (CSをローに接続) では、CSではなく、BUSY信号の立下がりエッジがMSBをクロック・アウトします。図6に示すように、SCLK信号の立下がりエッジは、シリアル・データ出力D<sub>OUTA</sub>~D<sub>OUTD</sub>のその後のすべてのデータ・ビットをクロックします。CS入力、シリアル読出し動作中、常にローに保持するか、16 SCLKサイクルの各チャンネル読出しをフレーム化するためのパルスとすることができます (図69参照)。ただし、

チャンネル変換結果の転送中に $\overline{CS}$ をパルスとする場合、中断されたチャンネルは次のフレームで再転送されます。この再転送は、MSBから開始して最初から完全にやり直されます。

図 67 に示すように、データは  $D_{OUTA}$  ピンだけを使ってクロック・アウトすることもできます。AD7606B が 1 つの  $D_{OUTX}$  ラインで 8 つの変換結果すべてにアクセスするには、合計 128 個の SCLK サイクルが必要です。ハードウェア・モードでは、 $\overline{CS}$  信号によって、これら 128 個の SCLK サイクルを 16 個ずつの SCLK サイクルのグループにフレーム化する必要があります。 $D_{OUTX}$  ラインを 1 つしか使用しないことの欠点は、変換後に読出しを行うとスループット・レートが低下することです。シリアル・モードでは、使用しない  $D_{OUTX}$  ラインは接続しないでください。

AD7606B の 4 つの  $D_{OUTX}$  ラインを使用して、8 つの同時変換結果を読み出す様子を図 70 に示します（ソフトウェア・モードで実行可能）。この場合は 32SCLK 転送が AD7606B からのデータにアクセスし、 $\overline{CS}$  は 32 個の SCLK サイクルすべてをフレーム化するためにローに保持されるか、2 個の 16 ビット・フレームの間でパルス化されます。このモードはソフトウェア・モードでのみ使用でき、CONFIG レジスタ（アドレス 0x02）を使って設定されます。

$\overline{CS}$  信号によってフレーム化された 1 チャンネルのデータを、シリアル・モードの AD7606B から読み出すためのタイミングを、図 6 に示します。SCLK 入力信号は、シリアル読出し動作のためのクロック源を提供します。 $\overline{CS}$  信号がローになると、AD7606B のデータへのアクセスが行われます。

FRSTDATA 出力信号は、最初のチャンネル V1 をリードバックするタイミングを示します。FRSTDATA 出力ピンは、 $\overline{CS}$  入力が高レベルのときにスリーステートになります。シリアル・モードでは、 $\overline{CS}$  信号の立下がりエッジが FRSTDATA ピンのスリーステートを解除し、BUSY ラインのアサートが既に解除されている場合は FRSTDATA ピンをハイにセットして、 $D_{OUTA}$  出力データ・ライン上で V1 の結果を使用できることを示します。FRSTDATA 出力は、16 番目の SCLK 立下がりエッジの後にロジック・ローに戻ります。 $\overline{CS}$  ピンを常時ローに接続した場合は（3線モード）、 $D_{OUTA}$  上で V1 の結果を使用できるようになると、

BUSY ラインの立下がりエッジが FRSTDATA ピンをハイにセットします。

SDI をローまたはハイに接続すると、AD7606B には何もクロックされません。したがって、デバイスは変換結果のクロック・アウトを続けます。AD7606B を 3 線モードで使用するときは、SDI をハイ・レベルに保持してください。ADC 読出しモードでは、図 71 に示すようにシングル書込み動作が可能です。一連のレジスタへ書込みを行う場合は、シリアル・レジスタ・モード（レジスタ・データの書込み）の説明に従ってレジスタ・モードに切り替えてください。

## 変換時の読出し

BUSY 信号がハイになって変換が進行している間も、AD7606B からデータを読み出すことができます。この操作はコンバータの性能にほとんど影響せず、より高いスループット・レートを実現することができます。出力データ・レジスタは、BUSY 信号の立下がりエッジで新しい変換データに更新されます。したがって、AD7606B からのデータ読出しは、BUSY 信号の立下がりエッジを除いて、いつでも行うことができます。BUSY 信号がハイの時のデータ読出しは、すべて BUSY 信号の立下がりエッジ前に完了させる必要があります。

## CRC を有効にしたシリアル ADC モード

ソフトウェア・モードでは、レジスタ・マップへの書込みによって CRC を有効化することができます。この場合は、図 78 に示すように、最後のチャンネルがクロック・アウトされた後で各  $D_{OUTX}$  ラインに CRC が付加されます。CRC 計算の詳細については、インターフェース CRC チェックサムのセクションを参照してください。

## ステータスをイネーブルしたシリアル ADC モード

ソフトウェア・モードでは、シリアル・インターフェース使用時に 8 ビットのステータス・ヘッダをオンにすることができ、この場合は、図 71 に示すように、それぞれの 16 ビット・データの変換後にステータス・ヘッダを付加することで、フレーム・サイズがチャンネルあたり 24 ビットに拡張されます。

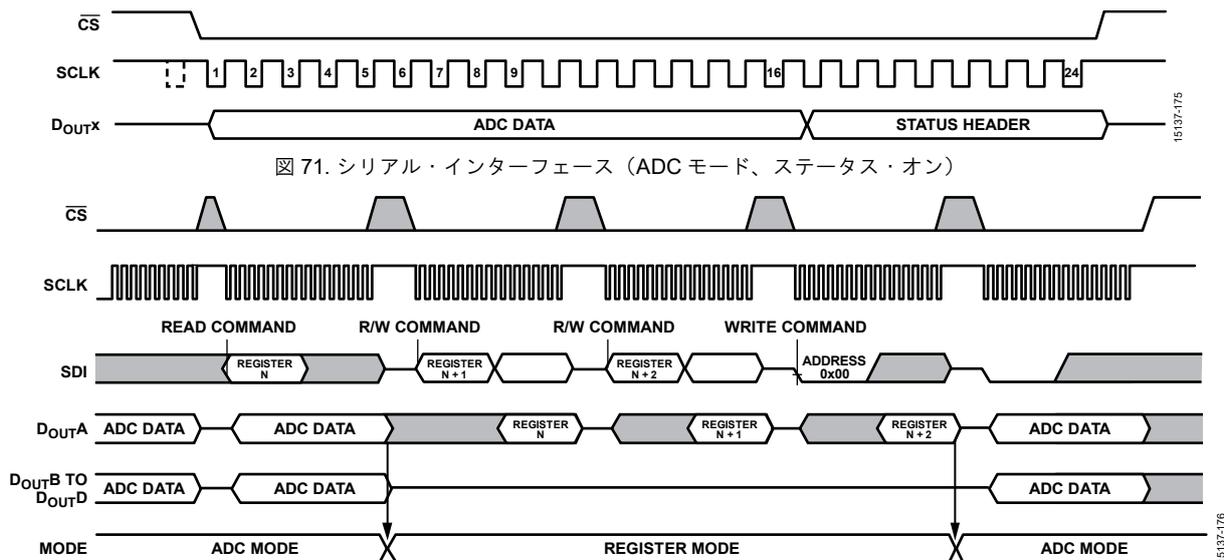


図 72. AD7606B のレジスタ・モード

表 26. ステータス・ヘッダ (シリアル・インターフェース)

ビット詳細	ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット 2	ビット 1	ビット0 (LSB)
ビット名	RESET_DETECT	DIGITAL_ERROR	OPEN_DETECTED	AIN_OV_DIAG_ERR	AIN_UV_DIAG_ERR	CH.ID 2	CH.ID 1	CH.ID 0
ビットの説明 <sup>1</sup>	リセット検出	アドレス 0x22 の エラー・フラグ	少なくともチャンネル の1つのアナログ 入力がオープン状態	チャンネル上で過電 圧を検出	チャンネル上で低電 圧を検出	チャンネルID (表 23 参照)。		

<sup>1</sup> 詳細については診断機能のセクションを参照してください。

### シリアル・レジスタ・モード (レジスタ・データの読出し)

表 31 内のすべてのレジスタは、シリアル・インターフェースを介して読み出すことができます。読出しコマンドのフォーマットを図 73 に示します。コマンドは2つの16ビット・フレームからなります。最初のフレームでは、

- アドレスの書き込みを有効にするために、SDI の最初のビットを 0 に設定する必要があります。
- 読出しコマンドを選択するために、2 番目のビットを 1 に設定する必要があります。
- SDI のビット [3:8] には、次のフレームで D<sub>OUTA</sub> にクロック・アウトするレジスタ・アドレスが格納されます。
- SDI 内の後続の 8 ビット (ビット [9:16]) は無視されま

AD7606B が ADC モードにある場合は、SDO はビット [9:16] の ADC データのクロッキングを続け、AD7606B はその後でレジスタ・モードに切り替わります。

AD7606B がレジスタ・モードの場合、SDO は直前にアドレス指定されたレジスタの内容をリードバックします。直前のフレームが読出しコマンドか書き込みコマンドかは問いません。レジスタ・モードを終了するには、図 72 に示すように、アドレス 0x00 へ書き込みを行う必要があります。

### シリアル・レジスタ・モード (レジスタ・データの書き込み)

ソフトウェア・モードでは、表 31 内のすべてのリード/ライト・レジスタに対しシリアル・インターフェースを介して書き込みを行うことができます。一連のレジスタへの書き込みを行うには、メモリ・マップ上の任意のレジスタを読み出すことによって、ADC 読出しモード (デフォルト・モード) を終了します。レジスタ書き込みコマンドは、1 回の 16 ビット SPI アクセスによって実行されます。書き込みコマンドのフォーマットを図 74 に示します。

図 74 に示す書き込みコマンドのフォーマットは、以下のように構成されます。

- 書き込みコマンドをイネーブルするには、SDI の最初のビットを 0 に設定する必要があります。
- 2 番目のビット (R/W ビット) はクリアして 0 にする必要があります。
- ビット [ADD5:ADD0] には、書き込むレジスタ・アドレスが格納されます。
- 後続の 8 ビット (ビット [DIN7:DIN0]) には、選択したレジスタに書き込むデータが格納されます。データは SCLK の立下がりエッジで SDI にクロック・インされ、SCLK の立上がりエッジで D<sub>OUTA</sub> にクロック・アウトされます。

図 74 に示すように、連続してデバイスへ書き込みを行う場合に D<sub>OUTA</sub> へ出力されるデータは、直前のフレームで書き込まれたレジスタ・アドレスのデータです。転送中、D<sub>OUTB</sub>、D<sub>OUTC</sub>、および D<sub>OUTD</sub> ピンはローに保持されます。

レジスタ・モードにある間、D<sub>OUTX</sub> ラインはレジスタ内容をクロック・アウトするために使われるので、ADC データはクロック・アウトされません。図 72 に示すように、必要なすべてのレジスタの書き込みが終了した時点でアドレス 0x00 へ書き込みを行うと、AD7606B は ADC 読出しモードに戻り、再び ADC データが D<sub>OUTX</sub> ラインにクロック・アウトされます。

ソフトウェア・モードで CRC をオンにすると、各フレームで 8 個の追加ビットがクロック・イン/クロック・アウトされます。したがって、24 ビット・フレームが必要です。

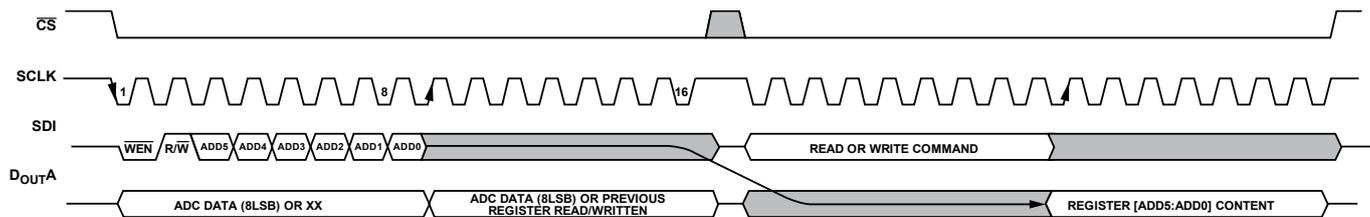
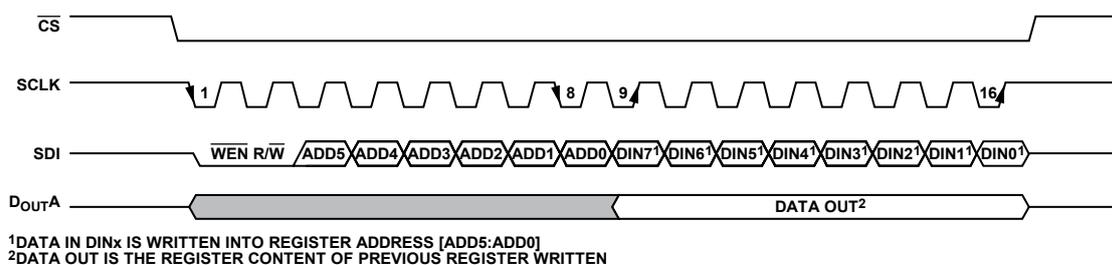


図 73. シリアル・インターフェースの読出しコマンド  
(最初のフレームがアドレスを指定し、2 番目のフレームがレジスタの内容を提供)



<sup>1</sup>DATA IN DINx IS WRITTEN INTO REGISTER ADDRESS [ADD5:ADD0]  
<sup>2</sup>DATA OUT IS THE REGISTER CONTENT OF PREVIOUS REGISTER WRITTEN

図 74. シリアル・インターフェースのシングル書込みコマンド  
(SDI が同じフレーム内でアドレス [ADD5:ADD0] とレジスタ内容 [DINx] をクロック・インし、DOUTA が直前のフレームで要求されたレジスタ内容を提供)

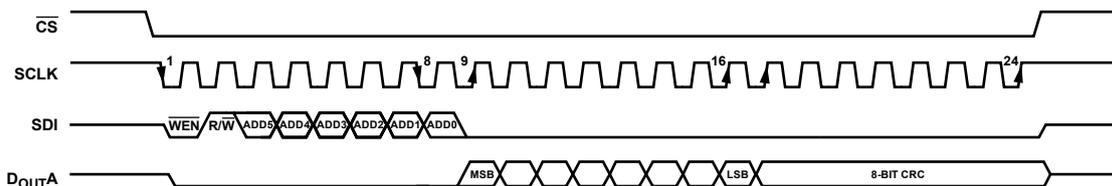


図 75. SPI インターフェースを介したレジスタの読出し (CRC 有効)

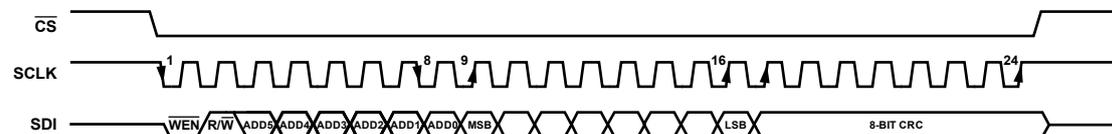


図 76. SPI インターフェースを介したレジスタの書込み (CRC 有効)

## CRC を有効にしたシリアル・レジスタ・モード

ソフトウェア・モードでは、INT\_CRC\_ERR\_EN ビット (アドレス 0x21、ビット 2) をアサートすることにより、AD7606B のレジスタ書込みと読出しが、CRC を有効にして行うことができます。

レジスタを読み出す場合、AD7606B は DOUTA ピンに 8 個のビットを追加して、同じフレーム上で直前にシフト・アウトされたデータの CRC 結果を提供します。これによりコントローラは、次の多項式を適用することによって、受け取ったデータが正しいかどうかをチェックすることができます。

$$x^8 + x^2 + x + 1$$

図 75 に示すように、CRC を有効化すると、SPI フレームは 24 ビット長に拡張されます。

レジスタへの書込み時、コントローラは、8 ビット CRC ワードが付与されたデータ (レジスタのアドレスと内容) を、AD7606B にクロック・インする必要があります。この CRC ワードは、上記の多項式を使って、その直前の 16 ビットから計算されます。図 76 に示すように、AD7606B はレジスタのアドレスと内容を読み出し、対応する 8 ビットの CRC ワードを計算して、計算した CRC ワードと、17 番目と 24 番目のビットの間に SDI を通じて受け取った CRC ワードが一致しない場合は、INT\_CRC\_ERR ビット (アドレス 0x22、ビット 2) をアサートします。

## 診断機能

ソフトウェア・モードでは、診断機能を使用して AD7606B が正常に動作しているかどうかを検証することができます。診断モニタのリストには、リセット検出、過電圧検出、低電圧検出、アナログ入力オープン・サーキット検出、およびデジタル・エラー検出が含まれています。

エラーが検出されると、デジタル・インターフェースのセクションに示すように、ステータス・ヘッダにフラグがアサートされます（ただし、イネーブルされている場合）。このフラグは、以下のセクションに示すように、エラーが発生したレジスタを示します。

更に、診断マルチプレクサのセクションに示すように、診断マルチプレクサは一連の内部ノードを検証するために、任意のチャンネルを占有することができます。

### リセットの検出

AD7606B にパルシャル・リセット・パルスまたはフル・リセット・パルスが加えられると、ステータス・レジスタの RESET\_DETECT ビット（アドレス 0x01、ビット 7）がアサートされます。パワーアップ時はフル・リセットが必要です。このリセットは RESET\_DETECT ビットをアサートして、デバイス上でパワーオン・リセット（POR）が正しく開始されたことを示します。

POR は REGCAP 電圧をモニタして、電圧が一定の閾値を下回った場合はフル・リセットを行います。

RESET\_DETECT ビットは、予期せぬデバイス・リセットや RESET ピン上の大きいグリッチの検出、または電源の電圧低下を検出するために使用できます。

RESET\_DETECT ビットは、ステータス・レジスタを読み出すことによるのみクリアされます。

### 過電圧イベントと低電圧イベント

AD7606B は、それぞれのアナログ入力ピンに過電圧回路と低電圧回路を搭載しています。これらのコンパレータは、AIN\_OV\_UV\_DIAG\_ENABLE レジスタ（アドレス 0x25）を使ってイネーブルまたはディスエーブルすることができます。

このレジスタをイネーブルした後は、アナログ入力ピンの電圧が表 27 に示す過電圧閾値を超えると、AIN\_OV\_DIAG\_ERROR レジスタ（アドレス 0x26）が、どのチャンネル（1 つまたは複数）で過電圧イベントが発生したのかを示します。AIN\_OV\_DIAG\_ERROR レジスタ内にビットがアサートされると、そのビットは、過電圧イベントが解消された後もハイ状態のままになります。エラー・ビットをクリアするには、そのエラー・ビットに 1 を上書きするか、エラー・チェッカーをディスエーブルする必要があります。

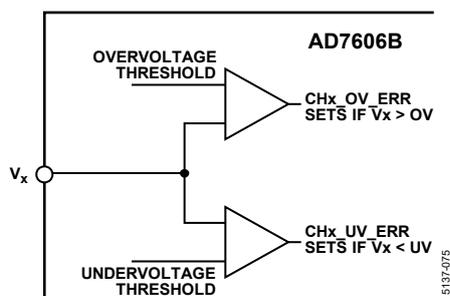


図 77. 各アナログ入力の過電圧および低電圧回路

いずれかのアナログ入力ピンの電圧が表 27 に示す低電圧閾値を下回ると、AIN\_UV\_DIAG\_ERROR レジスタ（アドレス 0x27）が、どのチャンネル（1 つまたは複数）で低電圧イベントが発生したのかを示します。AIN\_UV\_DIAG\_ERROR レジスタ内にビットがアサートされると、そのビットは、低電圧イベントが解消された後もハイ状態のままになります。エラー・ビットをクリアするには、そのエラー・ビットに 1 を上書きするか、エラー・チェッカーをディスエーブルする必要があります。

表 27. 過電圧閾値と低電圧閾値

Analog Input Range (V)	Overvoltage Threshold (V)	Undervoltage Threshold (V)
±2.5	+6.5	-3
±5	+8	-5.5
±10	+12	-11

### デジタル誤差

ステータス・レジスタとステータス・ヘッダには、共に DIGITAL\_ERROR ビットが含まれています。以下のいずれかのモニタがトリガされると、このビットがアサートされます。

- メモリ・マップ CRC、読み出し専用メモリ（ROM）CRC、およびデジタル・インターフェース CRC
- SPI の無効な読み出しまたは書き込み
- BUSY ハイ・スタック（ハイのまま動作停止）

どのモニタが DIGITAL\_ERROR ビットをトリガしたかを知るために、DIGITAL\_DIAG\_ERR アドレス（アドレス 0x22）には、以下のセクションで説明するように各モニタ専用のビットがあります。

### ROM CRC

ROM には AD7606B の工場調整設定値が保存されています。パワーアップ後、デバイス初期化の間に ROM の内容はレジスタにロードされます。ロード後は、ロードされたデータに関する CRC が計算されて、その結果が ROM に保存された CRC と一致するかどうかを確認されます。エラーが確認された場合は、ROM\_CRC\_ERR（アドレス 0x22、ビット 0）がアサートされます。パワーアップ後に ROM\_CRC\_ERR がアサートされた場合は、フル・リセットを行ってすべての工場設定値をロードし直すことを推奨します。

この ROM CRC モニタリング機能はデフォルトで有効化されますが、ROM\_CRC\_ERR\_EN ビット（アドレス 0x21、ビット 0）をクリアすることによって無効にできます。

### メモリ・マップ CRC

メモリ・マップ CRC はデフォルトで無効化されます。メモリ・マップ CRC は、必要なレジスタへの書き込みを行って AD7606B をソフトウェア・モードに設定した後に、MM\_CRC\_ERR\_EN ビット（アドレス 0x21、ビット 1）を使って有効化できます。有効にすると、メモリ・マップ全体の CRC が計算されて保存されます。メモリ・マップの CRC は 4μs ごとに再計算されて、保存されている CRC 値と比較されます。計算 CRC 値と保存 CRC 値が一致しない場合はメモリ・マップに異常があることを示しており、MM\_CRC\_ERR ビットがアサートされます。CRC はメモリ・マップへ書き込みを行うごとに再計算され、保存されます。

MM\_CRC\_ERR ビットがアサートされた場合は、メモリ・マップへの書き込みを行って CRC を再計算することを推奨します。エラーが解消されない場合は、フル・リセットを行ってメモリ・マップのデフォルト設定を復元することを推奨します。

## インターフェース CRC チェックサム

AD7606B には、データ転送時のエラーを検出してインターフェースの堅牢性を向上させるために、CRC チェックサム・モードがあります。CRC 機能は、ADC モード（シリアルおよびパラレル）とレジスタ・モード（シリアルのみ）の両方で使用できます。

AD7606B は、下に示す 8 ビット CRC 多項式を使って CRC チェックサム値を計算します。

$$x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^8 + x^6 + x^4 + x^3 + x + 1$$

多項式の除法をハードウェアで再現するには、データを 16 ビット左へシフトして 16 個のロジック 0 で終わる数値を作成し、多項式の MSB がデータの左端にあるロジック 1 に隣接するように、多項式の値の位置決めをします。次に、排他的論理和（XOR）関数をデータに適用してより短い数値を新たに生成し、多項式の MSB が新たに得られたデータの最も左にあるロジック 1 に隣接するように、再度、多項式の値の位置決めをします。このプロセスを、元のデータが多項式の値（16 ビット・チェックサム）よりも小さくなるまで繰り返します。

16 ビット・データの CRC 計算の例を表 28 に示します。上記の多項式を使用した場合、データ 0x064E に対応する CRC は 0x2137 です。

INT\_CRC\_ERR\_EN ビット（アドレス 0x21、ビット 2）を介して有効化することで、シリアル・インターフェースは CRC をサポートします。CRC は 16 ビット・ワードで、すべてのチャンネルの読出し後に、使用中の D<sub>OUTX</sub> の末尾に付加されます。4 つの D<sub>OUTX</sub> ラインを使用する場合の例を図 78 に示します。

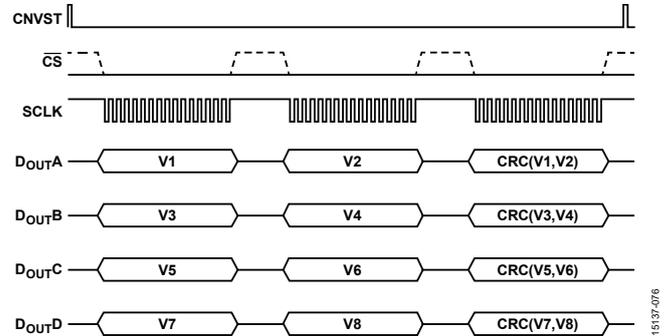


図 78. CRC をオンにしたシリアル・インターフェースでの ADC 読出し、4 D<sub>OUTX</sub> ライン

2 つの D<sub>OUTX</sub> ライン（D<sub>OUTA</sub> と D<sub>OUTB</sub>）を使用する場合、それぞれの 16 ビット CRC ワードは、図 79 に示すように 4 つのチャンネルのデータ（つまり 64 ビット）を使って計算されます。1 つの D<sub>OUTX</sub> ラインだけを使用する場合は、8 つのチャンネルすべてが D<sub>OUTA</sub> を通じてクロック・アウトされ、8 つのチャンネルのデータ（つまり 128 ビット）を使って計算された 16 ビット CRC ワードがその後続きます。

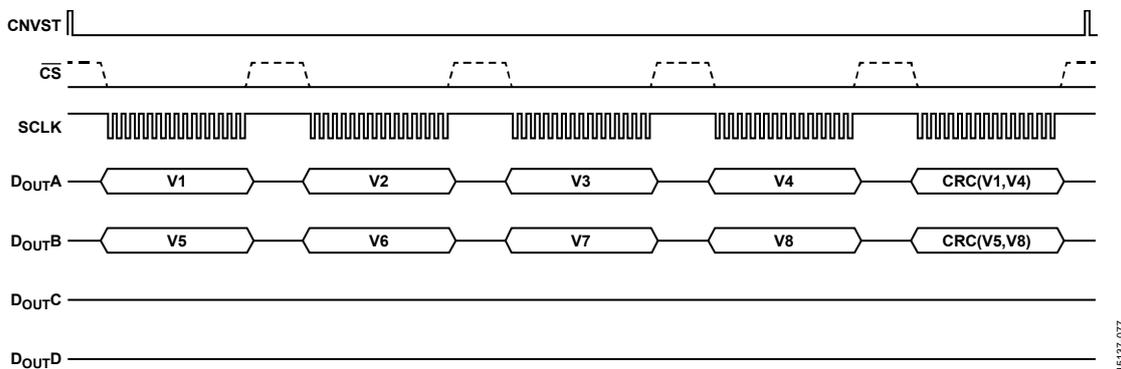


図 79. CRC をオンにしたシリアル・インターフェースでの ADC 読出し、2 D<sub>OUTX</sub> ライン

AD7606B がレジスタ・モードの場合、つまりレジスタの読出しまたは書込みが行われる場合、使用する CRC 多項式は  $x^8 + x^2 + x + 1$  です。レジスタを読み出して CRC が有効化された場合、各 SPI フレーム用は 24 ビットで、17 番目から 24 番目までの SCLK サイクルで CRC 8 ビット・ワードがクロック・アウトされます。同様に、レジスタへ書込みを行う場合は図 80 に示すように SDI ラインに CRC ワードを付加することができ、AD7606B はエラーをチェックし、与えられた CRC と内部で計算した CRC が一致

しない場合は INT\_CRC\_ERR (アドレス 0x22、ビット 2) をトリガします。

パラレル・インターフェースも ADC モードでのみ CRC をサポートしており、図 65 に示すように、チャンネル 8 の後に DB15 ~ DB0 を通じてクロック・アウトされます。16 ビット CRC ワードは、8 つのチャンネルのデータ (128 ビット) を使って計算されます。

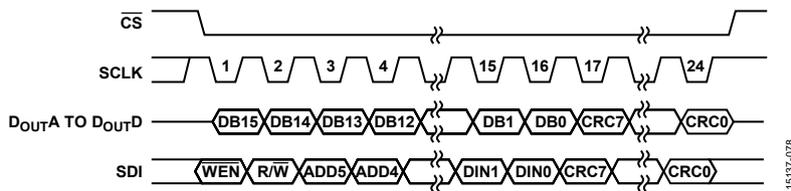


図 80. CRC オンでのレジスタ書込み

15137-078



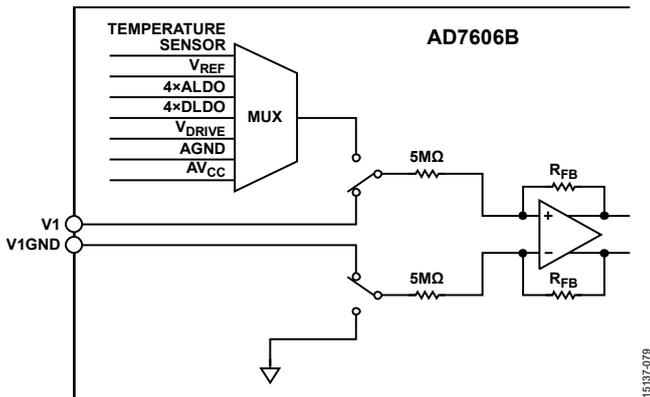


図 81. 診断用マルチプレクサ (例としてチャンネル 1 を表示)

## 温度センサー

図 81 に示すように、診断用マルチプレクサを通じて温度センサーを選択して、それを ADC で変換することができます。測定される温度センサーの電圧はダイ温度に比例しており、下の式で表されます。

$$Temperature (^{\circ}C) = \frac{ADC_{OUT} (V) - 0.69068 (V)}{0.019328 (V/^{\circ}C)} + 25 (^{\circ}C)$$

精度は $\pm 2^{\circ}C$ です。

## リファレンス電圧

図 82 に示すように、診断用マルチプレクサを通じてリファレンス電圧を選択し、それを ADC で変換することができます。診断用マルチプレクサへの入力には、REF SELECT ピンに基づいて内部リファレンスまたは外部リファレンスが選択されます。理

論上、ADC 出力は電圧リファレンス・レベル測定値の比に従います。したがって、ADC 出力が規定値の 2.5V を超える場合は、リファレンス・バッファまたは PGA に異常があります。

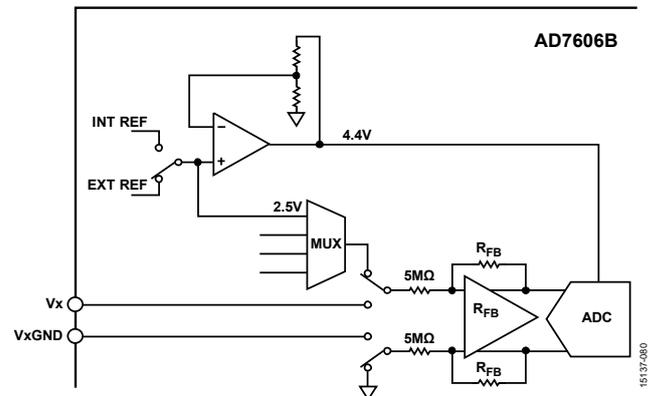


図 82. 診断用マルチプレクサを介したリファレンス電圧信号パス

## 内部 LDO

図 81 に示すように、診断用マルチプレクサを通じてアナログおよびデジタル LDO (REGCAP ピン) を選択し、それを ADC で変換することができます。ADC 出力は、REGCAPA ピン電圧 (アナログ) および REGCAPD ピン電圧 (デジタル) の 4 倍です。この測定は、各 LDO が正しい動作電圧にあり、内部回路が正しくバイアスされていることを確認します。

## 電源電圧

図 81 に示すように、診断用マルチプレクサを通じて AV<sub>CC</sub>、V<sub>DRIVE</sub>、および AGND を選択し、それを ADC で変換することができます。このセットアップによりデバイスに適切な電圧とグラウンドが使われ、正常動作が確保されます。

代表的な接続図

デバイスには4本のAV<sub>CC</sub>電源ピンがあります。これら4本のピンは、各電源ピンに100nFのコンデンサ、電源に10μFのコンデンサを使ってデカップリングすることを推奨します。AD7606Bは、内部リファレンスまたは外付けリファレンスで動作させることができます。基板上にAD7606Bが1個だけの場合は、100nFのコンデンサでREFIN/REFOUTピンをデカップリングします。複数のAD7606Bが組み込まれたアプリケーションを使用するときは、リファレンスのセクションを参照してください。REFCAPAピンとREFCAPBピンは互いに短絡させて、10μFのセラミック・コンデンサでデカップリングします。

V<sub>DRIVE</sub>電源はプロセッサと同じ電源に接続してください。V<sub>DRIVE</sub>電圧は、出力ロジック信号の電圧値を制御します。レイアウト、デカップリング、および接地の詳細については、レイアウトのガイドラインのセクションを参照してください。

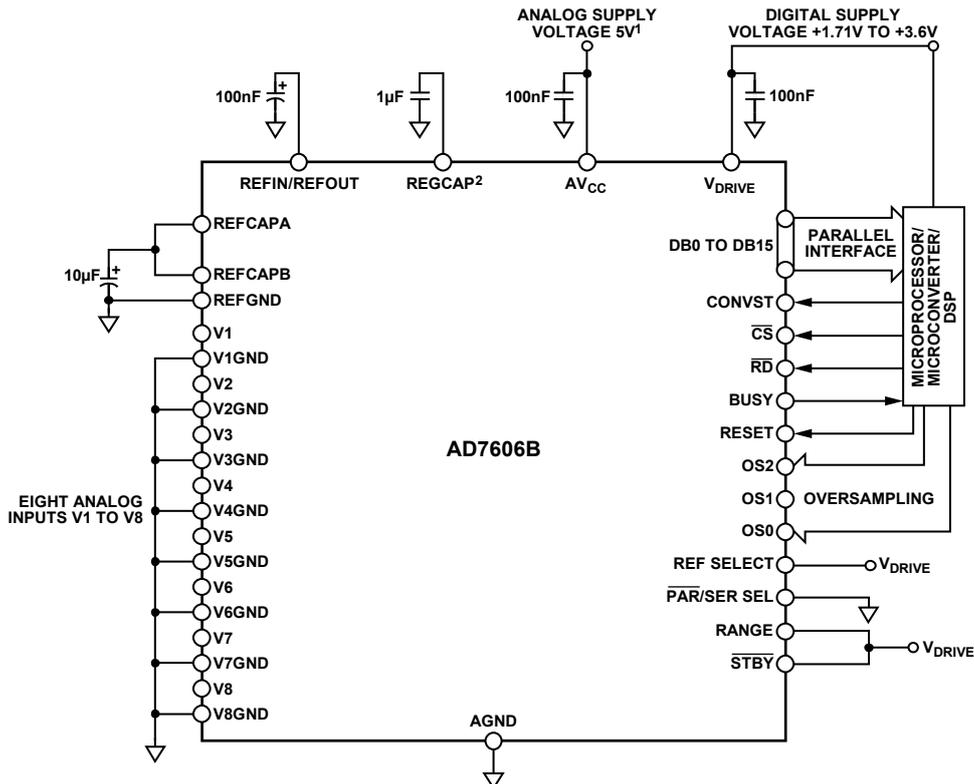
AD7606Bの電源投入後は、正しい動作モードに設定するためにAD7606Bをリセットします。

図83のAD7606Bはハードウェア・モードに設定されており、REF SELECTピンがハイに設定されているので内部リファレンスで動作します。また、この例ではPAR/SERピンがAGNDに接

続されているので、デバイスはパラレル・インターフェースを使用します。RANGEピンがハイ・レベルに接続され、オーバーサンプリング比がOSピンを通じてコントローラにより制御されている場合、8つの入力チャンネルのアナログ入力レンジはすべて±10Vです。

図84では、OS2、OS1、OS0の3本のピンがすべてロジック・ハイに接続されているので、AD7606Bはソフトウェア・モードに設定されています。オーバーサンプリング比と各チャンネルのレンジは、メモリ・マップへのアクセスを通じて設定されます。この例では、PAR/SERピンのロジック・レベルはハイです。したがって、ADCデータの読出しと、メモリ・マップの読出しおよび書込みには、共にシリアル・インターフェースが使われます。REF SELECTピンはAGNDに接続されています。したがって、内部リファレンスがディセーブルされて外部リファレンスがREFIN/REFOUTピンに外付けされ、100nFのコンデンサでデカップリングされています。

代表的な接続例を図83と図84に示します。各設定ピンに加えられるロジック・レベルに応じて、この他にも様々なリファレンス、データ・インターフェース、動作モードの組み合わせが可能です。



<sup>1</sup>DECOUPLING SHOWN ON THE AV<sub>CC</sub> PIN APPLIES TO EACH AV<sub>CC</sub> PIN (PIN 1, PIN 37, PIN 38, PIN 48). DECOUPLING CAPACITOR CAN BE SHARED BETWEEN AV<sub>CC</sub> PIN 37 AND PIN 38.  
<sup>2</sup>DECOUPLING SHOWN ON THE REGCAP PIN APPLIES TO EACH REGCAP PIN (PIN 36, PIN 39).

15137-081

図 83. AD7606B の代表的な接続図 (ハードウェア・モード)



## アプリケーション情報

### レイアウトのガイドライン

AD7606Bを含むPCBを設計する場合は、以下に示すレイアウトのガイドラインに従うことを推奨します。

- アナログ・セクションとデジタル・セクションを分離し、異なる基板領域内に配置してください。
- 少なくとも1層のグランド・プレーンを使用してください。これは、デジタル・セクションとアナログ・セクションの間で共通のプレーンとして使用することも、別々に分割して使用することもできます。分割する場合は、できるだけAD7606Bに近い位置を選び、デジタル・グランド・プレーンとアナログ・グランド・プレーンを1箇所だけで接合してください。
- 複数のデバイスがA/Dグラウンド接続を必要とするようなシステムにAD7606Bを使用する場合、接続は1箇所だけで行ってください（できるだけAD7606Bに近い位置にスター結線を設けます）。
- グランド・プレーンへの接続は安定したものにしてください。複数のグランド・ピンで1つの接続を共有することは避け、各グランド・ピンとグランド・プレーンへの接続には個別のビア、または複数のビアを使用してください。
- チップにノイズが混入するので、デバイスの下にはデジタル・ラインを配置しないでください。ノイズの混入を回避するために、AD7606Bの下にはアナログ・グランド・プレーンを配置できるようにします。
- CONVSTやクロックなどの高速スイッチング信号はデジタル・グランドでシールドし、基板の他の部分へのノイズの放射を防止します。また、これらの信号パスをアナログ信号パスの近くに配置しないでください。
- デジタル信号とアナログ信号を交差させないでください。
- 基板内の近接する層にあるパターンは互いに直角になるように配置し、基板全体でのフィードスルーの影響を減少させてください。
- AD7606BのAV<sub>CC</sub>ピンとV<sub>DRIVE</sub>ピンへの電源ラインには、可能な限り幅の広いパターンを使用して低インピーダンスの経路を確保し、電源ラインへのグリッチの影響を軽減してください。可能であれば電源プレーンを使用し、AD7606Bの電源ピンと基板の電源パターン間の接続を安定したものにします。各電源ピンには1つ以上のビアを使用してください。
- 電源ピンとそれらに対応するグランド・ピンの近く（直接接続が理想）に、デカップリング・コンデンサを配置してください。REFIN/REFOUTピン、REFCAPAピン、およびREFCAPBピンにはデカップリング・コンデンサを接続します。接続は、AD7606Bのそれぞれのピンにできるだけ近い位置で行ってください。可能であれば、これらのコンデンサは基板のAD7606Bデバイス取り付け面に配置します。

AD7606B取り付け基板最上層の推奨デカップリングを図85に示します。図86は最下層のデカップリングを示したもので、これは4本のAV<sub>CC</sub>ピンとV<sub>DRIVE</sub>ピンのデカップリングに使われます。AV<sub>CC</sub>ピン用に100nFのセラミック・コンデンサをそれぞれのデバイス・ピン近くに配置する場合は、ピン37とピン38の間で1個の100nFコンデンサを共有することができます。

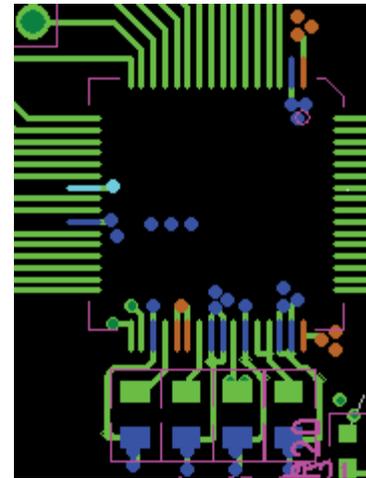


図 85. 最上層のデカップリング  
(REFIN/REFOUT、REFCAPA、REFCAPB、REGCAP ピン)



図 86. 最下層のデカップリング

複数の AD7606B デバイスを使用するシステム内で、安定したデバイス間の性能マッチングを実現するには、AD7606B デバイスを対称的にレイアウトすることが重要です。

2 個の AD7606B を使用した場合のレイアウトを図 87 に示します。AV<sub>CC</sub> 電源パターンは両方のデバイスの右側に配置され、V<sub>DRIVE</sub> 電源パターンは両方のデバイスの左側に配置されています。リファレンス・チップは 2 つのデバイスの間に取り付けられており、リファレンス電圧パターンは U1 のピン 42 の北側（上側）、U2 のピン 42 の南側（下側）にあたる位置に置かれています。また、ソリッド・グラウンド・プレーンが使われています。

これらの対称レイアウト原則は、3 個以上の AD7606B が含まれるシステムにも適用されます。図 87 同様、これらの AD7606B デバイスは南北方向に取り付けることができ、その場合、2 つのデバイス間にリファレンス電圧を配置し、リファレンス・パターンを南北方向に設けます。

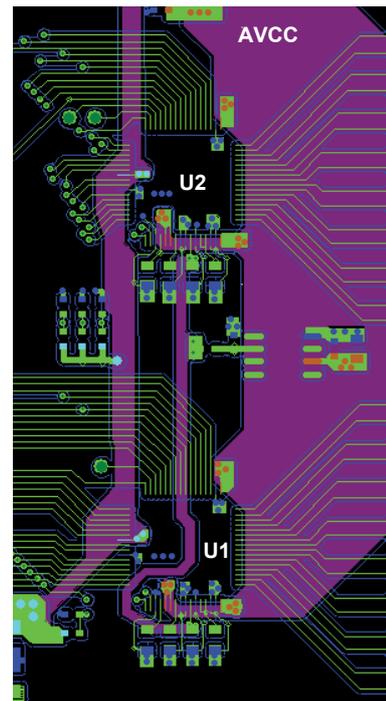


図 87. AD7606B デバイスを複数使用する場合のレイアウト - 最上層と電源プレーン層

## レジスタの一覧

表 31. レジスタの一覧

Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x01	STATUS	RESET_DETECT	DIGITAL_ERROR	RESERVED							0x00	R
0x02	CONFIG	RESERVED	STATUS_HEADER	EXT_OS_CLOCK	DOUT_FORMAT		RESERVED	OPERATION_MODE		0x08	R/W	
0x03	RANGE_CH1_CH2	CH2_RANGE				CH1_RANGE					0x33	R/W
0x04	RANGE_CH3_CH4	CH4_RANGE				CH3_RANGE					0x33	R/W
0x05	RANGE_CH5_CH6	CH6_RANGE				CH5_RANGE					0x33	R/W
0x06	RANGE_CH7_CH8	CH8_RANGE				CH7_RANGE					0x33	R/W
0x08	OVERSAMPLING	OS_PAD				OS_RATIO					0x00	R/W
0x09	CH1_GAIN	RESERVED			CH1_GAIN						0x00	R/W
0x0A	CH2_GAIN	RESERVED			CH2_GAIN						0x00	R/W
0x0B	CH3_GAIN	RESERVED			CH3_GAIN						0x00	R/W
0x0C	CH4_GAIN	RESERVED			CH4_GAIN						0x00	R/W
0x0D	CH5_GAIN	RESERVED			CH5_GAIN						0x00	R/W
0x0E	CH6_GAIN	RESERVED			CH6_GAIN						0x00	R/W
0x0F	CH7_GAIN	RESERVED			CH7_GAIN						0x00	R/W
0x10	CH8_GAIN	RESERVED			CH8_GAIN						0x00	R/W
0x11	CH1_OFFSET					CH1_OFFSET				0x80	R/W	
0x12	CH2_OFFSET					CH2_OFFSET				0x80	R/W	
0x13	CH3_OFFSET					CH3_OFFSET				0x80	R/W	
0x14	CH4_OFFSET					CH4_OFFSET				0x80	R/W	
0x15	CH5_OFFSET					CH5_OFFSET				0x80	R/W	
0x16	CH6_OFFSET					CH6_OFFSET				0x80	R/W	
0x17	CH7_OFFSET					CH7_OFFSET				0x80	R/W	
0x18	CH8_OFFSET					CH8_OFFSET				0x80	R/W	
0x19	CH1_PHASE					CH1_PHASE_OFFSET				0x00	R/W	
0x1A	CH2_PHASE					CH2_PHASE_OFFSET				0x00	R/W	
0x1B	CH3_PHASE					CH3_PHASE_OFFSET				0x00	R/W	
0x1C	CH4_PHASE					CH4_PHASE_OFFSET				0x00	R/W	
0x1D	CH5_PHASE					CH5_PHASE_OFFSET				0x00	R/W	
0x1E	CH6_PHASE					CH6_PHASE_OFFSET				0x00	R/W	
0x1F	CH7_PHASE					CH7_PHASE_OFFSET				0x00	R/W	
0x20	CH8_PHASE					CH8_PHASE_OFFSET				0x00	R/W	
0x21	DIGITAL_DIAG_ENABLE	INTERFACE_CHECK_EN	CLK_FS_OS_COUNTER_EN	BUSY_STUCK_HIGH_ERR_EN	SPI_READ_ERR_EN	SPI_WRITE_ERR_EN	INT_CRC_ERR_EN	MM_CRC_ERR_EN	ROM_CRC_ERR_EN	0x01	R/W	
0x22	DIGITAL_DIAG_ERR	RESERVED			BUSY_STUCK_HIGH_ERR	SPI_READ_ERR	SPI_WRITE_ERR	INT_CRC_ERR	MM_CRC_ERR	ROM_CRC_ERR	0x00	R/W
0x23	OPEN_DETECT_ENABLE	CH8_OPEN_DETECT_EN	CH7_OPEN_DETECT_EN	CH6_OPEN_DETECT_EN	CH5_OPEN_DETECT_EN	CH4_OPEN_DETECT_EN	CH3_OPEN_DETECT_EN	CH2_OPEN_DETECT_EN	CH1_OPEN_DETECT_EN	0x00	R/W	
0x24	OPEN_DETECTED	CH8_OPEN	CH7_OPEN	CH6_OPEN	CH5_OPEN	CH4_OPEN	CH3_OPEN	CH2_OPEN	CH1_OPEN	0x00	R/W	
0x25	AIN_OV_UV_DIAG_ENABLE	CH8_OV_UV_EN	CH7_OV_UV_EN	CH6_OV_UV_EN	CH5_OV_UV_EN	CH4_OV_UV_EN	CH3_OV_UV_EN	CH2_OV_UV_EN	CH1_OV_UV_EN	0x00	R/W	
0x26	AIN_OV_DIAG_ERROR	CH8_OV_ERR	CH7_OV_ERR	CH6_OV_ERR	CH5_OV_ERR	CH4_OV_ERR	CH3_OV_ERR	CH2_OV_ERR	CH1_OV_ERR	0x00	R/W	
0x27	AIN_UV_DIAG_ERROR	CH8_UV_ERR	CH7_UV_ERR	CH6_UV_ERR	CH5_UV_ERR	CH4_UV_ERR	CH3_UV_ERR	CH2_UV_ERR	CH1_UV_ERR	0x00	R/W	
0x28	DIAGNOSTIC_MUX_CH1_2	RESERVED			CH2_DIAG_MUX_CTRL			CH1_DIAG_MUX_CTRL			0x00	R/W
0x29	DIAGNOSTIC_MUX_CH3_4	RESERVED			CH4_DIAG_MUX_CTRL			CH3_DIAG_MUX_CTRL			0x00	R/W

# データシート

# AD7606B

Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x2A	DIAGNOSTIC_MUX_CH5_6	RESERVED		CH6_DIAG_MUX_CTRL			CH5_DIAG_MUX_CTRL			0x00	R/W
0x2B	DIAGNOSTIC_MUX_CH7_8	RESERVED		CH8_DIAG_MUX_CTRL			CH7_DIAG_MUX_CTRL			0x00	R/W
0x2C	OPEN_DETECT_QUEUE	OPEN_DETECT_QUEUE								0x00	R/W
0x2D	FS_CLK_COUNTER	CLK_FS_COUNTER								0x00	R
0x2E	OS_CLK_COUNTER	CLK_OS_COUNTER								0x00	R
0x2F	ID	DEVICE_ID				SILICON_REVISION				0x14	R

## レジスタの詳細

アドレス：0x01、リセット：0x00、レジスタ名：STATUS

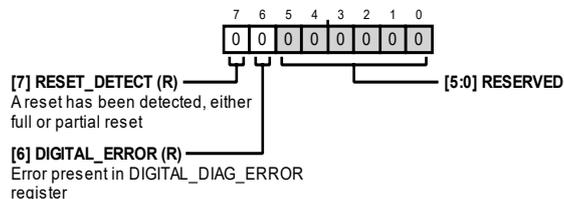


表 32. STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESET_DETECT	フル・リセットまたはパーシャル・リセットが検出されました。	0x0	R
6	DIGITAL_ERROR	DIGITAL_DIAG_ERROR レジスタにエラーがあります。	0x0	R
[5:0]	RESERVED	予備	0x0	R

アドレス：0x02、リセット：0x08、レジスタ名：CONFIG

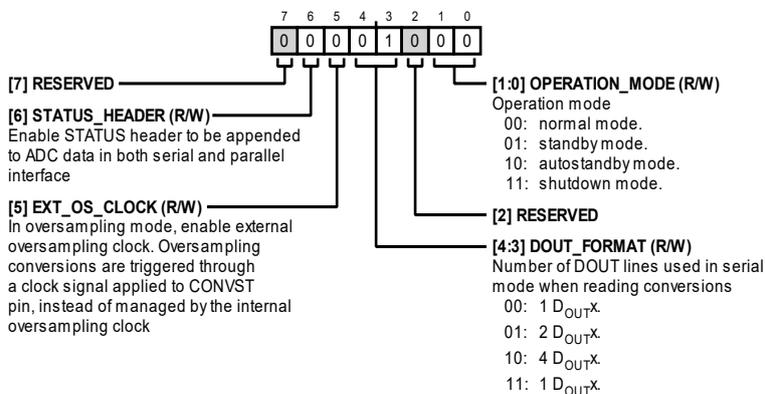


表 33. CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備	0x0	R
6	STATUS_HEADER	シリアル・インターフェースとパラレル・インターフェースの両方で、ADC データに付加する STATUS ヘッダをイネーブルします。	0x0	R/W
5	EXT_OS_CLOCK	オーバーサンプリング・モードで、外部オーバーサンプリング・クロックをイネーブルします。オーバーサンプリング変換は、内部オーバーサンプリング・クロックにより管理されるのではなく、CONVST ピンに加えるクロック信号を通じてトリガされます。	0x0	R/W
[4:3]	DOUT_FORMAT	変換結果を読み出すときにシリアル・モードで使われる D <sub>OUTX</sub> ラインの数。 00 : 1 D <sub>OUTX</sub> 01 : 2 D <sub>OUTX</sub> 10 : 4 D <sub>OUTX</sub> 11 : 1 D <sub>OUTX</sub>	0x1	R/W
2	RESERVED	予備	0x0	R
[1:0]	OPERATION_MODE	動作モード 00 : ノーマル・モード 01 : スタンバイ・モード 10 : オートスタンバイ・モード 11 : シャットダウン・モード	0x0	R/W

アドレス : 0x03、リセット : 0x33、レジスタ名 : RANGE\_CH1\_CH2

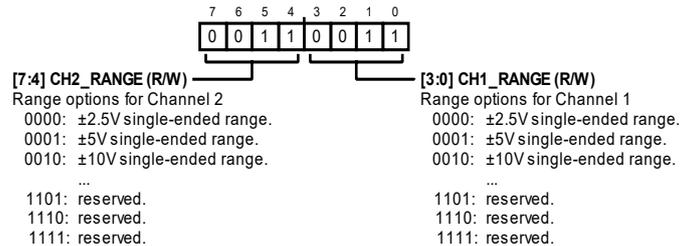


表 34. RANGE\_CH1\_CH2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	CH2_RANGE	チャンネル 2 のレンジ・オプション 0000 : ±2.5V シングルエンド・レンジ 0001 : ±5V シングルエンド・レンジ 0010 : ±10V シングルエンド・レンジ 0011 : ±10V シングルエンド・レンジ 0100 : ±10V シングルエンド・レンジ 0101 : ±10V シングルエンド・レンジ 0110 : ±10V シングルエンド・レンジ 0111 : ±10V シングルエンド・レンジ 1000 : ±10V シングルエンド・レンジ 1001 : ±10V シングルエンド・レンジ 1010 : ±10V シングルエンド・レンジ 1011 : ±10V シングルエンド・レンジ 1100 : 予備 1101 : 予備 1110 : 予備 1111 : 予備	0x3	R/W
[3:0]	CH1_RANGE	チャンネル 1 のレンジ・オプション 0000 : ±2.5V シングルエンド・レンジ 0001 : ±5V シングルエンド・レンジ 0010 : ±10V シングルエンド・レンジ 0011 : ±10V シングルエンド・レンジ 0100 : ±10V シングルエンド・レンジ 0101 : ±10V シングルエンド・レンジ 0110 : ±10V シングルエンド・レンジ 0111 : ±10V シングルエンド・レンジ 1000 : ±10V シングルエンド・レンジ 1001 : ±10V シングルエンド・レンジ 1010 : ±10V シングルエンド・レンジ 1011 : ±10V シングルエンド・レンジ 1100 : 予備 1101 : 予備 1110 : 予備 1111 : 予備	0x3	R/W

アドレス : 0x04、リセット : 0x33、レジスタ名 : RANGE\_CH3\_CH4

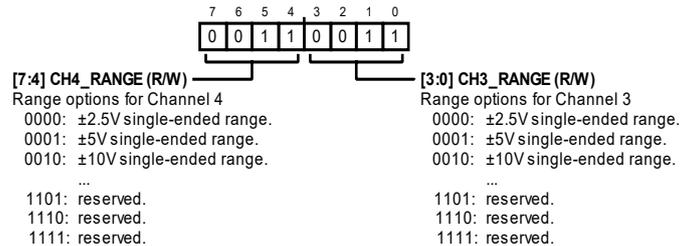


表 35. RANGE\_CH3\_CH4 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	CH4_RANGE	チャンネル 4 のレンジ・オプション 0000 : ±2.5V シングルエンド・レンジ 0001 : ±5V シングルエンド・レンジ 0010 : ±10V シングルエンド・レンジ 0011 : ±10V シングルエンド・レンジ 0100 : ±10V シングルエンド・レンジ 0101 : ±10V シングルエンド・レンジ 0110 : ±10V シングルエンド・レンジ 0111 : ±10V シングルエンド・レンジ 1000 : ±10V シングルエンド・レンジ 1001 : ±10V シングルエンド・レンジ 1010 : ±10V シングルエンド・レンジ 1011 : ±10V シングルエンド・レンジ 1100 : 予備 1101 : 予備 1110 : 予備 1111 : 予備	0x3	R/W
[3:0]	CH3_RANGE	チャンネル 3 のレンジ・オプション 0000 : 2.5V シングルエンド・レンジ 0001 : 5V シングルエンド・レンジ 0010 : 10V シングルエンド・レンジ 0011 : ±10V シングルエンド・レンジ 0100 : ±10V シングルエンド・レンジ 0101 : ±10V シングルエンド・レンジ 0110 : ±10V シングルエンド・レンジ 0111 : ±10V シングルエンド・レンジ 1000 : ±10V シングルエンド・レンジ 1001 : ±10V シングルエンド・レンジ 1010 : ±10V シングルエンド・レンジ 1011 : ±10V シングルエンド・レンジ 1100 : 予備 1101 : 予備 1110 : 予備 1111 : 予備	0x3	R/W

アドレス : 0x05、リセット : 0x33、レジスタ名 : RANGE\_CH5\_CH6

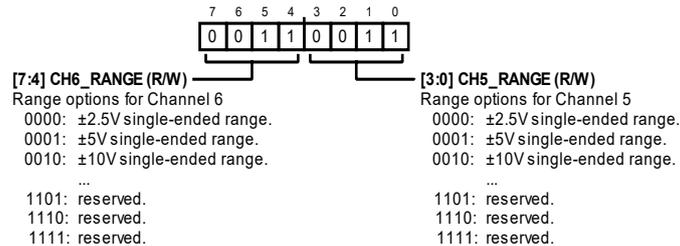


表 36. RANGE\_CH5\_CH6 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	CH6_RANGE	チャンネル 6 のレンジ・オプション 0000 : 2.5V シングルエンド・レンジ 0001 : 5V シングルエンド・レンジ 0010 : 10V シングルエンド・レンジ 0011 : ±10V シングルエンド・レンジ 0100 : ±10V シングルエンド・レンジ 0101 : ±10V シングルエンド・レンジ 0110 : ±10V シングルエンド・レンジ 0111 : ±10V シングルエンド・レンジ 1000 : ±10V シングルエンド・レンジ 1001 : ±10V シングルエンド・レンジ 1010 : ±10V シングルエンド・レンジ 1011 : ±10V シングルエンド・レンジ 1100 : 予備 1101 : 予備 1110 : 予備 1111 : 予備	0x3	R/W
[3:0]	CH5_RANGE	チャンネル 5 のレンジ・オプション 0000 : 2.5V シングルエンド・レンジ 0001 : 5V シングルエンド・レンジ 0010 : 10V シングルエンド・レンジ 0011 : ±10V シングルエンド・レンジ 0100 : ±10V シングルエンド・レンジ 0101 : ±10V シングルエンド・レンジ 0110 : ±10V シングルエンド・レンジ 0111 : ±10V シングルエンド・レンジ 1000 : ±10V シングルエンド・レンジ 1001 : ±10V シングルエンド・レンジ 1010 : ±10V シングルエンド・レンジ 1011 : ±10V シングルエンド・レンジ 1100 : 予備 1101 : 予備 1110 : 予備 1111 : 予備	0x3	R/W

アドレス : 0x06、リセット : 0x33、レジスタ名 : RANGE\_CH7\_CH8

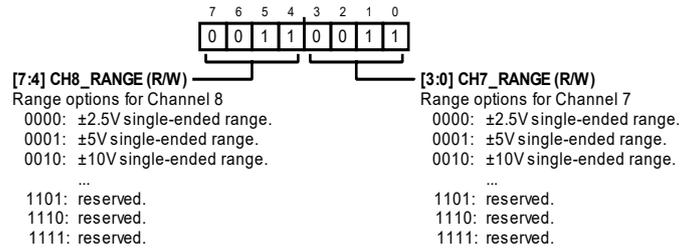


表 37. RANGE\_CH7\_CH8 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	CH8_RANGE	チャンネル 8 のレンジ・オプション 0000 : ±2.5V シングルエンド・レンジ 0001 : ±5V シングルエンド・レンジ 0010 : ±10V シングルエンド・レンジ 0011 : ±10V シングルエンド・レンジ 0100 : ±10V シングルエンド・レンジ 0101 : ±10V シングルエンド・レンジ 0110 : ±10V シングルエンド・レンジ 0111 : ±10V シングルエンド・レンジ 1000 : ±10V シングルエンド・レンジ 1001 : ±10V シングルエンド・レンジ 1010 : ±10V シングルエンド・レンジ 1011 : ±10V シングルエンド・レンジ 1100 : 予備 1101 : 予備 1110 : 予備 1111 : 予備	0x3	R/W
[3:0]	CH7_RANGE	チャンネル 7 のレンジ・オプション 0000 : ±2.5V シングルエンド・レンジ 0001 : ±5V シングルエンド・レンジ 0010 : ±10V シングルエンド・レンジ 0011 : ±10V シングルエンド・レンジ 0100 : ±10V シングルエンド・レンジ 0101 : ±10V シングルエンド・レンジ 0110 : ±10V シングルエンド・レンジ 0111 : ±10V シングルエンド・レンジ 1000 : ±10V シングルエンド・レンジ 1001 : ±10V シングルエンド・レンジ 1010 : ±10V シングルエンド・レンジ 1011 : ±10V シングルエンド・レンジ 1100 : 予備 1101 : 予備 1110 : 予備 1111 : 予備	0x3	R/W

アドレス：0x08、リセット：0x00、レジスタ名：OVERSAMPLING

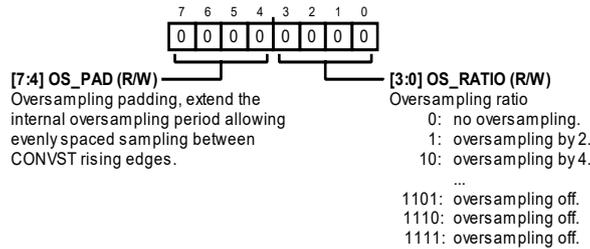


表 38. OVERSAMPLING のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	OS_PAD	オーバーサンプリング・パディング。内部オーバーサンプリング周期を延長して、CONVST の立上がりエッジ間で等間隔のサンプリングを行えるようにします。	0x0	R/W
[3:0]	OS_RATIO	オーバーサンプリング比 0：オーバーサンプリングを行わない 1：2 倍のオーバーサンプリング 10：4 倍のオーバーサンプリング 11：8 倍のオーバーサンプリング 100：16 倍のオーバーサンプリング 101：32 倍のオーバーサンプリング 110：64 倍のオーバーサンプリング 111：128 倍のオーバーサンプリング 1000：256 倍のオーバーサンプリング 1001：オーバーサンプリングをオフ 1010：オーバーサンプリングをオフ 1011：オーバーサンプリングをオフ 1100：オーバーサンプリングをオフ 1101：オーバーサンプリングをオフ 1110：オーバーサンプリングをオフ 1111：オーバーサンプリングをオフ	0x0	R/W

アドレス：0x09、リセット：0x00、レジスタ名：CH1\_GAIN

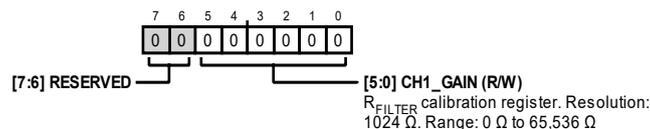


表 39. CH1\_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備	0x0	R
[5:0]	CH1_GAIN	$R_{FILTER}$ キャリブレーション・レジスタ。分解能：1024 $\Omega$ 。レンジ：0 $\Omega$ ～65,536 $\Omega$ 。	0x0	R/W

アドレス：0x0A、リセット：0x00、レジスタ名：CH2\_GAIN

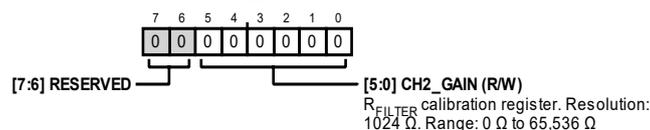


表 40. CH2\_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備	0x0	R
[5:0]	CH2_GAIN	$R_{FILTER}$ キャリブレーション・レジスタ。分解能：1024 $\Omega$ 。レンジ：0 $\Omega$ ～65,536 $\Omega$ 。	0x0	R/W

アドレス : 0x0B、リセット : 0x00、レジスタ名 : CH3\_GAIN

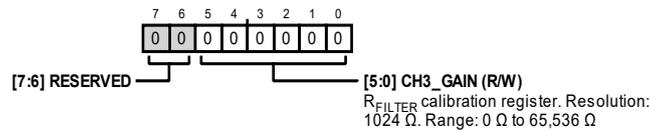


表 41. CH3\_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備	0x0	R
[5:0]	CH3_GAIN	R <sub>FILTER</sub> キャリブレーション・レジスタ。分解能 : 1024Ω。レンジ : 0Ω~65,536Ω。	0x0	R/W

アドレス : 0x0C、リセット : 0x00、レジスタ名 : CH4\_GAIN

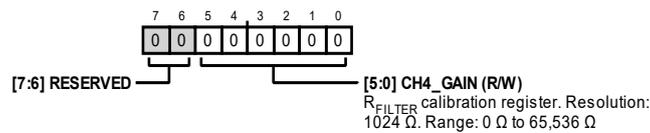


表 42. CH4\_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備	0x0	R
[5:0]	CH4_GAIN	R <sub>FILTER</sub> キャリブレーション・レジスタ。分解能 : 1024Ω。レンジ : 0Ω~65,536Ω。	0x0	R/W

アドレス : 0x0D、リセット : 0x00、レジスタ名 : CH5\_GAIN

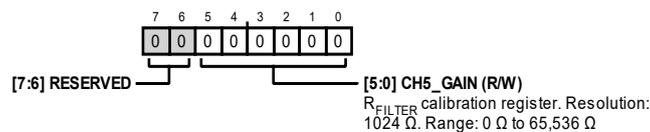


表 43. CH5\_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備	0x0	R
[5:0]	CH5_GAIN	R <sub>FILTER</sub> キャリブレーション・レジスタ。分解能 : 1024Ω。レンジ : 0Ω~65,536Ω。	0x0	R/W

アドレス : 0x0E、リセット : 0x00、レジスタ名 : CH6\_GAIN

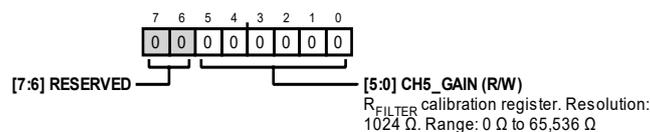


表 44. CH6\_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備	0x0	R
[5:0]	CH6_GAIN	R <sub>FILTER</sub> キャリブレーション・レジスタ。分解能 : 1024Ω。レンジ : 0Ω~65,536Ω。	0x0	R/W

アドレス : 0x0F、リセット : 0x00、レジスタ名 : CH7\_GAIN

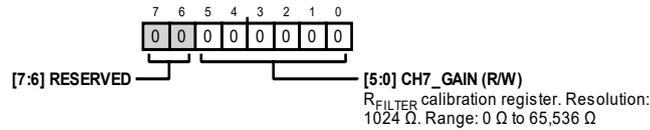


表 45. CH7\_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備	0x0	R
[5:0]	CH7_GAIN	$R_{\text{FILTER}}$ キャリブレーション・レジスタ。分解能 : 1024 $\Omega$ 。レンジ : 0 $\Omega$ ~65,536 $\Omega$ 。	0x0	R/W

アドレス : 0x10、リセット : 0x00、レジスタ名 : CH8\_GAIN

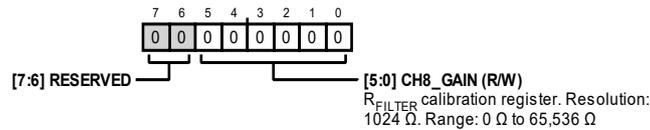


表 46. CH8\_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備	0x0	R
[5:0]	CH8_GAIN	$R_{\text{FILTER}}$ キャリブレーション・レジスタ。分解能 : 1024 $\Omega$ 。レンジ : 0 $\Omega$ ~65,536 $\Omega$ 。	0x0	R/W

アドレス : 0x11、リセット : 0x80、レジスタ名 : CH1\_OFFSET

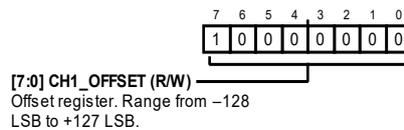


表 47. CH1\_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH1_OFFSET	オフセット・レジスタ。レンジは-128LSB~+127LSB。0x00 = -128LSB オフセット、0x80 = オフセットなし、0xFF = +127LSB オフセット。	0x80	R/W

アドレス : 0x12、リセット : 0x80、レジスタ名 : CH2\_OFFSET

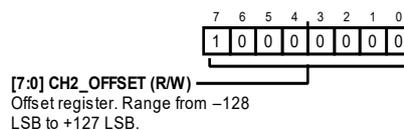


表 48. CH2\_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH2_OFFSET	オフセット・レジスタ。レンジは-128LSB~+127LSB。0x00 = -128LSB オフセット、0x80 = オフセットなし、0xFF = +127LSB オフセット。	0x80	R/W

アドレス : 0x13、リセット : 0x80、レジスタ名 : CH3\_OFFSET

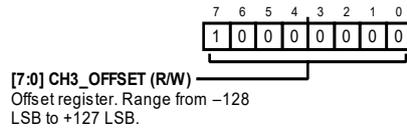


表 49. CH3\_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH3_OFFSET	オフセット・レジスタ。レンジは-128LSB~+127LSB。0x00=-128LSB オフセット、0x80=オフセットなし、0xFF=+127LSB オフセット。	0x80	R/W

アドレス : 0x14、リセット : 0x80、レジスタ名 : CH4\_OFFSET

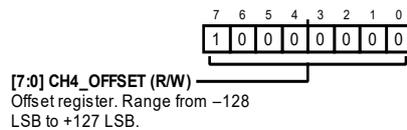


表 50. CH4\_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH4_OFFSET	オフセット・レジスタ。レンジは-128LSB~+127LSB。0x00=-128LSB オフセット、0x80=オフセットなし、0xFF=+127LSB オフセット。	0x80	R/W

アドレス : 0x15、リセット : 0x80、レジスタ名 : CH5\_OFFSET

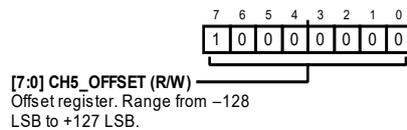


表 51. CH5\_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH5_OFFSET	オフセット・レジスタ。レンジは-128LSB~+127LSB。0x00=-128LSB オフセット、0x80=オフセットなし、0xFF=+127LSB オフセット。	0x80	R/W

アドレス : 0x16、リセット : 0x80、レジスタ名 : CH6\_OFFSET

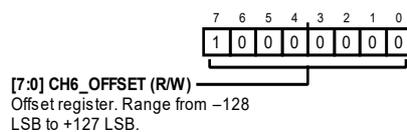


表 52. CH6\_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH6_OFFSET	オフセット・レジスタ。レンジは-128LSB~+127LSB。0x00=-128LSB オフセット、0x80=オフセットなし、0xFF=+127LSB オフセット。	0x80	R/W

アドレス : 0x17、リセット : 0x80、レジスタ名 : CH7\_OFFSET

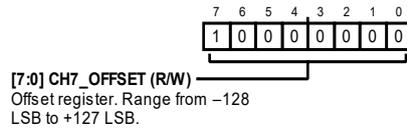


表 53. CH7\_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH7_OFFSET	オフセット・レジスタ。レンジは-128LSB~+127LSB。0x00=-128LSB オフセット、0x80=オフセットなし、0xFF=+127LSB オフセット。	0x80	R/W

アドレス : 0x18、リセット : 0x80、レジスタ名 : CH8\_OFFSET

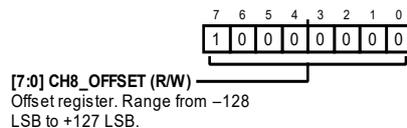


表 54. CH8\_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH8_OFFSET	オフセット・レジスタ。レンジは-128LSB~+127LSB。0x00=-128LSB オフセット、0x80=オフセットなし、0xFF=+127LSB オフセット。	0x80	R/W

アドレス : 0x19、リセット : 0x00、レジスタ名 : CH1\_PHASE

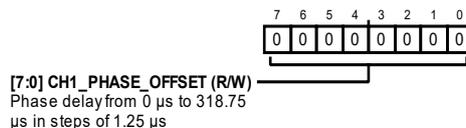


表 55. CH1\_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH1_PHASE_OFFSET	0~318.75 $\mu$ s、1.25 $\mu$ s ステップの位相遅延。	0x0	R/W

アドレス : 0x1A、リセット : 0x00、レジスタ名 : CH2\_PHASE

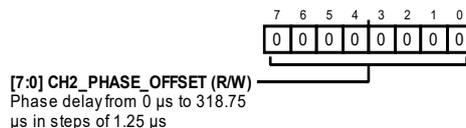


表 56. CH2\_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH2_PHASE_OFFSET	0~318.75 $\mu$ s、1.25 $\mu$ s ステップの位相遅延。	0x0	R/W

アドレス : 0x1B、リセット : 0x00、レジスタ名 : CH3\_PHASE

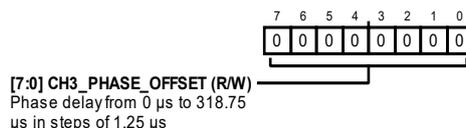


表 57. CH3\_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH3_PHASE_OFFSET	0~318.75 $\mu$ s、1.25 $\mu$ s ステップの位相遅延。	0x0	R/W

アドレス : 0x1C、リセット : 0x00、レジスタ名 : CH4\_PHASE

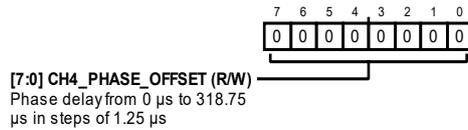


表 58. CH4\_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH4_PHASE_OFFSET	0~318.75 $\mu$ s、1.25 $\mu$ s ステップの位相遅延。	0x0	R/W

アドレス : 0x1D、リセット : 0x00、レジスタ名 : CH5\_PHASE

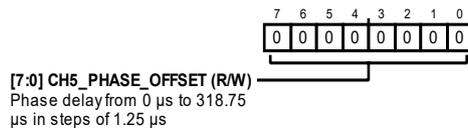


表 59. CH5\_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH5_PHASE_OFFSET	0~318.75 $\mu$ s、125 $\mu$ s ステップの位相遅延。	0x0	R/W

アドレス : 0x1E、リセット : 0x00、レジスタ名 : CH6\_PHASE

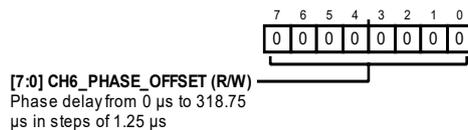


表 60. CH6\_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH6_PHASE_OFFSET	0~318.75 $\mu$ s、1.25 $\mu$ s ステップの位相遅延。	0x0	R/W

アドレス : 0x1F、リセット : 0x00、レジスタ名 : CH7\_PHASE

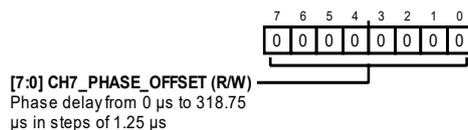


表 61. CH7\_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH7_PHASE_OFFSET	0~318.75 $\mu$ s、1.25 $\mu$ s ステップの位相遅延。	0x0	R/W

アドレス : 0x20、リセット : 0x00、レジスタ名 : CH8\_PHASE

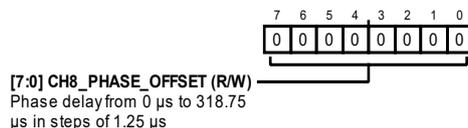


表 62. CH8\_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH8_PHASE_OFFSET	0~318.75 $\mu$ s、1.25 $\mu$ s ステップの位相遅延。	0x0	R/W

アドレス：0x21、リセット：0x01、レジスタ名：DIGITAL\_DIAG\_ENABLE

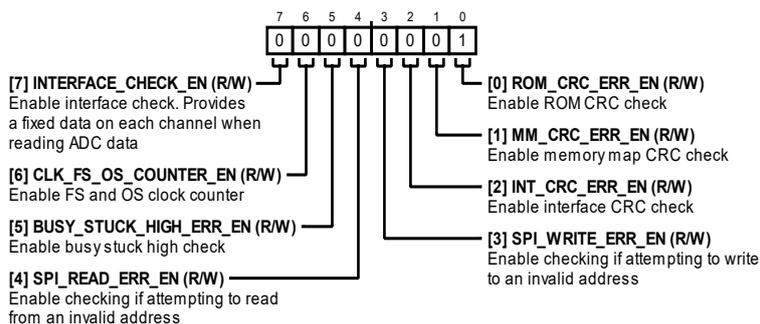


表 63. DIGITAL\_DIAG\_ENABLE のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	INTERFACE_CHECK_EN	インターフェース・チェックを有効化して、ADCデータの読出し時に各チャンネルの固定データを提供します。	0x0	R/W
6	CLK_FS_OS_COUNTER_EN	FSおよびOSクロック・カウントを有効化します。	0x0	R/W
5	BUSY_STUCK_HIGH_ERR_EN	BUSYハイ・スタック・チェックを有効化します。	0x0	R/W
4	SPI_READ_ERR_EN	無効アドレスからの読出しを行おうとしたかどうかのチェックを有効化します。	0x0	R/W
3	SPI_WRITE_ERR_EN	無効アドレスへの書き込みを行おうとしたかどうかのチェックを有効化します。	0x0	R/W
2	INT_CRC_ERR_EN	インターフェースCRCチェックを有効化します。	0x0	R/W
1	MM_CRC_ERR_EN	メモリ・マップCRCチェックを有効化します。	0x0	R/W
0	ROM_CRC_ERR_EN	ROMCRC機能を有効化します。	0x1	R/W

アドレス：0x22、リセット：0x00、レジスタ名：DIGITAL\_DIAG\_ERR

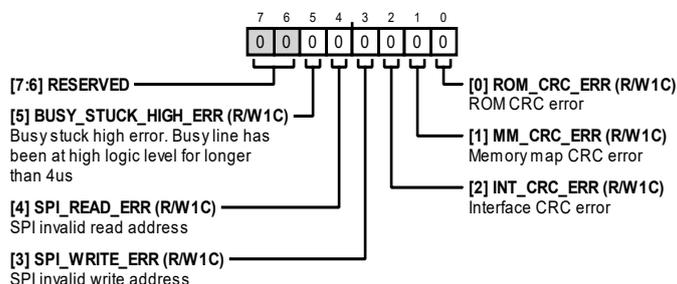


表 64. DIGITAL\_DIAG\_ERR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備	0x0	R
5	BUSY_STUCK_HIGH_ERR	BUSYハイ・スタック・エラー。BUSYラインのロジック・レベルがハイに固定された状態が4 $\mu$ sを超えました。	0x0	R/W1C
4	SPI_READ_ERR	SPIの無効な読出しアドレス。	0x0	R/W1C
3	SPI_WRITE_ERR	SPIの無効な書き込みアドレス。	0x0	R/W1C
2	INT_CRC_ERR	インターフェースCRCエラー。	0x0	R/W1C
1	MM_CRC_ERR	メモリ・マップのCRCエラー。	0x0	R/W1C
0	ROM_CRC_ERR	ROMのCRCエラー。	0x0	R/W1C

アドレス：0x23、リセット：0x00、レジスタ名：OPEN\_DETECT\_ENABLE

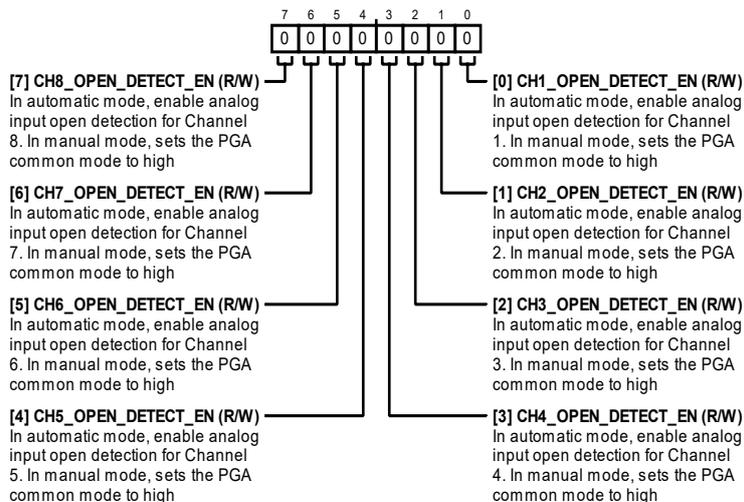


表 65. OPEN\_DETECT\_ENABLE のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	CH8_OPEN_DETECT_EN	自動モードではチャンネル 8 のアナログ入力オープン検出を有効にし、手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W
6	CH7_OPEN_DETECT_EN	自動モードではチャンネル 7 のアナログ入力オープン検出を有効にし、手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W
5	CH6_OPEN_DETECT_EN	自動モードではチャンネル 6 のアナログ入力オープン検出を有効にし、手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W
4	CH5_OPEN_DETECT_EN	自動モードではチャンネル 5 のアナログ入力オープン検出を有効にし、手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W
3	CH4_OPEN_DETECT_EN	自動モードではチャンネル 4 のアナログ入力オープン検出を有効にし、手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W
2	CH3_OPEN_DETECT_EN	自動モードではチャンネル 3 のアナログ入力オープン検出を有効にし、手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W
1	CH2_OPEN_DETECT_EN	自動モードではチャンネル 2 のアナログ入力オープン検出を有効にし、手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W
0	CH1_OPEN_DETECT_EN	自動モードではチャンネル 1 のアナログ入力オープン検出を有効にし、手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W

アドレス：0x24、リセット：0x00、レジスタ名：OPEN\_DETECTED

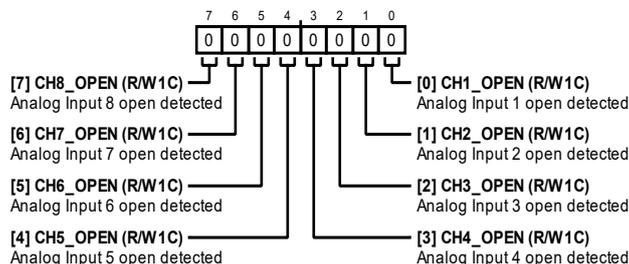


表 66. OPEN\_DETECTED のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	CH8_OPEN	アナログ入力 8 のオープンを検出。	0x0	R/W1C
6	CH7_OPEN	アナログ入力 7 のオープンを検出。	0x0	R/W1C
5	CH6_OPEN	アナログ入力 6 のオープンを検出。	0x0	R/W1C
4	CH5_OPEN	アナログ入力 5 のオープンを検出。	0x0	R/W1C
3	CH4_OPEN	アナログ入力 4 のオープンを検出。	0x0	R/W1C

ビット	ビット名	説明	リセット	アクセス
2	CH3_OPEN	アナログ入力3のオープンを検出。	0x0	R/W1C
1	CH2_OPEN	アナログ入力2のオープンを検出。	0x0	R/W1C
0	CH1_OPEN	アナログ入力1のオープンを検出。	0x0	R/W1C

アドレス：0x25、リセット：0x00、レジスタ名：AIN\_OV\_UV\_DIAG\_ENABLE

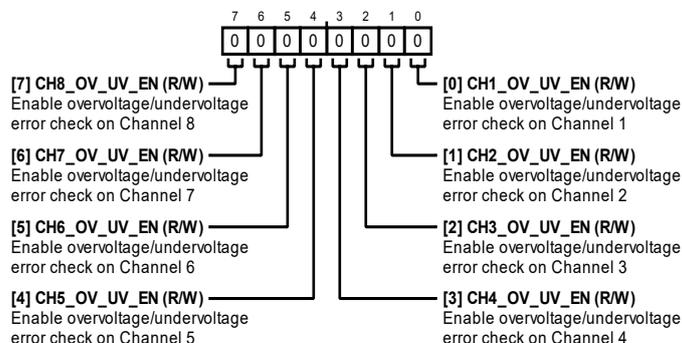


表 67. AIN\_OV\_UV\_DIAG\_ENABLE のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	CH8_OV_UV_EN	チャンネル8の過電圧/低電圧エラー・チェックを有効にします。	0x0	R/W
6	CH7_OV_UV_EN	チャンネル7の過電圧/低電圧エラー・チェックを有効にします。	0x0	R/W
5	CH6_OV_UV_EN	チャンネル6の過電圧/低電圧エラー・チェックを有効にします。	0x0	R/W
4	CH5_OV_UV_EN	チャンネル5の過電圧/低電圧エラー・チェックを有効にします。	0x0	R/W
3	CH4_OV_UV_EN	チャンネル4の過電圧/低電圧エラー・チェックを有効にします。	0x0	R/W
2	CH3_OV_UV_EN	チャンネル3の過電圧/低電圧エラー・チェックを有効にします。	0x0	R/W
1	CH2_OV_UV_EN	チャンネル2の過電圧/低電圧エラー・チェックを有効にします。	0x0	R/W
0	CH1_OV_UV_EN	チャンネル1の過電圧/低電圧エラー・チェックを有効にします。	0x0	R/W

アドレス：0x26、リセット：0x00、レジスタ名：AIN\_OV\_DIAG\_ERROR

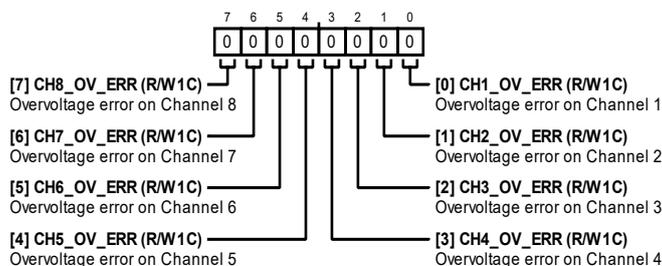


表 68. AIN\_OV\_DIAG\_ERROR のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	CH8_OV_ERR	チャンネル8の過電圧エラー。	0x0	R/W1C
6	CH7_OV_ERR	チャンネル7の過電圧エラー。	0x0	R/W1C
5	CH6_OV_ERR	チャンネル6の過電圧エラー。	0x0	R/W1C
4	CH5_OV_ERR	チャンネル5の過電圧エラー。	0x0	R/W1C
3	CH4_OV_ERR	チャンネル4の過電圧エラー。	0x0	R/W1C
2	CH3_OV_ERR	チャンネル3の過電圧エラー。	0x0	R/W1C
1	CH2_OV_ERR	チャンネル2の過電圧エラー。	0x0	R/W1C
0	CH1_OV_ERR	チャンネル1の過電圧エラー。	0x0	R/W1C

アドレス : 0x27、リセット : 0x00、レジスタ名 : AIN\_UV\_DIAG\_ERROR

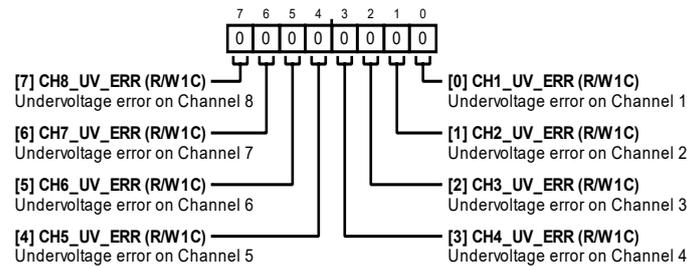


表 69. AIN\_UV\_DIAG\_ERROR のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	CH8_UV_ERR	チャンネル 8 の低電圧エラー。	0x0	R/W1C
6	CH7_UV_ERR	チャンネル 7 の低電圧エラー。	0x0	R/W1C
5	CH6_UV_ERR	チャンネル 6 の低電圧エラー。	0x0	R/W1C
4	CH5_UV_ERR	チャンネル 5 の低電圧エラー。	0x0	R/W1C
3	CH4_UV_ERR	チャンネル 4 の低電圧エラー。	0x0	R/W1C
2	CH3_UV_ERR	チャンネル 3 の低電圧エラー。	0x0	R/W1C
1	CH2_UV_ERR	チャンネル 2 の低電圧エラー。	0x0	R/W1C
0	CH1_UV_ERR	チャンネル 1 の低電圧エラー。	0x0	R/W1C

アドレス : 0x28、リセット : 0x00、レジスタ名 : DIAGNOSTIC\_MUX\_CH1\_2

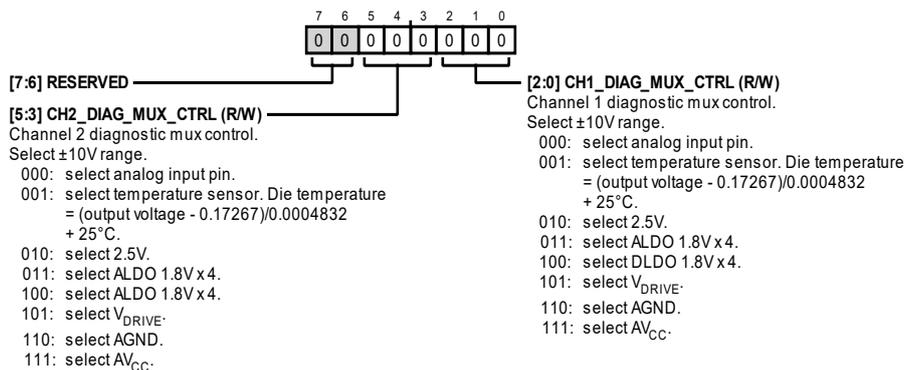


表 70. DIAGNOSTIC\_MUX\_CH1\_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備	0x0	R
[5:3]	CH2_DIAG_MUX_CTRL	チャンネル 2 の診断用マルチプレクサ制御。±10V レンジを選択。 000 : アナログ入力ピンを選択。 001 : 温度センサーを選択。ダイ温度 = (出力電圧 - 0.17267) / 0.0004832 + 25°C。 010 : 2.5V を選択。 011 : ALDO 1.8V × 4 を選択。 100 : ALDO 1.8V × 4 を選択。 101 : V <sub>DRIVE</sub> を選択。 110 : AGND を選択。 111 : AV <sub>CC</sub> を選択。	0x0	R/W
[2:0]	CH1_DIAG_MUX_CTRL	チャンネル 1 の診断用マルチプレクサ制御。±10V レンジを選択。 000 : アナログ入力ピンを選択。 001 : 温度センサーを選択。ダイ温度 = (出力電圧 - 0.17267) / 0.0004832 + 25°C。 010 : 2.5V を選択。 011 : ALDO 1.8V × 4 を選択。 100 : DLDO 1.8V × 4 を選択。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
		101 : V <sub>DRIVE</sub> を選択。 110 : AGND を選択。 111 : AV <sub>CC</sub> を選択。		

アドレス : 0x29、リセット : 0x00、レジスタ名 : DIAGNOSTIC\_MUX\_CH3\_4

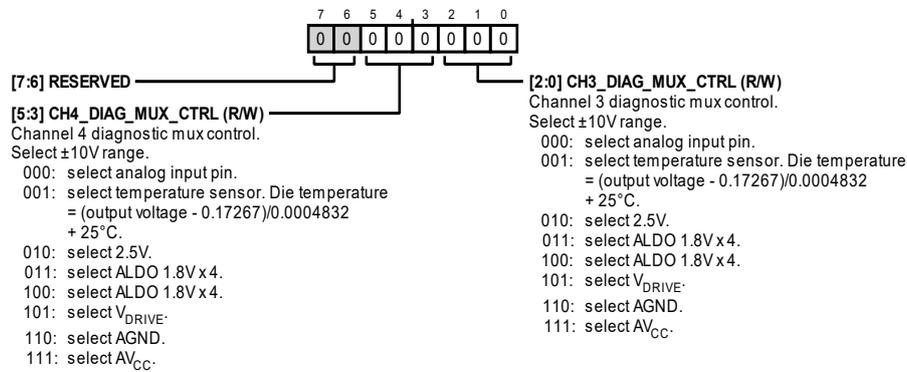


表 71. DIAGNOSTIC\_MUX\_CH3\_4 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備	0x0	R
[5:3]	CH4_DIAG_MUX_CTRL	チャンネル 4 の診断用マルチプレクサ制御。±10V レンジを選択。 000 : アナログ入力ピンを選択。 001 : 温度センサーを選択。ダイ温度 = (出力電圧 - 0.17267) / 0.0004832 + 25°C。 010 : 2.5V を選択。 011 : ALDO 1.8V × 4 を選択。 100 : ALDO 1.8V × 4 を選択。 101 : V <sub>DRIVE</sub> を選択。 110 : AGND を選択。 111 : AV <sub>CC</sub> を選択。	0x0	R/W
[2:0]	CH3_DIAG_MUX_CTRL	チャンネル 3 の診断用マルチプレクサ制御。±10V レンジを選択。 000 : アナログ入力ピンを選択。 001 : 温度センサーを選択。ダイ温度 = (出力電圧 - 0.17267) / 0.0004832 + 25°C。 010 : 2.5V を選択。 011 : ALDO 1.8V × 4 を選択。 100 : ALDO 1.8V × 4 を選択。 101 : V <sub>DRIVE</sub> を選択。 110 : AGND を選択。 111 : AV <sub>CC</sub> を選択。	0x0	R/W

アドレス : 0x2A、リセット : 0x00、レジスタ名 : DIAGNOSTIC\_MUX\_CH5\_6

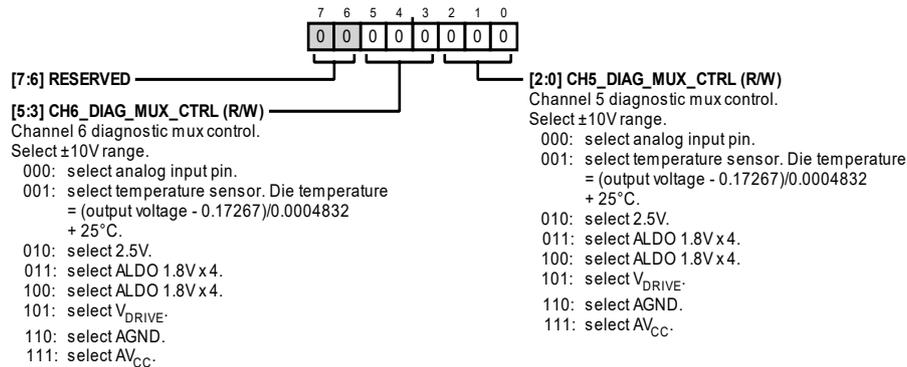


表 72. DIAGNOSTIC\_MUX\_CH5\_6 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備	0x0	R
[5:3]	CH6_DIAG_MUX_CTRL	チャンネル 6 の診断用マルチプレクサ制御。±10V レンジを選択。 000 : アナログ入力ピンを選択。 001 : 温度センサーを選択。ダイ温度 = (出力電圧 - 0.17267) / 0.0004832 + 25°C。 010 : 2.5V を選択。 011 : ALDO 1.8V × 4 を選択。 100 : ALDO 1.8V × 4 を選択。 101 : V <sub>DRIVE</sub> を選択。 110 : AGND を選択。 111 : AV <sub>CC</sub> を選択。	0x0	R/W
[2:0]	CH5_DIAG_MUX_CTRL	チャンネル 5 の診断用マルチプレクサ制御。±10V レンジを選択。 000 : アナログ入力ピンを選択。 001 : 温度センサーを選択。ダイ温度 = (出力電圧 - 0.17267) / 0.0004832 + 25°C。 010 : 2.5V を選択。 011 : ALDO 1.8V × 4 を選択。 100 : ALDO 1.8V × 4 を選択。 101 : V <sub>DRIVE</sub> を選択。 110 : AGND を選択。 111 : AV <sub>CC</sub> を選択。	0x0	R/W

アドレス : 0x2B、リセット : 0x00、レジスタ名 : DIAGNOSTIC\_MUX\_CH7\_8

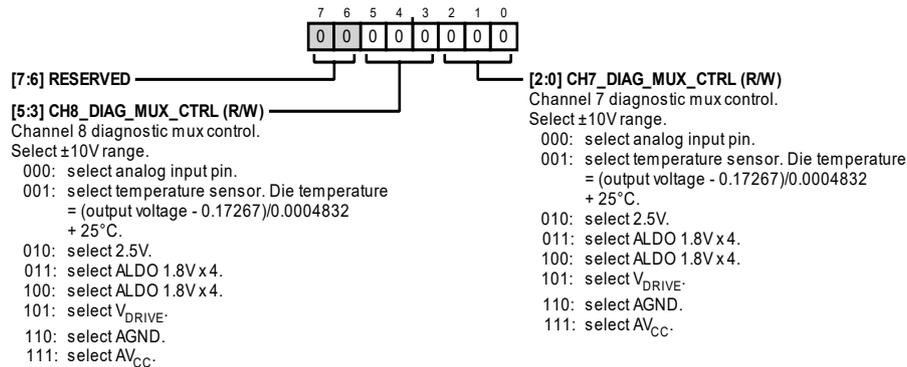


表 73. DIAGNOSTIC\_MUX\_CH7\_8 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備	0x0	R
[5:3]	CH8_DIAG_MUX_CTRL	チャンネル 8 の診断用マルチプレクサ制御。±10V レンジを選択。 000 : アナログ入力ピンを選択。 001 : 温度センサーを選択。ダイ温度 = (出力電圧 - 0.17267) / 0.0004832 + 25°C。 010 : 2.5V を選択。 011 : ALDO 1.8V × 4 を選択。 100 : ALDO 1.8V × 4 を選択。 101 : V <sub>DRIVE</sub> を選択。 110 : AGND を選択。 111 : AV <sub>CC</sub> を選択。	0x0	R/W
[2:0]	CH7_DIAG_MUX_CTRL	チャンネル 7 の診断用マルチプレクサ制御。±10V レンジを選択。 000 : アナログ入力ピンを選択。 001 : 温度センサーを選択。ダイ温度 = (出力電圧 - 0.17267) / 0.0004832 + 25°C。 010 : 2.5V を選択。 011 : ALDO 1.8V × 4 を選択。 100 : ALDO 1.8V × 4 を選択。 101 : V <sub>DRIVE</sub> を選択。 110 : AGND を選択。 111 : AV <sub>CC</sub> を選択。	0x0	R/W

アドレス : 0x2C、リセット : 0x00、レジスタ名 : OPEN\_DETECT\_QUEUE

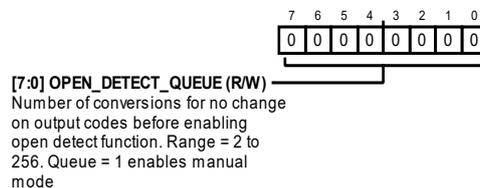
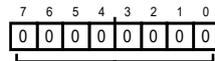


表 74. OPEN\_DETECT\_QUEUE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	OPEN_DETECT_QUEUE	オープン検出機能を有効化するまでの同一出力コード変換（出力コードが変わらない変換）の回数。範囲 = 2~256。キュー = 1 で手動モードを有効化。	0x0	R/W

アドレス：0x2D、リセット：0x00、レジスタ名：FS\_CLK\_COUNTER

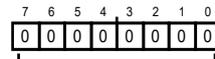


**[7:0] CLK\_FS\_COUNTER (R)**  
Determine the frequency of the FS clock oscillator. Counter is incremented at 16 M/64.

表 75. FS\_CLK\_COUNTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CLK_FS_COUNTER	FS クロック発振器の周波数を決定します。カウンタは 16M/64 でインクリメントされます。	0x0	R

アドレス：0x2E、リセット：0x00、レジスタ名：OS\_CLK\_COUNTER

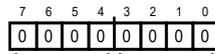


**[7:0] CLK\_OS\_COUNTER (R)**  
Determine the frequency of the OS clock oscillator. Counter resolution = 200 kHz.

表 76. OS\_CLK\_COUNTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CLK_OS_COUNTER	OS クロック発振器の周波数を決定します。カウンタ分解能 = 200kHz	0x0	R

アドレス：0x2F、リセット：0x14、レジスタ名：ID



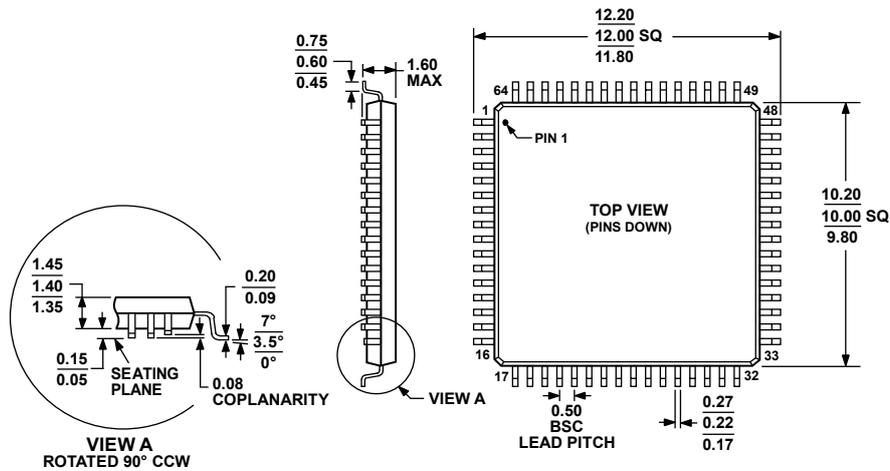
**[7:4] DEVICE\_ID (R)**  
Generic  
0000: reserved.  
0001: AD7606B Generic.

**[3:0] SILICON\_REVISION (R)**  
Silicon revision

表 77. ID のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	DEVICE_ID	ジェネリック ID。 0000：予備 0001：AD7606B のジェネリック ID。	0x1	R
[3:0]	SILICON_REVISION	シリコン・リビジョン。	0x4	R

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

図 88. 64 ピン低プロファイルのクワッド・フラット・パッケージ [LQFP]  
(ST-64-2)  
寸法 : mm

051706-A

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
AD7606BBSTZ	-40°C to +125°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7606BBSTZ-RL	-40°C to +125°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
EVAL-AD7606BFMCZ		Evaluation Board for the AD7606B	
EVAL-SDP-CH1Z		Evaluation Controller Board	

<sup>1</sup> Z = RoHS 準拠製品