



**ANALOG
DEVICES**

8ピンSOT-23パッケージ、 1MSPSの疑似差動10/12ビットADC

AD7441/AD7451

特長

高速スループット・レート：1MSPS

2.7~5.25Vの V_{DD} 仕様

最大スループット・レートで低消費電力：

$V_{DD}=3V$ 、1MSPSで4mW (max)

$V_{DD}=5V$ 、1MSPSで9.25mW (max)

疑似差動アナログ入力

広い入力帯域幅：

入力周波数100kHzで70dB SINAD

フレキシブルなパワー/シリアル・クロック速度マネジメント

パイプライン遅延なし

高速シリアル・インターフェース：

SPI®/QSPI™/MICROWIRE™/DSP互換

パワーダウン・モード：1 μ A (max)

8ピンSOT-23およびMSOPパッケージ

アプリケーション

トランスデューサ・インターフェース

バッテリー駆動のシステム

データ・アクイジション・システム

携帯型計装機器

モーター制御

機能ブロック図

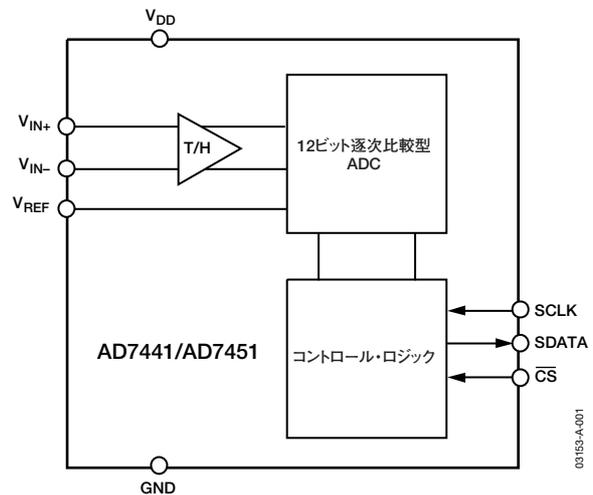


図1

概要

AD7441/AD7451¹⁾は、それぞれ10ビットと12ビットの高速、低消費電力の逐次比較型 (SAR) A/Dコンバータで、疑似差動アナログ入力を備えています。これらのデバイスは、2.7~5.25Vの単電源で動作し、1MSPSまでのスループット・レートが可能です。

内蔵するローノイズ、広帯域幅の差動トラック・アンド・ホールド・アンプ (T/H) は、3.5MHzまでの入力周波数を扱うことができます。AD7441/AD7451のリファレンス電圧は、外部から V_{REF} ピンに印可し、電源とアプリケーションに応じて100mV~3.5Vの範囲があります。

変換プロセスとデータ・アクイジションを \overline{CS} とシリアル・クロックによって制御するため、マイクロプロセッサやDSPにデバイスを接続することができます。 \overline{CS} の立ち下がりがエッジで入力信号をサンプリングし、変換もこの時点で開始します。

SARアーキテクチャを採用しているため、パイプライン遅延はありません。

¹⁾ 米国特許番号6,681,332によって保護されています。

製品のハイライト

- 2.7~5.25V電源による動作
- 低消費電力で高スループット
3V電源の場合、1MSPSのスループット・レートで最大消費電力が4mWになります。
- 疑似差動アナログ入力
- フレキシブルなパワー/シリアル・クロック速度マネジメント
変換レートはシリアル・クロックによって決まります。このため、シリアル・クロック速度を上げて変換時間を短くすれば、消費電力を低減することができます。低いスループット・レートで電力効率を高めるシャットダウン・モードも備えています。
- 電圧が可変のリファレンス入力
- パイプライン遅延なし
- \overline{CS} 入力とワンショット変換制御により、サンプリング・タイミングを正確に制御
- 500mVリファレンス電圧で、ENOB>10ビット (typ)

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2004 Analog Devices, Inc. All rights reserved.

REV. A

アナログ・デバイス株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868 (代)

AD7441/AD7451

目次

AD7451 —仕様	3	リファレンス部	15
AD7441 —仕様	5	シリアル・インターフェース	16
タイミング仕様	7	動作モード	18
絶対最大定格	8	ノーマル・モード	18
ESDに関する注意	8	パワーダウン・モード	18
ピン配置および機能の説明	9	消費電力とスループット・レートの関係	20
用語集	10	マイクロプロセッサとDSPとのインターフェース	20
代表的な性能特性	11	グラウンディングとレイアウト	22
回路情報	13	AD7441/AD7451の性能評価	22
コンバータ動作	13	外形寸法	23
ADC伝達関数	13	オーダー・ガイド	24
代表的な接続図	14		
アナログ入力	14		
デジタル入力	15		

REVISION HISTORY

2/04—Data Sheet changed from Rev. 0 to Rev. A

Updated format	Universal
Changes to General Description	1
Changes to Table 1 footnotes	4
Changes to Table 2 footnotes	6
Changes to Table 3 footnotes	7
Changes to Table 5	9
Updated Figures 7, 8, and 9	13
Changes to Figure 23	16
Changes to Reference section	17

AD7451 — 仕様

表1. 特に指定のない限り、 $V_{DD}=2.7\sim 5.25V$ 、 $f_{SCLK}=18MHz$ 、 $f_s=1MSPS$ 、 $V_{REF}=2.5V$ 、 $T_A=T_{MIN}\sim T_{MAX}$ 。A、Bグレードの温度範囲： $-40\sim +85^\circ C$

パラメータ	テスト条件/備考	Aバージョン	Bバージョン	単位
動的性能	$f_{IN}=100kHz$			
S/N比 (SNR) ¹	$V_{DD}=2.7\sim 5.25V$	70	70	dB (min)
信号対 (ノイズ+歪み) 比 (SINAD) ¹	$V_{DD}=2.7\sim 3.6V$	69	69	dB (min)
全高調波歪み (THD) ¹	$V_{DD}=4.75\sim 5.25V$	70	70	dB (min)
	$V_{DD}=2.7\sim 3.6V$ 、 $-78dB$ (typ)	-73	-73	dB (max)
	$V_{DD}=4.75\sim 5.25V$ 、 $-80dB$ (typ)	-75	-75	dB (max)
ピーク高調波またはスプリアス・ノイズ ¹	$V_{DD}=2.7\sim 3.6V$ 、 $-80dB$ (typ)	-73	-73	dB (max)
	$V_{DD}=4.75\sim 5.25V$ 、 $-82dB$ (typ)	-75	-75	dB (max)
相互変調歪み (IMD) ¹	$f_a=90kHz$ 、 $f_b=110kHz$			
2次項		-80	-80	dB (typ)
3次項		-80	-80	dB (typ)
アパーチャ遅延 ¹		5	5	ns (typ)
アパーチャ・ジッター ¹		50	50	ps (typ)
フルパワー帯域幅 ^{1, 2}	@ -3dB	20	20	MHz (typ)
	@ -0.1dB	2.5	2.5	MHz (typ)
DC精度				
分解能		12	12	ビット
積分非直線性 (INL) ¹		± 1.5	± 1	LSB (max)
微分非直線性 (DNL) ¹	12ビットまでノー・ミスコード保証	± 0.95	± 0.95	LSB (max)
オフセット誤差 ¹		± 3.5	± 3.5	LSB (max)
ゲイン誤差 ¹		± 3	± 3	LSB (max)
アナログ入力				
フルスケール入力スパン	$V_{IN+}-V_{IN-}$	V_{REF}	V_{REF}	V
絶対入力電圧				
V_{IN+}		V_{REF}	V_{REF}	V
V_{IN-} ³	$V_{DD}=2.7\sim 3.6V$	$-0.1\sim +0.4$	$-0.1\sim +0.4$	V
	$V_{DD}=4.75\sim 5.25V$	$-0.1\sim +1.5$	$-0.1\sim +1.5$	V
DCリーク電流		± 1	± 1	μA (max)
入力容量	トラック/ホールド時	30/10	30/10	pF (typ)
リファレンス入力				
V_{REF} 入力電圧	仕様性能に対して許容偏差 $\pm 1\%$	2.5^4	2.5^4	V
DCリーク電流		± 1	± 1	μA (max)
V_{REF} 入力容量	トラック/ホールド時	10/30	10/30	pF (typ)
ロジック入力				
ハイレベル入力電圧、 V_{INH}		2.4	2.4	V (min)
ローレベル入力電圧、 V_{INL}		0.8	0.8	V (max)
入力電流、 I_{IN}	標準で10nA、 $V_{IN}=0V$ または V_{DD}	± 1	± 1	μA (max)
入力容量、 C_{IN} ⁵		10	10	pF (max)
ロジック出力				
ハイレベル出力電圧、 V_{OH}	$V_{DD}=4.75\sim 5.25V$ 、 $I_{SOURCE}=200\mu A$	2.8	2.8	V (min)
	$V_{DD}=2.7\sim 3.6V$ 、 $I_{SOURCE}=200\mu A$	2.4	2.4	V (min)
ローレベル出力電圧、 V_{OL}	$I_{SINK}=200\mu A$	0.4	0.4	V (max)
フローティング状態リーク電流		± 1	± 1	μA (max)
フローティング状態出力容量 ⁵		10	10	pF (max)
出力コーディング		ストレート・バイナリ		

AD7441/AD7451

パラメータ	テスト条件/備考	Aバージョン ¹	Bバージョン ¹	単位
変換レート				
変換時間	18MHz SCLKで888ns	16	16	SCLKサイクル
トラック・アンド・ホールド・	サイン波入力	250	250	ns (max)
アキュイジション時間 ¹	フルスケール・ステップ入力	290	290	ns (max)
スループット・レート		1	1	MSPS (max)
電源要求				
V _{DD}		2.7/5.25	2.7/5.25	V (min/max)
I _{DD} ^{6, 7}				
ノーマル・モード (静止時)	SCLK ONまたはOFF	0.5	0.5	mA (typ)
ノーマル・モード (動作時)	V _{DD} =4.75~5.25V	1.95	1.95	mA (max)
	V _{DD} =2.7~3.6V	1.45	1.45	mA (max)
フルパワーダウン・モード	SCLK ONまたはOFF	1	1	μA (max)
消費電力				
ノーマル・モード (動作時)	V _{DD} =5V; 100kSPSに対して	9.25	9.25	mW (max)
	1.55mW (typ) ⁶			
	V _{DD} =3V; 100kSPSに対して	4	4	mW (max)
	0.6mW (typ) ⁶			
フルパワーダウン・モード	V _{DD} =5V, SCLK ONまたはOFF	5	5	μW (max)
	V _{DD} =3V, SCLK ONまたはOFF	3	3	μW (max)

¹ 「用語集」を参照。

² アキュイジション時間中に27V/μsを超える(フルスケール入力サイン波>3.5MHz)スループットのアナログ入力があると、コンバータが正しくない結果を返すことがあります。

³ V_{IN+}に疑似グラウンドを提供するため、V_{IN-}に小さいDC入力を印加します。

⁴ AD7451は100mV~V_{DD}の範囲のリファレンス入力で機能します。

⁵ 特性評価により保証。

⁶ 「消費電力とスループット・レートの関係」を参照してください。

⁷ ミッドスケールのDC入力で測定。

AD7441 — 仕様

表2. 特に指定のない限り、 $V_{DD}=2.7\sim 5.25V$ 、 $f_{SCLK}=18MHz$ 、 $f_s=1MSPS$ 、 $V_{REF}=2.5V$ 、 $T_A=T_{MIN}\sim T_{MAX}$ 。Bバージョンの温度範囲： $-40\sim +85^\circ C$

パラメータ	テスト条件/備考	Bバージョン	単位
動的性能 信号対（ノイズ+歪み）比（SINAD） ¹ 全高調波歪み（THD） ¹ ピーク高調波またはスプリアス・ノイズ ¹ 相互変調歪み（IMD） ¹ 2次項 3次項 アバーチャ遅延 ¹ アバーチャ・ジッター ¹ フルパワー帯域幅 ^{1, 2}	$f_{IN}=100kHz$ $V_{DD}=2.7\sim 3.6V$ 、 $-77dB$ (typ) $V_{DD}=4.75\sim 5.25V$ 、 $-79dB$ (typ) $V_{DD}=2.7\sim 3.6V$ 、 $-80dB$ (typ) $V_{DD}=4.75\sim 5.25V$ 、 $-82dB$ (typ) $f_a=90kHz$ 、 $f_b=110kHz$ @ $-3dB$ @ $-0.1dB$	61 -72 -73 -72 -74 -80 -80 5 50 20 2.5	dB (min) dB (max) dB (max) dB (max) dB (max) dB (typ) dB (typ) ns (typ) ps (typ) MHz (typ) MHz (typ)
DC精度 分解能 積分非直線性（INL） ¹ 微分非直線性（DNL） ¹ オフセット誤差 ¹ ゲイン誤差 ¹	10ビットまでノー・ミスコード保証	10 ± 0.5 ± 0.5 ± 1 ± 1	ビット LSB (max) LSB (max) LSB (max) LSB (max)
アナログ入力 フルスケール入力スパン 絶対入力電圧 V_{IN+} V_{IN-} ³ DCリーク電流 入力容量	$V_{IN+}-V_{IN-}$ $V_{DD}=2.7\sim 3.6V$ $V_{DD}=4.75\sim 5.25V$ トラック/ホールド時	V_{REF} V_{REF} $-0.1\sim +0.4$ $-0.1\sim +1.5$ ± 1 30/10	V V V V μA (max) pF (typ)
リファレンス入力 V_{REF} 入力電圧 DCリーク電流 V_{REF} 入力容量	仕様性能に対して許容偏差 $\pm 1\%$ トラック/ホールド時	2.5 ⁴ ± 1 10/30	V μA (max) pF (typ)
ロジック入力 ハイレベル入力電圧、 V_{INH} ローレベル入力電圧、 V_{INL} 入力電流、 I_{IN} 入力容量、 C_{IN} ⁵	標準で $10nA$ 、 $V_{IN}=0V$ または V_{DD}	2.4 0.8 ± 1 10	V (min) V (max) μA (max) pF (max)
ロジック出力 ハイレベル出力電圧、 V_{OH} ローレベル出力電圧、 V_{OL} フローティング状態リーク電流 フローティング状態出力容量 ⁵ 出力コーディング	$V_{DD}=4.75\sim 5.25V$ 、 $I_{SOURCE}=200\mu A$ $V_{DD}=2.7\sim 3.6V$ 、 $I_{SOURCE}=200\mu A$ $I_{SINK}=200\mu A$	2.8 2.4 0.4 ± 1 10 ストレート・バイナリ	V (min) V (min) V (max) μA (max) pF (max)

AD7441/AD7451

パラメータ	テスト条件/備考	Bバージョン ¹	単位
変換レート			
変換時間	18MHz SCLKで888ns	16	SCLKサイクル
トラック・アンド・ホールド・	サイン波入力	250	ns (max)
アキュイジション時間 ¹	ステップ入力	290	ns (max)
スループット・レート		1	MSPS (max)
電源要求			
V_{DD}		2.7/5.25	V (min/max)
I_{DD} ^{6, 7}			
ノーマル・モード (静止時)	SCLK ONまたはOFF	0.5	mA (typ)
ノーマル・モード (動作時)	$V_{DD}=4.75\sim 5.25V$	1.95	mA (max)
	$V_{DD}=2.7\sim 3.6V$	1.25	mA (max)
フルパワーダウン・モード	SCLK ONまたはOFF	1	μA (max)
消費電力			
ノーマル・モード (動作時)	$V_{DD}=5V$; 100kSPSに対して	9.25	mW (max)
	1.55mW (typ) ⁶		
	$V_{DD}=3V$; 100kSPSに対して	4	mW (max)
	0.6mW (typ)		
フルパワーダウン・モード	$V_{DD}=5V$, SCLK ONまたはOFF	5	μW (max)
	$V_{DD}=3V$, SCLK ONまたはOFF	3	μW (max)

¹ 「用語集」を参照。

² アキュイジション時間中に27V/ μs を超える (フルスケール入力サイン波>3.5MHz) スループットのアナログ入力があると、コンバータが正しくない結果を返すことがあります。

³ V_{IN+} に疑似グラウンドを提供するため、 V_{IN-} に小さいDC入力を印加します。

⁴ AD7441は100mV $\sim V_{DD}$ の範囲のリファレンス入力で機能します。

⁵ 特性評価により保証。

⁶ 「消費電力とスループット・レートの関係」を参照してください。

⁷ ミッドスケールのDC入力での測定。

タイミング仕様

特性評価により保証。すべての入力信号は、 $t_r=t_f=5\text{ns}$ (V_{DD} の10~90%) で規定され、1.6Vの電圧レベルからタイミングをとります。図2、図3、および「シリアル・インターフェース」を参照。

表3. 特に指定のない限り、 $V_{DD}=2.7\sim 5.25\text{V}$ 、 $f_{SCLK}=18\text{MHz}$ 、 $f_s=1\text{MSPS}$ 、 $V_{REF}=2.5\text{V}$ 、 $T_A=T_{MIN}\sim T_{MAX}$

パラメータ	T_{MIN} 、 T_{MAX} での限界値	単位	説明
f_{SCLK}^1	10 18	kHz (min) MHz (max)	$t_{SCLK} = 1/f_{SCLK}$
$t_{CONVERT}$	$16 \times t_{SCLK}$ 888	ns (max)	
t_{QUIET}	60	ns (min)	シリアル読み出し完了と \overline{CS} の次の立ち下がりエッジとの間の最小静止時間
t_1	10	ns (min)	最小 \overline{CS} パルス幅
t_2	10	ns (min)	\overline{CS} の立ち下がりエッジからSCLKの立ち下がりエッジまでのセットアップ・タイム
t_3^2	20	ns (max)	\overline{CS} の立ち下がりエッジからSDATAスリーステート・ディセーブルまでの遅延
t_4^2	40	ns (max)	SCLK立ち下がりエッジからのデータ・アクセス時間
t_5	$0.4 t_{SCLK}$	ns (min)	SCLKハイレベル・パルス幅
t_6	$0.4 t_{SCLK}$	ns (min)	SCLKローレベル・パルス幅
t_7	10	ns (min)	SCLKエッジからデータ有効までのホールド・タイム
t_8^3	10	ns (min)	SCLK立ち下がりエッジからSDATAスリーステート・イネーブルまで
	35	ns (max)	SCLK立ち下がりエッジからSDATAスリーステート・イネーブルまで
$t_{POWER-UP}^4$	1	μs (max)	フルパワーダウンからのパワーアップ時間

¹ SCLK入力のマーク/スペース比は40/60~60/40。

² 図4の負荷回路で測定。 $V_{DD}=5\text{V}$ のとき出力が0.8Vまたは2.4Vを超えるまでに必要な時間で、 $V_{DD}=3\text{V}$ のときは出力が0.4Vまたは2.0Vを超えるまでに必要な時間です。

³ t_8 は、図4の回路に負荷を与えたとき、データ出力が0.5V変化するために要する時間を測定して得られます。測定した数値を外挿して、25pFコンデンサの充/放電による影響を除去します。つまり、タイミング特性で示される時間 t_8 は、デバイスの真のバス開放時間であり、バス負荷に左右されません。

⁴ 「パワーアップ時間」を参照。

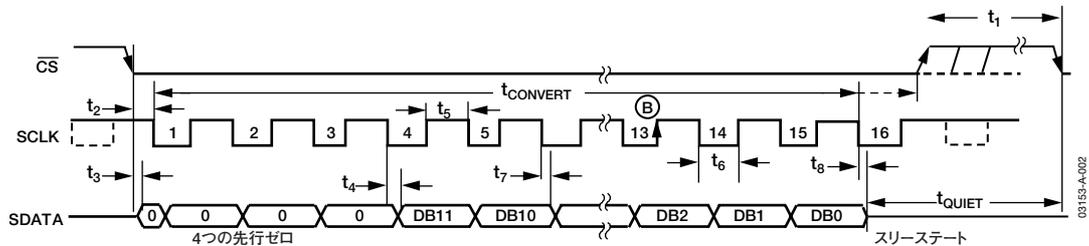


図2. AD7451シリアル・インターフェースのタイミング図

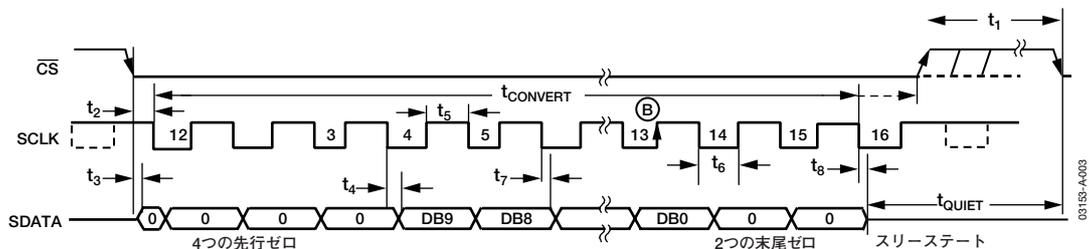


図3. AD7441シリアル・インターフェースのタイミング図

AD7441/AD7451

絶対最大定格

下記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上のデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表4. 特に指定のない限り、 $T_A=25^\circ\text{C}$

パラメータ	定格
GNDに対する V_{DD}	$-0.3 \sim +7\text{V}$
GNDに対する V_{IN+}	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
GNDに対する V_{IN-}	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
GNDに対するデジタル入力電圧	$-0.3 \sim +7\text{V}$
GNDに対するデジタル出力電圧	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
GNDに対する V_{REF}	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
電源以外のピンへの入力電流 ¹	$\pm 10\text{mA}$
動作温度範囲	
コマーシャル (A、Bバージョン)	$-40 \sim +85^\circ\text{C}$
保存温度範囲	$-65 \sim +150^\circ\text{C}$
ジャンクション温度	150°C
θ_{JA} 熱抵抗	$205.9^\circ\text{C}/\text{W}$ (MSOP) $211.5^\circ\text{C}/\text{W}$ (SOT-23)
θ_{JC} 熱抵抗	$43.74^\circ\text{C}/\text{W}$ (MSOP) $91.99^\circ\text{C}/\text{W}$ (SOT-23)
ピン温度、ハンダ処理	
ベーキング時間 (60秒)	215°C
赤外線 (15秒)	220°C
ESD	1kV

¹ 100mAまでの過渡電流では、SCRラッチアップは発生しません。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

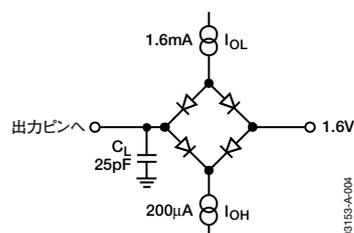


図4. デジタル出力タイミング仕様の負荷回路



ピン配置および機能の説明



図5. 8ピンSOT-23



図6. 8ピンMSOP

表5. ピン機能の説明

記号	機能
V_{REF}	AD7441/AD7451のリファレンス入力。この入力に100mV～ V_{DD} の範囲の外部リファレンスを接続する必要があります。仕様規定されているリファレンス入力は2.5Vです。このピンは、少なくとも0.1 μ FのコンデンサでGNDにデカップリングしてください。
V_{IN+}	非反転アナログ入力
V_{IN-}	反転入力。このピンで、 V_{IN+} 入力のグラウンド・リファレンス・ポイントを設定します。グラウンドに接続するか、DCオフセットに接続して疑似グラウンドを得ます。
GND	アナログ・グラウンド。AD7441/AD7451の全回路のグラウンド・リファレンス・ポイント。すべてのアナログ入力信号と外部リファレンス信号の基準はこのGND電圧にしてください。
\overline{CS}	チップ・セレクト。アクティブ・ローのロジック入力。この入力には、AD7441/AD7451の変換開始とシリアル・データの転送制御という2つの機能があります。
SDATA	シリアル・データ。ロジック出力。AD7441/AD7451からの変換結果がシリアル・データ・ストリームとしてこの出力から得られます。SCLK入力の立ち下がりエッジで、ビットをクロック出力します。AD7451のデータ・ストリームは、4つの先行ゼロと、それに続く12ビットの変換データ（MSBファースト）で構成されます。AD7441のデータ・ストリームは、4つの先行ゼロ、10ビットの変換データ、2つの末尾ゼロで構成されます。いずれの場合も、出力コーディングは、ストレート（自然）バイナリです。
SCLK	シリアル・クロック。ロジック入力。SCLKは、AD7441/AD7451からのデータにアクセスするためのシリアル・クロックを提供します。変換プロセスのクロック源にもなります。
V_{DD}	電源入力。 V_{DD} は2.7～5.25Vです。この電源は、0.1 μ Fコンデンサと10 μ Fタンタル・コンデンサによってGNDにデカップリングしてください。

AD7441/AD7451

用語集

信号対（ノイズ+歪み）比

A/Dコンバータ出力で測定した信号対（ノイズ+歪み）比です。信号は基本波のrms振幅で、ノイズは1/2サンプリング周波数 ($f_s/2$) までのすべての非基本波信号の和になります（DCを除く）。信号対（ノイズ+歪み）比はデジタル化プロセスの量子化レベル数に依存し、レベル数が多いほど、量子化ノイズが小さくなります。サイン波を入力した場合の理想のNビット・コンバータでの信号対（ノイズ+歪み）比の理論値は、次式で得られます。

$$\text{信号対（ノイズ+歪み）比} = (6.02N + 1.76) \text{dB}$$

これによると、12ビット・コンバータでは74dB、10ビット・コンバータで62dBになります。

全高調波歪み（THD）

全高調波歪みは、高調波のrms値総和と基本波の比です。AD7441/AD7451の場合、次のようになります。

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波のrms振幅、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は2次～6次高調波のrms振幅です。

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、ADC出力スペクトル内の2番目に大きい成分のrms値（DCを除き、 $f_s/2$ まで）の基本波rms値に対する比です。通常、この仕様値はスペクトル内の最大の高調波によって決まりますが、高調波がノイズ・フロアに埋め込まれているADCの場合には、ノイズ・ピークになります。

相互変調歪み

非線形性のアクティブ・デバイスに2つの周波数 f_a および f_b のサイン波を入力すると、和および差の周波数 $m f_a \pm n f_b$ （ m および n は、0、1、2、3など）で歪み成分が発生します。相互変調歪み項とは、この m と n が非ゼロの項をいいます。たとえば、2次項には $(f_a + f_b)$ と $(f_a - f_b)$ があり、3次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ があります。

AD7441/AD7451は、入力帯域幅の上限に近い2つの入力周波数を使うCCIF標準でテストされています。この場合、通常、2次項は元のサイン波の周波数から離れ、3次項は入力周波数に近い周波数になります。このため、2次項と3次項は別々の仕様になります。相互変調歪みの計算は、THDの仕様に従い、基本波の和のrms振幅に対する個々の歪み成分のrms総和の比になり、dBで表します。

アパーチャ遅延

サンプリング・クロックの立ち上がりエッジから、ADCが実際にサンプルを行うまでに要する時間です。

アパーチャ・ジッター

実際にサンプル取得が行われる有効時点についてのサンプルごとの変動です。

フルパワー帯域幅

ADCのフルパワー帯域幅とは、再構成された基本波の振幅がフルスケール入力に対して0.1dBまたは3dB低下する入力周波数です。

積分非直線性（INL）

ADC伝達関数の両端を結ぶ直線からの最大偏差です。

微分非直線性（DNL）

ADCの2つの隣接コード間における1LSB変化の測定値と理想値の差です。

オフセット誤差

理想の遷移（AGND+1LSB）に対する最初のコード遷移（000...000から000...001）の偏差です。

ゲイン誤差

オフセット誤差を調整した後の、理想の遷移（ $V_{REF} - 1\text{LSB}$ ）に対する最後のコード遷移（111...110から111...111）の偏差です。

トラック・アンド・ホールド・アクイジション時間

トラック・アンド・ホールド・アンプがトラック・モードにとどまり、トラック・アンド・ホールド・アンプの出力が、印加された入力信号の0.5LSB以内に達して整定するまでに必要とする最小時間です。

電源除去比（PSRR）

電源除去比とは、フルスケール周波数 f でのADC出力の電力と、周波数 f_s のADC V_{DD} 電源に加えられる100mVp-pサイン波の電力との比です。この入力の周波数は、1kHz～1MHzの範囲で変動します。

$$\text{PSRR(dB)} = 10 \log(P_f/P_{f_s})$$

P_f はADC出力における周波数 f での電力で、 P_{f_s} はADC出力における周波数 f_s での電力です。

代表的な性能特性

デフォルト状態：特に指定のない限り、 $T_A=25^\circ\text{C}$ 、 $f_S=1\text{MSPS}$ 、 $f_{\text{SCLK}}=18\text{MHz}$ 、 $V_{\text{DD}}=2.7\sim 5.25\text{V}$ 、 $V_{\text{REF}}=2.5\text{V}$

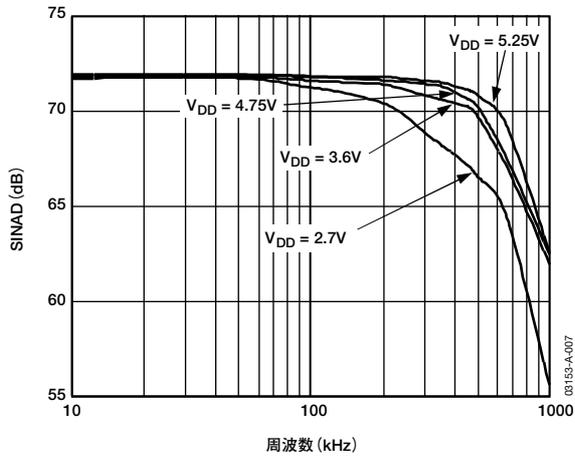


図7. さまざまな電源電圧に対するAD7451の SINAD 対 アナログ入力周波数

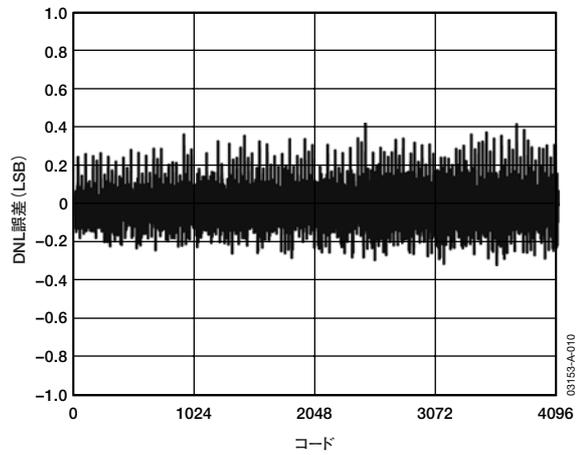


図10. $V_{\text{DD}}=5\text{V}$ でのAD7451の代表的なDNL

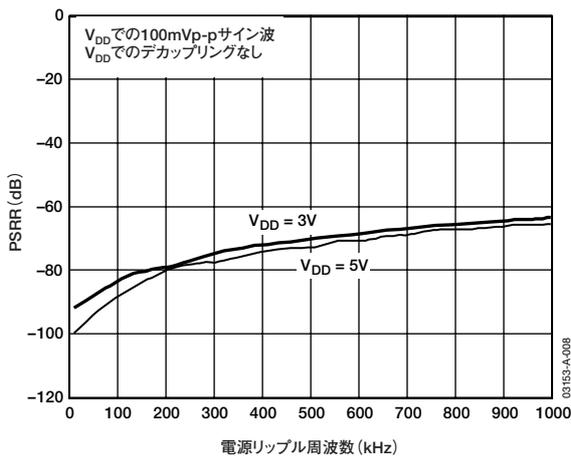


図8. PSRR 対 電源デカップリングなしの電源リップル周波数

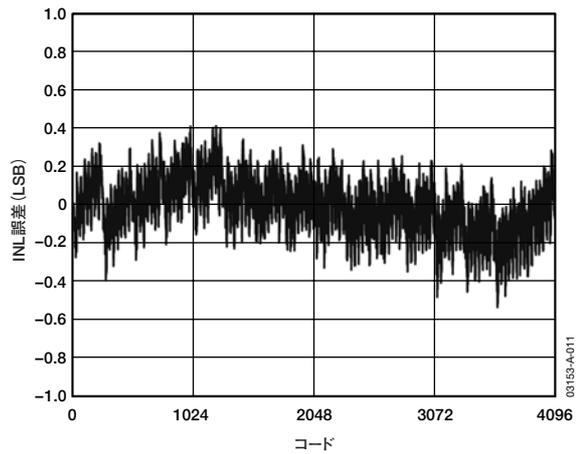


図11. $V_{\text{DD}}=5\text{V}$ でのAD7451の代表的なINL

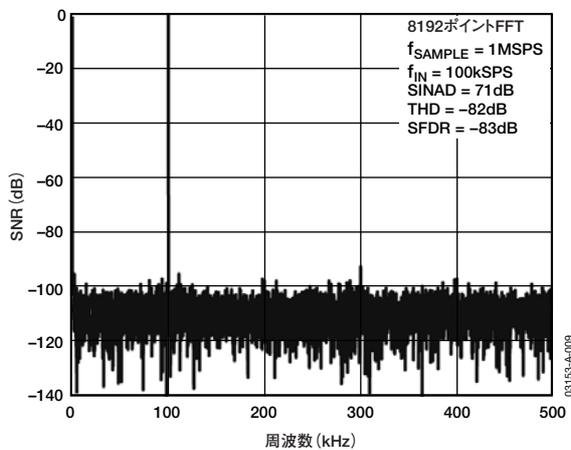


図9. $V_{\text{DD}}=5\text{V}$ でのAD7451の動的性能

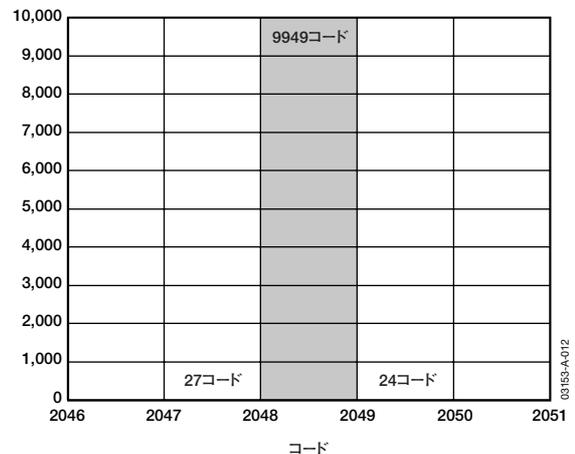


図12. DC入力を10,000回変換した場合のAD7451のヒストグラム

AD7441/AD7451

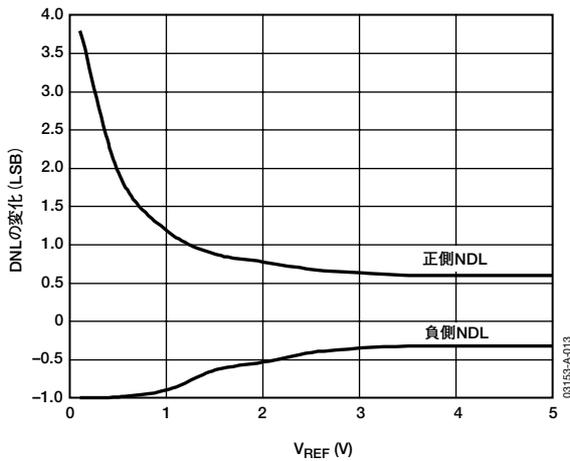


図13. $V_{DD}=5V$ でのDNLの変化 対 V_{REF}

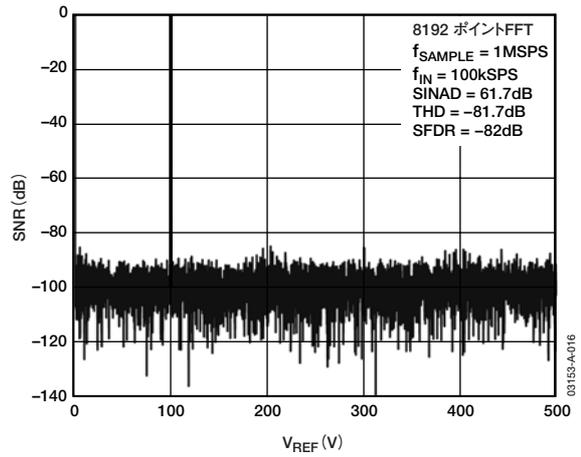


図16. AD7441の動的性能

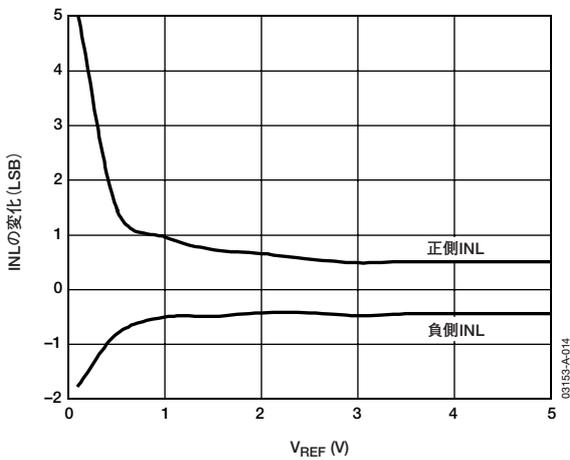


図14. $V_{DD}=5V$ でのINLの変化 対 V_{REF}

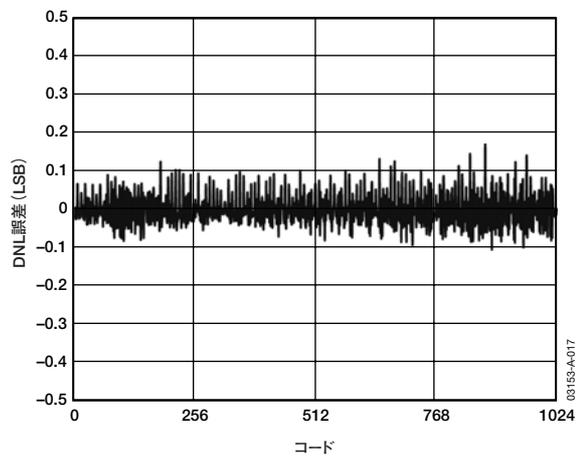


図17. AD7441の代表的なDNL

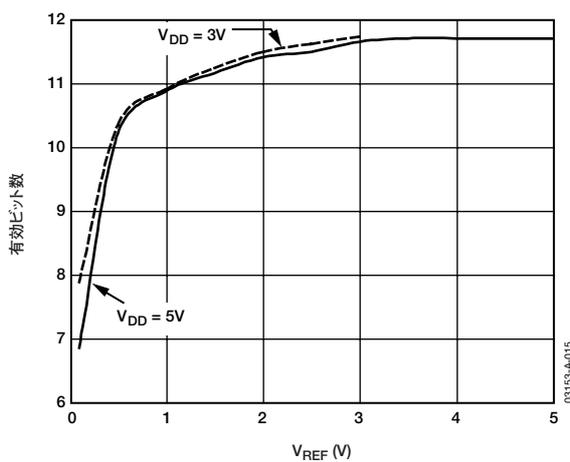


図15. $V_{DD}=5V$ 、 $3V$ での有効ビット数 (ENOB) 対 V_{REF}

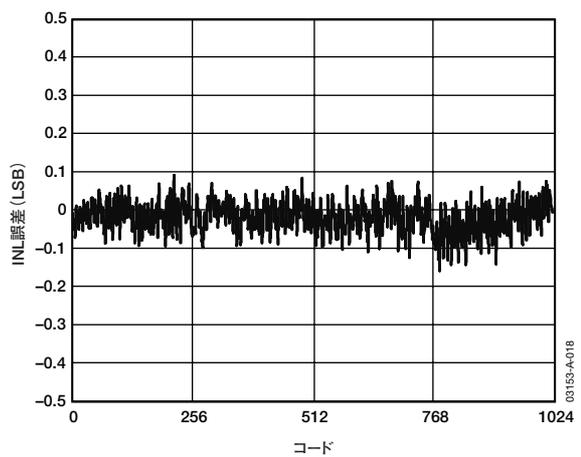


図18. AD7441の代表的なINL

回路情報

AD7441/AD7451は、低消費電力、単電源、10ビットおよび12ビットの逐次比較型A/Dコンバータ（ADC）で、疑似差動アナログ入力を備えています。2.7～5.25Vの単電源で動作し、18MHzのSCLKを供給すれば1MSPSまでのスループット・レートが可能です。 V_{REF} ピンに外部リファレンスを入力する必要があります。

AD7441/AD7451は、オンチップ差動トラック・アンド・ホールド・アンプ、逐次比較型（SAR）ADC、シリアル・インターフェースを8ピンSOT-23または8ピンMSOPパッケージに搭載しています。シリアル・クロック入力でデバイスからのデータにアクセスし、逐次比較型ADCにクロック源を提供します。AD7441/AD7451には、変換と変換の間に消費電力を低減するパワーダウン・オプションがあります。「動作モード」で説明しますが、このパワーダウン機能は標準のシリアル・インターフェースから実行します。

コンバータ動作

AD7441/AD7451は、2つの容量性DACをベースにした逐次比較型ADCです。図19と図20に、アキュイジション・フェーズと変換フェーズのADCの簡略回路図を示します。ADCは、コントロール・ロジック、SAR、2つの容量性DACで構成されています。図19（アキュイジション・フェーズ）では、SW3が閉じ、SW1とSW2がポジションA、コンパレータが平衡状態にあり、サンプリング・コンデンサ・アレイが入力の差動信号を取得します。

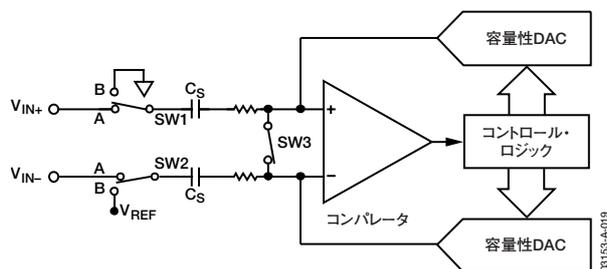


図19. ADCのアキュイジション・フェーズ

ADCが変換を開始すると（図20）、SW3が開き、SW1とSW2がポジションBに移動するため、コンパレータが不平衡状態になります。変換が始まると、2つの入力が切り離されます。コントロール・ロジックと電荷再配分式DACを使用し、サンプリング・コンデンサ・アレイに対して一定量の電荷を加算/減算することで、コンパレータを平衡状態に戻します。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは、ADCの出力コードを生成します。 V_{IN+} ピンと V_{IN-} ピンを駆動するソースの出力インピーダンスは一致しなければなりません。これが一致しないと、2つの入力で異なるセトリング・タイムになり、誤差が生じます。

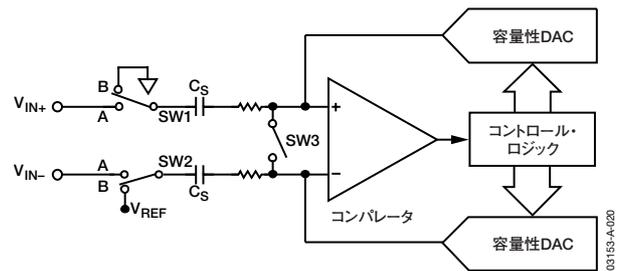


図20. ADCの変換フェーズ

ADC伝達関数

AD7441/AD7451の出力コーディングはストレート（自然）バイナリです。設計されたコード遷移は連続したLSB値（1LSB、2LSB…と続く）で発生します。AD7451のLSBサイズは $V_{REF}/4096$ 、AD7441のLSBサイズは $V_{REF}/1024$ です。図21に、AD7441/AD7451の理想的な伝達特性を示します。

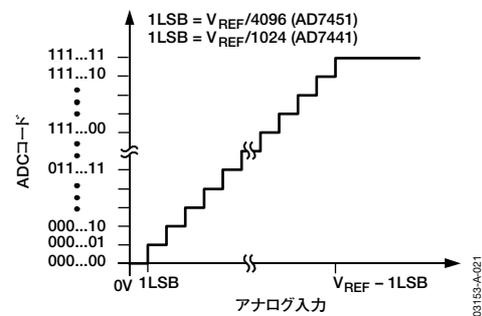


図21. AD7441/AD7451の理想的な伝達特性

AD7441/AD7451

代表的な接続図

図22に、AD7441/AD7451の代表的な接続図を示します。この設定では、GNDピンがシステムのアナログ・グラウンド・プレーンに接続されています。V_{REF}ピンは2.5Vのデカップリングされたリファレンス源であるAD780に接続され、信号源はユニティ・ゲイン・バッファを介してV_{IN+}アナログ入力に接続されています。DC電圧はV_{IN-}ピンに接続され、V_{IN+}入力に対する疑似グラウンドを提供します。V_{DD}ピンは、0.1μFタンタル・コンデンサと並列接続した1μFタンタル・コンデンサによって、AGNDにデカップリングしてください。リファレンス・ピンは、0.1μF以上のコンデンサによってAGNDにデカップリングしてください。変換結果は16ビット・ワードで出力されます（4つの先行ゼロの後に12ビットまたは10ビット結果のMSBが続きます）。AD7441の10ビット結果の後には、2つの末尾ゼロが続きます。

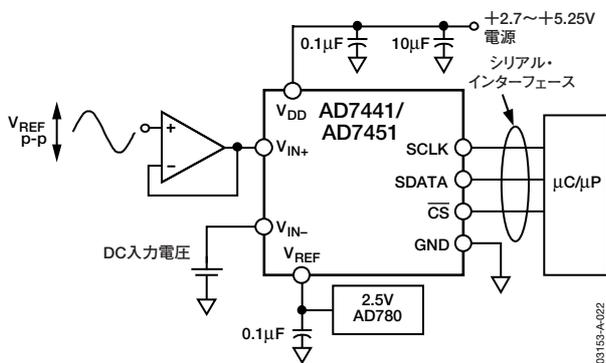


図22. 代表的な接続図

アナログ入力

AD7441/AD7451には疑似差動アナログ入力があります。V_{IN+}入力を信号源に結合し、V_{REF}p-pの振幅があればデバイスのフル・ダイナミック・レンジが得られます。DC入力はV_{IN-}に接続します。この入力に印加された電圧が、V_{IN+}入力にグラウンドまたは疑似グラウンドからのオフセットを提供します。疑似差動入力の主なメリットは、アナログ入力信号のグラウンドをADCのグラウンドから分離することです。これによって、DCコモン・モード電圧をキャンセルできるようになります。

ADCが単電源で動作するため、グラウンド・ベースのバイポーラ信号を入力条件に合わせてレベル・シフトする必要があります。オペアンプ（AD8021など）の構成によって、AD7441/AD7451の入力レンジに対応するようにグラウンド・ベースの信号（バイポーラ）をスケールおよびレベル・シフトできます。図23を参照してください。

変換が行われるとき、疑似グラウンドが0に対応し、最大アナログ入力はAD7451が4096、AD7441が1024に対応します。

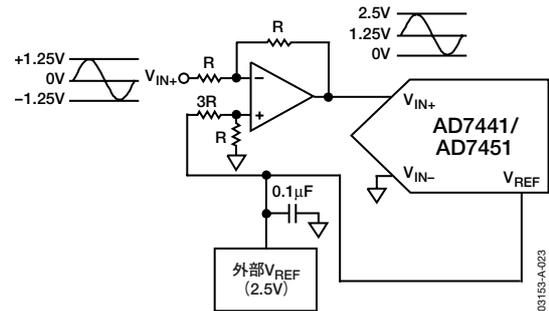


図23. バイポーラ入力信号をレベル・シフトするためのオペアンプ構成

アナログ入力構造

図24に、AD7441/AD7451のアナログ入力構造の等価回路を示します。4個のダイオードが、アナログ入力に対するESD保護機能を提供します。アナログ入力信号が電源レールより300mV以上高くないように注意してください。この値を超えると、これらのダイオードが順方向にバイアスされて、サブストレートに電流が流れるようになります。ダイオードがデバイスに修復不可能な損傷を与えずに許容できる最大電流は10mAです。図24のコンデンサC1は標準で4pFで、主にピン容量に起因します。抵抗は、スイッチのオン抵抗で構成される集中成分です。これらの抵抗の値は、標準で約100Ωです。コンデンサC2は、ADCのサンプリング・コンデンサで、標準で16pFの容量があります。

ACアプリケーションの場合は、該当するアナログ入力ピンにRCローパス・フィルタを使用して、アナログ入力信号から高周波成分を除去することを推奨します。高調波歪みと信号対ノイズ比が重要なアプリケーションでは、アナログ入力を低インピーダンス・ソースから駆動してください。ソース・インピーダンスが大きいと、ADCのAC性能が大きく影響されます。このため、入力バッファ・アンプが必要になることもあります。オペアンプの選択は、アプリケーションによって異なります。

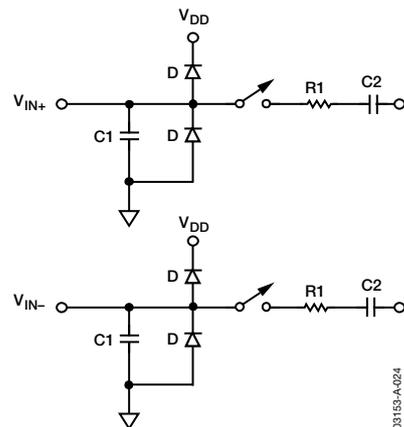


図24. 等価なアナログ入力回路。変換フェーズ—スイッチ開、トラック・フェーズ—スイッチ閉

アンプを使わないでアナログ入力を駆動するときは、ソース・インピーダンスを低い値にする必要があります。最大ソース・インピーダンスは、許容可能な全高調波歪み（THD）の大きさに依存します。ソース・インピーダンスが増加するとTHDが大きくなり、性能が低下します。図25に、さまざまなソース・インピーダンスでの全高調波歪みとアナログ入力信号周波数の関係を示します。

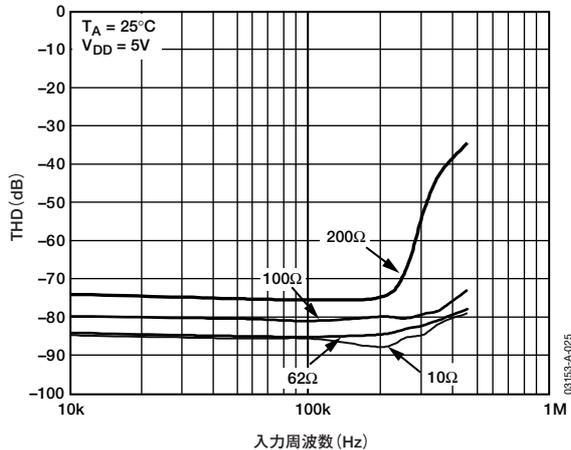


図25. さまざまなソース・インピーダンスでの全高調波歪み（THD）対アナログ入力周波数

図26に、18MHzのSCLKによって1MSPSでサンプリングするときの、さまざまな電源電圧での全高調波歪みとアナログ入力周波数の関係を示します。この場合、ソース・インピーダンスは10Ωです。

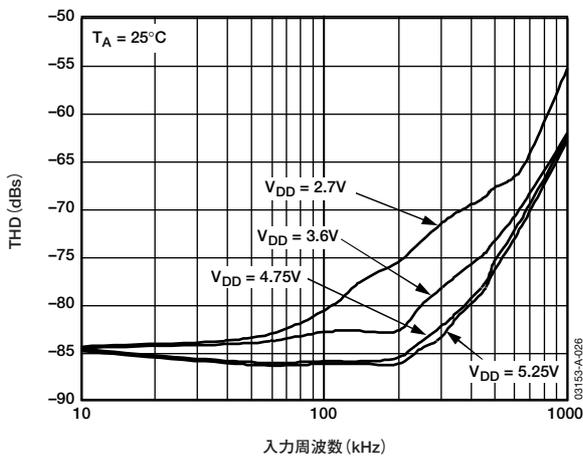


図26. さまざまな電源電圧での全高調波歪み（THD）対アナログ入力周波数

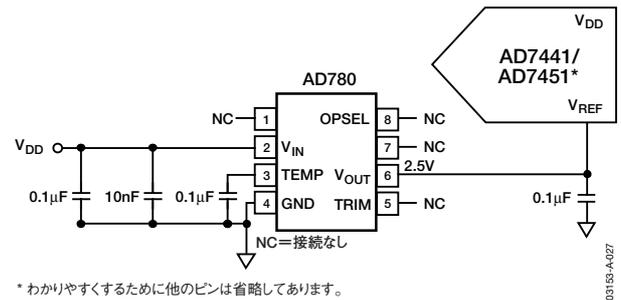
デジタル入力

AD7441/AD7451に対するデジタル入力は、アナログ入力を制限する最大定格によって制限されることはありません。印加されるデジタル入力（ \overline{CS} とSCLK）は7Vに達することもあり、アナログ入力のように $V_{DD}+0.3V$ の限界によって制限されません。

入力が $V_{DD}+0.3V$ の制限がないことから得られる主な利点は、電源シーケンスの問題を回避できることです。 V_{DD} より前に \overline{CS} やSCLKに電圧が印加された場合でも、ラッチアップの危険はありません。アナログ入力では、 V_{DD} より前に0.3Vより大きい信号が印加されると、ラッチアップの危険があります。

リファレンス部

AD7441/AD7451にリファレンスを供給するには、外部ソースが必要です。このリファレンス入力の範囲は100mV～ V_{DD} です。電源電圧範囲2.7～5.25Vに対して、仕様規定されているリファレンスは2.5Vです。アプリケーションに選択したリファレンス入力が電源電圧を決して超えることがないようにしてください。リファレンス源での誤差によって、AD7441/AD7451の伝達関数におけるゲイン誤差が生じ、デバイスの指定されたフルスケール誤差が増大します。 V_{REF} ピンには、0.1μF以上のコンデンサを接続してください。AD7441/AD7451には、AD780やADR421などのリファレンス源をお勧めします。図27に、 V_{REF} ピンの代表的な接続図を示します。



* わかりやすくするために他のピンは省略してあります。

図27. $V_{DD}=5V$ での代表的な V_{REF} 接続図

AD7441/AD7451

シリアル・インターフェース

図2と図3に、それぞれAD7441/AD7451のシリアル・インターフェースの詳細なタイミング図を示します。シリアル・クロックが変換クロックを提供し、変換時にデバイスからのデータの転送も制御します。 \overline{CS} で変換プロセスが開始し、データ転送をフレーミングします。 \overline{CS} の立ち下がりエッジでトラック・アンド・ホールドがホールド・モードになり、バスがスリーステートから抜け出します。この時点で、アナログ入力信号をサンプリングし、変換を開始します。変換完了には、SCLKで16サイクルが必要です。

13個のSCLK立ち下がりエッジが経過すると、図2と図3のポイントBに示すように、トラック・アンド・ホールドが次のSCLKの立ち上がりエッジでトラック・モードに戻ります。SCLKの16番目の立ち下がりエッジで、SDATAラインがスリーステートに戻ります。

SCLKの16サイクルが経過する前に \overline{CS} の立ち上がりエッジが発生すると、変換が中止され、SDATAラインがスリーステートに戻ります。

AD7441/AD7451の変換結果は、シリアル・データ・ストリームでSDATA出力から得られます。SCLK入力の立ち下がりエッジでビットをクロック出力します。AD7451のデータ・ストリームは、4つの先行ゼロと、それに続く12ビットの変換データ（MSBファースト）で構成されます。AD7441のデータ・ストリームは、4つの先行ゼロと、それに続く10ビットの変換データ（MSBファースト）と2つの末尾ゼロで構成されます。いずれの場合も、出力コーディングはストレート（自然）バイナリです。

変換を完了してAD7441/AD7451の変換結果にアクセスするには、シリアル・クロックで16サイクルが必要です。 \overline{CS} がローレベルになると、マイクロコントローラやDSPによって最初の先行ゼロが読み出せるようになります。次に、後続のSCLK立ち下がりエッジで2番目の先行ゼロから残りのデータをクロック出力します。シリアル・クロックの最初の立ち下がりクロック・エッジが、2番目の先行ゼロを出力することになります。前の（15番目の）立ち下がりエッジで出力されていたデータ転送の最終ビットは、16番目の立ち下がりエッジで有効になります。変換が完了し、16クロック・サイクル後にデータのアクセスが行われた後は、次の変換を開始する前に、規定のアクイジション時間と静止時間を満たすことができるように十分な時間を空けることが重要です（次の「タイミング例」を参照）。18MHzのクロックによって1MSPSを実現するには、18クロック・バーストで変換を行い、アクイジション時間と静止時間のために十分な時間を確保した後に次の変換を開始します。

低速のSCLKを使用するアプリケーションでは、各SCLK立ち上がりエッジでデータを読み出すことができます。つまり、 \overline{CS} の立ち下がりエッジ後の最初のSCLK立ち上がりエッジで先行ゼロを、15番目の立ち上がりSCLKエッジでDB0を読み出すことができます。

タイミング例1

$F_{SCLK}=18\text{MHz}$ でスループット・レート=1MSPSのとき、サイクル・タイムは次のようになります。

$$1/\text{スループット}=1/1,000,000=1\mu\text{s}$$

1サイクルは次の時間で構成されます。

$$t_2+12.5(1/F_{SCLK})+t_{ACQ}=1\mu\text{s}$$

したがって、 $t_2=10\text{ns}$ の場合は、次のようになります。

$$10\text{ns}+12.5(1/18\text{MHz})+t_{ACQ}=1\mu\text{s}$$

$$t_{ACQ}=296\text{ns}$$

296nsという値は、 t_{ACQ} で290nsの条件を満たします。

図28より、 t_{ACQ} は次のようになります。

$$2.5(1/F_{SCLK})+t_8+t_{QUIET}$$

ここで、 $t_8=35\text{ns}$ です。これにより、 t_{QUIET} の値として122nsが得られ、60nsの最小条件を満たすことになります。

タイミング例2

$F_{SCLK}=5\text{MHz}$ でスループット・レート=315kSPSのとき、サイクル・タイムは次のようになります。

$$1/\text{スループット}=1/315,000=3.174\mu\text{s}$$

1サイクルは次の時間で構成されます。

$$t_2+12.5(1/F_{SCLK})+t_{ACQ}=3.174\mu\text{s}$$

したがって、 $t_2=10\text{ns}$ の場合は、次のようになります。

$$10\text{ns}+12.5(1/5\text{MHz})+t_{ACQ}=3.174\mu\text{s}$$

$$t_{ACQ}=664\text{ns}$$

664nsという値は、 t_{ACQ} で290nsの条件を満たします。

図28より、 t_{ACQ} は次のようになります。

$$2.5(1/F_{SCLK})+t_8+t_{QUIET}$$

ここで、 $t_8=35\text{ns}$ です。これにより、 t_{QUIET} の値として129nsが得られ、60nsの最小条件を満たすことになります。

この例やその他の低速クロック値の場合、変換が完了する前に信号を取得しておくことができますが、変換と変換の間には最小60nsの t_{QUIET} が必要です。タイミング例2では、信号は図28のポイントCあたりで完全に取得されます。

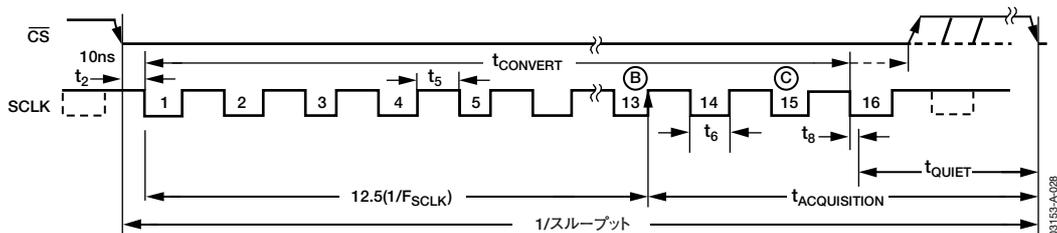


図28. シリアル・インターフェースのタイミング例

AD7441/AD7451

動作モード

AD7441/AD7451の動作モードは、変換時に \overline{CS} 信号のロジック状態を制御して選択します。動作モードには、ノーマル・モードとパワーダウン・モードがあります。変換開始後に \overline{CS} がハイレベルになるポイントで、AD7441/AD7451がパワーダウン・モードになるかどうかが決まります。また、すでにパワーダウン・モードになっている場合も、 \overline{CS} によってノーマル動作に戻るか、パワーダウン・モードにとどまるかを制御します。この2つの動作モードから、柔軟なパワーマネジメント・オプションが得られます。これらのオプションを選ぶことで、さまざまなアプリケーションの要求に最適な消費電力/スループット・レート比を選択できます。

ノーマル・モード

最高のスループット・レート性能を得るためのモードです。AD7441/AD7451は常時フルパワーアップ状態にとどまるため、パワーアップ時間を気にする必要はありません。図29に、このモードでのAD7441/AD7451の一般的な動作図を示します。「シリアル・インターフェース」で説明したように、 \overline{CS} の立ち下がりエッジで変換を開始します。デバイスを常時パワーアップさせておくには、 \overline{CS} の立ち下がりエッジの後、少なくとも10個のSCLK立ち下がりエッジが経過するまで \overline{CS} をローレベルに維持しておく必要があります。

10番目のSCLK立ち下がりエッジの後、16番目のSCLK立ち下がりエッジの前までに任意のタイミングで \overline{CS} をハイレベルにすると、デバイスはパワーアップ状態のままですが、変換が終了して、SDATAがスリーステートに戻ります。変換を完了して完全な変換結果にアクセスするには、シリアル・クロックで16サイクルが必要です。 \overline{CS} は、次の変換までアイドルのハイレベルを維持するか、次の変換の前の一定の時点までアイドルのローレベルにすることができます。データ転送が完了してSDATAがスリーステートに戻った後は、静止時間 t_{QUIET} の経過後に \overline{CS} を再度ローレベルにして次の変換を開始できます。

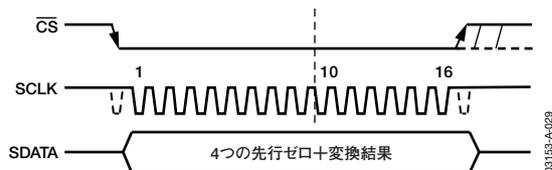


図29. ノーマル・モード動作

パワーダウン・モード

このモードは、低スループット・レートが必要なアプリケーションでの使用を目的としています。各変換の間にADCをパワーダウンしたり、一連の変換を高スループット・レートで実行した後、このようなバースト的な複数の変換と変換の間に比較的長時間にわたってADCをパワーダウンします。AD7441/AD7451がパワーダウン・モードになると、全アナログ回路がパワーダウンします。パワーダウン・モードに入るには、図30に示すように、SCLKの2番目の立ち下がりエッジの後、SCLKの10番目の立ち下がりエッジの前までに任意の時点で \overline{CS} をハイレベルにして変換プロセスを中断させる必要があります。

SCLKのこのウインドウ内で \overline{CS} をハイレベルにすると、デバイスがパワーダウン状態に入り、 \overline{CS} の立ち下がりエッジで開始した変換を終了し、SDATAがスリーステートに戻ります。 \overline{CS} の立ち上がりエッジからSDATAのスリーステート・イネーブルまでの時間は、 t_{g} を超えることはできません（「タイミング仕様」を参照）。SCLKの2番目の立ち下がりエッジの前に \overline{CS} がハイレベルになっても、デバイスはノーマル・モードのままで、パワーダウンしません。この機能によって、 \overline{CS} ラインのグリッチによって偶発的にパワーダウンが生じるのを防ぎます。

この動作モードを終了してAD7441/AD7451を再度パワーアップするには、ダミー変換を実行します。デバイスは、 \overline{CS} の立ち下がりエッジでパワーアップを開始し、 \overline{CS} がローレベルになっている間パワーアップを続け、SCLKの10番目の立ち下がりエッジで終了します。デバイスは1 μ s経過後に完全にパワーアップし、図31に示すように、次の変換から有効なデータが得られます。

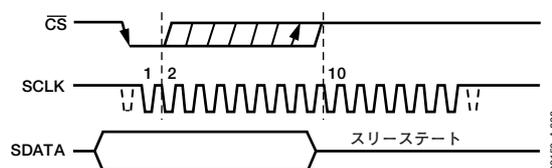


図30. パワーダウン・モードへの移行

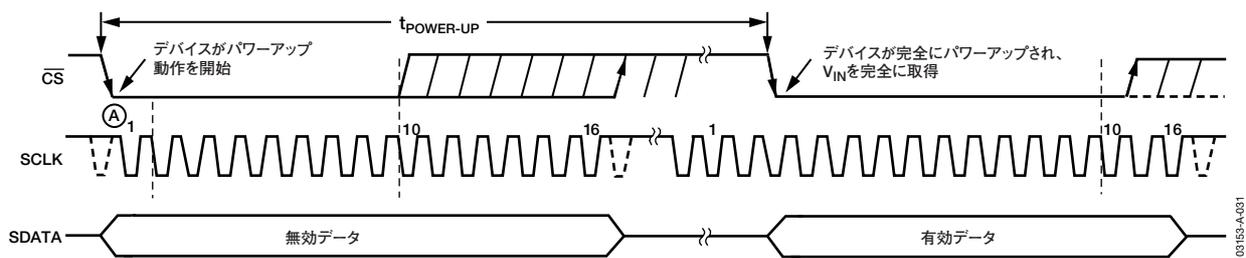


図31. パワーダウン・モードの終了

SCLKの10番目の立ち下がりエッジの前に \overline{CS} がハイレベルになると、AD7441/AD7451は再びパワーダウン・モードに戻ります。これにより、 \overline{CS} ラインのグリッチや、 \overline{CS} がローレベルのときの不用意な8サイクルのSCLKによって偶発的にパワーアップするのを防ぎます。このため、デバイスは \overline{CS} の立ち下がりエッジでパワーアップを開始できますが、SCLKの10番目の立ち下がりエッジの前に \overline{CS} の立ち上がりエッジが発生すると、再びパワーダウン状態に戻ります。

パワーアップ時間

AD7441/AD7451のパワーアップ時間は $1\mu\text{s}$ (typ) です。18MHzまでの任意のSCLK周波数で、1ダミー・サイクルさえあればデバイスがパワーアップできることになります。ダミー・サイクルが完了すると、ADCはフルパワーアップして、正常な入力信号を取り込むことができます。この場合も、ダミー変換後にバスがスリーステートに戻った時点から \overline{CS} の次の立ち下がりエッジまで、静止時間 t_{QUIET} が必要です。

1 MSPSの最大スループット・レートでの動作時、AD7441/AD7451は、1ダミー・サイクルでパワーアップして $\pm 0.5\text{LSB}$ の範囲内で信号を取得します。この間 $1\mu\text{s}$ です。ダミー・サイクルでパワーダウン・モードからパワーアップするとき (図31)、デバイスのパワーダウン中はホールド・モードにあったトラック・アンド・ホールドが、 \overline{CS} の立ち下がりエッジ後にデバイスが受け取る最初のSCLKエッジの後でトラック・モードに戻ります。これを図31のポイントAに示します。

任意のSCLK周波数でデバイスをパワーアップさせて V_{IN} を入力するにはダミー・サイクル1つで十分ですが、必ずしも16 SCLKというフルのダミー・サイクルがないとデバイスをパワーアップして V_{IN} を完全に得られないわけではありません。デバイスのパワーアップと入力信号の取得には $1\mu\text{s}$ で十分です。

たとえば、5MHzのSCLK周波数をADCに入力する場合、サイクル・タイムは $3.2\mu\text{s}$ (つまり、 $1/(5\text{MHz}) \times 16$) になります。 $3.2\mu\text{s}$ の1ダミー・サイクルで、デバイスはパワーアップして V_{IN} を完全に入力します。ただし、5MHzのSCLKでは $1\mu\text{s}$ 後に、SCLKの5サイクル分しか経過していません。この時点でも、ADCは完全にパワーアップして信号が取得できます。したがって、この場合は、10番目のSCLKの立ち下がりエッジの後に \overline{CS} をハイレベルにし、さらに t_{QUIET} 経過後に再度ローレベルにして、変換を開始することが可能です。

最初にAD7441/AD7451に電源を供給するとき、パワーダウン・モードかノーマル・モードのいずれかでADCがパワーアップします。このため、デバイスが完全にパワーアップしてから有効な変換を開始できるように、1ダミー・サイクルを経過させることを推奨します。同様に、デバイスをパワーダウン・モードでパワーアップしたい場合も、図15に示すようなサイクルを実行することで、ダミー・サイクルを使ってデバイスを確実にパワーダウン・モードにすることができます。AD7441/AD7451に電源を供給した後のパワーアップ時間は、パワーダウン・モードからのパワーアップ時と同じです。デバイスがノーマル・モードで完全にパワーアップする場合は、約 $1\mu\text{s}$ 必要です。希望する動作モードにするためのダミー・サイクルは、 $1\mu\text{s}$ 待ってから行う必要はありません。ADCに電源を入れた直後にダミー・サイクルを発生させることもできます。ダミー変換の直後に最初の有効な変換を実行する場合は、十分なアクイジション時間を確保できるように注意してください。

前述のように、パワーダウン・モードからパワーアップする際には、デバイスは、 \overline{CS} の立ち下がりエッジの後に入力された最初のSCLKエッジでトラック・モードに戻ります。ただし、電源を入れた後初めてADCがパワーアップする場合は、トラック・アンド・ホールドはすでにトラック・モードになっています。つまり、ADCが希望の動作モードでパワーアップしたため、モードの変更にダミー・サイクルが不要な場合は、トラック・アンド・ホールドをトラック・モードにするためのダミー・サイクルも不要ということになります (ADCの電源電流をモニターできることを前提としています)。

AD7441/AD7451

消費電力とスループット・レートの関係

変換しないときにAD7441/AD7451をパワーダウン・モードにしておけば、低いスループット・レートでADCの平均消費電力が低減します。図32は、スループット・レートを減少させると、それだけデバイスがパワーダウン状態にとどまる時間が長くなり、その結果、平均消費電力が減少することを示しています。たとえば、AD7441/AD7451が連続サンプリング・モードで、スループット・レート=100kSPS、SCLK=18MHzで、変換と変換の間にデバイスがパワーダウン・モードになる場合、消費電力は次のようになります。

$$\begin{aligned} \text{ノーマル動作時の消費電力} &= 9.25\text{mW (max)} \\ (\text{V}_{\text{DD}} &= 5\text{Vの場合}) \end{aligned}$$

パワーアップ時間が1ダミー・サイクル (1 μ s) で、残りの変換時間が別のサイクル (1 μ s) になる場合、AD7441/AD7451は各変換サイクル中の2 μ s^{*}の間に9.25mWを消費することになります (この値はパワーダウンモードに入るために、短い時間しか要しないことを前提にします。パワーダウンに入るためのクロックのバースト数が増えると消費電力値も増えます)。

スループット・レートが100kSPSの場合は、サイクル・タイムは10 μ sとなり、各サイクルの平均消費電力は、次のようになります。

$$(2/10) \times 9.25\text{mW} = 1.85\text{mW}$$

同様に、V_{DD}=3Vの場合、ノーマル動作時の最大消費電力は4mWになります。

このことから、AD7441/AD7451は各変換サイクル中の2 μ s¹の間に4mWを消費することになります。

したがって、スループット・レート=100kSPSでの各サイクルの平均消費電力は、次のようになります。

$$(2/10) \times 4\text{mW} = 0.8\text{mW}$$

図32に示す消費電力は、このようにして計算した値です。

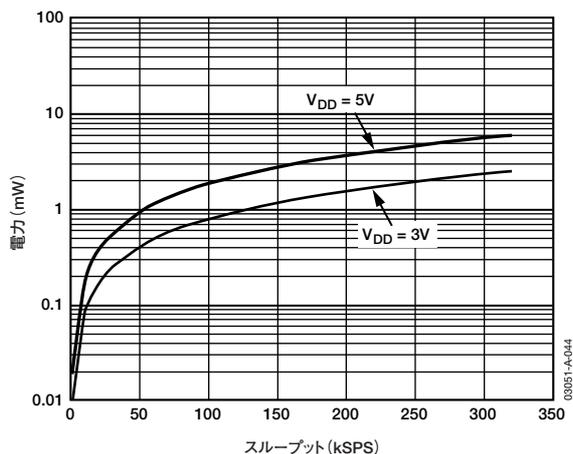


図32. パワーダウン・モードでの電力とスループット・レートの関係

¹ この数値は、パワーダウン・モードに入るための時間がきわめて短いことを前提にしています。パワーダウン・モードに入るために使用するクロックのバーストが長くなると、この数値も大きくなります。

320kSPSを上回るスループット・レートでは、最適な消費電力性能を得るためにシリアル・クロック周波数を下げることが推奨されます。

マイクロプロセッサとDSPとのインターフェース

AD7441/AD7451内蔵のシリアル・インターフェースを使えば、さまざまな種類のマイクロプロセッサに直接接続することができます。ここでは、いくつかの一般的なマイクロコントローラやDSPのシリアル・インターフェース・プロトコルとAD7441/AD7451をインターフェースさせる方法について説明します。

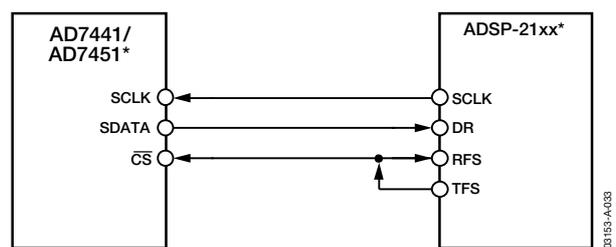
AD7441/AD7451とADSP-21xxとのインターフェース
ADSP-21xxファミリーのDSPは、グルーロジックなしで直接AD7441/AD7451にインターフェースすることができます。

SPORT制御レジスタを次のように設定します。

TFSW=RFSW=1	オルタネート・フレーミング
INVRFS=INVTFS=1	アクティブ・ロー・フレーム信号
DTYPE=00	データ右揃え
SLEN=1111	16ビット・データ・ワード
ISCLK=1	内部シリアル・クロック
TFSR=RFSR=1	ワードごとのフレーム
IRFS=0	
ITFS=1	

パワーダウン・モードにするときは、SLENを1001に設定して8ビットのSCLKバーストを発生させます。

接続図を図33に示します。ADSP-21xxでは、SPORTのTFSとRFSを一緒にし、TFSを出力、RFSを入力に設定します。DSPをオルタネート・フレーミング・モードで動作させ、SPORT制御レジスタを上記のように設定します。TFSで発生するフレーム同期化信号をCSに接続し、すべての信号処理アプリケーションでそうであるように、等間隔サンプリングを行う必要があります。ただし、この例では、タイマー割り込みを使ってADCのサンプリング・レートを制御するため、場合によっては等間隔サンプリングにならないことがあります。



* わかりやすくするために他のピンは省略してあります。

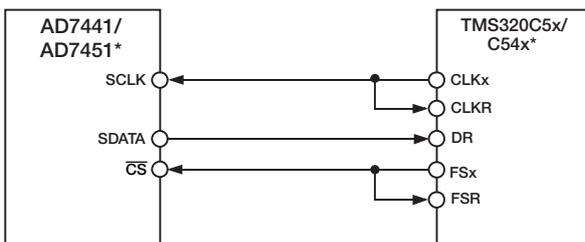
図33. ADSP-21xxとのインターフェース

タイマー・レジスタなどには、必要なサンプル間隔で割り込みを発生させる値が書き込まれます。割り込みを受け付けると、TFS/DT（ADC制御ワード）と一緒に値を転送します。TFSを使って、RFS、つまりデータの読み出しを制御します。シリアル・クロックの周波数は、SCLKDIVレジスタで設定します。TFSと一緒に送信する命令が与えられると（AX0=TX0）、SCLKの状態をチェックします。SCLKがハイレベル、ローレベル、ハイレベルに変化するのを待ってから、DSPが送信を開始します。送信命令がSCLKの立ち上がりエッジまたはその近くで発生するようにタイマーとSCLKの値が設定されていれば、データの送信が行われるか、または次のクロック・エッジまで待つこととなります。

たとえば、ADSP-2111には16MHzのマスター・クロック周波数があります。SCLKDIVレジスタに値3を書き込むと、2MHzのSCLKが得られ、各1 SCLK周期が8マスター・クロック周期に等しくなります。タイマー・レジスタに値803を書き込んだ場合、割り込みと割り込みの間、およびその後の送信命令と送信命令の間に、100.5回のSCLKが発生します。この場合、送信命令がSCLKのエッジで発生するため、不等間隔のサンプリングとなります。割り込みと割り込みの間のSCLKの数が整数Nの場合は、DSPは等間隔サンプリングを実行します。

AD7441/AD7451とTMS320C5x/C54xのインターフェース

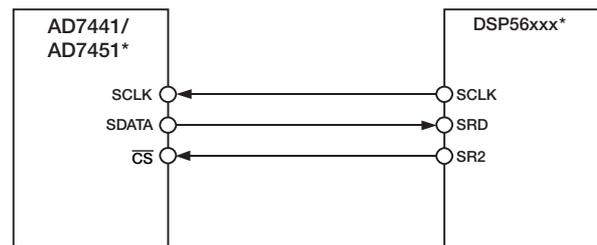
TMS320C5x/C54xのシリアル・インターフェースでは、連続シリアル・クロックとフレーム同期信号を使って、データ転送動作をAD7441/AD7451などのペリフェラル・デバイスに同期化します。CS入力を使えば、グルーロジックなしで、TMS320C5x/C54xとAD7441/AD7451のインターフェースが簡単にできます。TMS320C5x/C54xのシリアル・ポートを内部CLKX（Txシリアル・クロック）とFSX（Txフレーム同期）を使うバースト・モードで動作するように設定します。シリアル・ポート制御レジスタ（SPC）は、FO=0、FSM=1、MCM=1、TXM=1に設定しておきます。AD7441/AD7451をパワーダウン・モードにするには、フォーマット・ビットFOを「1」に設定してワード長を8ビットに設定します。図34に接続図を示します。信号処理アプリケーションでは、TMS320C5x/C54xからのフレーム同期信号で等間隔サンプリングを実行する必要があります。



*わかりやすくするために他のピンは省略してあります。

図34. TMS320C5x/C54xとのインターフェース

AD7441/AD7451とDSP56xxxとのインターフェース
図35の接続図に、AD7441/AD7451と、モトローラ社のDSPファミリー、DSP56xxxのSSI（同期シリアル・インターフェース）との接続方法を示します。SSIは同期モードで動作し（CRBレジスタのSYNビット=1）、TxとRxに対する1ビット・クロック周期のフレーム同期を内部で生成します（CRBのFSL1ビット=1かつFSL0ビット=0）。CRAでWL1ビット=1かつWL0ビット=0に設定し、ワード長=16に設定します。AD7441/AD7451をパワーダウン・モードで動作する場合、CRAでWL1ビット=0かつWL0ビット=0に設定してワード長を8ビットに変更できます。信号処理アプリケーションでは、DSP56xxxからのフレーム同期信号で等間隔サンプリングを実行する必要があります。



*わかりやすくするために他のピンは省略してあります。

図35. DSP56xxxとのインターフェース

AD7441/AD7451

グラウンディングとレイアウト

AD7441/AD7451を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計する必要があります。これによって、分離が簡単にできるグラウンド・プレーンを使用できるようになります。一般に、エッチング部分を最小化すると最適なシールド効果が得られるため、グラウンド・プレーンではそのような技術を使用してください。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1点のみで接続し、AD7441/AD7451のGNDピンにできるだけ近い場所にスター接続してください。

チップにノイズが混入しないよう、デバイスの真下にデジタル・ラインを通さないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンをAD7441/AD7451の下に配置するようにします。AD7441/AD7451の電源ラインをできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減します。

クロックなどの高速のスイッチング信号をデジタル・グラウンドでシールドして、ボードの他の部分にノイズが拡散しないようにします。また、クロック信号がアナログ入力の近くを通らないようにします。デジタル信号とアナログ信号は交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置します。これにより、ボードを通過するフィードスルーの影響を低減できます。マイクロストリップ技術は最善ですが、両面ボードでは常に使用できるとは限りません。

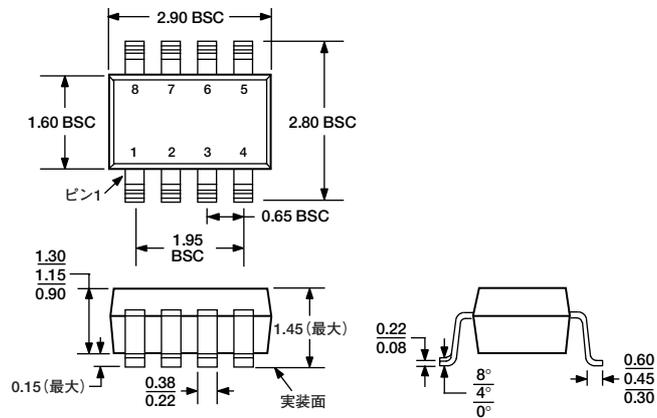
この技術では、ボードの部品面をグラウンド・プレーン専用にして、信号をハンダ面に配線します。デカップリングを正しく行うことも重要です。すべてのアナログ電源とGNDの間に10 μ Fのタンタル・コンデンサと0.1 μ Fのコンデンサを並列接続してデカップリングします。デカップリング部品の効果を最大にするため、できるだけデバイスの近くに配置します。

AD7441/AD7451の性能評価

評価ボード・パッケージには、組み立ておよびテスト済みの評価ボード、ドキュメント、および評価ボード・コントローラを介してPCからボードを制御するためのソフトウェアが含まれています。評価ボード・コントローラは、AD7441とAD7451の評価ボードのほか、多くのアナログ・デバイセズの評価ボード（末尾にCB識別子が付くもの）と組み合わせて使用できます。これによって、AD7441とAD7451のAC性能とDC性能のデモ/評価ができます。

ソフトウェアを使えば、AD7441とAD7451のACテスト（高速フーリエ変換）とDCテスト（コードのヒストグラム）ができます。詳細については、評価ボードのアプリケーション・ノートをご覧ください。

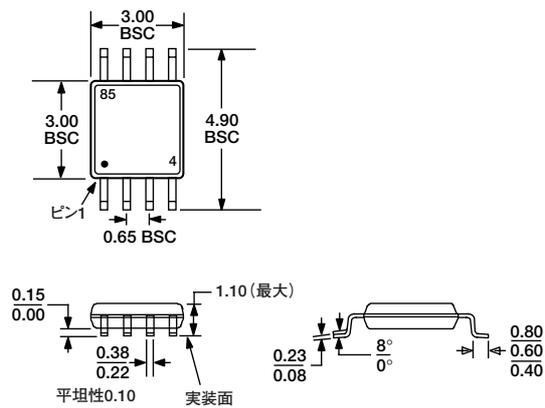
外形寸法



JEDEC規格MO-178BAに準拠

図36. 8ピン・スモール・アウトライン・トランジスタ・パッケージ [SOT-23] (RT-8)

寸法単位：mm



JEDEC規格MO-187AAに準拠

図37. 8ピン・ミニ・スモール・アウトライン・パッケージ [MSOP] (RM-8)

寸法単位：mm

AD7441/AD7451

オーダー・ガイド

モデル	温度範囲	直線性誤差 (LSB) ¹	パッケージ	パッケージ・オプション	ブランド
AD7451ART-R2	-40~+85℃	±1.5	8ピンSOT-23	RT-8	C06
AD7451ART-REEL7	-40~+85℃	±1.5	8ピンSOT-23	RT-8	C06
AD7451ARM	-40~+85℃	±1.5	8ピンMSOP	RM-8	C06
AD7451ARM-REEL7	-40~+85℃	±1.5	8ピンMSOP	RM-8	C06
AD7451BRT-R2	-40~+85℃	±1	8ピンSOT-23	RT-8	C05
AD7451BRT-REEL7	-40~+85℃	±1	8ピンSOT-23	RT-8	C05
AD7451BRM	-40~+85℃	±1	8ピンMSOP	RM-8	C05
AD7451BRM-REEL7	-40~+85℃	±1	8ピンMSOP	RM-8	C05
AD7441BRT-R2	-40~+85℃	±0.5	8ピンSOT-23	RT-8	C0F
AD7441BRT-REEL7	-40~+85℃	±0.5	8ピンSOT-23	RT-8	C0F
AD7441BRM	-40~+85℃	±0.5	8ピンMSOP	RM-8	C0F
AD7441BRM-REEL7	-40~+85℃	±0.5	8ピンMSOP	RM-8	C0F
EVAL-AD7451CB ²			評価ボード		
EVAL-AD7441CB ²			評価ボード		
EVAL-CONTROL BRD ^{2,3}			コントローラ・ボード		

¹ 直線性誤差は、積分非直線性誤差を意味します。

² 単独の評価ボードとしても、評価ボード・コントローラと組み合わせて評価/デモ用に使用することもできます。

³ 評価ボード・コントローラは完備したユニットになっており、末尾番号CBが付くすべてのアナログ・デバイス製評価ボードに対し、PCで制御と通信ができます。完備した評価キットとして、ADC評価ボード (EVAL-AD7451CBまたはEVAL-AD7441CB、EVAL-CONTROL BRD2、および12VのACトランス) を注文する必要があります。詳細については、AD7441/AD7451のアプリケーション・ノートを参照してください。