

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2011年2月9日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

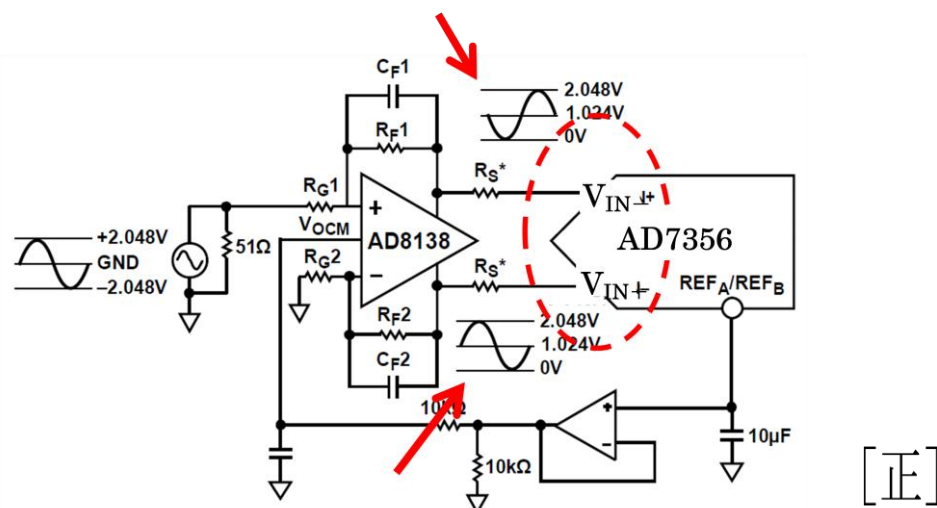
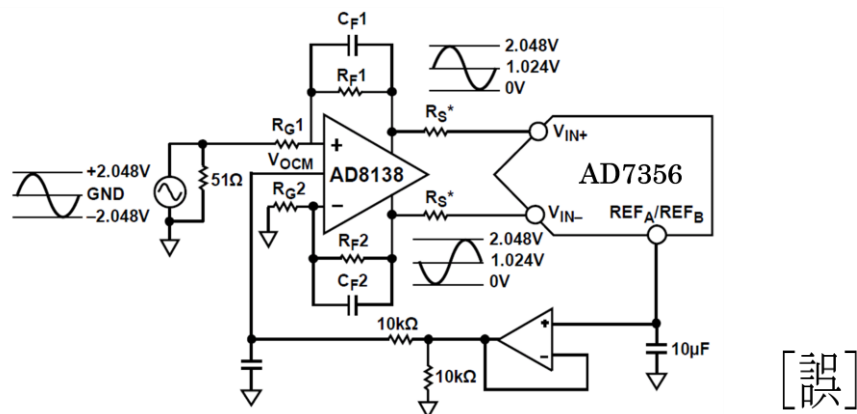
正誤表作成年月日： 2011年2月9日

製品名： AD7356

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 14頁 図20 (Fig 20) AD8138とAD7356の接続が間違っています。

下記の図を参照してください。



特長

デュアル 12 ビット SAR ADC

同時サンプリング

スループット・レート: チャンネルあたり 5 MSPS

$V_{DD} = 2.5\text{ V}$ の仕様

変換レイテンシなし

消費電力: 5 MSPS で 36 mW

内蔵リファレンス電圧: $2.048\text{ V} \pm 0.25\%$ 、6 ppm/°C

デュアル・リザルト読み出し機能

高速シリアル・インターフェース:

SPI/QSPI™/MICROWIRE™/DSP に互換

動作温度範囲: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$

16 ピン TSSOP パッケージを採用

機能ブロック図

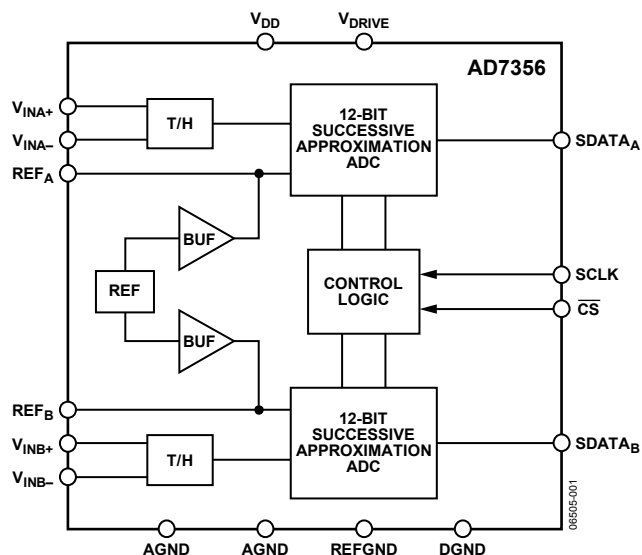


図 1.

概要

AD7356¹は、高速低消費電力の 12 ビット・デュアル逐次比較型 ADC であり、2.5 V の単電源で動作し、最大 5 MSPS のスループット・レートを持っています。デバイスは 2 個の ADC を内蔵しており、各々の前には低ノイズで広帯域幅のトラック・アンド・ホールド・アンプが配置されており、このアンプは 110 MHz を超える入力周波数を処理することができます。

変換プロセスとデータ・アキュイジションは、標準のコントロール入力を使って制御されるため、マイクロプロセッサまたは DSP に対して容易にインターフェースすることができます。入力信号は CS の立ち下がりがエッジでサンプルされ、この時点で変換も開始されます。変換時間は SCLK 周波数によって決定されます。

AD7356 では高度なデザイン技術を使い、非常に小さい消費電力で高いスループット・レートを実現しています。2.5 V 電源動作時、5 MSPS スループット・レートでのデバイス消費電流(typ)は 14 mA です。デバイスには、柔軟な消費電力/スループット・レート管理オプションもあります。

デバイスのアナログ入力範囲は、 $\pm V_{REF}/2$ の差動同相モードです。AD7356 は 2.048 V のリファレンス電圧を内蔵していますが、外付けリファレンス電圧を使う場合には、これを上書き接続することができます。

AD7356 は、16 ピンの薄型シュリンク・スモール・アウトライン(TSSOP)パッケージを採用しています。

製品のハイライト

- 2 系統の ADC 機能を内蔵。これらの機能を使うと、2 チャンネルのサンプリングと変換を同時に実行することができます。両チャンネルの変換結果は別々のデータ・ラインに同時に出力。あるいはシリアル・ポートが 1 個しかない場合には、両チャンネルの変換結果を 1 本のデータ・ラインにマルチプレクスして出力。
- 低消費電力で高スループット。AD7356 は、36 mW の消費電力で 5 MSPS のスループット・レートを提供。
- 変換レイテンシなし。AD7356 は 2 個の標準逐次比較型 ADC を内蔵し、CS 入力を使用して、またオフの場合には変換制御を使用して、サンプリング時点の正確な制御が可能です。

表 1. 関連デバイス

Generic	Resolution	Throughput	Analog Input
AD7352	12-bit	3 MSPS	Differential
AD7266	12-bit	2 MSPS	Differential/single ended
AD7866	12-bit	1 MSPS	Single-ended
AD7366	12-bit	1 MSPS	Single-ended bipolar
AD7367	14-bit	1 MSPS	Single-ended bipolar

¹ 米国特許 No. 6,681,332 により保護されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	アナログ入力.....	13
機能ブロック図.....	1	差動入力の駆動.....	14
概要.....	1	ADC の伝達関数.....	14
製品のハイライト.....	1	動作モード.....	15
改訂履歴.....	2	ノーマル動作モード.....	15
仕様.....	3	パーシャル・パワーダウン・モード.....	15
タイミング仕様.....	5	フル・パワーダウン・モード.....	16
絶対最大定格.....	6	パワーアップ時間.....	17
ESD の注意.....	6	消費電力とスループット・レートとの関係.....	17
ピン配置およびピン機能説明.....	7	シリアル・インターフェース.....	18
代表的な性能特性.....	8	アプリケーション情報.....	19
用語.....	10	グラウンド接続とレイアウト.....	19
動作原理.....	12	AD7356 の性能評価.....	19
回路説明.....	12	外形寸法.....	20
コンバータの動作.....	12	オーダー・ガイド.....	20
アナログ入力構造.....	12		

改訂履歴

10/08—Revision 0: Initial Version

AD7356

仕様

特に指定がない限り、 $V_{DD} = 2.5 \text{ V} \pm 10\%$ 、 $V_{DRIVE} = 2.25 \text{ V} \sim 3.6 \text{ V}$ 、内蔵リファレンス電圧 = 2.048 V、 $f_{SCLK} = 80 \text{ MHz}$ 、 $f_{SAMPLE} = 5 \text{ MSPS}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE					
Signal-to-Noise Ratio (SNR) ²	70	71.5		dB	$f_{IN} = 1 \text{ MHz}$ sine wave
Signal-to-(Noise and Distortion) (SINAD) ²	69.5	71		dB	
Total Harmonic Distortion (THD) ²		-84	-77.5	dB	
Spurious Free Dynamic Range (SFDR) ²		-85	-78.5	dB	
Intermodulation Distortion (IMD) ²					$f_a = 1 \text{ MHz} + 50 \text{ kHz}$, $f_b = 1 \text{ MHz} - 50 \text{ kHz}$
Second-Order Terms		-84		dB	
Third-Order Terms		-76		dB	
ADC-to-ADC Isolation ²		-100		dB	$f_{IN} = 1 \text{ MHz}$, $f_{NOISE} = 100 \text{ kHz}$ to 2.5 MHz
CMRR ²		-100		dB	$f_{NOISE} = 100 \text{ kHz}$ to 2.5 MHz
SAMPLE AND HOLD					
Aperture Delay			3.5	ns	
Aperture Delay Match			40	ps	
Aperture Jitter		16		ps	
Full Power Bandwidth					
@ 3 dB		110		MHz	
@ 0.1 dB		77		MHz	
DC ACCURACY					
Resolution	12			Bits	Guaranteed no missed codes to 12 bits
Integral Nonlinearity (INL) ²		± 0.5	± 1	LSB	
Differential Nonlinearity (DNL) ²		± 0.5	± 0.99	LSB	
Positive Full-Scale Error ²		± 1	± 6	LSB	
Positive Full-Scale Error Match ²		± 2	± 8	LSB	
Midscale Error ²		+5	0/+11	LSB	
Midscale Error Match ²		± 2	± 8	LSB	
Negative Full-Scale Error ²		± 1	± 6	LSB	
Negative Full-Scale Error Match ²		± 2	± 8	LSB	
ANALOG INPUT					
Fully Differential Input Range (V_{IN+} and V_{IN-})			$V_{CM} \pm V_{REF}/2$	V	V_{CM} = common-mode voltage, V_{IN+} and V_{IN-} must remain within GND and V_{DD} The voltage around which V_{IN+} and V_{IN-} are centered
Common-Mode Voltage Range	0.5		1.9	V	
DC Leakage Current		± 0.5	± 5	μA	When in track mode When in hold mode
Input Capacitance		32		pF	
		8		pF	
REFERENCE INPUT/OUTPUT					
V_{REF} Input Voltage Range	2.048 + 0.1		V_{DD}	V	When in reference overdrive mode 2.048 V $\pm$ 0.5% max @ $V_{DD} = 2.5 \text{ V} \pm 5\%$ 2.048 V $\pm$ 0.25% max @ $V_{DD} = 2.5 \text{ V} \pm 5\%$ and 25°C
V_{REF} Input Current		0.3	0.45	mA	
V_{REF} Output Voltage	2.038		2.058	V	
	2.043		2.053	V	
V_{REF} Temperature Coefficient		6	20	ppm/ $^\circ\text{C}$	For 1000 hours
V_{REF} Long Term Stability		100		ppm	
V_{REF} Thermal Hysteresis ²		50		ppm	
V_{REF} Noise		60		$\mu\text{V rms}$	
V_{REF} Output Impedance		1		Ω	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC INPUTS					
Input High Voltage (V _{INH})	0.6 × V _{DRIVE}			V	V _{IN} = 0 V or V _{DRIVE}
Input Low Voltage (V _{INL})			0.3 × V _{DRIVE}	V	
Input Current (I _{IN})			±1	μA	
Input Capacitance (C _{IN})		3		pF	
LOGIC OUTPUTS					
Output High Voltage (V _{OH})	V _{DRIVE} − 0.2			V	
Output Low Voltage (V _{OL})			0.2	V	
Floating-State Leakage Current			±1	μA	
Floating-State Output Capacitance		5.5		pF	
Output Coding	Straight binary				
CONVERSION RATE					
Conversion Time	t ₂ + 13 × t _{SCLK}			ns	Full-scale step input, settling to 0.5 LSBs
Track-and-Hold Acquisition Time ²			30	ns	
Throughput Rate			5	MSPS	
POWER REQUIREMENTS ³					
V _{DD}	2.25		2.75	V	Nominal V _{DD} = 2.5 V
V _{DRIVE}	2.25		3.6	V	
I _{TOTAL} ⁴					Digital inputs = 0 V or V _{DRIVE}
Normal Mode (Operational)		14	20	mA	
Normal Mode (Static)		6	7.8	mA	SCLK on or off
Partial Power-Down Mode		3.5	4.5	mA	SCLK on or off
Full Power-Down Mode		5	40	μA	SCLK on or off, −40°C to +85°C
			90	μA	SCLK on or off, 85°C to 125°C
Power Dissipation					
Normal Mode (Operational)		36	59	mW	
Normal Mode (Static)		16	21.5	mW	<i>SCLK on or off</i>
Partial Power-Down Mode		9.5	11.5	mW	SCLK on or off
Full Power-Down Mode		16	110	μW	SCLK on or off, −40°C to +85°C
			250	μW	SCLK on or off, 85°C to 125°C

¹ 温度範囲: Y グレード: -40°C ~ $+125^\circ\text{C}$; B グレード: -40°C ~ $+85^\circ\text{C}$ 。

² 用語 のセクション参照。

³ 電流と消費電力の typ 値仕様は、 $V_{DD} = 2.5 \text{ V}$ かつ $V_{DRIVE} = 3.0 \text{ V}$ の場合の結果に基づきます。

⁴ I_{TOTAL} は V_{DD} と V_{DRIVE} に流入する合計電流。

タイミング仕様

特に指定がない限り、 $V_{DD} = 2.5\text{ V} \pm 10\%$ 、 $V_{DRIVE} = 2.25\text{ V} \sim 3.6\text{ V}$ 、内蔵リファレンス電圧 $= 2.048\text{ V}$ 、 $T_A = T_{MAX} \sim T_{MIN}$ ¹。

表 3.

Parameter	Limit at T_{MIN} , T_{MAX}	Unit	Description
f_{SCLK}	50 80	kHz min MHz max	
$t_{CONVERT}$	$t_2 + 13 \times t_{SCLK}$	ns max	$t_{SCLK} = 1/f_{SCLK}$
t_{QUIET}	5	ns min	Minimum time between end of serial read and next falling edge of $\overline{CS}$
t_2	5	ns min	$\overline{CS}$ to SCLK setup time
t_3^2	6	ns max	Delay from $\overline{CS}$ until $SDATA_A$ and $SDATA_B$ are three-state disabled
$t_4^{2,3}$			Data access time after SCLK falling edge
	12.5	ns max	$1.8\text{ V} \leq V_{DRIVE} < 2.25\text{ V}$
	11	ns max	$2.25\text{ V} \leq V_{DRIVE} < 2.75\text{ V}$
	9.5	ns max	$2.75\text{ V} \leq V_{DRIVE} < 3.3\text{ V}$
	9	ns max	$3.3\text{ V} \leq V_{DRIVE} \leq 3.6\text{ V}$
t_5	5	ns min	SCLK low pulse width
t_6	5	ns min	SCLK high pulse width
t_7^2	3.5	ns min	SCLK to data valid hold time
t_8^2	9.5	ns max	$\overline{CS}$ rising edge to $SDATA_A$, $SDATA_B$ high impedance
t_9	5	ns min	$\overline{CS}$ rising edge to falling edge pulse width
t_{10}^2	4.5	ns min	SCLK falling edge to $SDATA_A$, $SDATA_B$ high impedance
	9.5	ns max	SCLK falling edge to $SDATA_A$, $SDATA_B$ high impedance

¹ 温度範囲: Y グレード: $-40^\circ\text{C} \sim +125^\circ\text{C}$; B グレード: $-40^\circ\text{C} \sim +85^\circ\text{C}$ 。

² $SDATA_A$ と $SDATA_B$ に負荷容量 10 pF を接続して規定。

³ 出力が 0.4 V または 2.4 V を横切るために要する時間。

絶対最大定格

表 4.

Parameter	Rating
V_{DD} to AGND, DGND, REFGND	−0.3 V to +3 V
V_{DRIVE} to AGND, DGND, REFGND	−0.3 V to +5 V
V_{DD} to V_{DRIVE}	−5 V to +3 V
AGND to DGND to REFGND	−0.3 V to +0.3 V
Analog Input Voltages ¹ to AGND	−0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltages ² to DGND	−0.3 V to $V_{DRIVE} + 0.3$ V
Digital Output Voltages ³ to DGND	−0.3 V to $V_{DRIVE} + 0.3$ V
Input Current to Any Pin Except Supply Pins ⁴	±10 mA
Operating Temperature Range	
Y Grade	−40°C to +125°C
B Grade	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Junction Temperature	150°C
TSSOP	
θ_{JA} Thermal Impedance	143°C/W
θ_{JC} Thermal Impedance	45°C/W
Lead Temperature, Soldering	
Reflow Temperature (10 sec to 30 sec)	255°C
ESD	1.5 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

¹ アナログ入力電圧は、 V_{INA+} 、 V_{INA-} 、 V_{INB+} 、 V_{INB-} 、 REF_A 、 REF_{B0} 。

² デジタル入力電圧は、 $\overline{CS}$ と SCLK。

³ デジタル出力電圧は、SDATA_Aと SDATA_{B0}。

⁴ 最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

ピン配置およびピン機能説明

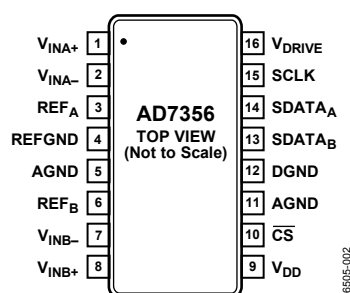


図 2. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1、2	V _{INA+} 、V _{INA-}	ADC A のアナログ入力。これらのアナログ入力でフル差動入力対を構成します。
3、6	REF _A 、REF _B	リファレンス電圧デカップリング・コンデンサ・ピン。各 ADC のリファレンス・バッファをデカップリングするため、これらのピンと REFGND ピンの間にデカップリング・コンデンサを接続します。各リファレンス・ピンを 10 μ F のコンデンサでデカップリングすることが推奨されます。出力にバッファが付いている場合、内蔵リファレンス電圧をこれらのピンから出力して、システムの他の部分に供給することができます。公称内蔵リファレンス電圧は 2.048 V で、これらのピンに出力されます。これらのピンを外部リファレンス電圧で上書き駆動することもできます。外部リファレンス電圧の入力電圧範囲は、2.048 V + 100 mV ~ V _{DD} です。
4	REFGND	リファレンス電圧グラウンド。AD7356 上のリファレンス回路に対するグラウンド基準ポイントです。すべての外部リファレンス信号は、この REFGND 電圧を基準とします。デカップリング・コンデンサをこのピンと REF _A ピンおよび REF _B ピンとの間に接続する必要があります。REFGND ピンをシステムの AGND プレーンへ接続してください。
5、11	AGND	アナログ・グラウンド。AD7356 上の全アナログ回路に対するグラウンド基準ポイントです。すべてのアナログ入力信号はこの AGND 電圧を基準とする必要があります。AGND 電圧と DGND 電圧は理想的には同電位である必要があり、過渡的なバイアスであっても差が 0.3 V を超えないようにする必要があります。
7、8	V _{INB-} 、V _{INB+}	ADC B のアナログ入力。これらのアナログ入力でフル差動入力対を構成します。
9	V _{DD}	電源入力。AD7356 の V _{DD} 範囲は 2.5 V $\pm$ 10% です。0.1 μ F のコンデンサと 10 μ F のタンタル・コンデンサの並列接続により、電源を AGND へデカップリングしてください。
10	$\overline{\text{CS}}$	チップ・セレクト。アクティブ・ローのロジック入力。この入力は、AD7356 上での変換開始機能とシリアル・データ転送フレーミング機能により共用されています。
12	DGND	デジタル・グラウンド。AD7356 上の全デジタル回路に対するグラウンド基準ポイントです。このピンをシステムの DGND プレーンへ接続してください。DGND 電圧と AGND 電圧は理想的には同電位である必要があり、過渡的なバイアスであっても差が 0.3 V を超えないようにする必要があります。
13、14	SDATA _B 、SDATA _A	シリアル・データ出力。データが各ピンにシリアル・データ・ストリームとして出力されます。ビットは SCLK 入力の立ち下がりがエッジで出力されます。AD7356 からの 12 ビット・データをアクセスするときは、14 個の SCLK 立ち下がりがエッジが必要です。両 ADC の同時変換結果が両データ出力ピンに同時に出力されます。データ・ストリームでは、2 ビットのゼロの後に 12 ビットの変換データが続きます。データは MSB ファーストです。AD7356 上で、SCLK の 14 サイクル間ではなく 16 サイクル間、 $\overline{\text{CS}}$ がロー・レベルにされると、12 ビット・データの後ろに 2 ビットのゼロが出力されます。SDATA _A または SDATA _B 上で、 $\overline{\text{CS}}$ がさらに SCLK の 16 サイクル間ロー・レベルにされると、SDATA ピン上で他の ADC からのデータが続きます。この機能を使うと、両 ADC の同時変換データを SDATA _A または SDATA _B にシリアル・フォーマットで出力することができます。
15	SCLK	シリアル・クロック。ロジック入力。シリアル・クロック入力は、AD7356 からのデータをアクセスするシリアル・クロックを提供します。このクロックは、変換プロセスのクロック・ソースとしても使われます。
16	V _{DRIVE}	ロジック電源入力。このピンに入力された電圧が、インターフェースで使用する電圧を決定します。このピンの電圧は、V _{DD} の電圧と異なることができます。V _{DRIVE} 電源は、0.1 μ F のコンデンサと 10 μ F のタンタル・コンデンサの並列接続により DGND へデカップリングする必要があります。

代表的な性能特性

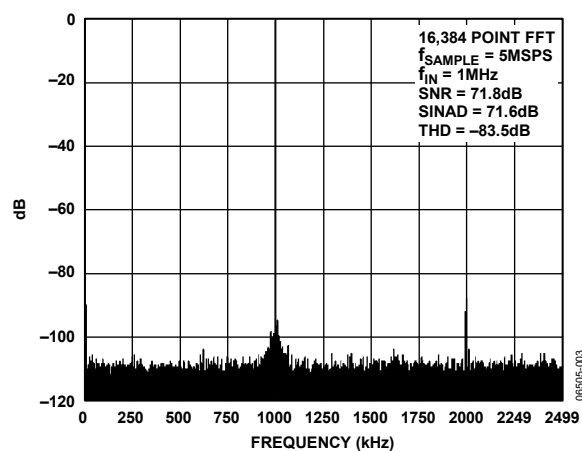


図 3. 代表的な FFT

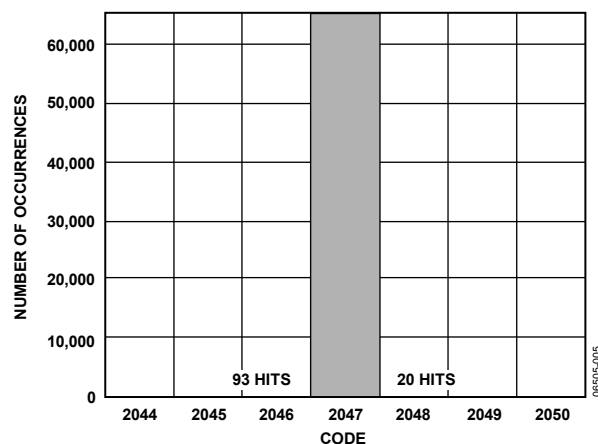


図 6. 65,000 個のサンプルに対するコードのヒストグラム

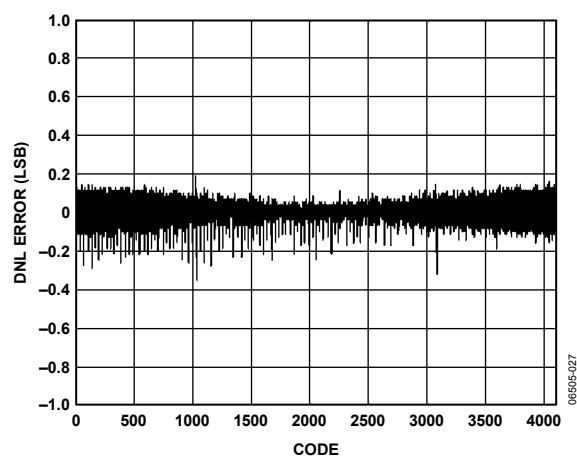


図 4. DNL 誤差(Typ)

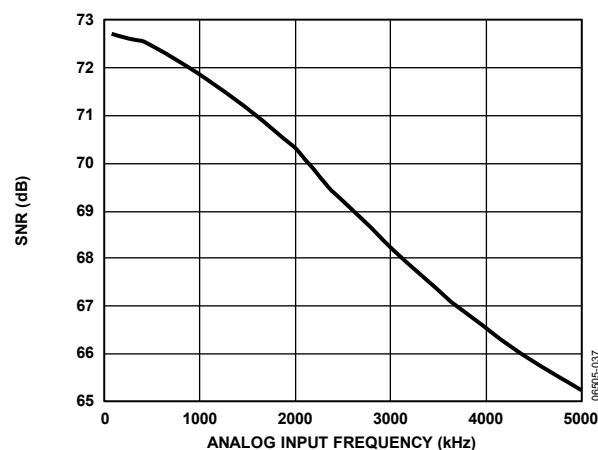


図 7. SNR 対アナログ入力周波数

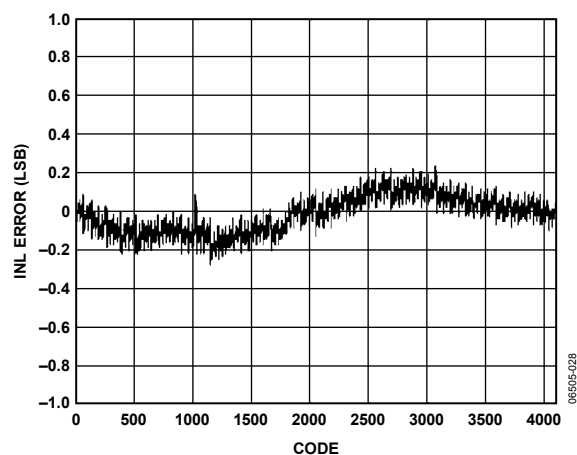


図 5. INL 誤差(Typ)

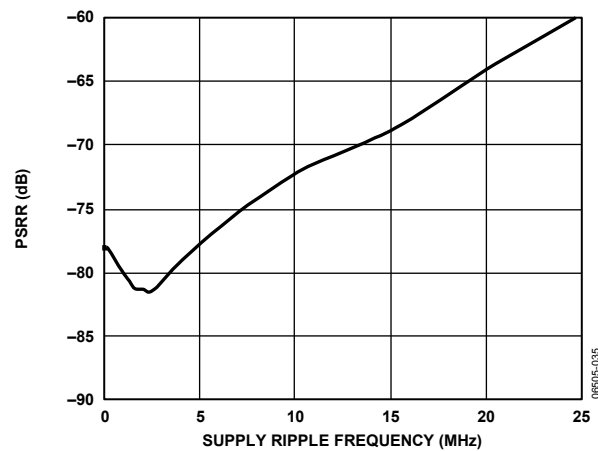


図 8. PSRR 対電源リップル周波数、電源デカップリングなし

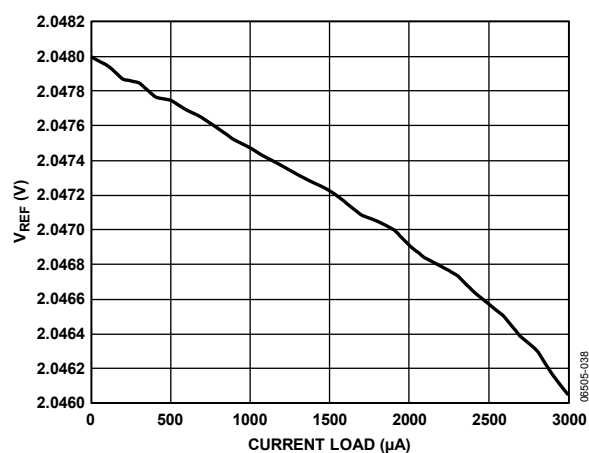
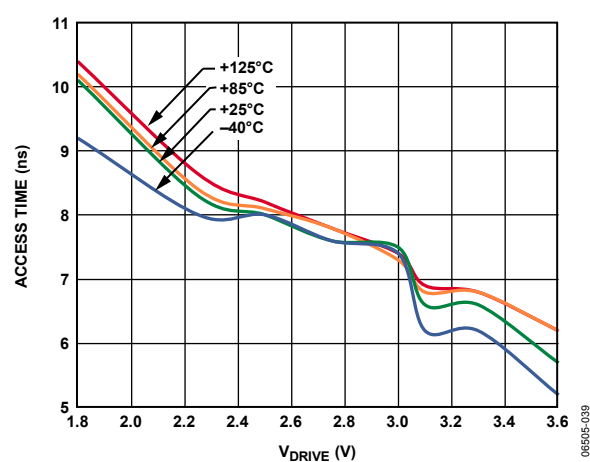
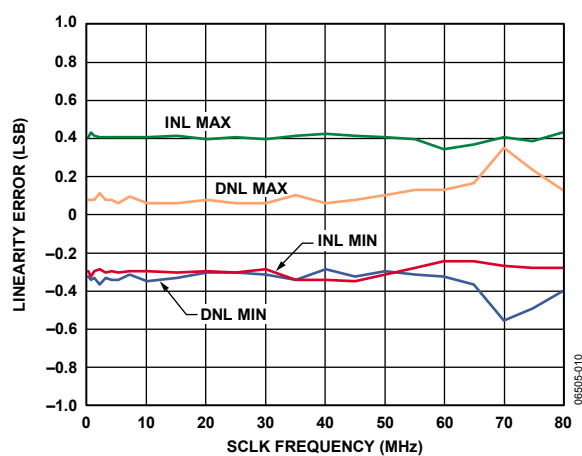
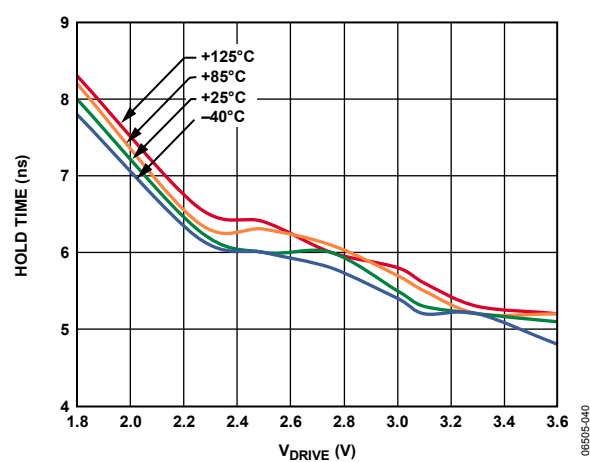
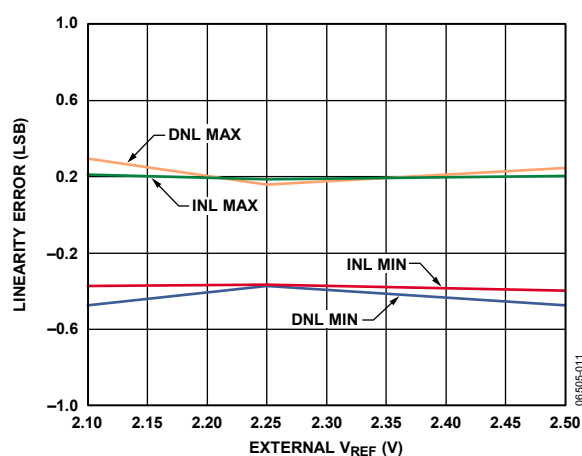
図 9. V_{REF} 対リファレンス電圧出力電流駆動図 12. アクセス・タイム対 V_{DRIVE} 

図 10. 直線性誤差対 SCLK 周波数

図 13. ホールド・タイム対 V_{DRIVE} 図 11. 直線性誤差対外部 V_{REF}

用語

積分非直線性(INL)

ADC 伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、ゼロ・スケール(最初のコード遷移より 1 LSB 下のポイント)とフル・スケール(最後のコード遷移より 1 LSB 上のポイント)をいいます。

微分非直線性(DNL)

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

負のフル・スケール誤差

負のフルスケール誤差は、ミッドスケール誤差調整後の最初のコード変化((00 ... 000)から(00 ... 001))と理論値($-V_{REF} + 0.5$ LSB)との差を意味します。

負のフル・スケール誤差マッチ

負のフルスケール誤差マッチは、2 つの ADC 間の負フルスケール誤差の差を意味します。

ミッドスケール誤差

ミッドスケール誤差は、ミッドスケール・コード変化((011 ... 111)から(100 ... 000))と理論値(0 V)との差を意味します。

ミッドスケール誤差マッチ

ミッドスケール誤差マッチは、2 つの ADC 間のミッドスケール誤差の差を意味します。

正のフル・スケール誤差

正のフルスケール誤差は、ミッドスケール誤差調整後の最後のコード変化((111 ... 110)から(111 ... 111))と理論値($V_{REF} - 1.5$ LSB)との差を意味します。

正のフル・スケール誤差マッチ

正のフルスケール誤差マッチは、2 つの ADC 間の正フルスケール誤差の差を意味します。

ADC 間アイソレーション

ADC 間アイソレーションは、ADC A と ADC B の間でのクロストークのレベルの大きさを表します。フル・スケールの 1 MHz 正弦波信号を片方の ADC に入力し、他方の ADC に可変周波数のフル・スケール信号を入力して測定します。ADC 間アイソレーションは、変換中の ADC の 1 MHz 信号電力と、FFT に現れる他方の ADC のノイズ信号電力との比として定義されます。非選択チャンネル上のノイズ周波数は、100 kHz～2.5 MHz の範囲で変化します。

電源変動除去比(PSRR)

電源変動除去比は、ADC 出力でのフル・スケール周波数 f の電力と、ADC の AV_{DD} 電源に加えられた周波数 f_S の 100 mV 正弦波の電力との比として定義されます。入力周波数は 5 kHz～25 MHz の範囲で変化します。

$$PSRR \text{ (dB)} = 10 \log (P_f/P_{f_S})$$

ここで、

P_{f_S} は、ADC 出力での周波数 f_S の電力。

P_f は、ADC 出力での周波数 f の電力。

同相モード除去比(CMRR)

除去比は、ADC 出力でのフル・スケール周波数 f の電力と、 V_{IN+} と V_{IN-} の同相モード電圧に加えられた周波数 f_S の 100 mV_{p-p} 正弦波の電力との比として定義されます。

$$CMRR \text{ (dB)} = 10 \log (P_f/P_{f_S})$$

ここで、

P_f は ADC 出力での周波数(f)の電力。

P_{f_S} は、ADC 出力での周波数(f_S)の電力。

トラック・アンド・ホールド・アクイジション時間

変換終了後、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。トラック・アンド・ホールド・アクイジション時間は、変換終了後にトラック・アンド・ホールド・アンプが最終値の ± 0.5 LSB 以内に出力が収まるために要する時間です。

信号対ノイズおよび歪み比(SINAD)

SINAD は、A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプル周波数($f_S/2$)までの全高調波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が多いほど、量子化ノイズは小さくなります。

正弦波を入力した場合の、理論 N ビット・コンバータに対する SINAD の理論値は次式で表されます。

$$SINAD = (6.02 N + 1.76) \text{ dB}$$

したがって、12 ビット・コンバータの場合 SINAD は 74 dB に、14 ビット・コンバータの場合 SINAD は 86 dB に、それぞれなります。

総合高調波歪み(THD)

THD は高調波の rms 値総和と基本波の比です。AD7356 の場合、次式で与えられます。

$$THD \text{ (dB)} = -20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

V_1 は基本波の rms 振幅。

V_2 、 V_3 、 V_4 、 V_5 、 V_6 は、2 次～6 次の高調波の rms 振幅。

スプリアス・フリー・ダイナミック・レンジ(SFDR)

SFDR は、ADC 出力スペクトル内の(DC を除いて $f_s/2$ まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれている ADC の場合は、ノイズ・ピークにより決定されます。

相互変調歪み(IMD)

非線形性を持つアクティブ・デバイスに 2 つの周波数 f_a および f_b を含む正弦波を入力すると、さまざまな和および差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。ここで、 m 、 $n=0$ 、1、2、3、...です。相互変調歪みの項とは、 m または n がゼロでない項をいいます。相互変調歪項とは、 m と n が非ゼロの項をいいます。たとえば、2 次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3 次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

AD7356 は、入力帯域幅の上限に近い 2 つの入力周波数を使う CCIF 標準を使ってテストされています。この場合、2 次項は通常、元の正弦波の周波数から離れて位置し、3 次項は通常、入力周波数に近い周波数に位置します。そのため、2 次項と 3 次項は別々に指定されます。相互変調歪みの計算は THD の仕様に従います。すなわち、dB で表した個々の歪み成分の rms 総和の、基本波の和の rms 振幅に対する比になります。

サーマル・ヒステリシス

サーマル・ヒステリシスは、 T_{HYS+} を $+25^\circ\text{C} \rightarrow T_{MAX} \rightarrow +25^\circ\text{C}$ で、または T_{HYS-} を $+25^\circ\text{C} \rightarrow T_{MIN} \rightarrow +25^\circ\text{C}$ で、温度サイクルを加えた後のリファレンス出力電圧の絶対最大変化として定義されます。

サーマル・ヒステリシスは、次式を使って ppm で表されます。

$$V_{HYS} \text{ (ppm)} = \left| \frac{V_{REF}(25^\circ\text{C}) - V_{REF}(T_{HYS})}{V_{REF}(25^\circ\text{C})} \right| \times 10^6$$

ここで、

$V_{REF}(25^\circ\text{C})$ は、 25°C での V_{REF} 。

$V_{REF}(T_{HYS})$ は、 T_{HYS+} または T_{HYS-} での V_{REF} の最大変化。

動作原理

回路説明

AD7356 は、単電源で動作する高速な逐次比較型 12 ビット・デュアル A/D コンバータ(ADC)です。このデバイスは 2.5 V 電源で動作し、最大 5 MSPS のスループット・レートを持っています。

AD7356 は、2 個のトラック・アンド・ホールド差動アンプ、2 個の逐次比較型 ADC、シリアル・インターフェースを内蔵し、2 本の個別データ出力ピンを持っています。このデバイスは、16 ピンの TSSOP パッケージを採用し、他のソリューションに比べて優れた省スペースを提供します。

シリアル・クロック入力、デバイスからのデータ読み出しに使用し、さらに逐次比較型 ADC のクロック・ソースとしても使われます。AD7356 は、2.048 V のリファレンス電圧を内蔵しています。外部リファレンス電圧が必要な場合には、内蔵リファレンス電圧を(2.048 V + 100 mV)~ V_{DD} の範囲のリファレンス電圧で上書き駆動することができます。内部リファレンス電圧をシステム内の他の場所で使う場合には、出力をバッファする必要があります。AD7356 の差動アナログ入力範囲は $V_{CM} \pm V_{REF}/2$ です。

AD7356 はパワーダウン・オプションを持っているため、変換の間で消費電力を節約することができます。パワーダウン機能は標準のシリアル・インターフェースを使って実現されています(動作モードのセクション参照)。

コンバータの動作

AD7264 は、容量 DAC を採用した 2 個の逐次比較型 ADC を内蔵しています。図 14 と図 15 に、片方の ADC についての簡略化した回路図(アキュイジション・フェーズと変換フェーズ)を示します。ADC は、コントロール・ロジック、SAR、2 個の容量 DAC から構成されています。図 14(アキュイジション・フェーズ)では、SW3 は閉じて、SW1 と SW2 は位置 A にあり、コンパレータは平衡状態にあり、サンプリング・コンデンサ・アレイは入力の差動信号を取得します。

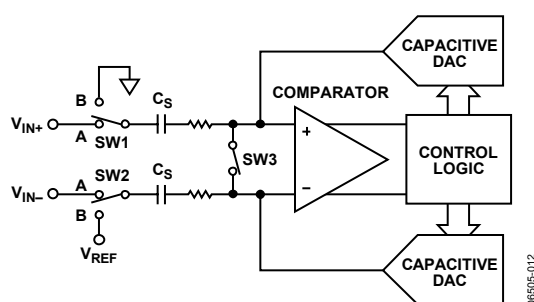


図 14.ADC アキュイジション・フェーズ

ADC が変換を開始すると(図 15)、SW3 が開いて、SW1 と SW2 が位置 B に移動して、コンパレータが不平衡状態になります。変換が開始されると、両入力切り離されます。コントロール・ロジックと電荷再配分型 DAC を使って、サンプリング・コンデンサ・アレイに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを発生します。 V_{IN+} ピンと V_{IN-} ピンを駆動する信号源の出力インピーダンスを一致させる必要があります。そうしないと、両入力ピンのセッティング時間が異なり誤差が発生します。

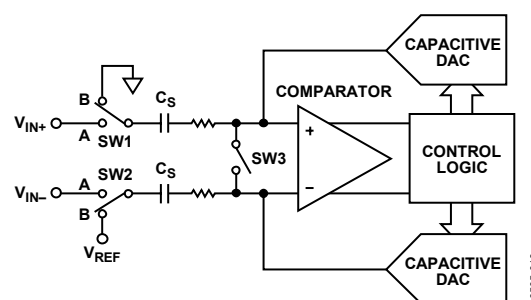


図 15.ADC 変換フェーズ

アナログ入力構造

図 16 に、AD7356 のアナログ入力構造の等価回路を示します。4 個のダイオードがアナログ入力に対して ESD 保護機能を提供します。アナログ入力信号は電源レールより 300mV 以上高くないよう注意する必要があります。超えると、これらのダイオードが順方向にバイアスされて、サブストレータに電流が流れるようになります。これらのダイオードが損傷なしに許容できる最大電流は 10 mA です。

図 16 に示すコンデンサ C1 は約 8 pF(typ)で、主にピン容量に起因します。R1 抵抗はスイッチのオン抵抗で構成される集中定数部品です。これらの抵抗は約 30 Ω (typ)です。コンデンサ C2 は ADC のサンプリング・コンデンサであり、容量は 32 pF (typ)です。

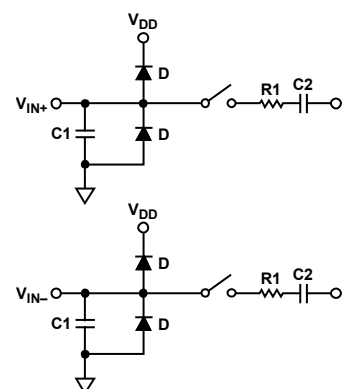


図 16.等価アナログ入力回路、変換フェーズ・スイッチはオープン、トラック・フェーズ・スイッチはクローズ

AC アプリケーションの場合は、アナログ入力ピンに RC ローパス・フィルタを使用して、アナログ入力信号から高周波成分を除去することが推奨されます。高調波歪みと信号対ノイズ比が重要であるアプリケーションでは、アナログ入力を低インピー

ダンス・ソースで入力する必要があります。ソース・インピーダンスが大きいと、ADC の AC 性能に大きな影響を与えるため、入力バッファ・アンプの使用が必要になります。オペ・アンプの選択は、アプリケーションに依存します。

アンプを使わないでアナログ入力を駆動するときは、ソース・インピーダンスを小さい値に制限する必要があります。最大ソース・インピーダンスは、許容可能な THD の大きさに依存します。ソース・インピーダンスが増加すると THD が大きくなるため、性能が低下します。図 17 に、種々のソース・インピーダンスに対して、THD とアナログ入力周波数の関係を示します。

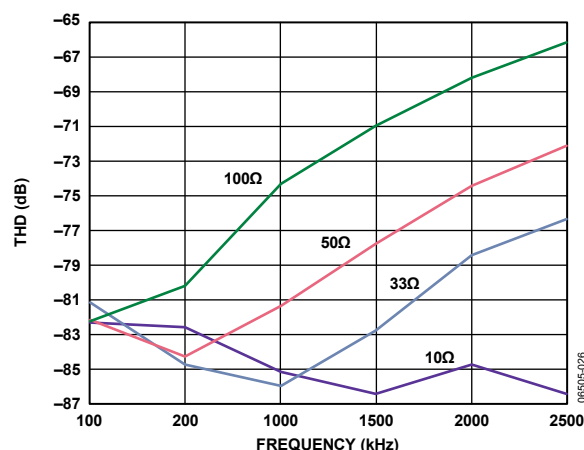


図 17. 種々のソース・インピーダンスに対する THD 対アナログ入力信号周波数

図 18 に、5 MSPS でサンプリング時の、THD とアナログ入力周波数の関係を示します。この場合、ソース・インピーダンスは 33 Ω です。

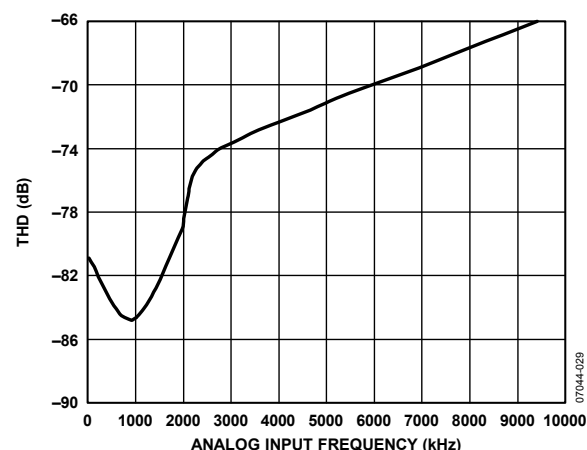


図 18. THD 対アナログ入力周波数

アナログ入力

差動信号はシングルエンド信号に比べて、デバイスのコモン・モード除去比に基づくノイズ耐性、歪性能の改善などの幾つかの利点を持っています。図 19 に、AD7356 のフル差動アナログ入力を定義します。

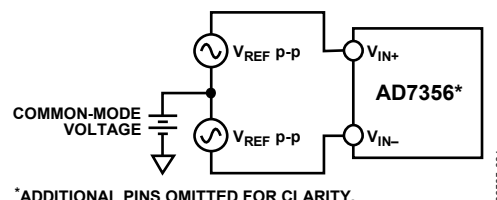


図 19. 差動入力の定義

差動信号の振幅は、各差動対の V_{IN+} ピンと V_{IN-} ピンに加えられた信号の差 ($V_{IN+} - V_{IN-}$) です。 V_{IN+} と V_{IN-} は、それぞれ振幅が V_{REF} で位相差が 180° である 2 つの信号で同時に駆動されます。このため、差動信号のこの振幅は、同相モード (CM) に関係なく $-V_{REF} \sim +V_{REF}$ の p-p 値になります。

CM は 2 つの信号の平均値であるため、2 つの入力の中心となる電圧です。

$$CM = (V_{IN+} + V_{IN-})/2$$

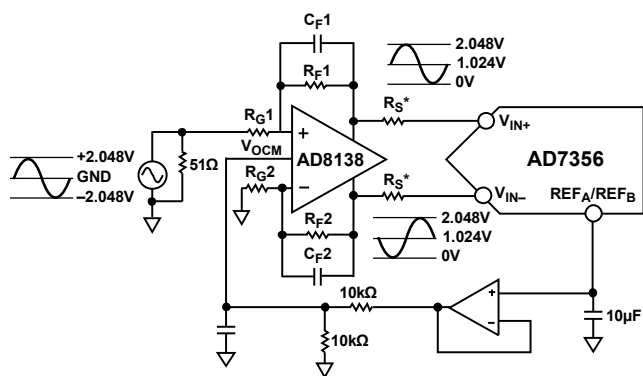
このため各入力スパンは $CM \pm V_{REF}/2$ となります。この電圧は外部で設定する必要があります。CM を設定するときは、 V_{IN+} と V_{IN-} は GND/V_{DD} 内に留まるようにする必要があります。変換が行われると、CM が除去されて、デジタル・コード 0~4095 に対応する振幅 $-V_{REF} \sim +V_{REF}$ の実質的にノイズのない信号が得られます。

差動入力駆動

差動動作では、 V_{IN+} と V_{IN-} を 180° 位相がずれている 2 つの等しい信号で駆動する必要があります。すべてのアプリケーションが差動動作に信号を予めコンデショニングしていないため、シングルエンドから差動への変換が必要になることがあります。

差動アンプ

AD7356 を差動駆動する最適な方法は、AD8138 のような差動アンプを使う方法です。このデバイスは、シングルエンド/差動変換アンプまたは差動-差動アンプとして使うことができます。また、AD8138 は同相モード・レベルのシフト機能も提供します。図 20 に、AD8138 をシングルエンド/差動変換アンプとして使用する方法を示します。AD8138 の正側出力と負側出力は、スイッチされる容量の ADC フロントエンドに対する影響を小さくするための 1 対の直列抵抗を介してそれぞれの ADC 入力に接続されます。AD8138 のアーキテクチャにより、厳密に一致する外付け部品が不要で広い周波数範囲で平衡を維持する出力が得られます。



*MOUNT AS CLOSE TO THE AD7356 AS POSSIBLE AND ENSURE THAT HIGH PRECISION R_S RESISTORS ARE USED.
 $R_S = 33\Omega$; $R_{G1} = R_{G2} = 499\Omega$; $C_{F1} = C_{F2} = 39pF$;
 $R_{F2} = 523\Omega$

06505-031

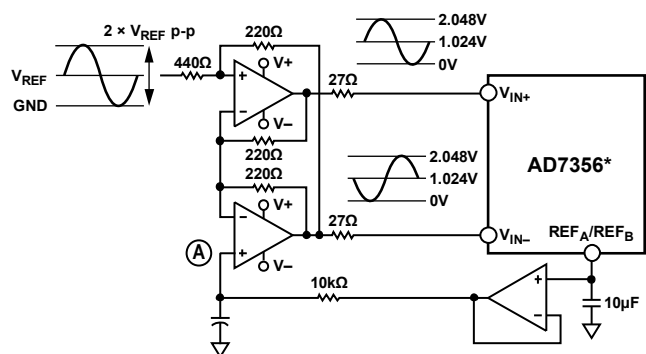
図 20. シングルエンド/差動変換アンプとして AD8138 を使用

使用するアナログ入力ソースがゼロ・インピーダンスを持つ場合、4 個のすべての抵抗(R_{G1} 、 R_{G2} 、 R_{F1} 、 R_{F2})は同じである必要があります。たとえば、ソースが 50Ω のインピーダンスと 50Ω の終端を持つ場合、入力での並列インピーダンスをバランスさせて、正側アナログ入力と負側アナログ入力と同じゲインを持つようにするために、 R_{G2} 値を 25Ω だけ大きくする必要があります。アンプ出力は完全に一致して、同じ振幅と正確に位相が 180° ずれたバランスした差動出力が得られます。

オペアンプ対

オペアンプ対を使って、差動信号を AD7356 のアナログ入力対の 1 つに直接接続することができます。図 21 と図 22 に示す回路構成は、それぞれバイポーラ入力信号とユニポーラ入力信号について、オペアンプを使って、シングルエンド信号を差動信号に変換する方法を示しています。

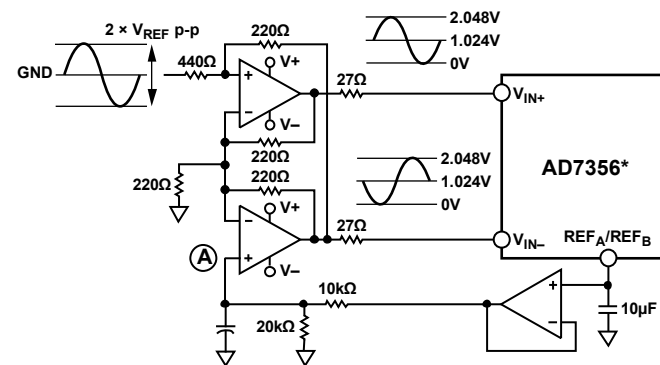
ポイント A に入力される電圧が同相モード電圧を設定します。両図では、これはリファレンスに接続されています。AD7356 を差動駆動するこの構成で使用する最適なデュアル・オペアンプとしては AD8022 があります。



*ADDITIONAL PINS OMITTED FOR CLARITY.

06505-032

図 21. シングルエンド・ユニポーラ信号を差動信号へ変換するデュアル・オペアンプ回路



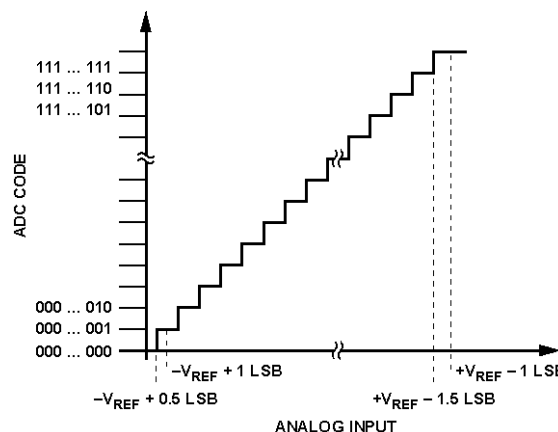
*ADDITIONAL PINS OMITTED FOR CLARITY.

06505-033

図 22. シングルエンド・バイポーラ信号を差動ユニポーラ信号に変換するデュアル・オペアンプ回路

ADC の伝達関数

AD7356 の出力コーディングはストレート・バイナリ数です。コード変化は LSB の連続する整数倍値(1 LSB、2 LSB など)で発生します。LSB サイズは $(2 \times V_{REF})/4096$ です。AD7356 の理論伝達特性を図 23 に示します。



06505-014

図 23. AD7356 の理論伝達特性

動作モード

AD7356 の動作モードは、変換時に $\overline{\text{CS}}$ 信号のロジック状態を制御することにより選択されます。ノーマル・モード、パーシャル・パワーダウン・モード、フル・パワーダウン・モードの 3 つの動作モードがあります。変換開始後の $\overline{\text{CS}}$ がハイ・レベルになるポイントで、デバイスのパワーダウン・モードが決定されます。同様に、すでにパワーダウン・モードにある場合、デバイスがノーマル動作に戻るか、パワーダウン・モードに留まるかが $\overline{\text{CS}}$ によって制御されます。

これらの動作モードは、柔軟なパワー・マネジメント・オプションを提供するためにデザインされています。これらのオプションを選択して、さまざまなアプリケーションの要求に対して消費電力/スループット・レート比を最適化することができます。

ノーマル動作モード

このモードでは、AD7356 が常時フル・パワーオン状態にあるためパワーアップ時間を気にする必要がないので、最高スループット・レート性能を得ることができます。図 24 に、このモードでの AD7356 動作の一般的な動作図を示します。

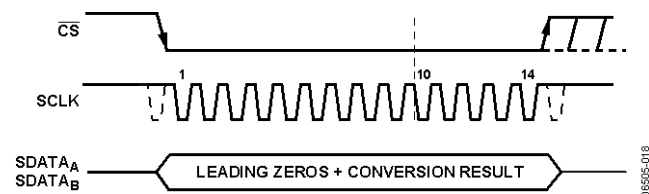


図 24. ノーマル・モード動作

変換はシリアル・インターフェースのセクションで説明するように $\overline{\text{CS}}$ の立ち下がりエッジで開始されます。デバイスを常時パワーアップさせておくために、 $\overline{\text{CS}}$ の立ち下がりエッジの後 SCLK の少なくとも 10 個の立ち下がりエッジが経過するまで、 $\overline{\text{CS}}$ をロー・レベルに維持しておく必要があります。10 番目の SCLK の立ち下がりエッジの後で、かつ 14 番目の SCLK の立ち下がりエッジの前の任意のタイミングで $\overline{\text{CS}}$ をハイ・レベルにすると、デバイスはパワーアップ状態を維持しますが、変換は終了して、SDATA_A と SDATA_B はスリー・ステートに戻ります。変換を完了して AD7356 の変換結果をアクセスするためには、シリアル・クロックで 14 サイクルが必要です。SDATA ラインは SCLK で 14 サイクル経過してもスリー・ステートに戻りませんが、 $\overline{\text{CS}}$ がハイ・レベルに戻ると、スリー・ステートに戻ります。SCLK の 16 サイクル間、 $\overline{\text{CS}}$ がロー・レベルにされると、データの後ろに 2 ビットのゼロが出力されます。さらに SCLK で 14 サイクル間 $\overline{\text{CS}}$ がロー・レベルに維持されると、他の内蔵 ADC の結果も同じ SDATA ラインからアクセスすることができます(図 31 とシリアル・インターフェースのセクションを参照してください)。

SCLK で 32 サイクルが経過すると、SCLK の 32 番目の立ち下がりエッジで SDATA ラインはスリー・ステートに戻ります。この前に、 $\overline{\text{CS}}$ をハイ・レベルにすると、SDATA ラインはその時点でスリー・ステートに戻ります。したがって、SCLK の 32 サイクル後に $\overline{\text{CS}}$ はロー・レベルになり、次の変換の前にハイ・レベルに戻すまでこの状態が続きます。それでも、バスはデュアル・リザルト読み出しが完了したとき、スリー・ステートに戻ります。

データ転送が完了して、SDATA_A と SDATA_B がスリー・ステートに戻った後、静止時間 t_{QUIET} が経過した後(アキュイジション時間を確保して)に、 $\overline{\text{CS}}$ を再度ロー・レベルにして、次の変換を開始することができます。

パーシャル・パワーダウン・モード

このモードは、低いスループット・レートが必要とされるアプリケーションでの使用を目的にしています。いずれかの ADC が各変換の間にパワーダウンされるか、または一連の変換を高いスループット・レートで実行した後に、これら複数の変換バーストの間に ADC がパワーダウンされます。AD7356 を 100 μs 以上パーシャル・パワーダウン・モードにしないことが推奨されます。AD7356 がパーシャル・パワーダウンになると、内蔵リファレンスとリファレンス・バッファ以外の全アナログ回路がパワーダウンされます。

パワーダウン・モードにするときは、SCLK の 2 番目の立ち下がりエッジの後で、かつ SCLK の 10 番目の立ち下がりエッジの前に $\overline{\text{CS}}$ をハイ・レベルにすることにより、変換プロセスを中断させる必要があります(図 25)。SCLK のこのウインドウ内で、 $\overline{\text{CS}}$ をハイ・レベルにすると、デバイスはパワーダウン状態に入りますが、 $\overline{\text{CS}}$ の立ち下がりエッジで開始された変換は終了して、SDATA_A と SDATA_B はスリー・ステートに戻ります。SCLK の 2 番目の立ち下がりエッジの前に $\overline{\text{CS}}$ をハイ・レベルにすると、デバイスはノーマル・モードに留まり、パワーダウンしません。この機能により、 $\overline{\text{CS}}$ ライン上のグリッチに起因して偶発的にパワーダウンしてしまうことを防止します。

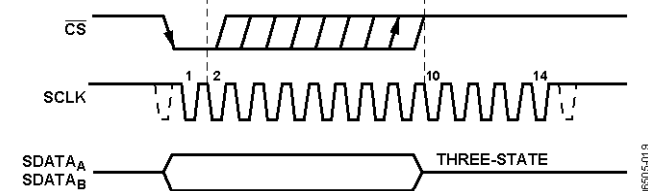


図 25. パーシャル・パワーダウン・モードの開始

この動作モードを終了して、AD7356 を再度パワーアップするときは、ダミー変換が実行されます。 $\overline{\text{CS}}$ の立ち下がりエッジでデバイスはパワーアップを開始し、 $\overline{\text{CS}}$ がロー・レベルに維持されている間パワーアップを続けて、SCLK の 10 番目の立ち下がりエッジに終了します。デバイスは 200 ns 経過後(1 回の変換後)にフルにパワーアップし、有効なデータが次の変換から得られます(図 26 参照)。SCLK の 2 番目の立ち下がりエッジの前に $\overline{\text{CS}}$ をハイ・レベルにすると、AD7356 は再びパーシャル・パワーダウン・モードに戻ります。この機能により、 $\overline{\text{CS}}$ ライン上のグリッチに起因して偶発的にパワーダウンしてしまうことを防止します。デバイスは $\overline{\text{CS}}$ の立ち下がりエッジでパワーアップできますが、 $\overline{\text{CS}}$ の立ち上がりエッジで再びパワーダウンします。AD7356 がすでにパーシャル・パワーダウン・モードにあり、かつ SCLK の 2 番目と 10 番目の立ち下がりエッジの間に $\overline{\text{CS}}$ をハイ・レベルにした場合、デバイスはフル・パワーダウン・モードになります。

フル・パワーダウン・モード

このモードは、フル・パワーダウンからのパワーアップにはパーシャル・パワーダウンからのパワーアップよりさらに長い時間が必要なため、パーシャル・パワーダウン・モードより低いスループット・レートが要求されるアプリケーションでの使用を目的としています。このモードは、比較的高スループット・レートで実行される一連の変換の後ろに長い無動作時間(すなわちパワーダウン)が続くアプリケーションに適しています。AD7356 がフル・パワーダウン・モードになると、内蔵リファレンスとリファレンス・バッファを含む全アナログ回路がパワーダウンされます。パーシャル・パワーダウンと同じ方法でフル・パワーダウンに入りますが、図 25 に示すタイミング・シーケンスを 2 回実行する点が異なります。SCLK の 2 番目の立ち下がりエッジの後の、SCLK の 10 番目の立ち下がりエッジの前にCSをハイ・レベルにすることにより、同様の方法で変換プロセスを中断させる必要があります。デバイスはこの時点でパーシャル・パワーダウン・モードに入ります。

フル・パワーダウンに到達するためには、次の変換サイクルを図 27 に示す方法と同じ方法で中断させる必要があります。CS を SCLK のこのウィンドウ内でハイ・レベルにすると、デバイスはフル・パワーダウンします。

CSをハイ・レベルにしてパワーダウン・モードに入った後は、SCLK で 14 または 16 サイクルを完了させる必要がないことに注意してください。

フル・パワーダウン・モードを終了して AD7356 をパワーアップさせるときは、パーシャル・パワーダウンからのパワーアップと同様にダミー変換を実行してください。CSの立ち下がりエッジでデバイスはパワーアップを開始し、CSがロー・レベルに維持されている間パワーアップを続けて、SCLK の 10 番目の立ち下がりエッジに終了します。必要とされるパワーアップ時間が経過した後に、変換を開始することができます(図 28)。

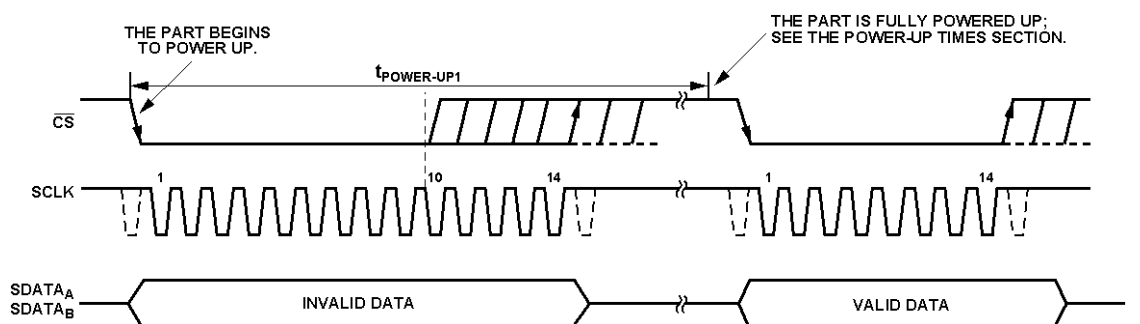


図 26. パーシャル・パワーダウン・モードの終了

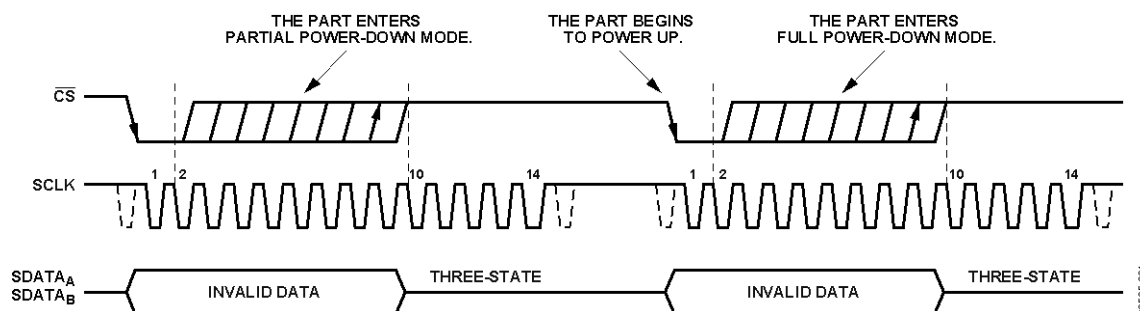


図 27. フル・パワーダウン・モードの開始

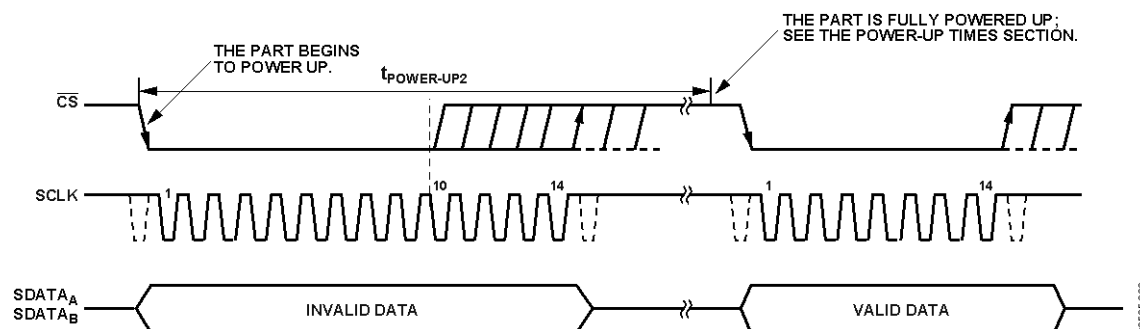


図 28. フル・パワーダウン・モードの終了

パワーアップ時間

AD7356 には、パーシャル・パワーダウンとフル・パワーダウンの 2 つのパワーダウン・モードがあります。これらについては、ノーマル動作モード、パーシャル・パワーダウン・モード、フル・パワーダウン・モードの各セクションで説明します。このセクションでは、いずれかのモードから抜け出す際のパワーアップ時間について説明します。パワーアップ時間を適用するためには、推奨デカップリング・コンデンサを REF_A ピンと REF_B ピンに接続する必要があることに注意してください。

パーシャル・パワーダウン・モードからパワーアップするときは、1 ダミー・サイクルが必要です。デバイスは、 $\overline{CS}$ の立ち下がりエッジから約 200 ns 後にフル・パワーアップします。パーシャル・パワーアップ時間が経過すると、ADC がフル・パワーアップして、入力信号を正常に取り込みます。この場合でも、 $\overline{CS}$ の立ち下がりエッジから、 $\overline{CS}$ の次の立ち下がりエッジまでの休止時間 t_{QUIET} を確保する必要があります。

フル・パワーダウン・モードからパワーアップするためには、 $\overline{CS}$ の立ち下がりエッジから $t_{POWER\ UP}$ (図 28 参照) として約 6 ms を確保する必要があります。

パーシャル・パワーダウンからパワーアップする際、 $\overline{CS}$ の立ち下がりエッジの後にデバイスが受け取る最初の SCLK エッジの後で、デバイスのパワーダウン中にホールド・モードにあったトラック・アンド・ホールドがトラック・モードに戻ることに、注意する必要があります。

電源が最初に AD7356 に加えられるとき、ADC はパワーダウン・モードまたはノーマル・モードからパワーアップすることができます。このため、デバイスが完全にパワーアップした後に有効な変換を開始させるようにするため、1 ダミー・サイクルを経過させることが最適です。同様に、電源を加えた直後にデバイスをパーシャル・パワーダウン・モードにする場合にも、2 ダミー・サイクルを経過させる必要があります。最初のダミー・サイクルでは 10 番目の SCLK 立ち下がりエッジが経過するまで $\overline{CS}$ をロー・レベルに維持する必要があります。2 番目のサイクルでは、2 番目の SCLK 立ち下がりエッジと 10 番目の SCLK エッジの間に $\overline{CS}$ をハイ・レベルにする必要があります(図 25 参照)。

あるいは、電源を加えたときにデバイスをフル・パワーダウン・モードにする場合にも、3 ダミー・サイクルの経過が必要です。最初のダミー・サイクルでは 10 番目の SCLK 立ち下がりエッジが経過するまで $\overline{CS}$ をロー・レベルに維持する必要があります。2 番目と 3 番目のダミー・サイクルで、デバイスがフル・パワーダウン・モードになります(図 27 と動作モードのセクション参照)。

消費電力とスループット・レートとの関係

AD7356 の消費電力はスループット・レートにより変わります。非常に低速なスループット・レートで、かつできるだけ高速な SCLK 周波数を使う場合には、種々のパワーダウン・オプションを使って大幅な消費電力の削減を行うことができますが、パワーダウン・オプションを使わなくとも AD7356 の静止電流が十分小さいため、サンプリング・レートによる消費電力の大きな変化はありません。これは、固定 SCLK 値を使うか、またはサンプリング・レートでスケールするかによらず言えることです。図 29 に、固定の最大 SCLK 周波数およびサンプリング・レートでスケールした SCLK 周波数によるノーマル・モード動作時の、電力対スループット・レートのプロットを示します。図 29 では内蔵リファレンス電圧を使用しています。

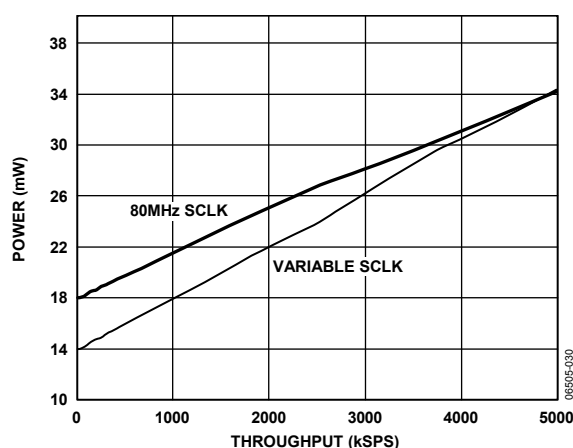


図 29.消費電力とスループット・レートとの関係

シリアル・インターフェース

図 30 に、AD7356 に対するシリアル・インターフェースの詳細なタイミング図を示します。シリアル・クロックは変換クロックとして使用され、変換時に AD7356 に入出力される情報の転送制御にも使用されます。

$\overline{\text{CS}}$ 信号が、データ転送と変換プロセスを開始させます。 $\overline{\text{CS}}$ の立ち下がりエッジでトラック・アンド・ホールドがホールド・モードになり、この時点でアナログ入力サンプルされ、バスがスリー・ステートから抜け出します。変換もこの時点で開始され、完了までに最小 14 SCLK サイクルが必要です。SCLK の 13 個の立ち下がりエッジが経過すると、トラック・アンド・ホールドが次の SCLK 立ち上がりエッジでトラック状態に戻ります(図 30 のポイント B)。AD7356 上で、16 ビットのデータ転送を使用する場合には、最後の LSB の後ろに 2 ビットのゼロが出力されます。

$\overline{\text{CS}}$ の立ち上がりエッジで、変換が終了して SDATA_A と SDATA_B はスリー・ステートに戻ります。 $\overline{\text{CS}}$ をハイ・レベルにしないで、さらに SCLK の 14 サイクル間ロー・レベルを維持させると、ADC B からの変換データは、 SDATA_A に出力されます(図 31 参照)。同様に、ADC A からの変換データは、 SDATA_B に出力され

ます。この場合、使用している SDATA ラインが、32 番目の SCLK の立ち下がりエッジまたは $\overline{\text{CS}}$ の立ち上がりエッジのいずれか早い方でスリー・ステートに戻ります。変換プロセスを実行して AD7356 のいずれかのデータ・ライン上に 1 変換データを取り出すためには、シリアル・クロックで 14 サイクル必要です。 $\overline{\text{CS}}$ がロー・レベルになると、マイクロコントローラまたは DSP によって前縁のゼロが読み出されます。次に 2 番目の前縁ゼロの後に、残りのデータが後続の SCLK 立ち下がりエッジで出力されます。このようにして、シリアル・クロックの最初の立ち下がりクロック・エッジで前縁のゼロ・ビットが出力された後、2 番目のゼロ・ビットも出力されます。12 ビットの変換結果、その後ろにデータ転送の最終ビットが続き、14 番目の立ち下がりエッジで有効になります(前の 13 番目の立ち下がりエッジは出力済み)。低速 SCLK を使うアプリケーションでは、SCLK 周波数に応じて SCLK の各立ち上がりエッジでデータを読み込むことができます。低速 SCLK では、 $\overline{\text{CS}}$ の立ち下がりエッジの後の、最初の SCLK 立ち上がりエッジで前縁ゼロ・ビットが出力され、SCLK の 13 番目の立ち上がりエッジで DB0 が出力されます。

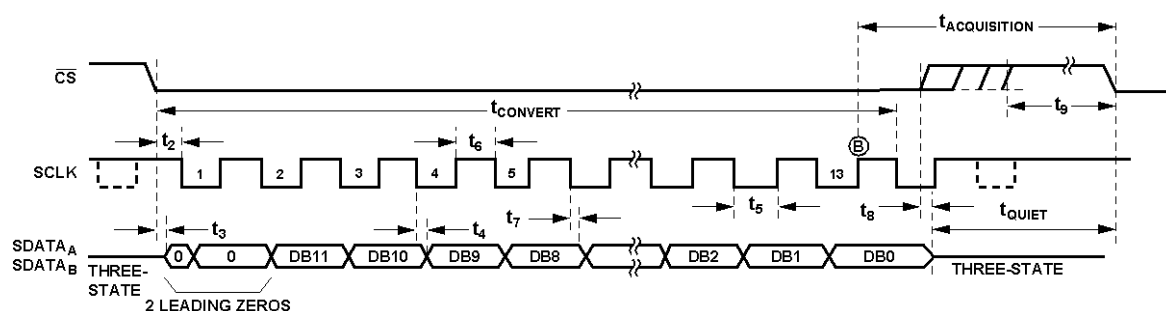


図 30. シリアル・インターフェースのタイミング図

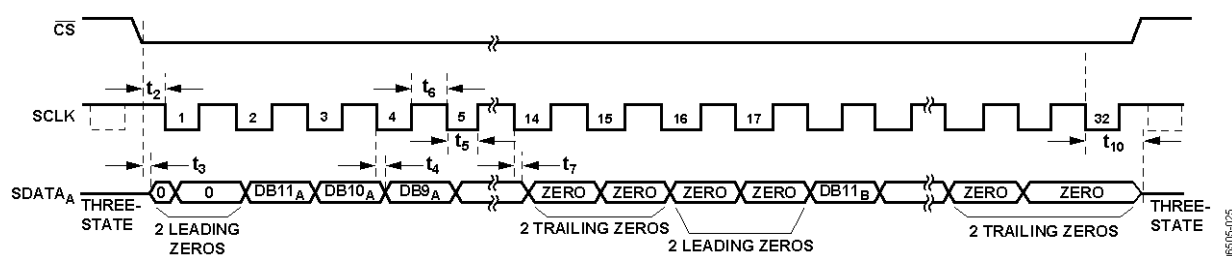


図 31. 1 本の SDATA ラインへの両 ADC からのデータ読み出し、32 SCLK サイクル使用

アプリケーション情報

グラウンド接続とレイアウト

AD7356 のアナログ電源とデジタル電源は独立しており、別々のピンを使用することにより、デバイスのアナログ部とデジタル部の間の結合を最小にしています。AD7356 を実装するプリント回路ボード(PCB)は、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。そうすると、グラウンド・プレーンの使用が可能になり、それらを容易に分離できるようになります。

最適なシールド効果を実現するために、一般にエッチング部分を最小することが最適です。AD7356 の 2 本の AGND ピンを AGND プレーンに接続する必要があります。REFGND ピンも AGND プレーンに接続する必要があります。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは 1 点で接続する必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD7356 を使用する場合にも、この接続は 1 か所で行う必要があります。すなわち、AD7356 のできるだけ近くで星型グラウンド接続点を構成します。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD7356 の下を通過することは可能です。AD7356 の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。

クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、クロック信号はアナログ入力付近を通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置してボードを通過するフィードスルー

効果を減少させます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

すべての電源を、10 μ F のタンタル・コンデンサと 0.1 nF のコンデンサの並列接続を使って GND へデカップリングします。デカップリング部品の効果を最大にするためには、これらの部品をデバイスのできるだけ近くに、理想的にはデバイスの隣に配置します。0.1 μ F コンデンサは、一般的なセラミック型コンデンサや表面実装型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESI)が小さいものを使う必要があります。これらの低 ESR および低 ESI のコンデンサは、ロジックのスイッチングにより発生する過渡電流に起因する高周波に対してグラウンドへの低インピーダンス・パスを提供します。

AD7356 の性能評価

AD7356 の推奨レイアウトの概要は評価ボードのドキュメントに記載してあります。評価ボードの梱包には、アセンブル/テスト済みの評価ボード、ドキュメント、コンバータ評価/開発ボード(CED)を介して PC からボードを制御するソフトウェアが添付されています。CED は、AD7356 評価ボード(さらにアナログ・デバイスサイズのその他の多くの評価ボードで終わりに CB 識別マークが付くもの)と組み合わせて使用して、AD7356 の AC 性能と DC 性能のデモ/評価を行うことができます。

ソフトウェアを使うと、ユーザーは AD7356 の AC テスト(高速フーリエ変換)と DC テスト(直線性)を行うことができます。ソフトウェアとドキュメントは、評価ボードに添付されている CD-ROM で提供しています。

外形寸法

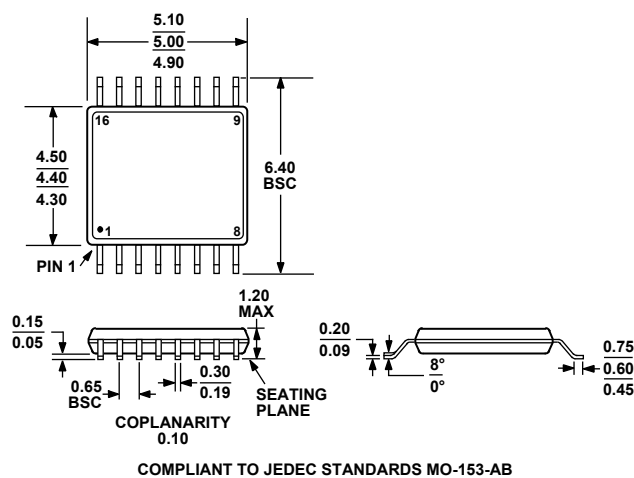


図 32.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-16)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7356BRUZ ¹	−40°C to +85°C	16-Lead TSSOP	RU-16
AD7356BRUZ-500RL ¹	−40°C to +85°C	16-Lead TSSOP	RU-16
AD7356BRUZ-RL ¹	−40°C to +85°C	16-Lead TSSOP	RU-16
AD7356YRUZ ¹	−40°C to +125°C	16-Lead TSSOP	RU-16
AD7356YRUZ-500RL ¹	−40°C to +125°C	16-Lead TSSOP	RU-16
AD7356YRUZ-RL ¹	−40°C to +125°C	16-Lead TSSOP	RU-16
EVAL-AD7356EDZ ^{1,2}		Evaluation Board	
EVAL-CED1Z ^{1,3}		Converter Evaluation and Development Board	

¹ Z = RoHS 準拠製品

² これは単独の評価ボードとして、または EVAL-CED1Z ボードと組み合わせて、評価/デモ目的で 사용할 ことができます。

³ この評価ボードを使うと、ED サフィックスが付くすべてのアナログ・デバイズ評価ボードを PC から制御して通信することができます。