PGAと4個のコンパレータを内蔵する 1 MSPS同時サンプリング 14ビットSAR ADC

AD7264

特長

同時サンプリングの 2 チャンネル 14 ビット ADC
真の差動アナログ入力
プログラマブルなゲイン・ステージ: ×1、×2、×3、×4、×6、×8、×12、×16、×24、×32、×48、×64、×96、×128
ADC ごとにスループット・レート設定可能
AD7264: 1 MSPS
AD7264-5: 500 kSPS
アナログ入力インピーダンス: 1 GΩ 以上
広い入力帯域幅
−3 dB 帯域幅:ゲイン= 2 で 1.7 MHz
4 個のコンパレータを内蔵
SNR:ゲイン= 2 で 78 dB (typ)、ゲイン= 32 で 71 dB (typ)
デバイス・オフセットのキャリブレーション機能内蔵
システム・ゲインのキャリブレーション機能内蔵
内蔵リファレンス電圧: 2.5 V
動作温度範囲: −40°C～+105°C
高速シリアル・インターフェースを内蔵
SPI、QSPI™、MICROWIRE™、DSP と互換
48 ピンの LFCSP パッケージまたは LQFP パッケージを採用

概要

AD7264 は、高速低消費電力の 14 ビット・デュアル逐次比較型 ADC であり、5 V の単電源で動作し、内蔵 ADC あたり最大 1 MSPS のスループット・レートを持っています(AD7264-5 の場合は 500 kSPS)。2 個の完全な ADC 機能を内蔵しており、2 チャンネルのサンプリングと変換を同時に実行することができます。各 ADC の前には PGA を持つ真の差動アナログ入力が配置されています。設定可能ゲインとしては、×1、×2、×3、×4、×6、×8、×12、×16、×24、×32、×48、×64、×96、×128 の 14 種類が可能です。

AD7264 は 4 個のコンパレータを内蔵しています。コンパレータ A とコンパレータ B は、低消費電力用に最適化されており、コンパレータ C とコンパレータ D は高速な伝搬遅延を持っています。AD7264 は、デバイスのオフセット誤差を除去するキャリブレーション機能と、入力パス(たとえばセンサー)のオフセットとゲインの補償を可能にするプログラマブル・ゲイン調整レジスタを内蔵しています。AD7264 は 2.5 V のリファレンス電圧を内蔵していますが、外付けリファレンス電圧を使う場合には、これをディスエーブルすることができます。AD7264 は 48 ピンの LFCSP パッケージまたは LQFP パッケージを採用しています。

AD7264 は、さまざまなセンサーからの小振幅信号のモニターに最適です。このデバイスは、モーター・コントロール・システムで使用されるさまざまなアナログ・エンコーダからの位置帰還信号のモニターに必要なすべての機能を内蔵しています。

機能ブロック図

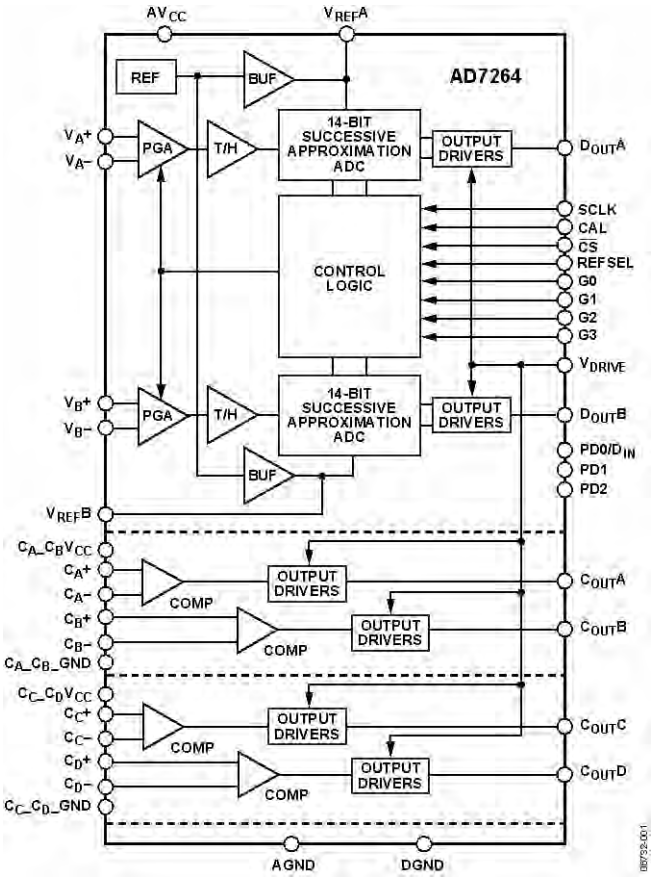


図 1.

製品のハイライト

1. 低レベル・アナログ信号の検出と変換を可能にする柔軟なゲイン設定を持つ PGA を内蔵。
2. 各 PGA の後ろにデュアル同時サンプリング ADC を配置し、ADC あたり 1 MSPS のスループット・レートを提供(AD7264-5 の場合は 500 kSPS)。両チャンネルの変換結果は別々のデータ・ラインに同時に出力。あるいはシリアル・ポートが 1 個しかない場合には、両チャンネルの変換結果を 1 本のデータ・ラインにマルチプレクスして出力。
3. モーター・コントロール・アプリケーションで極センサー信号のカウントに使用できるコンパレータを 4 個内蔵。
4. 2.5 V のリファレンス電圧を内蔵。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

Rev. A

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1　ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36　新大阪 MT ビル 2 号
電話 06（6350）6868

目次

特長 1
概要 1
機能ブロック図 1
製品のハイライト 1
改訂履歴 2
仕様 3
タイミング仕様 6
絶対最大定格 7
ESD の注意 7
ピン配置およびピン機能説明 8
代表的な性能特性 10
用語 14
動作原理 15
回路説明 15
コンパレータ 15
動作 15
アナログ入力 15
V_{DRIVE} 16
リファレンス電圧 16
代表的な接続図 17
アプリケーションの詳細 19
動作モード 20
ピン駆動モード 20
ゲインの選択 20
パワーダウン・モード 20
コントロール・レジスタ 21
内部レジスタ 22
シリアル・インターフェース 23
キャリブレーション 25
内部オフセットのキャリブレーション 25
オフセット・キャリブレーション・レジスタの調整 26
システム・ゲインのキャリブレーション 26
アプリケーション情報 27
グラウンド接続とレイアウト 27
LFCSP 用 PCB のデザイン・ガイドライン 27
外形寸法 28
オーダー・ガイド 29

改訂履歴

7/08—Rev. 0 to Rev. A

Added AD7264-5 ..... Universal
Added LQFP Package ..... Universal
Changes to Figure 1 1
Changes to Common-Mode Voltage Range, V_{CM} Parameter 3
Changes to Table 3 7
Changes to Pin Configuration and Function Description Section 8
Changes to Figure 29 19
Updated Outline Dimensions 28
Changes to Ordering Guide 29

5/08—Revision 0: Initial Version

仕様

特に指定がない限り、AV_{CC} = 4.75 V～5.25 V、$C_A_C_BV_{CC}$ = $C_C_C_DV_{CC}$ = 2.7 V～5.25 V、V_{DRIVE} = 2.7 V～5.25 V、f_S = 1 MSPS で f_{SCLK} = 34 MHz (AD7264)、f_S = 500 kSPS で f_{SCLK} = 20 MHz (AD7264-5)、V_{REF} = 2.5 V 内部/外部、T_A = −40°C～+105°C。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE[1]					f_{IN} = 100 kHz sine wave
Signal-to-Noise Ratio (SNR)[2]	76	78		dB	PGA gain setting = 2
Signal-to-(Noise + Distortion) Ratio (SINAD)[2]	74	77		dB	
Total Harmonic Distortion (THD)[2]		−85	−77	dB	
Spurious-Free Dynamic Range (SFDR)		−97		dB	
Common-Mode Rejection Ratio (CMRR)		−76		dB	For PGA gain setting = 2, ripple frequency of 50 Hz/60 Hz; see Figure 17 and Figure 18
ADC-to-ADC Isolation[2]		−90		dB	
Bandwidth[3]		1.2		MHz	@ −3 dB; PGA gain setting = 128
		1.7		MHz	@ −3 dB; PGA gain setting = 2
DC ACCURACY					
Resolution			14	Bits	
Integral Nonlinearity[2]		±1.5	±3	LSB	
Differential Nonlinearity[2]		±0.5	±0.99	LSB	Guaranteed no missed codes to 14 bits
Positive Full-Scale Error[2]		±0.122	±0.305	% FSR	Precalibration
		±0.018		% FSR	Postcalibration
Positive Full-Scale Error Match[2]		±0.061		% FSR	
Zero Code Error[2]		±0.092	±0.244	% FSR	Precalibration
		±0.012		% FSR	Postcalibration
Zero Code Error Match[2]		±0.061		% FSR	
Negative Full-Scale Error[2]		±0.122	±0.305	% FSR	Precalibration
		±0.018		% FSR	Postcalibration
Negative Full-Scale Error Match[2]		±0.061		% FSR	
Zero Code Error Drift		2.5		µV/°C	
ANALOG INPUT					
Input Voltage Range, $V_{IN}+$ and $V_{IN}-$	$V_{CM} \pm \frac{V_{REF}}{2 \times Gain}$			V	V_{CM} = AV_{CC}/2; PGA gain setting ≥ 2
Common-Mode Voltage Range, V_{CM}	V_{CM} − 100 mV		V_{CM} + 100 mV	V	V_{CM} = 2 V; PGA gain setting = 1; see Figure 19[4]
	(V_{CC}/2) − 0.4		(V_{CC}/2) + 0.2	V	V_{CM} = AV_{CC}/2; PGA gain setting = 2
	(V_{CC}/2) − 0.4		(V_{CC}/2) + 0.4	V	V_{CM} = AV_{CC}/2; 3 ≤ PGA gain setting ≤ 32
	(V_{CC}/2) − 0.6		(V_{CC}/2) + 0.8	V	V_{CM} = AV_{CC}/2; PGA gain setting ≥ 48
DC Leakage Current		±0.001	±1	µA	
Input Capacitance[3]		5		pF	
Input Impedance[3]		1		GΩ	
REFERENCE INPUT/OUTPUT					
Reference Output Voltage[5]	2.495	2.5	2.505	V	2.5 V ± 5 mV max @ 25°C
Reference Input Voltage		2.5		V	
DC Leakage Current		±0.3	±1	µA	External reference applied to Pin V_{REF}A/Pin V_{REF}B
Input Capacitance[3]		20		pF	
V_{REF}A, V_{REF}B Output Impedance[3]		4		Ω	
Reference Temperature Coefficient		20		ppm/°C	
V_{REF} Noise[3]		20		µV rms	
LOGIC INPUTS					
Input High Voltage, V_{INH}	0.7 × V_{DRIVE}			V	
Input Low Voltage, V_{INL}			0.8	V	
Input Current, I_{IN}			±1	µA	V_{IN} = 0 V or V_{DRIVE}
Input Capacitance, C_{IN}[3]		4		pF	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC OUTPUTS					
Output High Voltage, V_{OH}	V_{DRIVE} − 0.2			V	
Output Low Voltage, V_{OL}			0.4	V	
Floating State Leakage Current			±1	µA	
Floating State Output Capacitance[3]		5		pF	
Output Coding		Twos complement			
CONVERSION RATE					
Conversion Time			19 × t_{SCLK}	ns	
Track-and-Hold Acquisition Time[3]	400			ns	
Throughput Rate			1	MSPS	AD7264
			500	kSPS	AD7264-5
COMPARATORS					
Input Offset					
Comparator A and Comparator B		±2	±4	mV	T_A = 25°C to 105°C only
Comparator C and Comparator D		±2	±4	mV	
Offset Voltage Drift		0.5		µV/°C	All comparators
Input Common-Mode Range[3]		0 to 4		V	C_A_$C_B$$V_{CC}$ = 5 V
		0 to 1.7		V	C_A_$C_B$$V_{CC}$ = 2.7 V
Input Capacitance[3]		4		pF	
Input Impedance[3]		1		GΩ	
I_{DD} Normal Mode (Static)[6]					25 pF load, C_{OUT}x = 0 V, V_{CM} = AV_{CC}/2, $V_{OVERDRIVE}$ = 200 mV differential
Comparator A and Comparator B		3		µA	C_A_$C_B$$V_{CC}$ = 3.3 V
		6	8.5	µA	C_A_$C_B$$V_{CC}$ = 5.25 V
Comparator C and Comparator D		60		µA	C_C_$C_D$$V_{CC}$ = 3.3 V
		120	170	µA	C_C_$C_D$$V_{CC}$ = 5.25 V
Propagation Delay Time[2]					V_{CM} = AV_{CC}/2, $V_{OVERDRIVE}$ = 200 mV differential
High to Low, t_{PHL}					
Comparator A and Comparator B		1.4	3.5	µs	C_A_$C_B$$V_{CC}$ = 2.7 V
		0.95		µs	C_A_$C_B$$V_{CC}$ = 5 V
Comparator C and Comparator D		0.20	0.32	µs	C_C_$C_D$$V_{CC}$ = 2.7 V
		0.13		µs	C_C_$C_D$$V_{CC}$ = 5 V
Low to High, t_{PLH}					
Comparator A and Comparator B		2	4	µs	C_A_$C_B$$V_{CC}$ = 2.7 V
		0.93		µs	C_A_$C_B$$V_{CC}$ = 5 V
Comparator C and Comparator D		0.18	0.28	µs	C_C_$C_D$$V_{CC}$ = 2.7 V
		0.12		µs	C_C_$C_D$$V_{CC}$ = 5 V
Delay Matching					V_{CM} = AV_{CC}/2, $V_{OVERDRIVE}$ = 200 mV differential
Comparator A and Comparator B		±250		ns	
Comparator C and Comparator D		±10		ns	
POWER REQUIREMENTS					Digital inputs = 0 V or V_{DRIVE}
AV_{CC}	4.75		5.25	V	
C_A_$C_B$$V_{CC}$, C_C_$C_D$$V_{CC}$	2.7		5.25	V	
V_{DRIVE}	2.7		5.25	V	
I_{DD}					
ADC Normal Mode (Static)		20	31.5	mA	AV_{CC} = 5.25 V
ADC Normal Mode (Dynamic)		23	33.3	mA	f_S = 1 MSPS, AV_{CC} = 5.25 V
Shutdown Mode		0.5	1	µA	AV_{CC} = 5.25 V, ADCs and comparators powered down
Power Dissipation					
ADC Normal Mode (Static)		105	165	mW	
ADC Normal Mode (Dynamic)		120	175	mW	
Shutdown Mode		2.625	5.25	µW	

[1] これらの機能の使用は、ゲイン・キャリブレーション機能なしで決定されます。

[2] 用語のセクション参照。
[3] 初期リリース時はサンプル・テストにより適合性を保証。出荷テストは行いません。
[4] PGA ゲイン = 1 に対して、AD7264 の全アナログ入力範囲 ($V_{CM} \pm V_{REF}/2$)を使用するときは、V_{CM} 電圧は 1.95 V～2.05 V の範囲内にある必要があります。
[5] ピン $V_{REF}A$ またはピン $V_{REF}B$ 参照。
[6] この仕様には両コンパレータの I_{DD} が含まれます。コンパレータあたりの I_{DD} は規定値の 1/2 になります。

タイミング仕様

特に指定がない限り、AV_{CC} = 4.75 V～5.25 V、$C_A_C_BV_{CC}$ = $C_C_C_DV_{CC}$ = 2.7 V～5.25 V、V_{REF} = 2.5 V 内部/外部、T_A = T_{MIN}～T_{MAX}。[1]

表 2.

	Limit at T_{MIN}, T_{MAX}			
Parameter	**2.7 V ≤ V_{DRIVE} ≤ 3.6 V**	**4.75 V ≤ V_{DRIVE} ≤ 5.25 V**	**Unit**	**Description**
f_{SCLK}	200	200	kHz min	
	34	34[2]	MHz max	AD7264
	20	20	MHz max	AD7264-5
$t_{CONVERT}$	19 × t_{SCLK}	19 × t_{SCLK}	ns max	t_{SCLK} = 1/f_{SCLK}
	560	560	ns max	AD7264
	950	950	ns max	AD7264-5
t_{QUIET}	13	13	ns min	Minimum time between end of serial read/bus relinquish and next falling edge of $\overline{CS}$
t_2	10	10	ns min	$\overline{CS}$ to SCLK setup time
t_3[3]	15	15	ns max	Delay from 19th SCLK falling edge until $D_{OUT}A$ and $D_{OUT}B$ are three-state disabled
t_4	29	23	ns max	Data access time after SCLK falling edge
t_5	15	13	ns min	SCLK to data valid hold time
t_6	0.4 × t_{SCLK}	0.4 × t_{SCLK}	ns min	SCLK high pulse width
t_7	0.4 × t_{SCLK}	0.4 × t_{SCLK}	ns min	SCLK low pulse width
t_8	13	13	ns min	$\overline{CS}$ rising edge to falling edge pulse width
t_9	13	13	ns max	$\overline{CS}$ rising edge to $D_{OUT}A$, $D_{OUT}B$ high impedance/bus relinquish
t_{10}	5	5	ns min	SCLK falling edge to $D_{OUT}A$, $D_{OUT}B$ high impedance
	35	35	ns max	SCLK falling edge to $D_{OUT}A$, $D_{OUT}B$ high impedance
t_{11}	2	2	µs min	Minimum CAL pin high time
t_{12}	2	2	µs min	Minimum time between the CAL pin high and the $\overline{CS}$ falling edge
t_{13}	3	3	ns min	D_{IN} setup time prior to SCLK falling edge
t_{14}	3	3	ns min	D_{IN} hold time after SCLK falling edge
$t_{POWER-UP}$	240	240	µs max	Internal reference, with a 1 µF decoupling capacitor
	15	15	µs max	With an external reference, 10 µs typical

[1] 初期リリース時はサンプル・テストにより適合性を保証。すべての入力信号は t_R = t_F = 5 ns (V_{DD} の 10%から 90%)で規定し、1.6V の電圧レベルからの時間とします。すべてのタイミング仕様は 25 pF の負荷容量を使用して規定。この値より大きい負荷容量では、デジタル・バッファまたはラッチを使う必要があります。用語のセクションを参照してください。

[2] AD7264 は 25－C で 40 MHz SCLK で機能しますが、仕様性能は 34 MHz を超える SCLK 周波数で保証していません。

[3] 出力が 0.4 V または 2.4 V を横切るために要する時間。

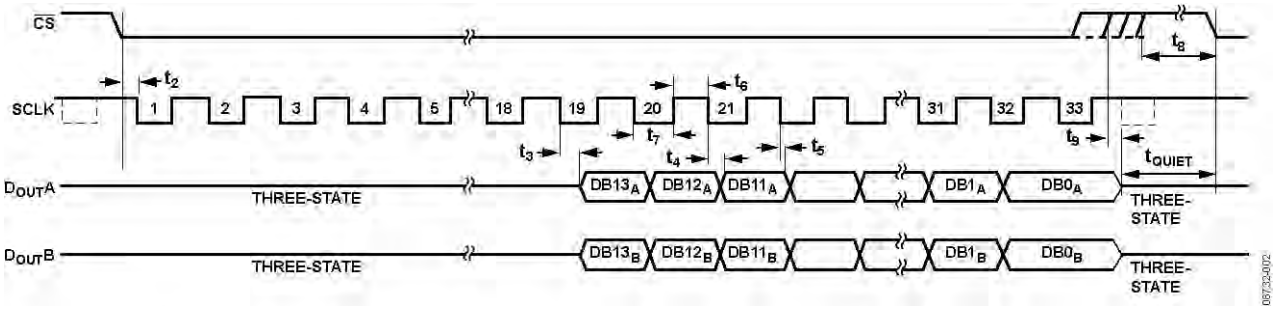


図 2.シリアル・インターフェースのタイミング図

絶対最大定格

表 3.

Parameter	Rating
V_{DRIVE} to DGND	−0.3 V to AV_{CC}
V_{DRIVE} to AGND	−0.3 V to AV_{CC}
AV_{CC} to AGND, DGND	−0.3 V to +7 V
$C_A_C_BV_{CC}$ to $C_A_C_B$_GND	−0.3 V to +7 V
$C_C_C_DV_{CC}$ to $C_C_C_D$_GND	−0.3 V to +7 V
AGND to DGND	−0.3 V to +0.3 V
$C_A_C_B$_GND, $C_C_C_D$_GND to DGND	−0.3 V to +0.3 V
Analog Input Voltage to AGND	−0.3 V to AV_{CC} + 0.3 V
Digital Input Voltage to DGND	−0.3 V to +7 V
Digital Output Voltage to GND	−0.3 V to V_{DRIVE} + 0.3 V
V_{REF}A, V_{REF}B Input to AGND	−0.3 V to AV_{CC} + 0.3 V
C_{OUT}A, C_{OUT}B, C_{OUT}C, C_{OUT}D to GND	−0.3 V to V_{DRIVE} + 0.3 V
$C_A\pm$, $C_B\pm$, $C_C\pm$, $C_D\pm$ to $C_A_C_B$_GND, $C_C_C_D$_GND	−0.3 V to $C_A_C_BV_{CC}/C_C_C_DV_{CC}$ + 0.3 V
Operating Temperature Range	−40°C to +105°C
Storage Temperature Range	−65°C to +150°C
Junction Temperature	150°C
LQFP Package	
θ_{JA} Thermal Impedance	55°C/W
θ_{JC} Thermal Impedance	16°C/W
LFCSP Package	
θ_{JA} Thermal Impedance	30°C/W
θ_{JC} Thermal Impedance	3°C/W
Pb-Free Temperature, Soldering Reflow	255°C
ESD	2 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

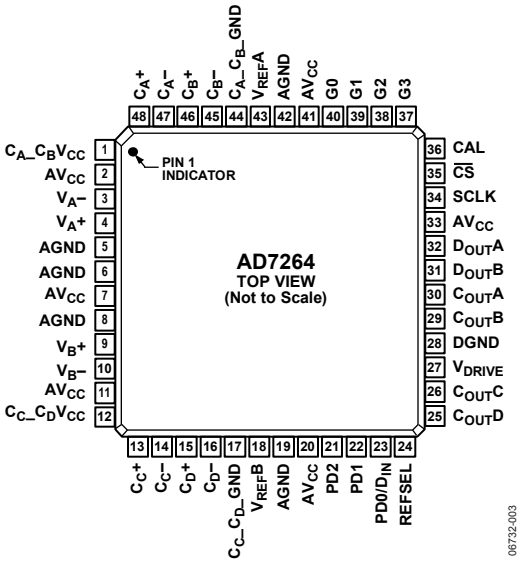
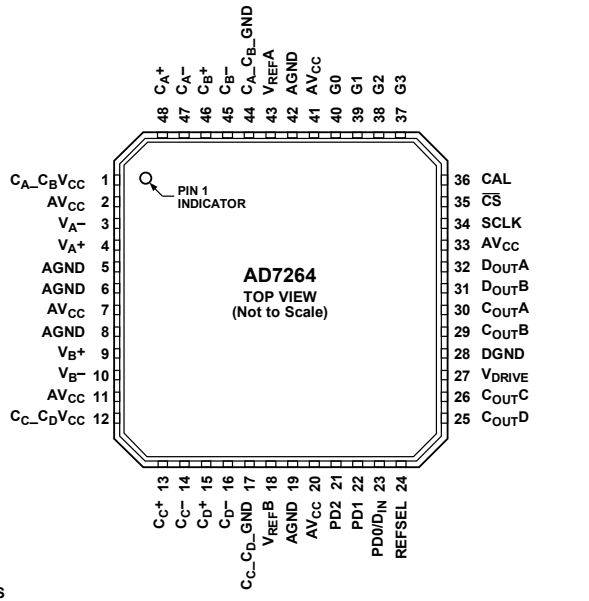


図 3.48 ピン LQFP のピン配置



NOTES
1. THE EXPOSED METAL PADDLE ON THE BOTTOM OF THE LFCSP PACKAGE MUST BE SOLDERED TO PCB GROUND FOR PROPER HEAT DISSIPATION AND ALSO FOR NOISE AND MECHANICAL STRENGTH BENEFITS.

図 4.48 ピン LFCSP のピン配置

表 4.ピン機能の説明

ピン番号	記号	説明
2、7、11、20、33、41	AV_{CC}	4.75 V～5.25 V のアナログ電源電圧。これは AD7264 のアナログ回路の電源電圧です。すべての AV_{CC} ピンは相互に接続できます。この電源は、100 nF のセラミック・コンデンサ(電源ごと)と 10 µF のタンタル・コンデンサで AGND へデカップリングする必要があります。
1	$C_A_C_BV_{CC}$	2.7 V～5.25 V のコンパレータ電源電圧。これは、コンパレータ A トコンパレータ B の電源電圧です。この電源は $C_A_C_B$_GND へデカップリングする必要があります。AV_{CC}、$C_C_C_DV_{CC}$、$C_A_C_BV_{CC}$は相互に接続できます。
12	$C_C_C_DV_{CC}$	2.7 V～5.25 V のコンパレータ電源電圧。これは、コンパレータ C トコンパレータ D の電源電圧です。この電源は $C_C_C_D$_GND へデカップリングする必要があります。AV_{CC}、$C_C_C_DV_{CC}$、$C_A_C_BV_{CC}$は相互に接続できます。
4、3	V_A+、V_A–	ADC A のアナログ入力。真の差動入力対。
9、10	V_B+、V_B–	ADC B のアナログ入力。真の差動入力対。
43、18	V_{REF}A、V_{REF}B	リファレンス電圧入力/出力。各 ADC の内蔵リファレンス・バッファをデカップリングするため、これらのピンにデカップリング・コンデンサを接続します。一般に、リファレンス電圧をデカップリングするために 1 µF のコンデンサが必要です。出力にバッファが付いている場合、内蔵リファレンス電圧をこれらのピンから出力して、システムの他の部分に供給することができます。
34	SCLK	シリアル・クロック。ロジック入力。シリアル・クロック入力は、AD7264 からデータをアクセスする際に SCLK として使います。このクロックは、変換プロセスのクロック・ソースとしても使われます。変換を完了して 14 ビットの変換結果をアクセスするためには、シリアル・クロックで最小 33 サイクルが必要です。
35	$\overline{CS}$	チップ・セレクト。アクティブ・ローのロジック入力。この入力で AD7264 での変換を起動します。
36	CAL	ロジック入力。内部オフセット・キャリブレーション機能を起動します。
21	PD2	ロジック入力。PD1 ピン、PD0 ピンと組み合わせて使用し、AD7264 を選択したシャットダウン・モードにします。 表 7 を参照してください。
22	PD1	ロジック入力。PD2 ピン、PD0 ピンと組み合わせて使用し、AD7264 を選択したシャットダウン・モードにします。 表 7 を参照してください。
23	PD0/D_{IN}	ロジック入力/データ入力。PD2 ピン、PD1 ピンと組み合わせて使用し、AD7264 を選択したシャットダウン・モードにします。 表 7 を参照してください。すべてのゲイン選択ピン(G0 ～G3)がロー・レベルに固定された場合、このピンはデータ入力ピンとして機能し、すべてのプログラミングはコントロール・レジスタを介して行われます(表 8 参照)。AD7264 のコントロール・レジスタに書き込むデータはこのピ

ピン番号	記号	説明
		ンに入力され、SCLK の立ち下がりエッジでレジスタに入力されます。
48、47、46、45	C_A+、C_A−、C_B+、C_B−	コンパレータ入力。これらのピンは、コンパレータ A とコンパレータ B に対する反転と非反転のアナログ入力になります。これらの 2 個のコンパレータの消費電力は非常に小さくなっています。
13、14、15、16	C_C+、C_C−、C_D+、C_D−	コンパレータ入力。これらのピンは、コンパレータ C トコンパレータ D に対する反転と非反転のアナログ入力になります。この 2 個のコンパレータは非常に高速な伝搬遅延を持っています。
5、6、8、19、42	AGND	アナログ・グラウンド。AD7264 のすべてのアナログ回路のグラウンド基準ポイント。全アナログ入力信号と外付けリファレンス信号はこの AGND 電圧を基準とします。全 AGND ピンは AGND プレーンに接続する必要があります。AGND、DGND、C_A_C_B_GND、C_C_C_D_GND の電圧は理想的には同電位である必要があり、過渡的なバイアスであっても差が 0.3 V を超えないようにする必要があります。C_A_C_B_GND と C_C_C_D_GND は AGND に接続することができます。
28	DGND	デジタル・グラウンド。AD7264 のすべてのデジタル回路のグラウンド基準ポイント。DGND ピンはシステムの DGND プレーンへ接続する必要があります。DGND 電圧と AGND 電圧は理想的には同電位である必要があり、過渡的なバイアスであっても差が 0.3 V を超えないようにする必要があります。
30、29、26、25	C_{OUT}A、C_{OUT}B、C_{OUT}C、C_{OUT}D	コンパレータ出力。これらのピンは、各対応するコンパレータからの CMOS (プッシュプル)出力です。これらは、V_{DRIVE} 電源により決定されるロジック・レベルを持つデジタル出力ピンです。
32、31	D_{OUT}A、D_{OUT}B	シリアル・データ出力。AD7264 からのデータ出力が 2 の補数フォーマットのシリアル・データ・ストリームとして各ピンから出力されます。ビットは SCLK 入力の立ち下がりエッジで出力されます。変換を完了して 14 ビットの変換結果をアクセスするためには、シリアル・クロックで合計 33 サイクルが必要です。変換プロセス中、データ出力ピンはスリー・ステートになり、変換が完了すると、19 番目の SCLK エッジ・クロックで MSB が出力されます。両 ADC の同時変換結果が両ピンに同時に出力されます。データは MSB ファーストです。D_{OUT}A ピンまたは D_{OUT}B ピンについて最初の 33 SCLK サイクルの後に、さらに 14 SCLK サイクル間$\overline{CS}$をロー・レベルに保持すると、他の ADC からのデータが D_{OUT} ピンに出力されます。この機能を使うと、両 ADC の同時変換のデータをシリアル・フォーマットで D_{OUT}A または D_{OUT}B に集めて、1 つのシリアル・ポートのみを使うようにすることができます。
40、39、38、37	G0、G1、G2、G3	ロジック入力。これらのピンを使って、フロントエンド・アンプのゲインを設定します。4 本すべてのピンがロー・レベルに固定された場合、PD0/D_{IN} ピンはデータ入力ピン D_{IN} として機能し、すべての設定はコントロール・レジスタを介して行います。 表 6 を参照してください。
27	V_{DRIVE}	このピンに入力された電圧(2.7 V ～5.25 V)が、コンパレータ出力を含むインターフェースで使用する電圧を決定します。このピンは DGND にデカップリングする必要があります。
44、17	C_A_C_B_GND、C_C_C_D_GND	コンパレータ・グラウンド。AD7264 のすべてのコンパレータ回路のグラウンド基準ポイント。C_A_C_B_GND ピンと C_C_C_D_GND ピンはシステムの GND プレーンへ接続する必要があり、さらに AGND へ接続することができます。DGND、AGND、C_A_C_B_GND、C_C_C_D_GND の電圧は理想的には同電位である必要があり、過渡的なバイアスであっても差が 0.3 V を超えないようにする必要があります。
24	REFSEL	内部/外部リファレンス電圧選択。ロジック入力。このピンをハイ・レベル電圧に接続すると、内蔵 2.5 V リファレンス電圧が ADC A と ADC B のリファレンス電圧として使われます。REFSEL を GND に接続すると、V_{REF}A ピンおよび/または V_{REF}B ピンを経由して外部リファレンス電圧が AD7264 に入力されます。

代表的な性能特性

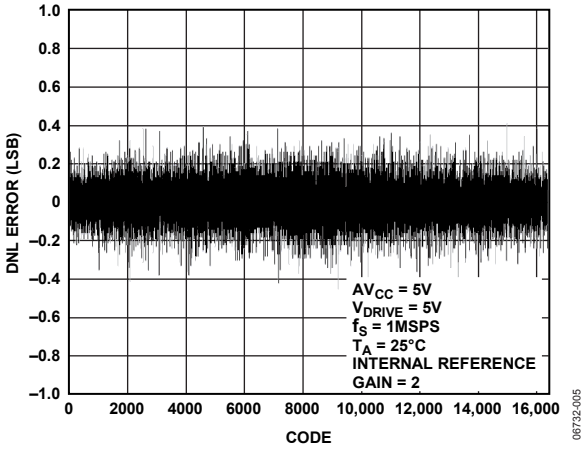


図 5.DNL (Typ)、ゲイン= 2

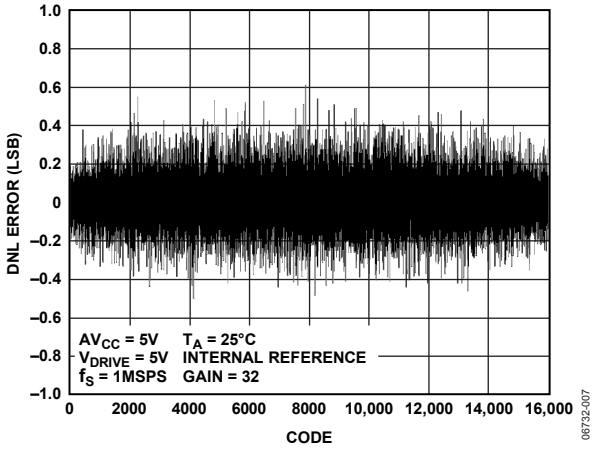


図 8.DNL (Typ)、ゲイン= 32

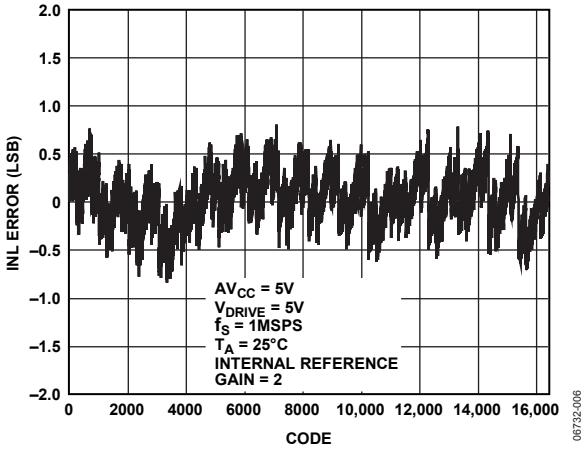


図 6.INL (Typ)、ゲイン= 2

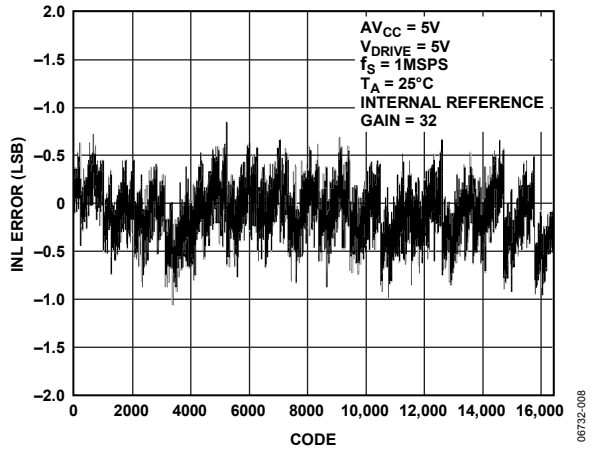


図 9.INL (Typ)、ゲイン= 32

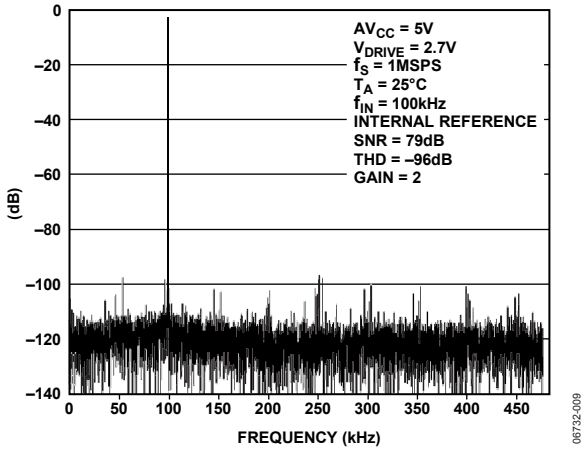


図 7.FFT (Typ)、ゲイン= 2

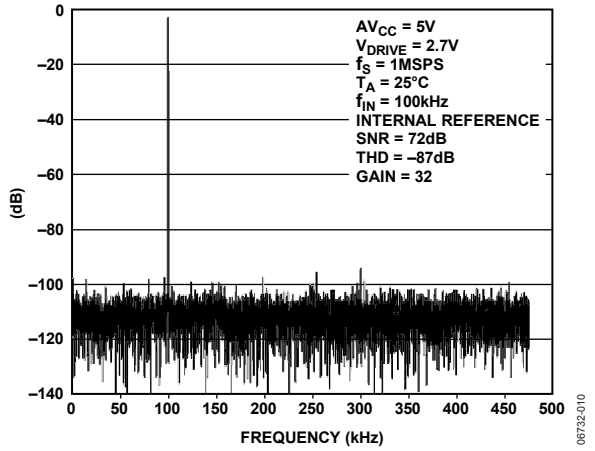


図 10.FFT (Typ)、ゲイン= 32

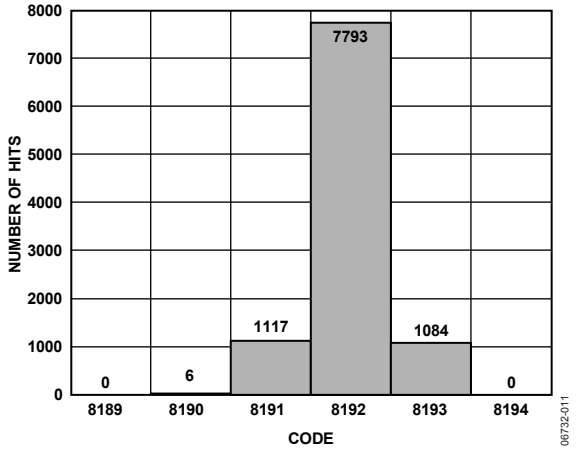


図 11.コード・ヒストグラム、10k サンプル、ゲイン= 2

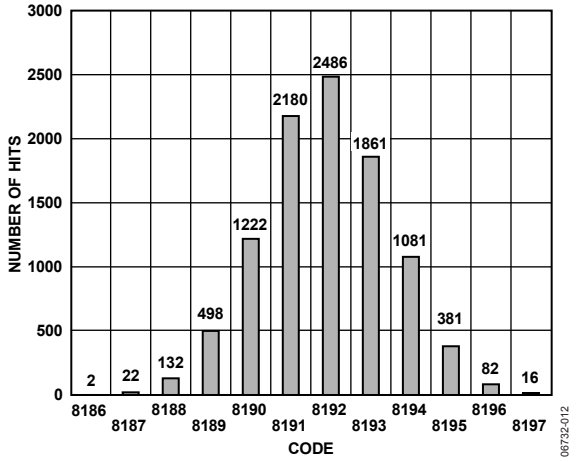


図 12.コード・ヒストグラム、10k サンプル、ゲイン= 32

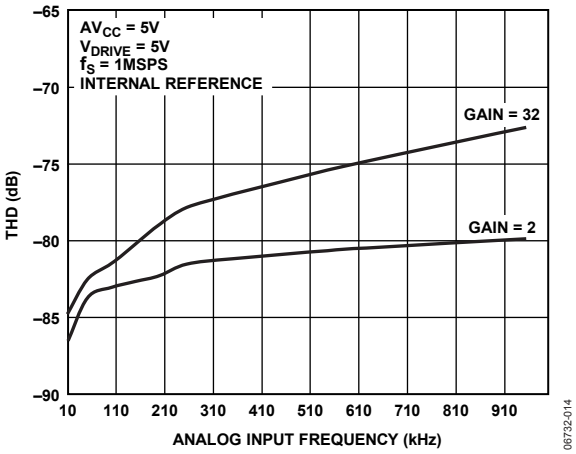


図 13.THD 対 1 MHz までのアナログ入力周波数、ゲイン= 2、32

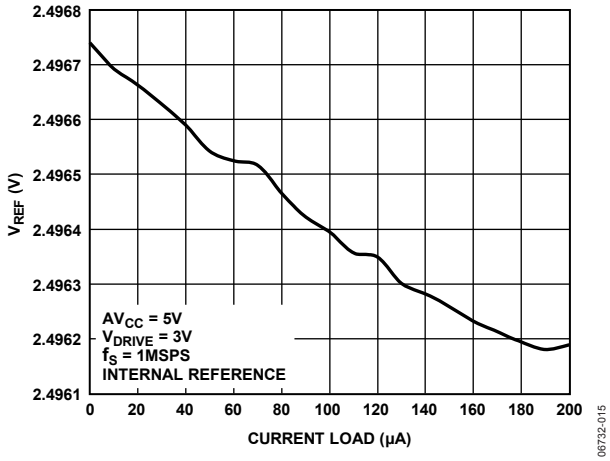


図 14.V_{REF} 対リファレンス電圧出力電流駆動

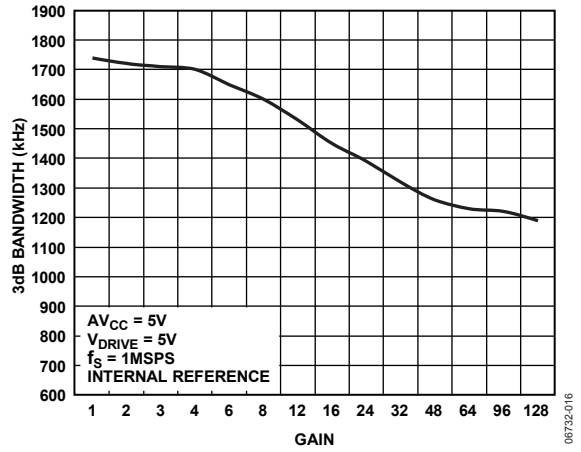


図 15.3 dB 帯域幅対ゲイン

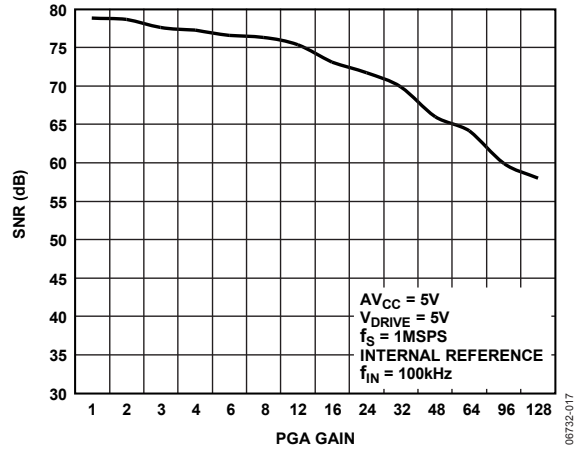


図 16.SNR 対 PGA ゲイン、アナログ入力トーン= 100 kHz

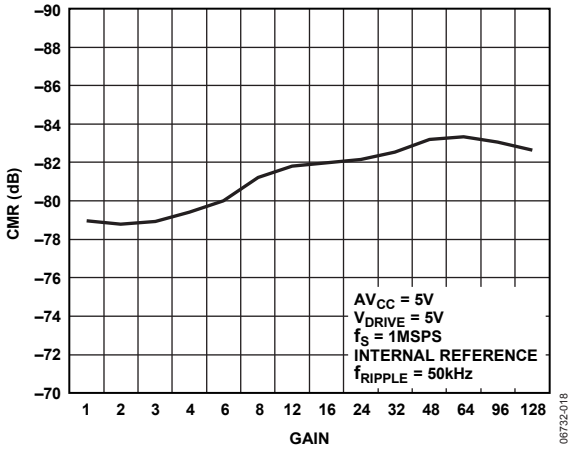


図 17.同相モード除去比対ゲイン

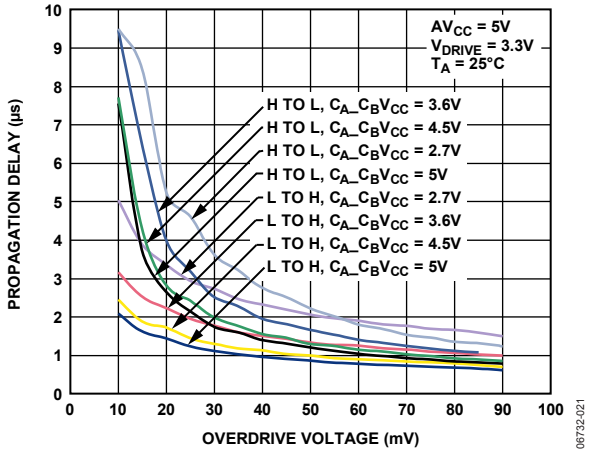


図 20.さまざまな電源電圧でのコンパレータ A とコンパレータ B の伝搬遅延対オーバードライブ電圧

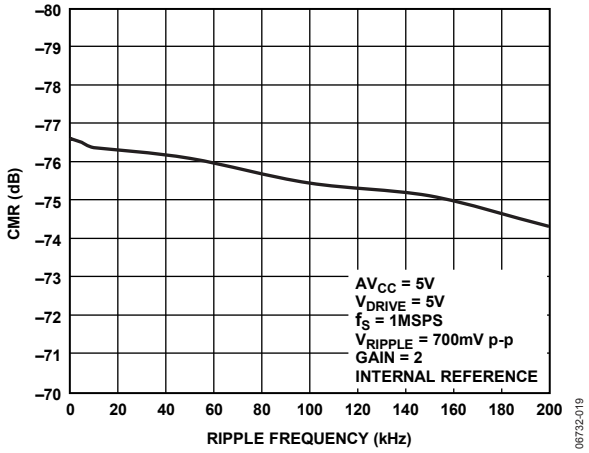


図 18.同相モード除去比対同相モード・リップル周波数

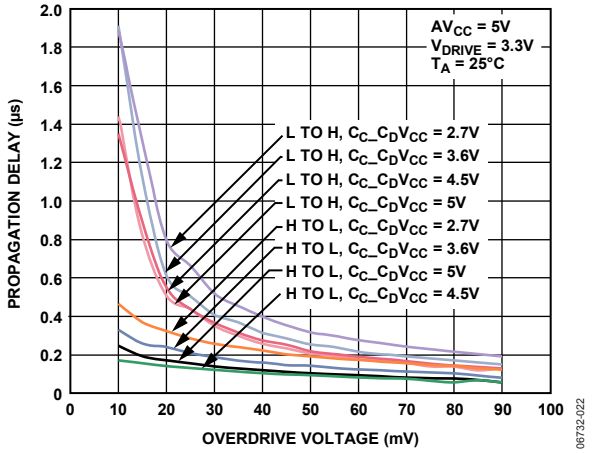


図 21.さまざまな電源電圧でのコンパレータ C とコンパレータ D の伝搬遅延対オーバードライブ電圧

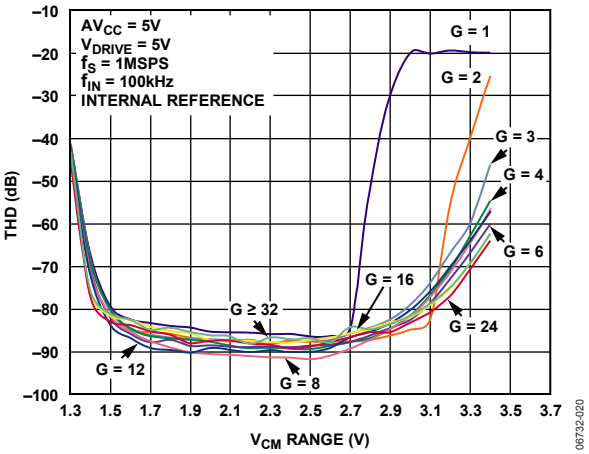


図 19.さまざまな PGA ゲイン設定での THD 対同相モード電圧範囲

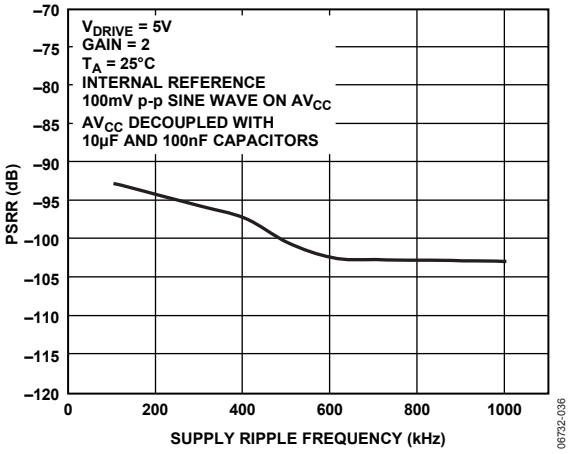


図 22.電源変動除去比

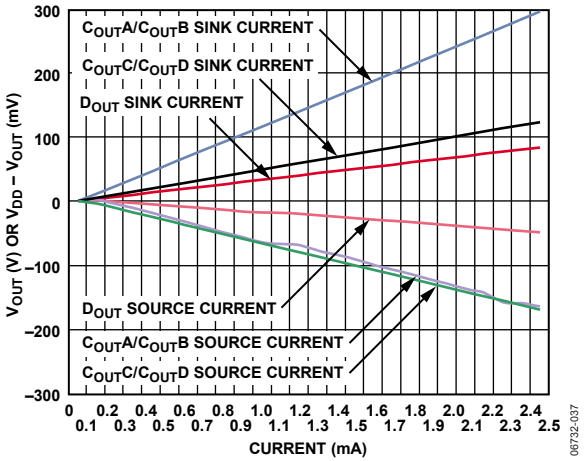


図 23.D_{OUT} と C_{OUT} のソース/シンク電流

用語

微分非直線性(DNL)
ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

積分非直線性(INL)
ADC 伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、ゼロ・スケール(最初のコード遷移より 1 LSB 下のポイント)とフル・スケール(最後のコード遷移より 1 LSB 上のポイント)をいいます。

ゼロ・コード誤差
ミッドスケール変化(全 0 から全 1 への変化)の理想 V_{IN} 電圧(すなわち V_{CM} − ½ LSB)からの差を意味します。

正のフル・スケール誤差
最後のコード変化(011 … 110 から 011 … 111 へ)と理論値の差、すなわち次の値を意味します。

$$V_{CM} + \left(\frac{V_{REF}}{2 \times Gain}\right) - 1\,\text{LSB}$$

ただし、ゼロ・コード誤差は調整済み。

負のフル・スケール誤差
最初のコード変化(10 … 000 から 10 … 001 へ)と理論値の差、すなわち次の値を意味します。

$$V_{CM} - \left(\frac{V_{REF}}{2 \times Gain}\right) + 1\,\text{LSB}$$

ただし、ゼロ・コード誤差は調整済み。

ゼロ・コード誤差の不一致
両 ADC 間のゼロ・コード誤差の差を意味します。

正のフル・スケール誤差の不一致
両 ADC 間の正のフル・スケール誤差の差を意味します。

負のフル・スケール誤差の不一致
両 ADC 間の負のフル・スケール誤差の差を意味します。

トラック・アンド・ホールド・アクイジション時間
変換終了後、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。トラック・アンド・ホールド・アクイジション時間は、変換終了後にトラック・アンド・ホールド・アンプが最終値の±1/2 LSB 以内に出力が収まるために要する時間です。

信号対(ノイズ+歪み)比
これは、A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプリング周波数(f_S/2)までの全高調波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。

正弦波を入力した場合の、理想 N ビット・コンバータに対する信号対(ノイズ+歪み)比の理論値は次式で表されます。

信号対(ノイズ+歪み)比= (6.02N +1.76) dB

したがって、14 ビット・コンバータの場合、86 dB になります。

総合高調波歪み(THD)
総合高調波歪みは、高調波の rms 値総和と基本波の比です。AD7264 の場合、次式で与えられます。

$$THD\,(\text{dB}) = 20 \log \frac{\sqrt{V_2^{\,2} + V_3^{\,2} + V_4^{\,2} + V_5^{\,2} + V_6^{\,2}}}{V_1}$$

ここで、V_1 は基本波の rms 振幅で、V_2、V_3、V_4、V_5、V_6 は 2 次～6 次高調波の rms 振幅です。

ピーク高調波またはスプリアス・ノイズ
高調波またはスプリアス・ノイズは、ADC 出力スペクトル内の(DC を除いて f_S/2 まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれている ADC の場合は、ノイズ・ピークにより決定されます。

ADC 間アイソレーション
ADC 間アイソレーションは ADC A と ADC B との間のクロストークを表します。フル・スケールの 100 kHz 正弦波信号をすべての非選択入力チャンネルに入力し、40 kHz 信号を使って選択したチャンネルで 40 kHz 信号の減衰を測定することにより決定します。図はワーストケースを示しています。

電源除去比(PSRR)
電源変動はフル・スケール変化に影響しますが、コンバータの直線性には影響を与えません。PSRR は、電源電圧の公称値からの変化で発生するフル・スケール変化ポイントの最大変化を表します(図 22 参照)。

伝搬遅延時間、ローからハイ・レベル(t_{PLH})
ローからハイ・レベルへの伝搬遅延時間は、ローからハイ・レベルへの入力信号の 50%ポイントから、デジタル出力信号が最終ロー・レベル値の 50%に到達するまでに要する時間として定義されます。

伝搬遅延時間、ハイからロー・レベル(t_{PHL})
ハイからロー・レベルへの伝搬遅延時間は、ハイからロー・レベルへの入力信号の 50%ポイントから、デジタル出力信号が最終ハイ・レベル値の 50%に到達するまでに要する時間として定義されます。

コンパレータ・オフセット
コンパレータ・オフセットは、コンパレータ入力の負のアナログ・ピンを静的電位に維持し、コンパレータの正ピンへのアナログ入力を静的な負ピン電圧の近くで比例して変化させたときのコンパレータ出力での 1 と 0 の密度を表します。

動作原理

回路説明

AD7264 は、高速、同時サンプリング、差動、シリアルのデュアル 14 ビット ADC です。AD7264 は、2 個の差動プログラマブル・ゲイン・アンプ、2 個のトラック&ホールド・アンプ、2 個の逐次比較型 A/D コンバータ、シリアル・インターフェースを内蔵し、2 本の個別データ出力ピンを持っています。また、AD7264 は 4 個のコンパレータも内蔵しています。このデバイスは、48 ピンの LFCSP パッケージまたは 48 ピンの LQFP パッケージを採用し、他のソリューションに比べて優れた省スペースの利点を提供します。AD7264 は、ADC コア電源として低電圧の 5 V ± 5% AV_{CC}、デジタル電源として 2.7 V～5.25 V のコンパレータ電源 $C_A_C_BV_{CC}$ と $C_C_C_DV_{CC}$、インターフェース電源として 2.7 V～5.25 V の V_{DRIVE} を必要とします。

内蔵 PGA の使用により、14 種類のプログラマブル・ゲイン・ステージ(×1、×2、×3、×4、×6、×8、×12、×16、×24、×32、×48、×64、×96、×128)を選択することができます。この PGA はフル差動のアナログ信号を入力します。ゲインは、G0～G3 ピンのロジック状態の設定またはコントロール・レジスタへの書き込みにより設定することができます。

シリアル・クロック入力は、デバイスからのデータ読み出しに使用し、さらに逐次比較型 A/D コンバータのクロック・ソースとしても使われます。AD7264 は 2.5 V のリファレンス電圧を内蔵していますが、外付けリファレンス電圧を使う場合には、これをディスエーブルすることができます。 ADC の内部リファレンス電圧をシステム内の他の場所で使う場合には、V_{REF}A 出力と V_{REF}B 出力を先ずバッファすることが必要です。内部リファレンス電圧を使用する場合は、REFSEL ピンをロジック・ハイ・レベルに接続する必要があります。あるいは、REFSEL を GND に接続すると、外付けリファレンス電圧を V_{REF}A ピンと V_{REF}B ピンを介して両 ADC に入力することができます(リファレンス電圧のセクション参照)。

また、AD7264 は広範囲なパワーダウン・オプションを持っているため、独立な回路部品を使う柔軟性を持つと同時に変換と変換の間に省電力が可能です。パワーダウン機能は、コントロール・レジスタまたは PD0～PD2 ピンを使って設定します(コントロール・レジスタのセクション参照)。

コンパレータ

AD7264 は 4 個のコンパレータも内蔵しています。コンパレータ A とコンパレータ B の消費電力は極めて少なく、3.3 V 電源でスタティック消費電力が 10 μW (typ)以下です。コンパレータ C とコンパレータ D は非常に高速な伝搬遅延を持ち、200 mV の差動オーバードライブに対して 130 ns です。これらのコンパレータは、V_{DRIVE} 電源で動作するプッシュプルの出力ステージを持っています。この機能を使うと、最小消費電力での動作が可能です。

コンパレータの各対は、独立な $C_A_C_BV_{CC}$ 電源または $C_C_C_DV_{CC}$ 電源で動作します。コンパレータは、2.7 V～5.25 V の電源電圧で動作する仕様になっています。必要に応じて、$C_A_C_BV_{CC}$ と $C_C_C_DV_{CC}$ を AV_{CC} 電源に接続することもできます。AD7264 の 4 個のコンパレータは、1.8 V 以上の $C_A_C_BV_{CC}$ と $C_C_C_DV_{CC}$ で動作しますが、2.7 V 以下のコンパレータ電源での動作仕様は保証していません。広範囲な電源電圧により、コンパレータはさまざまなバッテリ・バックアップ・モードで使用することができます。

AD7264 の 4 個の内蔵コンパレータは、モーター・コントロール・システムの極センサー信号のモニターに最適です。これらのコンパレータは、ホール効果センサーまたは光エンコーダの内側トラックからの信号のモニターにも使用することができます。コンパレータの 1 個を使って、モーターを既知の位置に移動させるスタートアップに使用されるインデックス・マーカーまたは z マーカーをカウントすることができます。

動作

AD7264 は、容量 DAC を採用した 2 個の逐次比較型 ADC と 2 個のプログラマブル・ゲイン・アンプを内蔵しています。

ADC は、コントロール・ロジック、SAR、2 個の容量 DAC から構成されています。コントロール・ロジックと電荷再配分型 DAC を使って、サンプリング・コンデンサ・アンプからの一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを発生します。

各 ADC の前にはプログラマブル・ゲイン・ステージが付いています。PGA は、高アナログ入力インピーダンスと真の差動アナログ入力を持っています。このアナログ入力では、ソースまたはセンサーからの出力を外付けバッファなしで直接 PGA 入力へ接続することができます。この可変ゲインの設定により、デバイスはさまざまなソースからの信号を増幅することができます。AD7264 は、デバイスの広いダイナミック・レンジを使う最適なゲイン設定を選択する柔軟性を提供します。

アナログ入力

AD7264 の各 ADC は 2 つの高インピーダンス差動アナログ入力を持っています。図 24 に、AD7264 のアナログ入力構造の等価回路を示します。アナログ入力信号をバッファし、ゲイン・ピンを使って選択したゲインを提供するフル差動入力アンプで構成されています。

2 個のダイオードは ESD 保護機能を提供します。アナログ入力信号は電源レールより 300mV 以上高くならないよう注意する必要があります。超えると、これらのダイオードが順方向にバイアスされて、サブストレートに電流が流れるようになります。これらのダイオードが損傷なしに許容できる最大電流は 10 mA です。図 24 に示すコンデンサ C1 は約 5 pF(typ)で、主にピン容量に起因します。

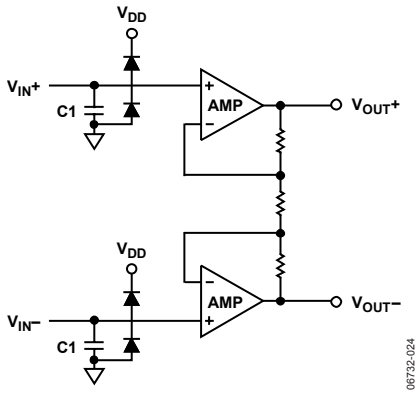


図 24.アナログ入力構造

AD7264 には、$V_{CM}-\left(\frac{V_{REF}}{2\times Gain}\right)\sim V_{CM}+\left(\frac{V_{REF}}{2\times Gain}\right)$ の差動アナログ信号を入力することができます。

表 5 に、種々の PGA ゲイン設定での AD7264 のアナログ入力範囲を示します。V_{REF} = 2.5 V および V_{CM} = 2.5 V (AV_{CC}/2、AV_{CC} = 5 V)。

表 5.さまざまな PGA ゲイン設定でのアナログ入力範囲

PGA Gain Setting	Analog Input Range for V_{IN}+ and V_{IN}−
1	0.75 V to 3.25 V[1]
2	1.875 V to 3.125 V
3	2.083 V to 2.916 V
4	2.187 V to 2.813 V
6	2.292 V to 2.708 V
8	2.344 V to 2.656 V
12	2.396 V to 2.604 V
16	2.422 V to 2.578 V
24	2.448 V to 2.552 V
32	2.461 V to 2.539 V
48	2.474 V to 2.526 V
64	2.480 V to 2.520 V
96	2.487 V to 2.513 V
128	2.490 V to 2.510 V

[1] V_{CM} = 2 V の場合。 VCM = AV_{CC}/2 の場合は、VIN+と VIN−のアナログ入力範囲は 1.6 V～3.4 V。

フル・スケール・ステップ入力を AD7264 のいずれかの差動入力を加え、他方のアナログ入力を一定電圧に維持した場合、安定したデジタル出力コードを取得するためには 3 µs (typ)のセトリング・タイムが必要です。

伝達関数

AD7264 の出力は 2 の補数です。理論伝達関数を図 25 に示します。コード変化は LSB の連続する整数倍値(1 LSB、2 LSB など)で発生します。LSB サイズは選択したアナログ入力範囲に依存します。

AD7264 の LSB サイズは次式で与えられます。

$$2\times\left(\frac{\left(V_{CM}+\left(\frac{V_{REF}}{2\times Gain}\right)\right)-\left(V_{CM}-\left(\frac{V_{REF}}{2\times Gain}\right)\right)}{16{,}384}\right)$$

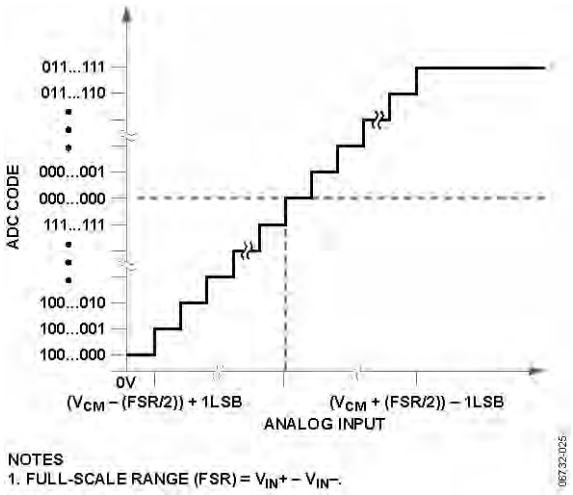


図 25.2 の補数の伝達関数

V_{DRIVE}

AD7264 には、シリアル・インターフェースが動作する電圧を制御する V_{DRIVE} 機能もあります。V_{DRIVE} を使うと、ADC とコンパレータは 3 V と 5 V のプロセッサに容易にインターフェースすることができます。たとえば、AD7264 が AV_{CC} = 5 V で動作する場合、V_{DRIVE} ピンは 3 V 電源に接続することができるため、低い電圧のデジタル・プロセッサで大きなアナログ入力範囲が可能になります。

リファレンス電圧

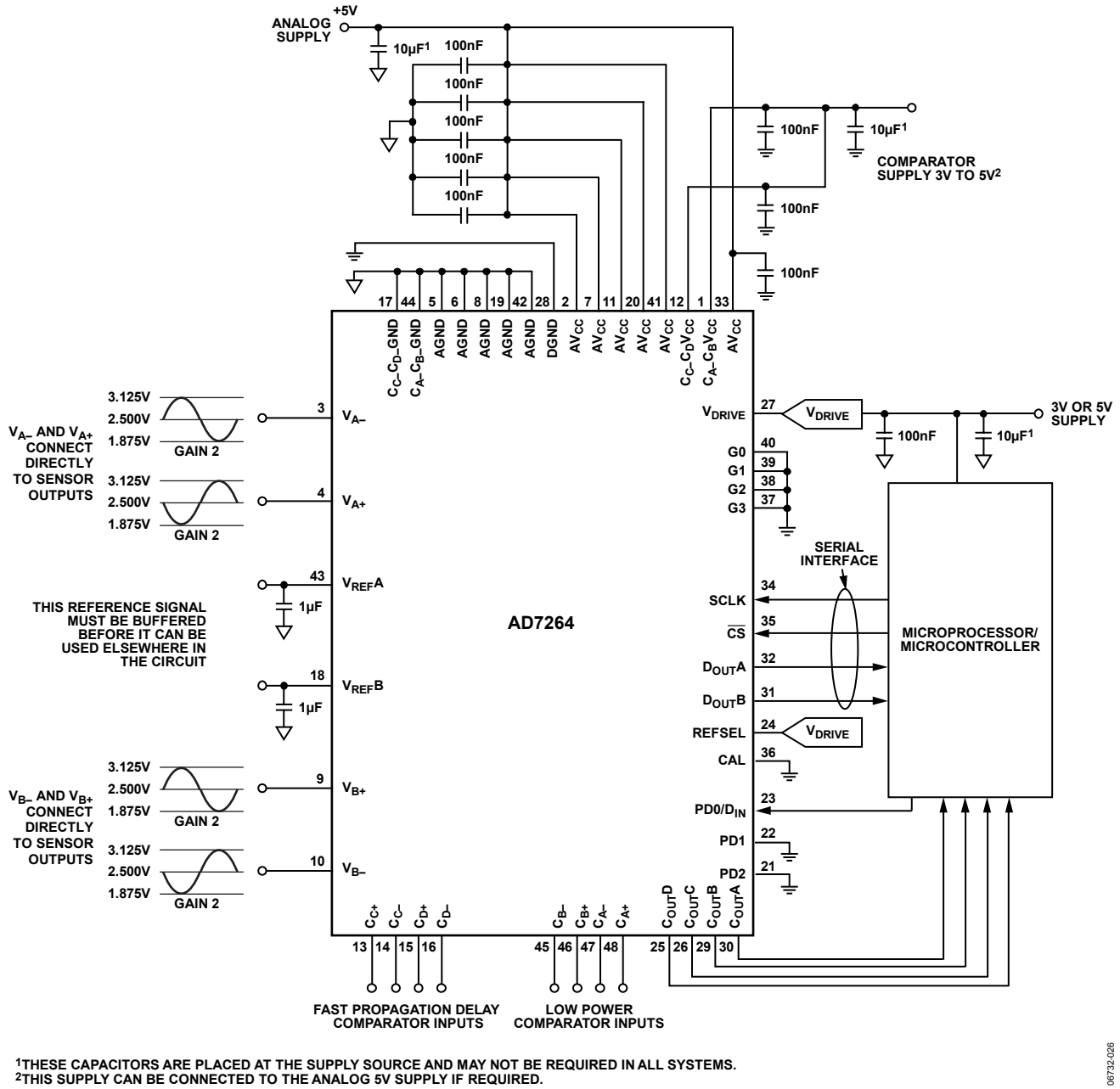
AD7264 は、2.5 V の内蔵リファレンス電圧または外付けリファレンス電圧で動作することができます。REFSEL ピンのロジック状態で、内蔵リファレンス電圧を使用するか否かを指定します。内蔵リファレンス電圧は、REFSEL ピンがハイ・レベルのとき両 ADC に対して選択されます。REFSEL ピンが AGND に接続されると、外付けリファレンスを V_{REF}A ピンおよび/または V_{REF}B ピンを使って入力することができます。パワーアップ時、デバイスが動作するためには、REFSEL ピンをハイ・レベルまたはロー・レベルにする必要があります。AD7264 に適するリファレンス・ソースとしては、AD780、AD1582、ADR431、REF193、ADR391 などがあります。

内蔵リファレンス電圧回路は、2.5 V のバンド・ギャップ・リファレンスとリファレンス・バッファから構成されています。AD7264 を内蔵リファレンス電圧モードで動作させるときは、2.5 V の内蔵リファレンス電圧が V_{REF}A ピンと V_{REF}B ピンから出力されるので、これを 1 µF コンデンサで AGND へデカップリングする必要があります。内蔵リファレンス電圧をシステム内の他の場所で使う前にバッファすることが推奨されます。内蔵リファレンス電圧はコンバータがスタティックなとき、最大 90 µA の電流を供給することができます。ADC 変換に内蔵リファレンス電圧の動作が必要な場合は、パワーアップ時に REFSEL ピンをハイ・レベルにする必要があります。リファレンス・バッファは、パワーアップのために 240 µs を要し、パワーアップ時に 1 µF のデカップリング・コンデンサが充電されます。

代表的な接続図

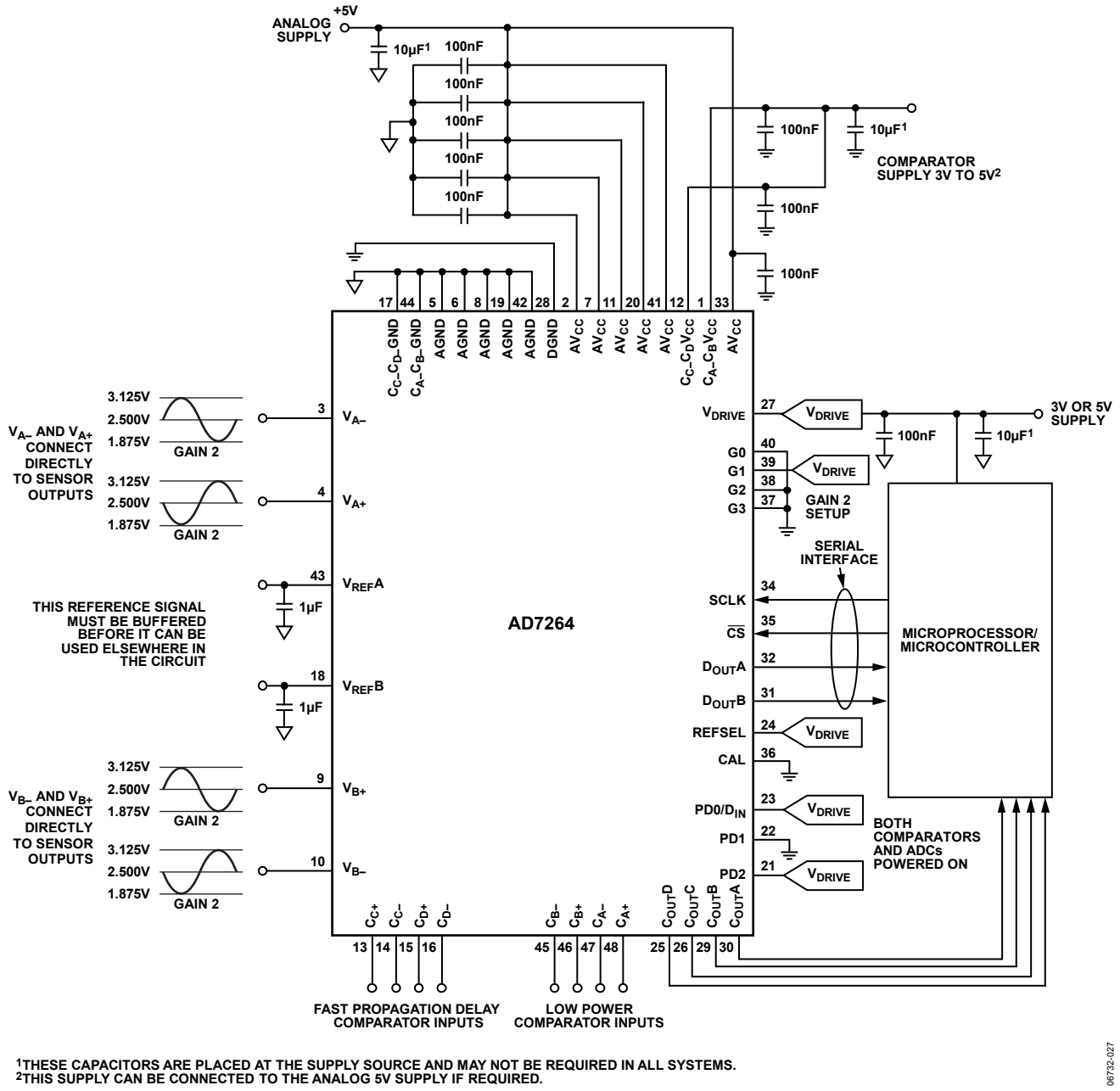
図 26 と図 27 に AD7264 の代表的な接続図を示します。この接続では、AGND ピンはシステムのアナログ・グラウンド・プレーンに接続され、DGND ピンはシステムのデジタル・グラウンド・プレーンに接続されます。AD7264 のアナログ入力は真の差動であるため、1 GΩ を超える入力インピーダンスをっています。したがって、駆動オペアンプは不要です。また、AD7264 は内蔵または外付けのリファレンス電圧で動作することができます。図 26 では、AD7264 がコントロール・レジスタ・モードで動作するように設定されています。したがって、G0～G3、PD1、PD2 はグラウンド(ロー・レベル)へ接続することができます。図 27 では、ゲイン・ピンはゲイン= 2 となるように設定されているため、デバイスはピン駆動モードになっています。両回路構成では、内部 2.5 V リファレンスが使用されています。

C_A_$C_B V_{CC}$ ピンと C_C_$C_D V_{CC}$ ピンは、3 V または 5 V の電源電圧に接続することができます。AV_{CC} ピンは 5 V の電源へ接続する必要があります。すべての電源は、デバイス・ピンで 100 nF のコンデンサを使ってデカップリングする必要があります。また幾つかの電源では、この電源が回路ボードへ供給されるところで 10 µF のコンデンサが必要になります。V_{DRIVE} ピンは、マイクロプロセッサの電源電圧に接続されます。V_{DRIVE} 入力へ加えられる電圧が、シリアル・インターフェースの電圧を制御します。V_{DRIVE} は 3 V または 5 V に設定することができます。



1THESE CAPACITORS ARE PLACED AT THE SUPPLY SOURCE AND MAY NOT BE REQUIRED IN ALL SYSTEMS.
2THIS SUPPLY CAN BE CONNECTED TO THE ANALOG 5V SUPPLY IF REQUIRED.

図 26.PGA ゲイン= 2 に設定したコントロール・レジスタ・モード(すべてのゲイン・ピンをグラウンドへ接続)での AD7264 の代表的な接続図



1THESE CAPACITORS ARE PLACED AT THE SUPPLY SOURCE AND MAY NOT BE REQUIRED IN ALL SYSTEMS.
2THIS SUPPLY CAN BE CONNECTED TO THE ANALOG 5V SUPPLY IF REQUIRED.

図 27.ゲイン= 2、両 ADC とコンパレータはフル・パワーオンのピン駆動モードでの AD7264 の代表的な接続図

コンパレータ・アプリケーションの詳細

AD7264 のコンパレータは内部ヒステリシスを持たないデザインになっているため、ノイズの多い環境でシステムを動作させるために必要な場合には外部ヒステリシスを追加できる柔軟性を提供します。AD7264 のコンパレータを外部ヒステリシスで使う場合は、外付け抵抗とコンデンサが必要になります(図 28 参照)。外付け抵抗 R_F と R_S の値は、アプリケーションで必要とされるヒステリシスの大きさに応じて、次式から求めることができます。

$$V_{HYS} = \frac{R_S}{R_S + R_F} \times C_{X_}C_X V_{CC}$$

ここで、$C_X_C_X V_{CC} = C_{A_}C_B V_{CC}$ または $C_{C_}C_D V_{CC}$。

選択するヒステリシスの大きさは、コンパレータ入力でのアナログ・ノイズの影響を除去するために十分な大きさである必要があります。このアナログ・ノイズは、コンパレータ出力の安定性に影響を与えます。システムで必要とされるヒステリシスのレベルは、システムのノイズに依存するため、R_F と R_S の値はノイズの影響を除去するように慎重に選択する必要があります。システムでのヒステリシスのレベルを大きくするときは、R_S または R_F の値を大きくします。たとえば、R_F = 10 MΩ、R_S = 1 kΩ の場合、$C_x_C_x V_{CC}$ = 3.3 V で 330 µV のヒステリシスになります。ヒステリシスを 1 mV に増やす場合は、R_S = 3.1 kΩ とします。アプリケーションによっては、高周波過渡グリッチを抑圧するために、コンパレータ出力に負荷コンデンサ(100 pF)が必要になることがあります。

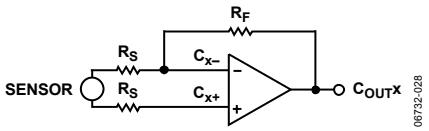


図 28.コンパレータの推奨接続図

アプリケーションの詳細

AD7264 は、モーター・コントロールのシャフト位置帰還ループの要求を満たすように特別にデザインされています。このデバイスは、光エンコーダ、磁気抵抗センサー、ホール効果センサーなどの複数のセンサー・タイプに直接インターフェースすることができます。柔軟なアナログ入力とプログラマブルなゲインの組み合わせにより、同じボード・デザインをさまざまなセンサーに使うことができるため、デザイン・サイクルを短縮してコストを削減することができます。

2 個の同時サンプリング ADC を使って、センサーからのサイン出力とコサイン出力をサンプルします。センサー/トランスジューサと AD7264 のアナログ入力との間には外付けバッファが不要です。これらの内蔵コンパレータは、極センサーのモニターに使用することができます。この極センサーには、ホール効果センサーまたは光エンコーダからの内側トラックを使うことができます。

図 29 に、代表的なアプリケーションでの AD7264 の使用方法を示します。図 29 に光エンコーダ示しますが、他のセンサー・タイプも簡単に使用することができます。図 29 に、代表的なアプリケーション構成の場合を示します。同じ結果を得る他の構成もあります。

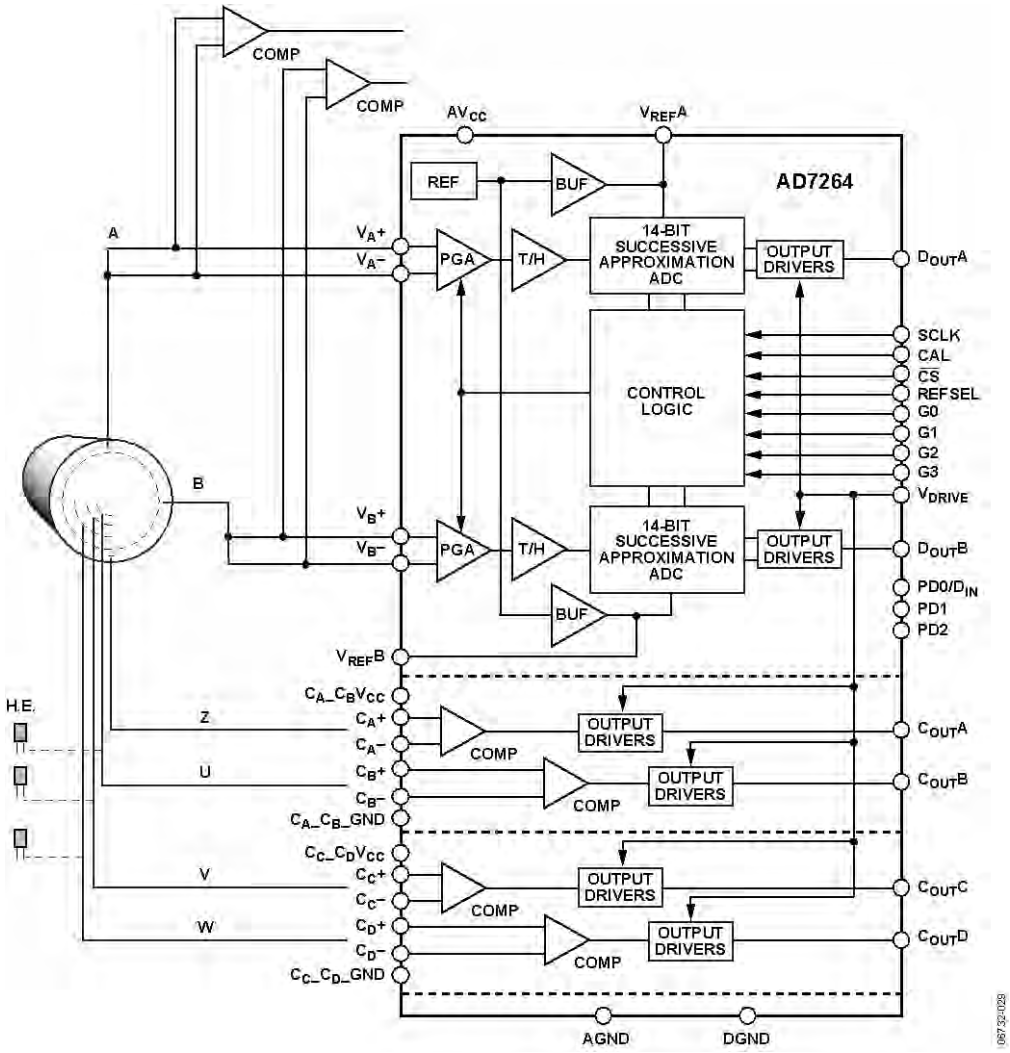


図 29.光エンコーダを使用した代表的なシステム接続図

動作モード

AD7264 では、ピン駆動モードとコントロール・レジスタ・モードの 2 つの動作モードを選択することができます。

ピン駆動モード

ピン駆動モードを使うと、PGA のゲイン、パワーダウン・モード、内部または外部リファレンスを選択することができ、さらに ADC A と ADC B のオフセットのキャリブレーションを開始することができます。これらの機能は、ゲイン・ピン(G3～G0)、パワーダウン・ピン(PD2～PD0)、REFSEL ピン、CAL ピンのロジック・レベルを設定して実行します。

G3～G0 ピンのロジック状態により、選択する動作モードを指定します。少なくとも 1 本のゲイン・ピンをハイ・レベルに設定すると、ピン駆動モードが選択されます。これに対して、4 本すべてのゲイン・ピンをロー・レベルにすると、コントロール・レジスタ動作モードが選択されます。

ゲインの選択

内蔵 PGA の使用により、14 種類のプログラマブル・ゲイン・ステージ(×1、×2、×3、×4、×6、×8、×12、×16、×24、×32、×48、×64、×96、×128)を選択することができます。この PGA はフル差動のアナログ信号を受け付け、3 つの重要な機能を提供します。この重要な機能としては、小振幅入力信号のゲイン選択、ADC スイッチド・キャパシタ負荷、SAR ADC のスイッチング効果からのソースのバッファリングなどがあります。AD7264 は、ユーザー・インターフェースで優れた柔軟性を提供し、コントロール・レジスタ経由またはゲイン・ピンのロジック状態の指定によりゲインの選択を可能にします。図 3 と図 4 に示すように、AD7264 は 4 本のゲイン・ピン(G3、G2、G1、G0)を持っています。4 本の各ゲイン・ピンのロジック状態を設定して各ゲイン設定を選択します(表 6 参照)。4 本すべてのゲイン・ピンをロー・レベルにすると、デバイスはコントロール・レジスタ・モードになり、ゲイン設定はコントロール・レジスタを介して選択されます。

表 6.ゲインの選択

G3	G2	G1	G0	Gain
0	0	0	0	Software control via control register
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	6
0	1	1	0	8
0	1	1	1	12
1	0	0	0	16
1	0	0	1	24
1	0	1	0	32
1	0	1	1	48
1	1	0	0	64
1	1	0	1	96
1	1	1	0	128

パワーダウン・モード

AD7264 は、個別にかつ独立にデバイス・コンポーネントをパワーダウンできるようにする複数のパワーダウン・オプションを提供します。これらのオプションを選択して、さまざまなアプリケーションの要求に対して消費電力を最適化することができます。コントロール・レジスタを介してデバイスを設定するか、または PD ピンに該当するロジック・レベルを入力すると、パワーダウン・モードが選択されます。ピン駆動モードで、PD ピンにロー・レベルを入力すると、4 個すべてのコンパレータと両 ADC をパワーダウンさせることができます。PD2 ピンと PD0 ピンをハイ・レベルに設定し、PD1 ピンをロー・レベルに設定すると、AD7264 のすべての回路がパワーアップします。種々のパワーダウン・オプションに対する PD ピン設定を表 7 に示します。

表 7.パワーダウン・モード

PD2	PD1	PD0	Comparator A, Comparator B	Comparator C, Comparator D	ADC A, ADC B
0	0	0	Off	Off	Off
0	0	1	Off	Off	On
0	1	0	Off	On	Off
0	1	1	On	Off	Off
1	0	0	On	On	Off
1	0	1	On	On	On
1[1]	1[1]	1[1]	Off	Off	Off

[1] PD2 = PD1 = PD0 = 1、ピン駆動モードの場合に AD7264 がリセットされます。

コンパレータがパワーアップし、ADC がパワーダウンしている場合は、AV_{CC} 電源と V_{DRIVE} 電源を AD7264 に供給し続ける必要があります。外付けダイオードを $C_A_C_BV_{CC}$ および/または $C_C_C_DV_{CC}$ と、AV_{CC} 電源および V_{DRIVE} 電源との間に使用すると、常時電源を維持するようにすることができます。

ピン駆動モードの場合、PD ピンをハイ・レベルに設定して、AD7264 をリセットすることができます。デバイスがリセットされると、すべてのレジスタがクリアされ、4 個のコンパレータと 2 個の ADC はパワーダウン状態になります。

ADC とコンパレータがパワーオンしている通常の動作モードでは、$C_A_C_BV_{CC}/C_C_C_DV_{CC}$ 電源と AV_{CC} 電源を異なる電圧レベルにすることができます(表 1 参照)。AD7264 のコンパレータがパワーダウン・モードにあり、かつ $C_A_C_BV_{CC}/C_C_C_DV_{CC}$ 電源が AV_{CC} 電源から 0.3 V 以上離れた電位にある場合には、両セットの電源が同じ電位にある場合より大きな電源電流が流れます。この設定により AD7264 は損傷しませんが、任意またはすべての AD7264 電源ピンで電流が大きくなります。これは、デバイス内の ESD 保護ダイオードのために発生します。パワーダウン・モードでの消費電力が重要となるアプリケーションでは、$C_A_C_BV_{CC}/C_C_C_DV_{CC}$ 電源と AV_{CC} 電源を同じ電位にすることが推奨されます。

パワーアップ条件

パワーアップ時、ゲイン・ピンの状態により、選択する動作モードが指定されます(ゲインの選択のセクション参照)。すべてのレジスタには 0 が設定されます。

AD7264 をピン駆動モードでパワーアップさせる場合は、ゲイン・ピンと PD ピンを該当するロジック状態に設定して、必要に応じてキャリブレーションを起動します。

これに対して、AD7264 がコントロール・レジスタ・モードでパワーアップする場合は、コンパレータと ADC がパワーダウンし、デフォルトのゲイン= 1 が設定されます。したがって、コントロール・レジスタ・モードでパワーアップするときは、コン

パレータと ADC をパワーアップさせるためのデバイスに対する書き込みが必要になります。

外付けリファレンス電圧を使用する場合、AD7264 のパワーアップには 15 µs を要します。内蔵リファレンス電圧を使用する場合は、1 µF のデカップリング・コンデンサを使用した AD7264 のパワーアップには 240 µs を要します。

コントロール・レジスタ

AD7264 のコントロール・レジスタは、ピン駆動モードでデバイスを制御する際に使う 12 ビットの読み書き可能なレジスタです。ゲイン・ピンが 0 に設定されると(すなわちデバイスがピン駆動モードでないとき)、PD0/D_{IN} ピンは AD7264 のシリアル D_{IN} ピンとして機能します。コントロール・レジスタを使って、PGA のゲイン、パワーダウン・モード、ADC A と ADC B のオフセットのキャリブレーションを選択することができます。コントロール・レジスタ動作モードのときは、PD1 と PD2 をロー・レベルに設定する必要があります。これらの機能は、それぞれゲイン・ピン、パワーダウン・ピン、CAL ピンのロジック・レベルを設定して選択することもできます。コントロール・レジスタは、オフセット・レジスタとゲイン・レジスタを読み出す際にも使うことができます。

データは、$\overline{CS}$がロー・レベルのとき SCLK の立ち下がりエッジで AD7264 の PD0/D_{IN} ピンからロードされます。まず、コントロール・レジスタを該当する 4 ビットの WR ビットを書き込むことにより選択します(表 10 参照)。次に、12 ビットのデータをデバイスのコントロール・レジスタに入力します。SCLK の 16 番目の立ち下がりエッジで、LSB がデバイスに入力されます。内部デバイス・レジスタへ書き込むためにさらに 1 SCLK サイクルが必要です。AD7264 へ書き込むためには、合計 17 SCLK サイクルが必要になります。データは PD0/D_{IN} ラインへ転送され、同時に変換結果が処理されます。D_{IN} ラインへ転送されるデータは、次の変換の AD7264 構成に対応します。

$\overline{CS}$の立ち下がりエッジ後の 12 個の立ち下がりクロック・エッジで与えられた情報と、最初の 4 ビットの書き込みアドレスのみが、コントロール・レジスタへロードされます。コントロール・レジスタを使ってパワーダウン・モードとゲインの設定、またはキャリブレーションの開始を選択するときは、PD0/D_{IN} ピンは 4 ビット(RD3～RD0)に対してロー・レベルにする必要があります。D_{OUT}A と D_{OUT}B から ADC 結果を読出すときは、RD ビットをロー・レベルにする必要があります。

すべてのビットのパワーアップ状態は 0 で、MSB はデータ・ストリームの先頭ビットを表します。ビットの機能を表 9 に示します。

表 8.コントロール・レジスタ・ビット

MSB **LSB**

Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RD3	RD2	RD1	RD0	CAL	PD2	PD1	PD0	G3	G2	G1	G0

表 9.コントロール・レジスタ・ビットの機能説明

Bits	Mnemonic	Comment
11 to 8	RD3 to RD0	Register address bits. These bits select which register the subsequent read is from. See Table 11.
7	CAL	Setting this bit high initiates an internal offset calibration. When the calibration is completed, this pin can be reset low, and the internal offset that is stored in the on-chip offset registers is automatically removed from the ADCs results.
6 to 4	PD2 to PD0	Power-down bits. These bits select which power-down mode is programmed. See Table 7.
3 to 0	G3 to G0	Gain selection bits. These bits select which gain setting is used on the front-end PGA. See Table 6.

表 10.書き込みアドレス・ビット

WR3	WR2	WR1	WR0	Read Register Addressed
0	0	0	1	Control register

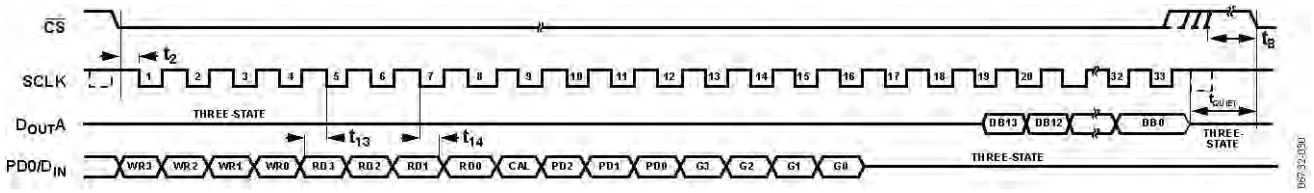


図 *30.*コントロール・レジスタへの書き込み動作のタイミング図

内部レジスタ

AD7264 は、コントロール・レジスタ、各 ADC のオフセットを格納する 2 個のオフセット・レジスタ、ゲイン誤差を格納する 2 個の外部ゲイン・レジスタを内蔵しています。コントロール・レジスタ、オフセット・レジスタ、ゲイン・レジスタは読み書き可能レジスタです。パワーアップ時、AD7264 のすべてのレジスタはデフォルトで 0 に設定されています。

レジスタへの書き込み

データは、$\overline{CS}$がロー・レベルのとき SCLK の立ち下がりエッジで AD7264 の PD0/D_{IN} ピンからロードされます。4 ビットのアドレスと 12 ビットのデータがデバイスへ入力されます。したがって、SCLK の 16 番目の立ち下がりエッジで、LSB がデバイスに入力されます。内部デバイス・レジスタへ書き込むためにさらに 1 SCLK サイクルが必要です。AD7264 へ書き込むためには、合計 17 SCLK サイクルが必要になります。コントロール・レジスタとオフセット・レジスタは 12 ビット・レジスタで、ゲイン・レジスタは 7 ビット・レジスタです。

レジスタへ書き込みを行うときは、まず、選択するレジスタに対応するアドレス・ビットを書き込みます。表 11 に、アドレス・ビットのデコーディングを示します。4 ビットの RD ビットを MSB ファーストで書き込みます。すなわち、RD3、RD2、RD1、RD0 の順序で書き込みます。AD7264 はこれらのビットをデコードして、アドレス指定されたレジスタを知ります。後続の 12 ビットのデータがアドレスしていされたレジスタに書き込まれます。

外部ゲイン・レジスタに書き込みを行う場合は、4 ビットのアドレスの直後の 7 ビットのデータがレジスタに書き込まれます。ただし、この場合も 17 SCLK サイクルが必要で、AD7264 の PD0/D_{IN} ピンは、さらに 5 クロック・サイクル間ロー・レベルに留まる必要があります。

表 11.レジスタの書き込み/読み出しアドレス

RD3	RD2	RD1	RD0	Comment
0	0	0	0	ADC result (default)
0	0	0	1	Control register
0	0	1	0	Offset ADC A internal
0	0	1	1	Offset ADC B internal
0	1	0	0	Gain ADC A external
0	1	0	1	Gain ADC B external

レジスタの読み出し

AD7264 は、キャリブレーション時にデバイスの内部オフセットを測定して内部レジスタに格納しますが、この値を読出すことができます。外部ゲイン・レジスタの値も読み出すことができます。レジスタの値を読み出すときは、まず、PD0/D_{IN} ピンを経由して WR3～WR0 ビットに 0001 を書き込むことにより、コントロール・レジスタへ書き込みを行う必要があります(表 10 参照)。コントロール・レジスタの次の 4 ビットは RD ビットで、これらのビットを使って読み出し対象のレジスタを選択します。各オフセットレジスタとゲイン・レジスタの該当する 4 ビット・アドレスを表 11 に示します。残りの 8 SCLK サイクル・ビットは、コントロール・レジスタの残りのビットに次の ADC 変換の状態を設定するために使います。

19 番目の SCLK 立ち下がりエッジで、選択された内部デバイス・レジスタに格納されている値に対応するデジタル・コードの先頭データ・ビットが D_{OUT}A ピンへ出力されます。D_{OUT}B には ADC B の変換結果が出力されます。選択したレジスタの読み出しが終わったとき、コントロール・レジスタをリセットして、次の ADC 変換結果を出力できるようにする必要があります。このリセットは、0001 を WR3～WR0 ビットに書き込み、次に 0000 を RD ビットへ書き込むことにより行われます。コントロール・レジスタの残りの 8 ビットは、次の ADC 変換用の設定に使われます。

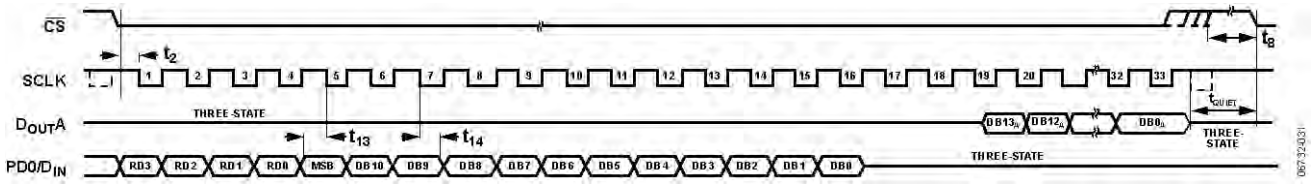


図 31.レジスタ書き込みのタイミング図

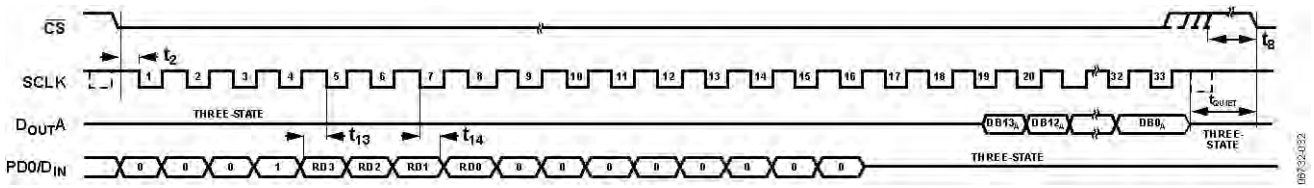


図 32.PD0/D_{IN} を入力として使う読み出し動作のタイミング図

シリアル・インターフェース

図 33 と図 34 に、AD7264 のシリアル・インターフェースの詳しいタイミング図を示します。シリアル・クロックは変換クロックとして使用され、変換後に AD7264 から出力される情報の転送制御にも使用されます。AD7264 には、各 ADC に対応して 2 本の出力ピンがあります。データは、$D_{OUT}A$ と $D_{OUT}B$ を使って AD7264 から読み出すことができます。あるいは、ユーザーが指定する 1 本の出力ピンを使うこともできます。SCLK 入力信号は、シリアル・インターフェースのクロックになります。

$\overline{CS}$の立ち下がりエッジでトラック&ホールドがホールド・モードになり、この時点でアナログ入力がサンプルされます。変換もこの時点で開始され、完了までに最小 19 SCLK サイクルが必要です。$D_{OUT}x$ ラインは、変換中スリー・ステートになります。19 番目の SCLK 立ち下がりエッジで、AD7264 はトラック・モードに戻り、$D_{OUT}A$ ラインと $D_{OUT}B$ ラインがイネーブルされます。データ・ストリームは、14 ビットのデータ(MSB ファースト)で構成されます。

変換結果の MSB は、19 番目の SCLK 立ち下がりエッジで読み出され、マイクロコントローラまたは DSP は後続の SCLK 立ち下がりエッジ(20 番目の立ち下がりエッジ)で読み込みます。残りのデータは、後続の SCLK の立ち下がりエッジで出力されます。シリアル・クロックの 20 番目の立ち下がりクロック・エッジが MSB を出力した後、2 番目のデータ・ビットも出力します。14 ビットの変換結果の残りが続き、データ転送の最後のビットが 33 番目の立ち下がりエッジで読み出せることになります。LSB は 32 番目の立ち下がりクロック・エッジで出力されます。

AD7264-5 は、SCLK 周波数 20 MHz で、SCLK 立ち下がりエッジでの読み出しを容易に行うことができます。AD7264 で 5 V の V_{DRIVE} 電圧を使用する場合、規定の最大アクセス・タイム(t_4)は 23 ns です。これにより、前述のように、データが出力された後の後続立ち下がり SCLK エッジでの読み出しが可能になります。ただし、AD7264 で 3 V の V_{DRIVE} 電圧を使用し、かつマイクロコントローラまたは DSP のセットアップ・タイムが SCLK の立ち下がりエッジでの読み出しを可能にするためには大き過ぎる場合には、SCLK の立ち上がりエッジでの読み出しが必要になります。この場合には、変換結果の MSB が 19 番目の SCLK 立ち下がりエッジで出力されて、20 番目の SCLK 立ち上がりエッジで読み出されます(図 35 参照)。これは、低い V_{DRIVE} 電圧に対してホールド・タイム(t_5)が長くなるため可能です。データ・アクセス・タイムが選択したプロセッサのセットアップ・タイムに対して長過ぎる場合、SCLK の立ち上がりエッジでの読み出しに対する対策は、低い SCLK 周波数を使用することです。

$\overline{CS}$の立ち上がりエッジで、$D_{OUT}A$ と $D_{OUT}B$ はスリー・ステートに戻ります。$\overline{CS}$を 33 SCLK サイクル後にハイ・レベルにしないでさらに 14 SCLK サイクル間ロー・レベルを維持させると、ADC B からのデータは、$D_{OUT}A$ から ADC A 変換結果に続いて出力されます。同様に、ADC A からのデータは、$D_{OUT}B$ から ADC B 変換結果に続いて出力されます。この動作を図 34 に示します($D_{OUT}A$ の例を使用)。この場合、使用している D_{OUT} ラインが、47 番目の SCLK の立ち下がりエッジまたは$\overline{CS}$の立ち上がりエッジのいずれか早い方でスリー・ステートに戻ります。

SCLK の立ち下がりエッジと$\overline{CS}$の立ち下がりエッジが一致する場合、SCLK の立ち下がりエッジは AD7264 から認識されないため、SCLK の次の立ち下がりエッジが、$\overline{CS}$の立ち下がりエッジの後の最初のエッジになります。

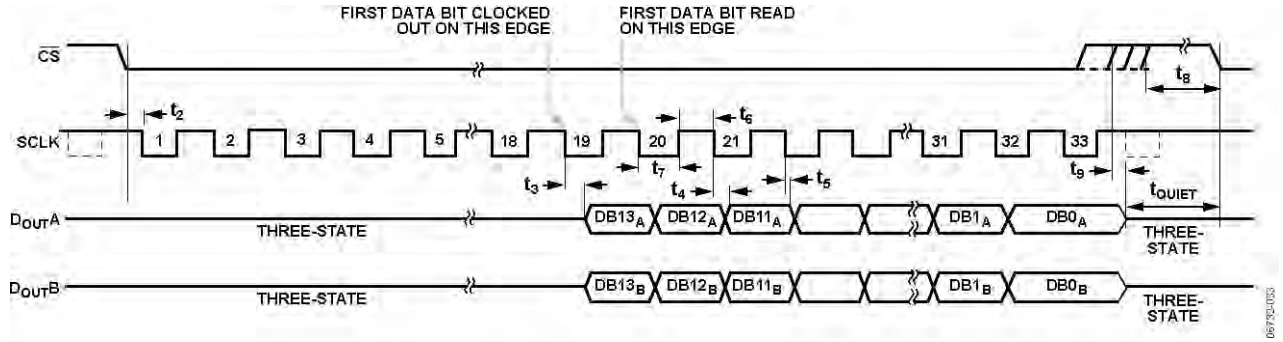


図 33.ノーマル・モード動作

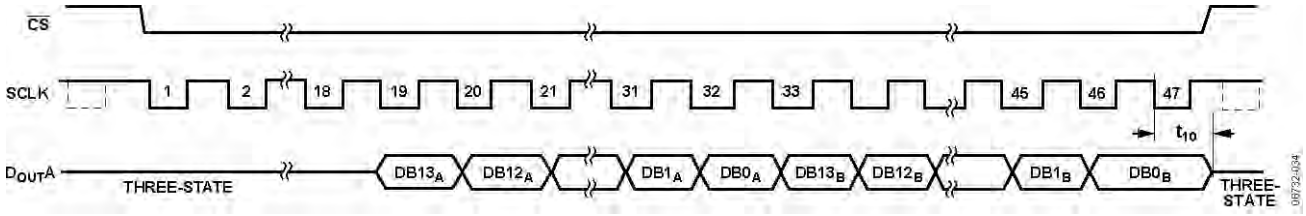


図 34.1 本の DOUT ラインにる両 ADC からのデータ読み出し、47 SCLK サイクル使用

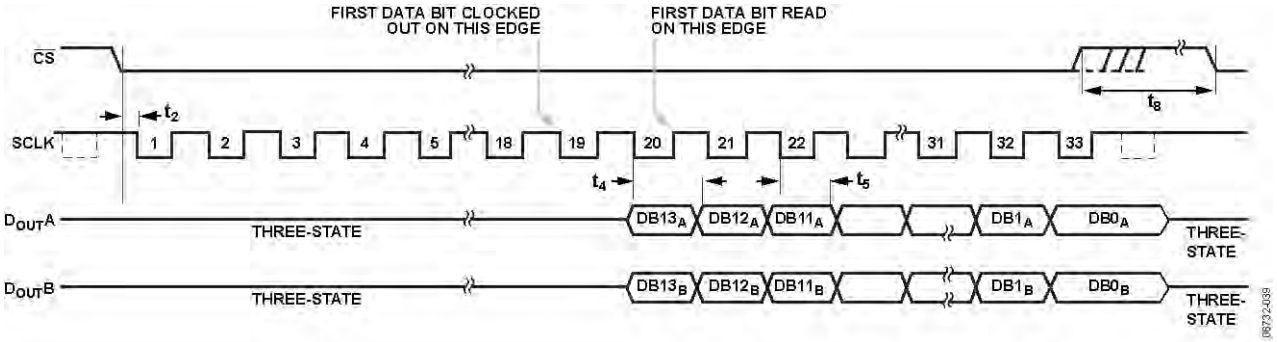


図 35. SCLK の立ち上がりエッジでデータを読み出すときのシリアル・インターフェース・タイミング図、V_{DRIVE} = 3 V

キャリブレーション

内部オフセットのキャリブレーション

AD7264 では、CAL ピンを使ってデバイスのオフセットをキャリブレーションすることができます。CAL ピンをハイ・レベルに設定すると、次の$\overline{CS}$立ち下がりエッジでキャリブレーションが開始されます。キャリブレーションには 1 変換サイクル必要で、$\overline{CS}$立ち下がりエッジとこれに続く 19 SCLK サイクルが含まれます。CAL ピンは必要に応じて 1 変換以上ハイ・レベルを維持することができ、AD7264 はキャリブレーションを続けます。

$\overline{CS}$ピンがハイ・レベルのとき、または$\overline{CS}$がロー・レベルになってから 19 SCLK サイクルが経過した後(すなわち変換と変換の間に)にのみ、CAL ピンをハイ・レベルにすることができます。CAL ピンは、$\overline{CS}$がロー・レベルになるより t_{12} 前にハイ・レベルにする必要があります。$\overline{CS}$ピンが t_{12} の経過前にロー・レベルになると、現在の変換キャリブレーションは正常に行われません。CAL ピンのハイ・レベルが維持されると、後続のキャリブレーション変換は正しくなります。CAL ピンを変換中にロー・レベルにすると、変換結果は壊れてしまいます。

最小 1 変換の間 CAL ピンをハイ・レベルに維持して、t_{12} と t_{11} の条件を満たすと、キャリブレーションは 19 番目の SCLK サイクルの後に完了して、CAL ピンをロー・レベルにすることができます。CAL ピンをロー・レベルにした後の$\overline{CS}$の次の立ち下がりエッジで、ADC A と ADC B の差動アナログ入力信号の変換が開始されます。

あるいは、コントロール・レジスタを使ってオフセット・キャリブレーションを開始することができます。これを開始するときは、コントロール・レジスタの CAL ビットに 1 を設定すると、次の$\overline{CS}$立ち下がりエッジでキャリブレーションが開始されますが、現在の変換は壊れてしまいます。AD7264 の ADC は、内部キャリブレーションを行うためにはパワーアップしている必要があります。

AD7264 レジスタはオフセット値を格納しています。この値はユーザーから容易にアクセスすることができます(レジスタの読み出しのセクション参照)。デバイスのキャリブレーション中、各対応する ADC の差動アナログ入力は内部で短絡されて変換が行われます。オフセットを表すデジタル・コードが内部的にオフセット・レジスタに格納され、後続の変換結果からこの測定したオフセットが除去されます。

AD7264 をキャリブレーションするとき、内部デバイス・レジスタに格納されるキャリブレーション結果は、キャリブレーションの時点で選択された特定の PGA ゲインにのみ関係します。PGA ゲインを変えたときは、AD7264 を再度キャリブレーションする必要があります。PGA ゲインが変化したときデバイスの再キャリブレーションを行わないと、前のゲイン設定に対するオフセットがデジタル出力コードから除去されることが続くため、不正確になります。

キャリブレーションできるオフセット範囲は、ゲイン= 1 で±500 LSB です。キャリブレーションできる最大オフセット電圧は、PGA ゲインが大きくなると小さくなります。

表 12 に、使用可能なデジタル出力コード範囲を損なうことなく、AD7264 によって除去できる最大オフセット電圧を示します。最小ビット・サイズは $AV_{CC}/2^{ビット数}$で、AD7264 では 5/16,384 すなわち 305 μV です。除去可能な最大オフセット電圧は次式で与えられます。

$$\pm 500\,\mathrm{LSB} \times \frac{305\,\mu\mathrm{V}}{Gain}$$

表 12.オフセット電圧範囲

Gain	Maximum Removable Offset Voltage
1	±152.5 mV
2	±76.25 mV
3	±50.83 mV
32	±4.765 mV

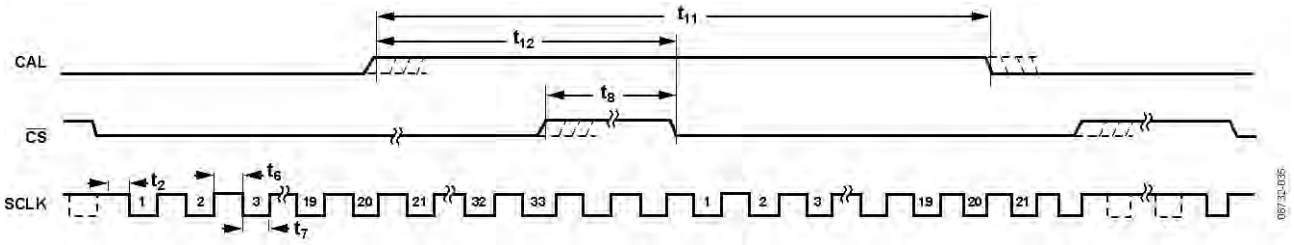


図 36.キャリブレーションのタイミング図

オフセット・キャリブレーション・レジスタの調整

内部オフセット・キャリブレーション・レジスタは、センサーから ADC までの信号パス・オフセットを補償するために手動で調整することができます。内部キャリブレーションは不要なため、CAL ピンはロー・レベルのままにしておくことができます。オフセット・レジスタ値を変更することにより、アナログ入力信号のさまざまな大きさのオフセットを補償することができます。オフセット・レジスタに書き込むデジタル・コードを求めるときは、次のステップに従います。

1. センサーをオフセット状態に設定します。
2. AD7264 を使って変換を何回か行います。
3. $D_{OUT}A$ と $D_{OUT}B$ からのデジタル出力コードの平均をとります。これは 14 ビットの変換結果になりますが、オフセット・レジスタは 12 ビットです。したがって、14 ビットの変換結果はオフセット・レジスタに格納できる 12 ビットの変換結果に変換する必要があります。この変換は、符号ビットを維持し、上位 2 ビット目と 3 ビット目を除去することにより行われます。
4. その結果得られたデジタル・コードをオフセット・レジスタに書き込んで AD7264 をキャリブレーションすることができます。

例:

$D_{OUT}A$ からの平均デジタル・コード =オフセット・レジスタへ書き込まれる 8100 (01 1111 1010 0100)コード= 0111 1010 0100

アナログ入力信号に+10 mV のオフセットが存在し、かつ PGA ゲイン= 2 の場合、オフセットを補償するためにオフセット・レジスタへ書き込む必要があるコードは次式で与えられます。

$$\frac{+10\,\text{mV}}{(305\,\mu\text{V}/\,2)} = 65.57 = 0000\ 0100\ 0001$$

アナログ入力信号に-10 mV のオフセットが存在し、かつ PGA ゲイン= 2 の場合、オフセットを補償するためにオフセット・レジスタへ書き込む必要があるコードは次式で与えられます。

$$\frac{-10\,\text{mV}}{(305\,\mu\text{V}/\,2)} = -65.57 = 1000\ 0100\ 0001$$

システム・ゲインのキャリブレーション

AD7264 では、外部ゲイン・レジスタに書き込み可能であるため、システム全体のゲイン誤差を除去することができます。ADC A と ADC B は独立な外部ゲイン・レジスタを持っているため、ADC A と ADC B の信号パスのゲインを独立にキャリブレーションすることができます。ゲイン・キャリブレーション機能を使って、ADC A と ADC B の間で正確なゲインマッチングを実現することができます。

システム・キャリブレーション機能を使うときは、AD7264 に接続するセンサーを 0 ゲイン状態に設定します。AD7264 はこのアナログ入力をデジタル出力コードに変換し、これがシステム・ゲインに対応し、D_{OUT} ピンに出力されます。このデジタル出力コードを該当する外付けレジスタに格納することができます。レジスタの書き込み方法については、レジスタへの書き込みのセクションと表 11 を参照してください。

ゲイン・キャリブレーション・レジスタは 7 ビットのデータを格納します。ゲイン・レジスタ値を変更することにより、アナログ入力信号のさまざまな大きさのゲインを補償することができます。MSB は符号ビットで、残りの 6 ビットは乗算係数で、アナログ入力範囲を調整する際に使います。ゲイン・レジスタ値は、フル範囲で変換結果をスケールするためにアナログ入力で乗算されます。ゲイン・レジスタ乗算係数を大きくすると、補償するアナログ入力範囲が広くなり、ゲイン・レジスタ乗算係数を小さくすると、補償するアナログ入力範囲が狭くなります。ゲイン・キャリブレーション・レジスタの各ビットは、2.4×10^{-4} V (1/4096)の分解能を持ちます。最大 1.538%のアナログ範囲をキャリブレーションすることができます。ゲイン・レジスタに格納されている乗算係数は、表 13 に示すようにデコードすることができます。

全ビット 0 を各レジスタに書き込むことにより、ゲイン・レジスタをクリアすることができます(レジスタへの書き込みのセクション参照)。正確なゲイン・キャリブレーションのためには、正と負のフル・スケール・デジタル出力コードを測定した後に、ゲイン・レジスタに書き込む乗算係数を決定する必要があります。

表 13.ゲイン・キャリブレーションの乗算係数のデコーディング

Analog Input (V)	Digital Gain Error (LSB)	Gain Register Code (Sign Bit + 6 Bits)	Multiplier Equation (1 ± x/4096)	Multiplier Value	Comments
V_{IN} max	0 LSB	0 000000	1 − 0/4096	1	Sign bit = 0; negative sign in multiplier equation
V_{IN} max − 244 µV	−2 LSB	0 000001	1 − 1/4096	0.999755859	Sign bit = 0; negative sign in multiplier equation
V_{IN} max − (63 × 244 µV)	−126 LSB	0 111111	1 − 63/4096	0.98461914	Sign bit = 0; negative sign in multiplier equation
V_{IN} max	0 LSB	1 000000	1 + 0/4096	1	Sign bit = 1; plus sign in multiplier equation
V_{IN} max + 244 µV	+2 LSB	1 000001	1 + 1/4096	1.000244141	Sign bit = 1; plus sign in multiplier equation
V_{IN} max + (63 × 244 µV)	+126 LSB	1 111111	1 + 63/4096	1.015380859	Sign bit = 1; plus sign in multiplier equation

アプリケーション情報

グラウンド接続とレイアウト

AD7264 のアナログ電源とデジタル電源は独立しており、別々のピンを使用することにより、デバイスのアナログ部とデジタル部の間の結合を最小にしています。AD7264 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。そうすると、グラウンド・プレーンの使用が可能になり、それらを容易に分離できるようになります。

最適なシールド効果を実現するために、一般にエッチング部分を最小することが最適です。AD7264 の 4 本のすべての AGND ピンを AGND プレーンに接続する必要があります。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは 1 点で接続する必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD7264 を使用する場合にも、この接続は 1 ヵ所で行う必要があります。すなわち、AD7264 のできるだけ近くで星型グラウンド接続点を構成します。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ただし、ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD7264 の下を通過することは可能です。AD7264 の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。

クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、クロック信号はアナログ入力の近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置してボードを通過するフィードスルー効果を減少させます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

デカップリングを正しく行うことも重要です。すべてのアナログ電源と GND の間に 10μF のコンデンサと 100 nF のコンデンサを並列接続してデカップリングします。デカップリング部品の効果を最大にするためには、これらの部品をデバイスのできるだけ近くに、理想的にはデバイスの隣に配置します。0.1μF コンデンサは、一般的なセラミック型コンデンサや表面実装型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESI)が小さいものを使う必要があります。これらの低 ESR および低 ESI のコンデンサは、内部ロジックのスイッチングにより発生する過渡電流に起因する高周波に対してグラウンドへの低インピーダンス・パスを提供します。

LFCSP 用 PCB のデザイン・ガイドライン

チップ・スケール・パッケージ(CP-48-1)のランドは長方形です。これらに対する PCB パッドは、パッケージのランド長より 0.1 mm 長く、かつパッケージのランド幅より 0.05 mm 広くし、パッドの一部を露出したままにしておく必要があります。ハンダ接続サイズを大きくするため、ランドの中心とパッドの中心は一致している必要があります。

チップ・スケール・パッケージの底面には、サーマル・パッドがあります。PCB 上のサーマル・パッドは、少なくともこの露出パッドより大きい必要があります。短絡を防止するため、サーマル・パッドと PCB 上のランド・パターンの内側エッジとの間に少なくとも 0.25 mm の間隙を設けてください。

パッケージの熱性能を向上させるため、PCB にサーマル・ビアを使用し、サーマル・パッドを 1.2 mm 間隔のグリッドで配置してください。ビアの直径は 0.3 mm～0.33 mm であり、ビア・バレルは 1 oz. の銅でメッキして、ビアを構成する必要があります。PCB のサーマル・パッドは AGND へ接続してください。

外形寸法

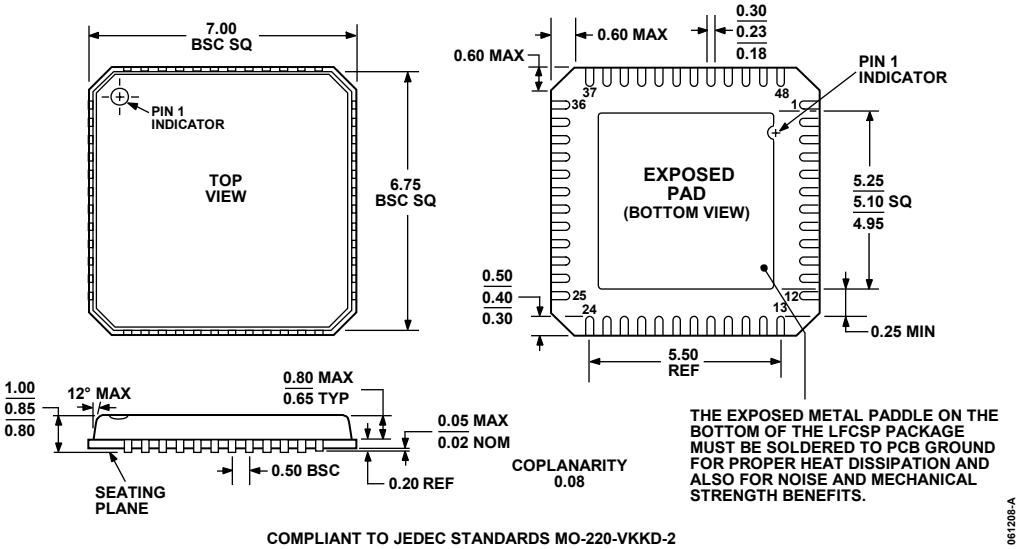


図 37.48 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
7 mm × 7 mm ボディ、極薄クワッド(CP-48-1)
寸法: mm

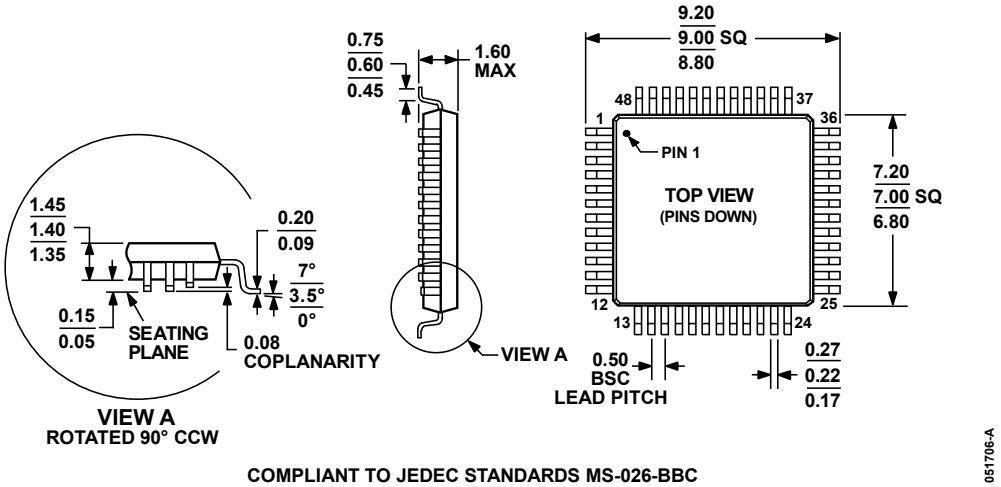


図 38.48 ピン・ロー・プロファイル・クワッド・フラット・パッケージ[LQFP]
(ST-48)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7264BCPZ[1]	−40°C to +105°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-1
AD7264BCPZ-RL7[1]	−40°C to +105°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-1
AD7264BCPZ-5[1]	−40°C to +105°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-1
AD7264BCPZ-5-RL7[1]	−40°C to +105°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-1
AD7264BSTZ[1]	−40°C to +105°C	48-Lead Low Profile Quad Flat Package [LQFP]	ST-48
AD7264BSTZ-RL7[1]	−40°C to +105°C	48-Lead Low Profile Quad Flat Package [LQFP]	ST-48
AD7264BSTZ-5[1]	−40°C to +105°C	48-Lead Low Profile Quad Flat Package [LQFP]	ST-48
AD7264BSTZ-5-RL7[1]	−40°C to +105°C	48-Lead Low Profile Quad Flat Package [LQFP]	ST-48
EVAL-AD7264EDZ[1]		Evaluation Board	
EVAL-CED1Z[1]		Development Board	

[1] Z = RoHS 準拠製品

D06732-0-7/08(A)-J