

特長

超低消費電力:

2.7 V~3.6 V、100 μ A

応答時間: 10 ms

適応型環境補償

2チャンネルの独立した容量入力

センサー容量(C_{SENS}): 0 pF~13 pF

感度: 1 fF

EMC テスト済み

2つの動作モード

固定設定によるスタンダオン

ユーザー定義設定をサポートするための

マイクロコントローラ・インターフェース

近接検出出力フラグx2

2線式シリアル・インターフェース(I²C 互換)

動作温度

-40°C~+85°C

10ピンMSOPパッケージを採用

アプリケーション

近接センシング

コンタクトレス・スイッチング

位置検出

レベル検出概要

AD7150は、高速な応答時間を持つ超低消費電力のコンバータを内蔵し、容量近接センサーに対する完全な信号処理ソリューションを提供します。AD7151は、AD7150の1チャンネル低消費電力バージョンです。

AD7150は、アナログ・デバイセズの容量デジタル・コンバータ(CDC)技術を採用しています。この技術は、高い入力感度や、大きな偏差を持つ入力寄生グラウンド容量とリーク電流などのような、実際のセンサーに対するインターフェースで重要となる機能を統合します。

内蔵の適応型スレッシュホールド・アルゴリズムは、湿度や温度のような環境要因、または誘電材料の経時変化に起因するセンサー容量の変化を補償します。

デフォルトとして、AD7150は固定のパワーアップ設定を使ってスタンダオン・モードで動作し、検出結果を2つのデジタル出力に表示します。あるいは、AD7150をシリアル・インターフェースを使ってマイクロコントローラにインターフェースさせて、ユーザー定義の設定を内部レジスタに書き込み、データとステータスをデバイスから読み出すことができます。

AD7150は2.7 V~3.6 Vの電源で動作します。仕様は、温度範囲-40°C~+85°Cで規定されています。

機能ブロック図

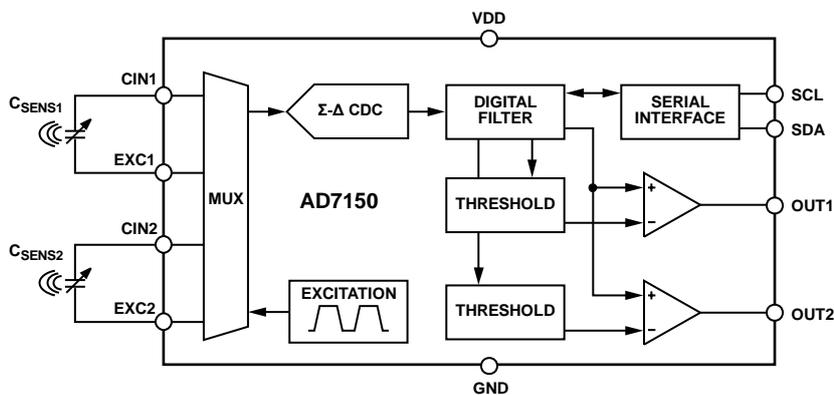


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2007 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長.....	1	固定スレッシュホールド・レジスタ.....	16
アプリケーション.....	1	感度レジスタ.....	16
機能ブロック図.....	1	タイムアウト・レジスタ.....	17
改訂履歴.....	2	セットアップ・レジスタ.....	18
仕様.....	3	設定レジスタ.....	19
タイミング仕様.....	4	パワーダウン・タイマー・レジスタ.....	20
絶対最大定格.....	5	CAPDAC レジスタ.....	20
ESD の注意.....	5	シリアル番号レジスタ.....	20
ピン配置およびピン機能説明.....	6	チップ ID レジスタ.....	20
代表的な性能特性.....	7	シリアル・インターフェース.....	21
アーキテクチャと主要機能.....	10	読出し動作.....	21
容量/デジタル・コンバータ.....	10	書込み動作.....	21
CAPDAC.....	10	AD7150 のリセット.....	22
コンパレータ・モードとスレッシュホールド・モード.....	11	ジェネラル・コール.....	22
適応型スレッシュホールド.....	11	ハードウェア・デザインでの考慮事項.....	23
データの平均処理.....	11	概要.....	23
感度.....	12	グラウンドに対する寄生容量.....	23
ヒステリシス.....	12	グラウンドに対する寄生抵抗.....	23
タイムアウト.....	12	寄生並列抵抗.....	23
AutoCAPDAC の調節.....	13	寄生直列抵抗.....	24
パワーダウン・タイマー.....	13	入力過電圧保護.....	24
電源モニタ.....	13	入力 EMC 保護.....	24
レジスタの説明.....	14	電源のデカップリングとフィルタリング.....	24
ステータス・レジスタ.....	15	アプリケーション例.....	25
データ・レジスタ.....	16	外形寸法.....	26
平均レジスタ.....	16	オーダー・ガイド.....	26

改訂履歴

11/07—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{DD} = 2.7\text{ V} \sim 3.6\text{ V}$; $GND = 0\text{ V}$; $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 。

表 1.

Parameter	Min	Typ	Max	Unit ¹	Test Conditions/Comments
CAPACITIVE INPUT					
Conversion Input Range CIN to EXC ²	3.2	4		pF	4 pF input range
	1.6	2		pF	2 pF input range
	0.8	1		pF	1 pF input range
	0.4	0.5		pF	0.5 pF input range
Resolution ³		2.0		fF	4 pF input range
		1.6		fF	2 pF input range
		1.4		fF	1 pF input range
		1.0		fF	0.5 pF input range
Allowed Capacitance CIN to GND ³			100	pF	
Allowed Resistance CIN to GND ³	10			MΩ	
Allowed Serial Resistance ³			125	kΩ	
Gain Error	-20		+20	%	
Gain Deviation over Temperature ³		0.5		%	
Gain Matching Between Ranges ³	-2		+2	%	
Offset Error ³		50		fF	CIN and EXC pins disconnected
Offset Deviation over Temperature ³		5		fF	CIN and EXC pins disconnected
Integral Nonlinearity (INL) ³		0.1		%	
Channel-to-Channel Isolation ³		60		dB	
Power Supply Rejection ³		4		fF/V	
CAPDAC					
Full Range	10	12.5		pF	
Resolution (LSB) ³		200		fF	
Differential Nonlinearity (DNL) ³			0.25	LSB	
AutoDAC Increment/Decrement ³	25		75	% of C _{IN} Range	
EXCITATION					
Voltage		$\pm V_{DD}/2$		V	
Frequency	30.9	32	32.8	kHz	
Allowed Capacitance EXC to GND ³			300	pF	
Allowed Resistance EXC to GND ³	1			MΩ	
LOGIC OUTPUTS (OUT1, OUT2)					
Output Low Voltage (V _{OL})			0.4	V	I _{SINK} = -4 mA
Output High Voltage (V _{OH})	$V_{DD} - 0.6$			V	I _{SOURCE} = 4 mA
SERIAL INTERFACE INPUTS (SCL, SDA)					
Input High Voltage (V _{IH})	1.5			V	
Input Low Voltage (V _{IL})			0.8	V	
Input Leakage Current		± 0.1	± 5	μA	
Input Pin Capacitance		6		pF	
OPEN-DRAIN OUTPUT (SDA)					
Output Low Voltage (V _{OL})			0.4	V	I _{SINK} = -6.0 mA
Output High Leakage Current (I _{OH})		0.1	5	μA	V _{OUT} = V _{DD}
POWER SUPPLY MONITOR					
V _{DD} Threshold Voltage		2.45	2.65	V	

Parameter	Min	Typ	Max	Unit ¹	Test Conditions/Comments
POWER REQUIREMENTS					
V _{DD-to-GND} Voltage	2.7		3.6	V	V _{DD} = 3.3 V, nominal
I _{DD} Current ⁴		100	120	μA	
I _{DD} Current Power-Down Mode ⁴		1	5	μA	Temperature ≤ 25°C
		3	10	μA	Temperature = 85°C

¹ 容量の単位: 1 ピコファラッド (1 pF) = 1 × 10⁻¹² ファラッド (F); 1 フェムト・ファラッド (1 fF) = 10⁻¹⁵ ファラッド (F)。

² CAPDAC を使って入力範囲をシフト (オフセット) させることができます。したがって、センサーの全容量は CAPDAC 値と変換入力範囲の和まで可能です。CDC 入力値が CDC の公称入力範囲の 25% 以下または 75% 以上るとき、CAPDAC は autoCAPDAC 機能により自動的に調整されます。

³ これらの値は、出荷テストを行いませんが、設計および/または量産開始時のキャラクタライゼーション・データにより保証します。

⁴ デジタル入力 = V_{DD} または GND

タイミング仕様

特に指定のない限り、V_{DD} = 2.7 V ~ 3.6 V; GND = 0 V; 入力ロジック 0 = 0 V; 入力ロジック 1 = V_{DD}; -40°C ~ +85°C。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CONVERTER					
Conversion Time			10	ms	Both channels, 5 ms per channel.
Wake-Up Time from Power-Down Mode ^{1,2}		0.15		ms	
Power-Up Time ^{1,3}		2		ms	
Reset Time ^{1,4}		2		ms	
SERIAL INTERFACE^{5,6}					
SCL Frequency	0		400	kHz	
SCL High Pulse Width, t _{HIGH}	0.6			μs	
SCL Low Pulse Width, t _{LOW}	1.3			μs	
SCL, SDA Rise Time, t _R			0.3	μs	
SCL, SDA Fall Time, t _F			0.3	μs	
Hold Time (Start Condition), t _{HD;STA}	0.6			μs	After this period, the first clock is generated.
Setup Time (Start Condition), t _{SU;STA}	0.6			μs	Relevant for repeated start condition.
Data Setup Time, t _{SU;DAT}	0.1			μs	
Setup Time (Stop Condition), t _{SU;STO}	0.6			μs	
Data Hold Time (Master), t _{HD;DAT}	10			ns	
Bus-Free Time (Between Stop and Start Condition), t _{BUF}	1.3			μs	

¹ これらの値は、出荷テストを行いませんが、設計および/または量産開始時のキャラクタライゼーション・データにより保証します。

² ウェイクアップ時間は、設定レジスタへの書き込みの最後の SCL エッジと変換の開始との間の最大遅延です。

³ パワーアップ時間は、V_{DD} と最小レベル (2.7 V) との交差と、シリアル・インターフェース・コマンド受信レディとの間の最大遅延です。

⁴ リセット時間は、リセット・コマンド書き込みの最後の SCL エッジと、変換の開始またはシリアル・インターフェース・コマンド受信レディとの間の最大遅延です。

⁵ 初期リリース時はサンプル・テストにより適合性を保証。

⁶ すべての入力値は、入力の立ち上がり/立ち下がり時間 3 ns、10% ~ 90% のポイントの測定で規定。タイミング基準点は、入力と出力の 50% 値。出力負荷は 10 pF。

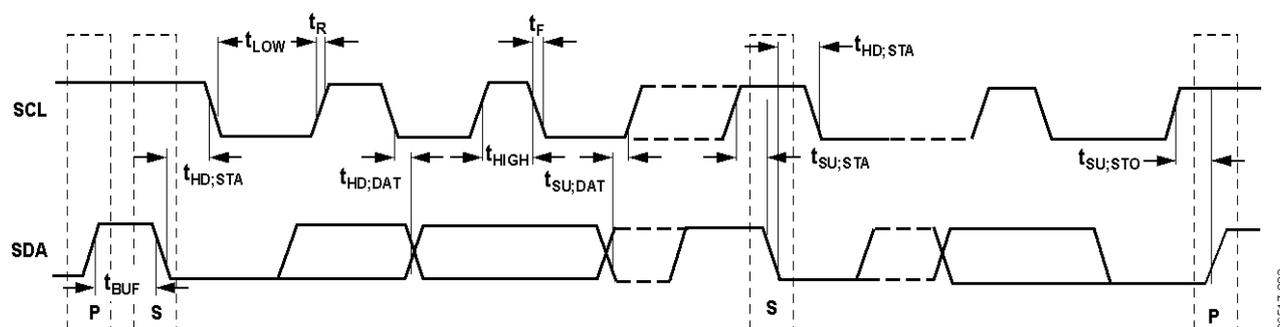


図 2. シリアル・インターフェースのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
Positive Supply Voltage V_{DD} to GND	-0.3 V to +3.9 V
Voltage on Any Input or Output to GND	-0.3 V to $V_{DD} + 0.3$ V
ESD Rating HBM (ESD Association Human Body Model, S5.1)	4 kV
ESD Rating FICDM (Field-Inducted Charged Device Model)	1 kV
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature	150°C
MSOP Package	
θ_{JA} , Thermal Impedance-to-Air	206°C/W
θ_{JC} , Thermal Impedance-to-Case	44°C/W
Reflow Soldering (Pb-Free)	
Peak Temperature	260(+0/-5)°C
Time at Peak Temperature	10 sec to 40 sec

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

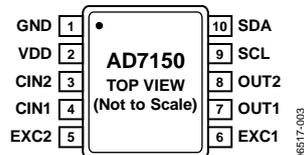


図 3. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	GND	グラウンド・ピン。
2	VDD	電源電圧。このピンは、0.1 μ F の X7R 積層セラミックなどの低インピーダンス・コンデンサを使って GND ヘデカップリングする必要があります。
3	CIN2	CDC 容量入力チャンネル 2。被測定容量(センサー)は、EXC2 ピンと CIN2 ピンの間に接続します。このピンを使用しない場合は、オープンにするか GND に接続することができます。
4	CIN1	CDC 容量入力チャンネル 1。被測定容量(センサー)は、EXC1 ピンと CIN1 ピンの間に接続します。このピンを使用しない場合は、オープンにするか GND に接続することができます。
5	EXC2	CDC 励起出力チャンネル 2。被測定容量(センサー)は、EXC2 ピンと CIN2 ピンの間に接続します。使用しないとき、このピンはオープンにしておく必要があります。
6	EXC1	CDC 励起出力チャンネル 1。被測定容量(センサー)は、EXC1 ピンと CIN1 ピンの間に接続します。使用しないとき、このピンはオープンにしておく必要があります。
7	OUT1	ロジック出力チャンネル 1。この出力がハイ・レベルになると、CIN1 で近接が検出されたことを表します。
8	OUT2	ロジック出力チャンネル 2。この出力がハイ・レベルになると、CIN2 で近接が検出されたことを表します。
9	SCL	シリアル・インターフェースのクロック入力。マスター・クロック・ラインへ接続します。システム内にプルアップ抵抗が接続されていない場合には、ここに接続します。
10	SDA	シリアル・インターフェース双方向データ。マスター・データ・ラインに接続します。システム内にプルアップ抵抗が接続されていない場合には、ここに接続します。

代表的な性能特性

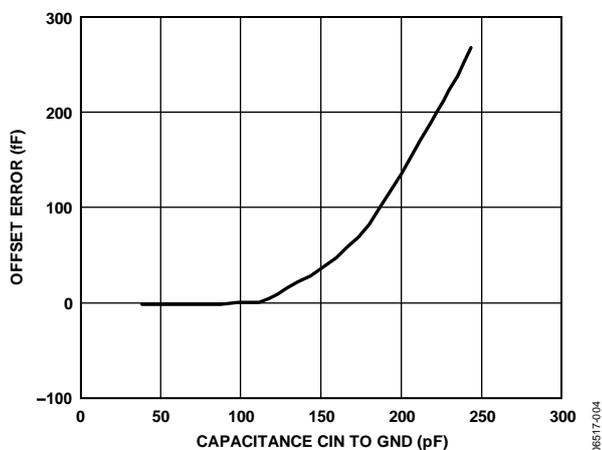


図 4.容量入力オフセット誤差対 CIN-GND 間容量、
 $V_{DD} = 3.3\text{ V}$ 、EXC ピンはオープン

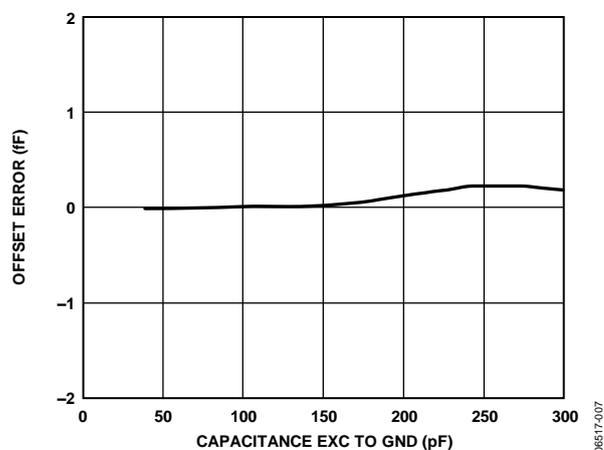


図 7.容量入力オフセット誤差対 EXC-GND 間容量、
 $V_{DD} = 3.3\text{ V}$ 、CIN ピンはオープン

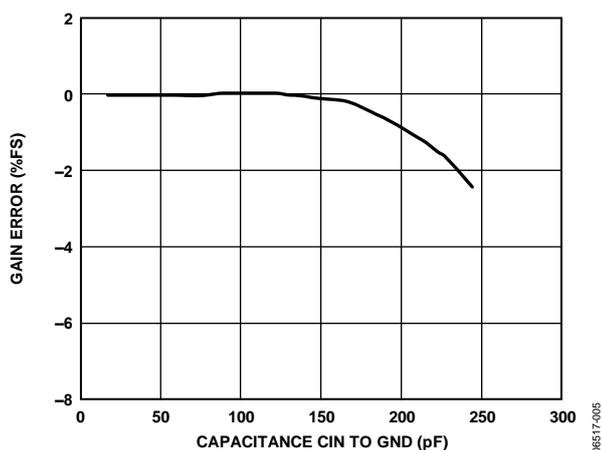


図 5.容量入力ゲイン誤差対 CIN-GND 間容量、
 $V_{DD} = 3.3\text{ V}$ 、CIN-EXC 間= 2 pF

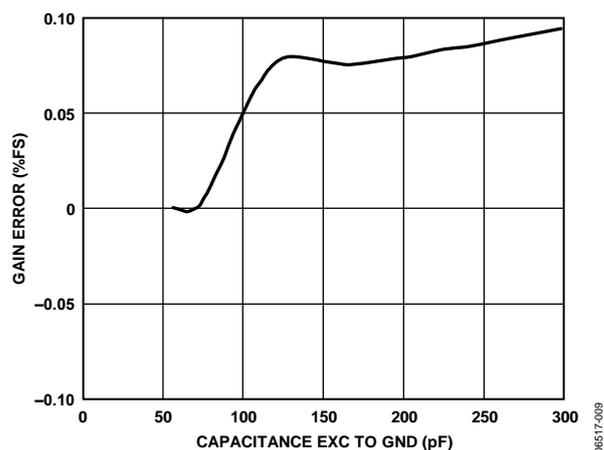


図 8.容量入力ゲイン誤差対 EXC-GND 間容量、
 $V_{DD} = 3.3\text{ V}$ 、CIN to EXC = 2 pF

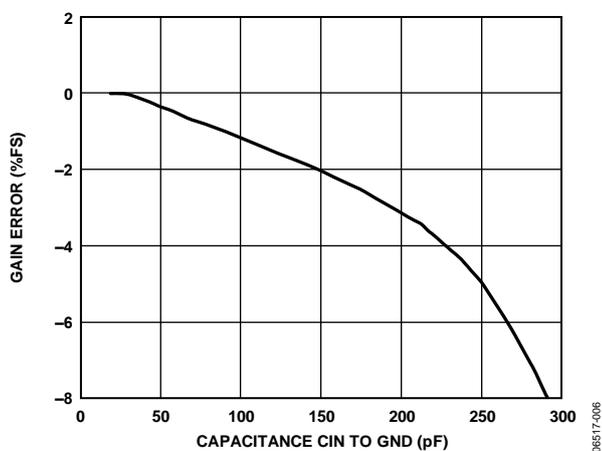


図 6 .容量入力ゲイン誤差対 CIN-GND 間容量、
 $V_{DD} = 3.3\text{ V}$ 、CIN-EXC 間= 10 pF

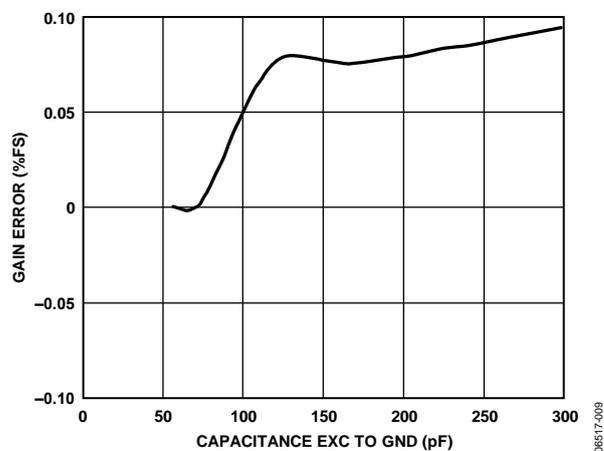


図 9.容量入力ゲイン誤差対 EXC-GND 間容量、
 $V_{DD} = 3.3\text{ V}$ 、CIN-EXC 間= 10 pF

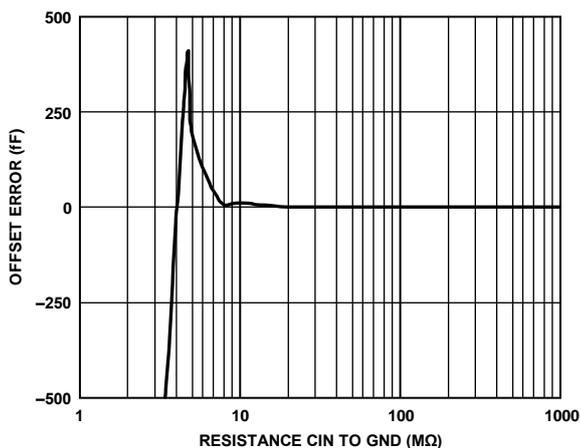


図 10.容量入力オフセット誤差対 CIN-GND 間抵抗、
V_{DD} = 3.3 V、EXC ピンはオープン

06517-010

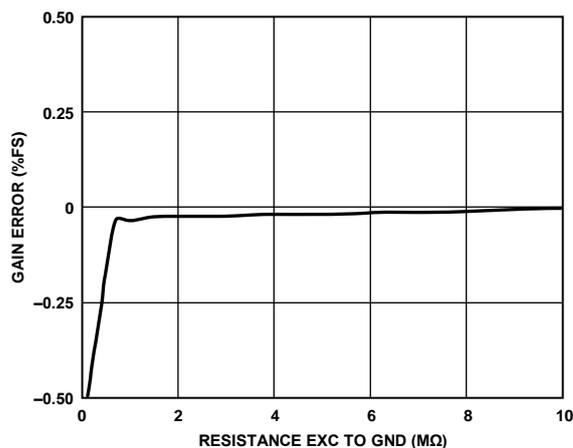


図 13.容量入力ゲイン誤差対 EXC-GND 間抵抗、
V_{DD} = 3.3 V、CIN-EXC 間= 2 pF

06517-013

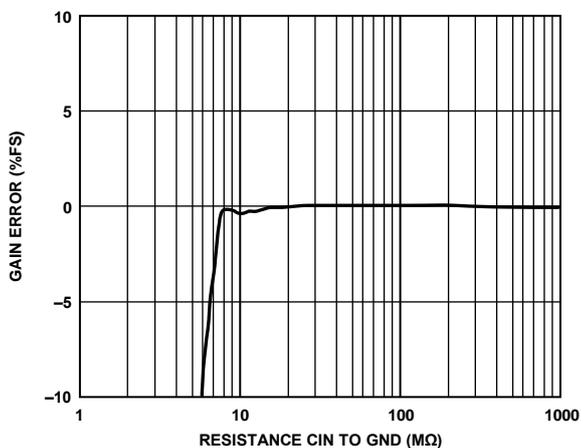


図 11.容量入力ゲイン誤差対 CIN-GND 間抵抗、
V_{DD} = 3.3 V、CIN-EXC 間= 2 pF

06517-011

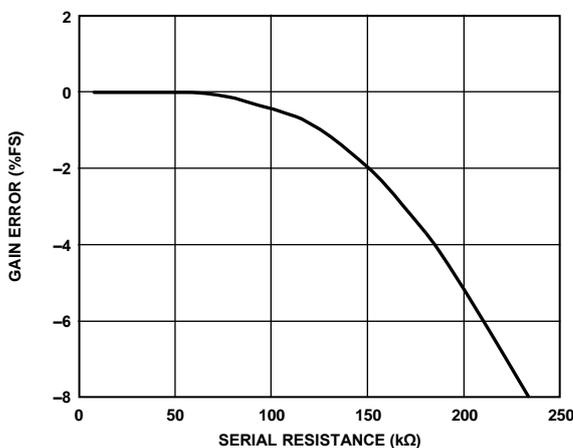


図 14.容量入力ゲイン誤差対シリアル抵抗、
V_{DD} = 3.3 V、CIN-EXC 間= 2 pF

06517-014

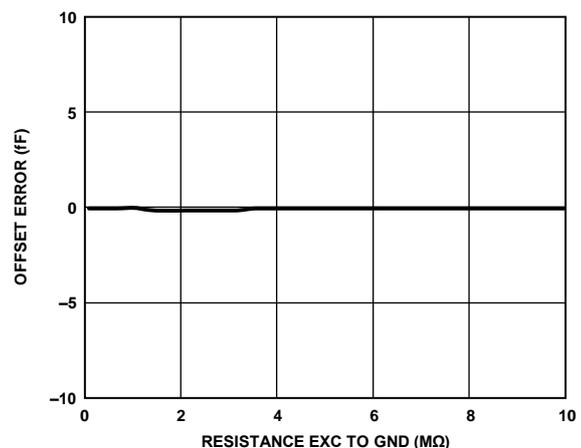


図 12.容量入力オフセット誤差対 EXC-GND 間抵抗、
V_{DD} = 3.3 V、CIN ピンはオープン

06517-012

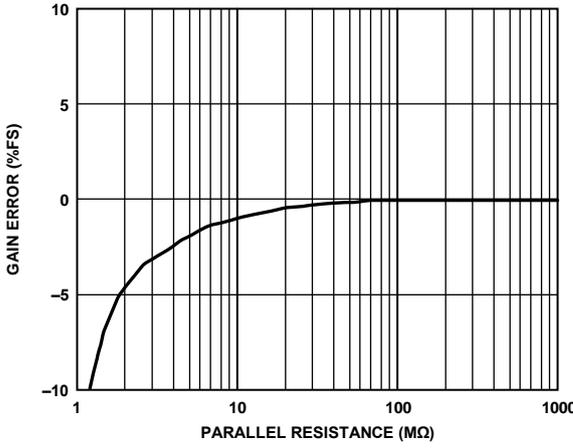
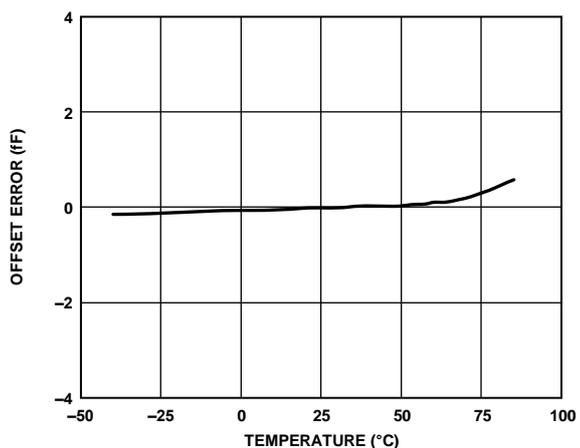


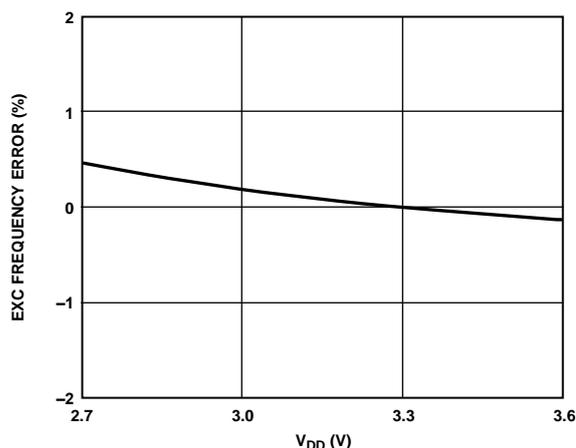
図 15.容量入力ゲイン誤差対並列抵抗、
V_{DD} = 3.3 V、CIN-EXC 間= 2 pF

06517-015



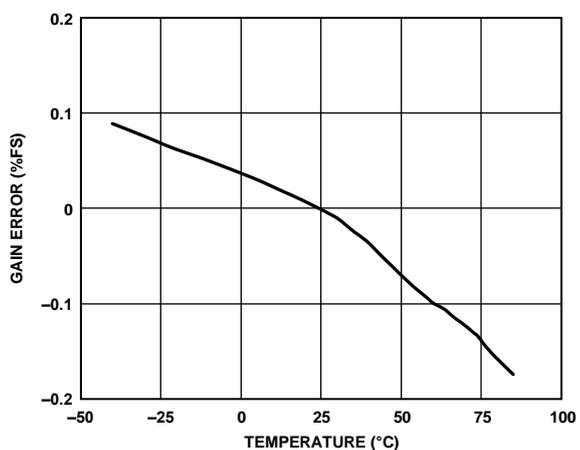
06517-016

図 16.容量入力オフセット誤差の温度特性、
 $V_{DD} = 3.3\text{ V}$ 、CIN ピンと EXC ピンはオープン



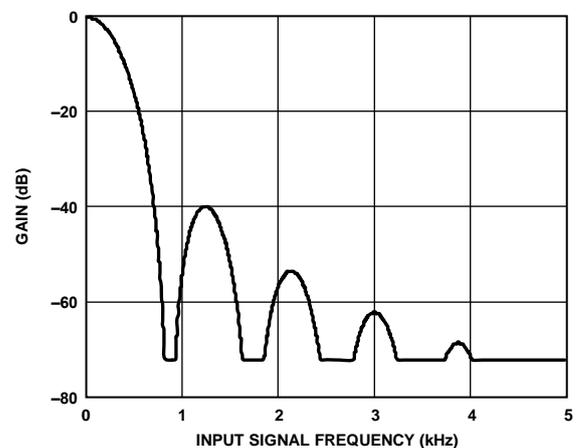
06517-019

図 19.EXC 周波数誤差対 V_{DD}



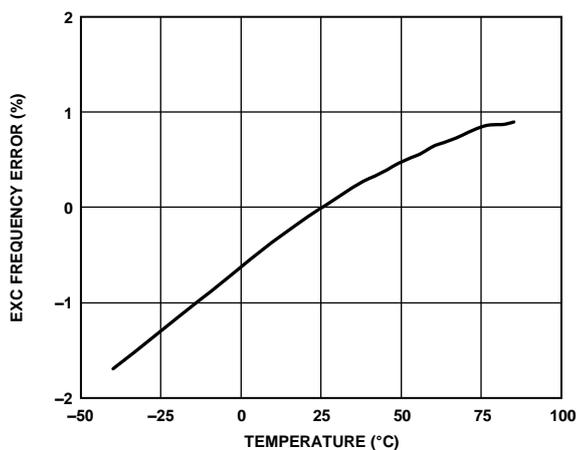
06517-017

図 17.容量入力ゲイン誤差の温度特性、
 $V_{DD} = 3.3\text{ V}$ 、CIN-EXC 間= 2 pF



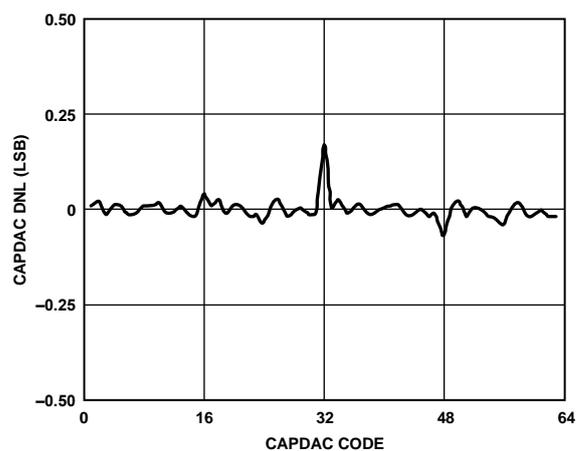
06517-020

図 20.容量チャンネルの周波数応答



06517-018

図 18.EXC 周波数誤差の温度特性、
 $V_{DD} = 3.3\text{ V}$



06517-021

図 21.CAPDAC の微分非直線性(DNL)、
 $V_{DD} = 3.3\text{ V}$

アーキテクチャと主要機能

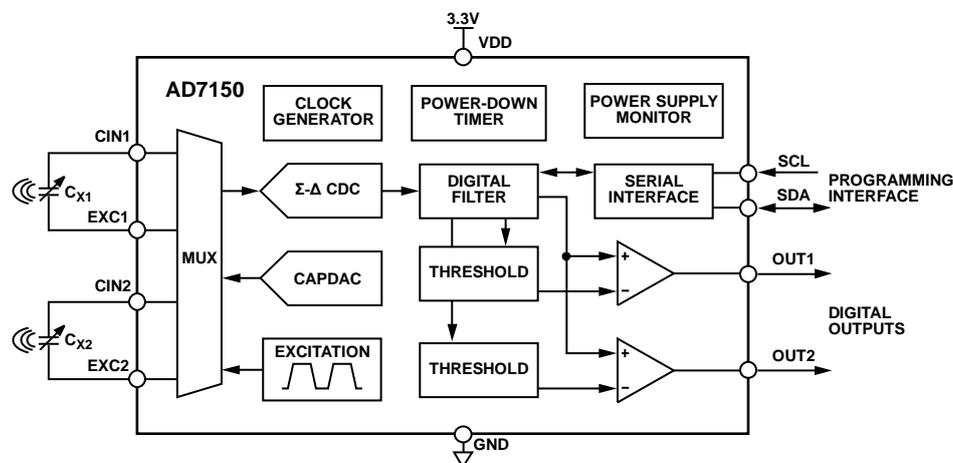


図 22.AD7150 のブロック図

AD7150 コアは、容量センサーに直接インターフェースすることができる高性能の容量/デジタル・コンバータ(CDC)です。

コンパレータは、CDC 変換結果をスレッシュホールドと比較します。このスレッシュホールドは固定か、または内蔵の適応型スレッシュホールド・アルゴリズム・エンジンにより動的に調節されます。したがって、出力は入力センサー容量の所定の変化を表示します。

また、AD7150 は、容量入力の励起信号源と CAPDAC、入力マルチプレクサ、クロック・ジェネレータ、パワーダウン・タイマー、電源モニター、制御ロジック、I²C@互換のシリアル・インターフェースを内蔵しています。このシリアル・インターフェースは、システム内で必要とされる場合に、デバイスの設定と内部の CDC データとステータスのアクセスに使うことができます(図 22 参照)。

容量/デジタル・コンバータ

図 23 に、CDC の簡略化した機能ブロック図を示します。このコンバータは、2 次のシグマ・デルタ(Σ-Δ)、電荷平衡型変調器、3 次のデジタル・フィルタから構成されています。被測定容量 C_x は、励起信号源と Σ-Δ 変調器入力との間に接続されます。励起信号が変換時に C_x に加えられ、変調器が連続的に C_x へ移動する電荷をサンプルします。デジタル・フィルタは変調器出力を処理します。この変調器出力は、0 と 1 の密度として情報を含む 0 と 1 のストリームからできています。データは、適応型スレッシュホールド・エンジンと出力コンパレータにより処理されます。データはシリアル・インターフェースを介して読み出すこともできます。

AD7150 は、フローティング容量センサーを対象にデザインされています。このため、 C_x プレートはグラウンドまたはシステム内のその他の固定電位ノードから絶縁されている必要があります。

AD7150 は、励起電圧出力のスルー・レート制限機能を持っています。この機能は、励起信号の高い高調波エネルギーを減少させるため、システムの電磁適合性(EMC)を動的に向上させます。

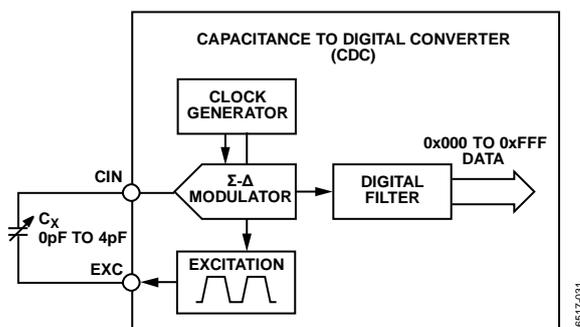


図 23.CDC の簡略化したブロック図

CAPDAC

AD7150 CDC コアの最大フル・スケール入力範囲は 4 pF ですが、これより大きな容量を入力することができ、最大 10 pF のオフセット容量(不変成分)をプログラマブルな内蔵 CAPDAC により、相殺させることができます。

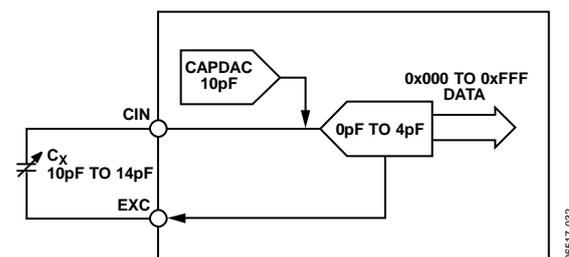


図 24.CAPDAC の使用法

CAPDAC は、内部で CIN ピンに接続されている負容量として理解することができます。CAPDAC は 6 ビットの分解能と単調な伝達関数を持っています。図 24 に、CAPDAC を使って CDC 4 pF の入力範囲をシフトして、10 pF~14 pF の容量を測定する方法を示します。

コンパレータ・モードとスレッシュホールド・モード

AD7150 コンパレータとそのスレッシュホールドは、複数のモードで動作するように設定することができます。適応型モードでは、スレッシュホールドが動的に調節されるため、コンパレータ出力は高速な変化を表示して、入力(センサー)容量の低速な変化を無視することができます。あるいは、スレッシュホールドを一定(固定)値に設定して、所定の固定スレッシュホールドを超えた入力容量の変化を表示することもできます。

AD7150 のロジック出力(アクティブ・ハイ)は、入力容量の正または負の変化を、適応型および固定のスレッシュホールド・モードで表示します(図 25 と図 26 参照)。

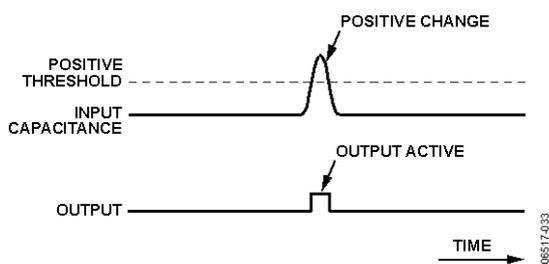


図 25. 入力容量の正の変化を表示する正スレッシュホールド・モード

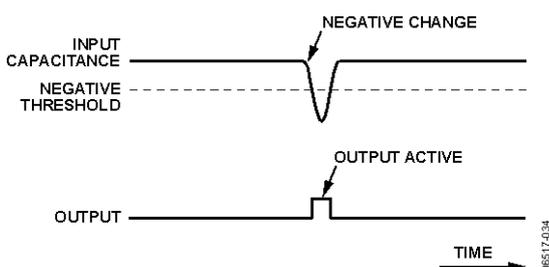


図 26. 入力容量の負の変化を表示する負スレッシュホールド・モード

さらに、適応型モードの場合、コンパレータはウィンドウ・コンパレータとして機能し、入力を選択した感度バンドの内側または外側にあることを表示します(図 27 と図 28 参照)。

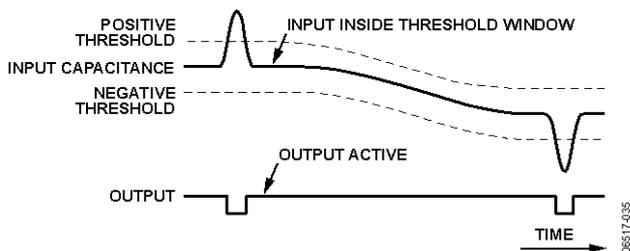


図 27. ウィンドウ内(適応型)スレッシュホールド・モード

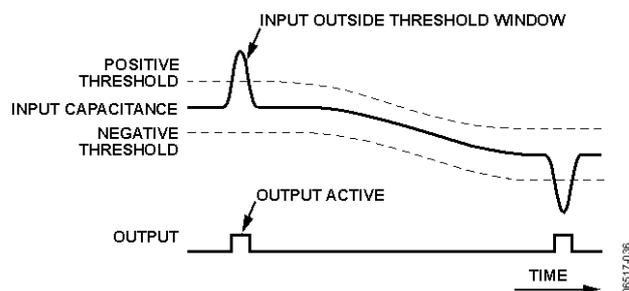


図 28. ウィンドウ外(適応型)スレッシュホールド・モード

適応型スレッシュホールド

適応型モードでは、スレッシュホールドが動的に調節され、高速な変化(たとえば容量近接センサーへ接近する物体)を表示し、入力(センサー)容量の低速な変化を無視します。この低速な変化は、通常、湿度または温度のような環境の変化、またはセンサーの誘電体材料の経時変化により発生します(図 29 参照)。

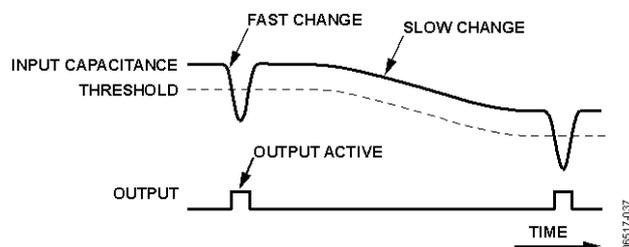


図 29. 入力容量の高速な変化を表示し、低速な変化を無視する適応型スレッシュホールド

データの平均処理

適応型スレッシュホールド・アルゴリズムは、前の CDC 出力データの平均計算に基づいています。入力容量のステップ変化に対する平均の応答(より正確には、CDC 出力データ変化に対する応答)は指数的に整定するカーブであり、次式で表されます。

$$Average(N) = Average(0) + Change(1 - e^{-N / TimeConst})$$

ここで、

$Average(N)$ は、入力でのステップ変化の後の CDC 変換 N サイクル分の平均値。

$Average(0)$ は、ステップ変化前の値。

$TimeConst$ は、セットアップ・レジスタ内の $ThrSettling$ ビットを設定することにより、2~65,536 の範囲の値を 2 の累乗ステップで選択することができます。

図 30 とレジスタの説明のセクションを参照してください。

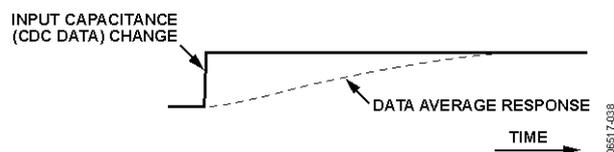


図 30. データのステップ変化に対するデータ平均応答

感度

適応型スレッシュールド・モードでは、出力コンパレータのスレッシュールドは、選択したスレッシュールド動作モードに応じて、データ平均の上、データ平均の下、または両方への所定の距離(感度)として設定されます(図 31 参照)。この感度値は、12 ビット CDC コンバータの 0~255 LSB の範囲で設定することができます(レジスタの説明のセクション参照)。

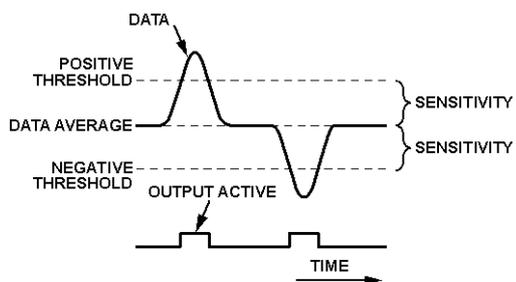


図 31.スレッシュールド感度

ヒステリシス

適応型スレッシュールド・モードでは、コンパレータはヒステリシスを持ちます。このヒステリシスは、スレッシュールド感度の 1/4 に固定され、オンまたはオフを設定することができます。固定スレッシュールド・モードでは、コンパレータはヒステリシスを持ちません。

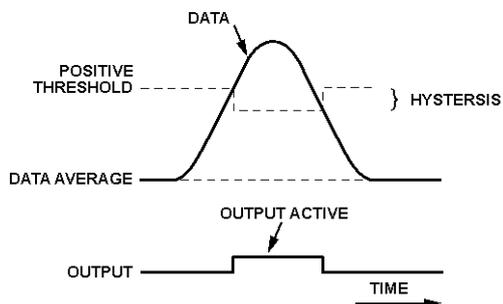


図 32.スレッシュールドのヒステリシス

タイムアウト

容量入力が大きく長時間変化する場合、データ平均処理が新しい状態を適用しようとするに長い時間を要します。このとき、タイムアウトを設定することができます。

タイムアウトは、CDC データがデータ平均±感度の範囲外になったときに、アクティブになります(カウントを開始)。タイムアウトが経過すると(所定の CDC 変換回数になると)、データ平均(したがってスレッシュールド)は直ちに新しい CDC データ値の使用を開始します(図 33 参照)。

タイムアウトは、接近スレッシュールド(スレッシュールドに向かうデータの変化)と後退スレッシュールド(スレッシュールドから離れるデータの変化)に対して、無関係に設定することができます。図 34、図 35、レジスタの説明のセクションを参照してください。

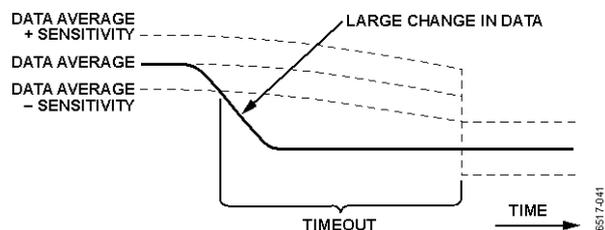


図 33.CDC データの大きな変化の後のスレッシュールド・タイムアウト

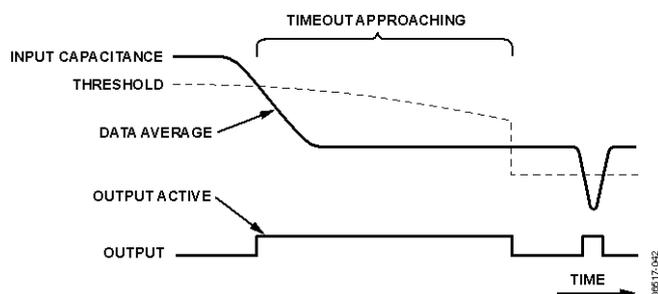


図 34. 偽出力トリガーを短くする
負スレッシュールド・モードでの接近タイムアウト

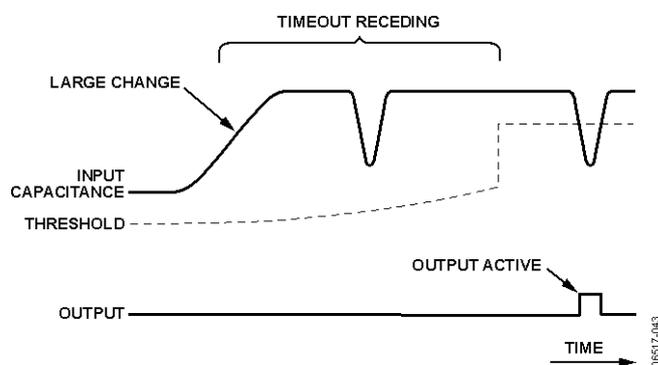


図 35.出力トリガーを見落とす期間を短縮する
正スレッシュールド・モードでの正タイムアウト

AutoCAPDAC の調節

適応型スレッシュホールド・モードでは、CDC を最適動作容量範囲内に維持するように CAPDAC を動的に調節することができます。AutoDAC 機能をイネーブルすると、データ平均が CDC フル範囲の 3/4 を超えたとき、CAPDAC 値が自動的にインクリメントされ、データ平均が CDC フル範囲の 1/4 を下回ったとき、CAPDAC 値がデクリメントされます。AutoDAC のインクリメント・ステップまたはデクリメント・ステップは、選択された CDC 容量入力範囲に依存します。セットアップ・レジスタのセクションを参照してください。

パワーダウン・タイマー

消費電力が厳しいアプリケーションでは、出力がアクティブにならないまま所定の時間が経過したとき自動的にパワーダウン・モードに入るように AD7150 を設定することができます。シリアル・インターフェースまたは電源のオフ/オン・シーケンスによって、AD7150 を通常の動作モードに戻すことができます。

電源モニタ

AD7150 の V_{DD} 電源電圧が正常な CDC 動作に必要な所定のレベルを下回ると、内蔵の電源モニター機能が適応型スレッシュホールド・ロジックを停止させて、リセット状態にします。 V_{DD} が所要のレベルに到達すると、スレッシュホールド・ロジックのリセットが解除されて、データ平均処理が正常電源電圧時に完了した最初の変換値にリセットされます。

この機能は、 V_{DD} 電圧の非常に低速な立ち上がり後に適応型スレッシュホールドが正しく設定されないこと、または V_{DD} 電圧の偶発的な低下により破壊されることを防止します。

他の AD7150 機能は、電源モニター・スレッシュホールドが約 1.0V ~ 1.8V 下回るまで動作を続けます。正確なレベルは製造プロセスに依存します。低 V_{DD} 電圧の領域でも、シリアル・インターフェースを介してデバイスをアクセスすることができ、変換は継続されます。ただし、変換結果が正しくないことがあるため、デバイスが電源モニター・スレッシュホールドより下で動作した場合は、データを無効と見なす必要があります。

電源モニターのステータスは、AD7150 のステータス・レジスタの PwrDown ビットを読み出すことにより取得することができます。

レジスタの説明

表 5. レジスタの一覧

Register	Pointer		R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
	(Dec)	(Hex)		Default Value							
Status	0	0x00	R	PwrDown	DacStep2	OUT2	DacStep1	OUT1	C1/C2	RDY2	RDY1
				0	1	0	1	0	0	1	1
Ch1 Data High	1	0x01	R	0x00							
Ch1 Data Low	2	0x02	R	0x00							
Ch2 Data High	3	0x03	R	0x00							
Ch2 Data Low	4	0x04	R	0x00							
Ch1 Average High	5	0x05	R	0x00							
Ch1 Average Low	6	0x06	R	0x00							
Ch2 Average High	7	0x07	R	0x00							
Ch2 Average Low	8	0x08	R	0x00							
Ch1 Sensitivity Ch1 Threshold High	9	0x09	R/W	Ch1 Sensitivity (in adaptive threshold mode)/Threshold High Byte (in fixed threshold mode) 0x08							
Ch1 Timeout Ch1 Threshold Low	10	0x0A	R/W	Ch1 Timeout (in adaptive threshold mode)/Threshold Low Byte (in fixed threshold mode) 0x86							
Ch1 Setup	11	0x0B	R/W	RngH1	RngL1	–	Hyst1	ThrSettling1 (4-bit value)			
				0	0	0	0	0x0B			
Ch2 Sensitivity Ch2 Threshold High	12	0x0C	R/W	Ch2 Sensitivity (in adaptive threshold mode)/Threshold High Byte (in fixed threshold mode) 0x08							
Ch2 Timeout Ch2 Threshold Low	13	0x0D	R/W	Ch2 Timeout (in adaptive threshold mode)/Threshold Low Byte (in fixed threshold mode) 0x86							
Ch2 Setup	14	0x0E	R/W	RngH2	RngL2	–	Hyst2	ThrSettling2 (4-bit value)			
				0	0	0	0	0x0B			
Configuration	15	0x0F	R/W	ThrFixed	ThrMD1	ThrMD0	EnCh1	EnCh2	MD2	MD1	MD0
				0	0	0	1	1	0	0	1
Power-Down Timer	16	0x10	R/W	–	–	Power-Down Timeout (6-bit value)					
				0	0	0x00					
Ch1 CAPDAC	17	0x11	R/W	DacEn1	DacAuto1	DacValue1 (6-bit value)					
				1	1	0x00					
Ch2 CAPDAC	18	0x12	R/W	DacEn2	DacAuto2	DacValue2 (6-bit value)					
				1	1	0x00					
Serial Number 3	19	0x13	R	Serial Number – Byte 3 (MSB)							
Serial Number 2	20	0x14	R	Serial Number – Byte 2							
Serial Number 1	21	0x15	R	Serial Number – Byte 1							
Serial Number 0	22	0x16	R	Serial Number – Byte 0 (LSB)							
Chip ID	23	0x17	R	Chip Identification Code							

ステータス・レジスタ

アドレス・ポインタ 0x00

8ビット、読み出し専用、デフォルト値 0x53(変換前)、0x54 (変換後)

ステータス・レジスタはデバイスのステータスを表示します。レジスタを 2 線式シリアル・インターフェースを介して読み出して、出力のステータス、CDC の変換終了、CAPDAC が autoCAPDAC 機能により変更されたか否かを知ることができます。

表 6.ステータス・レジスタのビット・マップ

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mnemonic	PwrDown	DacStep2	OUT2	DacStep1	OUT1	C1/C2	RDY2	RDY1
Default	0	1	0	1	0	0	1	1

表 7.ステータス・レジスタ・ビットの説明

Bit	Mnemonic	Description
7	PwrDown	PwrDown = 1 indicates that the part is in a power-down mode or that the part V_{DD} is below the power supply monitor threshold voltage.
6	DacStep2	DacStep2 = 0 indicates that the Ch2 CAPDAC value was changed after the last CDC conversion as part of the AutoDac function. The bit value is updated after each finished CDC conversion on this channel.
5	OUT2	OUT2 = 1 indicates that the Ch2 data (CIN2 capacitance) crossed the threshold, according to the selected comparator mode of operation. The bit value is updated after each finished CDC conversion on this channel.
4	DacStep1	DacStep1 = 0 indicates that the Ch1 CAPDAC value was changed during the last conversion as part of the AutoDac function. The bit value is updated after each finished CDC conversion on this channel.
3	OUT1	OUT1 = 1 indicates that the Ch1 data (CIN1 capacitance) crossed the threshold, according to the selected comparator mode of operation. The bit value is updated after each finished CDC conversion on this channel.
2	C1/C2	The C1/C2 = 0 indicates that the last finished CDC conversion was on Channel 1. The C1/C2 = 1 indicates that the last finished CDC conversion was on Channel 2.
1	RDY2	RDY2 = 0 indicates a finished CDC conversion on Ch2. The bit is reset back to 1 when the Ch2 data register is read via the serial interface or after the part reset or power-up.
0	RDY1	RDY1 = 0 indicates a finished CDC conversion on Ch1. The bit is reset back to 1 when the Ch1 data register is read via serial interface or after the part reset or power-up.

データ・レジスタ

Ch1 アドレス・ポインタ 0x01、0x02

Ch2 アドレス・ポインタ 0x03、0x04

16 ビット、読み出し専用、デフォルト値 0x0000

直前の容量/デジタル変換からのデータで、入力容量を表します。データ・レジスタの上位 12 ビットのみを CDC 結果として使用しています。下位 4 ビットは常に 0 です(図 36 参照)。

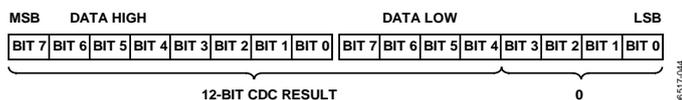


図 36. CDC データ・レジスタ

AD7150 CDC の公称伝達関数(オフセットおよび/またはゲイン誤差を含まない理論伝達関数)では、ゼロ・スケールとフルスケールの間の入力容量を 0x3000~0xCFF0 の出力データ・コードに対応させます(表 8 参照)。

表 8. AD7150 の容量-データ間の対応

Data	Input Capacitance
0x0000	Not valid, underrange
0x3000	Zero-scale (0 pF)
0x8000	Mid-scale (+1 pF)
0xCFF0	Full-scale (+2 pF)
0xFFFF	Not valid, overrange

入力容量は、次式を使って出力データから計算できます。

$$C(\text{pF}) = \frac{\text{Data} - 12288}{40944} \times \text{Input_Range}$$

ここで、*Input_Range* = 4 pF、2 pF、1 pF、または 0.5 pF。

同じ式を 16 進数で示します。

$$C(\text{pF}) = \frac{\text{Data} - 0x3000}{0x9FF0} \times \text{Input_Range}$$

データ・レジスタは、容量チャンネルで変換が終了した後で更新されます。ただし、シリアル・インターフェースによるデータ・レジスタからの読み出し動作中には、データ・レジスタは更新されず、新しい容量変換結果は失われます。

シリアル・インターフェースのストップ条件は、読み出し動作の終了と見なされます。このため、シリアル・インターフェースを介したデータ読み出しの誤りを防止するため、シリアル・インターフェースのレジスタ・アドレス・ポインタ自動インクリメント機能を使って、2 バイトのデータ・レジスタをシーケンシャルに読み出す必要があります。

平均レジスタ

Ch1 アドレス・ポインタ 0x05、0x06

Ch2 アドレス・ポインタ 0x07、0x08

16 ビット、読み出し専用、デフォルト値 0x0000

これらのレジスタは、前の CDC データから計算された平均値を表示します。12 ビットの CDC 結果は、平均レジスタの上位 12 ビットに対応します。

平均のセトリング・タイムは、セットアップ・レジスタ内の ThrSettling ビットを設定することにより、設定することができます。平均レジスタは、CDC 出力データにより上書きされます。すなわち、タイムアウトがイネーブルされ、タイムアウトが発生すると、履歴が失われてしまいます。

固定スレッショルド・レジスタ

Ch1 アドレス・ポインタ 0x09、0x0A

Ch2 アドレス・ポインタ 0x0C、0x0D

16 ビット、読み書き可能、出荷時設定 0x0886

固定スレッショルド・モードでの出力コンパレータの一定スレッショルドは、これらのレジスタを使って設定することができます。12 ビットの CDC 結果は、スレッショルド・レジスタの上位 12 ビットに対応します。固定スレッショルド・レジスタは、感度レジスタおよびタイムアウト・レジスタとアドレス・ポインタおよびロケーションを共用しています。適応型スレッショルド・モード内では、固定スレッショルド・レジスタをアクセスすることはできません。

感度レジスタ

Ch1 アドレス・ポインタ 0x09

Ch2 アドレス・ポインタ 0x0C

8 ビット、読み書き可能、出荷時設定 0x08

感度レジスタは、適応型スレッショルド・モードで、データ平均より上の正スレッショルド距離とデータ平均より下の負スレッショルド距離を設定します。

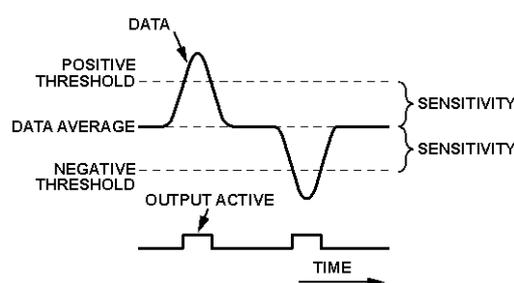


図 37. スレッショルド感度

感度は 8 ビット値で、12 ビット CDC データの下位 8 ビットに割り当てられています。すなわち、図 38 に示すように、16 ビットのデータ・レジスタに対応します。

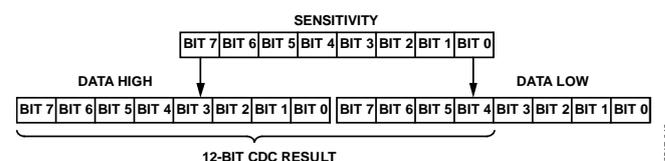


図 38. 感度レジスタと CDC データ・レジスタの関係

タイムアウト・レジスタ

Ch1 アドレス・ポインタ 0x0A

Ch2 アドレス・ポインタ 0x0D

8 ビット、読み書き可能、出荷時設定 0x86

表 9. タイムアウト・レジスタのビット・マップ

Bit	Bits [7:4]	Bits [3:0]
Mnemonic	TimeOutApr	TimeOutRec
Default	0x08	0x06

これらのレジスタは、適応型スレッシュールド・モードのタイムアウトを設定します。

接近タイムアウトは、選択した正、負、またはウィンドウ・スレッシュールド・モードに従い、CDC データがデータ平均±感度のバンドを通過してスレッシュールドに向かうときに開始されます。接近タイムアウトは、変換サイクル数が $2^{\text{TimeOutApr}}$ に一致したときに発生します。ここで、TimeOutApr は、タイムアウト・レジスタの上位 4 ビットの値です。

後退タイムアウトは、選択した正、負、またはウィンドウ・スレッシュールド・モードに従い、CDC データがデータ平均±感度のバンドを通過してスレッシュールドから離れるときに開始されます。後退タイムアウトは、ウィンドウ・スレッシュールド・モードでは使用されません。後退タイムアウトは変換サイクル数が $2^{\text{TimeOutRec}}$ に一致したときに発生します。ここで、TimeOutRecis は、タイムアウト・レジスタの下位 4 ビットの値です。

接近タイムアウトまたは後退タイムアウトが発生すると(すなわち所定の CDC 変換回数になると)、データ平均(したがってレッシュールド)は直ちに新しい CDC データ値の使用を開始します。

タイムアウト・レジスタ値が 0 のときは、タイムアウトがディセーブルされます。

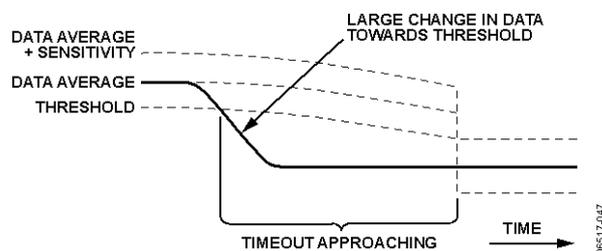


図 39. CDC データがスレッシュールドに向かうときの大きな変化の後のスレッシュールド接近タイムアウト

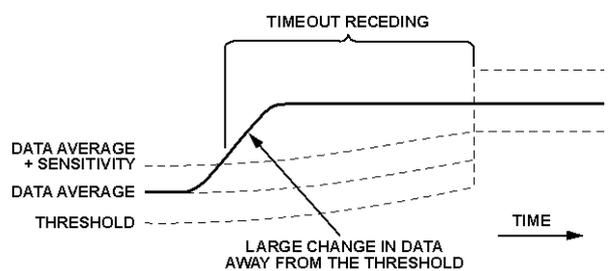


図 40. CDC データがスレッシュールドを離れるときの大きな変化の後のスレッシュールド後退タイムアウト

セットアップ・レジスタ

Ch1 アドレス・ポインタ 0x0B

Ch2 アドレス・ポインタ 0x0E

8 ビット、読み書き可能、出荷時設定 0x0B

表 10. セットアップ・レジスタのビット・マップ

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mnemonic	RngH	RngL	–	Hyst		ThrSettling (4-Bit Value)		
Default	0	0	0	0		0x0B		

表 11. セットアップ・レジスタ・ビットの説明

Bit	Mnemonic	Description																				
7 6	RngH RngL	Range bits set the CDC input range and determine the step for the AutoDAC function. <table border="1"> <thead> <tr> <th>RngH</th> <th>RngL</th> <th>Capacitive Input Range (pF)</th> <th>AutoDAC Step (CAPDAC LSB)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>2</td> <td>4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0.5</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>4</td> <td>8</td> </tr> </tbody> </table>	RngH	RngL	Capacitive Input Range (pF)	AutoDAC Step (CAPDAC LSB)	0	0	2	4	0	1	0.5	1	1	0	1	2	1	1	4	8
RngH	RngL	Capacitive Input Range (pF)	AutoDAC Step (CAPDAC LSB)																			
0	0	2	4																			
0	1	0.5	1																			
1	0	1	2																			
1	1	4	8																			
5	–	This bit should be 0 for the specified operation.																				
4	Hyst	Hyst = 1 disables hysteresis in adaptive threshold mode. This bit has no effect in fixed threshold mode; hysteresis is always disabled in the fixed threshold mode.																				
3 2 1 0	ThrSettling	Determines the settling time constant of the data average and thus the settling time of the adaptive thresholds. The response of the average to an input capacitance step change (that is, response to the change in the CDC output data) is an exponential settling curve characterized by the following equation: $Average(N) = Average(0) + Change(1 - e^{-N/TimeConst})$ where: <i>Average(N)</i> is the value of average N complete CDC conversion cycles after a step change on the input. <i>Average(0)</i> is the value before the step change. <i>TimeConst</i> can be selected in the range between 2 and 65,536 conversion cycle multiples, in steps of power of 2, by programming the ThrSettling bits. $TimeConst = 2^{(ThrSettling + 1)}$ See Figure 41.																				

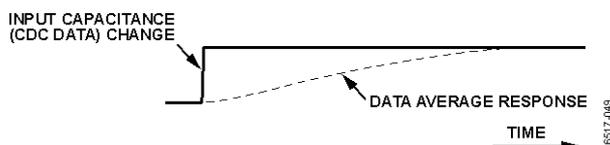


図 41. データのステップ変化に対するデータ平均応答

設定レジスタ

アドレス・ポインタ 0x0F

8ビット、読み書き可能、出荷時設定 0x19

表 12.設定レジスタのビット・マップ

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mnemonic	ThrFixed	ThrMD1	ThrMD0	EnCh1	EnCh2	MD2	MD1	MD0
Default	0	0	0	1	1	0	0	1

表 13.設定レジスタ・ビットの説明

Bit	Mnemonic	Description																														
7	ThrFixed	ThrFixed = 1 sets the fixed threshold mode. The outputs reflect comparison of data and a fixed (constant) value of the threshold registers. ThrFixed = 0 sets the adaptive threshold mode. The outputs reflect comparison of data to the adaptive thresholds. The adaptive threshold is set dynamically, based on the history of the previous data.																														
6 5	ThrMD1 ThrMD0	These bits set the output comparators mode. <table border="1"> <thead> <tr> <th rowspan="2">ThrMD1</th> <th rowspan="2">ThrMD0</th> <th rowspan="2">Threshold Mode</th> <th colspan="2">Output Active When</th> </tr> <tr> <th>Adaptive Threshold Mode</th> <th>Fixed Threshold Mode</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Negative</td> <td>data < average – sensitivity</td> <td>Data < Threshold</td> </tr> <tr> <td>0</td> <td>1</td> <td>Positive</td> <td>data > average + sensitivity</td> <td>Data > Threshold</td> </tr> <tr> <td>1</td> <td>0</td> <td>In-Window</td> <td>data > average – sensitivity AND data < average + sensitivity</td> <td>–</td> </tr> <tr> <td>1</td> <td>1</td> <td>Out-Window</td> <td>data < average – sensitivity OR data > average + sensitivity</td> <td>–</td> </tr> </tbody> </table>	ThrMD1	ThrMD0	Threshold Mode	Output Active When		Adaptive Threshold Mode	Fixed Threshold Mode	0	0	Negative	data < average – sensitivity	Data < Threshold	0	1	Positive	data > average + sensitivity	Data > Threshold	1	0	In-Window	data > average – sensitivity AND data < average + sensitivity	–	1	1	Out-Window	data < average – sensitivity OR data > average + sensitivity	–			
ThrMD1	ThrMD0	Threshold Mode				Output Active When																										
			Adaptive Threshold Mode	Fixed Threshold Mode																												
0	0	Negative	data < average – sensitivity	Data < Threshold																												
0	1	Positive	data > average + sensitivity	Data > Threshold																												
1	0	In-Window	data > average – sensitivity AND data < average + sensitivity	–																												
1	1	Out-Window	data < average – sensitivity OR data > average + sensitivity	–																												
4	EnCh1	Enables conversion on Channel 1.																														
3	EnCh2	Enables conversion on Channel 2.																														
2 1 0	MD2 MD1 MD0	Converter mode of operation setup. <table border="1"> <thead> <tr> <th>MD2</th> <th>MD1</th> <th>MD0</th> <th>Mode</th> <th>Description</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Idle</td> <td>Part is fully powered up but performing no conversion.</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Continuous Conversion</td> <td>Part is repeatedly performing conversions on the enabled channel(s). If two channels are enabled, the part is sequentially switching between them.</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Single Conversion</td> <td>Part performs a single conversion on the enabled channel. If two channels are enabled, the part performs two conversions, one on each channel. After finishing the conversion(s), the part goes to the idle mode.</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Power-Down</td> <td>Powers down the on-chip circuits, except the digital interface.</td> </tr> <tr> <td>1</td> <td>X</td> <td>X</td> <td>Reserved</td> <td>Do not use these modes.</td> </tr> </tbody> </table>	MD2	MD1	MD0	Mode	Description	0	0	0	Idle	Part is fully powered up but performing no conversion.	0	0	1	Continuous Conversion	Part is repeatedly performing conversions on the enabled channel(s). If two channels are enabled, the part is sequentially switching between them.	0	1	0	Single Conversion	Part performs a single conversion on the enabled channel. If two channels are enabled, the part performs two conversions, one on each channel. After finishing the conversion(s), the part goes to the idle mode.	0	1	1	Power-Down	Powers down the on-chip circuits, except the digital interface.	1	X	X	Reserved	Do not use these modes.
MD2	MD1	MD0	Mode	Description																												
0	0	0	Idle	Part is fully powered up but performing no conversion.																												
0	0	1	Continuous Conversion	Part is repeatedly performing conversions on the enabled channel(s). If two channels are enabled, the part is sequentially switching between them.																												
0	1	0	Single Conversion	Part performs a single conversion on the enabled channel. If two channels are enabled, the part performs two conversions, one on each channel. After finishing the conversion(s), the part goes to the idle mode.																												
0	1	1	Power-Down	Powers down the on-chip circuits, except the digital interface.																												
1	X	X	Reserved	Do not use these modes.																												

パワーダウン・タイマー・レジスタ

アドレス・ポインタ 0x10

8 ビット、読み書き可能、出荷時設定 0x00

表 14. パワーダウン・タイマー・レジスタのビット・マップ

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mnemonic	–	–	Power-Down Timeout (6-Bit Value)					
Default	0	0	0x00					

表 15. パワーダウン・タイマー・レジスタ・ビットの説明

Bit	Mnemonic	Description
[7:6]	–	These bits must be 0 for proper operation.
[5:0]	Power-Down Timeout	<p>Defines period duration of the power-down timeout.</p> <p>If the output comparator outputs have not been activated during the programmed period, the part enters power-down mode automatically. The part can be then returned to a normal operational mode either via the serial interface or by the power supply off/on sequence.</p> <p>The period is programmable in steps of four hours. For example, setting the value to 0x06 sets the duration to 24 hours. The maximum value of 0x3F corresponds to approximately 10.5 days.</p> <p>The value of 0x00 disables the power-down timeout, and the part does not enter power-down mode automatically.</p>

CAPDAC レジスタ

Ch1 アドレス・ポインタ 0x11

Ch2 アドレス・ポインタ 0x12

8 ビット、読み書き可能、出荷時設定 0x00

表 16. CAPDAC レジスタ・ビット・マップ

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mnemonic	DacEn	DacAuto	DacValue (6-Bit Value)					
Default	1	1	0x00					

表 17. CAPDAC レジスタ・ビットの説明

Bit	Mnemonic	Description
7	DacEn	DacEn = 1 enables capacitive DAC.
6	DacAuto	<p>DacAuto = 1 enables the AutoDAC function in the adaptive threshold mode.</p> <p>When the AutoDAC function is enabled, the part dynamically adjusts the CAPDAC to keep the CDC in an optimal operating capacitive range. The CAPDAC value is automatically incremented when the data average exceeds $\frac{3}{4}$ of the CDC full range, and the CAPDAC value is decremented when the data average goes below $\frac{1}{4}$ of the CDC full range. The AutoDAC increment or decrement step depends on the selected CDC capacitive input range.</p> <p>Bit has no effect in fixed threshold mode; the AutoDAC function is always disabled in the fixed threshold mode.</p>
[5:0]	DacValue	CAPDAC value, Code 0x00 \approx 0 pF, Code 0x3F \approx CAPDAC full range.

シリアル番号レジスタ

アドレス・ポインタ 0x13, 0x14, 0x15, 0x16

32 ビット、読み出し専用、0xXXXX

このレジスタは、各デバイスに独自のシリアル番号を保持していません。

チップ ID レジスタ

アドレス・ポインタ 0x17

8 ビット、読み出し専用、0xXX

このレジスタは、製造とテストで使用されるチップ識別コードを保持しています。

シリアル・インターフェース

AD7150 は、I²C 互換の 2 線式シリアル・インターフェースをサポートしています。シリアル・バス(インターフェース)の 2 本の線は、SCL (クロック)と SDA (データ)と呼ばれます。これらの 2 本の線は、すべてのアドレス、制御、データ情報を一度に 1 ビットずつバスを使って接続されているすべてのペリフェラル・デバイスへ伝送します。SDA 線はデータを伝送し、SCL 線はデータ転送中にトランスマッタとレシーバを同期化します。バス上のデバイスは、マスター・デバイスまたはスレーブ・デバイスとして分類されます。データ転送メッセージを開始するデバイスはマスターと呼ばれ、このメッセージに応答するデバイスはスレーブと呼ばれます。

バス上のデバイスを制御するときは、次のプロトコルに従う必要があります。まず、マスターがスタート条件を確立してデータ転送を開始します。このスタート条件は、SCL がハイ・レベルの間の、SDA 上のハイ・レベルからローレベルへの変化として定義されています。これは、スタート・バイトが続くことを表します。この 8 ビットのスタートバイトは、7 ビットのアドレスと R/W ビット・インジケータから構成されています。

すべてのペリフェラルはスタート条件に応答して、次の 8 ビット (7 ビット・アドレス+ R/W ビット) をシフトします。ビットは、MSB ファーストで到着します。送信されたアドレスに対応するアドレスを持つペリフェラルは、9 番目のクロック・パルス区間中に、データ・ラインをロー・レベルにプルダウンして応答します。これはアクノリッジ・ビット(アック・ビット)と呼ばれています。この時点で、バス上の他のすべてのデバイスが接続を辞退して、アイドル状態を維持します。これに対する例外はジェネラル・コールアドレスであり、これについてはジェネラル・コールのセクションで説明します。このアイドル状態では、各デバイスは SDA ラインと SCL ラインをモニタして、スタート条件と自分のアドレス・バイトの受信を待ちます。

R/W ビットによりデータの転送方向が指定されます。先頭バイトの LSB がロジック 0 のとき、マスターがペリフェラルに対する情報を書込むことを意味します。この場合、AD7150 がスレーブ・レシーバになります。先頭バイトの LSB がロジック 1 のとき、マスターがペリフェラルに対して情報を書込むことを意味します。この場合、AD7150 がスレーブ・トランスマッタになります。すべてのケースで、AD7150 はシリアル・バスで標準のスレーブ・デバイスとして動作します。

AD7150 のスタート・バイト・アドレスは書き込みでは 0x90 に、読み出しでは 0x91 になります。

読出し動作

スタート・バイト内で読み出しを選択すると、アドレス・ポインタで指定されているレジスタが AD7150 により SDA ラインへ送信されます。マスター・デバイスはこれをクロック駆動して出力し、AD7150 はマスターからのアクノリッジを待ちます。

マスターからアクノリッジが受信されると、アドレス自動インクリメンタがアドレス・ポインタ・レジスタを自動的にインクリメントし、アドレス指定された次のレジスタ値を SDA ラインへ出力してマスターへ送信します。アクノリッジが受信されない場合は、AD7150 はアイドル状態に戻り、アドレス・ポインタはインクリメントされません。アドレス・ポインタの自動インクリメンタ機能により、開始アドレスからアドレスをインクリメントしながら、ブロック・データを読み書きすることができます。

連続変換モードでは、アドレス・ポインタの自動インクリメンタを使って変換結果を読み出す必要があります。これは、2 回のシングル・バイト・トランザクションではなく、1 回のマルチバイト読み出しトランザクションを使って、2 データ・バイトを読み

出すことを意味します。シングル・バイト・データ読み出しトランザクションを使うと、2 つの異なる変換からのデータ・バイトが混在してしまうことが発生します。両容量チャンネルがイネーブルされている場合、同じことが 4 データ・バイトに対して発生します。

すべてのレジスタを更新することなく、固有のレジスタ(アドレス)を 1 個ずつアクセスすることもできます。アドレス・ポインタ・レジスタ値を読み出すことはできません。

正しくないアドレス・ポインタ・ロケーションをアクセスした場合、または自動インクリメンタが所定のレジスタ・アドレスを超えた場合、次が適用されます。

- 読み出しモードでは、マスター・デバイスがナック、スタート、またはストップ条件を発行するまで、AD7150 は種々の内部レジスタ値の出力を継続します。読み出し動作の終わりにストップ条件が受信されると、アドレス・ポインタの自動インクリメンタ値がリセットされて、アドレス 0x00 のステータス・レジスタを指すようになります。これにより、アドレス・ポインタへ定期的書き込むことなく、ステータス・レジスタを読み出す(ポーリング)ことができるようになります。
- 書き込みモードでは、無効アドレスのデータは AD7150 レジスタにロードされず、AD7150 がアクノリッジを発行します。

書込み動作

書き込みが選択された場合、スタート・バイトの後ろのバイトは常にレジスタ・アドレス・ポインタ(サブアドレス)バイトになります。このバイトは AD7150 内の内部レジスタの 1 つを指定します。アドレス・ポインタ・バイトがアドレス・ポインタ・レジスタへ自動的にロードされ、AD7150 はアクノリッジを発行します。アドレス・ポインタ・バイト・アクノリッジの後ろには、マスターからのストップ条件、スタート条件の繰り返し、または別のデータ・バイトが続くことができます。ストップ条件は SCL がハイ・レベルのときの、SDA のロー・レベルからハイ・レベルへの変化として定義されています。AD7150 がストップ条件を検出すると、アイドル状態に戻り、アドレス・ポインタを 0x00 にリセットします。

レジスタ・アドレス・ポインタ・バイトの後ろでデータ・バイトが送信されると、AD7150 はこのバイトを、アドレス・ポインタ・レジスタが指定しているレジスタへロードして、アクノリッジを送信し、アドレス・ポインタ自動インクリメンタがアドレス・ポインタ・レジスタを次の内部レジスタ・アドレスへ自動的にインクリメントします。このようにして、送信された後続のデータ・バイトが、連続的にインクリメントされたアドレスへロードされます。

アドレス・ポインタ・バイトの後ろで繰り返しスタート条件が検出されると、バスに接続されているすべてのペリフェラルは前述のスタート条件の場合と同じ応答をします。すなわち、繰り返しスタート条件はスタート条件と同じ扱いになります。マスター・デバイスがストップ条件を発行した場合、バスの制御を放棄するため、別のマスター・デバイスがバスの制御権を取得することができます。したがって、バス制御を放棄したくないマスターは、繰り返しスタート条件と呼ばれる連続するスタート条件を発行します。

AD7150のリセット

シリアル・バス全体をリセットすることなく AD7150 をリセットするために、明示的なリセット・コマンドが用意されています。このコマンドでは、特別なアドレス・ポインタ・ワードをコマンド・ワードとして使い、デバイスをリセットしてすべてのデフォルト設定をアップロードします。AD7150 は、デフォルト値をアップロードする約 2 ms 間、シリアル・バス・コマンドに応答しません(アクノリッジしません)。

リセット・コマンド・アドレス・ワードは、0xBF です。

ジェネラル・コール

マスターが 7 ビットの 0 と 8 番目のビット(R/W ビット)が 0 で構成されるスレーブ・アドレスを発行した場合、これはジェネラル・コール・アドレスと呼ばれます。ジェネラル・コール・アドレスは、シリアル・バスに接続された全デバイスをアドレス指定する際に使われます。AD7150 はこのアドレスに応答し、次のデータ・バイトを読み込みます。

2 番目のバイトが 0x06 の場合、AD7150 は自分をリセットして、すべてのデフォルト値をアップロードします。AD7150 は、デフォルト値をアップロードする約 2 ms 間、シリアル・バス・コマンドに応答しません(アクノリッジしません)。

AD7150 は他のジェネラル・コール・コマンドには応答しません。

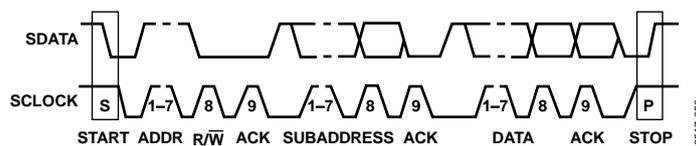


図 42.バス・データの転送

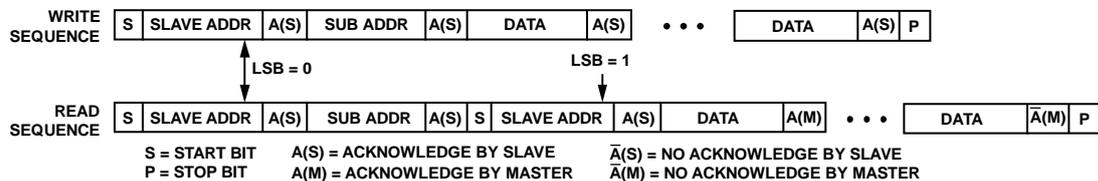


図 43.書き込みシーケンスと読み出しシーケンス

ハードウェア・デザインでの考慮事項

概要

AD7150 は、容量センサーに対する 1 つのインターフェースです。

入力側では、AD7150 EXC ピンと CIN ピンの間にセンサー(C_X)を直接接続することができます。この接続方法と、寄生抵抗や容量のような、センサー接続の電気的パラメータがシステム性能に影響を与えます。したがって、過電圧保護などの、容量フロントエンドに使う追加部品を持つすべての回路は、AD7150 の仕様規定値とこのセクションで提供する情報を考慮して、注意深くデザインする必要があります。

出力側では、AD7150 は、パワーアップ・デフォルト・レジスタ設定を使い、デジタル出力での変換結果をフラグ表示することにより、スタンダオン・デバイスとして動作することができます。あるいは、2 線式シリアル・インターフェースを使って AD7150 をマイクロコントローラへインターフェースさせることができ、ユーザー固有のセットアップで AD7150 レジスタ値をホストから上書きすることにより柔軟性を提供することができます。

グラウンドに対する寄生容量

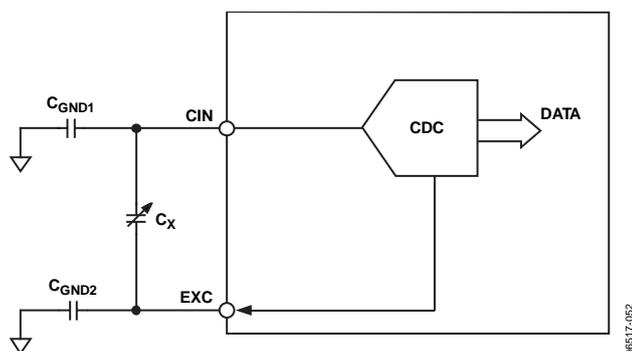


図 44.グラウンドに対する寄生容量

AD7150 で採用されている CDC アーキテクチャでは、EXC ピンと CIN ピンとの間に接続された容量 C_X を計測します。理論的には、グラウンドに対するすべての容量 C_{GND} は CDC 変換結果に影響を与えることはありません(図 44 参照)。

チップ内の実際の回路には限界があるため、変換結果はグラウンドに対する容量の影響を少しずつ受けます(CIN の GND に対する許容容量と励起については、表 1 を参照してください)。

図 4～図 9 を参照してください。

グラウンドに対する寄生抵抗

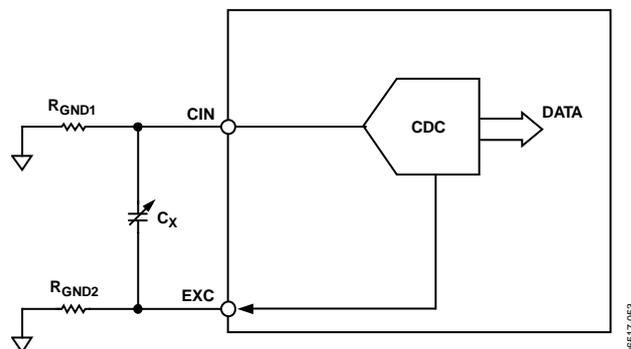


図 45.グラウンドに対する寄生抵抗

AD7150 CDC の変換結果は、 C_X からグラウンドへ流れるリーク電流の影響を受けます。このため、 C_X をグラウンドから絶縁することが必要です。 C_X とグラウンドとの間の等価抵抗を最大にする必要があります(図 45 参照)。

図 10～図 13 を参照してください。

寄生並列抵抗

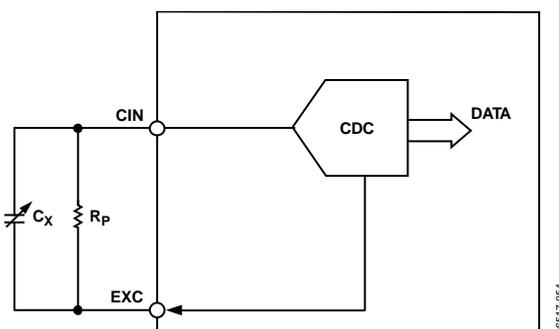


図 46.寄生並列抵抗

AD7150 CDC は、EXC ピンと CIN ピンとの間を移動する電荷を計測します。被測定容量 C_X (図 46 参照) に並列に接続されるすべての抵抗(たとえば、センサーの寄生抵抗)を通して電荷が移動します。このため、出力データからは並列抵抗は容量の増加として見えます。等価並列容量(すなわち並列抵抗で発生する誤差)は、次のように近似することができます。

$$C_p = \frac{1}{R_p \times f_{EXC} \times 4}$$

ここで、 R_p は並列抵抗、 f_{EXC} は励起周波数。

図 15 を参照してください。

寄生直列抵抗

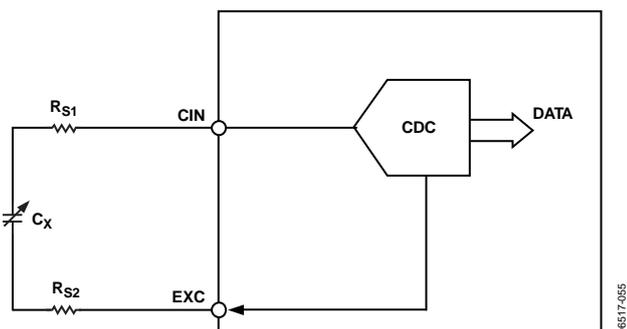


図 47.寄生直列抵抗

AD7150 CDC の変換結果は、被測定容量と直列な抵抗から影響を受けます。全直列抵抗(図 47 では $R_{S1} + R_{S2}$)は、数百 Ω のオーダーである必要があります。

図 14 を参照してください。

入力 EMC 保護

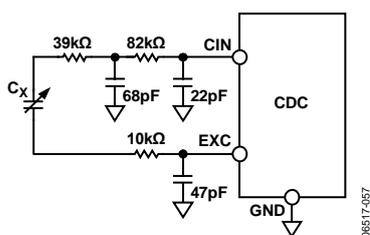


図 49.AD7150 CIN の EMC 保護

アプリケーションによっては、電磁適合性(EMC)を強化するために入力フィルタの追加が必要となる場合があります。すべての入力フィルタは、システム容量性能とシステム電磁耐性との間のバランスを考慮して、注意深くデザインする必要があります。

図 49 に、高周波ノイズに対するシステム耐性を大幅に向上させ、ゲイン誤差とオフセット誤差の増加としての AD7150 性能への影響が小さい入力回路構成を示します。

入力過電圧保護

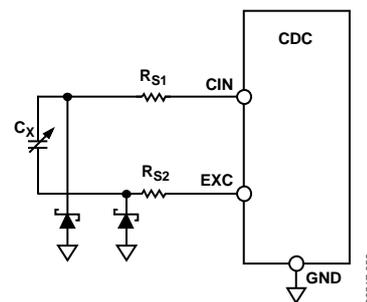
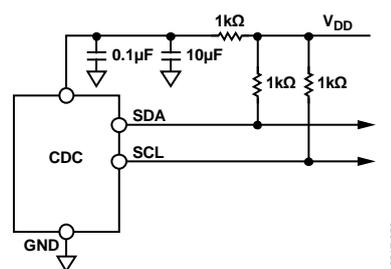


図 48.AD7150 CIN の過電圧保護

AD7150 の容量入力には ESD 保護機能が内蔵されています。ただし、アプリケーションによっては、アプリケーション固有の条件に応じて、過電圧保護機能の強化が必要な場合があります。容量フロントエンドに追加されるすべての回路は注意深くデザインする必要があります。特に、グラウンドに対する最大容量推奨値、最大直列抵抗、最大リークなどについては注意が必要です。

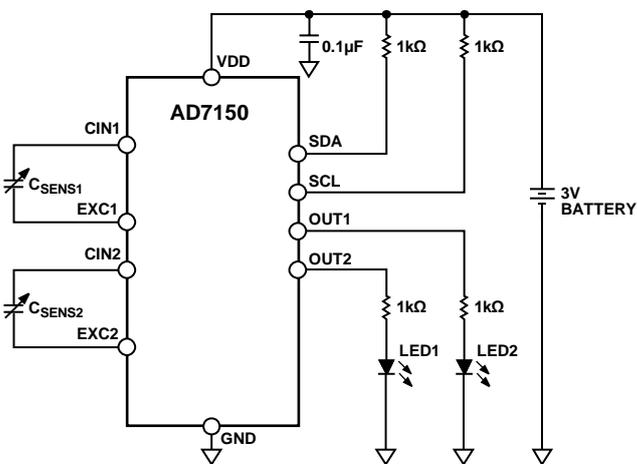
電源のデカップリングとフィルタリング

図 50.AD7150 V_{DD} のデカップリングとフィルタリング

AD7150 は優れた DC および低周波電源除去比を持っていますが、高周波リップルとノイズに対して敏感で、特に励起周波数付近とその高調波に対して敏感になる可能性があります。図 50 に、電源を経由して AD7150 に混入するリップルとノイズに対するシステム耐性を向上させる回路構成を示します。

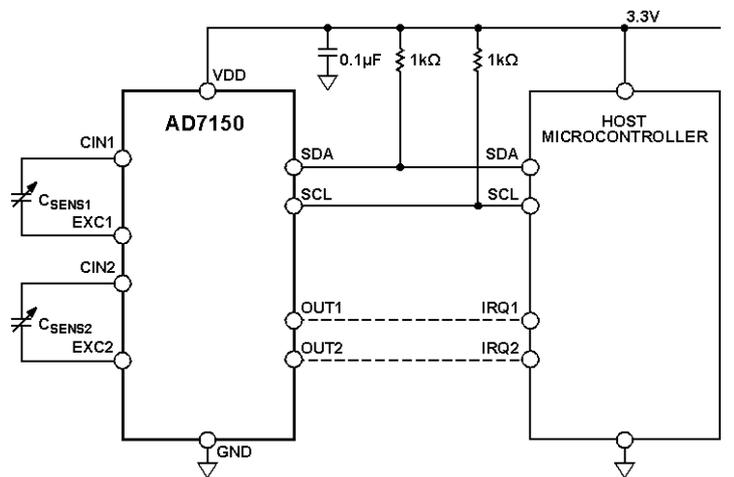
シリアル・インターフェースがシステム内で他の回路に接続されている場合、AD7150 へ接続するより、V_{DD} フィルタの他端にプルアップ抵抗を接続する方が優れています。AD7150 をスタンバイ・モードで使用し、シリアル・インターフェースを使用しない場合は、プルアップ抵抗を AD7150 の V_{DD} に直接接続する方が優れています。

アプリケーション例



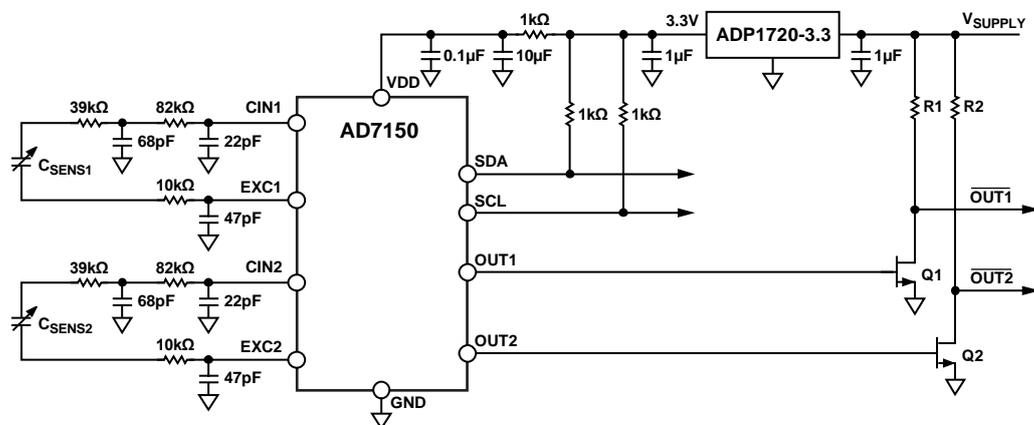
06517-059

図 51. AD7150 がスタンドアロン動作するアプリケーションの図



06517-060

図 52. ホスト・マイクロコントローラにインターフェースする AD7150



06517-061

図 53. EMC 保護機能を持つ AD7150 のスタンドアロン動作

外形寸法

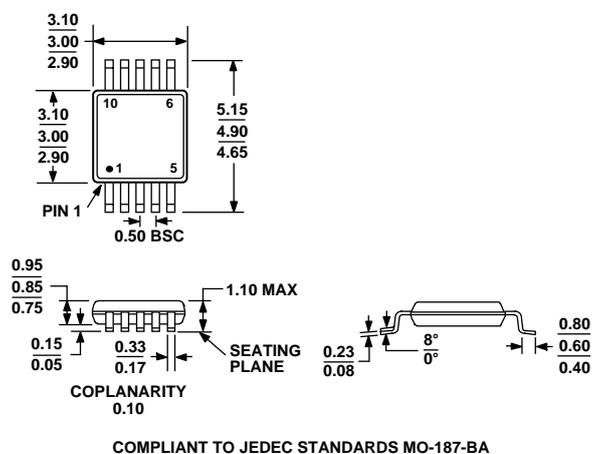


図 54.10 ピン・ミニ・スモール・アウトライン・パッケージ [MSOP]
(RM-10)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
AD7150BRMZ ¹	-40°C to +85°C	10-Lead Mini Small Outline Package [MSOP]	RM-10	C4Z
AD7150BRMZ-REEL	-40°C to +85°C	10-Lead Mini Small Outline Package [MSOP]	RM-10	C4Z

¹ Z = RoHS 準拠製品

ライセンスを受けたアナログ・デバイスまたはサブライセンスを受けた関連会社の 1 つから I²C 部品を購入すると、Phillips 社の制定する I²C 標準仕様にシステムが準拠している場合、I²C システム内でこれらのデバイスを使うための Phillips 社の I²C 特許権のもとにライセンスが購入者に移転されます。