AD7147 Appendix （データシート 補足）

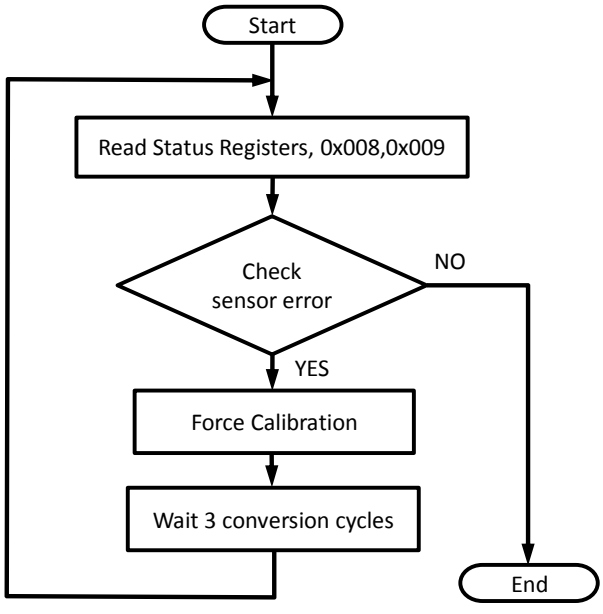
2011 年 10 月 11 日

センサーのアンビエント値の Calibration について

AD7147 は、容量センサー（エレクトロード）のアンビエント容量値（センサーに何も触れていない状態での容量）を計測し、その値を用いてセンサーの入力変化を検出したり、適応スレッショルドの計算に使用したりします。パワーオンの後のレジスタ設定のあと、各 Stage に接続したセンサーのキャリブレーション、あるいは FORCE_CAL コマンド（アドレス 0x002 の AMB_COMP_CTRL0 レジスタ内のビット 14）によるトリガーによりキャリブレーションが実行されます。

このアンビエント値のキャリブレーション時に、その結果がエラーとなる可能性がいくつかあります。エラー状態とはキャリブレーションが済んでも、非接触で 0x008、0x009 のレジスタ内の使用するセンサーのステータスが、H あるいは L のスレッショルドを超えている状態です。

1. キャリブレーション測定中に何かが触れた場合
2. 外来ノイズの影響
3. 動作温度の変化や水滴などの滴下
4. キャリブレーションのトリガー時のタイミングによる変換エラー



これらの影響によるエラーを防ぐために、キャリブレーションのエラーが検出された場合、Force Calibration の起動による再度のキャリブレーション実行（Recalibration）を行ってください。これは FORCE_CAL ビットの制御により実行することができます。この Force Calibration は、1 入力センサーあたり3回の変換時間が必要です。たとえば 4個のセンサーを接続し、デシメーション比を 256 倍としたとき、1 変換当たり 3.072mS かかるので、最大で 4×3.072×3 回＝36.864mS 必要です。シーケンスで最後にくる STAGE の STAGE_COMPLETE_INT_ ENABLE レジスタの設定により、INT 信号をカウントすると 3 回の変換を確認することができます。

この後、レジスタアドレス 0x008、および 0x009 のステータスレジスタを読み込み、使用するセンサーの状態が正常（すべてのセンサー入力の I NT_STATUS がスレッショルド範囲内）であることをチェックしてください。ここでアンビエント状態（接触などがない定常状態）のキャリブレーション結果が正常でないことが確認された場合は、Force Calibration を再度起動してください。（Recalibration） この後の処理は、3回以上の変換を待って、同じチェックを繰り返します。

（注）

この Appendix は AD7147 和文データシート、RevOに適用されます。データシートの修正、改訂に伴う Revision の変更に伴い、この Appendix の内容、あるいは適用範囲が変更になることがあります。

1端子容量センサー用 CapTouch™プログラマブル・コントローラ

AD7147

特長

プログラマブルな容量デジタル・コンバータ (CDC)
分解能: フェムトファラッド
容量センサー入力数: 13
更新レート: 9 ms (全 13 センサー入力)
外付け RC 部品不要
自動変換シーケンサを内蔵
自動キャリブレーション・ロジックを内蔵
環境変化に対する自動補償
自動適応型のスレッショールド・レベルと感度レベル
レジスタ・マップが AD7142 と互換
キャリブレーション・データを保存する RAM を内蔵
SPI 互換 (シリアル・ペリフェラル・インターフェース互換) のシリアル・インターフェース (AD7147)
I2C 互換シリアル・インターフェース (AD7147-1)
シリアル・インターフェース用に別 VDRIVE レベルを使用
割込み出力および汎用入出力 (GPIO)
24 ピン 4 mm × 4 mm の LFCSP パッケージを採用
電源電圧: 2.6 V～3.3 V
低動作電流
フルパワー・モード: 1 mA
低消費電力モード: 21.5 µA

アプリケーション

携帯電話
パーソナル・ミュジック・プレイヤーおよびマルチメディア・プレイヤー
スマート・ハンドヘルド・デバイス
テレビ制御、A/V 制御、リモート制御
ゲーム・コンソール
デジタル静止画カメラ

概要

AD7147 は、ボタン、スクロール・バー、ホイールのような機能を構成する容量センサーと組み合わせて使うようにデザインされています。センサーは 1 層の PCB で済むため、非常に薄型のアプリケーションが可能です。

AD7147 は、環境キャリブレーション機能を内蔵する CDC です。この CDC は 13 チャンネルの入力を持ち、スイッチ・マトリックスを経由して 16 ビットの 250 kHz シグマ・デルタ (∑-Δ) コンバータへ入力します。この CDC は外付けセンサー容量の変化を検出することができ、この情報を使って、センサー・アクチベーションを記録します。ユーザーはレジスタを設定することにより、CDC の設定を完全に制御することができます。

センサーが高分解能であるため、ホスト・プロセッサ上で動作するソフトウェアは簡単なもので済みます。

機能ブロック図

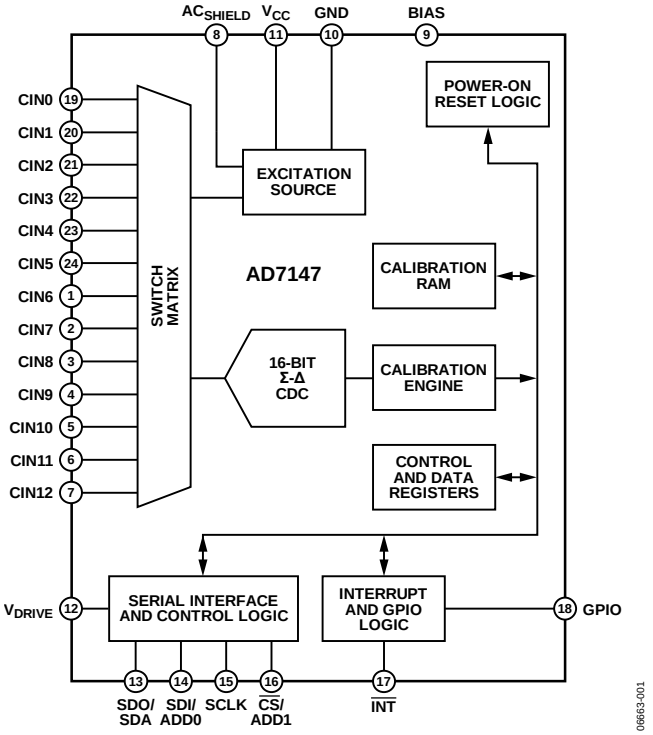


図 1.AD7147 のブロック図

AD7147 は、1 端子容量センサー (接地センサー)を対称にデザインされています。センサーでのノイズ混入を最小にするアクティブ・シールド付き出力が付いています。

AD7147 は、周囲環境の変化を補償するキャリブレーション・ロジックを内蔵しています。キャリブレーション・シーケンスは、センサーに触れていないかぎり、連続間隔で自動的に実行されます。したがって、環境変化に起因する外付けセンサーの偽接触や接触の見落としは発生しません。

AD7147 は、SPI 互換シリアル・インターフェースを、AD7147-1 は I²C®互換シリアル・インターフェースを、それぞれ内蔵しています。両デバイスには、割込み出力と GPIO があります。V_{CC} と無関係に、シリアル・インターフェースの電圧レベルを設定する V_{DRIVE} ピンがあります。

AD7147 は、24 ピン 4 mm × 4 mm の LFCSP パッケージを採用し、2.6 V～3.6 V の電源で動作します。低消費電力モードでの動作電流は、13 個のセンサーに対して 26 µA(typ)です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2007 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1　ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36　新大阪 MT ビル 2 号
電話 06（6350）6868

目次

特長 ... 1
アプリケーション ... 1
概要 ... 1
機能ブロック図 ... 1
改訂履歴 ... 2
仕様 ... 3
SPI タイミング仕様 (AD7147) ... 5
I^2C タイミング仕様 (AD7147-1) ... 6
絶対最大定格 ... 7
ESD に関する注意 ... 7
ピン配置およびピン機能説明 ... 8
代表的な性能特性 ... 9
動作原理 ... 11
容量検出の理論 ... 11
バイアス・ピン ... 12
動作モード ... 12
容量デジタル・コンバータ ... 14
CDC 出力のオーバーサンプリング ... 14
容量センサーのオフセット制御 ... 14
変換シーケンサ ... 14
CDC 変換シーケンス時間 ... 16
CDC 変換結果 ... 16
容量センサー入力の構成 ... 17
CINX 入力マルチプレクサのセットアップ ... 17
CDC へのシングルエンド接続 ... 17
非接触近接検出 ... 18
再キャリブレーション ... 18
近接感度 ... 18
FF_SKIP_CNT ... 21
環境キャリブレーション ... 23
キャリブレーションなしでの容量センサー動作 ... 23
キャリブレーションを行った場合の容量センサーの動作 ... 24
低速 FIFO ... 24
SLOW_FILTER_UPDATE_LVL ... 24
適応型スレッショールドと感度 ... 25
割り込み出力 ... 27
CDC 変換完了割り込み ... 27
センサー・タッチ割り込み ... 27
GPIO $\overline{\text{INT}}$ 出力の制御 ... 29
出力 ... 31
AC_{SHIELD} 出力 ... 31
GPIO ... 31
GPIO を使用した LED のオン/オフ ... 31
シリアル・インターフェース ... 32
SPI インターフェース ... 32
I^2C 互換インターフェース ... 34
V_{DRIVE} 入力 ... 36
PCB デザインのガイドライン ... 37
容量センサー・ボードの機械的仕様 ... 37
チップ・スケール・パッケージ ... 37
パワーアップ・シーケンス ... 38
代表的なアプリケーション回路 ... 39
レジスタ・マップ ... 40
レジスタの詳細説明 ... 41
バンク 1 レジスタ ... 41
バンク 2 レジスタ ... 50
バンク 3 レジスタ ... 55
外形寸法 ... 67
オーダー・ガイド ... 67

改訂履歴

09/07—Revision 0: Initial Version

仕様

特に指定のない限り、V_{CC} = 2.6 V～3.6 V、T_A = −40°C to +85℃。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CAPACITANCE-TO-DIGITAL CONVERTER					
Update Rate	8.73	9	9.27	ms	12 conversion stages, decimation = 64
	17.46	18	18.54	ms	12 conversion stages, decimation = 128
	34.9	36	37.1	ms	12 conversion stages, decimation = 256
Resolution		16		Bits	
CINx Input Range		±8		pF	
No Missing Codes	16			Bits	Guaranteed by design, but not production tested
CINx Input Leakage		25		nA	
Maximum Output Load			20	pF	Capacitance load on CINx to ground
Total Unadjusted Error			±20	%	
Output Noise (Peak-to-Peak)		12		Codes	Decimation rate = 64
		7		Codes	Decimation rate = 128
		3		Codes	Decimation rate = 256
Output Noise (RMS)		1.1		Codes	Decimation rate = 64
		0.8		Codes	Decimation rate = 128
		0.5		Codes	Decimation rate = 256
C_{STRAY} Offset Range		20		pF	
C_{STRAY} Offset Resolution		0.32		pF	
Low Power Mode Delay Accuracy			4	%	Percentage of 200 ms, 400 ms, 600 ms, or 800 ms
AC_{SHIELD}					
Frequency		250		kHz	
Output Voltage	0		V_{CC}	V	Oscillating
Short-Circuit Source Current		10		mA	
Short-Circuit Sink Current		10		mA	
Maximum Output Load			150	pF	Capacitance load on AC_{SHIELD} to ground
LOGIC INPUTS (SDI, SCLK, $\overline{CS}$, SDA, GPI)					
V_{IH} Input High Voltage	0.7 × V_{DRIVE}			V	
V_{IL} Input Low Voltage			0.4	V	
I_{IH} Input High Current	−1			µA	V_{IN} = V_{DRIVE}
I_{IL} Input Low Current			1	µA	V_{IN} = GND
Hysteresis		150		mV	
OPEN-DRAIN OUTPUTS (SCLK, SDA, $\overline{INT}$)					
V_{OL} Output Low Voltage			0.4	V	I_{SINK} = −1 mA
I_{OH} Output High Leakage Current		±0.1	±1	µA	V_{OUT} = V_{DRIVE}
LOGIC OUTPUTS (SDO, GPO)					
V_{OL} Output Low Voltage			0.4	V	I_{SINK} = 1 mA, V_{DRIVE} = 1.65 V to 3.6 V
V_{OH} Output High Voltage	V_{DRIVE} − 0.6			V	I_{SOURCE} = 1 mA, V_{DRIVE} = 1.65 V to 3.6 V
GPO, SDO Floating State Leakage Current			±1	µA	Pin three-state, leakage measured to GND and V_{CC}
POWER					
V_{CC}	2.6	3.3	3.6	V	
V_{DRIVE}	1.65		3.6	V	Serial interface operating voltage
I_{CC}		0.9	1	mA	In full power mode, V_{CC} + V_{DRIVE}
		15.5	21.5	µA	Low power mode, converter idle, V_{CC} + V_{DRIVE}, decimation = 256
		2.3	7.5	µA	Full shutdown, V_{CC} + V_{DRIVE}

表 2.低消費電力モードでの平均電流(Typ)[1]

Low Power Mode Delay	Decimation Rate	Current Values of Conversion Stages (μA)											
		1	2	3	4	5	6	7	8	9	10	11	12
200 ms	64	20.83	24.18	27.52	30.82	34.11	37.37	40.6	43.81	46.99	50.16	53.3	56.41
	128	25.3	31.92	38.45	44.87	51.21	57.45	63.6	69.66	75.63	81.52	87.33	93.05
	256	34.11	46.99	59.51	71.66	83.47	94.94	106.1	116.96	127.52	137.81	147.82	157.58
400 ms	64	18.17	19.86	21.55	23.23	24.9	26.57	28.23	29.88	31.53	33.17	34.81	36.44
	128	20.43	23.79	27.12	30.43	33.72	36.98	40.22	43.43	46.62	49.78	52.93	56.05
	256	24.9	31.53	38.06	44.5	50.83	57.08	63.23	69.3	75.28	81.17	86.98	92.71
600 ms	64	17.28	18.41	19.54	20.67	21.79	22.91	24.03	25.14	26.25	27.36	28.47	29.57
	128	18.79	21.04	23.28	25.51	27.73	29.94	32.13	34.32	36.49	38.65	40.81	42.95
	256	21.79	26.25	30.67	35.04	39.37	43.66	47.9	52.11	56.27	60.39	64.47	68.51
800 ms	64	16.84	17.69	18.53	19.38	20.23	21.07	21.91	22.75	23.59	24.43	25.26	26.09
	128	17.97	19.66	21.35	23.03	24.7	26.37	28.03	29.69	31.34	32.98	34.62	36.25
	256	20.23	23.59	26.93	30.24	33.53	36.79	40.03	43.24	46.43	49.6	52.74	55.86

[1] V_{CC} = 3.3 V、T = 25℃、負荷 = 5 pF.

表 3.低消費電力モードでの最大平均電流 [1]

Low Power Mode Delay	Decimation Rate	Current Values of Conversion Stages (μA)											
		1	2	3	4	5	6	7	8	9	10	11	12
200 ms	64	27.71	31.65	35.56	39.44	43.28	47.1	50.89	54.64	58.37	62.07	65.74	69.38
	128	32.96	40.72	48.37	55.89	63.3	70.59	77.77	84.84	91.8	98.66	105.41	112.07
	256	43.28	58.37	72.99	87.17	100.92	114.26	127.22	139.8	152.03	163.92	175.48	186.73
400 ms	64	24.61	26.6	28.58	30.55	32.51	34.47	36.42	38.36	40.29	42.21	44.13	46.04
	128	27.26	31.21	35.12	39	42.85	46.67	50.46	54.22	57.95	61.65	65.33	68.97
	256	32.51	40.29	47.94	55.47	62.88	70.18	77.36	84.44	91.41	98.27	105.03	111.69
600 ms	64	23.58	24.91	26.23	27.55	28.87	30.18	31.5	32.8	34.11	35.41	36.7	38
	128	25.35	27.99	30.62	33.24	35.84	38.43	41	43.56	46.11	48.64	51.16	53.66
	256	28.87	34.11	39.29	44.41	49.48	54.5	59.46	64.38	69.24	74.05	78.81	83.53
800 ms	64	23.06	24.06	25.05	26.05	27.04	28.03	29.02	30	30.98	31.97	32.95	33.92
	128	24.39	26.38	28.36	30.33	32.29	34.25	36.2	38.14	40.07	42	43.91	45.82
	256	27.04	30.98	34.9	38.78	42.64	46.46	50.25	54.01	57.74	61.45	65.12	68.77

[1] V_{CC} = 3.6 V、T_A = −40℃～+85℃、負荷 = 5 pF。

SPI タイミング仕様 (AD7147)

特に指定のない限り、T_A = −40℃～+85℃、V_{DRIVE} = 1.65 V～3.6 V、V_{CC} = 2.6 V～3.6 V。25℃でのサンプル・テストにより適合性を保証。すべての入力信号は$t_R = t_F$ = 5 ns (V_{CC}の10%から90%)で規定し、1.6Vの電圧レベルからの時間とします。

表 4.SPI タイミング仕様

Parameter	Limit	Unit	Description
f_{SCLK}	5	MHz max	SCLK frequency
t_1	5	ns min	$\overline{CS}$ falling edge to first SCLK falling edge
t_2	20	ns min	SCLK high pulse width
t_3	20	ns min	SCLK low pulse width
t_4	15	ns min	SDI setup time
t_5	15	ns min	SDI hold time
t_6	20	ns max	SDO access time after SCLK falling edge
t_7	16	ns max	$\overline{CS}$ rising edge to SDO high impedance
t_8	15	ns min	SCLK rising edge to $\overline{CS}$ high

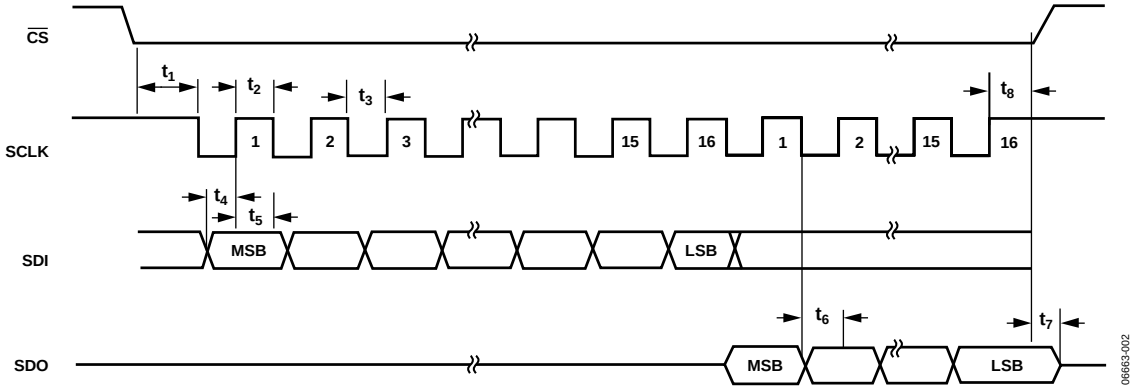


図 2.SPI の詳細タイミング図

I²C タイミング仕様 (AD7147-1)

特に指定のない限り、T_A = −40℃～+85℃、V_{DRIVE} = 1.65 V～3.6 V、V_{CC} = 2.6 V～3.6 V。25℃でのサンプル・テストにより適合性を保証。すべての入力信号のタイミングは、1.6 Vの電圧レベルからとします。

表 5.I²C タイミング仕様[1]

Parameter	Limit	Unit	Description
f_{SCLK}	400	kHz max	
t_1	0.6	µs min	Start condition hold time, $t_{HD; STA}$
t_2	1.3	µs min	Clock low period, t_{LOW}
t_3	0.6	µs min	Clock high period, t_{HIGH}
t_4	100	ns min	Data setup time, $t_{SU; DAT}$
t_5	300	ns min	Data hold time, $t_{HD; DAT}$
t_6	0.6	µs min	Stop condition setup time, $t_{SU; STO}$
t_7	0.6	µs min	Start condition setup time, $t_{SU; STA}$
t_8	1.3	µs min	Bus-free time between stop and start conditions, t_{BUF}
t_R	300	ns max	Clock/data rise time
t_F	300	ns max	Clock/data fall time

[1] 設計上保証しますが、出荷テストは行いません。

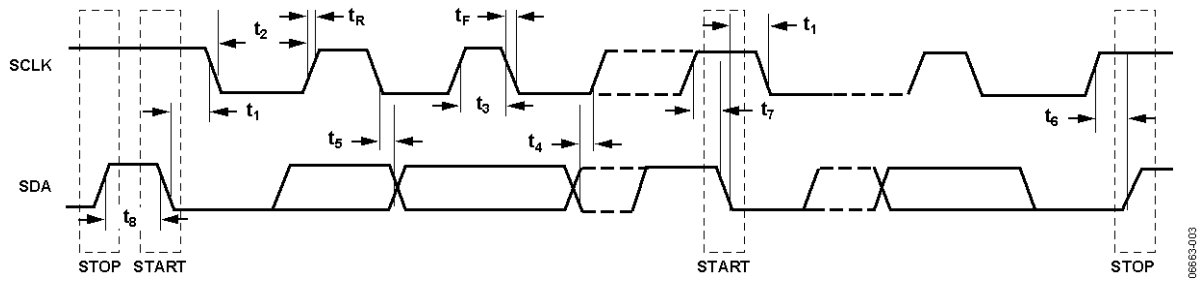


図 3.I²C の詳細タイミング図

絶対最大定格

表 6.

Parameter	Rating
V_{CC} to GND	−0.3 V to +3.6 V
Analog Input Voltage to GND	−0.3 V to V_{CC} + 0.3 V
Digital Input Voltage to GND	−0.3 V to V_{DRIVE} + 0.3 V
Digital Output Voltage to GND	−0.3 V to V_{DRIVE} + 0.3 V
Input Current to Any Pin Except Supplies[1]	10 mA
ESD Rating (Human Body Model)	2.5 kV
Operating Temperature Range	−40°C to +105°C
Storage Temperature Range	−65°C to +150°C
Junction Temperature	150°C
LFCSP	
Power Dissipation	450 mW
θ_{JA} Thermal Impedance	135.7°C/W
IR Reflow Peak Temperature	260°C (±0.5°C)
Lead Temperature (Soldering 10 sec)	300°C

[1]最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

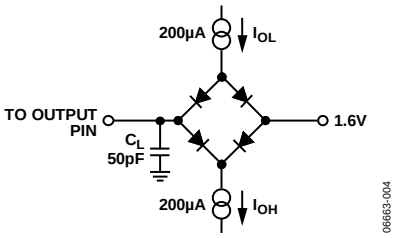


図 4.デジタル出力タイミング仕様の負荷回路

ESD に関する注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

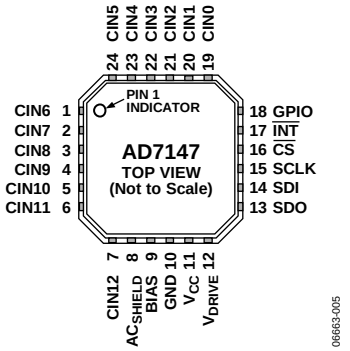


図 5.AD7147 のピン配置

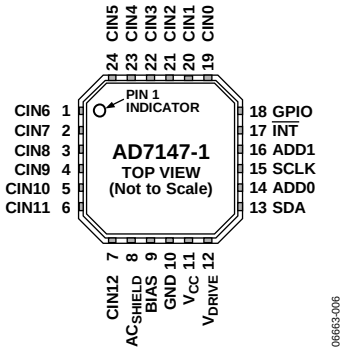


図 6.AD7147-1 のピン配置

表 7.ピン機能の説明

ピン番号			
AD7147	**AD7147-1**	**記号**	**説明**
1	1	CIN6	容量センサー入力。
2	2	CIN7	容量センサー入力。
3	3	CIN8	容量センサー入力。
4	4	CIN9	容量センサー入力。
5	5	CIN10	容量センサー入力。
6	6	CIN11	容量センサー入力。
7	7	CIN12	容量センサー入力。
8	8	AC_{SHIELD}	CDC アクティブ・シールド付き出力。外部シールドまたはプレーンに接続します。
9	9	BIAS	内部回路のバイアス・ノード。グラウンドとの間に 10 nF のコンデンサが必要。
10	10	GND	全回路のグラウンド基準ポイント。
11	11	VCC	電源電圧
12	12	VDRIVE	シリアル・インターフェースの電源電圧。
13	—	SDO	SPI のシリアル・データ出力。
—	13	SDA	I^2C のシリアル・データ入力/出力。SDA にはプルアップ抵抗が必要。
14	—	SDI	SPI のシリアル・データ入力。
—	14	ADD0	I^2C のアドレス・ビット 0。
15	15	SCLK	シリアル・インターフェースのクロック入力。
16	—	$\overline{CS}$	SPI のチップ・セレクト信号。
—	16	ADD1	I^2C のアドレス・ビット 1。
17	17	$\overline{INT}$	汎用オープン・ドレイン割込み出力。プログラマブル極性; プルアップ抵抗が必要。
18	18	GPIO	プログラマブルな GPIO。
19	19	CIN0	容量センサー入力。
20	20	CIN1	容量センサー入力。
21	21	CIN2	容量センサー入力。
22	22	CIN3	容量センサー入力。
23	23	CIN4	容量センサー入力。
24	24	CIN5	容量センサー入力。

代表的な性能特性

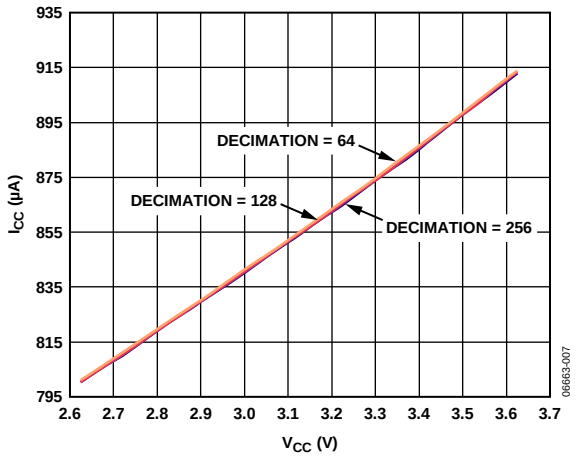


図 7.電源電流対電源電圧

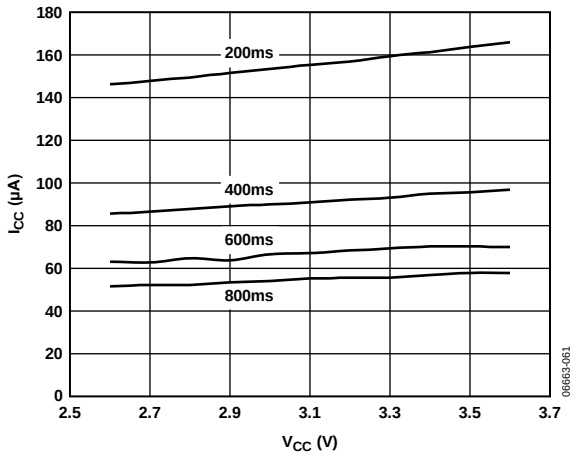


図 8.低電源電流対電源電圧、デシメーション・レート = 256

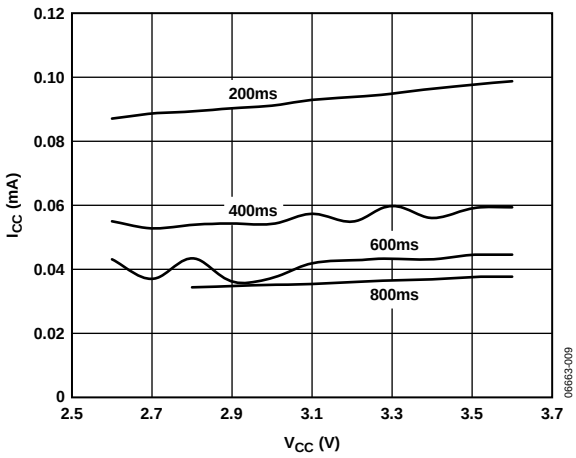


図 9.低電源電流対電源電圧、デシメーション・レート = 128

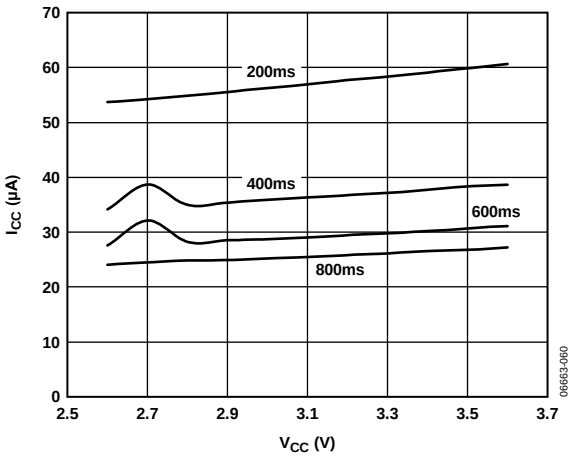


図 10.低電源電流対電源電圧、デシメーション・レート = 64

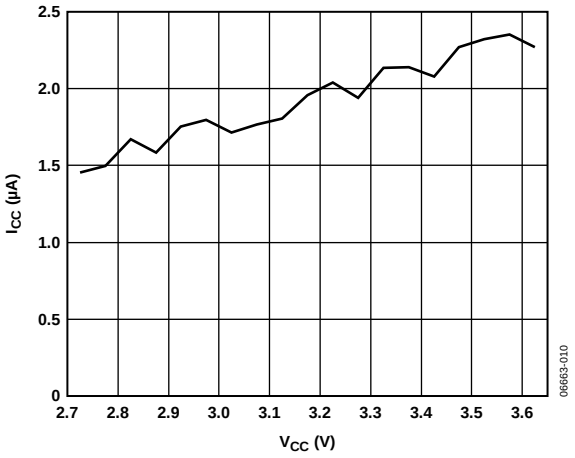


図 11.シャットダウン電源電流対電源電圧

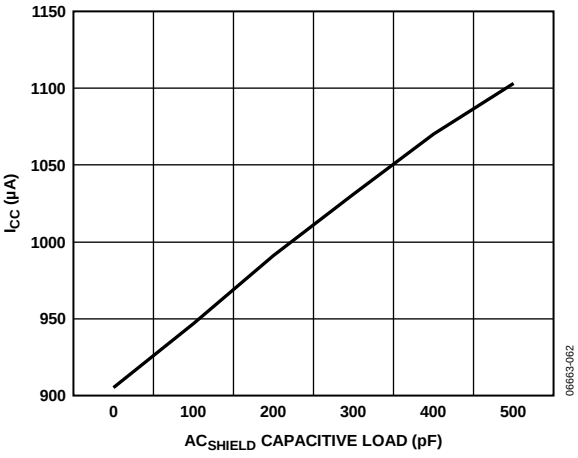


図 12.電源電流対 AC_{SHIELD} の容量負荷

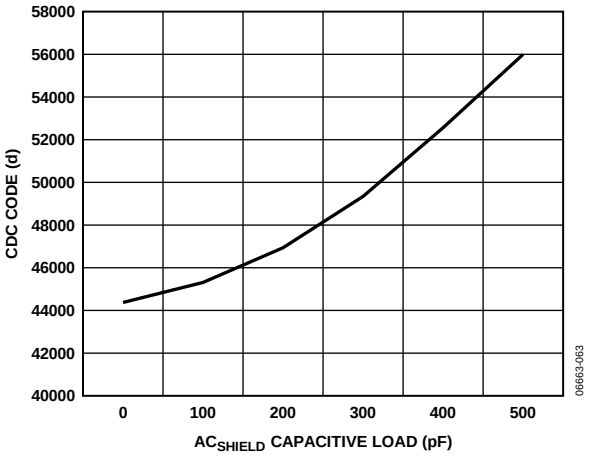


図 13.出力コード対 AC_{SHIELD} の容量負荷

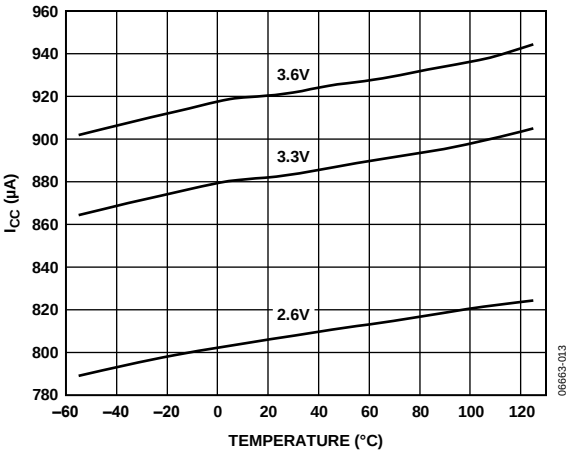


図 14.電源電流の温度特性

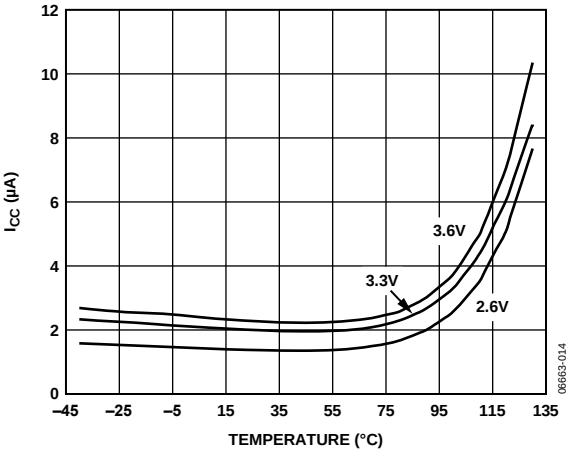


図 15.シャットダウン電源電流の温度特性

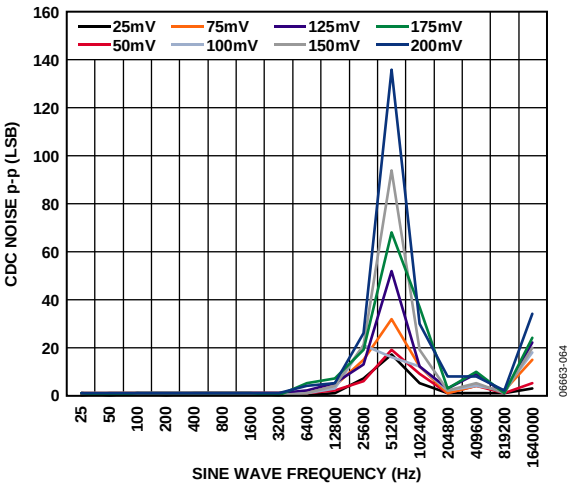


図 16.電源正弦波除去比、V_{CC} = 3.6 V

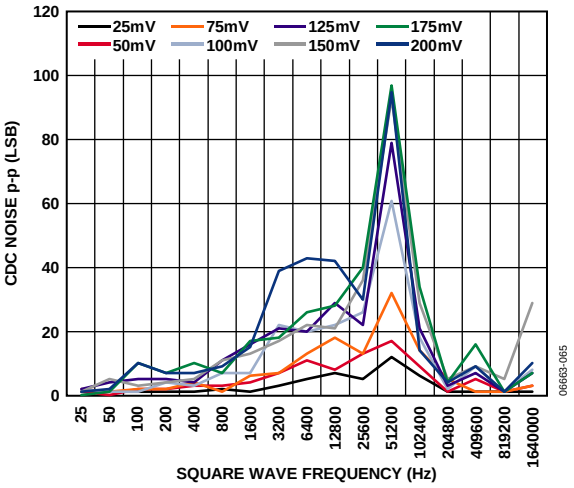


図 17.電源方形波除去比、V_{CC} = 3.6 V

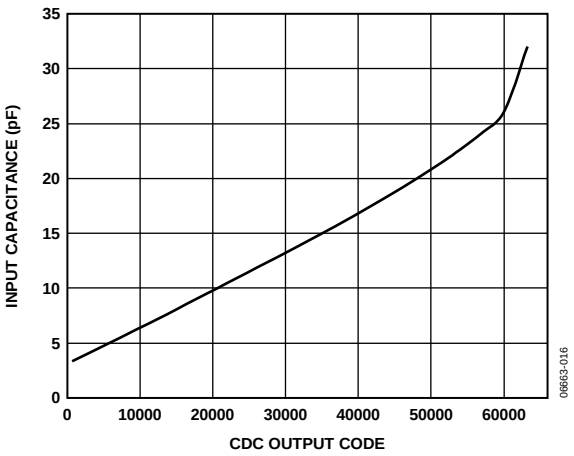


図 18.CDC 直線性、V_{CC} = 3.3 V

動作原理

AD7147 と AD7147-1 は環境補償機能を内蔵する CDC です。高分解能のユーザー入力を必要とする携帯型システムでの使用を対象にしています。内部回路は、容量入力信号をデジタル値に変換する 16 ビットの∑-Δ コンバータで構成されています。AD7147 または AD7147-1 には、CIN0～CIN12 の 13 本の入力ピンがあります。スイッチ・マトリックスにより入力信号を CDC へ接続します。容量デジタル変換の各結果は、複数の内蔵レジスタに保存されます。ホストが後でシリアル・インターフェースを介してこの結果を読み出します。AD7147 は、SPI 互換シリアル・インターフェースを、AD7147-1 は I^2C®互換シリアル・インターフェースを、それぞれ内蔵しているため、広範囲なホスト・プロセッサと互換性を持っています。このデータ・シートではこれ以後、特に指定のない限り、AD7147 は AD7147 と AD7147-1 の両方を意味します。

AD7147 は、最大 13 個の外付け容量センサーとインターフェースすることができます。これらのセンサーは、ボタン、スクロール・バー、ホイール、または複数のセンサー・タイプの組み合わせとして使用することができます。外付けセンサーは、AD7147 に直接インターフェースする 1 層または多層の PCB 上にある電極から構成されます。

内蔵レジスタを設定することにより、任意のセットの入力センサーを構成するように AD7147 を設定することができます。レジスタを設定して、各外付けセンサーの平均処理、オフセット、ゲインなどのような機能を制御することもできます。各容量入力のポーリング方法を制御するシーケンサも内蔵しています。

AD7147 は、デジタル・ロジックと環境補償に使用する 528 ワードの RAM を内蔵しています。湿度、温度、その他の環境ファクタが容量センサーの動作に影響を与えます。AD7147 はユーザーから見えるかたちで連続キャリブレーションを実行して、これらの影響を補償するため、AD7147 は誤差のない変換結果を安定して提供することができます。

AD7147 は、ホストまたは別のマイクロコントローラ上で動作してスクロール・バーやホイールのような高分解能センサー機能を実現するコンパニオン・アルゴリズムを必要とします。ただし、ボタンを構成するときは、コンパニオン・アルゴリズムは不要です。ボタン・センサーは、デジタル・ロジックによりチップ上で構成することができます。

AD7147 は、フル・パワー・モードまたは低消費電力の自動ウェイクアップ・モードで動作するように設定することができます。自動ウェイクアップ・モードは特に、大幅な省電力とフル機能を提供する低消費電力動作を必要とする携帯型デバイスに適しています。

AD7147 は、新しいデータがレジスタにロードされたことを表示する割込み出力$\overline{\text{INT}}$を持っています。 $\overline{\text{INT}}$は、ホストへのセンサー・アクチベーション割り込みに使います。AD7147 は 2.6 V～3.6 V の電源で動作し、 24 ピン 4 mm × 4 mm の LFCSP パッケージを採用しています。

容量検出の理論

AD7147 は、1 端子センサーの容量変化を測定します。PCB 上のセンサー電極が、仮想コンデンサの片方のプレートを構成します。コンデンサの他方のプレートは、センサー入力に対してグラウンドを構成するユーザーの指になります。

AD7147 は、まず励起信号を出力してコンデンサのプレートを充電します。ユーザーがセンサーに近づくと、仮想コンデンサが形成され、ユーザーが 2 枚目のコンデンサ・プレートとして機能します。

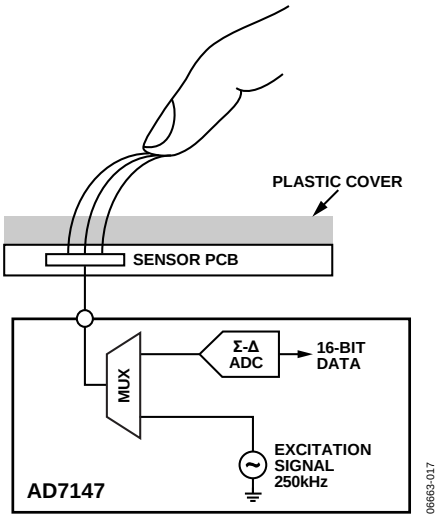


図 19.容量の検出方法

方形波の励起信号が変換時に CINx に加えられ、変調器が CINx へ移動する電荷を連続的にサンプルします。変調器の出力はデジタル・フィルタで処理され、得られたデジタル・データはアドレス 0x00B ～ 0x016 にある各変換ステージの CDC_RESULT_Sx レジスタに格納されます。

センサー・アクチベーションの登録

ユーザーがセンサーに近づくと、そのセンサーに対応する合計容量が変化するため、AD7147 がこれを測定します。この変化が、設定されているスレッショールドを超えると、AD7147 はこれをセンサー・アクチベーションと判断します。

チップ内のスレッショールド値を使って、センサー・アクチベーションが発生したタイミングを決定します。 図 20 に、ユーザーがセンサーを活性化したときの、CDC_RESULT_Sx の変化を示します。 CDC_RESULT_Sx の値が STAGEx_HIGH_THRESHOLD の値より大きいか、または STAGEx_LOW_THRESHOLD の値より小さいとき、センサーはアクティブと見なされます。

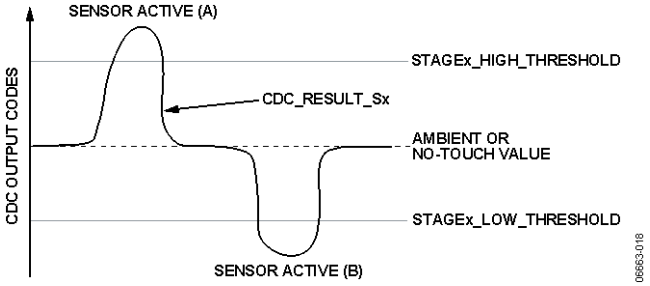


図 20.センサー・アクチベーション・スレッショールド

図 20 に、2 つのセンサー・アクチベーションを示します。センサー・アクティブ A は、センサーがコンバータの正の入力に接続されたとき発生します。この場合、ユーザーがセンサーをアクティブ化すると、CDC コードが大きくなり、CDC_RESULT_Sx 値が STAGEx_HIGH_THRESHOLD 値を超えます。センサー・アクティブ B は、センサーがコンバータの負の入力に接続されたとき発生します。この場合、ユーザーがセンサーをアクティブ化すると、CDC コードが小さくなり、CDC_RESULT_Sx 値が STAGEx_LOW_THRESHOLD 値より小さくなります。

各変換ステージの STAGEx_HIGH_THRESHOLD レジスタと STAGEx_LOW_THRESHOLD レジスタは、レジスタ・バンク 3 にあります。これらのレジスタの値は、AD7147 の環境キャリブレーション機能と適応型スレッショールド・ロジックが自動的に更新します。

パワーアップ時、STAGEx_HIGH_THRESHOLD レジスタ値および STAGEx_LOW_THRESHOLD レジスタ値は、バンク 2 の STAGEx_OFFSET_HIGH レジスタ値および STAGEx_OFFSET_LOW レジスタ値と同じです。STAGEx_OFFSET_HIGH レジスタと STAGEx_OFFSET_LOW レジスタは、デバイスのパワーアップ時にユーザーが設定する必要があります。詳細については、データ・シートの環境キャリブレーションのセクションを参照してください。

容量検出の完全なソリューション

アナログ・デバイセズは、容量検出の完全なソリューションを提供します。このソリューションの 2 つの主要なエレメントは、センサー PCB と AD7147 です。

アプリケーションでスクロール・バーやホイールのような高分解能センサーが必要な場合は、ホスト・プロセッサで動作するソフトウェアが必要になります。ホストのメモリ条件はセンサーに依存するため、センサー・タイプに応じて、一般にコード・メモリが 10 kB、データ・メモリが 600 バイトです。

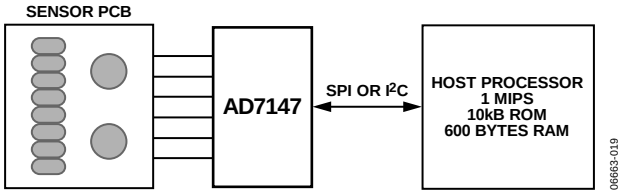


図 21.3 部品による容量検出ソリューション

アナログ・デバイセズは、センサー PCB フットプリント・デザイン・ライブラリを提供し、必要なソフトウェアをオープン・ソース・ベースで提供しています。

バイアス・ピン

このピンは内部で AD7147 のバイアス・ノードに接続されています。AD7147 を正しく動作させるためには、バイアス・ピンとグラウンドとの間に 10 nF のコンデンサを接続する必要があります。バイアス・ピンの電圧は $V_{CC}/2$ です。

動作モード

AD7147 には 3 つの動作モードがあります。デバイスが常にフル・パワー状態にあるフルパワー・モードは、消費電力が問題とならないアプリケーションに適しています (たとえば AC 電源を使用するゲーム・コンソール)。アクティブなセンサーがない場合にデバイスが自動的にパワーダウンする低消費電力モードは、フル・パワー・モードに比較して大幅に節電するようにデザインされているため、省電力が必要なモバイル・アプリケーションに適しています。シャットダウン・モードでは、デバイスは完全にシャットダウンします。

コントロール・レジスタの POWER_MODE ビット (ビット 0 とビット 1) を使って、AD7147 の動作モードを設定します。コントロール・レジスタはアドレス 0x000 にあります。 表 8 に、各動作モードに対する POWER_MODE の設定を示します。AD7147 をシャットダウン・モードにするときは、POWER_MODE ビットに 01 または 11 を設定します。

表 8.POWER_MODE の設定

POWER_MODE Bits	Operating Mode
00	Full power mode
01	Shutdown mode
10	Low power mode
11	Shutdown mode

POWER_MODE ビットのパワーオン時デフォルト設定は 00(フル・パワー・モード) です。

フル・パワー・モード

フル・パワー・モードでは、AD7147 のすべてのセクションに電源が供給され、変換動作が続きます。センサーに触れると、AD7147 はセンサー・データを処理します。触れたセンサーがない場合、AD7147 は周囲容量レベルを計測し、このデータを内蔵の補償ルーチンで使います。フル・パワー・モードでは、AD7147 は一定レートで変換を行います。詳細については、CDC 変換シーケンス時間 のセクションを参照してください。

低消費電力モード

AD7147 が低消費電力モードの場合、デバイス初期化時に POWER_MODE ビットが 10 に設定されます。触れられた外付けセンサーがない場合、AD7147 は変換周波数を下げて、消費電力を大幅に削減します。センサーに触れないかぎり、デバイスは省電力状態を維持します。AD7147 は LP_CONV_DELAY ビットで指定された遅延の経過後に変換を実行し、このデータを使って補償ロジックを更新し、センサーがアクティブであるか否かをチェックします。LP_CONV_DELAY ビットは、変換の間の遅延を 200 ms、400 ms、600 ms、または 800 ms に設定します。

外付けセンサーに触れると、AD7147 は 36 ms ごとに変換シーケンスを開始し、センサーからデータをリードバックします。

低消費電力モードでは、AD7147 の合計消費電流は、変換時の電流と AD7147 が次の変換開始を待つ間の電流との平均になります。たとえば、LP_CONV_DELAY l = 400 ms の場合、AD7147 の電流は 36 ms 間では 0.85 mA(typ)に、変換と変換の 400 ms 間では 14 µA に、それぞれなります(これらの変換タイミングはレジスタ設定により変更できます。詳細については、CDC 変換シーケンス時間 のセクションを参照してください)。

ユーザーが外付けセンサーに触れるのを止めた後に、AD7147 がフル・パワー状態から省電力状態へ変化するために要する時間は設定可能です。アドレス 0x002 にある周囲補償コントロール 0 レジスタ (AMB_COMP_CTRL0) 内の PWR_DOWN_TIMEOUT ビットを使って、ユーザーがセンサーに触れるのを止めた後に AD7147 が省電力状態へ移行する前の遅延を指定します。

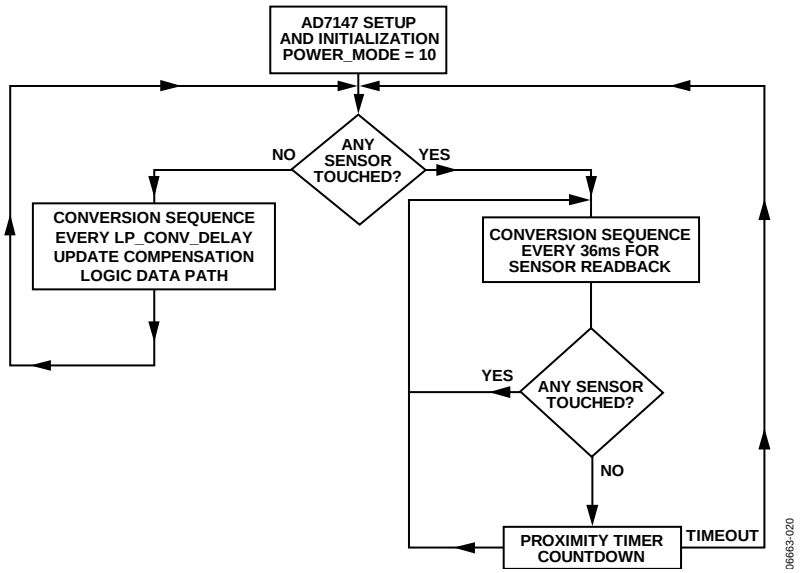


図 22.低消費電力モード動作

容量デジタル・コンバータ

AD7147 の容量デジタル・コンバータは、16 ビット分解能の Σ-Δ アーキテクチャを採用しています。CDC へ入力できる 13 本のピンがあり、これらはスイッチ・マトリックスを経由してコンバータ入力へ接続されます。CDC のサンプリング周波数は 250 kHz です。

CDC 出力のオーバーサンプリング

デシメーション・レートまたはオーバーサンプリング比は、パワー・コントロール (PWR_CONTROL) レジスタ (アドレス 0x000)のビット[9:8] により指定されます(表 9 参照)。

表 9.CDC のデシメーション・レート

DECIMATION Bits	Decimation Rate	CDC Output Rate Per Stage (ms)
00	256	3.072
01	128	1.536
10	64	0.768
11	64	0.768

AD7147 のデシメーション処理は、多数のサンプルを取得してその平均値を出力する平均処理です。採用したデジタル・フィルタのアーキテクチャのため、取得サンプル数 (ステージあたり) はデシメーション・レートの 3 倍になっています。したがって、3 × 256 個または 3 × 128 個のサンプルを平均して、各ステージの結果が得られます。

デシメーション処理は、最終 CDC 結果のノイズ量を削減します。ただし、デシメーション・レートを上げると、ステージあたりの出力レートが下がるため、信号内のノイズ量とサンプリング速度との間のトレードオフが必要になります。

容量センサーのオフセット制御

AD7147 が CDC 計測で漂遊容量を相殺させるために使う 2 つのプログラマブル DAC が内蔵されています。これらのオフセットは、グラウンドに対する漂遊容量によって発生します。

図 23 の簡略化したブロック図に、STAGEx_AFE_OFFSET レジスタを使ってオフセットを相殺させる方法を示します。6 ビットの POS_AFE_OFFSET ビットと NEG_AFE_OFFSET ビットを使って、20 pF の範囲で 0.32 pF 分解能のオフセット調整を提供するようにオフセット DAC を設定します。

これを行う最適な方法は、すべてのセンサーが非アクティブのとき、すべてのステージの CDC 出力をほぼミッドスケール (約 32,700)にすることです。各ステージのグラウンドに対する漂遊容量を相殺させるときは次の手順を使います。

1. CDC_RESULT_Sx レジスタから CDC 値を読み出します。
2. この値がミッドスケールに近くない場合には、POS_AFE_OFFSET または NEG_AFE_OFFSET の値を 1 だけ増加させます(CINx 入力がコンバータの正または負の入力のいずれに接続されているかに応じて)。CINx の接続は STAGEx_CONNECTION レジスタにより指定されます。
3. CDC_RESULT_Sx 内の CDC 値がミッドスケールに近い値くなったら、ステップ 2 を繰り返します。 CDC 値がまだミッドスケールまだより離れている場合には、POS_AFE_OFFSET または NEG_AFE_OFFSET の値を 1 だけ減少させます。

目標は、CDC_RESULT_Sx をできるだけミッドスケールに近づけることです。このプロセスは、初期容量センサー・キャラクタライゼーションで 1 回だけ必要です。

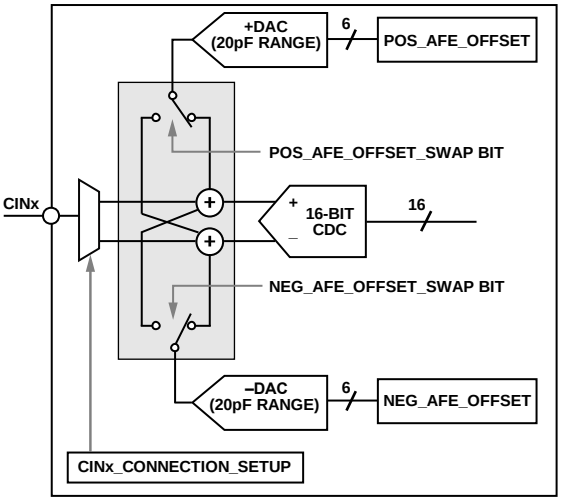


図 23.アナログ・フロントエンドのオフセット制御

変換シーケンサ

AD7147 は、入力チャンネルの変換制御を行うシーケンサを内蔵しています。1 シーケンスで最大 12 ステージの変換を実行することができます。各 12 変換ステージでは、異なるセンサーからの入力を計測することができます。バンク 2 レジスタを使うと、複数の容量センサー・インターフェース要求をサポートするように各ステージを独自に設定することができます。たとえば、スライダ・センサーを STAGE1～STAGE8 へ、ボタン・センサーを STAGE0 へ、それぞれ割り当てることができます。各変換ステージでは、CINx 入力をコンバータへ接続する入力マルチプレクサが独自の設定を持つことができます。

AD7147 の内蔵シーケンス・コントローラは、STAGE0 から開始される変換制御を提供します。 図 24 に、CDC 変換ステージと CINx 入力のブロック図を示します。変換シーケンスは、STAGE0 から開始されて、SEQUENCE_STAGE_NUM ビットに設定される値で指定されるステージで終了する CDC 変換のシーケンスとして定義されます。使用する容量センサーの数とタイプに応じて、すべての変換ステージが必要とされるわけではありません。1 シーケンスでの変換数を設定するときは、SEQUENCE_STAGE_NUM ビットを使います。この値は、センサー・インターフェース条件に依存します。たとえば、CINx 入力が 6 個の変換ステージだけに割り当てられる場合は、レジスタに 5 を設定します。さらに、使用するステージ数に従って STAGE_CAL_EN レジスタを設定します。

必要な変換ステージ数は、AD7147 に接続されているセンサー数のみに依存します。 図 25 に、各センサーに必要とされる変換ステージ数と AD7147 各センサーに必要とされる入力数を示します。

ボタン・センサーは一般に 1 シーケンサ・ステージを必要とします。これを図 25 に B1 として示します。ただし、1 変換ステージに対して 2 個のボタン・センサーが差動で動作するように設定することは可能です。同時に 1 ボタンのみがアクティブになることができます。両ボタンを同時に押すと隣のボタンがアクティブになります。2 個のボタン・センサーを差動で動作させる設定では 1 変換ステージが必要で、図 25 では、B2 と B3 が差動に設定されたボタン・センサーを表しています。

ホイール・センサーは 8 ステージを、スライダは 2 ステージを、それぞれ必要とします。ホスト・ソフトウェアは、各ステージからの結果を使って、スライダまたはホイール上のユーザーのポジションを求めます。このプロセスを実行するアルゴリズムはアナログ・デバイセズから無償で提供していますが、ソフトウェア・ライセンスにサインしていただく必要があります。

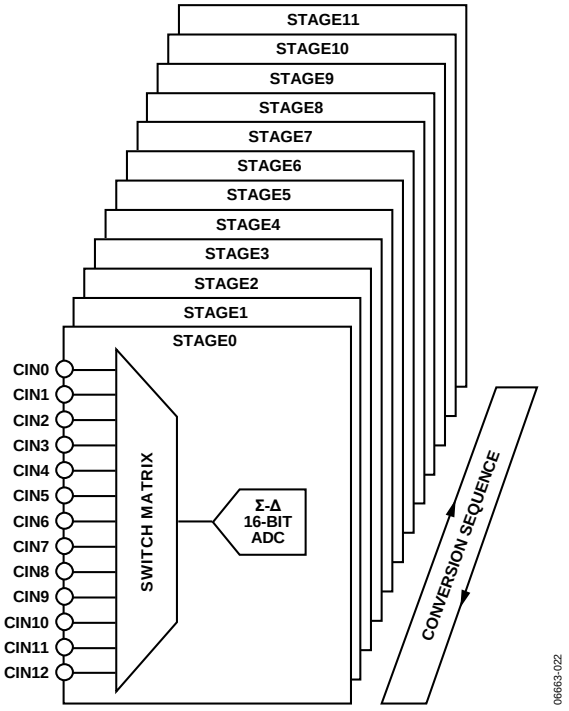


図 24.CDC の変換ステージ

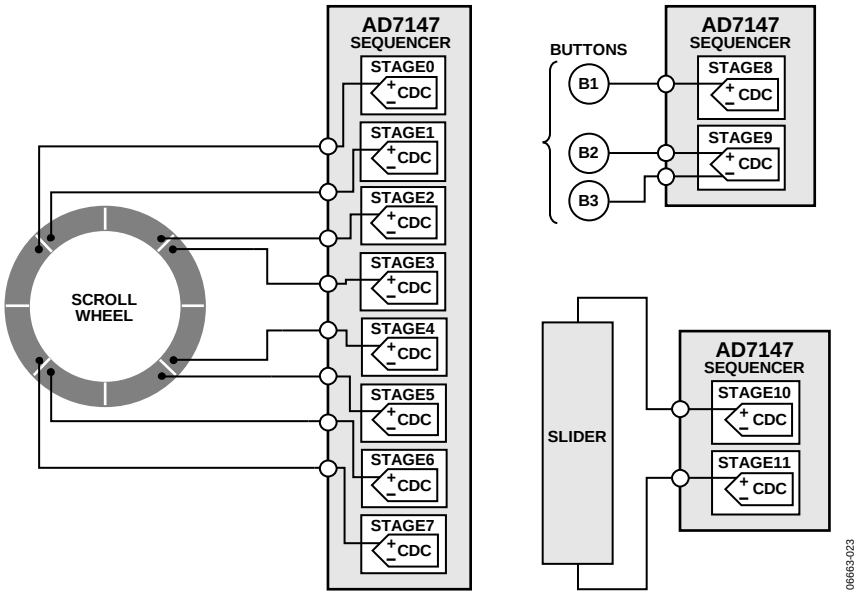


図 25.センサーに対するシーケンサの設定

CDC 変換シーケンス時間

表 10.フルパワー・モードでの CDC 変換時間

	Conversion Time (ms)		
SEQUENCE_STAGE_NUM	**Decimation = 64**	**Decimation = 128**	**Decimation = 256**
0	0.768	1.536	3.072
1	1.536	3.072	6.144
2	2.304	4.608	9.216
3	3.072	6.144	12.288
4	3.84	7.68	15.36
5	4.608	9.216	18.432
6	5.376	10.752	21.504
7	6.144	12.288	24.576
8	6.912	13.824	27.648
9	7.68	15.36	30.72
10	8.448	16.896	33.792
11	9.216	18.432	36.864

CDC が全 12 ステージの計測に要する時間は、CDC 変換シーケンス時間として規定されています。SEQUENCE_STAGE_NUM and DECIMATION ビットが変換時間を指定します(表 10 参照)。

たとえば、デバイスがデシメーション・レート 128 で動作し、SEQUENCE_STAGE_NUM ビットが 5、1 シーケンスで 6 ステージの変換の場合、変換シーケンス時間は 9.216 ms になります。

フルパワー・モードでの CDC 変換シーケンス時間

SEQUENCE_STAGE_NUM ビットと DECIMATION ビットを表 10 に示すように設定すると、全 12 ステージに対するフル・パワー・モードでの CDC 変換シーケンス時間が設定されます。

図 26 に、フル・パワー・モードでの CDC 変換時間の簡略化したタイミング図を示します。フル・パワー・モード CDC 変換時間 (t_{CONV_FP})は、 表 10 に示す値を使って設定します。

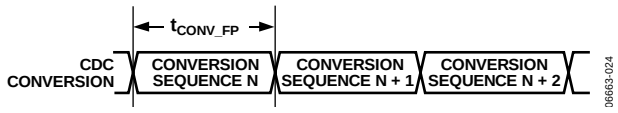


図 26.フルパワー・モードでの CDC 変換シーケンス時間

低消費電力モードでの遅延付き CDC 変換シーケンス時間

低消費電力自動ウェイクアップ・モードで動作中の各 CDC 変換の周波数は、アドレス 0x000 [3:2]にある LP_CONV_DELAY ビットと表 10 に示すレジスタを使って制御します。この機能は、システム要求を満たす変換時間と AD7147 の消費電力との間のトレードオフを最適化する際にある程度の柔軟性を提供します。

たとえば、LP_CONV_DELAY ビットを 11 に設定すると最大の省電力が実現できます。11 の設定では、 AD7147 が自動的にウェイクアップして、各 800 ms ごとに変換を実行します。

表 11.LP_CONV_DELAY の設定

LP_CONV_DELAY Bits	**Delay Between Conversions (ms)**
00	200
01	400
10	600
11	800

図 27 に、低消費電力モードでの CDC 変換時間の簡略化したタイミング例を示します。図に示すように、低消費電力モード CDC 変換時間は、 t_{CONV_FP} と LP_CONV_DELAY ビットによって設定されます。

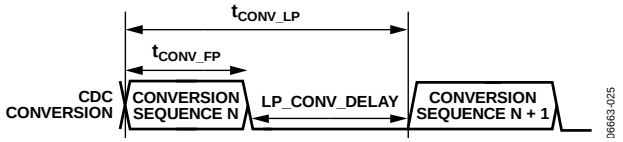


図 27.低消費電力モード CDC 変換シーケンス時間

CDC 変換結果

ある種の高分解能センサーは、ホストが CDC 変換結果をリードバックして処理することを必要とします。ホストでの処理に必要なレジスタはバンク 3 レジスタ内にあります。ホストは、これらのレジスタからリードバックしたデータをソフトウェア・アルゴリズムを使って処理して、ポジション情報を求めます。

AD7147 は、バンク 3 レジスタ内のリザルト・レジスタの他に、バンク 1 のアドレス 0x00B から開始される 16 ビット CDC 出力データを直接提供します。CDC 16 ビット変換データ・レジスタを読み出すと、ユーザー固有のアプリケーション・データ処理が可能です。

容量センサー入力の構成

外付け容量センサーから AD7147 のコンバータまでの各入力接続は、バンク 2 のレジスタを使って独自に構成することができます (表 38 参照)。これらのレジスタは、入力ピン接続のセットアップ、センサー・オフセット、センサー感度、各ステージのセンサー限界値の設定に使用します。各センサーは個別に最適化することができます。たとえば、STAGE0 に接続されたボタン・センサーは、別のステージに接続された別の機能を持つボタンと異なる感度とオフセット値を持つことができます。

CINX 入力マルチプレクサのセットアップ

表 34 と表 35 に、センサー入力ピンを CDC へ接続する際に CINx_CONNECTION_SETUP ビットに使用できるオプションを示します。

AD7147 は、各 CINx ピンからコンバータの入力へ入力信号を接続するマルチプレクサを内蔵しています。各入力ピンは、CDC の負または正の入力へ接続するか、オープンのままにしておくことができます。各入力は内部でバイアス信号に接続して、ノイズの混入を防止することもできます。入力を使用しない場合は、常にバイアスに接続しておくことができます。

CINx 入力ピンを正の CDC 入力に接続すると、対応するセンサーがアクティブになると、CDC 出力コードが増加します。CINx 入力ピンを負の CDC 入力に接続すると、対応するセンサーがアクティブになると、CDC 出力コードが減少します。

AD7147 は、12 変換のシーケンスを実行します。マルチプレクサは、各 12 変換に対して異なる設定を持つことができます。たとえば、CIN0 を変換 STAGE1 で負の CDC 入力に接続し、変換 STAGE1 ではオープンになど、全 12 変換ステージに対して設定することができます。

各変換ステージの各 CINx 入力に対して、2 ビットを使って入力をコンバータへ接続する方法を制御することができます(図 28 参照)。

例

ステージ 0 で CIN3 を正の CDC 入力に接続するときは次の設定を使います。

STAGE0_CONNECTION [6:0] = 0xFFBF STAGE0_CONNECTION [12:7] = 0x2FFF

ステージ 5 で、CIN0 を正の CDC 入力へ、CIN12 を負の CIN 入力へ、それぞれ接続するときは、次の設定を使います。

STAGE5_CONNECTION [6:0] = 0xFFFE STAGE5_CONNECTION [12:7] = 0x37FF

CDC へのシングルエンド接続

CDC へのシングルエンド接続は、 1 変換ステージで一方の CINx 入力を正または負の CDC 入力へ接続することと定義されます。CDC への差動接続は、1 変換ステージで一方の CINx 入力を正の CDC 入力へ、他方の CINx 入力を負の CDC 入力へ、それぞれ接続することと定義されます。

任意のステージで、CDC へのシングルエンド接続を行う場合には、SE_CONNECTION_SETUP ビット (STAGEx_CONNECTION [12:7] レジスタのビット[13:12]) を次のように設定します。

- SE_CONNECTION_SETUP = 00: 不使用。
- SE_CONNECTION_SETUP = 01: シングルエンド接続。このステージで、1 本の CINx が負の CDC 入力に接続されます。
- SE_CONNECTION_SETUP = 10: シングルエンド接続。このステージで、1 本の CINx が正の CDC 入力に接続されます。
- SE_CONNECTION_SETUP = 11: 差動接続。このステージで、1 本の CINx が負の CDC 入力に接続さ、1 本のの CINx が正の CDC 入力に接続されます。

これらのビットは、CDC に対するシングルエンド接続時に、両 CDC ピンへの入力パスをマッチングさせるため、コンバータ計測時の電源除去比を向上させます。

これらのビットは、CINX 入力マルチプレクサのセットアップのセクションに示すように STAGEx_CONNECTION レジスタ内の他のビットを設定する他に、設定する必要があります。

同じ変換に対して、複数の CINx 入力をコンバータの正または負の入力に接続する場合は、SE_CONNECTION_SETUP に 11 を設定します。たとえば、CIN0 と CIN3 を CDC の正の入力に接続する場合には、SE_CONNECTION_SETUP に 11 を設定します。

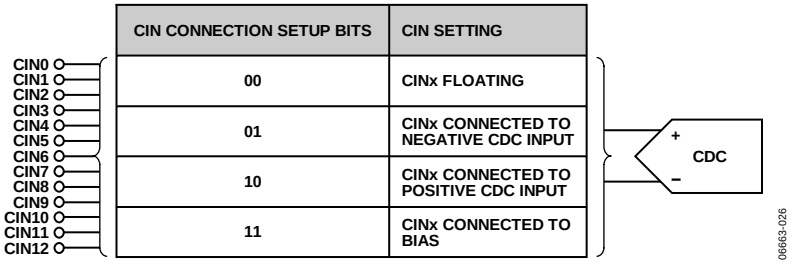


図 28.入力マルチプレクサ構成のオプション

非接触近接検出

AD7147 の内部信号処理機能は、非接触近接検出用のすべての容量センサーを連続的にモニターします。この機能は、ユーザーがセンサーに接近したときこれを検出する機能を提供します。この時点で、すべての内部キャリブレーションは直ちにディスエーブルされて、AD7147 は有効な接触を検出するように自動的に設定されます。

近接コントロール・レジスタ・ビットを表 12 に示します。FP_PROXIMITY_CNT レジスタ・ビットと LP_PROXIMITY_CNT レジスタ・ビットは、フル・パワー・モードまたは低消費電力モードで、ユーザーがセンサーへの接触を停止し、かつセンサーの近傍にいなくなった後のキャリブレーション・ディスエーブル時間の長さを指定します。この期間キャリブレーションはディスエーブルされ、再度イネーブルされます。図 29 と図 30 に、フル・パワー・モードまたは低消費電力モードに対して、これらのレジスタを使ってキャリブレーション・ディスエーブル時間を設定する方法の例を示します。

フル・パワー・モードでのキャリブレーション・ディスエーブル時間は、 FP_PROXIMITY_CNT の値に 16 を乗算し、さらにフル・パワー・モードでの 1 変換シーケンスの時間を乗算した値になります。低消費電力モードでのキャリブレーション・ディスエーブル時間は、 LP_PROXIMITY_CNT の値に 4 を乗算し、さらに低消費電力モードでの 1 変換シーケンスの時間を乗算した値になります。

再キャリブレーション

たとえば、ユーザーが長時間センサーの上方に留まる場合などの状況では、近接フラグを長時間設定することができます。AD7147 の環境キャリブレーション機能は近接が検出されている間停止されますが、近接イベント中にも周囲容量レベルの変化が発生することがあります。これは、AD7147 に格納されている周囲値が実際の周囲値を表さなくなったことを意味します。この場合、ユーザーがセンサーの近傍にいないときでも、近接フラグは設定されたままになります。この状況は、ユーザーによりセンサーに湿気が導入された場合に発生して、新しいセンサー周囲値が期待値から異なってしまうことになります。この状況では、AD7147 は内部で再キャリブレーションを自動的に実行します。これにより、ユーザーがセンサーの上方に留まる長さに無関係に周囲値が再キャリブレーションされます。再キャリブレーションは、AD7147 の最大センサー性能を確実にします。

測定された CDC 値が、再キャリブレーション・タイムアウトと呼ばれる設定済み時間の間、PROXIMITY_RECAL_LVL ビットで指定される値だけ格納されている周囲値を超えたとき、AD7147 は自動的に再キャリブレーションを行います。フル・パワー・モードでは、再キャリブレーション・タイムアウトは FP_PROXIMITY_RECAL により、低消費電力モードでは LP_PROXMTY_RECAL により、それぞれ制御されます。

フル・パワー・モードでの再キャリブレーション・タイムアウトは、FP_PROXIMITY_RECAL にフル・パワー・モードでの 1 変換シーケンスの時間を乗算した値になります。低消費電力モードでの再キャリブレーション・タイムアウトは、LP_PROXIMITY_RECAL に低消費電力モードでの 1 変換シーケンスの時間を乗算した値になります。

図 31 と図 32 に、FP_PROXIMITY_RECAL レジスタ・ビットと LP_PROXIMITY_RECAL レジスタ・ビットを使って、フル・パワー・モードと低消費電力モードで動作中に再キャリブレーションの前に、タイムアウト周期を制御する方法の例を示します。これらの例では、ユーザーがセンサーに接近して離れますが、近接検出はアクティブのままです。CDC 測定値は、タイムアウトの全期間、格納されている周囲値を PROXIMITY_RECAL_LVL ビットで指定された値だけ上回ります。センサーは、タイムアウト期間の終わりに自動的に再キャリブレーションされます。

近接感度

人がセンサー (近接)に近づいたときには、図 33 に示す高速フィルタを使って検出します。コンパレータ 1 とコンパレータ 2 により検出された 2 つの状態により、内部近接検出信号が設定されます。すなわち、コンパレータ 1 はユーザーがセンサーに接近または離れるときを検出し、コンパレータ 2 は、ユーザーがセンサーの上方に留まるか、または非常に低速でセンサーに近づくことを検出します。

コンパレータ 1 の感度は、PROXIMITY_DETECTION_RATE ビットにより制御されます。たとえば、PROXIMITY_DETECTION_RATE が 4 に設定されている場合、WORD1 と WORD3 との間の絶対差が (4 × 16) LSB コードを超えると、Roximity 1 信号が設定されます。

コンパレータ 2 の感度は、PROXIMITY_RECAL_LVL ビット(アドレス 0x003) により制御されます。たとえば、PROXIMITY_RECAL_LVL が 75 に設定されている場合、高速フィルタ平均値と周囲値との間の絶対差が (75 × 16) LSB コードを超えると、Roximity 2 信号が設定されます。

表 12.近接コントロール・レジスタ (図 33 参照)

Bit Name	Length (Bits)	Register Address	Description
FP_PROXIMITY_CNT	4	0x002 [7:4]	Calibration disable time in full power mode.
LP_PROXIMITY_CNT	4	0x002 [11:8]	Calibration disable time in low power mode.
FP_PROXIMITY_RECAL	8	0x004 [9:0]	Full power mode proximity recalibration time.
LP_PROXIMITY_RECAL	6	0x004 [15:10]	Low power mode proximity recalibration time.
PROXIMITY_RECAL_LVL	8	0x003 [7:0]	Proximity recalibration level. This value multiplied by 16 controls the sensitivity of Comparator 2 (see 図 33).
PROXIMITY_DETECTION_RATE	6	0x003 [13:8]	Proximity detection rate. This value multiplied by 16 controls the sensitivity of Comparator 1 (see 図 33).

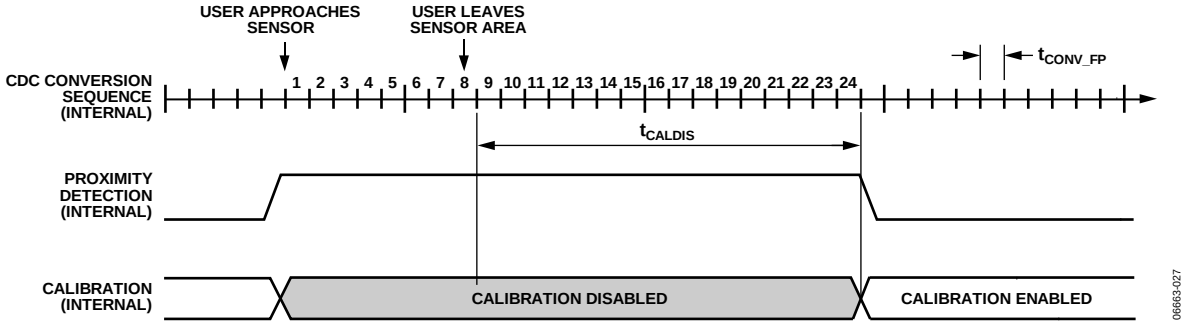


図 29.フルパワー・モード近接検出の例 (FP_PROXIMITY_CNT = 1)

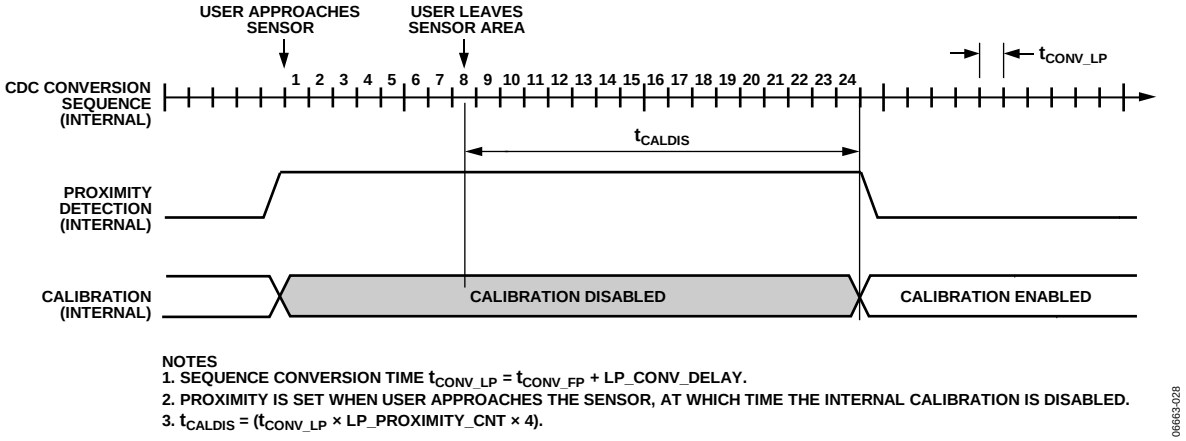


図 30.低消費電力モード近接検出の例 (LP_PROXIMITY_CNT = 4)

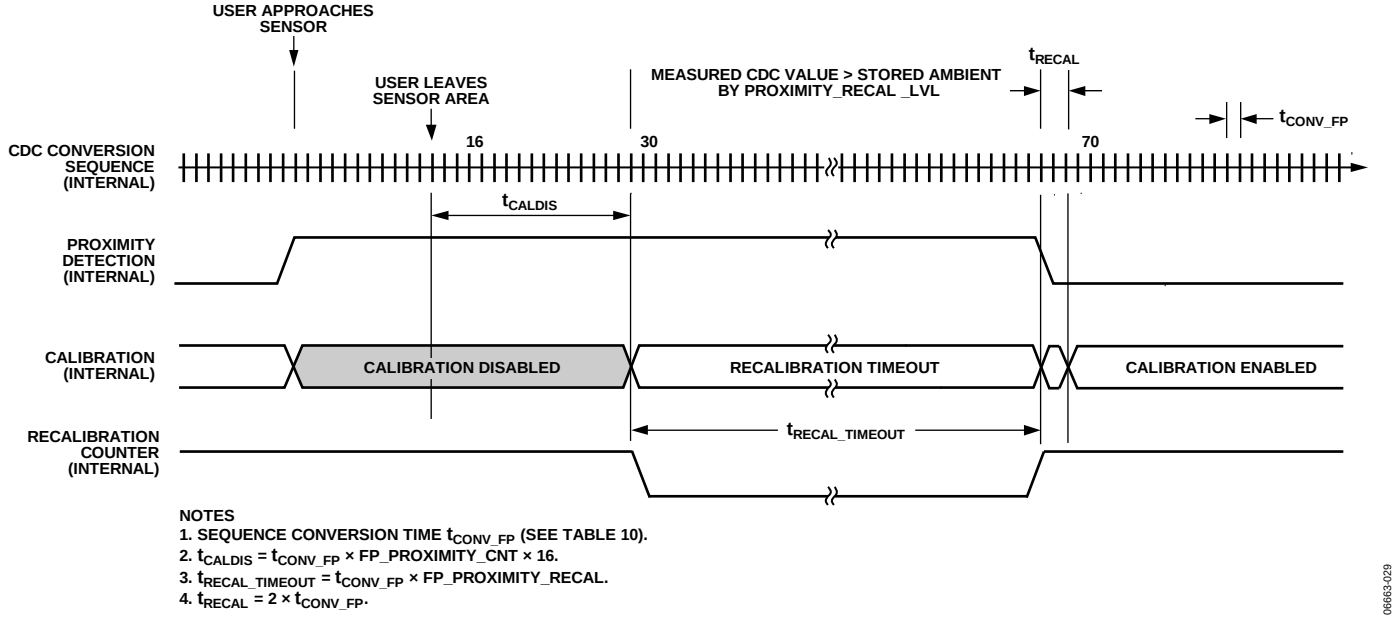


図 31.フルパワー・モード近接検出の例、再キャリブレーションを実施 (FP_PROXIMITY_CNT = 1 かつ FP_PROXIMITY_RECAL = 40)

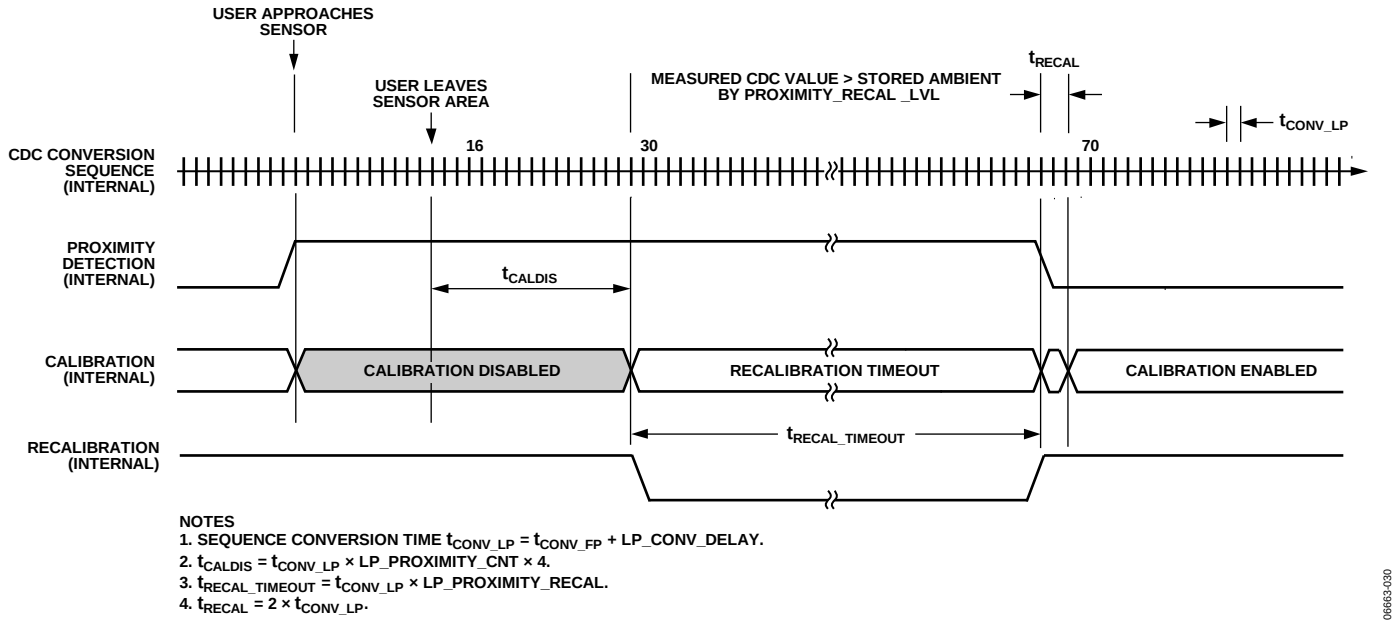


図 32 . 低消費電力モード近接検出の例、再キャリブレーションを実施 (LP_PROXIMITY_CNT = 4 かつ LP_PROXIMITY_RECAL = 40)

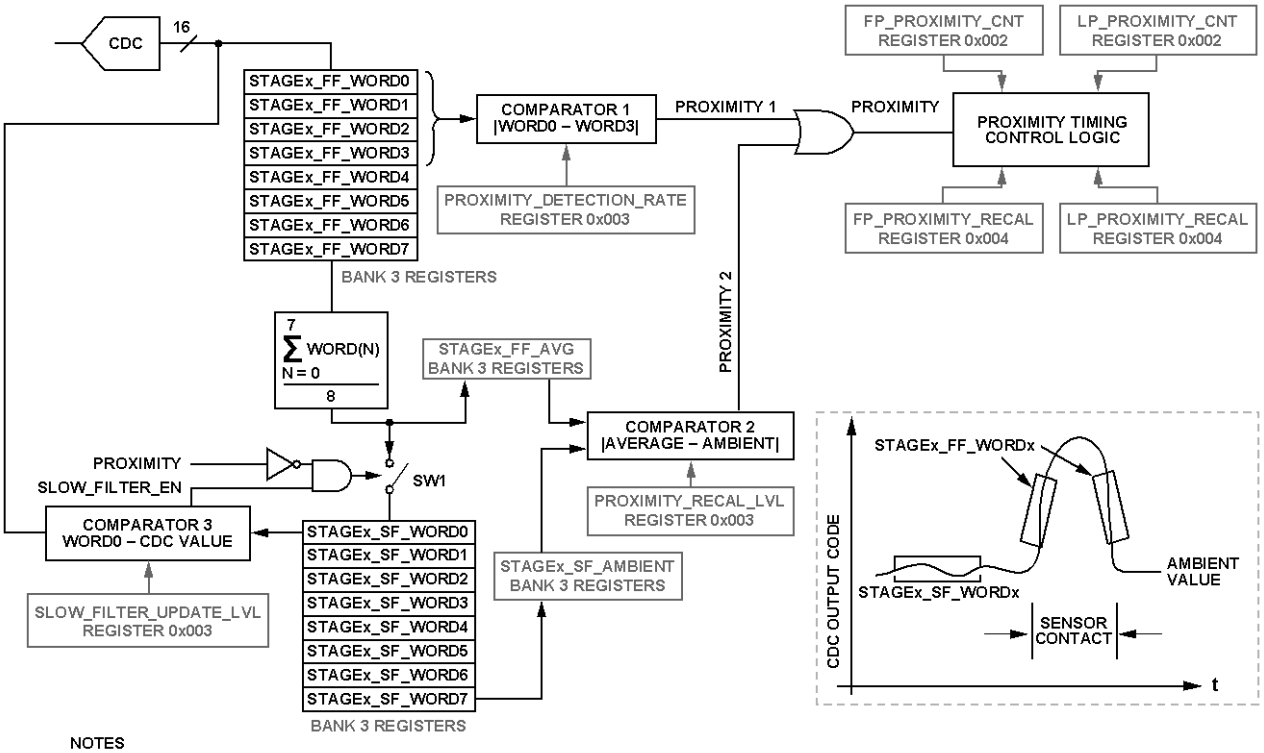
FF_SKIP_CNT

内蔵ロジックが近接検出高速 FIFO 使って、近接検出の有無を調べています。高速 FIFO は、設定されたレートでコンバータからサンプルを受け取るようになっています。FF_SKIP_CNT を使って、シーケンス内にある変換ステージ数によらず、FIFO に入力されるサンプルの周波数を正規化しています。レジスタ 0x002 では、ビット[3:0] が高速フィルタ・スキップ・コントロール FF_SKIP_CNT です。この値は、近接検出高速 FIFO が使用しない(スキップする)CDC サンプルを指定します。

FF_SKIP_CNT 値の決定は、容量センサー・インターフェースの初期セットアップ時に 1 回だけ必要です。表 13 に、FF_SKIP_CNT が高速 FIFO の更新レートを制御する方法を示します。AD7147 上の全 12 変換ステージを使用する(スキップするサンプルなし)際の推奨設定値は 0000 です。

表 13.FF_SKIP_CNT の設定

FF_SKIP_CNT	FAST FIFO Update Rate		
	Decimation = 64	**Decimation = 128**	**Decimation = 256**
0	0.768 × (SEQUENCE_STAGE_NUM + 1) ms	1.536 × (SEQUENCE_STAGE_NUM + 1) ms	3.072 × (SEQUENCE_STAGE_NUM + 1) ms
1	1.536 × (SEQUENCE_STAGE_NUM + 1) ms	3.072 × (SEQUENCE_STAGE_NUM + 1) ms	6.144 × (SEQUENCE_STAGE_NUM + 1) ms
2	2.3 × (SEQUENCE_STAGE_NUM + 1) ms	4.608 × (SEQUENCE_STAGE_NUM + 1) ms	9.216 × (SEQUENCE_STAGE_NUM + 1) ms
3	3.072 × (SEQUENCE_STAGE_NUM + 1) ms	6.144 × (SEQUENCE_STAGE_NUM + 1) ms	12.288 × (SEQUENCE_STAGE_NUM + 1) ms
4	3.84 × (SEQUENCE_STAGE_NUM + 1) ms	7.68 × (SEQUENCE_STAGE_NUM + 1) ms	15.36 × (SEQUENCE_STAGE_NUM + 1) ms
5	4.6 × (SEQUENCE_STAGE_NUM + 1) ms	9.216 × (SEQUENCE_STAGE_NUM + 1) ms	18.432 × (SEQUENCE_STAGE_NUM + 1) ms
6	5.376 × (SEQUENCE_STAGE_NUM + 1) ms	10.752 × (SEQUENCE_STAGE_NUM + 1) ms	21.504 × (SEQUENCE_STAGE_NUM + 1) ms
7	6.144 × (SEQUENCE_STAGE_NUM + 1) ms	12.288 × (SEQUENCE_STAGE_NUM + 1) ms	24.576 × (SEQUENCE_STAGE_NUM + 1) ms
8	6.912 × (SEQUENCE_STAGE_NUM + 1) ms	13.824 × (SEQUENCE_STAGE_NUM + 1) ms	27.648 × (SEQUENCE_STAGE_NUM + 1) ms
9	7.68 × (SEQUENCE_STAGE_NUM + 1) ms	15.36 × (SEQUENCE_STAGE_NUM + 1) ms	30.72 × (SEQUENCE_STAGE_NUM + 1) ms
10	8.448 × (SEQUENCE_STAGE_NUM + 1) ms	16.896 × (SEQUENCE_STAGE_NUM + 1) ms	33.792 × (SEQUENCE_STAGE_NUM + 1) ms
11	9.216 × (SEQUENCE_STAGE_NUM + 1) ms	18.432 × (SEQUENCE_STAGE_NUM + 1) ms	36.864 × (SEQUENCE_STAGE_NUM + 1) ms
12	9.984 × (SEQUENCE_STAGE_NUM + 1) ms	19.968 × (SEQUENCE_STAGE_NUM + 1) ms	39.936 × (SEQUENCE_STAGE_NUM + 1) ms
13	10.752 × (SEQUENCE_STAGE_NUM + 1) ms	21.504 × (SEQUENCE_STAGE_NUM + 1) ms	43.008 × (SEQUENCE_STAGE_NUM + 1) ms
14	11.52 × (SEQUENCE_STAGE_NUM + 1) ms	23.04 × (SEQUENCE_STAGE_NUM + 1) ms	46.08 × (SEQUENCE_STAGE_NUM + 1) ms
15	12.288 × (SEQUENCE_STAGE_NUM + 1) ms	24.576 × (SEQUENCE_STAGE_NUM + 1) ms	49.152 × (SEQUENCE_STAGE_NUM + 1) ms



NOTES
1. SLOW_FILTER_EN, WHICH IS THE NAME OF THE OUTPUT OF COMPARATOR 3, IS SET AND SW1 IS CLOSED WHEN |STAGEx_SF_WORD0 – CDC VALUE| EXCEEDS THE VALUE PROGRAMMED IN THE SLOW_FILTER_UPDATE_LVL REGISTER PROVIDING PROXIMITY IS NOT SET.
2. PROXIMITY 1 IS SET WHEN |STAGEx_FF_WORD0 – STAGEx_FF_WORD3| EXCEEDS THE VALUE PROGRAMMED IN THE PROXIMITY_DETECTION_RATE REGISTER.
3. PROXIMITY 2 IS SET WHEN |AVERAGE – AMBIENT| EXCEEDS THE VALUE PROGRAMMED IN THE PROXIMITY_RECAL_LVL REGISTER.
4. DESCRIPTION OF COMPARATOR FUNCTIONS:
   COMPARATOR 1: USED TO DETECT WHEN A USER IS APPROACHING OR LEAVING A SENSOR.
   COMPARATOR 2: USED TO DETECT WHEN A USER IS HOVERING OVER A SENSOR OR APPROACHING A SENSOR VERY SLOWLY. ALSO USED TO DETECT IF THE SENSOR AMBIENT LEVEL HAS CHANGED AS A RESULT OF THE USER INTERACTION. FOR EXAMPLE, HUMIDITY OR DIRT LEFT BEHIND ON SENSOR.
   COMPARATOR 3: USED TO ENABLE THE SLOW FILTER UPDATE RATE. THE SLOW FILTER IS UPDATED WHEN SLOW_FILTER_EN IS SET AND PROXIMITY IS NOT SET.

図 33.AD7147 の近接検出ロジック

環境キャリブレーション

AD7147 は、容量センサーの周囲レベルに影響を与える環境条件を自動的に調節する容量センサー・キャリブレーション機能を内蔵しています。容量センサーの出力レベルは、温度、湿度、場合によっては塵埃の影響を受けます。

AD7147 は、CDC 周囲レベルを連続モニターして、式 1 と式 2 に示すように STAGEx_HIGH_THRESHOLD レジスタと STAGEx_LOW_THRESHOLD レジスタの値を調節することにより、環境変化を補償して最適かつ信頼度の高いセンサー性能を実現します。CDC 周囲レベルは、ユーザーがセンサーに接近していない、または接触していない期間の容量センサーの出力レベルと定義されます。

AD7147 を設定した後、AD7147 に接触していないときの各変換で、補償ロジックが自動的に動作します。このため、AD7147 は環境条件の変化を迅速に補償することができます。

周囲補償コントロール・レジスタは、補償アルゴリズムの全体的なセットアップと制御のためのアクセスをホストに提供します。内蔵 RAM は、各変換ステージの補償データや各ステージ固有のセットアップ情報を保存します。

図 34 に、環境条件に無関係に一定の CDC 周囲レベルを維持する、容量センサーの理想的な動作例を示します。表示した CDC 出力は一対の差動ボタン・センサーの場合で、アクティブになると、測定される容量が一方のセンサーでは増加し、他方のセンサーでは減少します。正と負のセンサー・スレッショールド・レベルは、STAGEx_OFFSET_HIGH 値と STAGEx_OFFSET_LOW 値のパーセント値として計算され、スレッショールド感度設定と周囲値に基づきます。これらの値は、センサー接触の検出に十分であり、スレッショールド・レベルを超えたとき AD7147 が$\overline{\text{INT}}$ 出力をアサートします。

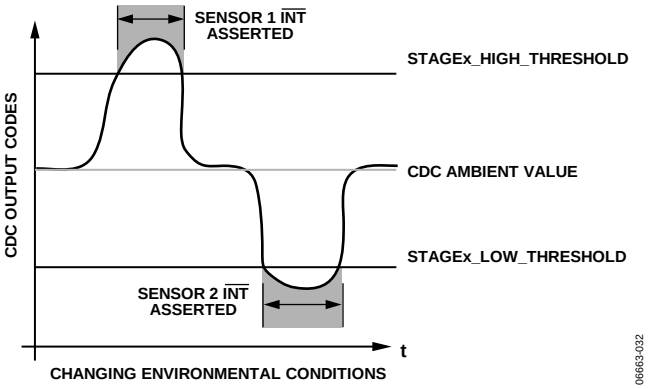


図 34.一定周囲レベルを持つ理想センサーの動作

キャリブレーションなしでの容量センサー動作

図 35 に、キャリブレーションを行わないときの容量センサーの一般的な動作を示します。この図は、環境条件が変化すると、時間的にドリフトする周囲レベルを示しています。周囲レベルが上にドリフトしても初期スレッショールド・レベルを維持するため、この例ではセンサー 2 がユーザーの接触の検出に失敗しています。

キャリブレーションを行った場合の容量センサーの動作 のセクションに、AD7147 の適応型キャリブレーション・アルゴリズムがこのような失敗を防止する方法を説明しています。

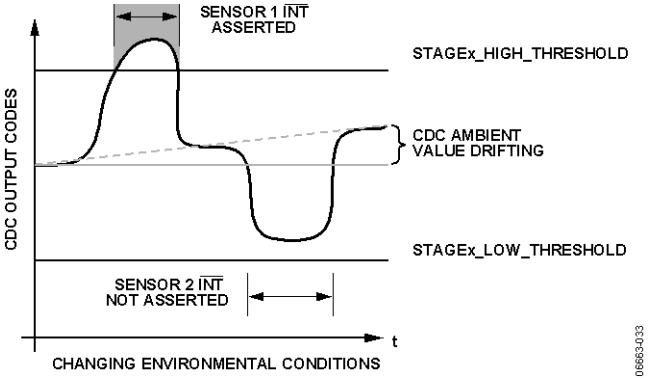


図 35.キャリブレーションなしの一般的なセンサー動作

$$STAGEx_HIGH_THRESHOLD = STAGEx_SF_AMBIENT + \left(\frac{STAGEx_OFFSET_HIGH}{4}\right) + \left(\frac{\left(STAGEx_OFFSET_HIGH - \frac{STAGEx_OFFSET_HIGH}{4}\right)}{16}\right) \times POS_THRESHOLD_SENSITIVITY$$

式 1.内蔵ロジック・ステージの高スレッショールドの計算

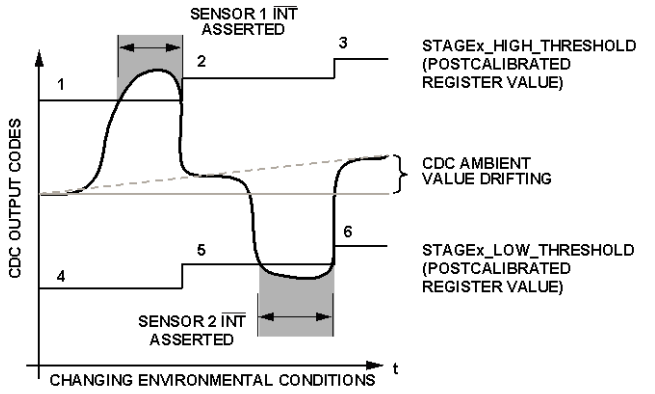
$$STAGEx_LOW_THRESHOLD = STAGEx_SF_AMBIENT + \left(\frac{STAGEx_OFFSET_LOW}{4}\right) + \left(\frac{\left(STAGEx_OFFSET_LOW - \frac{STAGEx_OFFSET_LOW}{4}\right)}{16}\right) \times NEG_THRESHOLD_SENSITIVITY$$

式 2.内蔵ロジック・ステージの低スレッショールドの計算

キャリブレーションを行った場合の容量センサーの動作

AD7147 の内蔵適応型キャリブレーション・アルゴリズムは、図 35 に示すようなセンサー検出の失敗を防止します。これは、CDC 周囲レベルをモニターし、各センサーで測定された周囲ドリフトの大きさに従って STAGEx_OFFSET_HIGH と STAGEx_OFFSET_LOW の初期値を再調整することにより実行されます。新しいステージ・オフセット値を使用して、式 1 と式 2 に説明する内部の STAGEx_HIGH_THRESHOLD 値と STAGEx_LOW_THRESHOLD 値が自動的に更新されます。

このクローズ・ループ・ルーチンは、動的な環境条件の中で AD7147 に接続された各センサーの信頼性と再現性のある動作を保証します。図 36 に、AD7147 が適応型キャリブレーション処理を行い、動的な環境条件による CDC 周囲レベルの変化があっても、中断するような失敗を起こさない簡略化した例を示します。



[1]INITIAL STAGEx_OFFSET_HIGH REGISTER VALUE.
[2]POSTCALIBRATED REGISTER STAGEx_HIGH_THRESHOLD.
[3]POSTCALIBRATED REGISTER STAGEx_HIGH_THRESHOLD.
[4]INITIAL STAGEx_LOW_THRESHOLD.
[5]POSTCALIBRATED REGISTER STAGEx_LOW_THRESHOLD.
[6]POSTCALIBRATED REGISTER STAGEx_LOW_THRESHOLD.

図 36.データ・パスにキャリブレーションを行った一般的なセンサー動作

低速 FIFO

図 33 に示すように、AD7147 には多くの FIFO があります。これらの FIFO は、内蔵メモリのバンク 3 内にあります。低速 FIFO は、内蔵ロジックが各センサーからの周囲容量レベルをモニターするときに使います。

AVG_FP_SKIP と AVG_LP_SKIP

レジスタ 0x001 では、ビット[13:12]がフル・パワー・モード用の低速 FIFO スキップ・コントロール AVG_FP_SKIP です。同じレジスタのビット[15:14]は、低消費電力モード用の低速 FIFO スキップ・コントロール AVG_LP_SKIP であり、低速 FIFO 内で使用しない(スキップする)CDC サンプルを指定します。AVG_FP_SKIP ビットと AVG_LP_SKIP ビットの値を変更すると、コンバータが読み出す容量測定値を周囲容量値が追跡するレートが次のように増減します。

- フル・パワー・モードでの低速 FIFO 更新レート = AVG_FP_SKIP × [(3 × デシメーション・レート) × (SEQUENCE_STAGE_NUM + 1) × (FF_SKIP_CNT + 1) × 4×10^{-7}]。
- 低消費電力モードでの低速 FIFO 更新レート = (AVG_LP_SKIP + 1) × [(3 × デシメーション・レート) × (SEQUENCE_STAGE_NUM + 1) × (FF_SKIP_CNT + 1) × 4 x 10^{-7}]/[(FF_SKIP_CNT + 1) + LP_CONV_DELAY]。

低速 FIFO は、周囲容量値を追跡するとき内蔵ロジックが使用します。低速 FIFO は、33 ms～40 ms のレートでコンバータからサンプルを受け取るようになっています。 AVG_FP_SKIP と AVG_LP_SKIP を使って、シーケンス内の変換ステージ数に無関係に、FIFO に入力されるサンプルの周波数を正規化しています。

AVG_FP_SKIP と AVG_LP_SKIP の値の決定は、容量センサー・インターフェースの初期セットアップ時に 1 回だけ必要です。AD7147 上の全 12 変換ステージを使用する際の推奨設定値は、次のようになります。

- AVG_FP_SKIP = 00 = 3 個のサンプルをスキップ
- AVG_LP_SKIP = 00 = サンプルのスキップなし

SLOW_FILTER_UPDATE_LVL

SLOW_FILTER_UPDATE_LVL は、最新の CDC 計測値を低速 FIFO (低速フィルタ)に入れるか否かを制御します。低速フィルタは、現在の CDC 値と低速 FIFO の最終値の差が SLOW_FILTER_UPDATE_LVL の値より大きいときに更新されます。 この変数は、周囲コントロール・レジスタ 1 (AMB_COMP_CTRL1) (アドレス 0x003)内にあります。

適応型スレッショールドと感度

AD7147 は、自動調整の適応型スレッショールドと感度アルゴリズムを内蔵しています。このアルゴリズムは各センサーの出力レベルを連続モニターし、ユーザーがカバーするセンサー領域に比例してスレッショールド・レベルを自動的に再スケールします。そのため、AD7147 は指の大きさに無関係にすべてのユーザーに対して最適なスレッショールドと感度レベルを維持します。

スレッショールド・レベルは、常に周囲レベルから参照され、このレベルを超えたときに有効なセンサー接触と判定される CDC コンバータの出力レベルとして定義されます。感度レベルは、有効な接触と判定されるために必要なセンサーの感度です。

図 37 に、適応型スレッショールドと感度アルゴリズムの動作例を示します。正と負のセンサー・スレッショールド・レベルは、STAGEx_OFFSET_HIGH 値と STAGEx_OFFSET_LOW 値のパーセント値として計算され、スレッショールド感度設定と周囲値に基づきます。AD7147 が設定されると、初期計算値が STAGEx_OFFSET_HIGH と STAGEx_OFFSET_LOW に適用され、キャリブレーション・エンジンが自動的にセンサー応答に対して STAGEx_HIGH_THRESHOLD 値と STAGEx_LOW_THRESHOLD 値を調整します。

AD7147 は、各センサーから測定した平均の最大値と最小値を追跡します。これらの値は、ユーザーがセンサーと相互作用している様子を示します。指が太いほど、平均の最大値または最小値が大きくなり、指が細いほど小さな値になります。平均の最大値または最小値が変化すると、スレッショールド・レベルが現在のユーザーに合うように、スレッショールド・レベルが再スケールされます。 図 38 に、内蔵ロジックが最小と最大のセンサー応答を追跡する方法を示します。

図 37 のリファレンス A は、指の細いユーザーに対する感度の低いスレッショールド・レベルを示しており、固定スレッショールド・レベルの欠点を表しています。

適応型スレッショールドと感度アルゴリズムをイネーブルすると、正と負のスレッショールド・レベルは、POS_THRESHOLD_SENSITIVITY ビット値、NEG_THRESHOLD_SENSITIVITY ビット値、さらに最新の平均最大センサー出力値によって決定されるようになります。これらのビットを使用して、周囲値から参照される、最新平均最大出力レベルの 25%～95.32%の範囲の 16 種類の正と負の感度レベルを選択することができます。感度パーセント値の設定が小さいほど、センサー・アクチベーションが容易にトリガーされるようになります。リファレンス B は、POS_THRESHOLD_SENSITIVITY = 1000 を設定することにより、正の適応型スレッショールド・レベルが中感度付近(スレッショールド・レベル = 62.51%)に設定されることを示しています。 図 37 は、NEG_THRESHOLD_SENSITIVITY = 0011 を設定したときの、負のスレッショールド・レベルに対する同様の例を示しています。

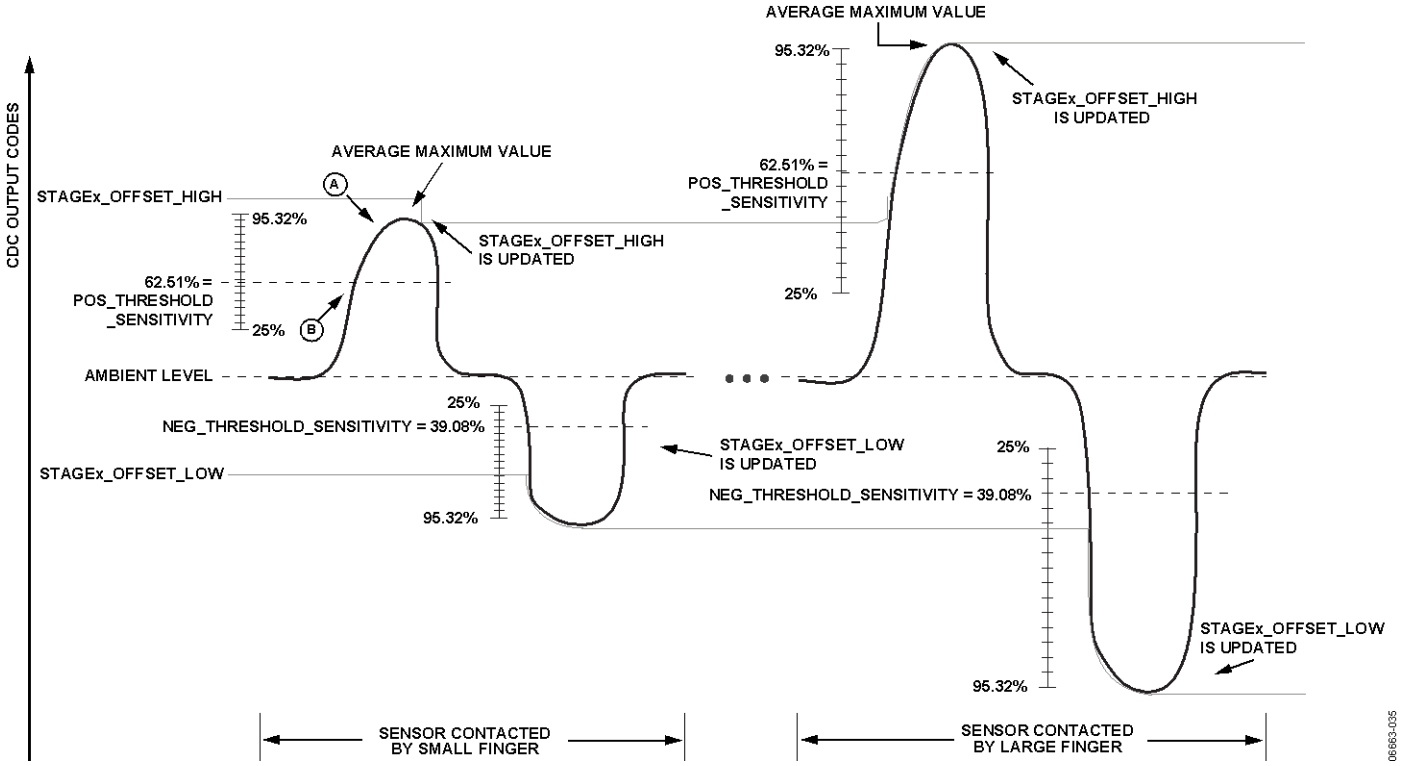


図 37.スレッショールド感度の例 (POS_THRESHOLD_SENSITIVITY = 1000、NEG_THRESHOLD_SENSITIVITY = 0011)

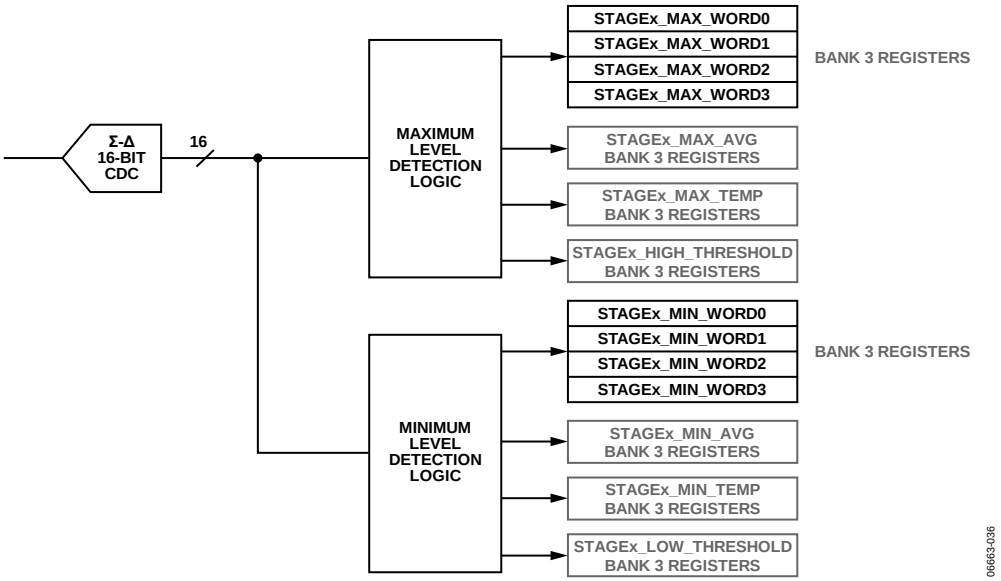


図 38.最小および最大平均センサー値の追跡

表 14.環境キャリブレーション・レジスタと適応型スレッショールド・レジスタのその他の情報

Register/Bit	Register Location	Description
NEG_THRESHOLD_SENSITIVITY	Bank 2	Used in Equation 2. This value is programmed once at startup.
NEG_PEAK_DETECT	Bank 2	Used by internal adaptive threshold logic only. The NEG_PEAK_DETECT is set to a percentage of the difference between the ambient CDC value and the minimum average CDC value. If the output of the CDC approaches the NEG_PEAK_DETECT percentage of the minimum average, the minimum average value is updated.
POS_THRESHOLD_SENSITIVITY	Bank 2	Used in Equation 1. This value is programmed once at startup.
POS_PEAK_DETECT	Bank 2	Used by internal adaptive threshold logic only. The POS_PEAK_DETECT is set to a percentage of the difference between the ambient CDC value and the maximum average CDC value. If the output of the CDC approaches the POS_PEAK_DETECT percentage of the maximum average, the maximum average value is updated.
STAGEx_OFFSET_LOW	Bank 2	Used in Equation 2. An initial value (based on sensor characterization) is programmed into this register at startup. The AD7147 on-chip calibration algorithm automatically updates this register based on the amount of sensor drift due to changing ambient conditions. Set this register to 80% of the STAGEx_OFFSET_LOW_CLAMP value.
STAGEx_OFFSET_HIGH	Bank 2	Used in Equation 1. An initial value (based on sensor characterization) is programmed into this register at startup. The AD7147 on-chip calibration algorithm automatically updates this register based on the amount of sensor drift due to changing ambient conditions. Set this register to 80% of the STAGEx_OFFSET_HIGH_CLAMP value.
STAGEx_OFFSET_HIGH_CLAMP	Bank 2	Used by internal environmental calibration and adaptive threshold algorithms only. An initial value (based on sensor characterization) is programmed into this register at startup. The value in this register prevents a user from causing a sensor's output value to exceed the expected nominal value. Set this register to the maximum expected sensor response or the maximum change in CDC output code.
STAGEx_OFFSET_LOW_CLAMP	Bank 2	Used by internal environmental calibration and adaptive threshold algorithms only. An initial value (based on sensor characterization) is programmed into this register at startup. The value in this register prevents a user from causing a sensor's output value to exceed the expected nominal value. Set this register to the minimum expected sensor response or the minimum change in CDC output code.
STAGEx_SF_AMBIENT	Bank 3	Used in Equation 1 and Equation 2. This is the ambient sensor output when the sensor is not touched, as calculated using the slow FIFO.
STAGEx_HIGH_THRESHOLD	Bank 3	Equation 1 value.
STAGEx_LOW_THRESHOLD	Bank 3	Equation 2 value.

割り込み出力

AD7147 は、ホスト・プロセッサ上の割り込みサービス・ルーチンを起動する割り込み出力を持っています。この$\overline{\text{INT}}$ 信号はピン 17 で、オープン・ドレイン出力です。AD7147 には、CDC 変換完了割り込み、センサー・タッチ割り込み、GPIO 割り込みの 3 タイプの割り込みイベントがあります。各割り込みにはイネーブル・レジスタとステータス・レジスタがあります。変換完了割り込みとセンサー・タッチ (センサー・アクチベーション) 割り込みは、変換ステージごとにイネーブルできます。ステータス・レジスタは、$\overline{\text{INT}}$ ピンをトリガーした割り込みのタイプを表示します。ステータス・レジスタを読み出すと、このレジスタがクリアされて、$\overline{\text{INT}}$ 信号がハイ・レベルに戻ります。読み出しアドレスが設定されると直ちに、この信号はハイ・レベルに戻ります。

CDC 変換完了割り込み

AD7147 割り込み信号はロー・レベルになって、変換ステージが完了し、新しい変換結果がレジスタにロードされたことを表示します。

この割り込みは、各変換ステージに対して独立にイネーブルすることができます。各変換ステージ完了割り込みは、STAGE_COMPLETE_INT_ENABLE レジスタ (アドレス 0x007)を使ってイネーブルすることができます。このレジスタには、各変換ステージに対応するビットが配置されています。このビットを 1 に設定すると、そのステージの割り込みがイネーブルされます。このビットを 0 にクリアすると、そのステージの変換完了割り込みがディスエーブルされます。

AD7147 割り込みは、変換シーケンス内の最終ステージに対してのみイネーブルする必要があります。たとえば、変換ステージ数が 5 の場合、STAGE4 の変換完了割り込みのみをイネーブルします。したがって、5 変換ステージすべてが完了したときにのみ$\overline{\text{INT}}$がアサートされるので、ホストは 5 個のすべての変換結果レジスタから新しいデータを読み出すことができます。アドレス 0x00A の STAGE_COMPLETE_INT_STATUS レジスタを読み出すと、割り込みがクリアされます。

レジスタ 0x00A は、変換完了割り込みステータス・レジスタです。このレジスタの各ビットは変換ステージに対応します。ステージで変換完了割り込みが発生すると、対応するビットがセットされます。このレジスタを読み出すとクリアされます(ただし、割り込みを発生させた原因が存在しなくなった場合)。

センサー・タッチ割り込み

センサー・タッチ割り込みモードは、センサーが接触されたときにのみホスト・プロセッサが割り込みを必要とする場合にのみ実装されます。

AD7147 をこのモードに設定すると、ユーザーがセンサーに接触したとき、およびセンサーへの接触を停止したとき、割り込みが発生するようになります。2 つ目の割り込みは、ユーザーがセンサーへの接触を停止したことをホスト・プロセッサに通知するために必要です。

レジスタはアドレス 0x005 に配置されており、アドレス 0x006 を使って、各ステージの割り込み出力をイネーブルします。レジスタはアドレス 0x008 に配置されており、アドレス 0x009 を使って、各ステージの割り込みステータスを読み出します。

図 39 に、 STAGE0 に接続されたセンサーの 1 つに接触したときの割り込み出力タイミングと、センサー・タッチ割り込みモードでの動作を示します。下限値構成の場合、ユーザーがセンサーに接触し、接触を停止すると直ちに割り込み出力がアサートされます。(アドレス 0x008 とアドレス 0x009 の割り込みステータス・レジスタをホスト・プロセッサが読み出すまで、割り込み出力はロー・レベルを維持することに注意してください)

割り込みステータス・ビット内に変化が生じると、割り込み出力がアサートされます。これは、ユーザーが最初にセンサーに触れ、接触したセンサー数が変化するか、またはユーザーがセンサーに触れなくなったことを表示します。割り込みステータス・レジスタのステータス・ビットを読み出すと、現在のセンサー・アクチベーションを知ることができます。

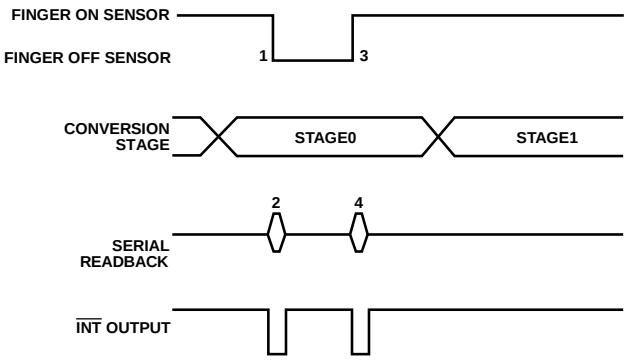
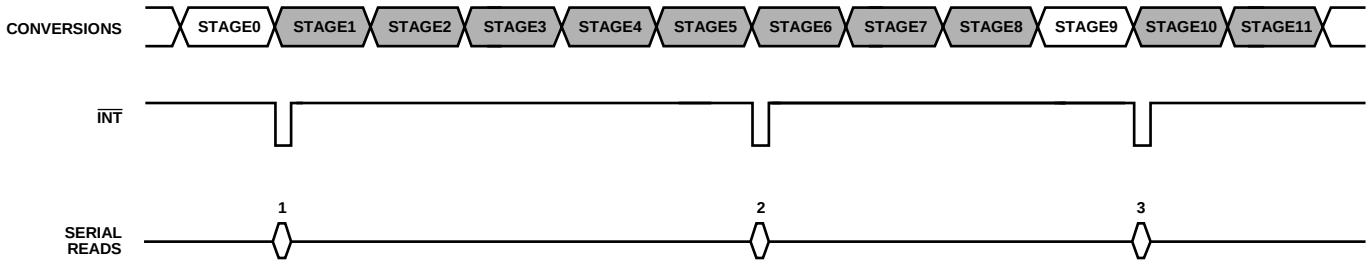


図 39.センサー・タッチ割り込みの例



NOTES
THIS IS AN EXAMPLE OF A CDC CONVERSION-COMPLETE INTERRUPT.

THIS TIMING EXAMPLE SHOWS THAT THE INTERRUPT OUTPUT HAS BEEN ENABLED TO BE ASSERTED AT THE END OF A CONVERSION CYCLE FOR STAGE0, STAGE5, AND STAGE9. THE INTERRUPTS FOR ALL OTHER STAGES HAVE BEEN DISABLED.

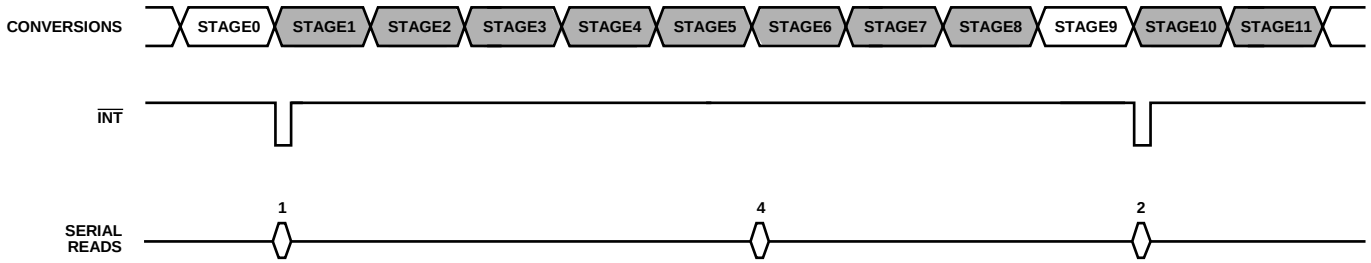
STAGEx CONFIGURATION PROGRAMMING NOTES FOR STAGE0, STAGE5, AND STAGE9 (x = 0, 5, 9):
STAGEx_LOW_INT_ENABLE (ADDRESS 0x005) = 0
STAGEx_HIGH_INT_ENABLE (ADDRESS 0x006) = 0
STAGEx_COMPLETE_INT_ENABLE (ADDRESS 0x007) = 1

STAGEx CONFIGURATION PROGRAMMING NOTES FOR STAGE1 THROUGH STAGE8, STAGE10, AND STAGE11 (x = 1, 2, 3, 4, 5, 6, 7, 8, 10, 11):
STAGEx_LOW_INT_ENABLE (ADDRESS 0x005) = 0
STAGEx_HIGH_INT_ENABLE (ADDRESS 0x006) = 0
STAGEx_COMPLETE_INT_ENABLE (ADDRESS 0x007) = 0

SERIAL READBACK REQUIREMENTS FOR STAGE0, STAGE5, AND STAGE9 (THIS READBACK OPERATION IS REQUIRED TO CLEAR THE INTERRUPT OUTPUT.):
[1]READ THE STAGE0_COMPLETE_INT_STATUS (ADDRESS 0x00A) BIT
[2]READ THE STAGE5_COMPLETE_INT_STATUS (ADDRESS 0x00A) BIT
[3]READ THE STAGE9_COMPLETE_INT_STATUS (ADDRESS 0x00A) BIT

06663-038

図 40.変換完了割り込み用にレジスタを設定した例



NOTES
THIS IS AN EXAMPLE OF A SENSOR-TOUCH INTERRUPT FOR A CASE WHERE THE LOW THRESHOLD LEVELS WERE EXCEEDED.

FOR EXAMPLE, THE SENSOR CONNECTED TO STAGE0 AND STAGE9 WERE CONTACTED, AND THE LOW THRESHOLD LEVELS WERE EXCEEDED, RESULTING IN THE INTERRUPT BEING ASSERTED. THE STAGE6 INTERRUPT WAS NOT ASSERTED BECAUSE THE USER DID NOT CONTACT THE SENSOR CONNECTED TO STAGE6.

STAGEx CONFIGURATION PROGRAMMING NOTES FOR STAGE0, STAGE6, AND STAGE9 (x = 0, 6, 9):
STAGEx_LOW_INT_ENABLE (ADDRESS 0x005) = 1
STAGEx_HIGH_INT_ENABLE (ADDRESS 0x006) = 0
STAGEx_COMPLETE_INT_ENABLE (ADDRESS 0x007) = 0

STAGEx CONFIGURATION PROGRAMMING NOTES FOR STAGE1 THROUGH STAGE7, STAGE8, STAGE10, AND STAGE11 (x = 1, 2, 3, 4, 5, 6, 7, 8, 10, 11):
STAGEx_LOW_INT_ENABLE (ADDRESS 0x005) = 0
STAGEx_HIGH_INT_ENABLE (ADDRESS 0x006) = 0
STAGEx_COMPLETE_INT_ENABLE (ADDRESS 0x007) = 0

SERIAL READBACK REQUIREMENTS FOR STAGE0 AND STAGE9 (THIS READBACK OPERATION IS REQUIRED TO CLEAR THE INTERRUPT OUTPUT.):
[1]READ THE STAGE0_LOW_INT_STATUS (ADDRESS 0x008) BIT
[2]READ THE STAGE5_LOW_INT_STATUS (ADDRESS 0x008) BIT

06663-039

図 41. センサー・タッチ割り込み用にレジスタを設定した例

GPIO $\overline{\text{INT}}$ 出力の制御

$\overline{\text{INT}}$ 出力信号は、GPIO を入力に設定したとき、GPIO ピンから制御することができます。GPIO を入力として設定するときは、割り込み設定レジスタの GPIO_SETUP ビットを 01 に設定します。GPIO の設定方法については、GPIO のセクションを参照してください。

GPIO 割り込みをイネーブルするときは、レジスタ 0x007 の GPIO_INT_ENABLE ビットを 1 に設定し、GPIO 割り込みをディスエーブルするときは、このビットを 0 にクリアします。変換完了割り込みステータス・レジスタの GPIO ステータス・ビットに、GPIO 割り込みのステータスが表示されます。GPIO が$\overline{\text{INT}}$を出力するとき、このビットは 1 に設定されます。割り込み原因が存在しなくなった場合、GPIO_INT_STATUS ビットを読み出すと、このビットはクリアされます。

GPIO 入力ピンの立ち上がりエッジ、立ち下がりエッジ、ハイ・レベル、またはロー・レベルで、GPIO 割り込みを発生するように設定することができます。 表 15 に、割り込みイネーブル (STAGE_LOW_INT_ENABLE) レジスタの GPIO_INPUT_CONFIG ビットの設定により、$\overline{\text{INT}}$の動作がどのように影響を受けるかを示します。

図 42 ～図 45 に、GPIO_INT_STATUS ビットの読み出し時に、割り込み出力がクリアされる方法を示します。

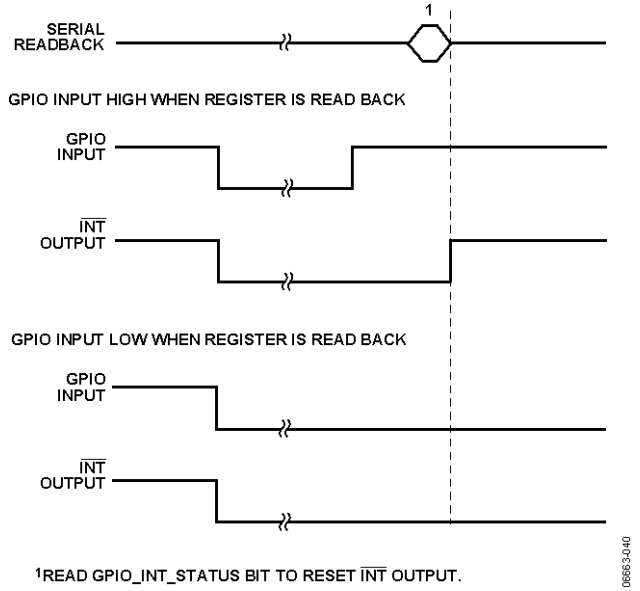


図 42.GPIO 入力から$\overline{\text{INT}}$ 出力を制御する例 (GP IO_SETUP = 01、GPIO_INPUT_CONFIG = 00)

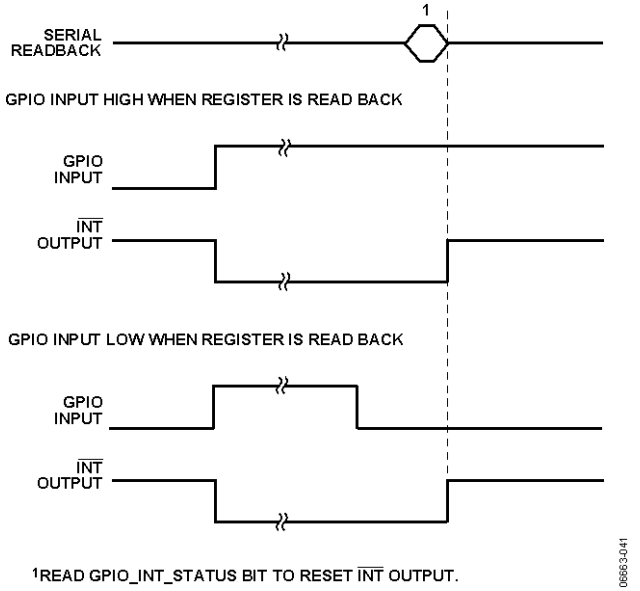


図 43.GPIO 入力から$\overline{\text{INT}}$ 出力を制御する例 (GPIO_SETUP = 01、GPIO_INPUT_CONFIG = 01)

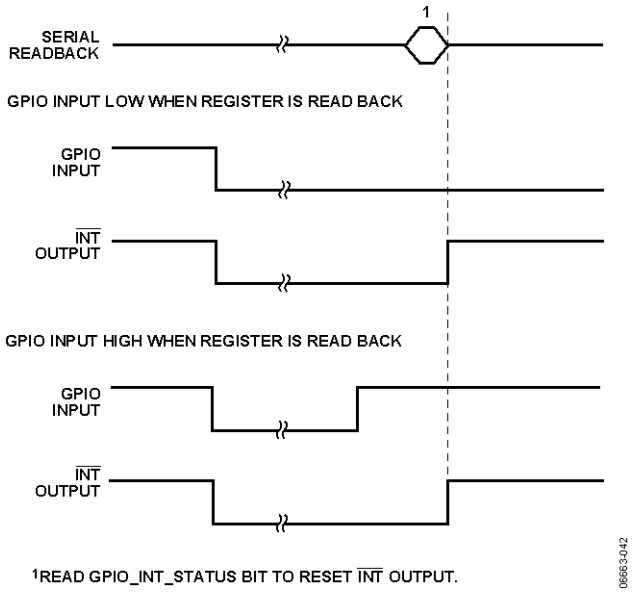


図 44.GPIO 入力から$\overline{\text{INT}}$ 出力を制御する例 (GPIO_SETUP = 01、GPIO_INPUT_CONFIG = 10)

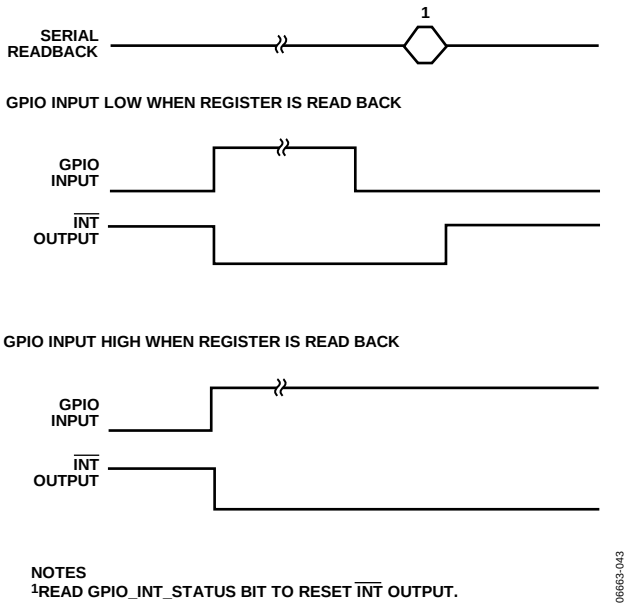


図 45.GPIO 入力から$\overline{\text{INT}}$ 出力を制御する例 (GPIO_SETUP = 01、GPIO_INPUT_CONFIG = 11)

表 15.GPIO 割り込みの動作

GPIO_INPUT_CONFIG	GPIO Pin	GPIO_INT_STATUS	$\overline{\text{INT}}$	$\overline{\text{INT}}$ Behavior
00 = Negative Level Triggered	1	0	1	Not triggered
00 = Negative Level Triggered	0	1	0	Asserted while signal on GPIO pin is low
01 = Positive Edge Triggered	1	1	0	Pulses low at low-to-high GPIO transition
01 = Positive Edge Triggered	0	0	1	Not triggered
10 = Negative Edge Triggered	1	0	1	Pulses low at high-to-low GPIO transition
10 = Negative Edge Triggered	0	1	0	Not triggered
11 = Positive Level Triggered	1	1	0	Asserted while signal on GPIO pin is high
11 = Positive Level Triggered	0	0	1	Not triggered

出力

AC_{SHIELD} 出力

AD7147 は、CINx とグラウンドとの間の容量を測定します。CINx ピンとセンサーとの間の信号パス上にある、グラウンドに対するすべての容量が AD7147 の変換結果に含まれます。

グラウンドに対する漂遊容量をなくするために、AC_{SHIELD} 信号を使って、センサーと CINx との間の接続をシールドする必要があります(図 46 参照)。センサー周辺のプレーンも AC_{SHIELD} に接続する必要があります。

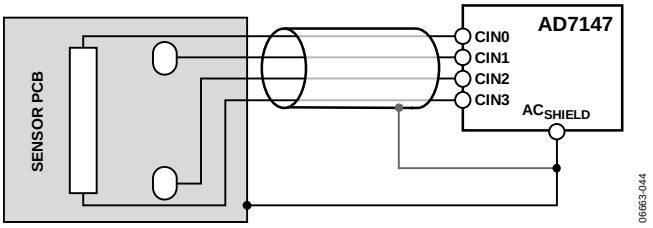


図 46.AC_{SHIELD}

AC_{SHIELD} 出力は、CINx の励起信号と同じ信号波形です。このため、CINx と AC_{SHIELD} との間には AC 電流が流れないので、これらのピンの間の容量は CINx の電荷移動に影響を与えません。

AC_{SHIELD} を使うと容量―グラウンド間でのノイズ混入がなくなります。これは、AD7147 をセンサーから最大 60 cm まで離して配置できることを意味します。このため、センサーと CINx 入力との間の接続を AC_{SHIELD} を使って適切にシールドすると、AD7147 をセンサーPCB とは別の PCB に配置することができます。

GPIO

AD7147 には GPIO ピンが 1 本あります。このピンは、入力または出力に設定することができます。割り込みイネーブル・レジスタ内にある GPIO_SETUP ビット[13:12]を使って、GPIO ピンの使用方法を指定します。

表 16.GPIO_SETUP ビット

GPIO_SETUP	GPIO Configuration
00	GPIO disabled
01	Input
10	Output low
11	Output high

GPIO を出力に設定すると、このピンの電圧レベルが、GPIO_SETUP ビットの指定に従って、ハイ・レベルまたはロー・レベルに設定されます (表 16 参照)。

割り込みイネーブル・レジスタの GPIO_INPUT_CONFIG ビットを使って、 GPIO を入力として設定したときの、GPIO ピン信号に対する AD7147 の応答を指定します。GPIO は、アクティブ・ハイまたはアクティブ・ローに、さらにエッジ・トリガーまたはレベル・トリガーに、設定することができます (表 17 参照)。

表 17.GPIO_INPUT_CONFIG ビット

GPIO_INPUT_CONFIG	GPIO Configuration
00	Triggered on negative level (active low)
01	Triggered on positive edge (active high)
10	Triggered on negative edge (active low)
11	Triggered on positive level (active high)

GPIO を入力に設定すると、AD7147 の割り込み出力をトリガーします。 表 15 に、GPIO の各設定に対する割り込み出力動作を示します。

GPIO を使用した LED のオン/オフ

GPIO をハイ・レベルまたはロー・レベルを出力するように設定すると、AD7147 の GPIO を使って LED をオン/オフすることができます。 GPIO 出力をハイ・レベルに設定すると LED がターンオンし、GPIO 出力をロー・レベルに設定すると LED がターンオフします。GPIO ピンは、LED の駆動電流を供給するトランジスタに接続されます。適切なトランジスタとしては、Korea Electronics Co., Ltd. (KEC)の KTC3875 などがあります。

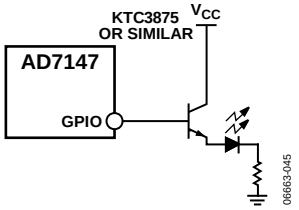


図 47.GPIO による LED の制御

シリアル・インターフェース

AD7147 は SPI 互換インターフェースを内蔵しています。AD7147-1 は I^2C 互換インターフェースを内蔵しています。両デバイスは、シリアル・インターフェース以外は同じです。

SPI インターフェース

AD7147は、4線式のシリアル・ペリフェラル・インターフェース (SPI)を採用しています。SPIには、データをデバイスへ入力するデータ入力ピン (SDI)、デバイスからデータを読み出すデータ出力ピン (SDO)、デバイスへの入出力データをクロック駆動するデータ・クロック・ピン (SCLK)があります。チップ・セレクト・ピン ($\overline{CS}$) は、シリアル・インターフェースをイネーブルまたはディスエーブルします。 $\overline{CS}$ はSPIの動作に必要なピンです。データはAD7147から SCLKの負のエッジで出力され、データはSCLKの正のエッジでデバイスに入力されます。

SPI のコマンド・ワード

SPI バス上のすべてのデータ・トランザクションは、マスターが$\overline{CS}$ をハイ・レベルからロー・レベルに変化させ、コマンド・ワードを送信することにより、マスターにより開始されます。この動作により、AD7147 はトランザクションが読み出し/書き込みのいずれであるか、さらにデータ転送を開始するレジスタのアドレスを知らされます。次のビット・マップに、SPI コマンド・ワードを示します。

MSB						LSB
15	**14**	**13**	**12**	**11**	**10**	**9:0**
1	1	1	0	0	R/$\overline{W}$	Register address

バス・トランザクションを開始するときは、コマンド・ワードのビット[15:11] を 11100 に設定する必要があります。

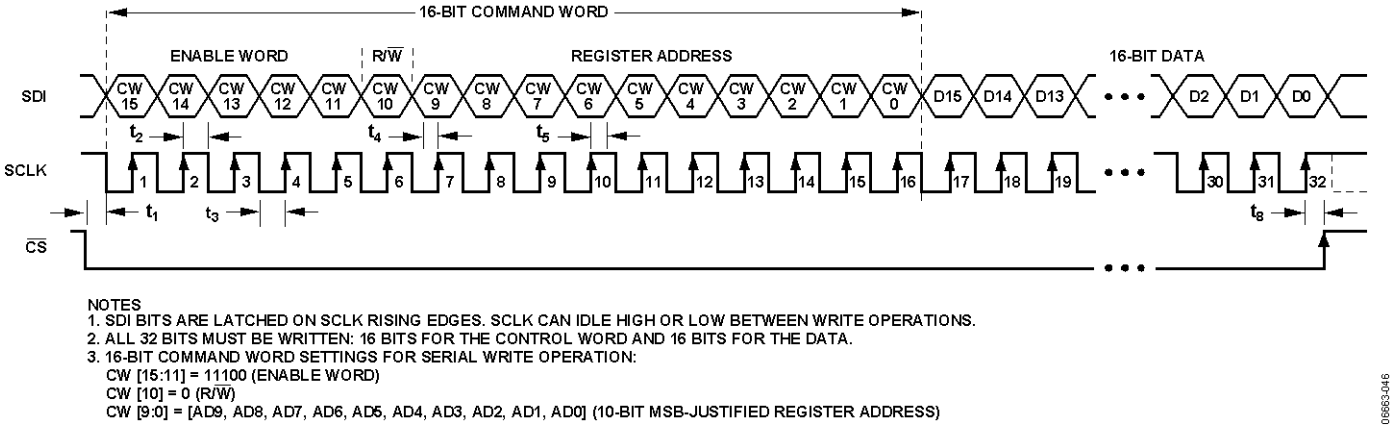
ビット 10 はリード/ライト・ビットで、 1 は読み出しを、0 は書き込みを、それぞれ指定します。

ビット[9:0]は、ターゲットのレジスタ・アドレスです。複数のレジスタの読み出しまたは書き込みを行うときは、このアドレスは書き込みまたは読み出し対象の先頭レジスタのアドレスを指定します。

データの書き込み

データは16ビット・ワードでAD7147に書き込まれます。デバイスに書き込まれる先頭ワードはコマンド・ワードで、リード/ライト・ビットが0に設定されています。その後にマスターは16ビットの入力データ・ワードをSDI ラインへ出力します。AD7147は、データをコマンド・ワードでアドレス指定されたレジスタに入力します。入力するデータ・ワードが複数あるときは、AD7147 はアドレス・ポインタを自動的にインクリメントし、後続データ・ワードを次のレジスタへ入力します。

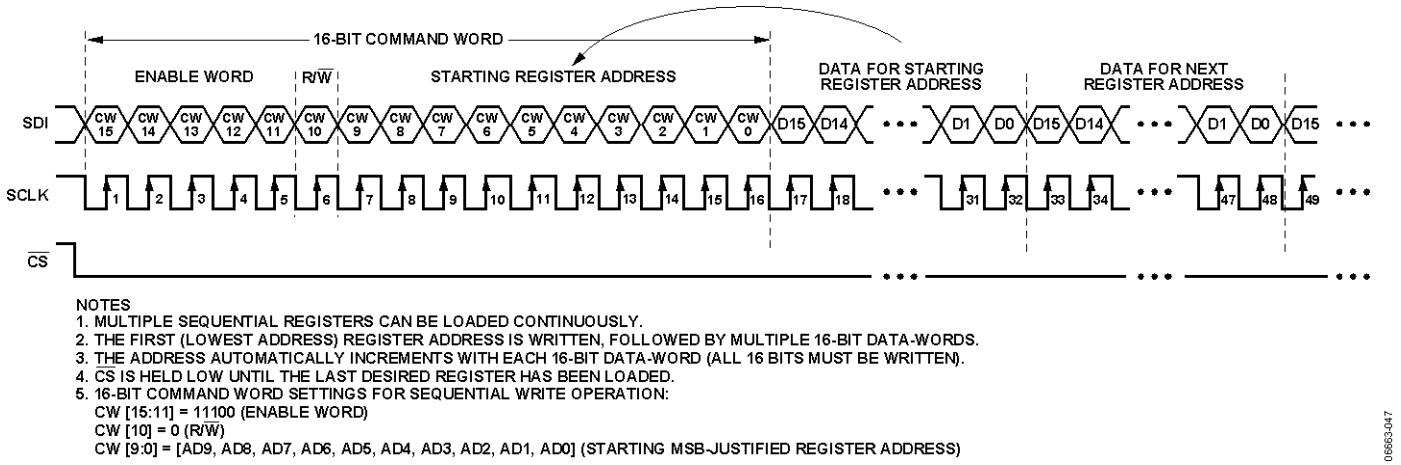
AD7147はSDI ライン上のデータの入力を続け、マスターが $\overline{CS}$ をハイ・レベルにして書き込みトランザクションを終了させるか、またはアドレス・ポインタが最大値に到達すると、入力を終了します。AD7147 のアドレス・ポインタは、ラップ・アラウンドしません。最大値に到達すると、マスターがSDI ライン上に出力したデータはAD7147により無視されます。



NOTES
1. SDI BITS ARE LATCHED ON SCLK RISING EDGES. SCLK CAN IDLE HIGH OR LOW BETWEEN WRITE OPERATIONS.
2. ALL 32 BITS MUST BE WRITTEN: 16 BITS FOR THE CONTROL WORD AND 16 BITS FOR THE DATA.
3. 16-BIT COMMAND WORD SETTINGS FOR SERIAL WRITE OPERATION:
CW [15:11] = 11100 (ENABLE WORD)
CW [10] = 0 (R/$\overline{W}$)
CW [9:0] = [AD9, AD8, AD7, AD6, AD5, AD4, AD3, AD2, AD1, AD0] (10-BIT MSB-JUSTIFIED REGISTER ADDRESS)

06663-046

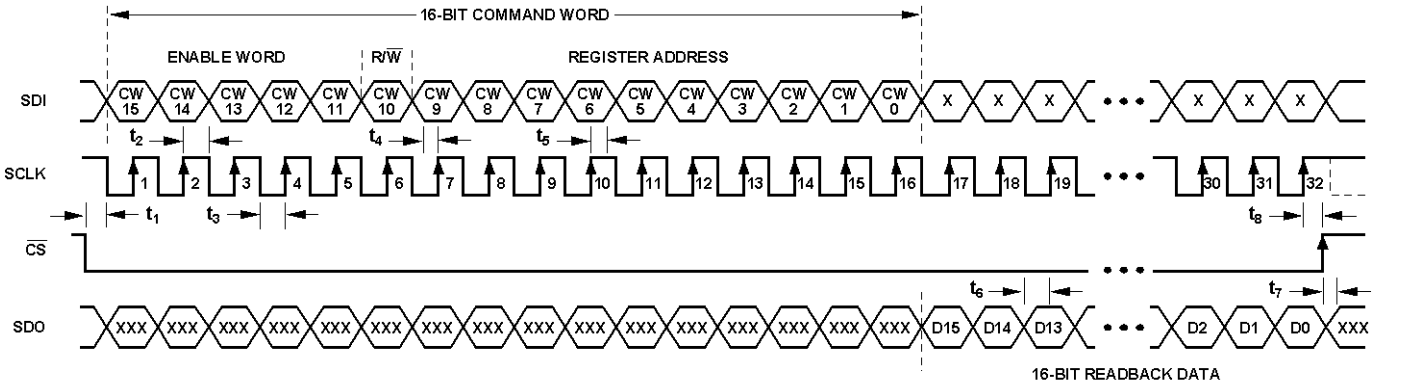
図 48.SPI タイミング—シングル・レジスタ書き込み



NOTES
1. MULTIPLE SEQUENTIAL REGISTERS CAN BE LOADED CONTINUOUSLY.
2. THE FIRST (LOWEST ADDRESS) REGISTER ADDRESS IS WRITTEN, FOLLOWED BY MULTIPLE 16-BIT DATA-WORDS.
3. THE ADDRESS AUTOMATICALLY INCREMENTS WITH EACH 16-BIT DATA-WORD (ALL 16 BITS MUST BE WRITTEN).
4. CS IS HELD LOW UNTIL THE LAST DESIRED REGISTER HAS BEEN LOADED.
5. 16-BIT COMMAND WORD SETTINGS FOR SEQUENTIAL WRITE OPERATION:
   CW [15:11] = 11100 (ENABLE WORD)
   CW [10] = 0 (R/W)
   CW [9:0] = [AD9, AD8, AD7, AD6, AD5, AD4, AD3, AD2, AD1, AD0] (STARTING MSB-JUSTIFIED REGISTER ADDRESS)

06663-047

図 49.SPI タイミング—シーケンシャル・レジスタ書き込み



NOTES
1. SDI BITS ARE LATCHED ON SCLK RISING EDGES. SCLK CAN IDLE HIGH OR LOW BETWEEN WRITE OPERATIONS.
2. THE 16-BIT CONTROL WORD MUST BE WRITTEN ON SDI: 5 BITS FOR ENABLE WORD, 1 BIT FOR R/W, AND 10 BITS FOR REGISTER ADDRESS.
3. THE REGISTER DATA IS READ BACK ON THE SDO PIN.
4. X DENOTES DON'T CARE.
5. XXX DENOTES HIGH IMPEDANCE THREE-STATE OUTPUT.
6. CS IS HELD LOW UNTIL ALL REGISTER BITS HAVE BEEN READ BACK.
7. 16-BIT COMMAND WORD SETTINGS FOR SINGLE READBACK OPERATION:
   CW [15:11] = 11100 (ENABLE WORD)
   CW [10] = 1 (R/W)
   CW [9:0] = [AD9, AD8, AD7, AD6, AD5, AD4, AD3, AD2, AD1, AD0] (10-BIT MSB-JUSTIFIED REGISTER ADDRESS)

06663-048

図 50.SPI タイミング—シングル・レジスタ読み出し

データの読み出し

マスターが読み出しトランザクションを開始するときは、リード/ライト・ビットに 1 を設定して、コマンド・ワードを AD7147 に書き込みます。マスターはその後に読み出し対象データ・ワードあたり 16 個のクロック・パルスを出力し、AD7147 はデータをアドレス指定されたレジスタから SDO ラインへ出力します。先頭のデータ・ワードは、コマンド・ワードの後ろの、SCLK の最初の立ち下がりエッジで出力されます(図 50 参照)。

AD7147 は、マスターがクロック信号を SCLK へ出力するかぎり、SDO ラインへのデータ出力を続けます。読み出しトランザクションは、マスターが CS をハイ・レベルにしたときに終了します。AD7147 のアドレス・ポインタが最大値に到達した場合には、AD7147 はアドレス指定されたレジスタからデータ出力を繰り返します。アドレス・ポインタは、ラップ・アラウンドしません。

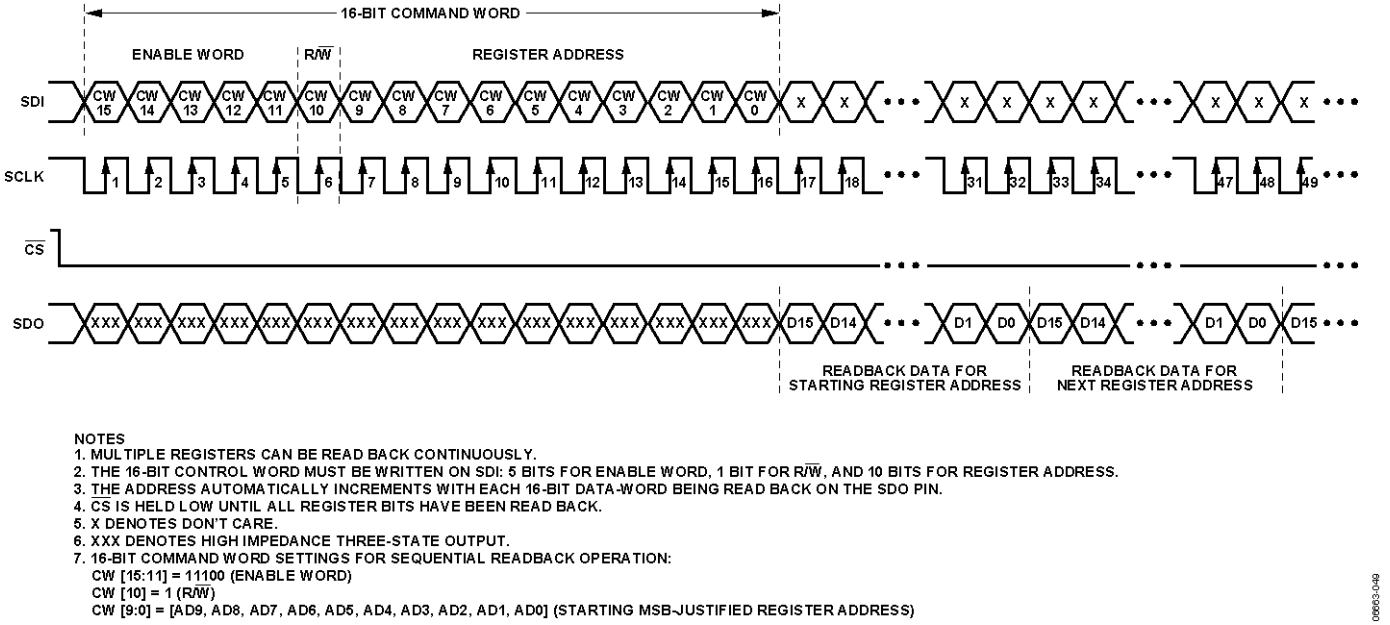


図 51.SPI タイミング—レジスタのシーケンシャル読み出し

I²C 互換インターフェース

AD7147-1 は、業界標準の 2 線式 I²C シリアル・インターフェース・プロトコルをサポートしています。SCLK 入力と SDA 入力は、I²C のタイミングに関係しています。SDA は、レジスタ書き込み動作とレジスタ読み出し動作を可能にする I/O ピンです。AD7147-1 は常に、I²C シリアル インターフェース・バス上ではスレーブ・デバイスであり、 7 ビットのデバイス・アドレス(アドレス 0101 1XX)を持ちます。下位 2 ビットは、ADD0 ピンと ADD1 ピンをハイ・レベルまたはロー・レベルに接続して指定します。AD7147-1 は、マスター・デバイスがバスを介してデバイス・アドレスを送信したときに応答します。 AD7147-1 はバスへのデータ転送を開始することはできません。

表 18.AD7147-1 の I²C デバイス・アドレス

ADD1	ADD0	I²C Address
0	0	0101 100
0	1	0101 101
1	0	0101 110
1	1	0101 111

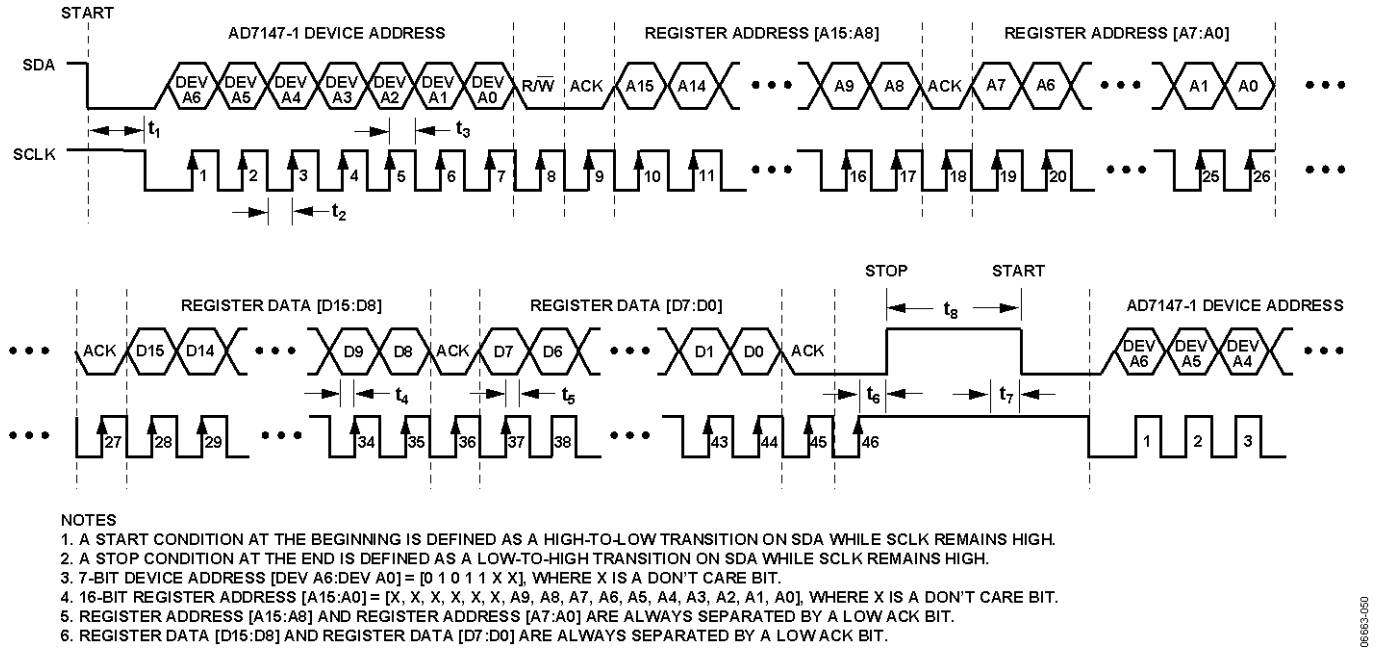
データ転送

データは、I²C シリアル・インターフェースを介して 8 ビット・バイトで転送されます。スタート条件は、シリアル・クロック・ライン SCL がハイ・レベルの間にシリアル・データ・ライン SDA 上に発生するハイ・レベルからロー・レベルへの変化として定義されますが、マスターはこのスタート条件を設定して、データ転送を開始します。このスタート条件は、アドレス/データ・ストリームが後ろに続くことを表示しています。

シリアル・バスに接続された全てのスレーブ・ペリフェラルはスタート条件に対して応答し、それに続く 8 ビットをシフト入力します。この 8 ビットは、7 ビット・アドレス(MSB 先頭)と R/$\overline{W}$ビットで構成されています。この R/$\overline{W}$ビットはデータ転送の方向を指定します。送信されたアドレスに対応するアドレスを持つペリフェラルは、9 番目のクロック・パルス区間中に、データ・ラインをロー・レベルにプルダウンして応答します。これはアクノリッジ・ビット(アック・ビット)と呼ばれています。選択されたデバイスが読み書きの対象となるデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。R/$\overline{W}$ビットが 0 の場合は、マスターがスレーブ・デバイスに対して書き込みを行います。R/$\overline{W}$ビットが 1 の場合は、マスターがスレーブ・デバイスから読み出しを行います。

8 ビットのデータとそれに続くスレーブ・デバイスからのアクノリッジ・ビットが、9 個のクロック・パルスでシリアル・バスに出力されます。クロックがハイ・レベルの間のロー・レベルからハイ・レベルへの変化はストップ信号と解釈されるため、データ・ラインの変化はクロック信号のロー・レベル区間で発生し、ハイ・レベル区間中は安定している必要があります。1 回のリード動作またはライト動作でシリアル・バスに出力できるデータ・バイト数は、マスター・デバイスとスレーブ・デバイスが処理できるバイト数でのみ制限されます。

全データ・バイトの読み出しまたは書き込みが終了すると、ストップ条件が設定されます。ストップ条件は SCLK がハイ・レベルのときの、SDA のロー・レベルからハイ・レベルへの変化として定義されています。AD7147 がストップ条件を検出すると、アイドル状態に戻り、アドレス・ポインタ・レジスタを 0x00 にリセットします。



NOTES
1. A START CONDITION AT THE BEGINNING IS DEFINED AS A HIGH-TO-LOW TRANSITION ON SDA WHILE SCLK REMAINS HIGH.
2. A STOP CONDITION AT THE END IS DEFINED AS A LOW-TO-HIGH TRANSITION ON SDA WHILE SCLK REMAINS HIGH.
3. 7-BIT DEVICE ADDRESS [DEV A6:DEV A0] = [0 1 0 1 1 X X], WHERE X IS A DON'T CARE BIT.
4. 16-BIT REGISTER ADDRESS [A15:A0] = [X, X, X, X, X, X, A9, A8, A7, A6, A5, A4, A3, A2, A1, A0], WHERE X IS A DON'T CARE BIT.
5. REGISTER ADDRESS [A15:A8] AND REGISTER ADDRESS [A7:A0] ARE ALWAYS SEPARATED BY A LOW ACK BIT.
6. REGISTER DATA [D15:D8] AND REGISTER DATA [D7:D0] ARE ALWAYS SEPARATED BY A LOW ACK BIT.

06663-050

図 52.I²C タイミングの例 ―シングル・レジスタ書き込み動作

I²C バス経由のデータ書き込み

I²C バス経由の AD7147-1 に対する書き込みプロセスを図 52 と図 54 に示します。デバイス・アドレスがバスを介して送信され、その後ろに 0 に設定された R/$\overline{W}$ ビットと、書き込み対象の内部データ・レジスタの 10 ビット・アドレスを指定する 2 バイトのデータが続きます。次のビット・マップに、レジスタ・アドレスの上位バイトを示します。上位アドレス・バイトのビット 7 ～ビット 2 は、don't care ビットです。アドレスは、レジスタ・アドレス・バイトの 10 LSB に格納されています。

MSB **LSB**

7	6	5	4	3	2	1	0
X	X	X	X	X	X	Register Address Bit 9	Register Address Bit 8

次のビット・マップに、レジスタ・アドレスの下位バイトを示します。

MSB **LSB**

7	6	5	4	3	2	1	0
Reg Add Bit 7	Reg Add Bit 6	Reg Add Bit 5	Reg Add Bit 4	Reg Add Bit 3	Reg Add Bit 2	Reg Add Bit 1	Reg Add Bit 0

3 番目のデータ・バイトは、内部データ・レジスタに書込まれるデータの上位 8 ビットです。4 番目のデータ・バイトは、内部データ・レジスタに書込まれるデータの下位 8 ビットです。

AD7147-1 のアドレス・ポインタ・レジスタは、各書き込みの後に自動的にインクリメントされます。このため、マスターは同じ書き込みトランザクションで AD7147-1 上のすべてのレジスタをシーケンシャルに書き込むことができます。ただし、アドレス・ポインタ・レジスタは最後のアドレスの後にラップ・アラウンドしません。このため、アドレス・ポインタが最大値に到達した後に AD7147-1 へ書き込まれたすべてのデータは無視されます。

AD7147-1 上のすべてのレジスタは 16 ビットです。連続する 2 つの 8 ビット・データ・バイトは結合されて、16 ビット・レジスタに書き込まれます。誤動作を防止するため、デバイスへのすべての書き込みは、偶数個のデータ・バイトで行う必要があります。

トランザクションを終了するときは、マスターがストップ条件を SDO へ出力するか、マスターがバス制御を維持する場合には繰り返しスタート条件を出力します。

I²C バス経由のデータ読み出し

AD7147-1 から読み出しを行うときは、まず、アドレス・ポインタ・レジスタに対象となる内部レジスタのアドレスを設定します。マスターが書き込みトランザクションを実行し、次に AD7147-1 への書き込みを行ってアドレス・ポインタを設定します。続いて、マスターは繰り返しスタート条件を出力してバス制御を維持するか、またはこれが不可能な場合は、ストップ条件により書き込みトランザクションを終了させます。読み出しトランザクションは、R/$\overline{W}$ ビットを 1 に設定して開始させます。

AD7147-1 は、最初のリードバック・バイトでアドレス指定されたレジスタからのデータの上位 8 ビットを出力し、続いて次のバイトの下位 8 ビットを出力します。この動作を図 53 と図 54 に示します。

各読み出しの後にアドレス・ポインタが自動的にインクリメントされるため、AD7147-1 はリードバック・データの出力を続け、マスターがナックとストップ条件をバスへ出力すると停止します。アドレス・ポインタが最大値に到達しても、マスターがデバイスからの読み出しを続けると、AD7147-1 は直前にアドレス指定されたレジスタからのデータを繰り返し送信します。

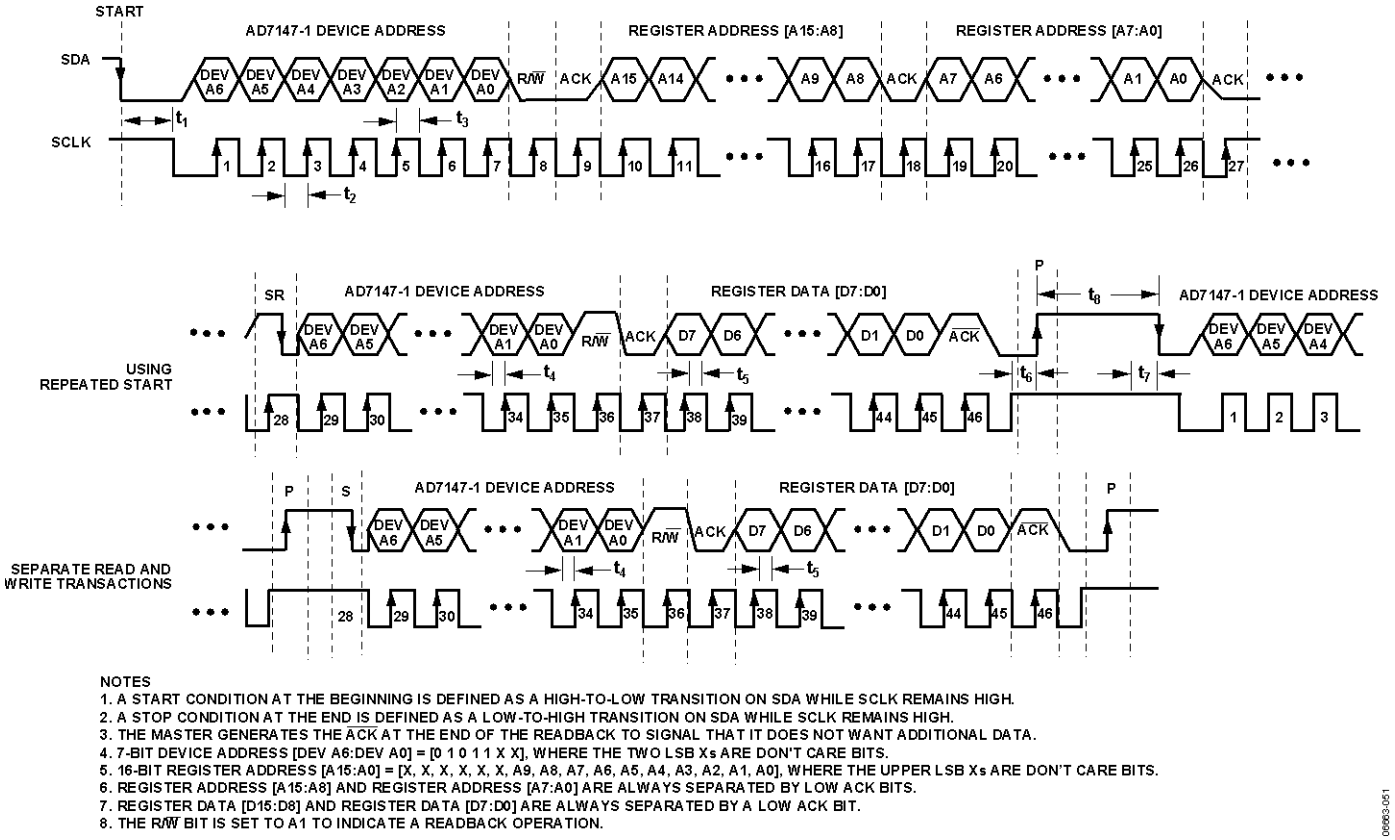


図 53.I²C タイミングの例 ―シングル・レジスタ読み出し動作

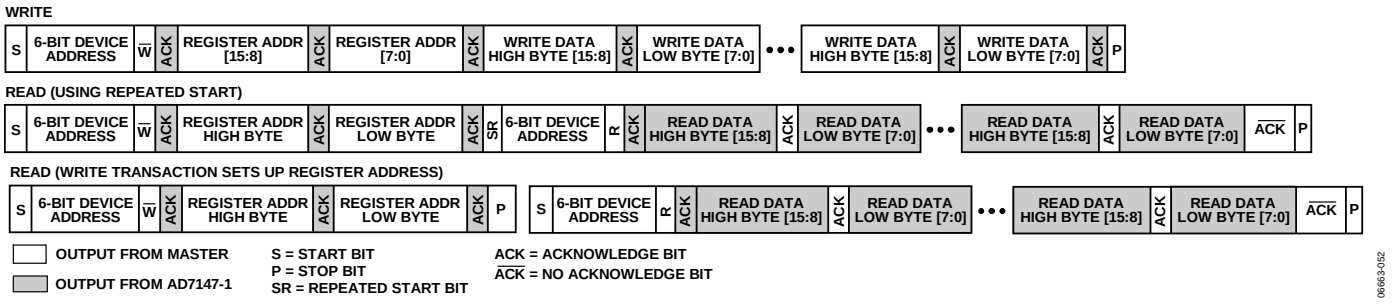


図 54.I²C タイミングの例 ―シーケンシャル書き込みおよび読み出し動作

V_{DRIVE} 入力

I²C と SPI のシリアル・インターフェースに関係する電源電圧ピン (SDO、SDI、SCLK、SDA、$\overline{CS}$、$\overline{INT}$、GPIO) は、 V_{DRIVE} ピンから供給され、メインの V_{CC} 電源から分離されています。

このため、外付けレベル・シフタなしで、AD7147 の最小動作電圧より低いプロセッサの電源電圧へ AD7147 を直接接続することができます。V_{DRIVE} ピンは 1.65 V～V_{CC} の範囲の電源電圧へ接続することができます。

PCBデザインのガイドライン

容量センサー・ボードの機械的仕様

表 19.

Parameter	Symbol	Min	Typ	Max	Unit
Distance from Edge of Any Sensor to Edge of Grounded Metal Object	D_1	0.1			mm
Distance Between Sensor Edges[1]	$D_2 = D_3 = D_4$	0			mm
Distance Between Bottom of Sensor Board and Controller Board or Grounded Metal Casing[2]	D_5		1.0		mm

[1] 距離は、アプリケーションとユーザーの指位置と動きに対するスイッチ相互の相対的な位置に依存します。相互に隙間なく隣接しているセンサーは差動で構成されます。

[2] 1.0 mm の規定は、導体とセンサー・ボードとの直接接触を防止するためのものです。ただし、この規定値はコントローラ・ボードからセンサーへの EMI 結合が発生しないことを保証するものではありません。EMI 結合問題を避けるためには、容量センサー・ボードとメイン・コントローラ・ボードの間をシールドする接地メタルを設けてください (図 57.接地シールドを使用した容量センサー・ボード
)。

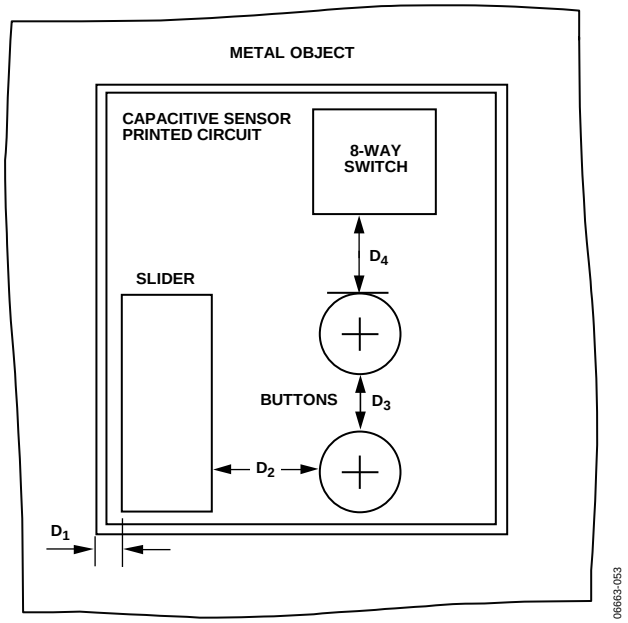


図 55.容量センサー・ボード、上面図

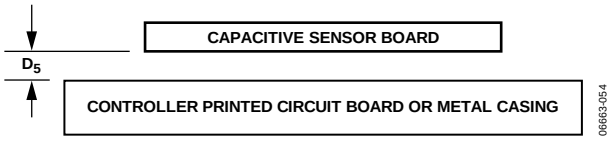


図 56.容量センサー・ボード、側面図

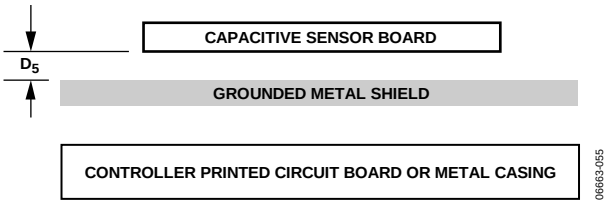


図 57.接地シールドを使用した容量センサー・ボード

チップ・スケール・パッケージ

チップ・スケール・パッケージ (CP-24-3)のランドは長方形です。これらに対するプリント回路ボードのパッドは、パッケージのランド長より 0.1 mm 長く、かつパッケージのランド幅より 0.05 mm 広い必要があります。パッド上でランドを中心に合わせてハンダ接続サイズを大きくしてください。

チップ・スケール・パッケージの底面には、中央にサーマル・パッドがあります。プリント回路ボード上のサーマル・パッドは、少なくともこの露出パッドより大きい必要があります。短絡を防止するため、サーマル・パッドとプリント回路ボード上のランド・パターンの内側エッジとの間に少なくとも 0.25 mm の間隙を設けてください。

サーマル・ビアをプリント回路ボードのサーマル・パッド に使用すると、パッケージの熱性能を向上させることができます。ビアを使用する場合は、1.2 ㎜ ピッチ・グリッドのパッドを使用する必要があります。ビアの直径は 0.3 ㎜～0.33 ㎜ であり、ビア・バレルは 1 oz. の銅でメッキして、ビアを構成する必要があります。

プリント回路ボードのサーマル・パッドは GND へ接続してください。

パワーアップ・シーケンス

最初に AD7147 と µP シリアル・インターフェースを開発する際、AD7147 をパワーアップさせるときは、次のシーケンスを使います。

1. AD7147 の電源をターンオンします。
2. アドレス 0x080～アドレス 0x0DF のバンク 2 レジスタへ書き込みます。これらのレジスタは連続しているため、シーケンシャルな レジスタ書き込みシーケンスを使えます。

   バンク 2 レジスタ値は各アプリケーションに固有であることに注意してください。レジスタ値は、アプリケーション内でのセンサーのキャラクタライゼーションから取得します。キャラクタライゼーション・プロセスは、アナログ・デバイセズが提供している AN-929 アプリケーション・ノートに説明してあります。
3. アドレス 0x000～アドレス 0x007 の バンク 1 レジスタに次の説明のように書き込みを行います。これらのレジスタは連続しているため、シーケンシャルな レジスタ書き込みシーケンスを使えます(図 49 と図 54 参照)。

   注意: この時点で、この連続書き込み動作中、アドレス 0x001 はデフォルト値 0x0000 を維持する必要があります。

   レジスタ値:

   アドレス 0x000 = 0x82B2

   アドレス 0x001 = 0x000

   アドレス 0x002 = 0x3230 (使用する変換ステージ数に依存)

   アドレス 0x003 = 0x419

   アドレス 0x004 = 832

   アドレス 0x005 = 割り込みイネーブル・レジスタ (必要とされる割り込み動作に依存)

   アドレス 0x006 = 割り込みイネーブル・レジスタ (必要とされる割り込み動作に依存)

   アドレス 0x007 = 割り込みイネーブル・レジスタ (必要とされる割り込み動作に依存)
4. バンク 1 レジスタ、アドレス 0x001 = 0x0FFF へ書込みを行います (使用する変換ステージ数に依存)。
5. アドレス 0x008、アドレス 0x009、またはアドレス 0x00A の対応する割り込みステータス・レジスタを読み出します。これは、割り込み出力 のセクションで説明したように、割り込み出力設定により決定されます。

   読み出しが必要なレジスタは、各アプリケーションに依存することに注意してください。ボタンの場合、割り込みステータス・レジスタがリードバックされ、 一方、他のセンサーはスライダまたはホイール・アルゴリズムの要求に従って AD7147 からデータを読み出します。 アナログ・デバイセズは、ユーザーがセンサー・ボードを開発した後にこの情報を提供することができます。
6. $\overline{\text{INT}}$ がアサートされるごとに、ステップ 5 を繰り返します。

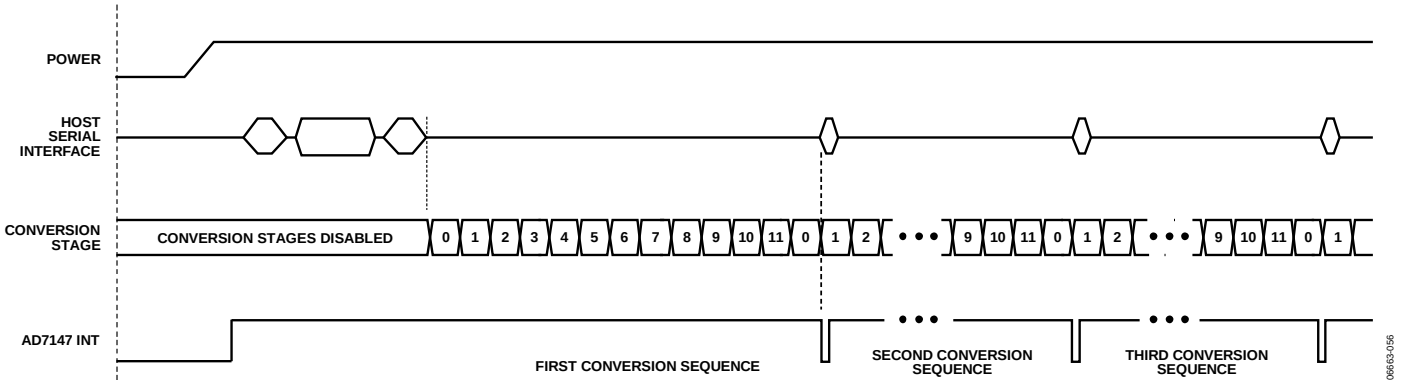


図 58.推奨スタートアップ・シーケンス

代表的なアプリケーション回路

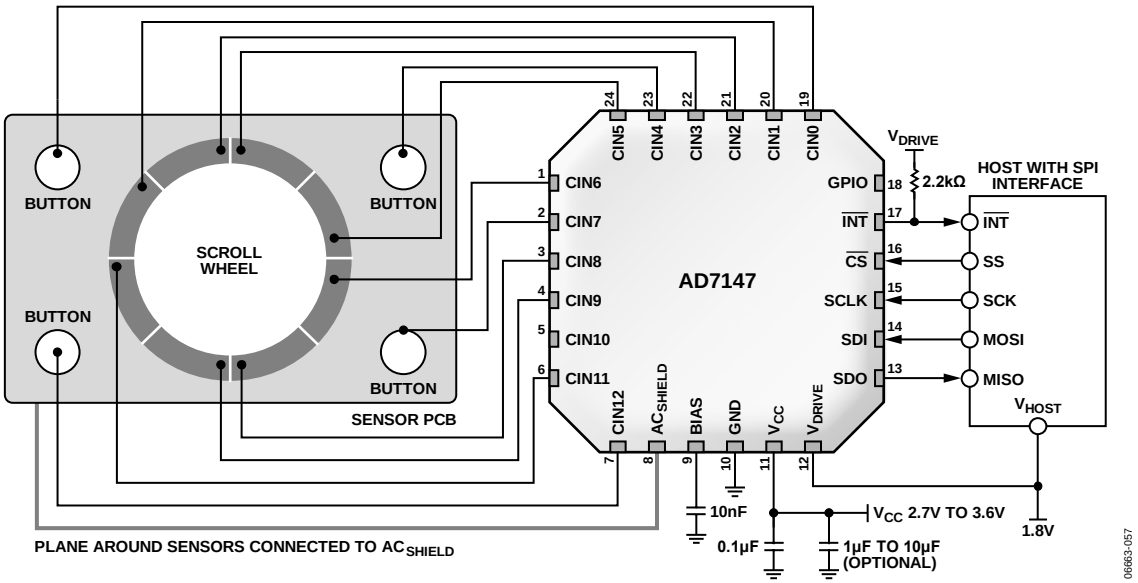


図 59.SPI インターフェースを使用した代表的なアプリケーション回路

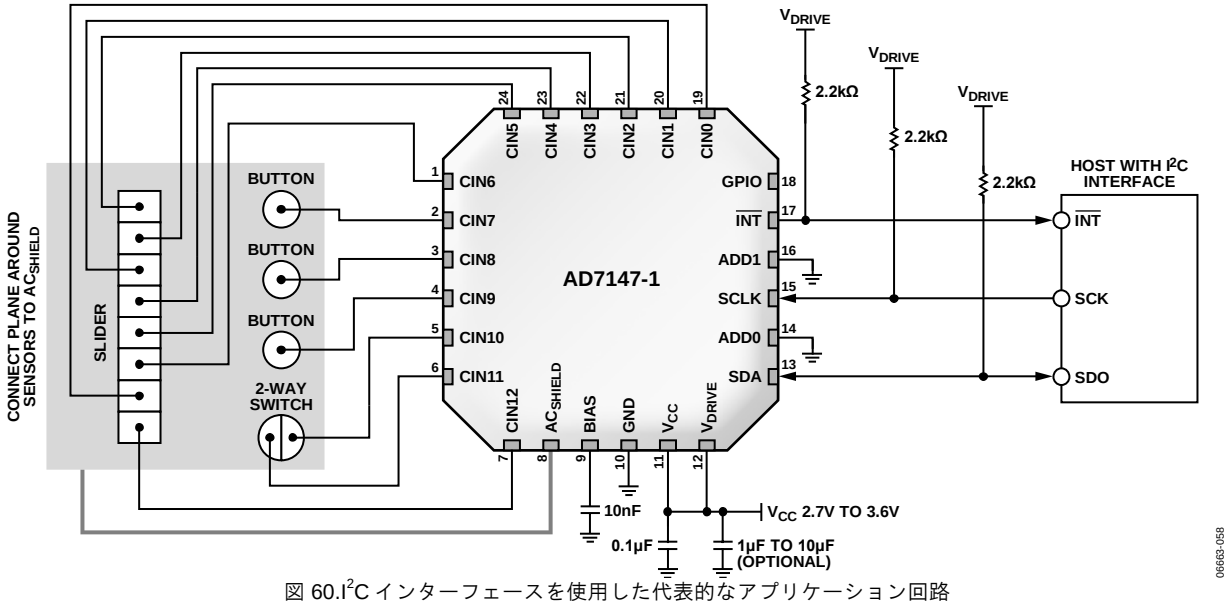


図 60.I^{2}C インターフェースを使用した代表的なアプリケーション回路

レジスタ・マップ

AD7147 のアドレス空間は、バンク 1、バンク 2、バンク 3 と呼ばれる 3 つのレジスタ・バンクに分かれています。 図 61 に、これらのバンクの分割を示します。

バンク 1 レジスタには、コントロール・レジスタ、CDC 変換コントロール・レジスタ、割り込みイネーブル・レジスタ、割り込みステータス・レジスタ、CDC 16 ビット変換データ・レジスタ、デバイス ID レジスタ、近接ステータス・レジスタが含まれます。

バンク 2 レジスタには、各変換ステージの個々の CINx 入力の設定に使われる設定レジスタが含まれます。パワーアップ後直ちにバンク 2 設定レジスタを初期化して、有効な CDC 変換結果データを取得します。

バンク 3 レジスタには、各変換ステージの結果が含まれます。これらのレジスタは、各変換シーケンスの終わりに自動的に更新されます。これらのレジスタは主に AD7147 の内部データ処理機能により使用されますが、必要に応じて外部データ処理機能のためにホスト・プロセッサからアクセスすることができます。

バンク 2 レジスタとバンク 3 レジスタのデフォルト値は、パワーアップ後およびバンク 2 レジスタの設定まで、不定になります。

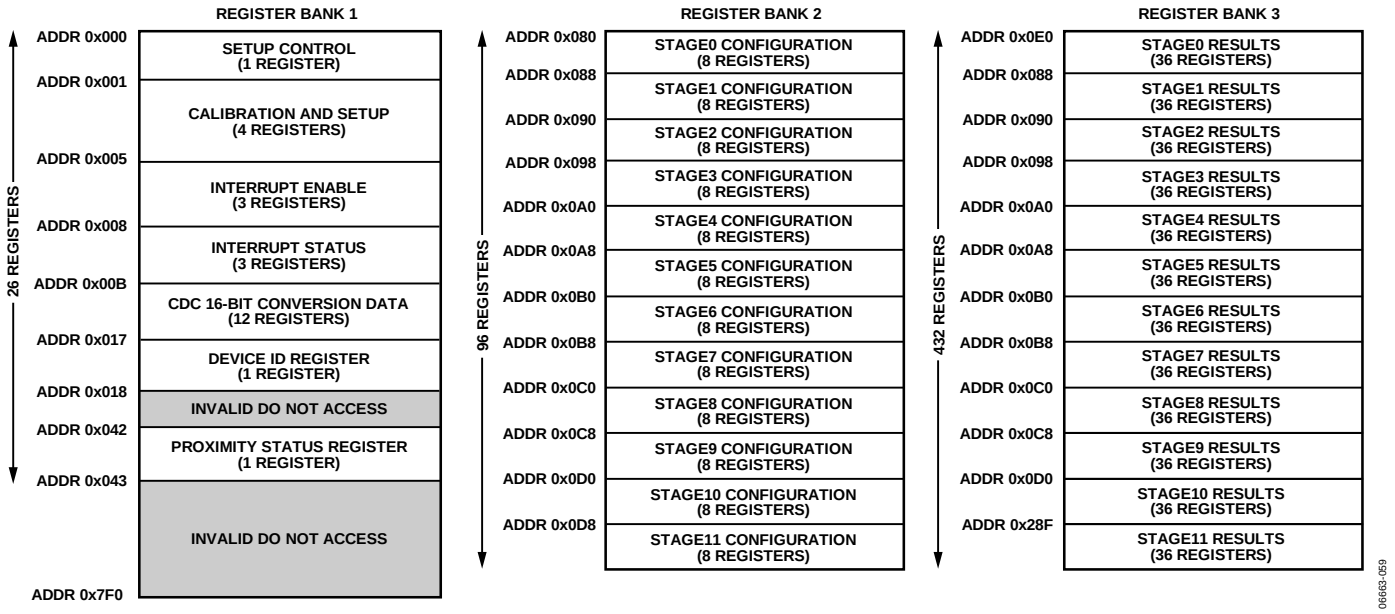


図 61. バンク 1、バンク 2、バンク 3 の各レジスタのレイアウト

レジスタの詳細説明

バンク 1 レジスタ

すべてのアドレス値とデフォルト値は 16 進で表します。

表 20.PWR_CONTROL レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x000	[1:0]	0	R/W	POWER_MODE	Operating modes 00 = full power mode (normal operation, CDC conversions approximately every 36 ms) 01 = full shutdown mode (no CDC conversions) 10 = low power mode (automatic wake-up operation) 11 = full shutdown mode (no CDC conversions)
	[3:2]	0	R/W	LP_CONV_DELAY	Low power mode conversion delay 00 = 200 ms 01 = 400 ms 10 = 600 ms 11 = 800 ms
	[7:4]	0	R/W	SEQUENCE_STAGE_NUM	Number of stages in sequence (N + 1) 0000 = 1 conversion stage in sequence 0001 = 2 conversion stages in sequence …… Maximum value = 1011 = 12 conversion stages per sequence
	[9:8]	0	R/W	DECIMATION	ADC decimation factor 00 = decimate by 256 01 = decimate by 128 10 = decimate by 64 11 = decimate by 64
	[10]	0	R/W	SW_RESET	Software reset control (self-clearing) 1 = resets all registers to default values
	[11]	0	R/W	INT_POL	Interrupt polarity control 0 = active low 1 = active high
	[12]	0	R/W	EXT_SOURCE	Excitation source control 0 = enable excitation source to CINx pins 1 = disable excitation source to CINx pins
	[13]	0		Unused	Set to 0
	[15:14]	0	R/W	CDC_BIAS	CDC bias current control 00 = normal operation 01 = normal operation + 20% 10 = normal operation + 35% 11 = normal operation + 50%

表 21.STAGE_CAL_EN レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x001	[0]	0	R/W	STAGE0_CAL_EN	STAGE0 calibration enable 0 = disable 1 = enable
	[1]	0	R/W	STAGE1_CAL_EN	STAGE1 calibration enable 0 = disable 1 = enable
	[2]	0	R/W	STAGE2_CAL_EN	STAGE2 calibration enable 0 = disable 1 = enable
	[3]	0	R/W	STAGE3_CAL_EN	STAGE3 calibration enable 0 = disable 1 = enable
	[4]	0	R/W	STAGE4_CAL_EN	STAGE4 calibration enable 0 = disable 1 = enable
	[5]	0	R/W	STAGE5_CAL_EN	STAGE5 calibration enable 0 = disable 1 = enable
	[6]	0	R/W	STAGE6_CAL_EN	STAGE6 calibration enable 0 = disable 1 = enable
	[7]	0	R/W	STAGE7_CAL_EN	STAGE7 calibration enable 0 = disable 1 = enable
	[8]	0	R/W	STAGE8_CAL_EN	STAGE8 calibration enable 0 = disable 1 = enable
	[9]	0	R/W	STAGE9_CAL_EN	STAGE9 calibration enable 0 = disable 1 = enable
	[10]	0	R/W	STAGE10_CAL_EN	STAGE10 calibration enable 0 = disable 1 = enable
	[11]	0	R/W	STAGE11_CAL_EN	STAGE11 calibration enable 0 = disable 1 = enable
	[13:12]	0	R/W	AVG_FP_SKIP	Full power mode skip control 00 = skip 3 samples 01 = skip 7 samples 10 = skip 15 samples 11 = skip 31 samples
	[15:14]	0	R/W	AVG_LP_SKIP	Low power mode skip control 00 = use all samples 01 = skip one sample 10 = skip two samples 11 = skip three samples

表 22.AMB_COMP_CTRL0 レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x002	[3:0]	0	R/W	FF_SKIP_CNT	Fast filter skip control (N + 1) 0000 = no sequence of results is skipped 0001 = one sequence of results is skipped for every one allowed into fast FIFO 0010 = two sequences of results are skipped for every one allowed into fast FIFO 1011 = maximum value = 12 sequences of results are skipped for every one allowed into fast FIFO
	[7:4]	F	R/W	FP_PROXIMITY_CNT	Calibration disable period in full power mode = FP_PROXIMITY_CNT × 16 × time for one conversion sequence in full power mode
	[11:8]	F	R/W	LP_PROXIMITY_CNT	Calibration disable period in low power mode = LP_PROXIMITY_CNT × 4 × time for one conversion sequence in low power mode
	[13:12]	0	R/W	PWR_DOWN_TIMEOUT	Full power to low power mode timeout control 00 = 1.25 × (FP_PROXIMITY_CNT) 01 = 1.50 × (FP_PROXIMITY_CNT) 10 = 1.75 × (FP_PROXIMITY_CNT) 11 = 2.00 × (FP_PROXIMITY_CNT)
	[14]	0	R/W	FORCED_CAL	Forced calibration control 0 = normal operation 1 = forces all conversion stages to recalibrate
	[15]	0	R/W	CONV_RESET	Conversion reset control (self-clearing) 0 = normal operation 1 = resets the conversion sequence to STAGE0

表 23.AMB_COMP_CTRL1 レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x003	[7:0]	64	R/W	PROXIMITY_RECAL_LVL	Proximity recalibration level. Value is multiplied by 16 to determine actual recalibration level.
	[13:8]	1	R/W	PROXIMITY_DETECTION_RATE	Proximity detection rate. Value is multiplied by 16 to determine actual detection rate.
	[15:14]	0	R/W	SLOW_FILTER_UPDATE_LVL	Slow filter update level.

表 24.AMB_COMP_CTRL2 レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x004	[9:0]	3FF	R/W	FP_PROXIMITY_RECAL	Full power mode proximity recalibration time control
	[15:10]	3F	R/W	LP_PROXIMITY_RECAL	Low power mode proximity recalibration time control

表 25.STAGE_LOW_INT_ENABLE レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x005	[0]	0	R/W	STAGE0_LOW_INT_ENABLE	STAGE0 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE0 low threshold is exceeded
	[1]	0	R/W	STAGE1_LOW_INT_ENABLE	STAGE1 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE1 low threshold is exceeded
	[2]	0	R/W	STAGE2_LOW_INT_ENABLE	STAGE2 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE2 low threshold is exceeded
	[3]	0	R/W	STAGE3_LOW_INT_ENABLE	STAGE3 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE3 low threshold is exceeded
	[4]	0	R/W	STAGE4_LOW_INT_ENABLE	STAGE4 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE4 low threshold is exceeded
	[5]	0	R/W	STAGE5_LOW_INT_ENABLE	STAGE5 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE5 low threshold is exceeded
	[6]	0	R/W	STAGE6_LOW_INT_ENABLE	STAGE6 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE6 low threshold is exceeded
	[7]	0	R/W	STAGE7_LOW_INT_ENABLE	STAGE7 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE7 low threshold is exceeded
	[8]	0	R/W	STAGE8_LOW_INT_ENABLE	STAGE8 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE8 low threshold is exceeded
	[9]	0	R/W	STAGE9_LOW_INT_ENABLE	STAGE9 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE9 low threshold is exceeded
	[10]	0	R/W	STAGE10_LOW_INT_ENABLE	STAGE10 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE10 low threshold is exceeded
	[11]	0	R/W	STAGE11_LOW_INT_ENABLE	STAGE11 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE11 low threshold is exceeded
	[13:12]	0	R/W	GPIO_SETUP	GPIO setup 00 = disable GPIO pin 01 = configure GPIO as an input 10 = configure GPIO as an active low output 11 = configure GPIO as an active high output
	[15:14]	0	R/W	GPIO_INPUT_CONFIG	GPIO input configuration 00 = triggered on negative level 01 = triggered on positive edge 10 = triggered on negative edge 11 = triggered on positive level

表 26.STAGE_HIGH_INT_ENABLE レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x006	[0]	0	R/W	STAGE0_HIGH_INT_ENABLE	STAGE0 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE0 high threshold is exceeded
	[1]	0	R/W	STAGE1_HIGH_INT_ENABLE	STAGE1 high interrupt enable

Address	Data Bit	Default Value	Type	Name	Description
					0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE1 high threshold is exceeded
	[2]	0	R/W	STAGE2_HIGH_INT_ENABLE	STAGE2 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE2 high threshold is exceeded
	[3]	0	R/W	STAGE3_HIGH_INT_ENABLE	STAGE3 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE3 high threshold is exceeded
	[4]	0	R/W	STAGE4_HIGH_INT_ENABLE	STAGE4 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE4 high threshold is exceeded
	[5]	0	R/W	STAGE5_HIGH_INT_ENABLE	STAGE5 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE5 high threshold is exceeded
	[6]	0	R/W	STAGE6_HIGH_INT_ENABLE	STAGE6 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE6 high threshold is exceeded
	[7]	0	R/W	STAGE7_HIGH_INT_ENABLE	STAGE7 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE7 high threshold is exceeded
	[8]	0	R/W	STAGE8_HIGH_INT_ENABLE	STAGE8 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE8 high threshold is exceeded
	[9]	0	R/W	STAGE9_HIGH_INT_ENABLE	STAGE9 sensor high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE9 high threshold is exceeded
	[10]	0	R/W	STAGE10_HIGH_INT_ENABLE	STAGE10 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE10 high threshold is exceeded
	[11]	0	R/W	STAGE11_HIGH_INT_ENABLE	STAGE11 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE11 high threshold is exceeded
	[15:12]			Unused	Set to 0

表 27.STAGE_COMPLETE_INT_ENABLE レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x007	[0]	0	R/W	STAGE0_COMPLETE_INT_ENABLE	STAGE0 conversion interrupt control 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE0 conversion
	[1]	0	R/W	STAGE1_COMPLETE_INT_ENABLE	STAGE1 conversion interrupt control 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE1 conversion
	[2]	0	R/W	STAGE2_COMPLETE_INT_ENABLE	STAGE2 conversion interrupt control 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE2 conversion
	[3]	0	R/W	STAGE3_COMPLETE_INT_ENABLE	STAGE3 conversion interrupt control 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE3 conversion
	[4]	0	R/W	STAGE4_COMPLETE_INT_ENABLE	STAGE4 conversion interrupt control 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE4 conversion
	[5]	0	R/W	STAGE5_COMPLETE_INT_ENABLE	STAGE5 conversion interrupt control 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE5 conversion
	[6]	0	R/W	STAGE6_COMPLETE_INT_ENABLE	STAGE6 conversion interrupt control 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE6 conversion
	[7]	0	R/W	STAGE7_COMPLETE_INT_ENABLE	STAGE7 conversion interrupt control 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE7 conversion
	[8]	0	R/W	STAGE8_COMPLETE_INT_ENABLE	STAGE8 conversion complete interrupt control 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE8 conversion
	[9]	0	R/W	STAGE9_COMPLETE_INT_ENABLE	STAGE9 conversion interrupt control 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE9 conversion
	[10]	0	R/W	STAGE10_COMPLETE_INT_ENABLE	STAGE10 conversion interrupt control 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE10 conversion
	[11]	0	R/W	STAGE11_COMPLETE_INT_ENABLE	STAGE11 conversion interrupt control 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE11 conversion
	[12]	0	R/W	GPIO_INT_ENABLE	Interrupt control when GPIO input pin changes level 0 = disabled 1 = enabled
	[15:13]			Unused	Set to 0

表 28.STAGE_LOW_INT_STATUS レジスタ[1]

Address	Data Bit	Default Value	Type	Name	Description
0x008	[0]	0	R	STAGE0_LOW_INT_STATUS	STAGE0 CDC conversion low limit interrupt result 1 = indicates STAGE0_LOW_THRESHOLD value was exceeded
	[1]	0	R	STAGE1_LOW_INT_STATUS	STAGE1 CDC conversion low limit interrupt result 1 = indicates STAGE1_LOW_THRESHOLD value was exceeded
	[2]	0	R	STAGE2_LOW_INT_STATUS	STAGE2 CDC conversion low limit interrupt result 1 = indicates STAGE2_LOW_THRESHOLD value was exceeded
	[3]	0	R	STAGE3_LOW_INT_STATUS	STAGE3 CDC conversion low limit interrupt result

Address	Data Bit	Default Value	Type	Name	Description
					1 = indicates STAGE3_LOW_THRESHOLD value was exceeded
	[4]	0	R	STAGE4_LOW_INT_STATUS	STAGE4 CDC conversion low limit interrupt result 1 = indicates STAGE4_LOW_THRESHOLD value was exceeded
	[5]	0	R	STAGE5_LOW_INT_STATUS	STAGE5 CDC conversion low limit interrupt result 1 = indicates STAGE5_LOW_THRESHOLD value was exceeded
	[6]	0	R	STAGE6_LOW_INT_STATUS	STAGE6 CDC conversion low limit interrupt result 1 = indicates STAGE6_LOW_THRESHOLD value was exceeded
	[7]	0	R	STAGE7_LOW_INT_STATUS	STAGE7 CDC conversion low limit interrupt result 1 = indicates STAGE7_LOW_THRESHOLD value was exceeded
	[8]	0	R	STAGE8_LOW_INT_STATUS	STAGE8 CDC conversion low limit interrupt result 1 = indicates STAGE8_LOW_THRESHOLD value was exceeded
	[9]	0	R	STAGE9_LOW_INT_STATUS	STAGE9 CDC conversion low limit interrupt result 1 = indicates STAGE9_LOW_THRESHOLD value was exceeded
	[10]	0	R	STAGE10_LOW_INT_STATUS	STAGE10 CDC Conversion Low Limit Interrupt result 1 = indicates STAGE10_LOW_THRESHOLD value was exceeded
	[11]	0	R	STAGE11_LOW_INT_STATUS	STAGE11 CDC conversion low limit interrupt result 1 = indicates STAGE11_LOW_THRESHOLD value was exceeded
	[15:12]			Unused	Set to 0

[1] 規定値を超えていない場合は、レジスタ読み出しの後に自動的に 0 にクリアされます。

表 29.STAGE_HIGH_INT_STATUS レジスタ[1]

Address	Data Bit	Default Value	Type	Name	Description
0x009	[0]	0	R	STAGE0_HIGH_INT_STATUS	STAGE0 CDC conversion high limit interrupt result 1 = indicates STAGE0_HIGH_THRESHOLD value was exceeded
	[1]	0	R	STAGE1_HIGH_INT_STATUS	STAGE1 CDC conversion high limit interrupt result 1 = indicates STAGE1_HIGH_THRESHOLD value was exceeded
	[2]	0	R	STAGE2_HIGH_INT_STATUS	Stage2 CDC conversion high limit interrupt result 1 = indicates STAGE2_HIGH_THRESHOLD value was exceeded
	[3]	0	R	STAGE3_HIGH_INT_STATUS	STAGE3 CDC conversion high limit interrupt result 1 = indicates STAGE3_HIGH_THRESHOLD value was exceeded
	[4]	0	R	STAGE4_HIGH_INT_STATUS	STAGE4 CDC conversion high limit interrupt result 1 = indicates STAGE4_HIGH_THRESHOLD value was exceeded
	[5]	0	R	STAGE5_HIGH_INT_STATUS	STAGE5 CDC conversion high limit interrupt result 1 = indicates STAGE5_HIGH_THRESHOLD value was exceeded
	[6]	0	R	STAGE6_HIGH_INT_STATUS	STAGE6 CDC conversion high limit interrupt result 1 = indicates STAGE6_HIGH_THRESHOLD value was exceeded
	[7]	0	R	STAGE7_HIGH_INT_STATUS	STAGE7 CDC conversion high limit interrupt result 1 = indicates STAGE7_HIGH_THRESHOLD value was exceeded
	[8]	0	R	STAGE8_HIGH_INT_STATUS	STAGE8 CDC conversion high limit interrupt result

Address	Data Bit	Default Value	Type	Name	Description
					1 = indicates STAGE8_HIGH_THRESHOLD value was exceeded
	[9]	0	R	STAGE9_HIGH_INT_STATUS	STAGE9 CDC conversion high limit interrupt result
					1 = indicates STAGE9_HIGH_THRESHOLD value was exceeded
	[10]	0	R	STAGE10_HIGH_INT_STATUS	STAGE10 CDC conversion high limit interrupt result
					1 = indicates STAGE10_HIGH_THRESHOLD value was exceeded
	[11]	0	R	STAGE11_HIGH_INT_STATUS	STAGE11 CDC conversion high limit interrupt result
					1 = indicates STAGE11_HIGH_THRESHOLD value was exceeded
	[15:12]			Unused	Set to 0

[1] 規定値を超えていない場合は、レジスタ読み出しの後に自動的に 0 にクリアされます。

表 30.STAGE_COMPLETE_INT_STATUS レジスタ[1]

Address	Data Bit	Default Value	Type	Name	Description
0x00A	[0]	0	R	STAGE0_COMPLETE_INT_STATUS	STAGE0 conversion complete register interrupt status
					1 = indicates STAGE0 conversion completed
	[1]	0	R	STAGE1_COMPLETE_INT_STATUS	STAGE1 conversion complete register interrupt status
					1 = indicates STAGE1 conversion completed
	[2]	0	R	STAGE2_COMPLETE_INT_STATUS	STAGE2 conversion complete register interrupt status
					1 = indicates STAGE2 conversion completed
	[3]	0	R	STAGE3_COMPLETE_INT_STATUS	STAGE3 conversion complete register interrupt status
					1 = indicates STAGE3 conversion completed
	[4]	0	R	STAGE4_COMPLETE_INT_STATUS	STAGE4 conversion complete register interrupt status
					1 = indicates STAGE4 conversion completed
	[5]	0	R	STAGE5_COMPLETE_INT_STATUS	STAGE5 conversion complete register interrupt status
					1 = indicates STAGE5 conversion completed
	[6]	0	R	STAGE6_COMPLETE_INT_STATUS	STAGE6 conversion complete register interrupt status
					1 = indicates STAGE6 conversion completed
	[7]	0	R	STAGE7_COMPLETE_INT_STATUS	STAGE7 conversion complete register interrupt status
					1 = indicates STAGE7 conversion completed
	[8]	0	R	STAGE8_COMPLETE_INT_STATUS	STAGE8 conversion complete register interrupt status
					1 = indicates STAGE8 conversion completed
	[9]	0	R	STAGE9_COMPLETE_INT_STATUS	STAGE9 conversion complete register interrupt status
					1 = indicates STAGE9 conversion completed
	[10]	0	R	STAGE10_COMPLETE_INT_STATUS	STAGE10 conversion complete register interrupt status
					1 = indicates STAGE10 conversion completed
	[11]	0	R	STAGE11_COMPLETE_INT_STATUS	STAGE11 conversion complete register interrupt status
					1 = indicates STAGE11 conversion completed
	[12]	0	R	GPIO_INT_STATUS	GPIO input pin status
					1 = indicates level on GPIO pin has changed
	[15:13]			Unused	Set to 0

[1] 規定値を超えていない場合は、レジスタ読み出しの後に自動的に 0 にクリアされます。

表 31.CDC 16 ビット変換データ・レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x00B	[15:0]	0	R	CDC_RESULT_S0	STAGE0 CDC 16-bit conversion data
0x00C	[15:0]	0	R	CDC_RESULT_S1	STAGE1 CDC 16-bit conversion data
0x00D	[15:0]	0	R	CDC_RESULT_S2	STAGE2 CDC 16-bit conversion data
0x00E	[15:0]	0	R	CDC_RESULT_S3	STAGE3 CDC 16-bit conversion data
0x00F	[15:0]	0	R	CDC_RESULT_S4	STAGE4 CDC 16-bit conversion data
0x010	[15:0]	0	R	CDC_RESULT_S5	STAGE5 CDC 16-bit conversion data

Address	Data Bit	Default Value	Type	Name	Description
0x011	[15:0]	0	R	CDC_RESULT_S6	STAGE6 CDC 16-bit conversion data
0x012	[15:0]	0	R	CDC_RESULT_S7	STAGE7 CDC 16-bit conversion data
0x013	[15:0]	0	R	CDC_RESULT_S8	STAGE8 CDC 16-bit conversion data
0x014	[15:0]	0	R	CDC_RESULT_S9	STAGE9 CDC 16-bit conversion data
0x015	[15:0]	0	R	CDC_RESULT_S10	STAGE10 CDC 16-bit conversion data
0x016	[15:0]	0	R	CDC_RESULT_S11	STAGE11 CDC 16-bit conversion data

表 32.デバイス ID レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x017	[3:0]	0	R	REVISION_CODE	Revision code
	[15:4]	147	R	DEVID	Device ID = 0001 0100 0111

表 33.近接ステータス・レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x042	[0]	0	R	STAGE0_PROXIMITY_STATUS	STAGE0 proximity status register 1 = indicates proximity has been detected on STAGE0
	[1]	0	R	STAGE1_PROXIMITY_STATUS	STAGE1 proximity status register 1 = indicates proximity has been detected on STAGE1
	[2]	0	R	STAGE2_PROXIMITY_STATUS	STAGE2 proximity status register 1 = indicates proximity has been detected on STAGE2
	[3]	0	R	STAGE3_PROXIMITY_STATUS	STAGE3 proximity status register 1 = indicates proximity has been detected on STAGE3
	[4]	0	R	STAGE4_PROXIMITY_STATUS	STAGE4 proximity status register 1 = indicates proximity has been detected on STAGE4
	[5]	0	R	STAGE5_PROXIMITY_STATUS	STAGE5 proximity status register 1 = indicates proximity has been detected on STAGE5
	[6]	0	R	STAGE6_PROXIMITY_STATUS	STAGE6 proximity status register 1 = indicates proximity has been detected on STAGE6
	[7]	0	R	STAGE7_PROXIMITY_STATUS	STAGE7 proximity status register 1 = indicates proximity has been detected on STAGE7
	[8]	0	R	STAGE8_PROXIMITY_STATUS	STAGE8 proximity status register 1 = indicates proximity has been detected on STAGE8
	[9]	0	R	STAGE9_PROXIMITY_STATUS	STAGE9 proximity status register 1 = indicates proximity has been detected on STAGE9
	[10]	0	R	STAGE10_PROXIMITY_STATUS	STAGE10 proximity status register 1 = indicates proximity has been detected on STAGE10
	[11]	0	R	STAGE11_PROXIMITY_STATUS	STAGE11 proximity status register 1 = indicates proximity has been detected on STAGE11
	[15:12]			Unused	Set to 0

バンク 2 レジスタ

すべてのアドレス値は 16 進で表します。

表 34.STAGEx_CONNECTION [6:0] レジスタの説明 (x = 0～11)

Data Bit	Default Value	Type	Name	Description
[1:0]	X	R/W	CIN0_CONNECTION_SETUP	CIN0 connection setup 00 = CIN0 not connected to CDC inputs 01 = CIN0 connected to CDC negative input 10 = CIN0 connected to CDC positive input 11 = CIN0 connected to BIAS (connect unused CINx inputs)
[3:2]	X	R/W	CIN1_CONNECTION_SETUP	CIN1 connection setup 00 = CIN1 not connected to CDC inputs 01 = CIN1 connected to CDC negative input 10 = CIN1 connected to CDC positive input 11 = CIN1 connected to BIAS (connect unused CINx inputs)
[5:4]	X	R/W	CIN2_CONNECTION_SETUP	CIN2 connection setup 00 = CIN2 not connected to CDC inputs 01 = CIN2 connected to CDC negative input 10 = CIN2 connected to CDC positive input 11 = CIN2 connected to BIAS (connect unused CINx inputs)
[7:6]	X	R/W	CIN3_CONNECTION_SETUP	CIN3 connection setup 00 = CIN3 not connected to CDC inputs 01 = CIN3 connected to CDC negative input 10 = CIN3 connected to CDC positive input 11 = CIN3 connected to BIAS (connect unused CINx inputs)
[9:8]	X	R/W	CIN4_CONNECTION_SETUP	CIN4 connection setup 00 = CIN4 not connected to CDC inputs 01 = CIN4 connected to CDC negative input 10 = CIN4 connected to CDC positive input 11 = CIN4 connected to BIAS (connect unused CINx inputs)
[11:10]	X	R/W	CIN5_CONNECTION_SETUP	CIN5 connection setup 00 = CIN5 not connected to CDC inputs 01 = CIN5 connected to CDC negative input 10 = CIN5 connected to CDC positive input 11 = CIN5 connected to BIAS (connect unused CINx inputs)
[13:12]	X	R/W	CIN6_CONNECTION_SETUP	CIN6 connection setup 00 = CIN6 not connected to CDC inputs 01 = CIN6 connected to CDC negative input 10 = CIN6 connected to CDC positive input 11 = CIN6 connected to BIAS (connect unused CINx inputs)
[15:14]	X		Unused	Set to 0

表 35.STAGEx_CONNECTION [12:7] レジスタの説明 (x = 0～11)

Data Bit	Default Value	Type	Name	Description
[1:0]	X	R/W	CIN7_CONNECTION_SETUP	CIN7 connection setup 00 = CIN7 not connected to CDC inputs 01 = CIN7 connected to CDC negative input 10 = CIN7 connected to CDC positive input 11 = CIN7 connected to BIAS (connect unused CINx inputs)
[3:2]	X	R/W	CIN8_CONNECTION_SETUP	CIN8 connection setup 00 = CIN8 not connected to CDC inputs 01 = CIN8 connected to CDC negative input 10 = CIN8 connected to CDC positive input 11 = CIN8 connected to BIAS (connect unused CINx inputs)

Data Bit	Default Value	Type	Name	Description
[5:4]	X	R/W	CIN9_CONNECTION_SETUP	CIN9 connection setup 00 = CIN9 not connected to CDC inputs 01 = CIN9 connected to CDC negative input 10 = CIN9 connected to CDC positive input 11 = CIN9 connected to BIAS (connect unused CINx inputs)
[7:6]	X	R/W	CIN10_CONNECTION_SETUP	CIN10 connection setup 00 = CIN10 not connected to CDC inputs 01 = CIN10 connected to CDC negative input 10 = CIN10 connected to CDC positive input 11 = CIN10 connected to BIAS (connect unused CINx inputs)
[9:8]	X	R/W	CIN11_CONNECTION_SETUP	CIN11 connection setup 00 = CIN11 not connected to CDC inputs 01 = CIN11 connected to CDC negative input 10 = CIN11 connected to CDC positive input 11 = CIN11 connected to BIAS (connect unused CINx inputs)
[11:10]	X	R/W	CIN12_CONNECTION_SETUP	CIN12 connection setup 00 = CIN12 not connected to CDC inputs 01 = CIN12 connected to CDC negative input 10 = CIN12 connected to CDC positive input 11 = CIN12 connected to BIAS (connect unused CINx inputs)
[13:12]	X	R/W	SE_CONNECTION_SETUP	Single-ended measurement connection setup. 00 =Do not use 01 = Use when one CINx connected to CDC positive input, single-ended measurements only 10 = Use when one CINx connected to CDC negative input, single-ended measurements only 11 = Differential connection to CDC
[14]	X	R/W	NEG_AFE_OFFSET_DISABLE	Negative AFE offset enable control 0 = enable 1 = disable
[15]	X	R/W	POS_AFE_OFFSET_DISABLE	Positive AFE offset enable control 0 = enable 1 = disable

表 36.STAGEx_AFE_OFFSET レジスタの説明 (x = 0～11)

Data Bit	Default Value	Type	Name	Description
[5:0]	X	R/W	NEG_AFE_OFFSET	Negative AFE offset setting (20 pF range) 1 LSB value = 0.32 pF of offset
[6]	X		Unused	Set to 0
[7]	X	R/W	NEG_AFE_OFFSET_SWAP	Negative AFE offset swap control 0 = NEG_AFE_OFFSET applied to CDC negative input 1 = NEG_AFE_OFFSET applied to CDC positive input
[13:8]	X	R/W	POS_AFE_OFFSET	Positive AFE offset setting (20 pF range) 1 LSB value = 0.32 pF of offset
[14]	X		Unused	Set to 0
[15]	X	R/W	POS_AFE_OFFSET_SWAP	Positive AFE offset swap control 0 = POS_AFE_OFFSET applied to CDC positive input 1 = POS_AFE_OFFSET applied to CDC negative input

表 37.STAGEx_SENSITIVITY レジスタの説明 (x = 0～11)

Data Bit	Default Value	Type	Name	Description
[3:0]	X	R/W	NEG_THRESHOLD_SENSITIVITY	Negative threshold sensitivity control 0000 = 25%, 0001 = 29.73%, 0010 = 34.40%, 0011 = 39.08% 0100 = 43.79%, 0101 = 48.47%, 0110 = 53.15% 0111 = 57.83%, 1000 = 62.51%, 1001 = 67.22% 1010 = 71.90%, 1011 = 76.58%, 1100 = 81.28% 1101 = 85.96%, 1110 = 90.64%, 1111 = 95.32%
[6:4]	X	R/W	NEG_PEAK_DETECT	Negative peak detect setting 000 = 40% level, 001 = 50% level, 010 = 60% level 011 = 70% level, 100 = 80% level, 101 = 90% level
[7]	X	R/W	Unused	Set to 0
[11:8]	X	R/W	POS_THRESHOLD_SENSITIVITY	Positive threshold sensitivity control 0000 = 25%, 0001 = 29.73%, 0010 = 34.40%, 0011 = 39.08% 0100 = 43.79%, 0101 = 48.47%, 0110 = 53.15% 0111 = 57.83%, 1000 = 62.51%, 1001 = 67.22% 1010 = 71.90%, 1011 = 76.58%, 1100 = 81.28% 1101 = 85.96%, 1110 = 90.64%, 1111 = 95.32%
[14:12]	X	R/W	POS_PEAK_DETECT	Positive peak detect setting 000 = 40% level, 001 = 50% level, 010 = 60% level 011 = 70% level, 100 = 80% level, 101 = 90% level
[15]	X	R/W	Unused	Set to 0

表 38.ステージ 0～ステージ 12 の設定レジスタ

Address	Data Bit	Default	Type	Name	Description
0x080	[15:0]	X	R/W	STAGE0_CONNECTION [6:0]	STAGE0 CIN [6:0] connection setup (see 表 34)
0x081	[15:0]	X	R/W	STAGE0_CONNECTION [12:7]	STAGE0 CIN [12:7] connection setup (see 表 35)
0x082	[15:0]	X	R/W	STAGE0_AFE_OFFSET	STAGE0 AFE offset control (see 表 36)
0x083	[15:0]	X	R/W	STAGE0_SENSITIVITY	STAGE0 sensitivity control (see 表 37)
0x084	[15:0]	X	R/W	STAGE0_OFFSET_LOW	STAGE0 initial offset low value
0x085	[15:0]	X	R/W	STAGE0_OFFSET_HIGH	STAGE0 initial offset high value
0x086	[15:0]	X	R/W	STAGE0_OFFSET_HIGH_CLAMP	STAGE0 offset high clamp value
0x087	[15:0]	X	R/W	STAGE0_ OFFSET_LOW_CLAMP	STAGE0 offset low clamp value
0x088	[15:0]	X	R/W	STAGE1_CONNECTION [6:0]	STAGE1 CIN [6:0] connection setup (see 表 34)
0x089	[15:0]	X	R/W	STAGE1_CONNECTION [12:7]	STAGE1 CIN [12:7] connection setup (see 表 35)
0x08A	[15:0]	X	R/W	STAGE1_AFE_OFFSET	STAGE1 AFE offset control (see 表 36)
0x08B	[15:0]	X	R/W	STAGE1_SENSITIVITY	STAGE1 sensitivity control (see 表 37)
0x08C	[15:0]	X	R/W	STAGE1_OFFSET_LOW	STAGE1 initial offset low value
0x08D	[15:0]	X	R/W	STAGE1_OFFSET_HIGH	STAGE1 initial offset high value
0x08E	[15:0]	X	R/W	STAGE1_OFFSET_HIGH_CLAMP	STAGE1 offset high clamp value
0x08F	[15:0]	X	R/W	STAGE1_OFFSET_LOW_CLAMP	STAGE1 offset low clamp value
0x090	[15:0]	X	R/W	STAGE2_CONNECTION [6:0]	STAGE2 CIN [6:0] connection setup (see 表 34)
0x091	[15:0]	X	R/W	STAGE2_CONNECTION [12:7]	STAGE2 CIN [12:7] connection setup (see 表 35)
0x092	[15:0]	X	R/W	STAGE2_AFE_OFFSET	STAGE2 AFE offset control (see 表 36)
0x093	[15:0]	X	R/W	STAGE2_SENSITIVITY	STAGE2 sensitivity control (see 表 37)
0x094	[15:0]	X	R/W	STAGE2_OFFSET_LOW	STAGE2 initial offset low value
0x095	[15:0]	X	R/W	STAGE2_OFFSET_HIGH	STAGE2 initial offset high value
0x096	[15:0]	X	R/W	STAGE2_OFFSET_HIGH_CLAMP	STAGE2 offset high clamp value
0x097	[15:0]	X	R/W	STAGE2_OFFSET_LOW_CLAMP	STAGE2 offset low clamp value
0x098	[15:0]	X	R/W	STAGE3_CONNECTION [6:0]	STAGE3 CIN [6:0] connection setup (see 表 34
0x099	[15:0]	X	R/W	STAGE3_CONNECTION [12:7]	STAGE3 CIN [12:7] connection setup (see 表 35)
0x09A	[15:0]	X	R/W	STAGE3_AFE_OFFSET	STAGE3 AFE offset control (see 表 36)
0x09B	[15:0]	X	R/W	STAGE3_SENSITIVITY	STAGE3 sensitivity control (see 表 37)
0x09C	[15:0]	X	R/W	STAGE3_OFFSET_LOW	STAGE3 initial offset low value
0x09D	[15:0]	X	R/W	STAGE3_OFFSET_HIGH	STAGE3 initial offset high value
0x09E	[15:0]	X	R/W	STAGE3_OFFSET_HIGH_CLAMP	STAGE3 offset high clamp value
0x09F	[15:0]	X	R/W	STAGE3_OFFSET_LOW_CLAMP	STAGE3 offset low clamp value
0x0A0	[15:0]	X	R/W	STAGE4_CONNECTION [6:0]	STAGE4 CIN [6:0] connection setup (see 表 34)
0x0A1	[15:0]	X	R/W	STAGE4_CONNECTION [12:7]	STAGE4 CIN [12:7] connection setup (see 表 35)
0x0A2	[15:0]	X	R/W	STAGE4_AFE_OFFSET	STAGE4 AFE offset control (see 表 36)
0x0A3	[15:0]	X	R/W	STAGE4_SENSITIVITY	STAGE4 sensitivity control (see 表 37)
0x0A4	[15:0]	X	R/W	STAGE4_OFFSET_LOW	STAGE4 initial offset low value
0x0A5	[15:0]	X	R/W	STAGE4_OFFSET_HIGH	STAGE4 initial offset high value
0x0A6	[15:0]	X	R/W	STAGE4_OFFSET_HIGH_CLAMP	STAGE4 offset high clamp value
0x0A7	[15:0]	X	R/W	STAGE4_OFFSET_LOW_CLAMP	STAGE4 offset low clamp value
0x0A8	[15:0]	X	R/W	STAGE5_CONNECTION [6:0]	STAGE5 CIN [6:0] connection setup (see 表 34)
0x0A9	[15:0]	X	R/W	STAGE5_CONNECTION [12:7]	STAGE5 CIN [12:7] connection setup (see 表 35)
0x0AA	[15:0]	X	R/W	STAGE5_AFE_OFFSET	STAGE5 AFE offset control (see 表 36)
0x0AB	[15:0]	X	R/W	STAGE5_SENSITIVITY	STAGE5 sensitivity control (see 表 37)
0x0AC	[15:0]	X	R/W	STAGE5_OFFSET_LOW	STAGE5 initial offset low value
0x0AD	[15:0]	X	R/W	STAGE5_OFFSET_HIGH	STAGE5 initial offset high value
0x0AE	[15:0]	X	R/W	STAGE5_OFFSET_HIGH_CLAMP	STAGE5 offset high clamp value
0x0AF	[15:0]	X	R/W	STAGE5_OFFSET_LOW_CLAMP	STAGE5 offset low clamp value
0x0B0	[15:0]	X	R/W	STAGE6_CONNECTION [6:0]	STAGE6 CIN [6:0] connection setup (see 表 34)
0x0B1	[15:0]	X	R/W	STAGE6_CONNECTION [12:7]	STAGE6 CIN [12:7]connection setup (see 表 35)
0x0B2	[15:0]	X	R/W	STAGE6_AFE_OFFSET	STAGE6 AFE offset control (see 表 36)
0x0B3	[15:0]	X	R/W	STAGE6_SENSITIVITY	STAGE6 sensitivity control (see 表 37)
0x0B4	[15:0]	X	R/W	STAGE6_OFFSET_LOW	STAGE6 initial offset low value

Address	Data Bit	Default	Type	Name	Description
0x0B5	[15:0]	X	R/W	STAGE6_OFFSET_HIGH	STAGE6 initial offset high value
0x0B6	[15:0]	X	R/W	STAGE6_OFFSET_HIGH_CLAMP	STAGE6 offset high clamp value
0x0B7	[15:0]	X	R/W	STAGE6_OFFSET_LOW_CLAMP	STAGE6 offset low clamp value
0x0B8	[15:0]	X	R/W	STAGE7_CONNECTION [6:0]	STAGE7 CIN [6:0] connection setup (see 表 34)
0x0B9	[15:0]	X	R/W	STAGE7_CONNECTION[12:7]	STAGE7 CIN [12:7] connection setup (see 表 35)
0x0BA	[15:0]	X	R/W	STAGE7_AFE_OFFSET	STAGE7 AFE offset control (see 表 36)
0x0BB	[15:0]	X	R/W	STAGE7_SENSITIVITY	STAGE7 sensitivity control (see 表 37)
0x0BC	[15:0]	X	R/W	STAGE7_OFFSET_LOW	STAGE7 initial offset low value
0x0BD	[15:0]	X	R/W	STAGE7_OFFSET_HIGH	STAGE7 initial offset high value
0x0BE	[15:0]	X	R/W	STAGE7_OFFSET_HIGH_CLAMP	STAGE7 offset high clamp value
0x0BF	[15:0]	X	R/W	STAGE7_OFFSET_LOW_CLAMP	STAGE7 offset low clamp value
0x0C0	[15:0]	X	R/W	STAGE8_CONNECTION [6:0]	STAGE8 CIN [6:0] connection setup (see 表 34)
0x0C1	[15:0]	X	R/W	STAGE8_CONNECTION [12:7]	STAGE8 CIN [12:7]connection setup (see 表 35)
0x0C2	[15:0]	X	R/W	STAGE8_AFE_OFFSET	STAGE8 AFE offset control (see 表 36)
0x0C3	[15:0]	X	R/W	STAGE8_SENSITIVITY	STAGE8 sensitivity control (see 表 37)
0x0C4	[15:0]	X	R/W	STAGE8_OFFSET_LOW	STAGE8 initial offset low value
0x0C5	[15:0]	X	R/W	STAGE8_OFFSET_HIGH	STAGE8 initial offset high value
0x0C6	[15:0]	X	R/W	STAGE8_OFFSET_HIGH_CLAMP	STAGE8 offset high clamp value
0x0C7	[15:0]	X	R/W	STAGE8_OFFSET_LOW_CLAMP	STAGE8 offset low clamp value
0x0C8	[15:0]	X	R/W	STAGE9_CONNECTION [6:0]	STAGE9 CIN [6:0] connection setup (see 表 34)
0x0C9	[15:0]	X	R/W	STAGE9_CONNECTION [12:7]	STAGE9 CIN [12:7]connection setup (see 表 35)
0x0CA	[15:0]	X	R/W	STAGE9_AFE_OFFSET	STAGE9 AFE offset control (see 表 36)
0x0CB	[15:0]	X	R/W	STAGE9_SENSITIVITY	STAGE9 sensitivity control (see 表 37)
0x0CC	[15:0]	X	R/W	STAGE9_OFFSET_LOW	STAGE9 initial offset low value
0x0CD	[15:0]	X	R/W	STAGE9_OFFSET_HIGH	STAGE9 initial offset high value
0x0CE	[15:0]	X	R/W	STAGE9_OFFSET_HIGH_CLAMP	STAGE9 offset high clamp value
0x0CF	[15:0]	X	R/W	STAGE9_OFFSET_LOW_CLAMP	STAGE9 offset low clamp value
0x0D0	[15:0]	X	R/W	STAGE10_CONNECTION [6:0]	STAGE10 CIN [6:0] connection setup (see 表 34)
0x0D1	[15:0]	X	R/W	STAGE10_CONNECTION [12:7]	STAGE10 CIN [12:7]connection setup (see 表 35)
0x0D2	[15:0]	X	R/W	STAGE10_AFE_OFFSET	STAGE10 AFE offset control (see 表 36)
0x0D3	[15:0]	X	R/W	STAGE10_SENSITIVITY	STAGE10 sensitivity control (see 表 37)
0x0D4	[15:0]	X	R/W	STAGE10_OFFSET_LOW	STAGE10 initial offset low value
0x0D5	[15:0]	X	R/W	STAGE10_OFFSET_HIGH	STAGE10 initial offset high value
0x0D6	[15:0]	X	R/W	STAGE10_OFFSET_HIGH_CLAMP	STAGE10 offset high clamp value
0x0D7	[15:0]	X	R/W	STAGE10_OFFSET_LOW_CLAMP	STAGE10 offset low clamp value
0x0D8	[15:0]	X	R/W	STAGE11_CONNECTION [6:0]	STAGE11 CIN [6:0] connection setup (see 表 34)
0x0D9	[15:0]	X	R/W	STAGE11_CONNECTION[12:7]	STAGE11 CIN [12:7] connection setup (see 表 35)
0x0DA	[15:0]	X	R/W	STAGE11_AFE_OFFSET	STAGE11 AFE offset control (see 表 36)
0x0DB	[15:0]	X	R/W	STAGE11_SENSITIVITY	STAGE11 sensitivity control (see 表 37)
0x0DC	[15:0]	X	R/W	STAGE11_OFFSET_LOW	STAGE11 initial offset low value
0x0DD	[15:0]	X	R/W	STAGE11_OFFSET_HIGH	STAGE11 initial offset high value
0x0DE	[15:0]	X	R/W	STAGE11_OFFSET_HIGH_CLAMP	STAGE11 offset high clamp value
0x0DF	[15:0]	X	R/W	STAGE11_OFFSET_LOW_CLAMP	STAGE11 offset low clamp value

バンク 3 レジスタ

すべてのアドレス値は 16 進で表します。

表 39.ステージ 0 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x0E0	[15:0]	X	R/W	STAGE0_CONV_DATA	STAGE0 CDC 16-bit conversion data (copy of CDC_RESULT_S0 register)
0x0E1	[15:0]	X	R/W	STAGE0_FF_WORD0	STAGE0 fast FIFO WORD0
0x0E2	[15:0]	X	R/W	STAGE0_FF_WORD1	STAGE0 fast FIFO WORD1
0x0E3	[15:0]	X	R/W	STAGE0_FF_WORD2	STAGE0 fast FIFO WORD2
0x0E4	[15:0]	X	R/W	STAGE0_FF_WORD3	STAGE0 fast FIFO WORD3
0x0E5	[15:0]	X	R/W	STAGE0_FF_WORD4	STAGE0 fast FIFO WORD4
0x0E6	[15:0]	X	R/W	STAGE0_FF_WORD5	STAGE0 fast FIFO WORD5
0x0E7	[15:0]	X	R/W	STAGE0_FF_WORD6	STAGE0 fast FIFO WORD6
0x0E8	[15:0]	X	R/W	STAGE0_FF_WORD7	STAGE0 fast FIFO WORD7
0x0E9	[15:0]	X	R/W	STAGE0_SF_WORD0	STAGE0 slow FIFO WORD0
0x0EA	[15:0]	X	R/W	STAGE0_SF_WORD1	STAGE0 slow FIFO WORD1
0x0EB	[15:0]	X	R/W	STAGE0_SF_WORD2	STAGE0 slow FIFO WORD2
0x0EC	[15:0]	X	R/W	STAGE0_SF_WORD3	STAGE0 slow FIFO WORD3
0x0ED	[15:0]	X	R/W	STAGE0_SF_WORD4	STAGE0 slow FIFO WORD4
0x0EE	[15:0]	X	R/W	STAGE0_SF_WORD5	STAGE0 slow FIFO WORD5
0x0EF	[15:0]	X	R/W	STAGE0_SF_WORD6	STAGE0 slow FIFO WORD6
0x0F0	[15:0]	X	R/W	STAGE0_SF_WORD7	STAGE0 slow FIFO WORD7
0x0F1	[15:0]	X	R/W	STAGE0_SF_AMBIENT	STAGE0 slow FIFO ambient value
0x0F2	[15:0]	X	R/W	STAGE0_FF_AVG	STAGE0 fast FIFO average value
0x0F3	[15:0]	X	R/W	STAGE0_PEAK_DETECT_WORD0	STAGE0 peak FIFO WORD0 value
0x0F4	[15:0]	X	R/W	STAGE0_PEAK_DETECT_WORD1	STAGE0 peak FIFO WORD1 value
0x0F5	[15:0]	X	R/W	STAGE0_MAX_WORD0	STAGE0 maximum value FIFO WORD0
0x0F6	[15:0]	X	R/W	STAGE0_MAX_WORD1	STAGE0 maximum value FIFO WORD1
0x0F7	[15:0]	X	R/W	STAGE0_MAX_WORD2	STAGE0 maximum value FIFO WORD2
0x0F8	[15:0]	X	R/W	STAGE0_MAX_WORD3	STAGE0 maximum value FIFO WORD3
0x0F9	[15:0]	X	R/W	STAGE0_MAX_AVG	STAGE0 average maximum FIFO value
0x0FA	[15:0]	X	R/W	STAGE0_HIGH_THRESHOLD	STAGE0 high threshold value
0x0FB	[15:0]	X	R/W	STAGE0_MAX_TEMP	STAGE0 temporary maximum value
0x0FC	[15:0]	X	R/W	STAGE0_MIN_WORD0	STAGE0 minimum value FIFO WORD0
0x0FD	[15:0]	X	R/W	STAGE0_MIN_WORD1	STAGE0 minimum value FIFO WORD1
0x0FE	[15:0]	X	R/W	STAGE0_MIN_WORD2	STAGE0 minimum value FIFO WORD2
0x0FF	[15:0]	X	R/W	STAGE0_MIN_WORD3	STAGE0 minimum value FIFO WORD3
0x100	[15:0]	X	R/W	STAGE0_MIN_AVG	STAGE0 average minimum FIFO value
0x101	[15:0]	X	R/W	STAGE0_LOW_THRESHOLD	STAGE0 low threshold value
0x102	[15:0]	X	R/W	STAGE0_MIN_TEMP	STAGE0 temporary minimum value
0x103	[15:0]	X	R/W	Unused	Set to 0

表 40.ステージ 1 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x104	[15:0]	X	R/W	STAGE1_CONV_DATA	STAGE1 CDC 16-bit conversion data (copy of CDC_RESULT_S1 register
0x105	[15:0]	X	R/W	STAGE1_FF_WORD0	STAGE1 fast FIFO WORD0
0x106	[15:0]	X	R/W	STAGE1_FF_WORD1	STAGE1 fast FIFO WORD1
0x107	[15:0]	X	R/W	STAGE1_FF_WORD2	STAGE1 fast FIFO WORD2
0x108	[15:0]	X	R/W	STAGE1_FF_WORD3	STAGE1 fast FIFO WORD3
0x109	[15:0]	X	R/W	STAGE1_FF_WORD4	STAGE1 fast FIFO WORD4
0x10A	[15:0]	X	R/W	STAGE1_FF_WORD5	STAGE1 fast FIFO WORD5
0x10B	[15:0]	X	R/W	STAGE1_FF_WORD6	STAGE1 fast FIFO WORD6
0x10C	[15:0]	X	R/W	STAGE1_FF_WORD7	STAGE1 fast FIFO WORD7
0x10D	[15:0]	X	R/W	STAGE1_SF_WORD0	STAGE1 slow FIFO WORD0
0x10E	[15:0]	X	R/W	STAGE1_SF_WORD1	STAGE1 slow FIFO WORD1
0x10F	[15:0]	X	R/W	STAGE1_SF_WORD2	STAGE1 slow FIFO WORD2
0x110	[15:0]	X	R/W	STAGE1_SF_WORD3	STAGE1 slow FIFO WORD3
0x111	[15:0]	X	R/W	STAGE1_SF_WORD4	STAGE1 slow FIFO WORD4
0x112	[15:0]	X	R/W	STAGE1_SF_WORD5	STAGE1 slow FIFO WORD5
0x113	[15:0]	X	R/W	STAGE1_SF_WORD6	STAGE1 slow FIFO WORD6
0x114	[15:0]	X	R/W	STAGE1_SF_WORD7	STAGE1 slow FIFO WORD7
0x115	[15:0]	X	R/W	STAGE1_SF_AMBIENT	STAGE1 slow FIFO ambient value
0x116	[15:0]	X	R/W	STAGE1_FF_AVG	STAGE1 fast FIFO average value
0x117	[15:0]	X	R/W	STAGE1_PEAK_DETECT_WORD0	STAGE1 peak FIFO WORD0 value
0x118	[15:0]	X	R/W	STAGE1_PEAK_DETECT_WORD1	STAGE1 peak FIFO WORD1 value
0x119	[15:0]	X	R/W	STAGE1_MAX_WORD0	STAGE1 maximum value FIFO WORD0
0x11A	[15:0]	X	R/W	STAGE1_MAX_WORD1	STAGE1 maximum value FIFO WORD1
0x11B	[15:0]	X	R/W	STAGE1_MAX_WORD2	STAGE1 maximum value FIFO WORD2
0x11C	[15:0]	X	R/W	STAGE1_MAX_WORD3	STAGE1 maximum value FIFO WORD3
0x11D	[15:0]	X	R/W	STAGE1_MAX_AVG	STAGE1 average maximum FIFO value
0x11E	[15:0]	X	R/W	STAGE1_HIGH_THRESHOLD	STAGE1 high threshold value
0x11F	[15:0]	X	R/W	STAGE1_MAX_TEMP	STAGE1 temporary maximum value
0x120	[15:0]	X	R/W	STAGE1_MIN_WORD0	STAGE1 minimum value FIFO WORD0
0x121	[15:0]	X	R/W	STAGE1_MIN_WORD1	STAGE1 minimum value FIFO WORD1
0x122	[15:0]	X	R/W	STAGE1_MIN_WORD2	STAGE1 minimum value FIFO WORD2
0x123	[15:0]	X	R/W	STAGE1_MIN_WORD3	STAGE1 minimum value FIFO WORD3
0x124	[15:0]	X	R/W	STAGE1_MIN_AVG	STAGE1 average minimum FIFO value
0x125	[15:0]	X	R/W	STAGE1_LOW_THRESHOLD	STAGE1 low threshold value
0x126	[15:0]	X	R/W	STAGE1_MIN_TEMP	STAGE1 temporary minimum value
0x127	[15:0]	X	R/W	Unused	Set to 0

表 41.ステージ 2 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x128	[15:0]	X	R/W	STAGE2_CONV_DATA	STAGE2 CDC 16-bit conversion data (copy of CDC_RESULT_S2 register)
0x129	[15:0]	X	R/W	STAGE2_FF_WORD0	STAGE2 fast FIFO WORD0
0x12A	[15:0]	X	R/W	STAGE2_FF_WORD1	STAGE2 fast FIFO WORD1
0x12B	[15:0]	X	R/W	STAGE2_FF_WORD2	STAGE2 fast FIFO WORD2
0x12C	[15:0]	X	R/W	STAGE2_FF_WORD3	STAGE2 fast FIFO WORD3
0x12D	[15:0]	X	R/W	STAGE2_FF_WORD4	STAGE2 fast FIFO WORD4
0x12E	[15:0]	X	R/W	STAGE2_FF_WORD5	STAGE2 fast FIFO WORD5
0x12F	[15:0]	X	R/W	STAGE2_FF_WORD6	STAGE2 fast FIFO WORD6
0x130	[15:0]	X	R/W	STAGE2_FF_WORD7	STAGE2 fast FIFO WORD7
0x131	[15:0]	X	R/W	STAGE2_SF_WORD0	STAGE2 slow FIFO WORD0
0x132	[15:0]	X	R/W	STAGE2_SF_WORD1	STAGE2 slow FIFO WORD1
0x133	[15:0]	X	R/W	STAGE2_SF_WORD2	STAGE2 slow FIFO WORD2
0x134	[15:0]	X	R/W	STAGE2_SF_WORD3	STAGE2 slow FIFO WORD3
0x135	[15:0]	X	R/W	STAGE2_SF_WORD4	STAGE2 slow FIFO WORD4
0x136	[15:0]	X	R/W	STAGE2_SF_WORD5	STAGE2 slow FIFO WORD5
0x137	[15:0]	X	R/W	STAGE2_SF_WORD6	STAGE2 slow FIFO WORD6
0x138	[15:0]	X	R/W	STAGE2_SF_WORD7	STAGE2 slow FIFO WORD7
0x139	[15:0]	X	R/W	STAGE2_SF_AMBIENT	STAGE2 slow FIFO ambient value
0x13A	[15:0]	X	R/W	STAGE2_FF_AVG	STAGE2 fast FIFO average value
0x13B	[15:0]	X	R/W	STAGE2_PEAK_DETECT_WORD0	STAGE2 peak FIFO WORD0 value
0x13C	[15:0]	X	R/W	STAGE2_PEAK_DETECT_WORD1	STAGE2 peak FIFO WORD1 value
0x13D	[15:0]	X	R/W	STAGE2_MAX_WORD0	STAGE2 maximum value FIFO WORD0
0x13E	[15:0]	X	R/W	STAGE2_MAX_WORD1	STAGE2 maximum value FIFO WORD1
0x13F	[15:0]	X	R/W	STAGE2_MAX_WORD2	STAGE2 maximum value FIFO WORD2
0x140	[15:0]	X	R/W	STAGE2_MAX_WORD3	STAGE2 maximum value FIFO WORD3
0x141	[15:0]	X	R/W	STAGE2_MAX_AVG	STAGE2 average maximum FIFO value
0x142	[15:0]	X	R/W	STAGE2_HIGH_THRESHOLD	STAGE2 high threshold value
0x143	[15:0]	X	R/W	STAGE2_MAX_TEMP	STAGE2 temporary maximum value
0x144	[15:0]	X	R/W	STAGE2_MIN_WORD0	STAGE2 minimum value FIFO WORD0
0x145	[15:0]	X	R/W	STAGE2_MIN_WORD1	STAGE2 minimum value FIFO WORD1
0x146	[15:0]	X	R/W	STAGE2_MIN_WORD2	STAGE2 minimum value FIFO WORD2
0x147	[15:0]	X	R/W	STAGE2_MIN_WORD3	STAGE2 minimum value FIFO WORD3
0x148	[15:0]	X	R/W	STAGE2_MIN_AVG	STAGE2 average minimum FIFO value
0x149	[15:0]	X	R/W	STAGE2_LOW_THRESHOLD	STAGE2 low threshold value
0x14A	[15:0]	X	R/W	STAGE2_MIN_TEMP	STAGE2 temporary minimum value
0x14B	[15:0]	X	R/W	Unused	Set to 0

表 42.ステージ 3 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x14C	[15:0]	X	R/W	STAGE3_CONV_DATA	STAGE3 CDC 16-bit conversion data (copy of CDC_RESULT_S3 register)
0x14D	[15:0]	X	R/W	STAGE3_FF_WORD0	STAGE3 fast FIFO WORD0
0x14E	[15:0]	X	R/W	STAGE3_FF_WORD1	STAGE3 fast FIFO WORD1
0x14F	[15:0]	X	R/W	STAGE3_FF_WORD2	STAGE3 fast FIFO WORD2
0x150	[15:0]	X	R/W	STAGE3_FF_WORD3	STAGE3 fast FIFO WORD3
0x151	[15:0]	X	R/W	STAGE3_FF_WORD4	STAGE3 fast FIFO WORD4
0x152	[15:0]	X	R/W	STAGE3_FF_WORD5	STAGE3 fast FIFO WORD5
0x153	[15:0]	X	R/W	STAGE3_FF_WORD6	STAGE3 fast FIFO WORD6
0x154	[15:0]	X	R/W	STAGE3_FF_WORD7	STAGE3 fast FIFO WORD7
0x155	[15:0]	X	R/W	STAGE3_SF_WORD0	STAGE3 slow FIFO WORD0
0x156	[15:0]	X	R/W	STAGE3_SF_WORD1	STAGE3 slow FIFO WORD1
0x157	[15:0]	X	R/W	STAGE3_SF_WORD2	STAGE3 slow FIFO WORD2
0x158	[15:0]	X	R/W	STAGE3_SF_WORD3	STAGE3 slow FIFO WORD3
0x159	[15:0]	X	R/W	STAGE3_SF_WORD4	STAGE3 slow FIFO WORD4
0x15A	[15:0]	X	R/W	STAGE3_SF_WORD5	STAGE3 slow FIFO WORD5
0x15B	[15:0]	X	R/W	STAGE3_SF_WORD6	STAGE3 slow FIFO WORD6
0x15C	[15:0]	X	R/W	STAGE3_SF_WORD7	STAGE3 slow FIFO WORD7
0x15D	[15:0]	X	R/W	STAGE3_SF_AMBIENT	STAGE3 slow FIFO ambient value
0x15E	[15:0]	X	R/W	STAGE3_FF_AVG	STAGE3 fast FIFO average value
0x15F	[15:0]	X	R/W	STAGE3_PEAK_DETECT_WORD0	STAGE3 peak FIFO WORD0 value
0x160	[15:0]	X	R/W	STAGE3_PEAK_DETECT_WORD1	STAGE3 peak FIFO WORD1 value
0x161	[15:0]	X	R/W	STAGE3_MAX_WORD0	STAGE3 maximum value FIFO WORD0
0x162	[15:0]	X	R/W	STAGE3_MAX_WORD1	STAGE3 maximum value FIFO WORD1
0x163	[15:0]	X	R/W	STAGE3_MAX_WORD2	STAGE3 maximum value FIFO WORD2
0x164	[15:0]	X	R/W	STAGE3_MAX_WORD3	STAGE3 maximum value FIFO WORD3
0x165	[15:0]	X	R/W	STAGE3_MAX_AVG	STAGE3 average maximum FIFO value
0x166	[15:0]	X	R/W	STAGE3_HIGH_THRESHOLD	STAGE3 high threshold value
0x167	[15:0]	X	R/W	STAGE3_MAX_TEMP	STAGE3 temporary maximum value
0x168	[15:0]	X	R/W	STAGE3_MIN_WORD0	STAGE3 minimum value FIFO WORD0
0x169	[15:0]	X	R/W	STAGE3_MIN_WORD1	STAGE3 minimum value FIFO WORD1
0x16A	[15:0]	X	R/W	STAGE3_MIN_WORD2	STAGE3 minimum value FIFO WORD2
0x16B	[15:0]	X	R/W	STAGE3_MIN_WORD3	STAGE3 minimum value FIFO WORD3
0x16C	[15:0]	X	R/W	STAGE3_MIN_AVG	STAGE3 average minimum FIFO value
0x16D	[15:0]	X	R/W	STAGE3_LOW_THRESHOLD	STAGE3 low threshold value
0x16E	[15:0]	X	R/W	STAGE3_MIN_TEMP	STAGE3 temporary minimum value
0x16F	[15:0]	X	R/W	Unused	Set to 0

表 43.ステージ 4 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x170	[15:0]	X	R/W	STAGE4_CONV_DATA	STAGE4 CDC 16-bit conversion data (copy of CDC_RESULT_S4 register)
0x171	[15:0]	X	R/W	STAGE4_FF_WORD0	STAGE4 fast FIFO WORD0
0x172	[15:0]	X	R/W	STAGE4_FF_WORD1	STAGE4 fast FIFO WORD1
0x173	[15:0]	X	R/W	STAGE4_FF_WORD2	STAGE4 fast FIFO WORD2
0x174	[15:0]	X	R/W	STAGE4_FF_WORD3	STAGE4 fast FIFO WORD3
0x175	[15:0]	X	R/W	STAGE4_FF_WORD4	STAGE4 fast FIFO WORD4
0x176	[15:0]	X	R/W	STAGE4_FF_WORD5	STAGE4 fast FIFO WORD5
0x177	[15:0]	X	R/W	STAGE4_FF_WORD6	STAGE4 fast FIFO WORD6
0x178	[15:0]	X	R/W	STAGE4_FF_WORD7	STAGE4 fast FIFO WORD7
0x179	[15:0]	X	R/W	STAGE4_SF_WORD0	STAGE4 slow FIFO WORD0
0x17A	[15:0]	X	R/W	STAGE4_SF_WORD1	STAGE4 slow FIFO WORD1
0x17B	[15:0]	X	R/W	STAGE4_SF_WORD2	STAGE4 slow FIFO WORD2
0x17C	[15:0]	X	R/W	STAGE4_SF_WORD3	STAGE4 slow FIFO WORD3
0x17D	[15:0]	X	R/W	STAGE4_SF_WORD4	STAGE4 slow FIFO WORD4
0x17E	[15:0]	X	R/W	STAGE4_SF_WORD5	STAGE4 slow FIFO WORD5
0x17F	[15:0]	X	R/W	STAGE4_SF_WORD6	STAGE4 slow FIFO WORD6
0x180	[15:0]	X	R/W	STAGE4_SF_WORD7	STAGE4 slow FIFO WORD7
0x181	[15:0]	X	R/W	STAGE4_SF_AMBIENT	STAGE4 slow FIFO ambient value
0x182	[15:0]	X	R/W	STAGE4_FF_AVG	STAGE4 fast FIFO average value
0x183	[15:0]	X	R/W	STAGE4_PEAK_DETECT_WORD0	STAGE4 peak FIFO WORD0 value
0x184	[15:0]	X	R/W	STAGE4_PEAK_DETECT_WORD1	STAGE4 peak FIFO WORD1 value
0x185	[15:0]	X	R/W	STAGE4_MAX_WORD0	STAGE4 maximum value FIFO WORD0
0x186	[15:0]	X	R/W	STAGE4_MAX_WORD1	STAGE4 maximum value FIFO WORD1
0x187	[15:0]	X	R/W	STAGE4_MAX_WORD2	STAGE4 maximum value FIFO WORD2
0x188	[15:0]	X	R/W	STAGE4_MAX_WORD3	STAGE4 maximum value FIFO WORD3
0x189	[15:0]	X	R/W	STAGE4_MAX_AVG	STAGE4 average maximum FIFO value
0x18A	[15:0]	X	R/W	STAGE4_HIGH_THRESHOLD	STAGE4 high threshold value
0x18B	[15:0]	X	R/W	STAGE4_MAX_TEMP	STAGE4 temporary maximum value
0x18C	[15:0]	X	R/W	STAGE4_MIN_WORD0	STAGE4 minimum value FIFO WORD0
0x18D	[15:0]	X	R/W	STAGE4_MIN_WORD1	STAGE4 minimum value FIFO WORD1
0x18E	[15:0]	X	R/W	STAGE4_MIN_WORD2	STAGE4 minimum value FIFO WORD2
0x18F	[15:0]	X	R/W	STAGE4_MIN_WORD3	STAGE4 minimum value FIFO WORD3
0x190	[15:0]	X	R/W	STAGE4_MIN_AVG	STAGE4 average minimum FIFO value
0x191	[15:0]	X	R/W	STAGE4_LOW_THRESHOLD	STAGE4 low threshold value
0x192	[15:0]	X	R/W	STAGE4_MIN_TEMP	STAGE4 temporary minimum value
0x193	[15:0]	X	R/W	Unused	Set to 0

表 44.ステージ 5 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x194	[15:0]	X	R/W	STAGE5_CONV_DATA	STAGE5 CDC 16-bit conversion data (copy of CDC_RESULT_S5 register)
0x195	[15:0]	X	R/W	STAGE5_FF_WORD0	STAGE5 fast FIFO WORD0
0x196	[15:0]	X	R/W	STAGE5_FF_WORD1	STAGE5 fast FIFO WORD1
0x197	[15:0]	X	R/W	STAGE5_FF_WORD2	STAGE5 fast FIFO WORD2
0x198	[15:0]	X	R/W	STAGE5_FF_WORD3	STAGE5 fast FIFO WORD3
0x199	[15:0]	X	R/W	STAGE5_FF_WORD4	STAGE5 fast FIFO WORD4
0x19A	[15:0]	X	R/W	STAGE5_FF_WORD5	STAGE5 fast FIFO WORD5
0x19B	[15:0]	X	R/W	STAGE5_FF_WORD6	STAGE5 fast FIFO WORD6
0x19C	[15:0]	X	R/W	STAGE5_FF_WORD7	STAGE5 fast FIFO WORD7
0x19D	[15:0]	X	R/W	STAGE5_SF_WORD0	STAGE5 slow FIFO WORD0
0x19E	[15:0]	X	R/W	STAGE5_SF_WORD1	STAGE5 slow FIFO WORD1
0x19F	[15:0]	X	R/W	STAGE5_SF_WORD2	STAGE5 slow FIFO WORD2
0x1A0	[15:0]	X	R/W	STAGE5_SF_WORD3	STAGE5 slow FIFO WORD3
0x1A1	[15:0]	X	R/W	STAGE5_SF_WORD4	STAGE5 slow FIFO WORD4
0x1A2	[15:0]	X	R/W	STAGE5_SF_WORD5	STAGE5 slow FIFO WORD5
0x1A3	[15:0]	X	R/W	STAGE5_SF_WORD6	STAGE5 slow FIFO WORD6
0x1A4	[15:0]	X	R/W	STAGE5_SF_WORD7	STAGE5 slow FIFO WORD7
0x1A5	[15:0]	X	R/W	STAGE5_SF_AMBIENT	STAGE5 slow FIFO ambient value
0x1A6	[15:0]	X	R/W	STAGE5_FF_AVG	STAGE5 fast FIFO average value
0x1A7	[15:0]	X	R/W	STAGE5_PEAK_DETECT_WORD0	STAGE5 peak FIFO WORD0 value
0x1A8	[15:0]	X	R/W	STAGE5_PEAK_DETECT_WORD1	STAGE5 peak FIFO WORD1 value
0x1A9	[15:0]	X	R/W	STAGE5_MAX_WORD0	STAGE5 maximum value FIFO WORD0
0x1AA	[15:0]	X	R/W	STAGE5_MAX_WORD1	STAGE5 maximum value FIFO WORD1
0x1AB	[15:0]	X	R/W	STAGE5_MAX_WORD2	STAGE5 maximum value FIFO WORD2
0x1AC	[15:0]	X	R/W	STAGE5_MAX_WORD3	STAGE5 maximum value FIFO WORD3
0x1AD	[15:0]	X	R/W	STAGE5_MAX_AVG	STAGE5 average maximum FIFO value
0x1AE	[15:0]	X	R/W	STAGE5_HIGH_THRESHOLD	STAGE5 high threshold value
0x1AF	[15:0]	X	R/W	STAGE5_MAX_TEMP	STAGE5 temporary maximum value
0x1B0	[15:0]	X	R/W	STAGE5_MIN_WORD0	STAGE5 minimum value FIFO WORD0
0x1B1	[15:0]	X	R/W	STAGE5_MIN_WORD1	STAGE5 minimum value FIFO WORD1
0x1B2	[15:0]	X	R/W	STAGE5_MIN_WORD2	STAGE5 minimum value FIFO WORD2
0x1B3	[15:0]	X	R/W	STAGE5_MIN_WORD3	STAGE5 minimum value FIFO WORD3
0x1B4	[15:0]	X	R/W	STAGE5_MIN_AVG	STAGE5 average minimum FIFO value
0x1B5	[15:0]	X	R/W	STAGE5_LOW_THRESHOLD	STAGE5 low threshold value
0x1B6	[15:0]	X	R/W	STAGE5_MIN_TEMP	STAGE5 temporary minimum value
0x1B7	[15:0]	X	R/W	Unused	Set to 0

表 45.ステージ 6 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x1B8	[15:0]	X	R/W	STAGE6_CONV_DATA	STAGE6 CDC 16-bit conversion data (copy of CDC_RESULT_S6 register)
0x1B9	[15:0]	X	R/W	STAGE6_FF_WORD0	STAGE6 fast FIFO WORD0
0x1BA	[15:0]	X	R/W	STAGE6_FF_WORD1	STAGE6 fast FIFO WORD1
0x1BB	[15:0]	X	R/W	STAGE6_FF_WORD2	STAGE6 fast FIFO WORD2
0x1BC	[15:0]	X	R/W	STAGE6_FF_WORD3	STAGE6 fast FIFO WORD3
0x1BD	[15:0]	X	R/W	STAGE6_FF_WORD4	STAGE6 fast FIFO WORD4
0x1BE	[15:0]	X	R/W	STAGE6_FF_WORD5	STAGE6 fast FIFO WORD5
0x1BF	[15:0]	X	R/W	STAGE6_FF_WORD6	STAGE6 fast FIFO WORD6
0x1C0	[15:0]	X	R/W	STAGE6_FF_WORD7	STAGE6 fast FIFO WORD7
0x1C1	[15:0]	X	R/W	STAGE6_SF_WORD0	STAGE6 slow FIFO WORD0
0x1C2	[15:0]	X	R/W	STAGE6_SF_WORD1	STAGE6 slow FIFO WORD1
0x1C3	[15:0]	X	R/W	STAGE6_SF_WORD2	STAGE6 slow FIFO WORD2
0x1C4	[15:0]	X	R/W	STAGE6_SF_WORD3	STAGE6 slow FIFO WORD3
0x1C5	[15:0]	X	R/W	STAGE6_SF_WORD4	STAGE6 slow FIFO WORD4
0x1C6	[15:0]	X	R/W	STAGE6_SF_WORD5	STAGE6 slow FIFO WORD5
0x1C7	[15:0]	X	R/W	STAGE6_SF_WORD6	STAGE6 slow FIFO WORD6
0x1C8	[15:0]	X	R/W	STAGE6_SF_WORD7	STAGE6 slow FIFO WORD7
0x1C9	[15:0]	X	R/W	STAGE6_SF_AMBIENT	STAGE6 slow FIFO ambient value
0x1CA	[15:0]	X	R/W	STAGE6_FF_AVG	STAGE6 fast FIFO average value
0x1CB	[15:0]	X	R/W	STAGE6_PEAK_DETECT_WORD0	STAGE6 peak FIFO WORD0 value
0x1CC	[15:0]	X	R/W	STAGE6_PEAK_DETECT_WORD1	STAGE6 peak FIFO WORD1 value
0x1CD	[15:0]	X	R/W	STAGE6_MAX_WORD0	STAGE6 maximum value FIFO WORD0
0x1CE	[15:0]	X	R/W	STAGE6_MAX_WORD1	STAGE6 maximum value FIFO WORD1
0x1CF	[15:0]	X	R/W	STAGE6_MAX_WORD2	STAGE6 maximum value FIFO WORD2
0x1D0	[15:0]	X	R/W	STAGE6_MAX_WORD3	STAGE6 maximum value FIFO WORD3
0x1D1	[15:0]	X	R/W	STAGE6_MAX_AVG	STAGE6 average maximum FIFO value
0x1D2	[15:0]	X	R/W	STAGE6_HIGH_THRESHOLD	STAGE6 high threshold value
0x1D3	[15:0]	X	R/W	STAGE6_MAX_TEMP	STAGE6 temporary maximum value
0x1D4	[15:0]	X	R/W	STAGE6_MIN_WORD0	STAGE6 minimum value FIFO WORD0
0x1D5	[15:0]	X	R/W	STAGE6_MIN_WORD1	STAGE6 minimum value FIFO WORD1
0x1D6	[15:0]	X	R/W	STAGE6_MIN_WORD2	STAGE6 minimum value FIFO WORD2
0x1D7	[15:0]	X	R/W	STAGE6_MIN_WORD3	STAGE6 minimum value FIFO WORD3
0x1D8	[15:0]	X	R/W	STAGE6_MIN_AVG	STAGE6 average minimum FIFO value
0x1D9	[15:0]	X	R/W	STAGE6_LOW_THRESHOLD	STAGE6 low threshold value
0x1DA	[15:0]	X	R/W	STAGE6_MIN_TEMP	STAGE6 temporary minimum value
0x1DB	[15:0]	X	R/W	Unused	Set to 0

表 46.ステージ 7 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x1DC	[15:0]	X	R/W	STAGE7_CONV_DATA	STAGE7 CDC 16-bit conversion data (copy of CDC_RESULT_S7 register)
0x1DD	[15:0]	X	R/W	STAGE7_FF_WORD0	STAGE7 fast FIFO WORD0
0x1DE	[15:0]	X	R/W	STAGE7_FF_WORD1	STAGE7 fast FIFO WORD1
0x1DF	[15:0]	X	R/W	STAGE7_FF_WORD2	STAGE7 fast FIFO WORD2
0x1E0	[15:0]	X	R/W	STAGE7_FF_WORD3	STAGE7 fast FIFO WORD3
0x1E1	[15:0]	X	R/W	STAGE7_FF_WORD4	STAGE7 fast FIFO WORD4
0x1E2	[15:0]	X	R/W	STAGE7_FF_WORD5	STAGE7 fast FIFO WORD5
0x1E3	[15:0]	X	R/W	STAGE7_FF_WORD6	STAGE7 fast FIFO WORD6
0x1E4	[15:0]	X	R/W	STAGE7_FF_WORD7	STAGE7 fast FIFO WORD7
0x1E5	[15:0]	X	R/W	STAGE7_SF_WORD0	STAGE7 slow FIFO WORD0
0x1E6	[15:0]	X	R/W	STAGE7_SF_WORD1	STAGE7 slow FIFO WORD1
0x1E7	[15:0]	X	R/W	STAGE7_SF_WORD2	STAGE7 slow FIFO WORD2
0x1E8	[15:0]	X	R/W	STAGE7_SF_WORD3	STAGE7 slow FIFO WORD3
0x1E9	[15:0]	X	R/W	STAGE7_SF_WORD4	STAGE7 slow FIFO WORD4
0x1EA	[15:0]	X	R/W	STAGE7_SF_WORD5	STAGE7 slow FIFO WORD5
0x1EB	[15:0]	X	R/W	STAGE7_SF_WORD6	STAGE7 slow FIFO WORD6
0x1EC	[15:0]	X	R/W	STAGE7_SF_WORD7	STAGE7 slow FIFO WORD7
0x1ED	[15:0]	X	R/W	STAGE7_SF_AMBIENT	STAGE7 slow FIFO ambient value
0x1EE	[15:0]	X	R/W	STAGE7_FF_AVG	STAGE7 fast FIFO average value
0x1EF	[15:0]	X	R/W	STAGE7_PEAK_DETECT_WORD0	STAGE7 peak FIFO WORD0 value
0x1F0	[15:0]	X	R/W	STAGE7_PEAK_DETECT_WORD1	STAGE7 peak FIFO WORD1 value
0x1F1	[15:0]	X	R/W	STAGE7_MAX_WORD0	STAGE7 maximum value FIFO WORD0
0x1F2	[15:0]	X	R/W	STAGE7_MAX_WORD1	STAGE7 maximum value FIFO WORD1
0x1F3	[15:0]	X	R/W	STAGE7_MAX_WORD2	STAGE7 maximum value FIFO WORD2
0x1F4	[15:0]	X	R/W	STAGE7_MAX_WORD3	STAGE7 maximum value FIFO WORD3
0x1F5	[15:0]	X	R/W	STAGE7_MAX_AVG	STAGE7 average maximum FIFO value
0x1F6	[15:0]	X	R/W	STAGE7_HIGH_THRESHOLD	STAGE7 high threshold value
0x1F7	[15:0]	X	R/W	STAGE7_MAX_TEMP	STAGE7 temporary maximum value
0x1F8	[15:0]	X	R/W	STAGE7_MIN_WORD0	STAGE7 minimum value FIFO WORD0
0x1F9	[15:0]	X	R/W	STAGE7_MIN_WORD1	STAGE7 minimum value FIFO WORD1
0x1FA	[15:0]	X	R/W	STAGE7_MIN_WORD2	STAGE7 minimum value FIFO WORD2
0x1FB	[15:0]	X	R/W	STAGE7_MIN_WORD3	STAGE7 minimum value FIFO WORD3
0x1FC	[15:0]	X	R/W	STAGE7_MIN_AVG	STAGE7 average minimum FIFO value
0x1FD	[15:0]	X	R/W	STAGE7_LOW_THRESHOLD	STAGE7 low threshold value
0x1FE	[15:0]	X	R/W	STAGE7_MIN_TEMP	STAGE7 temporary minimum value
0x1FF	[15:0]	X	R/W	Unused	Set to 0

表 47.ステージ 8 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x200	[15:0]	X	R/W	STAGE8_CONV_DATA	STAGE8 CDC 16-bit conversion data (copy of CDC_RESULT_S8 register)
0x201	[15:0]	X	R/W	STAGE8_FF_WORD0	STAGE8 fast FIFO WORD0
0x202	[15:0]	X	R/W	STAGE8_FF_WORD1	STAGE8 fast FIFO WORD1
0x203	[15:0]	X	R/W	STAGE8_FF_WORD2	STAGE8 fast FIFO WORD2
0x204	[15:0]	X	R/W	STAGE8_FF_WORD3	STAGE8 fast FIFO WORD3
0x205	[15:0]	X	R/W	STAGE8_FF_WORD4	STAGE8 fast FIFO WORD4
0x206	[15:0]	X	R/W	STAGE8_FF_WORD5	STAGE8 fast FIFO WORD5
0x207	[15:0]	X	R/W	STAGE8_FF_WORD6	STAGE8 fast FIFO WORD6
0x208	[15:0]	X	R/W	STAGE8_FF_WORD7	STAGE8 fast FIFO WORD7
0x209	[15:0]	X	R/W	STAGE8_SF_WORD0	STAGE8 slow FIFO WORD0
0x20A	[15:0]	X	R/W	STAGE8_SF_WORD1	STAGE8 slow FIFO WORD1
0x20B	[15:0]	X	R/W	STAGE8_SF_WORD2	STAGE8 slow FIFO WORD2
0x20C	[15:0]	X	R/W	STAGE8_SF_WORD3	STAGE8 slow FIFO WORD3
0x20D	[15:0]	X	R/W	STAGE8_SF_WORD4	STAGE8 slow FIFO WORD4
0x20E	[15:0]	X	R/W	STAGE8_SF_WORD5	STAGE8 slow FIFO WORD5
0x20F	[15:0]	X	R/W	STAGE8_SF_WORD6	STAGE8 slow FIFO WORD6
0x210	[15:0]	X	R/W	STAGE8_SF_WORD7	STAGE8 slow FIFO WORD7
0x211	[15:0]	X	R/W	STAGE8_SF_AMBIENT	STAGE8 slow FIFO ambient value
0x212	[15:0]	X	R/W	STAGE8_FF_AVG	STAGE8 fast FIFO average value
0x213	[15:0]	X	R/W	STAGE8_PEAK_DETECT_WORD0	STAGE8 peak FIFO WORD0 value
0x214	[15:0]	X	R/W	STAGE8_PEAK_DETECT_WORD1	STAGE8 peak FIFO WORD1 value
0x215	[15:0]	X	R/W	STAGE8_MAX_WORD0	STAGE8 maximum value FIFO WORD0
0x216	[15:0]	X	R/W	STAGE8_MAX_WORD1	STAGE8 maximum value FIFO WORD1
0x217	[15:0]	X	R/W	STAGE8_MAX_WORD2	STAGE8 maximum value FIFO WORD2
0x218	[15:0]	X	R/W	STAGE8_MAX_WORD3	STAGE8 maximum value FIFO WORD3
0x219	[15:0]	X	R/W	STAGE8_MAX_AVG	STAGE8 average maximum FIFO value
0x21A	[15:0]	X	R/W	STAGE8_HIGH_THRESHOLD	STAGE8 high threshold value
0x21B	[15:0]	X	R/W	STAGE8_MAX_TEMP	STAGE8 temporary maximum value
0x21C	[15:0]	X	R/W	STAGE8_MIN_WORD0	STAGE8 minimum value FIFO WORD0
0x21D	[15:0]	X	R/W	STAGE8_MIN_WORD1	STAGE8 minimum value FIFO WORD1
0x21E	[15:0]	X	R/W	STAGE8_MIN_WORD2	STAGE8 minimum value FIFO WORD2
0x21F	[15:0]	X	R/W	STAGE8_MIN_WORD3	STAGE8 minimum value FIFO WORD3
0x220	[15:0]	X	R/W	STAGE8_MIN_AVG	STAGE8 average minimum FIFO value
0x221	[15:0]	X	R/W	STAGE8_LOW_THRESHOLD	STAGE8 low threshold value
0x222	[15:0]	X	R/W	STAGE8_MIN_TEMP	STAGE7 temporary minimum value
0x223	[15:0]	X	R/W	Unused	Set to 0

表 48.ステージ 9 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x224	[15:0]	X	R/W	STAGE9_CONV_DATA	STAGE9 CDC 16-bit conversion data (copy of CDC_RESULT_S9 register)
0x225	[15:0]	X	R/W	STAGE9_FF_WORD0	STAGE9 fast FIFO WORD0
0x226	[15:0]	X	R/W	STAGE9_FF_WORD1	STAGE9 fast FIFO WORD1
0x227	[15:0]	X	R/W	STAGE9_FF_WORD2	STAGE9 fast FIFO WORD2
0x228	[15:0]	X	R/W	STAGE9_FF_WORD3	STAGE9 fast FIFO WORD3
0x229	[15:0]	X	R/W	STAGE9_FF_WORD4	STAGE9 fast FIFO WORD4
0x22A	[15:0]	X	R/W	STAGE9_FF_WORD5	STAGE9 fast FIFO WORD5
0x22B	[15:0]	X	R/W	STAGE9_FF_WORD6	STAGE9 fast FIFO WORD6
0x22C	[15:0]	X	R/W	STAGE9_FF_WORD7	STAGE9 fast FIFO WORD7
0x22D	[15:0]	X	R/W	STAGE9_SF_WORD0	STAGE9 slow FIFO WORD0
0x22E	[15:0]	X	R/W	STAGE9_SF_WORD1	STAGE9 slow FIFO WORD1
0x22F	[15:0]	X	R/W	STAGE9_SF_WORD2	STAGE9 slow FIFO WORD2
0x230	[15:0]	X	R/W	STAGE9_SF_WORD3	STAGE9 slow FIFO WORD3
0x231	[15:0]	X	R/W	STAGE9_SF_WORD4	STAGE9 slow FIFO WORD4
0x232	[15:0]	X	R/W	STAGE9_SF_WORD5	STAGE9 slow FIFO WORD5
0x233	[15:0]	X	R/W	STAGE9_SF_WORD6	STAGE9 slow FIFO WORD6
0x234	[15:0]	X	R/W	STAGE9_SF_WORD7	STAGE9 slow FIFO WORD7
0x235	[15:0]	X	R/W	STAGE9_SF_AMBIENT	STAGE9 slow FIFO ambient value
0x236	[15:0]	X	R/W	STAGE9_FF_AVG	STAGE9 fast FIFO average value
0x237	[15:0]	X	R/W	STAGE9_PEAK_DETECT_WORD0	STAGE9 peak FIFO WORD0 value
0x238	[15:0]	X	R/W	STAGE9_PEAK_DETECT_WORD1	STAGE9 peak FIFO WORD1 value
0x239	[15:0]	X	R/W	STAGE9_MAX_WORD0	STAGE9 maximum value FIFO WORD0
0x23A	[15:0]	X	R/W	STAGE9_MAX_WORD1	STAGE9 maximum value FIFO WORD1
0x23B	[15:0]	X	R/W	STAGE9_MAX_WORD2	STAGE9 maximum value FIFO WORD2
0x23C	[15:0]	X	R/W	STAGE9_MAX_WORD3	STAGE9 maximum value FIFO WORD3
0x23D	[15:0]	X	R/W	STAGE9_MAX_AVG	STAGE9 average maximum FIFO value
0x23E	[15:0]	X	R/W	STAGE9_HIGH_THRESHOLD	STAGE9 high threshold value
0x23F	[15:0]	X	R/W	STAGE9_MAX_TEMP	STAGE9 temporary maximum value
0x240	[15:0]	X	R/W	STAGE9_MIN_WORD0	STAGE9 minimum value FIFO WORD0
0x241	[15:0]	X	R/W	STAGE9_MIN_WORD1	STAGE9 minimum value FIFO WORD1
0x242	[15:0]	X	R/W	STAGE9_MIN_WORD2	STAGE9 minimum value FIFO WORD2
0x243	[15:0]	X	R/W	STAGE9_MIN_WORD3	STAGE9 minimum value FIFO WORD3
0x244	[15:0]	X	R/W	STAGE9_MIN_AVG	STAGE9 average minimum FIFO value
0x245	[15:0]	X	R/W	STAGE9_LOW_THRESHOLD	STAGE9 low threshold value
0x246	[15:0]	X	R/W	STAGE9_MIN_TEMP	STAGE9 temporary minimum value
0x247	[15:0]	X	R/W	Unused	Set to 0

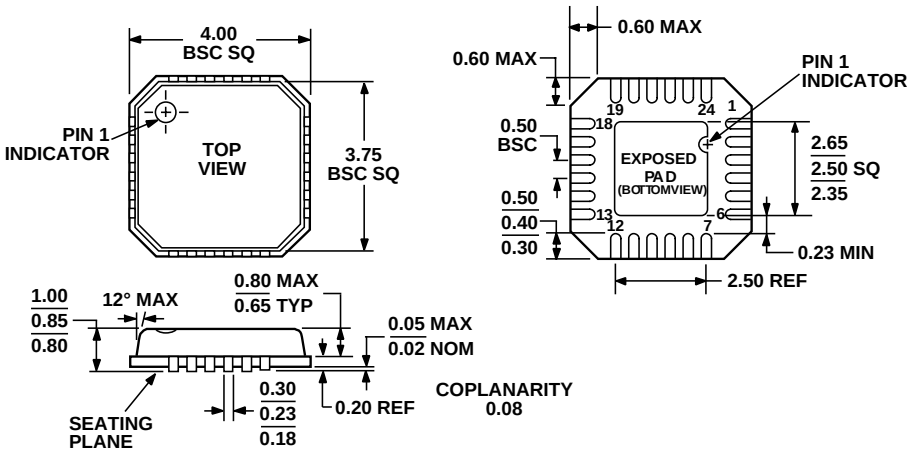
表 49.ステージ 10 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x248	[15:0]	X	R/W	STAGE10_CONV_DATA	STAGE10 CDC 16-bit conversion data (copy of CDC_RESULT_S10 register)
0x249	[15:0]	X	R/W	STAGE10_FF_WORD0	STAGE10 fast FIFO WORD0
0x24A	[15:0]	X	R/W	STAGE10_FF_WORD1	STAGE10 fast FIFO WORD1
0x24B	[15:0]	X	R/W	STAGE10_FF_WORD2	STAGE10 fast FIFO WORD2
0x24C	[15:0]	X	R/W	STAGE10_FF_WORD3	STAGE10 fast FIFO WORD3
0x24D	[15:0]	X	R/W	STAGE10_FF_WORD4	STAGE10 fast FIFO WORD4
0x24E	[15:0]	X	R/W	STAGE10_FF_WORD5	STAGE10 fast FIFO WORD5
0x24F	[15:0]	X	R/W	STAGE10_FF_WORD6	STAGE10 fast FIFO WORD6
0x250	[15:0]	X	R/W	STAGE10_FF_WORD7	STAGE10 fast FIFO WORD7
0x251	[15:0]	X	R/W	STAGE10_SF_WORD0	STAGE10 slow FIFO WORD0
0x252	[15:0]	X	R/W	STAGE10_SF_WORD1	STAGE10 slow FIFO WORD1
0x253	[15:0]	X	R/W	STAGE10_SF_WORD2	STAGE10 slow FIFO WORD2
0x254	[15:0]	X	R/W	STAGE10_SF_WORD3	STAGE10 slow FIFO WORD3
0x255	[15:0]	X	R/W	STAGE10_SF_WORD4	STAGE10 slow FIFO WORD4
0x256	[15:0]	X	R/W	STAGE10_SF_WORD5	STAGE10 slow FIFO WORD5
0x257	[15:0]	X	R/W	STAGE10_SF_WORD6	STAGE10 slow FIFO WORD6
0x258	[15:0]	X	R/W	STAGE10_SF_WORD7	STAGE10 slow FIFO WORD7
0x259	[15:0]	X	R/W	STAGE10_SF_AMBIENT	STAGE10 slow FIFO ambient value
0x25A	[15:0]	X	R/W	STAGE10_FF_AVG	STAGE10 fast FIFO average value
0x25B	[15:0]	X	R/W	STAGE10_PEAK_DETECT_WORD0	STAGE10 peak FIFO WORD0 value
0x25C	[15:0]	X	R/W	STAGE10_PEAK_DETECT_WORD1	STAGE10 peak FIFO WORD1 value
0x25D	[15:0]	X	R/W	STAGE10_MAX_WORD0	STAGE10 maximum value FIFO WORD0
0x25E	[15:0]	X	R/W	STAGE10_MAX_WORD1	STAGE10 maximum value FIFO WORD1
0x25F	[15:0]	X	R/W	STAGE10_MAX_WORD2	STAGE10 maximum value FIFO WORD2
0x260	[15:0]	X	R/W	STAGE10_MAX_WORD3	STAGE10 maximum value FIFO WORD3
0x261	[15:0]	X	R/W	STAGE10_MAX_AVG	STAGE10 average maximum FIFO value
0x262	[15:0]	X	R/W	STAGE10_HIGH_THRESHOLD	STAGE10 high threshold value
0x263	[15:0]	X	R/W	STAGE10_MAX_TEMP	STAGE10 temporary maximum value
0x264	[15:0]	X	R/W	STAGE10_MIN_WORD0	STAGE10 minimum value FIFO WORD0
0x265	[15:0]	X	R/W	STAGE10_MIN_WORD1	STAGE10 minimum value FIFO WORD1
0x266	[15:0]	X	R/W	STAGE10_MIN_WORD2	STAGE10 minimum value FIFO WORD2
0x267	[15:0]	X	R/W	STAGE10_MIN_WORD3	STAGE10 minimum value FIFO WORD3
0x268	[15:0]	X	R/W	STAGE10_MIN_AVG	STAGE10 average minimum FIFO value
0x269	[15:0]	X	R/W	STAGE10_LOW_THRESHOLD	STAGE10 low threshold value
0x26A	[15:0]	X	R/W	STAGE10_MIN_TEMP	STAGE10 temporary minimum value
0x26B	[15:0]	X	R/W	Unused	Set to 0

表 50.ステージ 11 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x26C	[15:0]	X	R/W	STAGE11_CONV_DATA	STAGE11 CDC 16-bit conversion data (copy of CDC_RESULT_S11 register)
0x26D	[15:0]	X	R/W	STAGE11_FF_WORD0	STAGE11 fast FIFO WORD0
0x26E	[15:0]	X	R/W	STAGE11_FF_WORD1	STAGE11 fast FIFO WORD1
0x26F	[15:0]	X	R/W	STAGE11_FF_WORD2	STAGE11 fast FIFO WORD2
0x270	[15:0]	X	R/W	STAGE11_FF_WORD3	STAGE11 fast FIFO WORD3
0x271	[15:0]	X	R/W	STAGE11_FF_WORD4	STAGE11 fast FIFO WORD4
0x272	[15:0]	X	R/W	STAGE11_FF_WORD5	STAGE11 fast FIFO WORD5
0x273	[15:0]	X	R/W	STAGE11_FF_WORD6	STAGE11 fast FIFO WORD6
0x274	[15:0]	X	R/W	STAGE11_FF_WORD7	STAGE11 fast FIFO WORD7
0x275	[15:0]	X	R/W	STAGE11_SF_WORD0	STAGE11 slow FIFO WORD0
0x276	[15:0]	X	R/W	STAGE11_SF_WORD1	STAGE11 slow FIFO WORD1
0x277	[15:0]	X	R/W	STAGE11_SF_WORD2	STAGE11 slow FIFO WORD2
0x278	[15:0]	X	R/W	STAGE11_SF_WORD3	STAGE11 slow FIFO WORD3
0x279	[15:0]	X	R/W	STAGE11_SF_WORD4	STAGE11 slow FIFO WORD4
0x27A	[15:0]	X	R/W	STAGE11_SF_WORD5	STAGE11 slow FIFO WORD5
0x27B	[15:0]	X	R/W	STAGE11_SF_WORD6	STAGE11 slow FIFO WORD6
0x27C	[15:0]	X	R/W	STAGE11_SF_WORD7	STAGE11 slow FIFO WORD7
0x27D	[15:0]	X	R/W	STAGE11_SF_AMBIENT	STAGE11 slow FIFO ambient value
0x27E	[15:0]	X	R/W	STAGE11_FF_AVG	STAGE11 fast FIFO average value
0x27F	[15:0]	X	R/W	STAGE11_PEAK_DETECT_WORD0	STAGE11 peak FIFO WORD0 value
0x280	[15:0]	X	R/W	STAGE11_PEAK_DETECT_WORD1	STAGE11 peak FIFO WORD1 value
0x281	[15:0]	X	R/W	STAGE11_MAX_WORD0	STAGE11 maximum value FIFO WORD0
0x282	[15:0]	X	R/W	STAGE11_MAX_WORD1	STAGE11 maximum value FIFO WORD1
0x283	[15:0]	X	R/W	STAGE11_MAX_WORD2	STAGE11 maximum value FIFO WORD2
0x284	[15:0]	X	R/W	STAGE11_MAX_WORD3	STAGE11 maximum value FIFO WORD3
0x285	[15:0]	X	R/W	STAGE11_MAX_AVG	STAGE11 average maximum FIFO value
0x286	[15:0]	X	R/W	STAGE11_HIGH_THRESHOLD	STAGE11 high threshold value
0x287	[15:0]	X	R/W	STAGE11_MAX_TEMP	STAGE11 temporary maximum value
0x288	[15:0]	X	R/W	STAGE11_MIN_WORD0	STAGE11 minimum value FIFO WORD0
0x289	[15:0]	X	R/W	STAGE11_MIN_WORD1	STAGE11 minimum value FIFO WORD1
0x28A	[15:0]	X	R/W	STAGE11_MIN_WORD2	STAGE11 minimum value FIFO WORD2
0x28B	[15:0]	X	R/W	STAGE11_MIN_WORD3	STAGE11 minimum value FIFO WORD3
0x28C	[15:0]	X	R/W	STAGE11_MIN_AVG	STAGE11 average minimum FIFO value
0x28D	[15:0]	X	R/W	STAGE11_LOW_THRESHOLD	STAGE11 low threshold value
0x28E	[15:0]	X	R/W	STAGE11_MIN_TEMP	STAGE11 temporary minimum value
0x28F	[15:0]	X	R/W	Unused	Set to 0

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-8

図 62.24 ピン・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
4 mm × 4 mm 極薄クワッド
(CP-24-3)寸法: mm

D06663-0-9/07(0)-J

オーダー・ガイド

Model	Temperature Range	Serial Interface Description	Package Description	Package Option
AD7147ACPZ-REEL[1]	–40°C to +85°C	SPI Interface	24-Lead LFCSP_VQ	CP-24-3
AD7147ACPZ-500RL7	–40°C to +85°C	SPI Interface	24-Lead LFCSP_VQ	CP-24-3
AD7147ACPZ-1REEL	–40°C to +85°C	I^2C Interface	24-Lead LFCSP_VQ	CP-24-3
AD7147ACPZ-1500RL7	–40°C to +85°C	I^2C Interface	24-Lead LFCSP_VQ	CP-24-3
EVAL-AD7147EBZ		SPI Interface	Evaluation Board	
EVAL-AD7147-1EBZ		I^2C Interface	Evaluation Board	

[1] Z = RoHS 準拠製品