

特長

- プログラマブル容量デジタルコンバータ (CDC)
 - 更新レート: 36ms (@最大シーケンス長)
 - 分解能: 1fF未満
 - 14チャンネルの容量性センサ入力
 - 外部のRC調整用部品が不要
 - 自動変換シーケンス
- 自動キャリブレーション・ロジック内蔵
 - 環境変化の自動補償
 - 自動適応型のスレッシュホールドおよび感度レベル
- キャリブレーション・データを保存する内蔵RAM
- SPI®互換のシリアル・インターフェース (AD7142)
- I²C®互換のシリアル・インターフェース (AD7142-1)
- シリアル・インターフェース用として別個に用意されたV_{DRIVE}レベル
- 割込み出力とGPIO
- 32ピン、5mm×5mm LFCSP_VQ
- 電源電圧: 2.6~3.6V
- 低い動作電流
 - 通常消費電力モード: 1mA未満
 - 低消費電力モード: 50μA

アプリケーション

- 個人用音楽プレーヤおよびマルチメディア・プレーヤ
- 携帯電話
- デジタル・カメラ
- スマート・ハンドヘルド機器
- テレビ、A/V、およびリモート・コントロール
- ゲーム機器

概要

AD7142とAD7142-1は、最新のユーザ入力方式が要求されるシステム用としてオンチップの環境キャリブレーション機能を集積化した容量デジタルコンバータ (CDC) です。容量性ボタン、スクロールバー、ホイールなどの機能を実装する外部の容量性センサとのインターフェースが可能です。

このCDCは、スイッチ・マトリックスを経由して16ビット、250kHzのΣΔ (シグマ・デルタ) 容量デジタルコンバータに送られる14チャンネルの入力を備えています。CDCは、外部センサの容量変化を検出し、この情報を使用してセンサの起動を登録できます。外部センサは、一連のボタンとして、スクロールバーまたはホイールとして、あるいは各種タイプのセンサの組み合わせとして配置できます。レジスタのプログラミングによって、ユーザはCDCのセットアップを完全に制御できます。高分解能センサの場合は、ホスト・プロセッサ上で小さなソフトウェアを実行することが必要です。

機能ブロック図

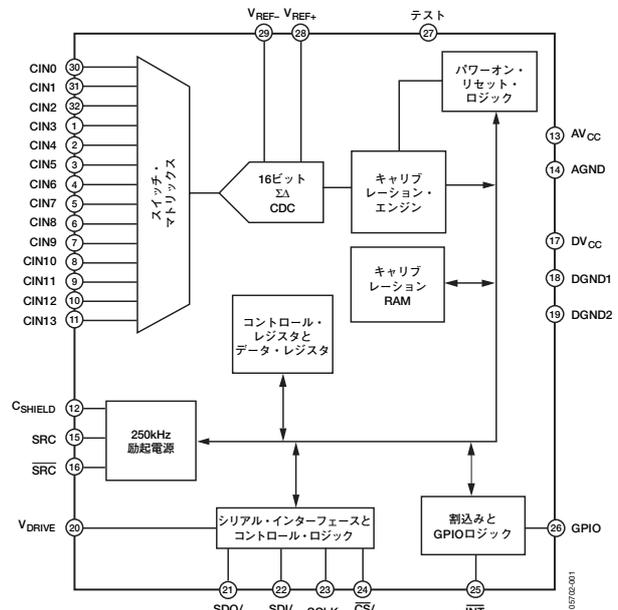


図1

AD7142とAD7142-1には、周囲の環境変化に対応するためにキャリブレーション・ロジックが内蔵されています。キャリブレーション・シーケンスは、センサがタッチされていない間に自動的に、しかも連続的なインターバルで実行されます。したがって、環境の変化による外部センサでの誤検出やタッチの登録漏れを防止できます。

AD7142にはSPI互換の、AD7142-1にはI²C互換のシリアル・インターフェースがあります。いずれの製品も、割込み出力と汎用の入力/出力 (GPIO) を備えています。

AD7142とAD7142-1は、32ピン、5mm×5mmのLFCSP_VQを採用し、2.6~3.6Vの電源で動作します。動作時の消費電流は1mA未満に抑えられますが、低消費電力モード (400msの変換インターバル) 時にはさらに50μAまで低減されます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2007 Analog Devices, Inc. All rights reserved.

目次

特長	1	容量センサの動作 (キャリブレーションあり)	22
アプリケーション	1	低速FIFO	23
機能ブロック図	1	SLOW_FILTER_UPDATE_LVL	23
概要	1	適応型のスレッシュホールドおよび感度	24
改訂履歴	3	割込み出力	26
仕様	4	CDC変換完了割込み	26
SPIタイミング仕様 (AD7142)	6	センサ・タッチ割込み	26
I ² Cタイミング仕様 (AD7142-1)	7	GPIO INT出力の制御	28
絶対最大定格	8	出力	30
ESDに関する注意	8	励起電源	30
ピン配置と機能の説明	9	C _{SHIELD} 出力	30
代表的な性能特性	10	GPIO	30
動作原理	12	GPIOによるLEDのターンオン/オフ	30
容量センシングの理論	12	シリアル・インターフェース	31
動作モード	13	SPIインターフェース	31
容量センサの入力設定	14	I ² C互換のインターフェース	33
CIN入力マルチプレクサの設定	14	V _{DRIVE} 入力	35
容量デジタルコンバータ	15	PCボード設計ガイドライン	36
CDC出力のオーバーサンプリング	15	容量センサ・ボードのメカニカル仕様	36
容量センサのオフセット制御	15	チップ・スケール・パッケージ	36
変換シーケンス	15	パワーアップ・シーケンス	37
CDC変換シーケンス時間	16	代表的なアプリケーション回路	38
CDC変換の結果	17	レジスタ・マップ	39
非接触近接検出	18	詳細なレジスタ説明	40
再キャリブレーション	18	バンク1レジスタ	40
近接感度	18	バンク2レジスタ	50
FF_SKIP_CNT	20	バンク3レジスタ	57
環境キャリブレーション	22	外形寸法	69
容量センサの動作 (キャリブレーションなし)	22	オーダー・ガイド	69

改訂履歷**1/07—Rev. 0 to Rev. A**

Updated Format Universal	
Changes to Data Sheet Title	1
Inserted Figure 5	8
Changes to Figure 18	12
Changes to Operating Modes Section	13
Changes to CIN Input Multiplexer Setup Section	14
Changes to Table 9 and Conversion Sequencer Section	15
Changes to Noncontact Proximity Detection Section	18
Changes to Recalibration Section and Table 12	18
Deleted FIFO Control Section	19
Changes to Figure 31 and Table 13	20
Changes to Figure 32	21
Changes to Capacitance Sensor Behavior with Calibration Section	22

Added Slow FIFO and

SLOW_FILTER_UPDATE_LVL Section	23
Changes to Adaptive Threshold and Sensitivity Section	24
Inserted Figure 37 and Table 13	25
Deleted Figure 42	29
Changes to CSIELD Output Section	30
Changes to Figure 55	36
Changes to Power-up Sequence Section	37
Changes to Figure 58	38
Changes to Table 21	42
Changes to Table 24	43
Changes to Table 25	44
Changes to Table 29	48
Changes to Table 31	49

6/06—Revision 0: Initial Version

AD7142

仕様

特に指定のない限り、 AV_{CC} 、 $DV_{CC}=2.6\sim 3.6V$ 、 $T_A=-40\sim +85^{\circ}C$ 。

表1

パラメータ	Min	Typ	Max	単位	テスト条件/備考
容量デジタルコンバータ					
更新レート	35.45	36.86	38.4	ms	シーケンサ内に12の変換段、デシメーション・レート=256
分解能		16		ビット	
CIN入力範囲 ¹		± 2		pF	
ノー・ミスコード	16			ビット	出荷テストは行わず設計により保証
CIN入力リーク電流		25		nA	
総合未調整誤差			± 20	%	
出力ノイズ (ピークtoピーク)		7		コード	デシメーション・レート=128
		3		コード	デシメーション・レート=256
出力ノイズ (RMS)		0.8		コード	デシメーション・レート=128
		0.5		コード	デシメーション・レート=256
寄生容量			40	pF	グラウンドに対する寄生容量、CIN入力当たり、特性評価により保証
C_{BULK} オフセット範囲 ¹		± 20		pF	
C_{BULK} オフセット分解能		156.25		fF	
低消費電力モード遅延精度			4	%	200ms、400ms、600ms、または800msの%
励起電源					
周波数	240	250	260	kHz	
出力電圧			AV_{CC}	V	
短絡ソース電流		20		mA	
短絡シンク電流		50		mA	
最大出力負荷		250		pF	グラウンドに対するソースでの容量性負荷
C_{SHIELD} 出力駆動電流		10		μA	
C_{SHIELD} バイアス・レベル		$AV_{CC}/2$		V	
ロジック入力 (SDI、SCLK、\overline{CS}、SDA、GPI TEST)					
ハイレベル入力電圧 (V_{IH})	$0.7 \times V_{DRIVE}$		V		
ローレベル入力電圧 (V_{IL})			0.4	V	
ハイレベル入力電圧 (I_{IH})	-1			μA	$V_{IN}=V_{DRIVE}$
ローレベル入力電圧 (I_{IL})			1	μA	$V_{IN}=D_{GND}$
ヒステリシス		150		mV	
オープンドレイン出力 (SCLK、SDA、\overline{INT})					
ローレベル出力電圧 (V_{OL})			0.4	V	$I_{SINK}=-1mA$
ハイレベル出力リーク電流 (I_{OH})		0.1	± 1	μA	$V_{OUT}=V_{DRIVE}$
ロジック出力 (SDO、GPO)					
ローレベル出力電圧 (V_{OL})			0.4	V	$I_{SINK}=1mA$ 、 $V_{DRIVE}=1.65\sim 3.6V$
ハイレベル出力電圧 (V_{OH})	$V_{DRIVE}-0.6$			V	$I_{SOURCE}=1mA$ 、 $V_{DRIVE}=1.65\sim 3.6V$
SDOフロート状態リーク電流			± 1	μA	ピンはスリーステート、リーク電流はGNDと DV_{CC} に対して測定
GPOフロート状態リーク電流	-5		2	μA	ピンはスリーステート、リーク電流はGNDと DV_{CC} に対して測定

パラメータ	Min	Typ	Max	単位	テスト条件/備考
電源					
AV_{CC} 、 DV_{CC}	2.6	3.3	3.6	V	
V_{DRIVE}	1.65		3.6	V	シリアル・インターフェースの動作電圧
I_{CC}		0.9	1	mA	通常消費電力モード
			20	μ A	低消費電力モード、コンバータはアイドル状態、 $T_A=25^\circ\text{C}$
		16	33	μ A	低消費電力モード、コンバータはアイドル状態
			4.5	μ A	フル・シャットダウン、 $T_A=25^\circ\text{C}$
		2.25	18	μ A	フル・シャットダウン

¹ C_{IN} と C_{BULK} は図2のように定義されます。

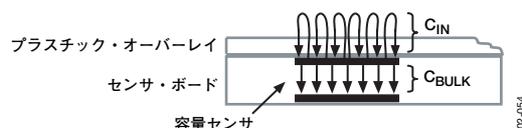


図2

表2. 低消費電力モードでの代表的平均電流、 AV_{CC} 、 $DV_{CC}=3.6\text{V}$ 、 $T=25^\circ\text{C}$ 、SRCピンに50pFの負荷、 $\overline{\text{SRC}}$ は無負荷

		変換段の数 (電流値の単位は μA)											
低消費電力モード遅延	デシメーション・レート	1	2	3	4	5	6	7	8	9	10	11	12
200ms	128	26.4	33.3	40.1	46.9	53.5	60	66.5	72.8	79.1	85.2	91.3	97.3
	256	35.6	49.1	62.2	74.9	87.3	99.3	111	122.3	133.4	144.2	154.7	164.9
400ms	128	21.3	24.8	28.3	31.7	35.2	38.6	42	45.4	48.7	52	55.3	58.6
	256	26	32.9	39.7	46.5	53.1	59.6	66.1	72.4	78.7	84.9	91	97
600ms	128	19.6	21.9	24.3	26.6	28.9	31.2	33.5	35.8	38.1	40.4	42.6	44.8
	256	22.7	27.4	32	36.6	41.1	45.6	50	54.4	58.8	63.1	67.4	71.6
800ms	128	18.7	20.5	22.2	24	25.7	27.5	29.2	31	32.7	34.4	36.1	37.8
	256	21.1	24.6	28.1	31.5	35	38.4	41.8	45.2	48.5	51.8	55.1	58.4

表3. 低消費電力モードでの最大平均電流、 AV_{CC} 、 $DV_{CC}=3.6\text{V}$ 、SRCピンに50pFの負荷、 $\overline{\text{SRC}}$ は無負荷

		変換段の数 (電流値の単位は μA)											
低消費電力モード遅延	デシメーション・レート	1	2	3	4	5	6	7	8	9	10	11	12
200ms	128	45.4	53.6	61.5	69.4	77.1	84.7	92.2	99.6	106.8	113.9	121	127.9
	256	56.2	72	87.2	102	116.3	130.2	143.7	156.8	169.5	181.8	193.8	205.5
400ms	128	39.5	43.6	47.7	51.8	55.8	59.8	63.7	67.6	71.5	75.4	79.2	83
	256	45	53.1	61.1	68.9	76.7	84.3	91.8	99.1	106.4	113.6	120.6	127.5
600ms	128	37.5	40.3	43	45.8	48.5	51.2	53.9	56.5	59.2	61.8	64.5	67.1
	256	41.2	46.7	52.1	57.4	62.7	67.9	73.1	78.2	83.3	88.3	93.3	98.2
800ms	128	36.5	38.6	40.7	42.7	44.8	46.8	48.8	50.9	52.9	54.9	56.9	58.9
	256	39.3	43.4	47.5	51.5	55.6	59.5	63.5	67.4	71.3	75.2	79	82.8

AD7142

SPIタイミング仕様 (AD7142)

特に指定のない限り、 $T_A = -40 \sim +85^\circ\text{C}$ 、 $V_{\text{DRIVE}} = 1.65 \sim 3.6\text{V}$ 、 AV_{CC} 、 $DV_{\text{CC}} = 2.6 \sim 3.6\text{V}$ 。25°Cでのサンプル・テストにより適合性を保証。すべての入力信号は、 $t_r = t_f = 5\text{ns}$ (V_{CC} の10~90%)で規定し、1.6Vの電圧レベルからの時間とします。

表4. SPIタイミング仕様

パラメータ	T_{MIN} 、 T_{MAX} での限界値	単位	説明
f_{SCLK}	5	MHz (max)	
t_1	5	ns (min)	$\overline{\text{CS}}$ 立下がりエッジから最初のSCLK立下がりエッジまで
t_2	20	ns (min)	SCLKハイ・パルス幅
t_3	20	ns (min)	SCLKロー・パルス幅
t_4	15	ns (min)	SDIセットアップ時間
t_5	15	ns (min)	SDIホールド時間
t_6	20	ns (max)	SCLK立下がりエッジ後のSDOアクセス時間
t_7	16	ns (max)	$\overline{\text{CS}}$ 立上がりエッジからSDOハイ・インピーダンスまで
t_8	15	ns (min)	SCLK立上がりエッジから $\overline{\text{CS}}$ ハイレベルまで

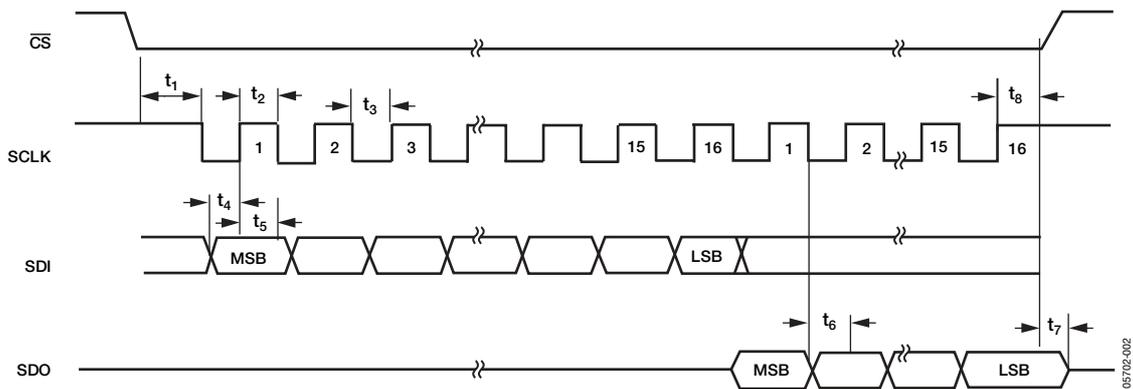


図3. SPIの詳細なタイミング図

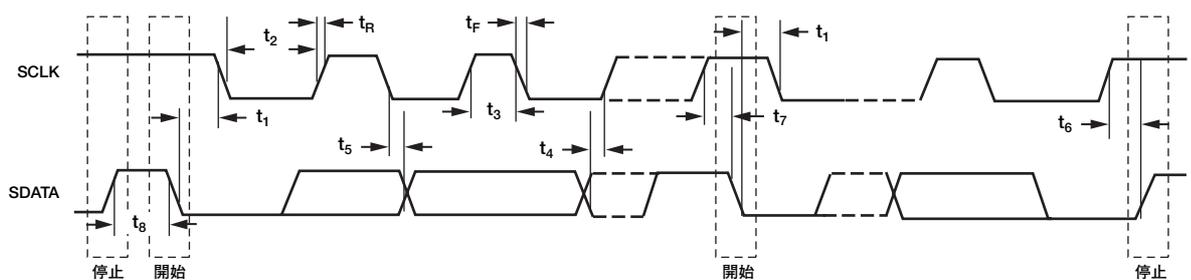
I²C タイミング仕様 (AD7142-1)

特に指定のない限り、 $T_A = -40 \sim +85^\circ\text{C}$ 、 $V_{\text{DRIVE}} = 1.65 \sim 3.6\text{V}$ 、 AV_{CC} 、 $DV_{\text{CC}} = 2.6 \sim 3.6\text{V}$ 。25°Cでのサンプル・テストにより適合性を保証。すべての入力信号は1.6Vの電圧レベルからの時間とします。

表5. I²C タイミング仕様¹

パラメータ	限界値	単位	説明
f_{SCLK}	400	kHz (max)	
t_1	0.6	μs (min)	スタート状態のホールド時間 ($t_{\text{HD; STA}}$)
t_2	1.3	μs (min)	クロックのロー期間 (t_{LOW})
t_3	0.6	μs (min)	クロックのハイ期間 (t_{HIGH})
t_4	100	ns (min)	データのセットアップ時間 ($t_{\text{SU; DAT}}$)
t_5	300	ns (min)	データのホールド時間 ($t_{\text{HD; DAT}}$)
t_6	0.6	μs (min)	ストップ状態のセットアップ時間 ($t_{\text{SU; STO}}$)
t_7	0.6	μs (min)	スタート状態のセットアップ時間 ($t_{\text{SU; STA}}$)
t_8	1.3	μs (min)	ストップ状態とスタート状態の間のバス・フリー時間 (t_{BUF})
t_{R}	300	ns (max)	クロック/データの立上がり時間
t_{F}	300	ns (max)	クロック/データの立下がり時間

¹ これらの仕様については出荷テストを行っていませんが、設計により保証しています。

図4. I²Cの詳細なタイミング図

05702-003

絶対最大定格

表6

パラメータ	定格値
AGNDに対する $A_{V_{CC}}$ 、 DGNDに対する DV_{CC}	$-0.3 \sim +3.6V$
AGNDに対するアナログ入力電圧	$-0.3V \sim A_{V_{CC}} + 0.3V$
DGNDに対するデジタル入力電圧	$-0.3V \sim V_{DRIVE} + 0.3V$
DGNDに対するデジタル出力電圧	$-0.3V \sim V_{DRIVE} + 0.3V$
電源以外のピンへの入力電流 ¹	10mA
ESD定格 (人体モデル)	2.5kV
動作温度範囲	$-40 \sim +150^{\circ}C$
保存温度範囲	$-65 \sim +150^{\circ}C$
ジャンクション温度	150°C
LFCSP_VQ	
消費電力	450mW
θ_{JA} 熱抵抗	135.7°C/W
IRリフロー・ピーク温度	260°C ($\pm 0.5^{\circ}C$)
ピン温度 (ハンダ処理、10秒)	300°C

¹ 100mAまでの過渡電流では、SCRラッチアップは発生しません。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

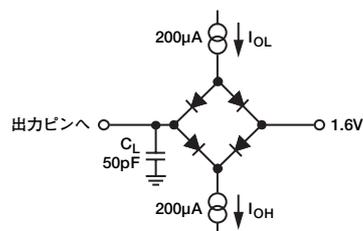


図5. デジタル出力タイミング仕様の負荷回路

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

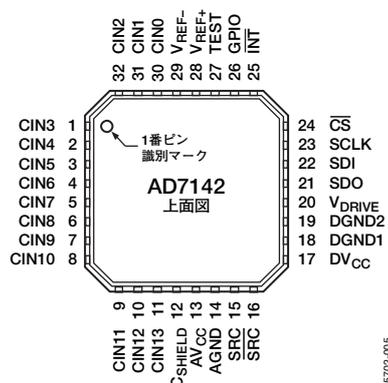


図6. AD7142のピン配置

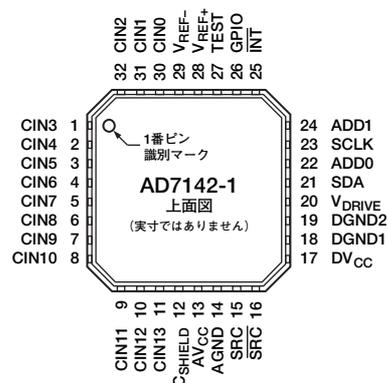


図7. AD7142-1のピン配置

表7. ピン機能の説明

ピン番号	記号	説明
1	CIN3	容量センサ入力
2	CIN4	容量センサ入力
3	CIN5	容量センサ入力
4	CIN6	容量センサ入力
5	CIN7	容量センサ入力
6	CIN8	容量センサ入力
7	CIN9	容量センサ入力
8	CIN10	容量センサ入力
9	CIN11	容量センサ入力
10	CIN12	容量センサ入力
11	CIN13	容量センサ入力
12	C _{SHIELD}	CDCシールド電位出力。グラウンドに接続された10nFのコンデンサが必要。外部シールドに接続
13	AV _{CC}	CDC電源電圧
14	AGND	全CDC回路のアナログ・グラウンド基準ポイント。アナログ・グラウンド・プレーンに接続
15	SRC	CDC励起電源出力
16	SRC	反転された励起電源出力
17	DV _{CC}	デジタル・コア電源電圧
18	DGND1	デジタル・グラウンド
19	DGND2	デジタル・グラウンド
20	V _{DRIVE}	シリアル・インターフェースの動作電源電圧
21	SDO	(AD7142) SPIシリアル・データ出力
	SDA	(AD7142-1) I ² Cシリアル・データ入出力。SDAにはプルアップ抵抗が必要
22	SDI	(AD7142) SPIシリアル・データ入力
	ADD0	(AD7142-1) I ² Cアドレス・ビット0
23	SCLK	シリアル・インターフェース用のクロック入力
24	CS	(AD7142) SPIチップ・セレクト信号
	ADD1	(AD7142-1) I ² Cアドレス・ビット1
25	INT	汎用オープンドレイン割込み出力。プログラマブル極性、プルアップ抵抗が必要
26	GPIO	プログラマブルGPIO
27	TEST	工場テスト・ピン。グラウンドに接続
28	V _{REF+}	CDC正側リファレンス入力。通常はアナログ電源に接続
29	V _{REF-}	CDC負側リファレンス入力。アナログ・グラウンドに接続
30	CIN0	容量センサ入力
31	CIN1	容量センサ入力
32	CIN2	容量センサ入力

代表的な性能特性

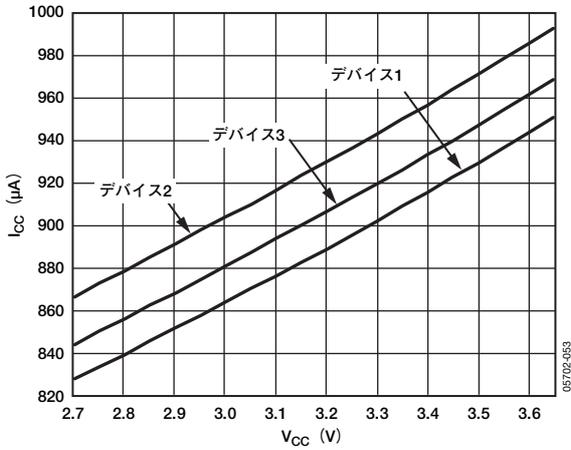


図8. 電源電圧対電源電流 ($V_{CC}=AV_{CC}+DV_{CC}$ 、 $I_{CC}=AI_{CC}+DI_{CC}$)

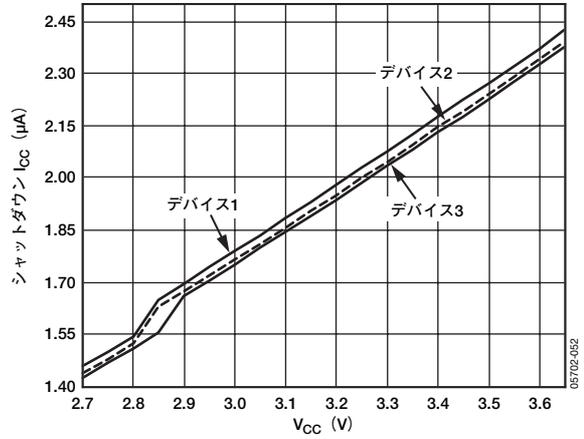


図11. 電源電圧対シャットダウン電源電流 ($V_{CC}=AV_{CC}+DV_{CC}$ 、 $I_{CC}=AI_{CC}+DI_{CC}$)

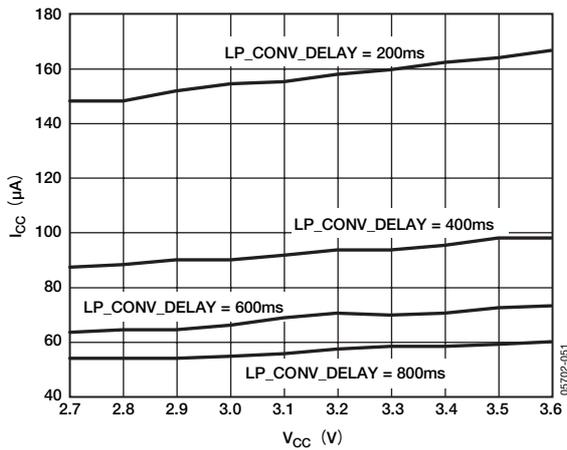


図9. 電源電圧対低電源電流、デシメーション・レート=256 ($V_{CC}=AV_{CC}+DV_{CC}$ 、 $I_{CC}=AI_{CC}+DI_{CC}$)

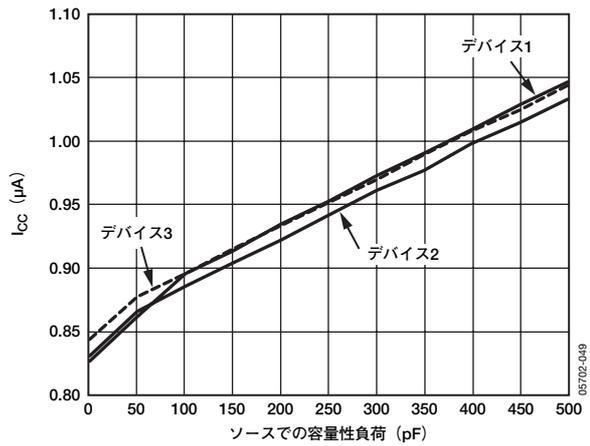


図12. SRCでの容量性負荷対電源電流 ($I_{CC}=AI_{CC}+DI_{CC}$)

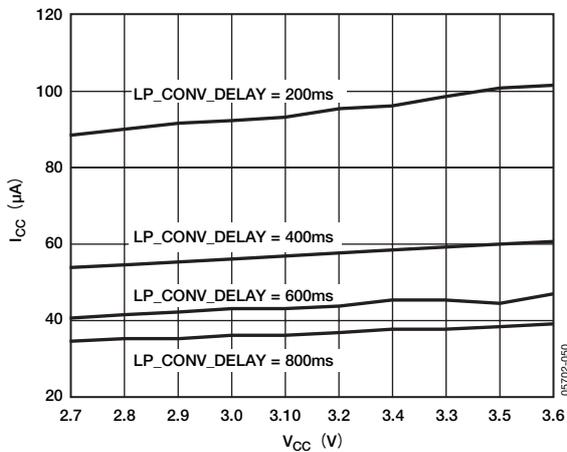


図10. 電源電圧対低電源電流、デシメーション・レート=128 ($V_{CC}=AV_{CC}+DV_{CC}$ 、 $I_{CC}=AI_{CC}+DI_{CC}$)

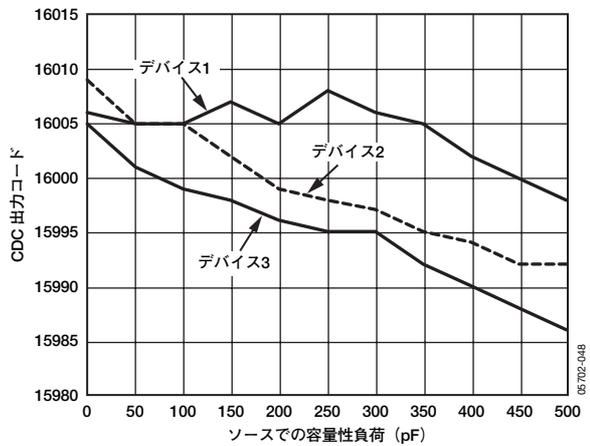


図13. SRCでの容量性負荷対出力コード

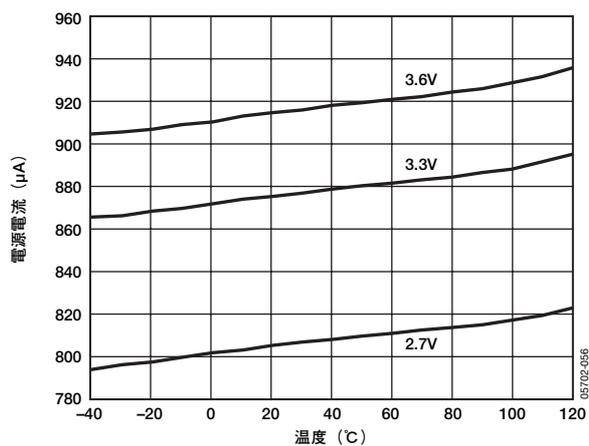


図14. 電源電流の温度特性 (電源電流=AI_{CC}+DI_{CC})

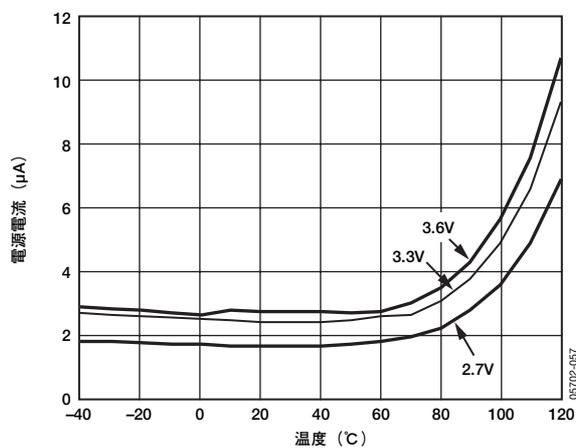


図15. シャットダウン電源電流の温度特性 (電源電流=AI_{CC}+DI_{CC})

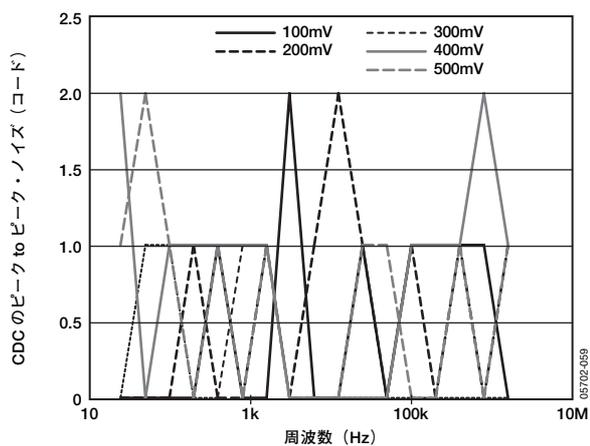


図16. 電源のサイン波除去

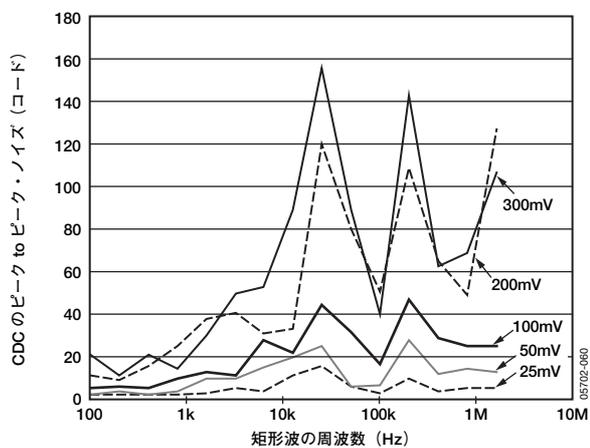


図17. 電源の矩形波除去

動作原理

AD7142とAD7142-1は、環境補償機能を内蔵した容量デジタルコンバータ（CDC）であり、高分解能のユーザ入力が必要とする携帯システム向けに開発されました。内部回路を構成する16ビットの $\Sigma\Delta$ コンバータは、容量性入力信号をデジタル値に変換します。AD7142とAD7142-1には、CIN0～CIN13という14本の入力ピンがあります。スイッチ・マトリックスは、入力信号をCDCに転送します。各容量／デジタル変換の結果は、内蔵レジスタに格納されます。その後、ホストはシリアル・インターフェースを通じて結果を読み出します。AD7142にはSPIインターフェースが、AD7142-1にはPCインターフェースが内蔵されているため、これらの製品は、広範なホスト・プロセッサとの互換性が保証されています。AD7142とAD7142-1はシリアル・インターフェースを除けば同一の製品であるため、このデータシートでは、AD7142とAD7142-1の両方を指してAD7142と表記することにします。

AD7142は、14個までの外部容量センサとインターフェースをとります。これらのセンサは、ボタン、スクロールバー、ホイール、または各種タイプのセンサを組み合わせたものとして配置できます。外部センサは、AD7142に直接インターフェースをとる1層または多層PCボード上の電極から構成されます。

AD7142は、内蔵レジスタのプログラミングによって、どのような入力センサ・セットでも実装できます。内蔵レジスタは、外部センサごとにアベレージング、オフセット、ゲインなどの機能を制御するようにプログラムできます。個々の容量入力のポーリング方法を制御するシーケンサも内蔵しています。

AD7142には、環境補償に使用する528ワードのRAMとデジタル・ロジックが内蔵されています。容量センサの動作には、湿度、温度、およびその他の環境因子が影響を与えることがあります。AD7142では、ユーザに意識させることなく連続キャリブレーションを実行してこれらの影響を補償するため、常に誤差のない結果が得られます。

AD7142では、スクロールバーやホイールなどの高分解能のセンサ機能を実装する場合、ホストやその他のマイクロコントローラ上で動作する小さなコンパニオン・ソフトウェアを必要とします。しかし、8方向ボタン機能を含むボタンの実装には、コンパニオン・ソフトウェアは必要ありません。ボタン・センサは、内蔵のデジタル・ロジックで完全に実装されます。

AD7142は、通常消費電力モード、または低消費電力の自動ウェイクアップ・モードで動作するようにプログラムできます。自動ウェイクアップ・モードは低消費電力動作を必要とする携帯機器に最適であり、フル機能を利用しても消費電力を大幅に削減できます。

AD7142には、新しいデータがレジスタに格納されたことを知らせる、割り込み出力INTがあります。INTは、センサの起動時にホストに割り込むために使用されます。AD7142は、2.6～3.6V電源で動作し、32ピンの5mm×5mm LFCSP_VQを採用しています。

容量センシングの理論

AD7142では、シャント方式によって容量センシングを行います。この方式を使用すれば、励起電源がトランスミッタに接続されてレシーバに電界を生成します。レシーバ側で測定された電界ラインは、 $\Sigma\Delta$ コンバータによってデジタル領域に変換されます。指などの接地物体が電界を乱すと、電界ラインの一部がグラウンドに分路して、レシーバに到達しません（図18を参照）。したがって、物体が誘導電界に近づくとき、レシーバ側で測定される総容量は減少します。

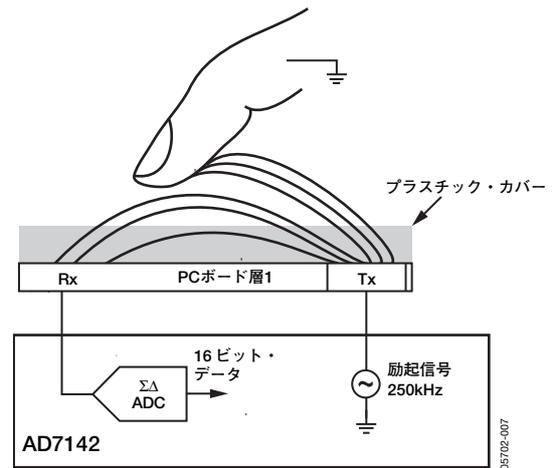


図18. 容量センシングの方式

実際には、励起電源と $\Sigma\Delta$ ADCはAD7142に実装されますが、トランスミッタとレシーバは、外部センサを構成するPCボード上に構築されます。

センサの起動の登録

センサが接近を検知すると、そのセンサに関連付けられた合計容量（AD7142によって測定）が変化します。容量の変化によって、設定されたスレッシュホールドを超えた場合、AD7142はそれをセンサ・タッチとして登録します。

容量の変化がボタンの起動によるかどうかを判定するには、あらかじめプログラムされたスレッシュホールド・レベルを使用します。容量がいずれかのスレッシュホールド限界を超えた場合、AD7142は、それを真のボタン起動として登録します。スライダやスクロール・ホイールなど、他のタイプのセンサの起動を判定する場合にも、これと同じスレッシュホールド原理を使用します。

容量センシング向けの完全なソリューション

アナログ・デバイスでは、容量センシング向けの完全なソリューションを提供します。このソリューションの2つのメイン要素は、センサPCボードとAD7142です。

アプリケーションがスクロールバーやホイールなどの高分解能センサを必要とする場合、ホスト・プロセッサ上で動作するソフトウェアが必要です（ボタン・センサにはソフトウェアは不要です）。ホストのメモリ条件はセンサに依存しますが、一般には10kBのコード・メモリと600バイトのデータ・メモリが要求されます。

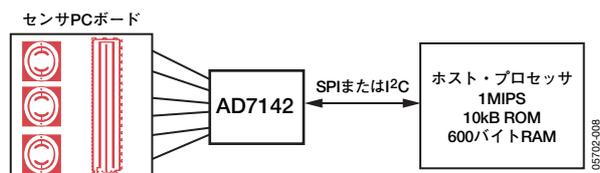


図19. 3パーツ構成の容量センシング・ソリューション

アナログ・デバイスでは、顧客の仕様に基づいてセンサPCボードのフットプリント設計ライブラリを提供し、必要なソフトウェアをオープンソース方式で提供します。

動作モード

AD7142には3つの動作モードがあります。デバイスが常にフルパワー状態となる通常消費電力モードは、消費電力が問題にならないアプリケーション（たとえば、AC電源を備えたゲーム機）に適しています。デバイスが自動的にパワーダウンする低消費電力モードは、通常消費電力モードに比べて大幅な節電となるように調整されており、節電を要求されるモバイル・アプリケーションに適しています。シャットダウン・モードでは、デバイスは完全にシャットダウンします。

AD7142の動作モードは、コントロール・レジスタのPOWER_MODEビット（ビット0とビット1）によって設定されます。コントロール・レジスタは、アドレス0x000にあります。表8は、動作モードごとのPOWER_MODE設定を示します。AD7142をシャットダウン・モードにするには、POWER_MODEビットを01または11に設定します。

表8. POWER_MODEの設定

POWER_MODEビット	動作モード
00	通常消費電力モード
01	フル・シャットダウン・モード
10	低消費電力モード
11	フル・シャットダウン・モード

POWER_MODEビットのパワーオン時のデフォルト設定は00（通常消費電力モード）です。

通常消費電力モード

通常消費電力モードでは、AD7142のすべての部分が常にフルパワー状態になります。センサがタッチされている間、AD7142はセンサ・データを処理します。センサがタッチされていない場合、AD7142は環境容量レベルを測定し、このデータを内蔵の補償ルーチンに使用します。通常消費電力モードでは、AD7142は一定のレートで変換を行います。詳細については「CDC変換シーケンス時間」を参照してください。

低消費電力モード

低消費電力モードでは、デバイスの初期化時にAD7142のPOWER_MODEビットが10に設定されます。外部センサがタッチされていない場合、AD7142は、その変換周波数を下げることによって消費電力を大幅に削減します。センサがタッチされていないとき、デバイスは低消費電力状態を維持します。LP_CONV_DELAY ms（200、400、600、または800ms）ごとに、AD7142は変換を実行し、このデータを使用して補償ロジックを更新します。外部センサがタッチされると、AD7142は36msごとに変換シーケンスを開始し、センサからデータを読み出します。低消費電力モードでは、AD7142の合計消費電流は、変換時に使用される電流と、AD7142が次の変換の開始を待つ間に使用される電流との平均値です。たとえば、LP_CONV_DELAYが400msの場合、一般にAD7142は、変換中の36msの間は0.9mAを消費し、変換と変換の間の400msは15μAを消費します。なお、これらの変換タイミングはレジスタ設定によって変更できます。詳細については「CDC変換シーケンス時間」を参照してください。

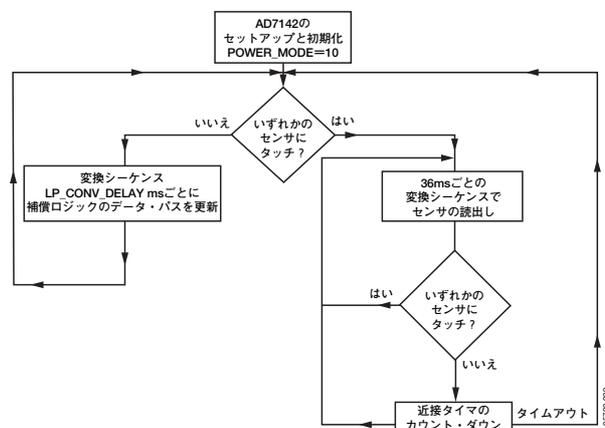


図20. 低消費電力モードの動作

ユーザが外部センサへのタッチをやめた後、AD7142が通常消費電力状態から低消費電力状態に移行するために要する時間は、設定可能です。センサがタッチされなくなった後、AD7142が低消費電力状態に移行するまでの時間は、アドレス0x002にあるAmbient Compensation Ctrl（環境補償コントロール）0レジスタのPWR_DWN_TIMEOUTビットによって制御されます。

容量センサの入力設定

表45と表46に示すレジスタを使用すれば、外部静電容量センサからAD7142コンバータまでの各入力接続を独自に設定できます。これらのレジスタは、各段の入力ピン接続設定、センサ・オフセット、センサ感度、センサ範囲の設定に使用します。各センサは、個別に最適化できます。たとえば、STAGE0に接続されたボタン・センサは、別の段に接続された別の機能を持つボタンとは異なる感度とオフセット値をとることができます。

CIN入力マルチプレクサの設定

表45のCIN_CONNECTION_SETUPレジスタには、センサ入力ピンをCDCコンバータに接続するための、さまざまなオプションを示します。

AD7142には、入力信号を各ピンからコンバータの入力まで転送するための内蔵マルチプレクサがあります。各入力ピンは、CDCの正側または負側入力に接続したり、フロート状態にした

りできます。各入力は、クロスカップリングの防止に役立つように、内部的にC_{SHIELD}信号に接続することもできます。入力を使用されない場合は、常にC_{SHIELD}に接続します。

CIN_x入力ピンを正のCDC入力に接続すれば、対応するセンサがアクティブになったとき、CDCの出力コードは減少します。CIN_x入力ピンを負のCDC入力に接続すれば、対応するセンサがアクティブになったとき、CDCの出力コードは増加します。

変換シーケンスごとのマルチプレクサ設定は、入力ピン(CIN₀~CIN₁₃)ごとに独自に行うことができます。たとえば、CIN₀は、変換STAGE1では負側のCDC入力に接続し、シーケンスSTAGE1ではフロート状態にできます。このことは、12の変換段すべてに当てはまります。

入力ピンに対するマルチプレクサの設定は、各レジスタの2つのビットで制御されます。

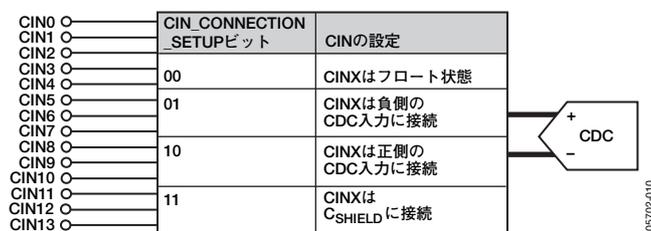


図21. 入力マルチプレクサの設定オプション

容量デジタルコンバータ

AD7142の容量デジタルコンバータは、16ビット分解能の $\Sigma\Delta$ アーキテクチャを備えています。CDCは、スイッチ・マトリクスを通じてコンバータの入力に接続される14チャンネルの入力を持つことができます。CDCのサンプリング周波数は250kHzです。

CDC出力のオーバーサンプリング

表9に示すように、デシメーション・レート（オーバーサンプリング比）は、コントロール・レジスタのビット[9:8]によって決定されます。

表9. CDCのデシメーション・レート

デシメーションビット値	デシメーション・レート	段ごとのCDC出力レート
00	256	3.072ms
01	128	1.536ms
10 ¹	—	—
11 ¹	—	—

¹ この設定値は使用できません。

AD7142でのデシメーション・プロセスはアベレージング・プロセスであり、多数のサンプルを取得して平均した結果を出力します。使用するデジタル・フィルタのアーキテクチャのために、取得されるサンプルの量（段ごと）は、デシメーション・レートの3倍になります。したがって、各段の結果を取得するには、 3×256 または 3×128 のサンプルが平均されます。

デシメーション・プロセスによって、CDCの最終結果に存在するノイズの量は減少します。しかし、デシメーション・レートが高くなるにつれて段ごとの出力レートが低下するため、ノイズのない信号とサンプリング速度とのトレードオフが可能になります。

容量センサのオフセット制御

AD7142では、容量センサのオフセットをゼロ調整するために、2つのプログラマブルDACが内蔵されています。これらのオフセットは、プリント回路ボードの容量や、コネクタなど他のソースによる容量に関係します。図22では、 C_{IN} は入力センサの容量であり、 C_{BULK} はセンサPCボードの層間の容量です。 C_{BULK} は、内蔵DACを使用してオフセット調整できます。

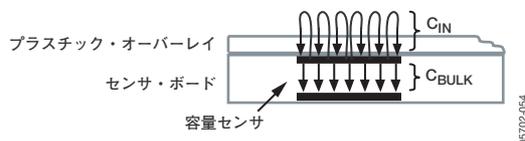


図22. センサPCボード周辺の容量

図23の簡略ブロック図は、`STAGE_OFFSET`レジスタを用いてオフセットをゼロ調整する方法を示します。7ビットの`POS_AFE_OFFSET`レジスタと`NEG_AFE_OFFSET`レジスタは、オフセットDACをプログラムすることで、 $\pm 20\text{pF}$ の範囲にわたって 0.16pF 分解能のオフセット調整を実現します。`NEG_AFE_OFFSET`レジスタと`POS_AFE_OFFSET`レジスタを使用して、正側または負側のCDC入力に正と負のオフセットを加えます。

このプロセスは、容量センサの最初の特性評価時に一度だけ必要です。

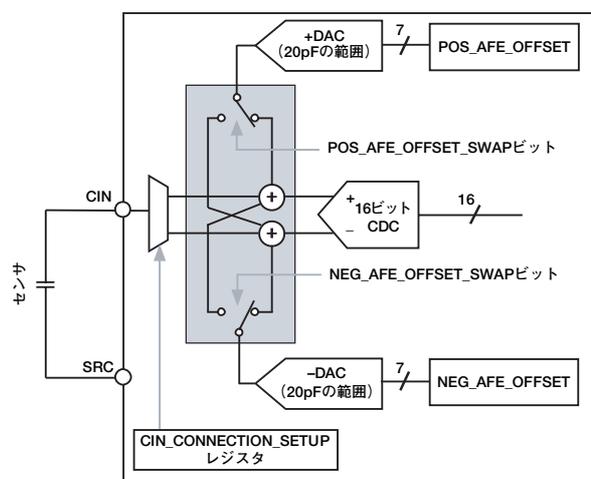


図23. アナログ・フロントエンドのオフセット制御

変換シーケンス

AD7142には、入力チャンネルの変換制御を実現するための内蔵シーケンスがあります。1シーケンスで最高12の変換段を実行できます。12の変換段では、それぞれ別のセンサからの入力を測定できます。バンク2レジスタを使用して各段を独自に設定することで、容量センサの複数のインターフェース条件に対応できます。たとえば、`STAGE1`～`STAGE8`にはスライダ・センサを割り当て、`STAGE0`にはボタン・センサを割り当てることができます。

AD7142の内蔵シーケンス・コントローラは、`STAGE0`で始まる変換制御を提供します。図24は、CDC変換段とCIN入力のブロック図を示します。変換シーケンスとは、`STAGE0`から始まり`SEQUENCE_STAGE_NUM`レジスタにプログラムされた値によって決まる段で終わる、CDC変換のシーケンスと定義されます。使用される容量センサの数とタイプによっては、一部の變換段が必要でない場合もあります。センサのインターフェース条件に応じて1つのシーケンスでの変換の数を設定するには、`SEQUENCE_STAGE_NUM`レジスタを使用します。たとえば、CIN入力が6つの段にだけマッピングされた場合、このレジスタは5に設定されます。さらに、使用される段の数に基づいて、`STAGE_CAL_EN`レジスタを設定します。

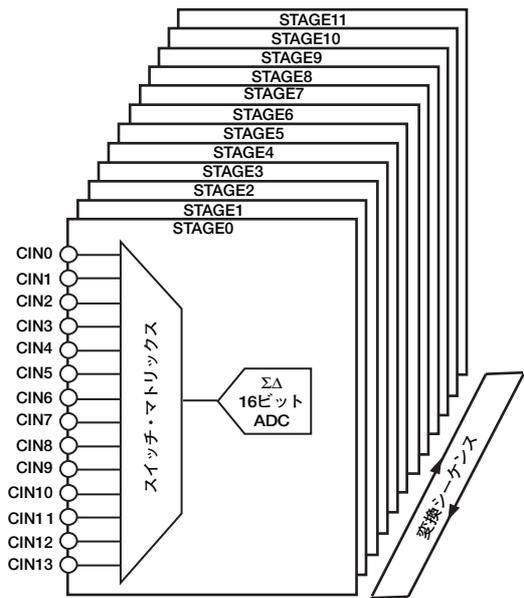


図24. CDC変換段

必要な変換段の数は、AD7142に接続されるセンサの数にのみ依存します。図25は、センサごとに必要な変換段の数と、各センサがAD7142に対して要求する入力の数を示します。

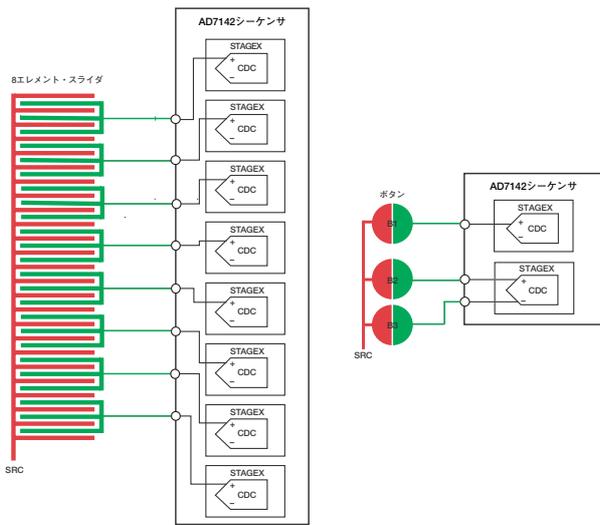


図25. センサ用のシーケンサ設定

ボタン・センサは、一般に1つのシーケンサ段を必要とします。ただし、2つのボタン・センサを差動で動作するように設定できます。この場合、一度に起動できるボタンは1つだけです。2つのボタンを同時に押すと、どちらのボタンも起動しません。この設定には、1つの変換段が必要となります（図25のB2とB3）。

スクロールバー・センサやスライダ・センサは、8つの段を必要とします。ホスト・ソフトウェアでは、各段からの結果を使用して、スクロールバー上でのユーザの位置を判定します。このプロセスを実行するアルゴリズムは、ソフトウェア・ライセンスの契約を行っていただくことによって、アナログ・デバイズから無料で提供されます。スクロール・ホイールも8つの段を必要とします。

8方向スイッチは、2ペアの差動ボタンで構成されます。したがって、2つの変換段（差動ボタン・ペアごとに1つ）が必要となります。また、センサがアクティブかどうかを測定するための段も必要です。ボタンの向き設定は、1つのペアが8方向スイッチの上部と下部を構成し、もう1つのペアが8方向スイッチの左部と右部を構成するように行われます。

CDC変換シーケンス時間

CDC変換シーケンス時間は、CDCが12段すべての完全な測定を1回行うのに必要な時間です。表10に示すように、変換時間はSEQUENCE_STAGE_NUMレジスタとDECIMATIONレジスタによって決まります。

表10. 通常消費電力モードでのCDC変換時間

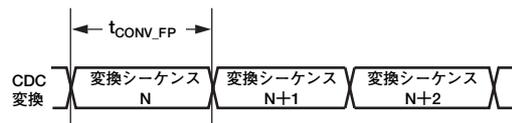
SEQUENCE_STAGE_NUM	変換時間 (ms)	
	デシメーション = 128	デシメーション = 256
0	1.536	3.072
1	3.072	6.144
2	4.608	9.216
3	6.144	12.288
4	7.68	15.36
5	9.216	18.432
6	10.752	21.504
7	12.288	24.576
8	13.824	27.648
9	15.36	30.72
10	16.896	33.792
11	18.432	36.864

たとえば、128のデシメーション・レートで動作しているとき、6つの段を順番に変換するためにSEQUENCE_STAGE_NUMレジスタに5を設定した場合は、変換シーケンス時間は9.216msです。

通常消費電力モードでのCDC変換シーケンス時間

12の段すべてに対する通常消費電力モードでのCDC変換シーケンス時間を設定するには、表10に示すように、SEQUENCE_STAGE_NUMレジスタとDECIMATIONレジスタを設定します。

図26は、通常消費電力モードでのCDC変換時間の簡略タイミング図を示します。通常消費電力モードでのCDC変換時間 t_{CONV_FP} は、表10を使用して設定されます。



注
1. t_{CONV_FP} = 表10から設定する値

図26. 通常消費電力モードでのCDC変換シーケンス時間

低消費電力モードでのCDC変換シーケンス時間（遅延付き）

低消費電力自動ウェイクアップ・モードで動作する各CDC変換の周波数を制御するには、表10に記載するレジスタに加えて、アドレス0x000[3:2]にあるLP_CONV_DELAYレジスタを使用します。この機能により、システム条件とAD7142の消費電力との関係に応じて、変換時間を柔軟に最適化できます。

たとえば、LP_CONV_DELAYレジスタを3に設定すると、最高の電力節減を達成できます。3を設定することで、AD7142は自動的にウェイクアップし、800msごとに変換を実行します。

表11. LP_CONV_DELAYの設定

LP_CONV_DELAYのビット	変換と変換の間の遅延
00	200ms
01	400ms
10	600ms
11	800ms

図27は、低消費電力モードでのCDC変換時間の簡単なタイミング例を示します。ここで示すように、低消費電力でのCDC変換時間は、 t_{CONV_FP} とLP_CONV_DELAYレジスタによって設定されます。

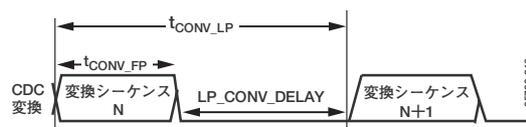


図27. 低消費電力モードでのCDC変換シーケンス時間

CDC変換の結果

特定の高分解能センサでは、ホストが処理のためにCDC変換の結果を読み出す必要があります。ホスト処理に必要なレジスタは、バンク3のレジスタ内に置かれています。ホストは、これらのレジスタから読み出されたデータを、ソフトウェア・アルゴリズムを使用して処理し、位置情報を判定します。

バンク3のレジスタに格納された結果に加えて、AD7142は、バンク1のアドレス0x00Bから始めて、16ビットCDCの出力データを直接提供します。CDCの16ビット変換データ・レジスタを読み出せば、顧客固有のアプリケーション・データ処理が可能になります。

非接触近接検出

AD7142の内部信号処理では、すべての容量センサを連続的にモニタして非接触近接検出を実現します。この機能により、ユーザがセンサに接近するタイミング（その時、すべての内部キャリブレーションは直ちにディスエーブルになり、AD7142は有効な接触を検出するように自動設定されます）を検出できます。

表12は、近接コントロール・レジスタのビットを示します。通常消費電力モードと低消費電力モードにおいて、ユーザがセンサから離れて、近接検出がもはやアクティブではなくなった後、キャリブレーション・ディスエーブル期間の長さは、FP_PROXIMITY_CNTレジスタのビットとLP_PROXIMITY_CNTレジスタのビットにより制御されます。キャリブレーションは、この期間中はディスエーブルになりますが、ユーザがもうセンサに接近／接触していない場合は、この期間の最後に再びイネーブルになります。図28と図29は、これらのレジスタを使用して、通常消費電力／低消費電力モードのキャリブレーション・ディスエーブル期間の設定例を示します。

通常消費電力モードでのキャリブレーション・ディスエーブル期間 = $FP_PROXIMITY_CNT \times 16$ × 通常消費電力モードで1つの変換シーケンスに要する時間

低消費電力モードでのキャリブレーション・ディスエーブル期間 = $LP_PROXIMITY_CNT \times 4$ × 低消費電力モードで1つの変換シーケンスに要する時間

再キャリブレーション

たとえば、ユーザが長時間にわたってセンサ上方にあるなどの特定の状況では、近接フラグを長時間にわたってセットできます。近接が検出されると、AD7142での環境キャリブレーションは中断されます。しかし、近接イベント中には環境容量レベルが変更されることもあります。つまり、AD7142に格納されている周辺値は、もはや実際の周辺値を表してはいません。この場合には、ユーザがセンサを離れていても、近接フラグはまだセットされていることがあります。ユーザの操作によってセンサ上に若干の湿気が生じて、新しいセンサ周辺値が期待値とは異なる場合に、このような状況が発生することがあります。この場合には、AD7142は内部的に再キャリブレーションを自動実行します。これにより、ユーザがセンサ上方にある時間とは無関係に、周辺値の再キャリブレーションが保証されます。再キャリブレーションにより、AD7142の最大センサ性能が保証されます。

測定されたCDC値が、再キャリブレーション・タイムアウトと呼ばれる一定の時間にわたって、格納されている周辺値をPROXIMITY_RECAL_LVLで指定された量だけ超えた場合には、AD7142は再キャリブレーションを自動実行します。通常消費電力モードでは、再キャリブレーション・タイムアウトはFP_PROXIMITY_RECALによって制御されます。低消費電力モードでは、LP_PROXIMITY_RECALによって制御されます。

通常消費電力モードでの再キャリブレーション・タイムアウト = $FP_PROXIMITY_RECAL \times$ 通常消費電力モードで1つの変換シーケンスに要する時間

低消費電力モードでの再キャリブレーション・タイムアウト = $LP_PROXIMITY_RECAL \times$ 低消費電力モードで1つの変換シーケンスに要する時間

図30と図31は、通常消費電力モードと低消費電力モードにおいて、再キャリブレーション前のFP_PROXIMITY_RECALとLP_PROXIMITY_RECALのレジスタ・ビットによるタイムアウト時間の制御例を示します。これらの図では、ユーザがセンサに接近し、続いてユーザがセンサを離れた後も近接検出はアクティブのままであることを示します。測定されたCDC値は、タイムアウト時間の全体にわたって、格納されている周辺値をPROXIMITY_RECAL_LVLビットで設定された量だけ超えています。タイムアウト時間の最後に、センサは自動的に再キャリブレートされます。この再キャリブレーション強制イベントには2つの割込みサイクルが費やされるため、この期間中の再設定は禁止されます。

近接感度

誰かがセンサに近づくと（近接）、その検出には図32の高速フィルタが使用されます。2つの条件により、コンパレータ1とコンパレータ2を使用して内部近接検出信号が設定されます。コンパレータ1は、ユーザがセンサに接近したかどうかを検出します。コンパレータ1の感度は、PROXIMITY_DETECTION_RATEレジスタによって制御されます。たとえば、PROXIMITY_DETECTION_RATEが4に設定された場合、WORD1とWORD3の絶対誤差が4LSBコードを超えると、Proximity 1信号が設定されます。コンパレータ2は、ユーザがセンサ上方にある場合や非常にゆっくりセンサに接近する場合を検出します。コンパレータ2の感度は、PROXIMITY_RECAL_LVLレジスタ（アドレス0x003）によって制御されます。たとえば、PROXIMITY_RECAL_LVLが75に設定された場合、高速フィルタの平均値と周辺値との絶対誤差が75LSBコードを超えると、Proximity 2信号が設定されます。

表12. 近接コントロール・レジスタ（図32を参照）

レジスタ	長さ	レジスタ・アドレス	説明
FP_PROXIMITY_CNT	4ビット	0x002 [7:4]	通常消費電力モードでのキャリブレーション・ディスエーブル時間
LP_PROXIMITY_CNT	4ビット	0x002 [11:8]	低消費電力モードでのキャリブレーション・ディスエーブル時間
FP_PROXIMITY_RECAL	8ビット	0x004 [9:0]	通常消費電力モードの近接再キャリブレーション時間
LP_PROXIMITY_RECAL	6ビット	0x004 [15:10]	低消費電力モードの近接再キャリブレーション時間
PROXIMITY_RECAL_LVL	8ビット	0x003 [13:8]	近接再キャリブレーション・レベル
PROXIMITY_DETECTION_RATE	6ビット	0x003 [7:0]	近接検出レート

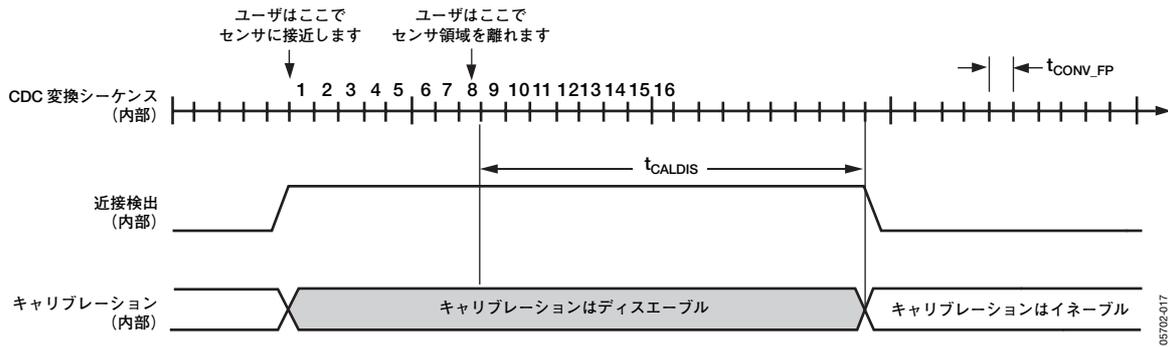
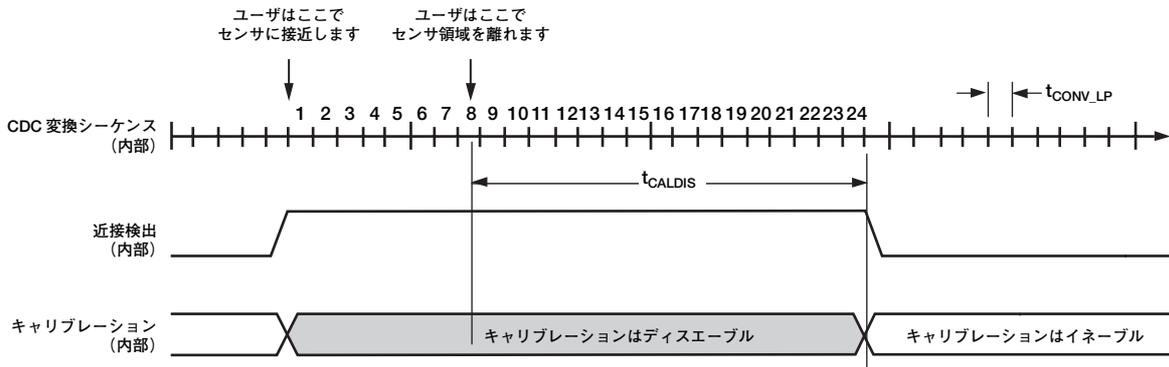


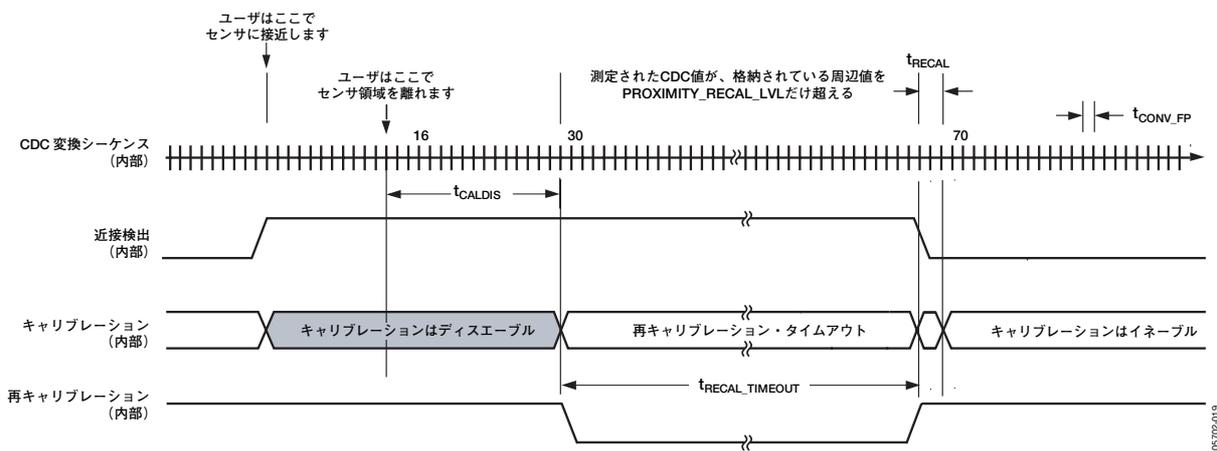
図28. 通常消費電力モードでの近接検出例 (FP_PROXIMITY_CNT=1)



注

1. シーケンス変換時間 $t_{CONV_LP} = t_{CONV_FP} + LP_CONV_DELAY$
2. ユーザがセンサに接近すると、近接が設定されて内部キャリブレーションがディスエーブルになります。
3. $t_{CALDIS} = (t_{CONV_LP} \times LP_PROXIMITY_CNT \times 4)$

図29. 低消費電力モードでの近接検出 (LP_PROXIMITY_CNT=4)



注

1. 表10から得られたシーケンス変換時間 t_{CONV_FP}
2. $t_{CALDIS} = t_{CONV_FP} \times FP_PROXIMITY_CNT \times 16$
3. $t_{RECAL_TIMEOUT} = t_{CONV_FP} \times FP_PROXIMITY_RECAL$
4. $t_{RECAL} = 2 \times t_{CONV_FP}$

図30. 通常消費電力モードでの近接検出 (FP_PROXIMITY_CNT=1およびFP_PROXIMITY_RECAL=40により、再キャリブレーションを強制した例)

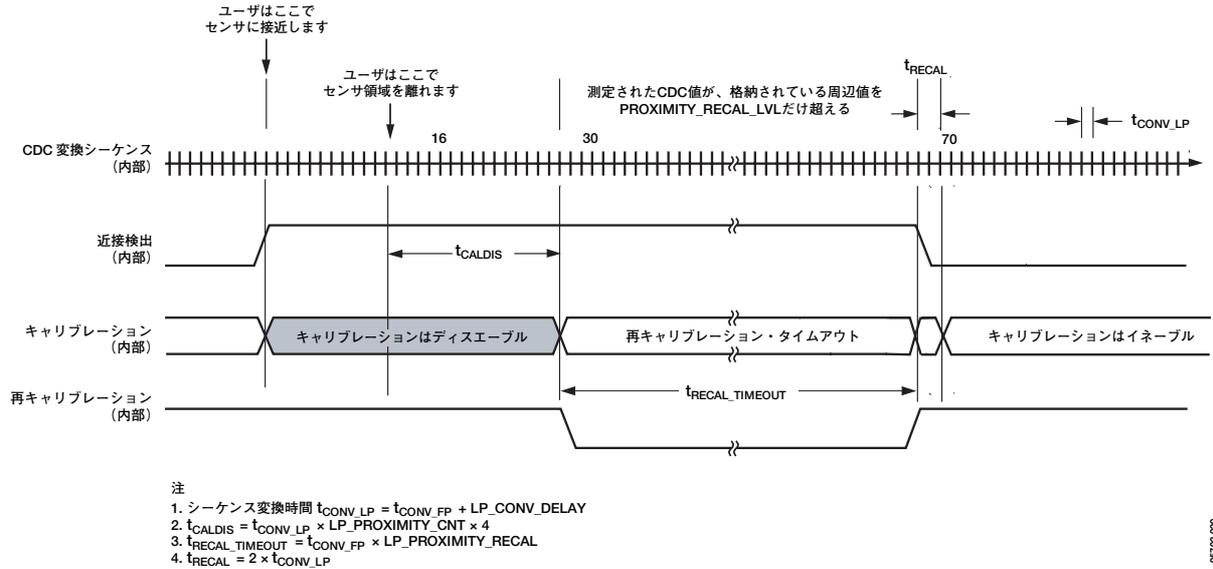


図31. 低消費電力モードでの近接検出 (LP_PROXIMITY_CNT=4およびLP_PROXIMITY_RECAL=40により、再キャリブレーションを強制した例)

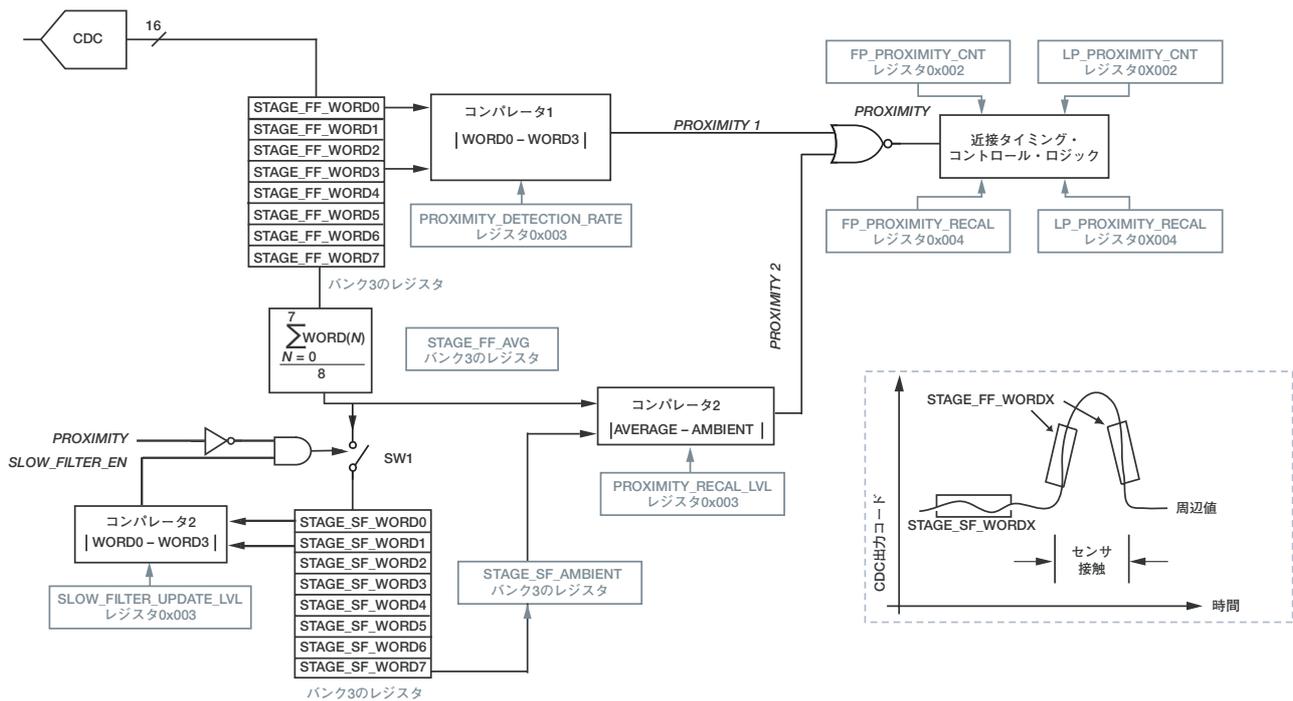
FF_SKIP_CNT

内蔵ロジックでは、近接検出の高速FIFOを使用して近接が検出されたかどうかを判断します。高速FIFOは、設定されたレートにおいてコンバータからサンプルを受信することを期待します。1つのシーケンスに含まれる変換段の数とは無関係に、FIFOに入るサンプルの頻度は、FF_SKIP_CNTによって正規化されます。レジスタ0x02では、ビット[3:0]は高速フィルタのスキップ制御 (FF_SKIP_CNT) です。近接検出の高速FIFOで使用されない (スキップされる) CDCサンプルは、この値によって決まります。

FF_SKIP_CNT値の決定は、容量センサのインターフェースの初期設定時に一度だけ要求されます。表13は、FF_SKIP_CNTによる高速FIFOへの更新レートの制御方法を示します。AD7142で12の変換段をすべて使用する場合、この設定の推奨値は以下のとおりです。FF_SKIP_CNT=0000=0個のサンプルをスキップ

表13. FF_SKIP_CNTの設定

FF_SKIP_CNT	高速FIFOの更新レート	
	デシメーション=128	デシメーション=256
0	$1.536 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$3.072 \times (SEQUENCE_STAGE_NUM + 1)$ ms
1	$3.072 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$6.144 \times (SEQUENCE_STAGE_NUM + 1)$ ms
2	$4.608 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$9.216 \times (SEQUENCE_STAGE_NUM + 1)$ ms
3	$6.144 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$12.288 \times (SEQUENCE_STAGE_NUM + 1)$ ms
4	$7.68 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$15.36 \times (SEQUENCE_STAGE_NUM + 1)$ ms
5	$9.216 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$18.432 \times (SEQUENCE_STAGE_NUM + 1)$ ms
6	$10.752 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$21.504 \times (SEQUENCE_STAGE_NUM + 1)$ ms
7	$12.288 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$24.576 \times (SEQUENCE_STAGE_NUM + 1)$ ms
8	$13.824 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$27.648 \times (SEQUENCE_STAGE_NUM + 1)$ ms
9	$15.36 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$30.72 \times (SEQUENCE_STAGE_NUM + 1)$ ms
10	$16.896 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$33.792 \times (SEQUENCE_STAGE_NUM + 1)$ ms
11	$18.432 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$36.864 \times (SEQUENCE_STAGE_NUM + 1)$ ms
12	$19.968 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$39.936 \times (SEQUENCE_STAGE_NUM + 1)$ ms
13	$21.504 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$43.008 \times (SEQUENCE_STAGE_NUM + 1)$ ms
14	$23.04 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$46.08 \times (SEQUENCE_STAGE_NUM + 1)$ ms
15	$24.576 \times (SEQUENCE_STAGE_NUM + 1)$ ms	$49.152 \times (SEQUENCE_STAGE_NUM + 1)$ ms



注

1. PROXIMITYが設定されていない場合、ISTAGE_SF_WORD 0-STAGE_SF_WORD 11がSLOW_FILTER_UPDATE_LVLレジスタにプログラムされた値を超えると、SLOW FILTER ENが設定され、SW1が閉じます。
2. ISTAGE_FF_WORD 0-STAGE_FF_WORD 3がPROXIMITY_DETECTION_RATEレジスタにプログラムされた値を超えると、PROXIMITY 1が設定されます。
3. I(AVERAGE-AMBIENT)がPROXIMITY_RECAL_LVLレジスタにプログラムされた値を超えると、PROXIMITY 2が設定されます。
4. コンパレータ機能の説明:
 コンパレータ1: ユーザがセンサに接近したときまたはセンサから離れたときを検出します。
 コンパレータ2: ユーザがセンサ上方にあるときまたは非常にゆっくりリセンサに接近したときを検出します。
 また、ユーザの操作の結果として、センサの環境レベルが変化したかどうかの検出にも使用されます (センサ上に湿気や汚れが残されている場合など)。
 コンパレータ3: 低速フィルタの更新レートをイネーブルにするために使用されます。低速フィルタが更新されるのは、SLOW FILTER ENが設定され、PROXIMITYが設定されていない場合です。

図32. AD7142の近接検出と環境キャリブレーション

05702-2/21

環境キャリブレーション

AD7142は、内蔵容量センサのキャリブレーションを実行して、容量センサの環境レベルに影響を与える環境条件を自動調整します。容量センサの出力レベルは、温度と湿度の影響を受け、場合によっては汚れの影響を受けることもあります。AD7142では、CDCの環境レベルを連続的にモニタし、式1と式2で説明したように、STAGE_HIGH_THRESHOLDとSTAGE_LOW_THRESHOLDのレジスタ値を調整して変化を補正することによって、最適で信頼性の高いセンサ性能を実現します。CDCの環境レベルは、ユーザがセンサに接近も接触もしていない期間における、容量センサの出力レベルと定義されます。

AD7142がタッチされていない場合、この補償ロジックは設定後のすべての変換で自動的に実行されます。これにより、AD7142は急速に変化する環境条件に対処できます。

環境補償コントロール・レジスタを通じて、ホストは補償アルゴリズム用の一般的な設定と制御にアクセスできます。RAMは、変換段ごとの補償データに加えて、各段に固有の設定情報も格納されます。

図33は、環境条件とは無関係にCDCの環境レベルが一定である場合の、理想的な容量センサの動作例を示します。ここに示すCDC出力は、1ペアの差動ボタン・センサの場合であり、起動されたセンサの一方は測定対象の容量の増加を、他方は減少をもたらしました。正と負のセンサ・スレッシュールド・レベルは、スレッシュールド感度設定と周辺値に基づいて、STAGE_OFFSET_HIGH値とSTAGE_OFFSET_LOW値のパーセンテージとして計算されます。これらの値は、センサ接触の検出には十分であり、スレッシュールド・レベルを超えたときに、AD7142はINT出力をアサートします。

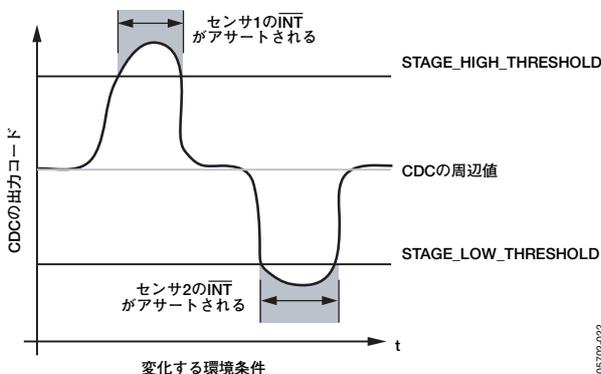


図33. 一定の環境レベルでの理想的なセンサの動作

容量センサの動作（キャリブレーションなし）

図34は、キャリブレーションの適用がない場合の、容量センサの代表的な動作を示します。この図では、環境条件の変化につれて、環境レベルが時間と共にドリフトすることを示します。環境レベルのドリフトによって、センサ2でのユーザ接触の検出ミスが発生しました。原因は、環境レベルが検出範囲を超えて上昇したにもかかわらず、初期の低いオフセット・レベルが変化しなかったためです。

「容量センサの動作（キャリブレーションあり）」では、AD7142の適応型のキャリブレーション・アルゴリズムによって、このような誤差の発生を防止する方法について説明します。

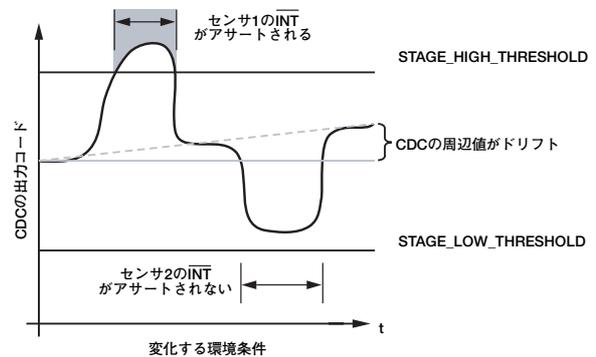
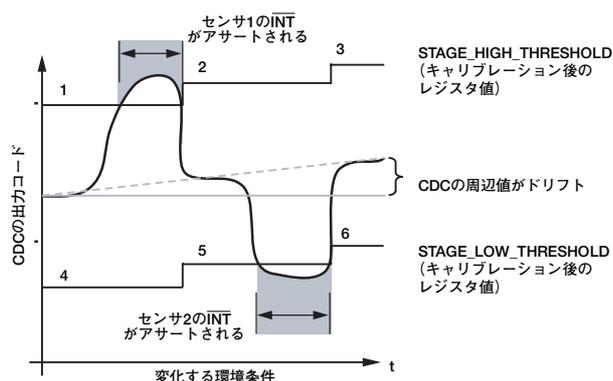


図34. 代表的なセンサの動作（キャリブレーションなし）

容量センサの動作（キャリブレーションあり）

AD7142に内蔵される適応型のキャリブレーション・アルゴリズムは、図34に示すようなセンサの検出誤差を防止します。そのためには、CDCの環境レベルをモニタし、各センサで測定された環境ドリフトの量に応じてSTAGE_OFFSET_HIGHとSTAGE_OFFSET_LOWの初期値を再調整します。式1と式2で説明した内部のSTAGE_HIGH_THRESHOLD値とSTAGE_LOW_THRESHOLD値は、STAGE_OFFSET_HIGHとSTAGE_OFFSET_LOWの新しい値に基づいて自動的に更新されます。このクローズド・ループ・ルーチンによって、動的な環境条件のもとでAD7142に接続されたすべてのセンサの信頼性と再現性のある動作が保証されます。図35では、AD7142が適応型のキャリブレーション・プロセスを適用することによって、環境条件と共に変化するCDCの環境レベルのもとで割込みエラーが発生しないことを、簡単な例で示します。



注

1. 初期のSTAGE_OFFSET_HIGHレジスタ値
2. キャリブレーション後のレジスタのSTAGE_HIGH_THRESHOLD
3. キャリブレーション後のレジスタのSTAGE_HIGH_THRESHOLD
4. 初期のSTAGE_LOW_THRESHOLD
5. キャリブレーション後のレジスタのSTAGE_LOW_THRESHOLD
6. キャリブレーション後のレジスタのSTAGE_LOW_THRESHOLD

05702-024

図35. 代表的なセンサの動作（データ・パスにキャリブレーションを適用）

低速FIFO

図32に示すように、AD7142には多数のFIFOが実装されています。これらのFIFOは、オンチップ・メモリのバンク3に置かれています。内蔵ロジックでは、低速FIFOを使用して各センサからの環境容量レベルをモニタします。

AVG_FP_SKIPとAVG_LP_SKIP

レジスタ0x001では、ビット[13:12]は、通常消費電力モード用の低速FIFOのスキップ制御（AVG_FP_SKIP）です。同じレジスタのビット[15:14]は、低消費電力モード用の低速FIFOのスキップ制御（AVG_LP_SKIP）です。低速FIFOで使用されない（スキップされる）CDCサンプルは、これらの値によって決まります。これらの値を変更すると、環境容量値がコンバータによって読み出される実測容量値をトラッキングする速度が増減します。

通常消費電力モードでの低速FIFOの更新レート =

$$\text{AVG_FP_SKIP} \times [(3 \times \text{デシメーション} \cdot \text{レート}) \times (\text{SEQUENCE_STAGE_NUM} + 1) \times (\text{FF_SKIP_CNT} + 1) \times 4 \times 10^{-7}]$$

低消費電力モードでの低速FIFOの更新レート =

$$(\text{AVG_LP_SKIP} + 1) \times [(3 \times \text{デシメーション} \cdot \text{レート}) \times (\text{SEQUENCE_STAGE_NUM} + 1) \times (\text{FF_SKIP_CNT} + 1) \times 4 \times 10^{-7}] / [(\text{FF_SKIP_CNT} + 1) + \text{LP_CONV_DELAY}]$$

内蔵ロジックでは、低速FIFOを使用して環境容量値をトラッキングします。低速FIFOでは、33~40msのレートでコンバータからのサンプルを受信することを想定しています。1つのシーケンスに含まれる変換段の数とは無関係に、FIFOに入るサンプルの頻度は、AVG_FP_SKIPとAVG_LP_SKIPによって正規化されます。

AVG_FP_SKIP値とAVG_LP_SKIP値の決定は、容量センサのインターフェースの初期設定時に一度だけ要求されます。AD7142で12の変換段をすべて使用する場合、これらの設定の推奨値は以下のとおりです。

AVG_FP_SKIP=00=3個のサンプルをスキップ

AVG_LP_SKIP=00=0個のサンプルをスキップ

SLOW_FILTER_UPDATE_LVL

SLOW_FILTER_UPDATE_LVLでは、最新のCDC測定値が低速FIFO（低速フィルタ）に入るかどうかを制御します。低速フィルタが更新されるのは、現在のCDC値と低速FIFOにプッシュされた最後の値との差がSLOW_FILTER_UPDATE_LVLより大きい場合です。この変数は、アドレス0x003の環境コントロール・レジスタ1にあります。

$$\text{STAGE_HIGH_THRESHOLD} = \text{STAGE_SF_AMBIENT} + \left(\frac{\text{STAGE_OFFSET_HIGH}}{4} \right) + \left(\frac{\left(\frac{\text{STAGE_OFFSET_HIGH} - \text{STAGE_OFFSET_HIGH}}{4} \right)}{16} \right) \times \text{POS_THRESHOLD_SENSITIVITY}$$

式1. 内蔵ロジック段の高スレッシュホールド計算

$$\text{STAGE_LOW_THRESHOLD} = \text{STAGE_SF_AMBIENT} + \left(\frac{\text{STAGE_OFFSET_LOW}}{4} \right) + \left(\frac{\left(\frac{\text{STAGE_OFFSET_LOW} - \text{STAGE_OFFSET_LOW}}{4} \right)}{16} \right) \times \text{NEG_THRESHOLD_SENSITIVITY}$$

式2. 内蔵ロジック段の低スレッシュホールド計算

適応型のスレッシュールドおよび感度

AD7142は、自己学習式で適応型のスレッシュールドおよび感度アルゴリズムを内蔵しています。このアルゴリズムでは、各センサの出力レベルを連続的にモニタし、ユーザによってカバーされるセンサ領域に比例して、スレッシュールド・レベルを自動的に再スケールします。その結果、ユーザの指の大きさにかわらず、AD7142はあらゆるタイプのユーザに対して最適なスレッシュールド・レベルと感度レベルを保ちます。

スレッシュールド・レベルは、常に環境レベルを基準とするCDCコンバータの出力レベルで、このレベルを超えると有効なセンサ接触となります。感度レベルは、有効な接触を登録するまでのセンサの感度です。

図36は、適応型のスレッシュールドおよび感度アルゴリズムの動作例を示します。正と負のセンサ・スレッシュールド・レベルは、スレッシュールド感度設定と周辺値に基づいて、`STAGE_OFFSET_HIGH`値と`STAGE_OFFSET_LOW`値のパーセンテージとして計算されます。設定時に、`STAGE_OFFSET_HIGH`と`STAGE_OFFSET_LOW`には初期予測値が与えられます。その後、キャリブレーション・エンジンがセンサ応答用の`STAGE_HIGH_THRESHOLD`値と`STAGE_LOW_THRESHOLD`値を自動的に調整します。

AD7142では、各センサから測定された平均最大値と平均最小値をトラッキングします。これらの値によって、ユーザとセンサとの相互作用が示されます。大きな指では、平均最大値または平均最小値は大きくなります。小さな指では、小さな値が得

られます。平均最大値または平均最小値が変化すると、スレッシュールド・レベルが再スケールされて、現在のユーザに適切なスレッシュールド・レベルになるようにします。図37は、内蔵ロジックが最小と最大のセンサ応答をトラッキングする様子を示します。

図36のリファレンスAは、小さな指のユーザに対する感度不足のスレッシュールド・レベルの例で、固定されたスレッシュールド・レベルの欠点を示します。

適応型のスレッシュールドおよび感度アルゴリズムをイネーブルにすることで、正と負のスレッシュールド・レベルが、`POS_THRESHOLD_SENSITIVITY`と`NEG_THRESHOLD_SENSITIVITY`のレジスタ値および最新の平均最大センサ出力値によって決定されます。これらのレジスタを使用すれば、周辺値から参照される最新の平均最大出力レベルの25~95.32%の範囲で、16の異なる正と負の感度レベルを選択できます。感度のパーセンテージ設定が小さいほど、センサ起動のトリガは容易になります。リファレンスBは、`POS_THRESHOLD_SENSITIVITY=1000`に設定すれば、正の適応型のスレッシュールド・レベルが、62.51%のスレッシュールド・レベルを持つほぼ真ん中の感度に設定されることを示します。図36は同様に、`NEG_THRESHOLD_SENSITIVITY=0011`に設定した負のスレッシュールド・レベルの例も示しています。

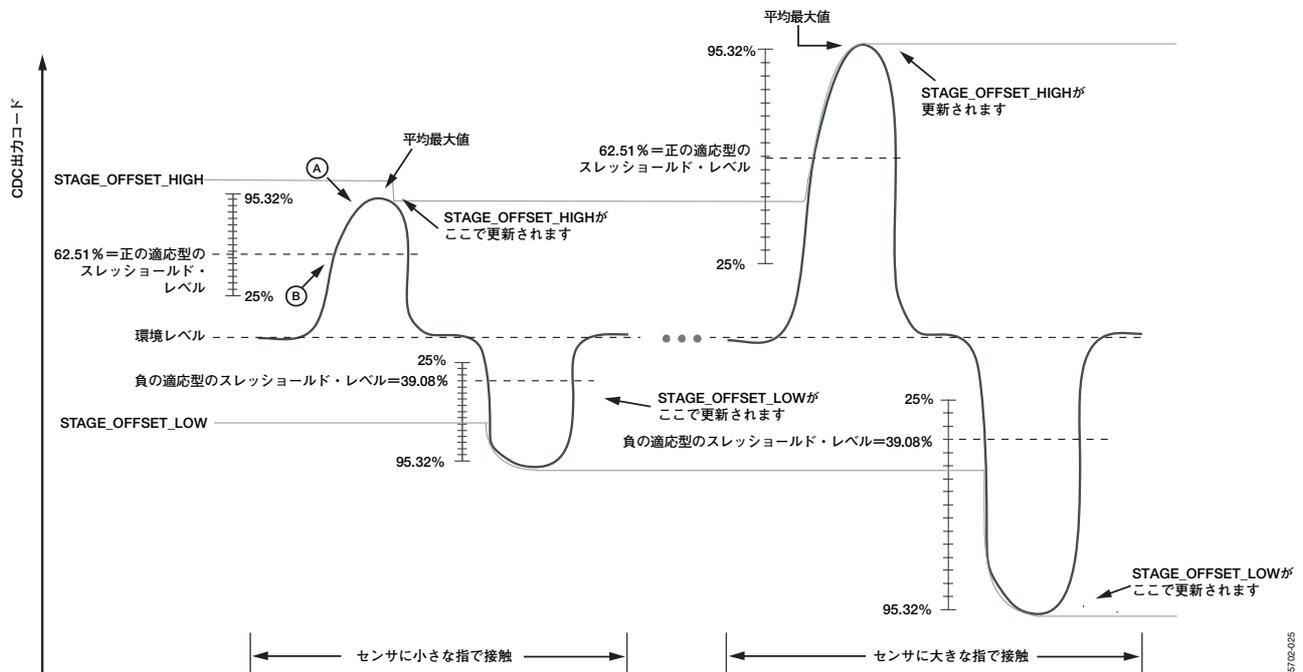


図36. スレッシュールド感度の例 (`POS_THRESHOLD_SENSITIVITY=1000`、`NEG_THRESHOLD_SENSITIVITY=0011`)

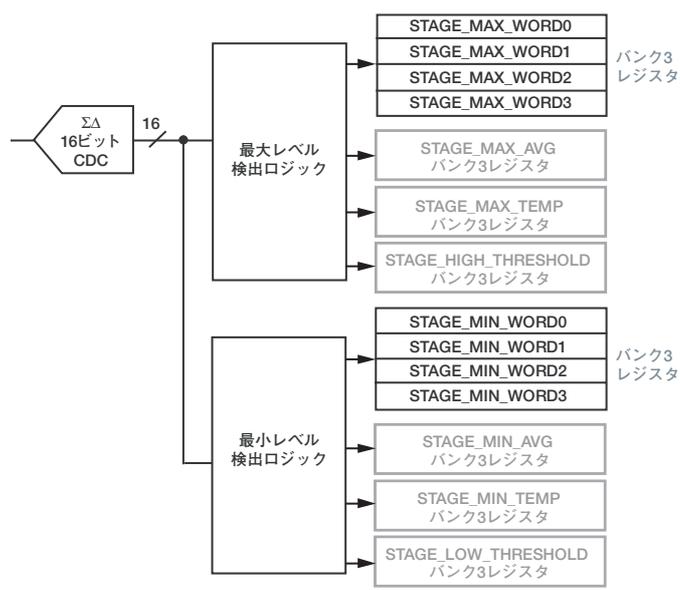


図37. センサの最小平均値と最大平均値のトラッキング

表13. 環境キャリブレーション・レジスタと適応型スレッシュホールド・レジスタの補足情報

レジスタ	レジスタ・ロケーション	説明
NEG_THRESHOLD_SENSITIVITY	Bank 2	式2で使用。この値はスタートアップ時に一度プログラムされます。
NEG_PEAK_DETECT	Bank 2	内部の適応型スレッシュホールド・ロジックでのみ使用 NEG_PEAK_DETECTには、周辺CDC値と最小平均CDC値との差を百分率で表した値が設定されます。最小平均値が更新されるのは、CDCの出力が最小平均のNEG_PEAK_DETECT%内に入った場合だけです。
POS_THRESHOLD_SENSITIVITY	Bank 2	式1で使用。この値はスタートアップ時に一度プログラムされます。
POS_PEAK_DETECT	Bank 2	内部の適応型スレッシュホールド・ロジックでのみ使用 POS_PEAK_DETECTには、周辺CDC値と最大平均CDC値との差を百分率で表した値が設定されます。最大平均値が更新されるのは、CDCの出力が最小平均のPOS_PEAK_DETECT%内に入った場合だけです。
STAGE_OFFSET_LOW	Bank 2	式2で使用。このレジスタには、スタートアップ時に（センサ特性評価に基づいて）初期値がプログラムされます。AD7142の内蔵キャリブレーション・アルゴリズムは、周辺条件の変化によるセンサ・ドリフトの量に基づいて、このレジスタを自動的に更新します。 STAGE_OFFSET_LOW_CLAMP値の80%が設定されます。
STAGE_OFFSET_HIGH	Bank 2	式1で使用。このレジスタには、スタートアップ時に（センサ特性評価に基づいて）初期値がプログラムされます。AD7142の内蔵キャリブレーション・アルゴリズムは、周辺条件の変化によるセンサ・ドリフトの量に基づいて、このレジスタを自動的に更新します。 STAGE_OFFSET_HIGH_CLAMP値の80%が設定されます。
STAGE_OFFSET_HIGH_CLAMP	Bank 2	内部の環境キャリブレーション・アルゴリズムと適応型スレッシュホールド・アルゴリズムでのみ使用。このレジスタには、スタートアップ時に（センサ特性評価に基づいて）初期値がプログラムされます。このレジスタの値は、センサの出力値が想定される公称値を超えないようにします。
STAGE_OFFSET_LOW_CLAMP	Bank 2	CDC出力コードにおける最大変化である、想定される最大センサ応答が設定されます。 内部の環境キャリブレーション・アルゴリズムと適応型スレッシュホールド・アルゴリズムでのみ使用。このレジスタには、スタートアップ時に（センサ特性評価に基づいて）初期値がプログラムされます。このレジスタの値は、センサの出力値が想定される公称値を超えないようにします。 CDC出力コードにおける最小変化である、想定される最小センサ応答が設定されます。
STAGE_SF_AMBIENT	Bank 3	式1と式2で使用。これは、センサがタッチされていないときの周辺センサ出力であり、低速FIFOを使用して計算されます。
STAGE_HIGH_THRESHOLD	Bank 3	式1の値
STAGE_LOW_THRESHOLD	Bank 3	式2の値

割込み出力

AD7142の割込み出力は、ホスト・プロセッサの割込みサービス・ルーチンをトリガします。 $\overline{\text{INT}}$ 信号は、ピン25に出力され、オープンドレイン出力になっています。AD7142では、CDC変換完了割込み、センサ・スレッシュールド割込み、GPIO割込みという、3種類の割込みイベントがあります。各割込みには、イネーブル・レジスタとステータス・レジスタがあります。変換完了割込みとセンサ・スレッシュールド割込みは、変換段ごとにイネーブルにできます。ステータス・レジスタは、 $\overline{\text{INT}}$ ピンをトリガした割込みの種類を示します。読出し動作中には、ステータス・レジスタがクリアされ、 $\overline{\text{INT}}$ 信号はハイレベルにリセットされます。読み出されたアドレスが設定されると、信号はすぐにハイレベルに戻ります。

CDC変換完了割込み

AD7142の割込み信号は、変換段の完了を示すためにローにアサートされます。レジスタでは、新しい変換結果データが使用可能になります。

割込みは、変換段ごとに独立してイネーブルにできます。各変換段の完了割込みは、`STAGE_COMPLETE_EN`レジスタ（アドレス0x007）によってイネーブルにできます。このレジスタには、各変換段に対応するビットがあります。このビットを1に設定すると、その段に対する割込みがイネーブルになります。このビットを0にクリアすると、その段に対する変換完了割込みがディスエーブルになります。

通常動作では、AD7142の割込みは、変換シーケンスの最終段に対してだけイネーブルになります。たとえば、5つの変換段がある場合、`STAGE4`に対する変換完了割込みがイネーブルになります。 $\overline{\text{INT}}$ がアサートされるタイミングは、5つの変換段がすべて完了し、ホストが5つすべてのリザルト・レジスタから新しいデータを読み出せるようになったときです。割込みをクリアするには、アドレス0x00Aにある`STAGE_COMPLETE_STATUS_INT`レジスタを読み出します。

レジスタ0x00Aは、変換完了割込みステータス・レジスタです。このレジスタの各ビットは、1つの変換段に対応します。ビットがセットされている場合は、対応する段の変換完了割込みがトリガされたことを意味します。割込みをトリガした原因となる条件が解消された場合は、このレジスタは読出し時にクリアされます。

センサ・タッチ割込み

センサ・タッチ割込みモードを使用してホスト・プロセッサに割込みをかけるのは、センサがアクティブになっている場合だけです。

AD7142をこのモードに設定すると、ユーザがセンサに接触したり、センサから離れたときに、割込みがアサートされます。2番目の割込みは、ユーザがもはやセンサに接触していないことをホスト・プロセッサに警告するために必要です。

アドレス0x005とアドレス0x006にあるレジスタは、各段の割込み出力をイネーブルにするために使用されます。アドレス0x008とアドレス0x009に置かれているレジスタは、各段の割込みステータスの読出しに使用されます。

図38は、センサ・タッチ割込みモードで動作している場合に、`STAGE0`に接続されたセンサの1つに接触したときの割込み出力のタイミングを示します。下限設定の場合は、センサが接触されたとき、およびユーザがセンサとの接触を停止した後で、割込み出力がアサートされます。

注：アドレス0x008とアドレス0x009に置かれている割込みステータス・レジスタをホスト・プロセッサが読み出すまでは、割込み出力はローレベルのままです。

スレッシュールド・ステータス・ビットに変化があると、割込み出力がアサートされます。これには3つの可能性（ユーザが初めてセンサにタッチした、タッチされているセンサの数が増えた、ユーザがもはやセンサにタッチしていない）のいずれかを示しています。割込みステータス・レジスタのステータス・ビットを読み出すと、現在のセンサの起動が判明します。

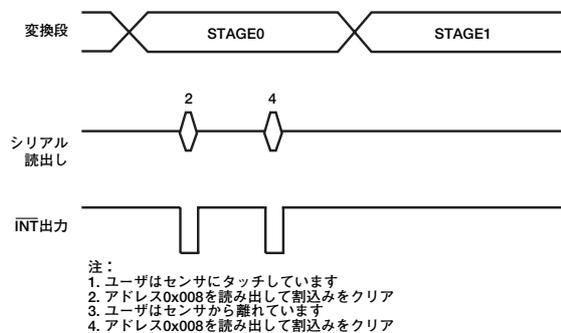
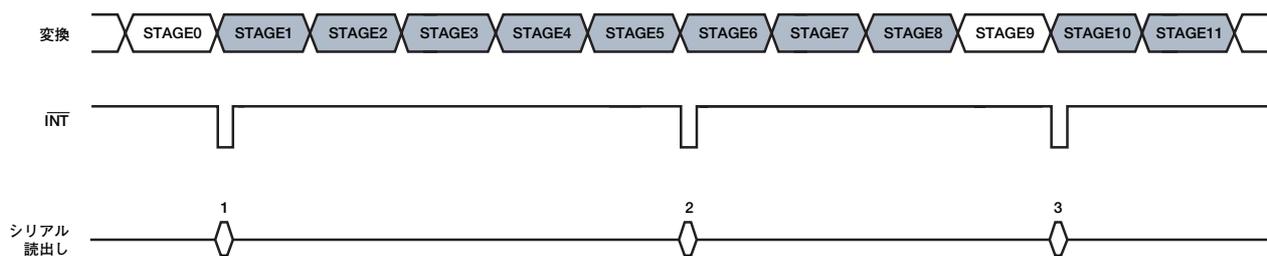


図38. センサ・タッチ割込みの例



注

これはCDC変換完了割込みの例です。

このタイミング例では、STAGE0、STAGE5、STAGE9に対する変換サイクルの最後に、割込み出力のアサートがイネーブルになったことを示します。他のすべての段に対する割込みはディスエーブルになりました。

STAGE0、STAGE5、STAGE9に対するSTAGEx設定のプログラミング・ノート (x=0、5、9)

STAGEx_LOW_INT_EN (アドレス0x005)=0
 STAGEx_HIGH_INT_EN (アドレス0x006)=0
 STAGEx_COMPLETE_EN (アドレス0x007)=1

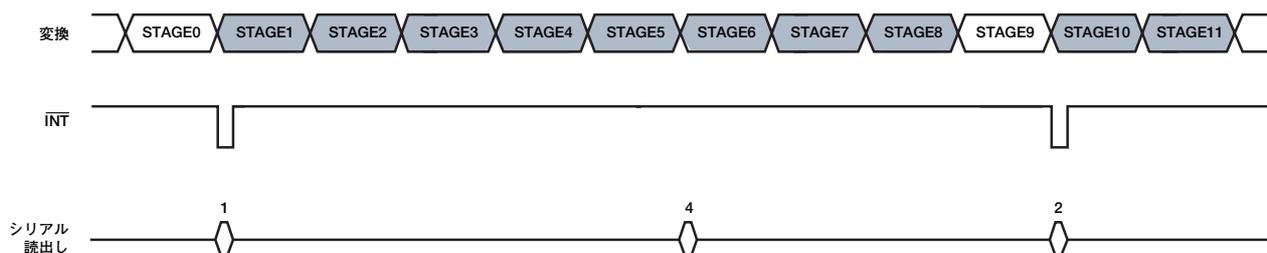
STAGE1～STAGE8、STAGE10、STAGE11に対するSTAGEx設定のプログラミング・ノート (x=1、2、3、4、5、6、7、8、10、11)

STAGEx_LOW_INT_EN (アドレス0x005)=0
 STAGEx_HIGH_INT_EN (アドレス0x006)=0
 STAGEx_COMPLETE_EN (アドレス0x007)=0

STAGE0、STAGE5、STAGE9に対するシリアル読出し条件。この読出し動作は、割込み出力をクリアするために必要です。

1. STAGE0_COMPLETE_STATUS_INT (アドレス0x00A) レジスタを読み出します
2. STAGE5_COMPLETE_STATUS_INT (アドレス0x00A) レジスタを読み出します
3. STAGE9_COMPLETE_STATUS_INT (アドレス0x00A) レジスタを読み出します

図39. 変換終了割込みセットアップ用のレジスタの設定例



注

これは、低スレッショールド・レベルを超えた場合のセンサ・スレッショールド割込みの例です。

例：STAGE0とSTAGE9に接続されたセンサが接触され、低スレッショールド・レベルを超えたため、割込みがアサートされます。ユーザはSTAGE6に接続されたセンサに接触しなかったため、STAGE6割込みはアサートされませんでした。

STAGE0、STAGE6、STAGE9に対するSTAGEx設定のプログラミング・ノート (x=0、6、9)

STAGEx_LOW_INT_EN (アドレス0x005)=1
 STAGEx_HIGH_INT_EN (アドレス0x006)=0
 STAGEx_COMPLETE_EN (アドレス0x007)=0

STAGE1～STAGE7、STAGE8、STAGE10、STAGE11に対するSTAGEx設定のプログラミング・ノート (x=1、2、3、4、5、6、7、8、10、11)

STAGEx_LOW_INT_EN (アドレス0x005)=0
 STAGEx_HIGH_INT_EN (アドレス0x006)=0
 STAGEx_COMPLETE_EN (アドレス0x007)=0

STAGE0とSTAGE9に対するシリアル読出し条件。この読出し動作は、割込み出力をクリアするために必要です。

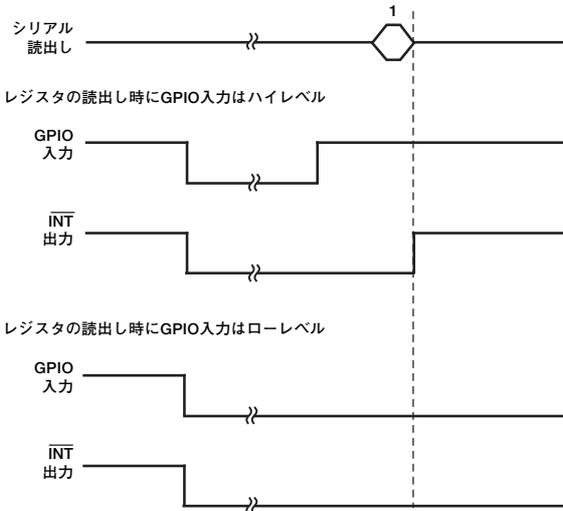
1. STAGE0_LOW_LIMIT_INT (アドレス0x008) レジスタを読み出します
2. STAGE5_LOW_LIMIT_INT (アドレス0x008) レジスタを読み出します

図40. センサ割込みセットアップ用のレジスタの設定例

GPIO $\overline{\text{INT}}$ 出力の制御

GPIOが入力として設定されると、 $\overline{\text{INT}}$ 出力信号はGPIOピンによって制御できます。GPIOを入力として設定するには、割込み設定レジスタのGPIO_SETUPビットを01に設定します。GPIOの詳細な設定については、「GPIO」を参照してください。

レジスタ0x007のGPIO_INT_ENビットを1に設定してGPIO割込みをイネーブルにするか、このビットを0にクリアしてGPIO割込みをディスエーブルにします。変換完了割込みステータス・レジスタのGPIOステータス・ビットは、GPIO割込みのステータスを反映します。GPIOが $\overline{\text{INT}}$ をトリガした場合、このビットは1に設定されます。割込みの原因となる条件が解消された場合は、このビットはレジスタからの読出し時にクリアされます。



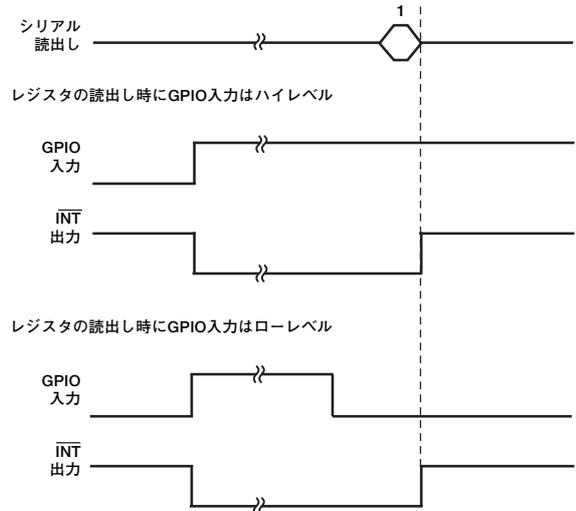
注
1. $\overline{\text{INT}}$ 出力をリセットするには、GPIO_STATUSレジスタを読み出します。

057102-028

図41. GPIO入力によって制御される $\overline{\text{INT}}$ 出力の例、GPIO_SETUP=01、GPIO_INPUT_CONFIG=00

GPIO割込みは、GPIO入力ピンでの立上がりエッジ、立下がりエッジ、ハイレベル、ローレベルのいずれかでトリガされるように設定できます。表14は、割込みイネーブル・レジスタのGPIO_INPUT_CONFIGビットの設定が $\overline{\text{INT}}$ の動作に与える影響を示します。

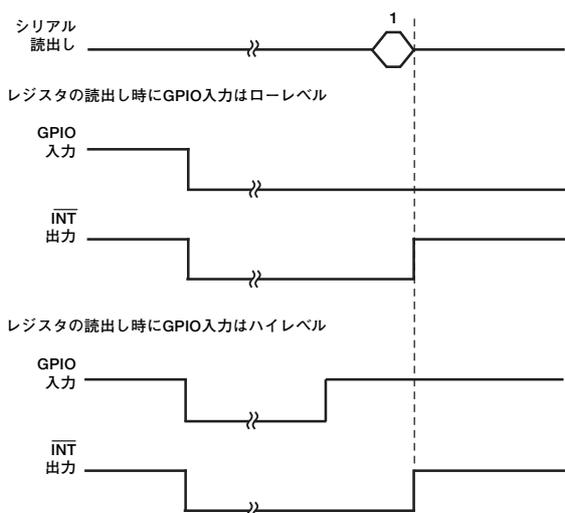
図41～44は、CDC変換完了割込みステータス・レジスタからの読出し時に割込み出力がクリアされる様子を示します。



注
1. $\overline{\text{INT}}$ 出力をリセットするには、GPIO_STATUSレジスタを読み出します。

057102-029

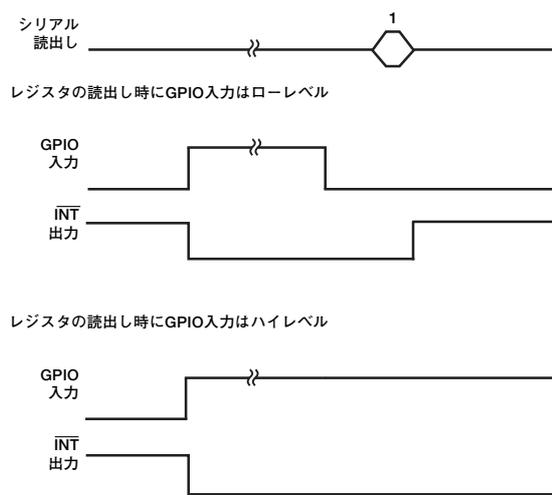
図42. GPIO入力によって制御される $\overline{\text{INT}}$ 出力の例、GPIO_SETUP=01、GPIO_INPUT_CONFIG=01



注
1. $\overline{\text{INT}}$ 出力をリセットするには、GPIO_STATUSレジスタを読み出します。

05702-030

図43. GPIO入力によって制御される $\overline{\text{INT}}$ 出力の例、
GPIO_SETUP=01、GPIO_INPUT_CONFIG=10



注
1. $\overline{\text{INT}}$ 出力をリセットするには、GPIO_STATUSレジスタを読み出します。

06702-051

図44. GPIO入力によって制御される $\overline{\text{INT}}$ 出力の例、
GPIO_SETUP=01、GPIO_INPUT_CONFIG=11

表14. GPIO割込み動作

GPIO_INPUT_CONFIG	GPIOピン	GPIO_STATUS	$\overline{\text{INT}}$	$\overline{\text{INT}}$ 動作
00=負レベルでトリガ	1	0	1	トリガされません
00=負レベルでトリガ	0	1	0	GPIOピンでの信号がローレベルのときアサートされます
01=正エッジでトリガ	1	1	0	ローからハイへのGPIO遷移でローのパルスを出力
01=正エッジでトリガ	0	0	1	トリガされません
10=負エッジでトリガ	1	0	1	ハイからローへのGPIO遷移でローのパルスを出力
10=負エッジでトリガ	0	1	0	トリガされません
11=正レベルでトリガ	1	1	0	GPIOピンでの信号がハイレベルのときアサートされます
11=正レベルでトリガ	0	0	1	トリガされません

出力

励起電源

AD7142に内蔵されている励起電源は、250kHzの周波数を持つ矩形波信号源です。この励起電源は、外部容量センサPCボード内のトランスミッタとレシーバの間に電界を形成します。ソースは、SRCピンとSRCピン（反転した信号源矩形波を出力）という2本のピンでAD7142から出力されます。SRC信号は、大きな外部センサ容量をオフセット調整します。ほとんどのアプリケーションでは、SRCは使用しません。

ソース出力は、コントロール・レジスタのビット（アドレス0x000[13:12]）に書き込むことによって、両方の出力ピンから個別にディスエーブルにできます。このレジスタのビット12を1に設定すると、SRCピンでのソース出力がディスエーブルになります。このレジスタのビット13を1に設定すると、SRCピンでの反転ソース出力がディスエーブルになります。

C_{SHIELD}出力

外部容量センサからのリーク電流を防ぐため、センサ・パターンをシールドできます。AD7142には、任意のシールド・パターンの電位として使用できる電圧出力C_{SHIELD}があります。C_{SHIELD}電圧はAV_{DD}/2と等しくなります。

C_{SHIELD}電位は、AD7142の内部アンプの出力から得られ、CIN入力ラインと等しい電位です。シールドはセンサ・パターンと同じ電位にあるため、グラウンドへのリーク電流は発生しません。C_{SHIELD}出力でのリングングを解消するには、C_{SHIELD}ピンとグラウンドの間に10nFのコンデンサを接続します。このコンデンサは、C_{SHIELD}がアプリケーションで使用されるかどうかとは無関係に、必要です。

多くのアプリケーションでは、C_{SHIELD}は使用されません。センサの周りでは、代わりにグラウンド・プレーンが使用されます。

GPIO

AD7142には、ピン26の位置に1本のGPIOピンがあります。これは入力または出力として設定できます。GPIOピンの設定は、割込みイネーブル・レジスタのGPIO_SETUPビット[13:12]によって決まります。

表15. GPIO_SETUPビット

GPIO_SETUP	GPIOの設定
00	GPIOはディスエーブル
01	入力
10	出力ローレベル
11	出力ハイレベル

GPIOが出力として設定される場合、表15に示すGPIO_SETUPビットによって定義されるように、ピンでの電圧レベルはローレベルまたはハイレベルに設定されます。

GPIOが入力として設定される場合、GPIOピン上の信号に対するAD7142の応答は、割込みイネーブル・レジスタのGPIO_INPUT_CONFIGビットによって決まります。表16に示すように、GPIOは、アクティブ・ハイまたはアクティブ・ローだけでなく、エッジ・トリガまたはレベル・トリガとしても設定できます。

表16. GPIO_INPUT_CONFIGビット

GPIO_INPUT_CONFIG	GPIOの設定
00	負レベルでトリガ (アクティブ・ロー)
01	正エッジでトリガ (アクティブ・ハイ)
10	負エッジでトリガ (アクティブ・ロー)
11	正レベルでトリガ (アクティブ・ハイ)

GPIOが入力として設定された場合、AD7142上で割込み出力がトリガされます。表14は、それぞれのGPIO設定に対する割込み出力動作を示します。

GPIOによるLEDのターンオン/オフ

AD7142のGPIOを出力ハイレベルまたはローレベルとして設定すれば、そのGPIOを用いてLEDをターンオン/オフできます。GPIOを出力ハイレベルに設定すると、LEDがターンオンされます。GPIOを出力ローレベルに設定すると、LEDがターンオフされます。GPIOピンは、LEDに駆動電流を供給するトランジスタに接続されます。適切なトランジスタにはKTC3875などがあります。

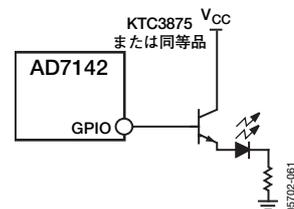


図45. GPIOによるLEDの制御

シリアル・インターフェース

AD7142ではSPIシリアル・インターフェースが使用できます。AD7142-1ではI²C互換のインターフェースが使用できます。これらの製品は、シリアル・インターフェースが異なることを除いてはすべて同一です。

SPIインターフェース

AD7142は4線式シリアル・ペリフェラル・インターフェース (SPI) を備えています。SPIには、デバイスにデータを入力するためのデータ入力ピン (SDI)、デバイスからデータを読み出すためのデータ出力ピン (SDO)、デバイスとの間でデータをクロック入出力するためのデータ・クロック・ピン (SCLK) があります。チップ・セレクト・ピン ($\overline{\text{CS}}$) は、シリアル・インターフェースをイネーブル/ディスエーブルにします。 $\overline{\text{CS}}$ はSPIインターフェースの正しい動作のために必要です。データは、SCLKの負エッジでAD7142からクロック出力され、SCLKの正エッジでデバイスにクロック入力されます。

SPIコマンド・ワード

SPIバスでのすべてのデータ・トランザクションは、マスターが $\overline{\text{CS}}$ をハイレベルからローレベルにし、コマンド・ワードを送出することで始まります。これにより、AD7142にはトランザクションが読み出しであるか書き込みであるか通知され、データ転送を開始するレジスタのアドレスが与えられます。次のビットマップは、SPIのコマンド・ワードを示します。

MSB						LSB
15	14	13	12	11	10	9:0
1	1	1	0	0	R/W	レジスタ・アドレス

バス・トランザクションを正しく開始するには、コマンド・ワードのビット[15:11]を11100に設定する必要があります。

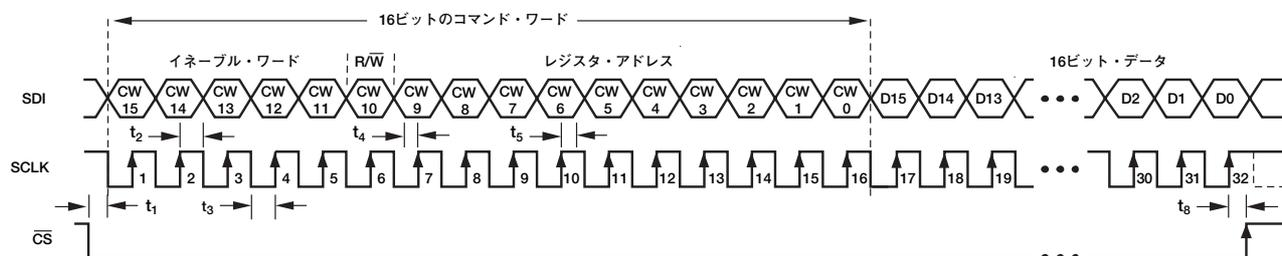
ビット10は読み出し/書き込みビットであり、1は読み出しを示し、0は書き込みを示します。

ビット[9:0]には、ターゲット・レジスタのアドレスが含まれます。複数のレジスタに読み出し/書き込みを行うときには、このアドレスは、読み出し/書き込みの対象となる最初のレジスタのアドレスを示します。

データの書き込み

データは、16ビット・ワード単位でAD7142に書き込まれます。デバイスに書き込まれる最初のワードはコマンド・ワードであり、読み出し/書き込みビットが0に設定されます。次にマスターは、SDIラインに16ビットの入力データ・ワードを供給します。AD7142は、コマンド・ワードでアドレス指定されたレジスタにデータをクロック入力します。複数ワードのデータをクロック入力する場合、AD7142は、アドレス・ポインタを自動的にインクリメントして、次のデータ・ワードを次のレジスタにクロック入力します。

マスターが $\overline{\text{CS}}$ をハイレベルにして書き込み遷移を完了するか、アドレス・ポインタがその最大値に到達するまでは、AD7142はSDIラインでのデータのクロック入力を継続します。AD7142のアドレス・ポインタはラップしません。アドレス・ポインタがその最大値に到達すると、AD7142は、マスターがSDIラインに供給したデータを無視します。



注

1. SDIビットはSCLKの立上がりエッジでラッチされます。書き込み動作と書き込み動作の間、SCLKはアイドル・ハイまたはローにできます。

2. 32ビットすべてを書き込む必要があります。つまり、制御ワード用の16ビットとデータ用の16ビットです。

3. シリアル書き込み動作用の16ビット・コマンド・ワードの設定：

CW[15:11] = 11100 (イネーブル・ワード)

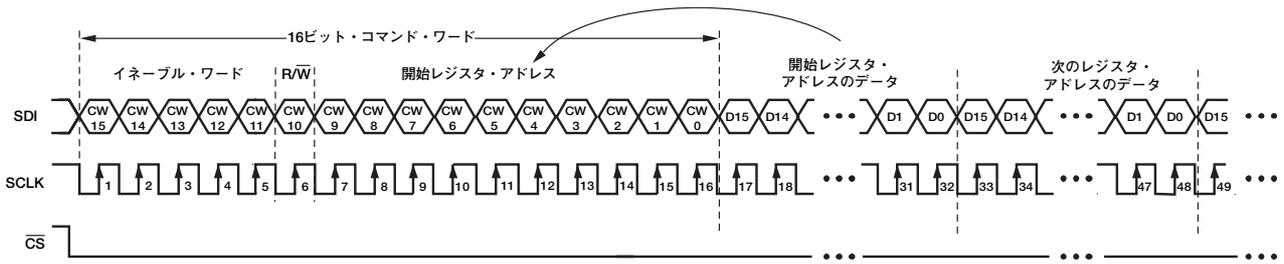
CW[10] = 0 (R/W)

CW[9:0] = [AD9, AD8, AD7, AD6, AD5, AD4, AD3, AD2, AD1, AD0] (MSB側に詰めた10ビットのレジスタ・アドレス)

図46. シングル・レジスタ書き込みのSPIタイミング

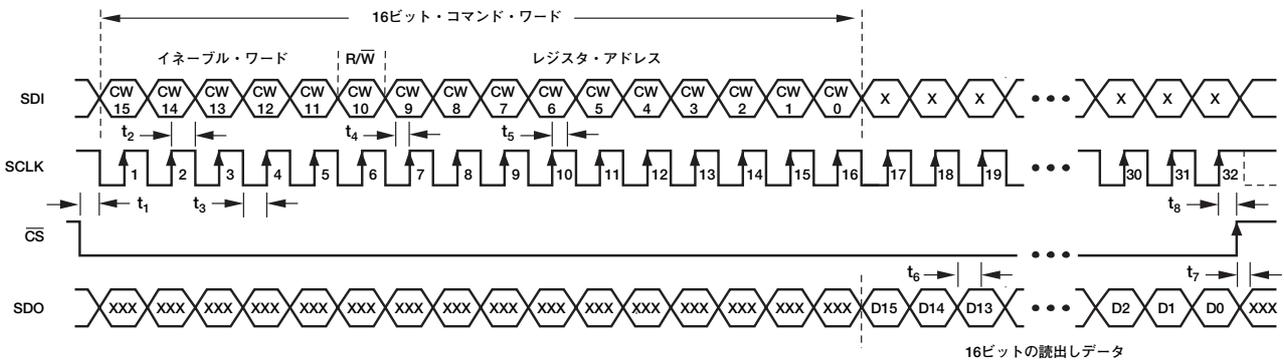
00702-003

AD7142



- 注
- 複数の連続したレジスタに連続的にロードできます。
 - 最初のレジスタ・アドレス（最下位アドレス）が書き込まれ、複数の16ビット・データ・ワードがそれに続きます。
 - アドレスは、16ビット・データ・ワードごとに自動的にインクリメントされます（16ビットすべてを書き込む必要があります）。
 - CSは、希望する最後のレジスタがロードされるまで、ローレベルに保持されます。
 - 順次書き込み動作のための16ビット・コマンド・ワードの設定：
 CW[15:11] = 11100（イネーブル・ワード）
 CW[10] = 0（R/W）
 CW[9:0] = [AD9, AD8, AD7, AD6, AD5, AD4, AD3, AD2, AD1, AD0]（MSB側に詰めた開始レジスタ・アドレス）

図47. 連続したレジスタ書き込みのSPIタイミング



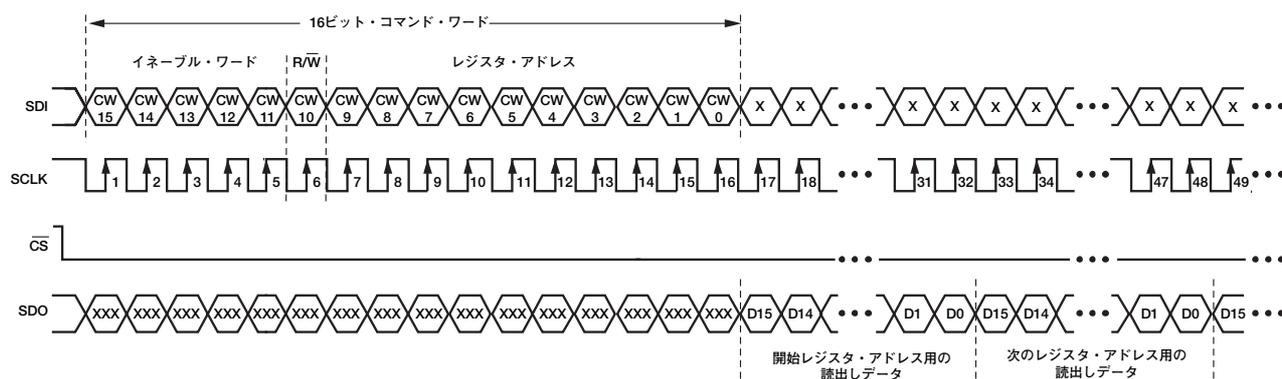
- 注
- SDIビットはSCLKの上上がりエッジでラッチされます。SCLKは、書き込み動作と読み出し動作の間にアイドル・ハイまたはローにできます。
 - SDIには16ビットの制御ワードを書き込む必要があります。つまり、イネーブル・ワード用の5ビット、R/W用の1ビット、レジスタ・アドレス用の10ビットです。
 - レジスタ・データはSDOピンで読み出されます。
 - Xはドント・ケアを示します。
 - XXXはハイ・インピーダンスのスリーステート出力を示します。
 - CSは、すべてのレジスタ・ビットが読み出されるまで、ローレベルに保持されます。
 - 1つの読み出し動作のための16ビット・コマンド・ワードの設定：
 CW[15:11] = 11100（イネーブル・ワード）
 CW[10] = 1（R/W）
 CW[9:0] = [AD9, AD8, AD7, AD6, AD5, AD4, AD3, AD2, AD1, AD0]（MSB側に詰めた10ビットのレジスタ・アドレス）

図48. シングル・レジスタ読み出しのSPIタイミング

データの読み出し

読み出し/書き込みビットを1に設定して、マスターがAD7142にコマンド・ワードを書き込むと、読み出しトランザクションが始まります。続いてマスターは、読み出されるデータ・ワードごとに16個のクロック・パルスを提供します。AD7142は、アドレス指定されたレジスタからのデータをSDOラインにクロック出力します。図48に示すように、最初のデータ・ワードは、コマンド・ワードの後に続くSCLKの最初の立下がりエッジでク

ロック出力されます。マスターがSCLK上のクロック信号の供給を継続する場合、AD7142はSDOラインにデータのクロック出力を継続します。マスターがCSをハイレベルにすると、読み出しトランザクションは完了します。AD7142のアドレス・ポインタがその最大値に到達した場合は、AD7142は、アドレス指定されたレジスタからデータを繰り返しクロック出力します。アドレス・ポインタはラップしません。



注

- 複数のレジスタを連続して読み出せます。
- 16ビットの制御ワードをSDIに書き込む必要があります。つまり、イネーブル・ワード用の5ビット、R/W用の1ビット、レジスタ・アドレス用の10ビットです。
- アドレスは、SDOピン上を読み出される16ビット・データ・ワードごとに自動的にインクリメントされます。
- CSは、すべてのレジスタ・ビットが読み出されるまで、ローレベルに保持されます。
- Xはドント・ケアを示します。
- XXXはハイ・インピーダンスのスリーステート出力を示します。
- 順次読み出し動作のための16ビット・コマンド・ワードの設定：
 CW[15:11] = 11100 (イネーブル・ワード)
 CW[10] = 1 (R/W)
 CW[9:0] = [AD9, AD8, AD7, AD6, AD5, AD4, AD3, AD2, AD1, AD0] (MSB側に詰めた開始レジスタ・アドレス)

図49. 連続したレジスタ読み出しのSPIタイミング

I²C互換のインターフェース

AD7142-1は、業界標準の2線式I²Cシリアル・インターフェース・プロトコルに対応します。I²Cタイミングに関連付けられた2本のラインは、SCLK入力とSDA入力です。SDAは、レジスタの書き込み動作とレジスタの読み出し動作を可能にするI/Oピンです。I²Cシリアル・インターフェース・バスでは、AD7142-1は常にスレーブ・デバイスです。

AD7142-1には、7ビットのデバイス・アドレス（アドレス0101 1XX）があります。下位2ビットを設定するには、ADD0ピンとADD1ピンをハイレベルまたはローレベルに接続します。マスター・デバイスがバスを通じてそのデバイス・アドレスを送信すると、AD7142-1が応答します。AD7142-1は、バス上のデータ転送を開始できません。

表17. AD7142-1のI²Cデバイス・アドレス

ADD1	ADD0	I ² Cアドレス
0	0	0101 100
0	1	0101 101
1	0	0101 110
1	1	0101 111

データ転送

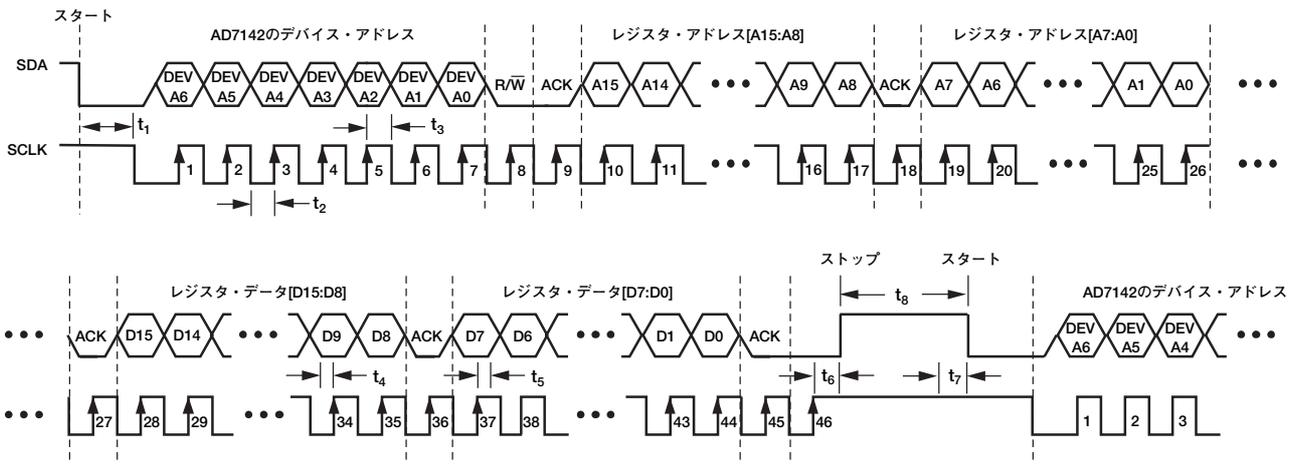
データは、I²Cシリアル・インターフェースを通じて8ビット・バイト単位で転送されます。シリアル・クロック・ラインSCLKがハイのときに、シリアル・データ・ラインSDAがハイからローに遷移して、スタート状態が確立されると、マスターはデータ転送を開始します。このスタート状態は、アドレス/データ・ストリームが続くことを示します。

シリアル・バスに接続されたすべてのスレーブ周辺デバイスはこのスタート状態に응答し、7ビット・アドレス（MSBファースト）とデータ転送の方向を決定する1つのR/Wビットで構成される、次の8ビットをシフトインします。送信されたアドレスに対応するアドレスの周辺デバイスは、9番目のクロック・パルス中にデータ・ラインをローにすることで応答します。これはアクノレッジ・ビットと呼ばれます。バス上の他のデバイスはすべてアイドル状態に維持され、選択されたデバイスはデータの読み出しまたは書き込みを待ちます。R/Wビットを0に設定すると、マスターはスレーブ・デバイスに書き込みます。R/Wビットを1に設定すると、マスターはスレーブ・デバイスから読み出します。

データは、連続した9つのクロック・パルスでシリアル・バスを通じて送信されます。8ビットのデータが送信され、その後スレーブ・デバイスから1つのアクノレッジ・ビットが続きます。クロックがハイのときにデータ・ラインがローからハイに遷移すると、ストップ信号として解釈されるので、クロック信号がローの期間中にデータ・ラインのロジック遷移が発生し、クロック信号がハイの間はその状態で安定することが必要になります。1回の読み出しまたは書き込み動作でシリアル・バスを通じて送信されるデータバイトの数は、マスター・デバイスとスレーブ・デバイスの処理能力によってのみ制限されます。

すべてのデータバイトの読み出しまたは書き込みが完了すると、ストップ状態が確立されます。ストップ状態とは、SCLKがハイの間にSDAがローからハイに遷移することです。AD7142がストップ状態を検出した場合は、アイドル状態に戻り、アドレス・ポインタ・レジスタはアドレス0x00にリセットされます。

AD7142



- 注
1. 最初のスタート状態は、SCLKがハイの間にSDAがハイからローに遷移することと定義されます。
 2. 最後のストップ状態は、SCLKがハイの間にSDAがローからハイに遷移することと定義されます。
 3. 7ビットのデバイス・アドレス[DEV A6:DEV A0]=[0 1 0 1 1 X X]。ここでXはドント・ケア・ビットです。
 4. 16ビットのレジスタ・アドレス[A15:A0]=[X, X, X, X, X, X, A9, A8, A7, A6, A5, A4, A3, A2, A1, A0]。ここでXはドント・ケア・ビットです。
 5. レジスタ・アドレス[A15:A8]とレジスタ・アドレス[A7:A0]は、常にローレベルのACKビットによって分離されています。
 6. レジスタ・データ[D15:D8]とレジスタ・データ[D7:D0]は、常にローレベルのACKビットによって分離されています。

図50. シングル・レジスタ書き込み動作のI²Cタイミングの例

I²Cバスによるデータの書き込み

図50と図52に、I²Cバスを通じてAD7142-1に書き込むプロセスを示します。デバイス・アドレスはバスを通じて送信され、続いてR/Wビットが0に設定されます。これに続いて、内部データ・レジスタの10ビット・アドレスを含む2バイトのデータが書き込まれます。次のビットマップは、レジスタの上位アドレス・バイトを示します。なお、上位アドレス・バイトのビット7~2はドント・ケア・ビットです。アドレスは、レジスタ・アドレス・バイトの10LSB内に含まれます。

MSB							LSB
7	6	5	4	3	2	1	0
X	X	X	X	X	X	レジスタ・アドレス・ビット9	レジスタ・アドレス・ビット8

次のビットマップは、レジスタの下位アドレス・バイトを示します。

MSB							LSB
7	6	5	4	3	2	1	0
レジスタ・アドレス・ビット7	レジスタ・アドレス・ビット6	レジスタ・アドレス・ビット5	レジスタ・アドレス・ビット4	レジスタ・アドレス・ビット3	レジスタ・アドレス・ビット2	レジスタ・アドレス・ビット1	レジスタ・アドレス・ビット0

3番目のデータバイトには、内部レジスタに書き込まれるデータの8MSBが含まれています。4番目のデータバイトには、内部レジスタに書き込まれるデータの8LSBが含まれています。

AD7142-1のアドレス・ポインタ・レジスタは、各書き込みの後で自動的にインクリメントされます。これにより、マスターは、同じ書き込みトランザクションにおいてAD7142-1上の全レジスタに連続的に書き込むことができます。しかし、最後のアドレスの後、アドレス・ポインタ・レジスタはラップしません。

アドレス・ポインタがその最大値に到達した後でAD7142-1に書き込まれたデータは、破棄されます。

AD7142-1上の全レジスタは16ビットです。連続した2つの8ビット・データバイトが結合されて、16ビット・レジスタに書き込まれます。エラーを回避するには、デバイスへのすべての書き込みに偶数のデータバイトを含む必要があります。

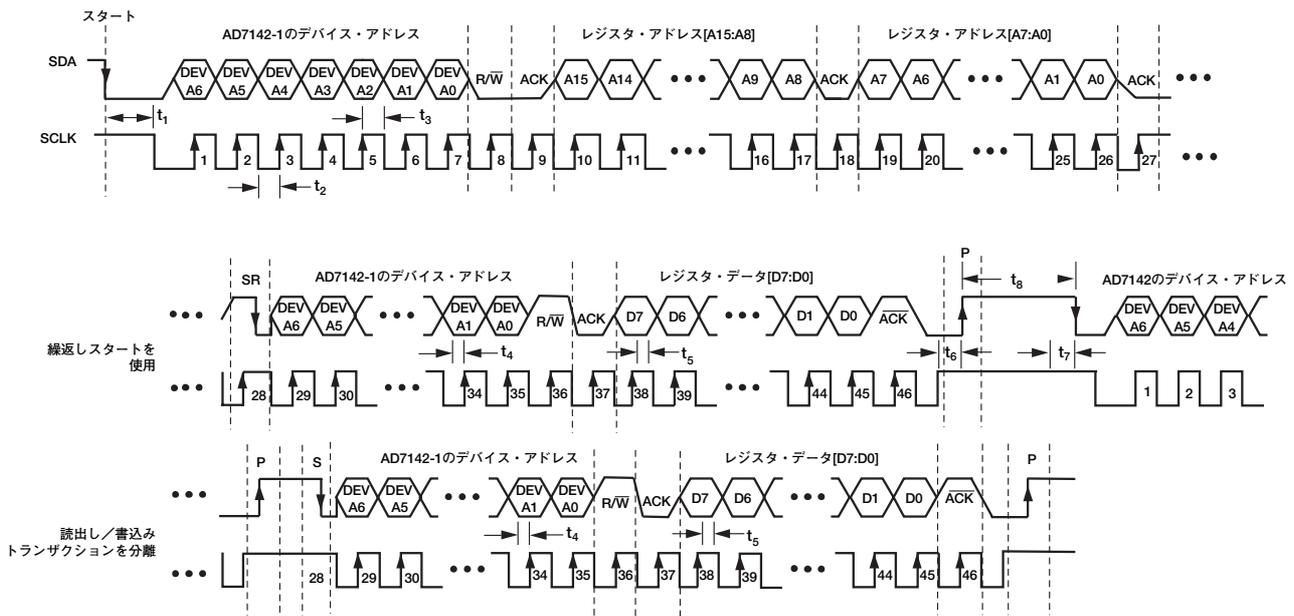
トランザクションを完了するため、マスターはSDO上にストップ状態を生成します（マスターがバスの制御を維持する場合は、繰返しスタート状態を生成します）。

I²Cバスによるデータの読み出し

AD7142-1からデータを読み出すには、まずアドレス・ポインタ・レジスタに必要な内部レジスタのアドレスを設定する必要があります。マスターは、書き込みトランザクションを実行し、AD7142-1に書き込んでアドレス・ポインタを設定します。次にマスターは、繰返しスタート状態を出力してバスの制御を維持します（これが不可能な場合は、ストップ状態により書き込みトランザクションを終了します）。R/Wビットが1に設定され、読み出しトランザクションが開始されます。

AD7142-1は、アドレス指定されたレジスタからのデータの上位8ビットを最初の読み出しバイトに供給し、続いて下位8ビットを次のバイトに供給します。これを図51と図52に示します。

各読み出しの後でアドレス・ポインタは自動的に増加するため、マスターがバス上にノー・アクノレッジとストップ状態を設定するまでは、AD7142-1は読み出しデータの出力を継続します。アドレス・ポインタがその最大値に到達し、マスターがデバイスからの読み出しを継続した場合、AD7142-1は、アドレス指定された最後のレジスタからのデータを繰返し送信します。



注

- 最初のスタート状態は、SCLKがハイの間にSDAがハイからローに遷移することと定義されます。
- 最後のストップ状態は、SCLKがハイの間にSDAがローからハイに遷移することと定義されます。
- マスターは、読み出しの最後にACKを生成して、これ以上のデータが不要であることを通知します。
- 7ビットのデバイス・アドレス[DEV A6:DEV A0]=[0 1 0 1 1 X X]。ここで2つのLSB Xはドント・ケア・ビットです。
- 16ビットのレジスタ・アドレス[A15:A0]=[X, X, X, X, X, X, A9, A8, A7, A6, A5, A4, A3, A2, A1, A0]。ここで上位のLSB Xはドント・ケア・ビットです。
- レジスタ・アドレス[A15:A8]とレジスタ・アドレス[A7:A0]は、常にローレベルのACKビットによって分離されています。
- レジスタ・データ[D15:D8]とレジスタ・データ[D7:D0]は、常にローレベルのACKビットによって分離されています。
- 読み出し動作を示すために、R/WビットはA1に設定されます。

図51. シングル・レジスタ・読み出し動作のI²Cタイミングの例

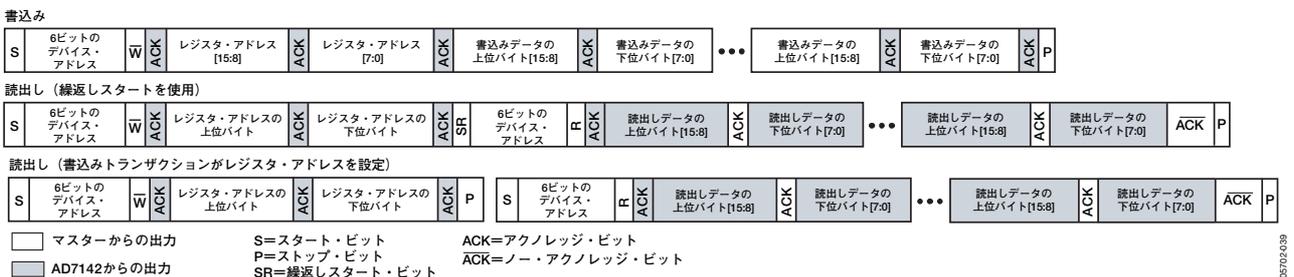


図52. I²Cの順次書き込みおよび読み出し動作の例

V_{DRIVE}入力

I²CとSPIのシリアル・インターフェースに関連付けられたすべてのピン (SDO, SDI, SCLK, SDA, CS) への電源電圧は、メインのV_{CC}電源とは別個であり、V_{DRIVE}ピンに接続されます。

これにより、AD7142の最小動作電圧より低い電源電圧を持つプロセッサに対して、外付けレベル・シフタを必要とすることなく、AD7142を直接接続できます。V_{DRIVE}ピンは、1.65VからDV_{CC}までの範囲の電源電圧に接続できます。

PCボード設計ガイドライン

容量センサ・ボードのメカニカル仕様

表18

パラメータ	記号	Min	Typ	Max	単位
任意のセンサのエッジから、接地された金属物のエッジまでの距離	D_1	0.1			mm
センサ・エッジ間の距離 ¹	$D_2=D_3=D_4$	0			mm
センサ・ボードの下部とコントローラ・ボードまたは金属製ケースの距離 ²	D_5		1.0		mm

¹ この距離は、アプリケーション、スイッチ相互のポジショニング、およびユーザの指のポジショニングと操作に依存します。隣接したセンサ（相互のスペースが最小の0）は個別に実装されます。

² 1.0mmの仕様は、センサ・ボードと導電材料との直接接触を防止するという意図です。この仕様は、コントローラ・ボードからセンサへのEMI結合がないことを保証しません。潜在的なEMI結合の問題に対処するには、図55に示すように、容量センサ・ボードとメイン・コントローラ・ボードの間に、接地された金属シールドを配置します。

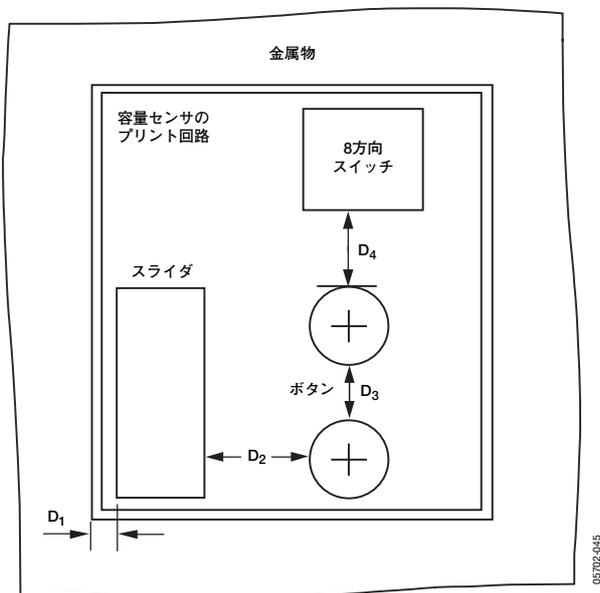


図53. 容量センサ・ボードのメカニカルの上面図

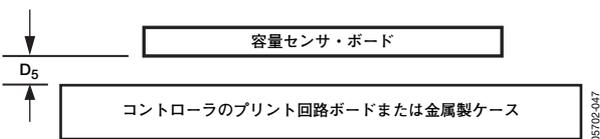


図54. 容量センサ・ボードのメカニカルの側面図

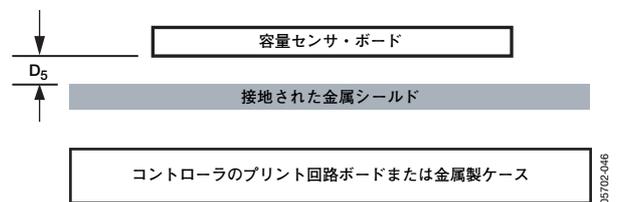


図55. 接地されたシールドを持つ容量センサ・ボード

チップ・スケール・パッケージ

チップ・スケール・パッケージ (CP-32-3) のランドは矩形です。ランド用のプリント回路ボード・パッドは、パッケージのランド長より0.1mm長く、パッケージのランド幅より0.05mm広くします。ランドはパッドの中央に配置して、ハンダ結合部の広さを最大にします。

チップ・スケール・パッケージの下部には、中央サーマル・パッドがあります。プリント回路ボードのサーマル・パッドの大きさは、少なくともこの露出パッドと同じにする必要があります。短絡を回避するため、プリント回路ボードのサーマル・パッドとランド・パターンの内側エッジの間に少なくとも0.25mmの隙間が必要です。

パッケージの熱性能を改善するために、プリント回路ボードのサーマル・パッドでサーマル・ビアを使用できます。ビアを使用する場合は、1.2mmピッチのグリッドでサーマル・パッドに組み込んでください。ビアの直径は0.3~0.33mmとし、ビア・バレルに1オンスの銅をメッキして、ビアを差し込んでください。

プリント回路ボードのサーマル・パッドをGNDに接続します。

パワーアップ・シーケンス

AD7142の電源投入時には、AD7142と μ Pシリアル・インターフェースを初めに設定するときに以下のシーケンスを推奨します。

1. AD7142への電源をターンオンします。
2. アドレス0x080~0x0DFにあるバンク2レジスタに書き込みます。これらのレジスタは連続しているため、連続したレジスタ書き込みシーケンスを適用できます。

注：バンク2レジスタの値は、アプリケーションごとに異なります。レジスタ値は、センサ・ボードの開発後にアナログ・デバイセスから提供されます。

3. 後述のように、アドレス0x000~0x007にあるバンク1レジスタに書き込みます。これらのレジスタは連続しているため、連続したレジスタ書き込みシーケンスを適用できます(図47と図52を参照)。

注意：この時点で、この連続的な書き込み動作中には、アドレス0x001はデフォルト値0x0000に設定したままであることが必要です。

レジスタ値：

アドレス0x000=0x00B2

アドレス0x001=0x0000

アドレス0x002=0x3230

アドレス0x003=0x14C8

アドレス0x004=0x0832

アドレス0x005=0x0000

アドレス0x006=0x0000

アドレス0x007=0x0001 (AD7142の割込みは、約36msごとにアサートされます。)

4. バンク1レジスタに書き込みます。アドレス0x001=0x0FFF。
5. アドレス0x008、0x009、または0x00Aにある対応する割込みステータス・レジスタを読み出します。「割込み出力」で説明したように、これは割込み出力設定によって決まります。

注：読み出す必要のあるレジスタは、各アプリケーションに依存します。アナログ・デバイセスは、センサ・ボードの開発後にこの情報を提供します。

6. $\overline{\text{INT}}$ がアサートされるたびに、ステップ5を繰り返します。

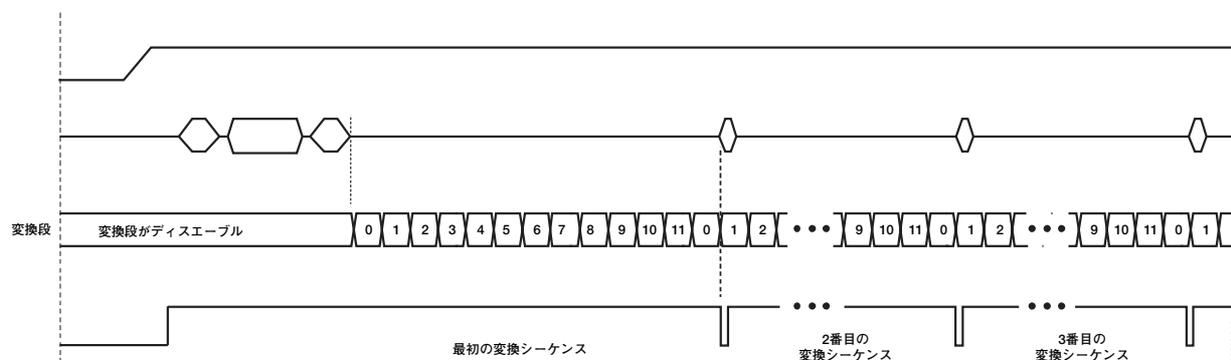


図56. 推奨される起動シーケンス

代表的なアプリケーション回路

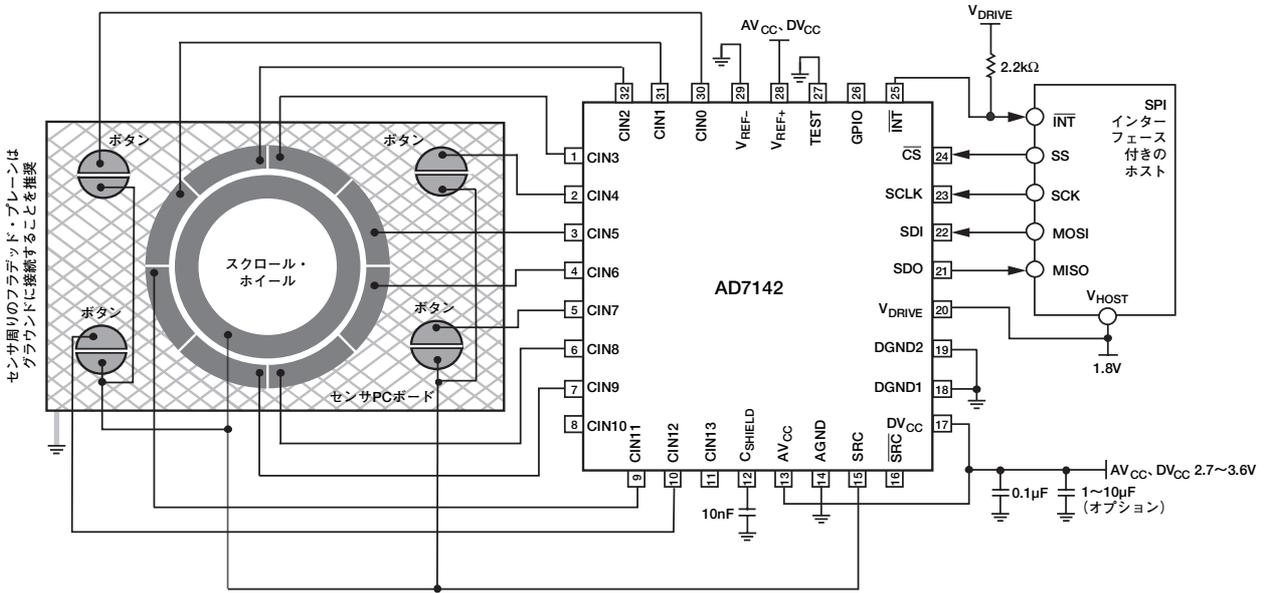


図57. SPIインターフェースを備えた代表的なアプリケーション回路

05702-041

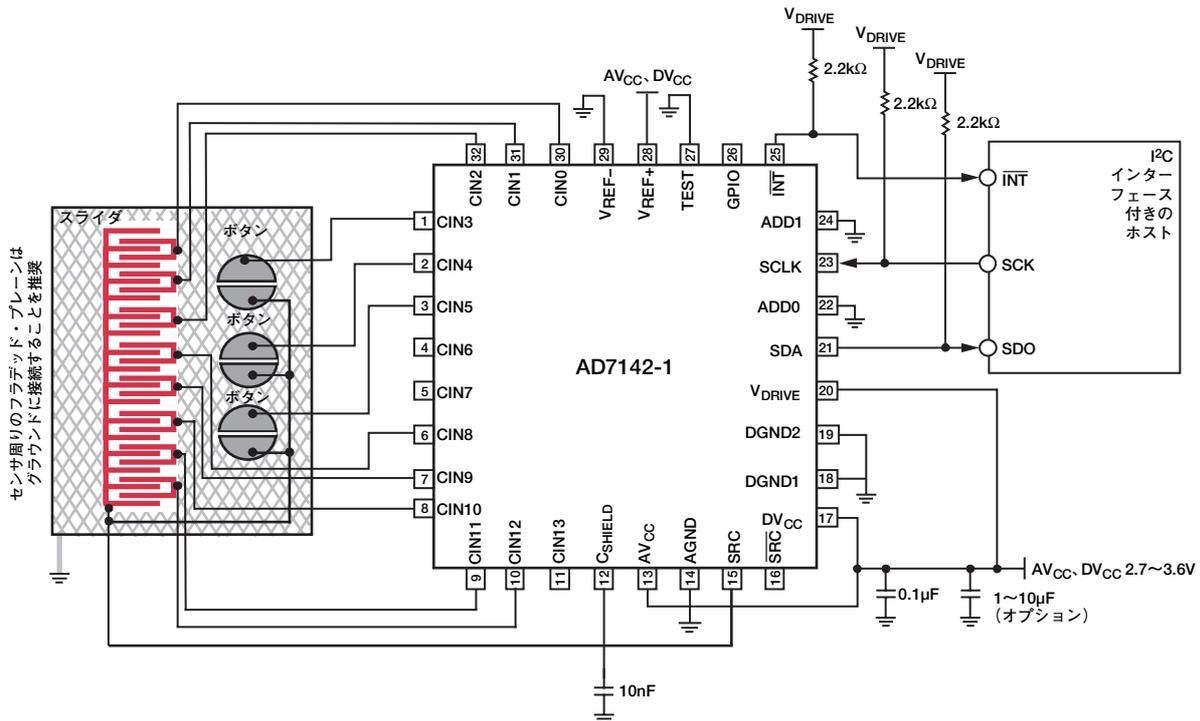


図58. I²Cインターフェースを備えた代表的なアプリケーション回路

05702-042

レジスタ・マップ

AD7142のアドレス空間は、バンク1、バンク2、バンク3と呼ばれる、3つの異なるレジスタ・バンクに分けられます。図59は、これら3つのバンクの分割を示します。

バンク1には、コントロール・レジスタ、CDC変換コントロール・レジスタ、割込みイネーブル・レジスタ、割込みステータス・レジスタ、CDC16ビット変換データ・レジスタ、デバイスIDレジスタ、近接ステータス・レジスタが含まれます。

バンク2には、変換段ごとにCIN入力を一意に設定するための設定レジスタが含まれます。有効なCDC変換結果データを得るには、パワーアップの直後にバンク2の設定レジスタを初期化します。

バンク3レジスタには、各変換段の結果が含まれます。これらのレジスタは、各変換シーケンスの最後に自動的に更新されます。これらのレジスタは、主にAD7142の内部データ処理に使用されますが、必要に応じて、ホスト・プロセッサが追加の外部データ処理に使用できます。

バンク2レジスタとバンク3レジスタのデフォルト値は、バンク2レジスタのパワーアップと設定が終わるまでは未定義です。



図59. バンク1レジスタ、バンク2レジスタ、バンク3レジスタのレイアウト

05702-043

詳細なレジスタ説明

バンク1レジスタ

すべてのアドレスとデフォルト値は、16進で表しています。

表19. PWR_CONTROLレジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x000	[1:0]	0	R/W	POWER_MODE	動作モード 00=通常消費電力モード（通常動作、約36msごとにCDC変換） 01=フル・シャットダウン・モード（CDC変換なし） 10=低消費電力モード（自動ウェイクアップ動作） 11=フル・シャットダウン・モード（CDC変換なし）
	[3:2]	0		LP_CONV_DELAY	低消費電力モードの変換遅延 00=200ms 01=400ms 10=600ms 11=800ms
	[7:4]	0		SEQUENCE_STAGE_NUM	シーケンス内の段数（N+1） 0000=シーケンス内に1つの変換段 0001=シーケンス内に2つの変換段 最大値=1011=シーケンス当たり12の変換段
	[9:8]	0		DECIMATION	ADCデシメーション係数 00=256のデシメーション 01=128のデシメーション 10=この設定は使用しません 11=この設定は使用しません
	[10]	0		SW_RESET	ソフトウェア・リセット制御（セルフクリア） 1=全レジスタをデフォルト値にリセット
	[11]	0		INT_POL	割込み極性制御 0=アクティブ・ロー 1=アクティブ・ハイ
	[12]	0		EXCITATION_SOURCE	ピン15の励起電源制御 0=出力をイネーブル 1=出力をディスエーブル
	[13]	0		$\overline{\text{SRC}}$	ピン16の励起電源制御 0=出力をイネーブル 1=出力をディスエーブル
	[15:14]	0		CDC_BIAS	CDCバイアス電流制御 00=通常動作 01=通常動作+20% 10=通常動作+35% 11=通常動作+50%

表20. STAGE_CAL_ENレジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x001	[0]	0	R/W	STAGE0_CAL_EN	STAGE0キャリブレーション・イネーブル 0=ディスエーブル 1=イネーブル
	[1]	0		STAGE1_CAL_EN	STAGE1キャリブレーション・イネーブル 0=ディスエーブル 1=イネーブル
	[2]	0		STAGE2_CAL_EN	STAGE2キャリブレーション・イネーブル 0=ディスエーブル 1=イネーブル
	[3]	0		STAGE3_CAL_EN	STAGE3キャリブレーション・イネーブル 0=ディスエーブル 1=イネーブル
	[4]	0		STAGE4_CAL_EN	STAGE4キャリブレーション・イネーブル 0=ディスエーブル 1=イネーブル
	[5]	0		STAGE5_CAL_EN	STAGE5キャリブレーション・イネーブル 0=ディスエーブル 1=イネーブル
	[6]	0		STAGE6_CAL_EN	STAGE6キャリブレーション・イネーブル 0=ディスエーブル 1=イネーブル
	[7]	0		STAGE7_CAL_EN	STAGE7キャリブレーション・イネーブル 0=ディスエーブル 1=イネーブル
	[8]	0		STAGE8_CAL_EN	STAGE8キャリブレーション・イネーブル 0=ディスエーブル 1=イネーブル
	[9]	0		STAGE9_CAL_EN	STAGE9キャリブレーション・イネーブル 0=ディスエーブル 1=イネーブル
	[10]	0		STAGE10_CAL_EN	STAGE10キャリブレーション・イネーブル 0=ディスエーブル 1=イネーブル
	[11]	0		STAGE11_CAL_EN	STAGE11キャリブレーション・イネーブル 0=ディスエーブル 1=イネーブル
	[13:12]	0		AVG_FP_SKIP	通常消費電力モードのスキップ制御 00=3つのサンプルをスキップ 01=7つのサンプルをスキップ 10=15のサンプルをスキップ 11=31のサンプルをスキップ
	[15:14]	0		AVG_LP_SKIP	低消費電力モードのスキップ制御 00=すべてのサンプルを使用 01=1つのサンプルをスキップ 10=2つのサンプルをスキップ 11=3つのサンプルをスキップ

AD7142

表21. AMB_COMP_CTRL0レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x002	[3:0]	0	R/W	FF_SKIP_CNT	高速フィルタのスキップ制御 (N+1) 0000=結果のシーケンスをスキップしません 0001=高速FIFOに許される全体のうち結果の1つのシーケンスをスキップ 0010=高速FIFOに許される全体のうち結果の2つのシーケンスをスキップ 1011=最大値=高速FIFOに許される全体のうち結果の12のシーケンスをスキップ
	[7:4]	F		FP_PROXIMITY_CNT	通常消費電力モードでのキャリブレーション・ディスエーブル期間=FP_PROXIMITY_CNT×16×通常消費電力モードで1つの変換シーケンスに要する時間
	[11:8]	F		LP_PROXIMITY_CNT	低消費電力モードでのキャリブレーション・ディスエーブル期間=LP_PROXIMITY_CNT×4×低消費電力モードで1つの変換シーケンスに要する時間
	[13:12]	0		PWR_DOWN_TIMEOUT	通常消費電力から低消費電力モードへのタイムアウト制御 00=1.25×(FP_PROXIMITY_CNT) 01=1.50×(FP_PROXIMITY_CNT) 10=1.75×(FP_PROXIMITY_CNT) 11=2.00×(FP_PROXIMITY_CNT)
	[14]	0		FORCED_CAL	強制キャリブレーション制御 0=通常動作 1=すべての変換段に再キャリブレーションを強制
	[15]	0		CONV_RESET	変換リセット制御 (セルフクリア) 0=通常動作 1=変換シーケンスをSTAGE0までリセット

表22. AMB_COMP_CTRL1レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x003	[7:0]	64	R/W	PROXIMITY_RECAL_LVL	近接再キャリブレーション・レベル
	[13:8]	1		PROXIMITY_DETECTION_RATE	近接検出レート
	[15:14]	0		SLOW_FILTER_UPDATE_LVL	低速フィルタの更新レベル

表23. AMB_COMP_CTRL2レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x004	[9:0]	3FF	R/W	FP_PROXIMITY_RECAL	通常消費電力モードの近接再キャリブレーション時間制御
	[15:10]	3F		LP_PROXIMITY_RECAL	低消費電力モードの近接再キャリブレーション時間制御

表24. STAGE_LOW_INT_ENレジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x005	[0]	0	R/W	STAGE0_LOW_INT_EN	STAGE0ローレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE0の下限スレッシュォールドを超えた場合にINTをアサート
	[1]	0		STAGE1_LOW_INT_EN	STAGE1ローレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE1の下限スレッシュォールドを超えた場合にINTをアサート
	[2]	0		STAGE2_LOW_INT_EN	STAGE2ローレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE2の下限スレッシュォールドを超えた場合にINTをアサート
	[3]	0		STAGE3_LOW_INT_EN	STAGE3ローレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE3の下限スレッシュォールドを超えた場合にINTをアサート
	[4]	0		STAGE4_LOW_INT_EN	STAGE4ローレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE4の下限スレッシュォールドを超えた場合にINTをアサート
	[5]	0		STAGE5_LOW_INT_EN	STAGE5ローレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE5の下限スレッシュォールドを超えた場合にINTをアサート
	[6]	0		STAGE6_LOW_INT_EN	STAGE6ローレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE6の下限スレッシュォールドを超えた場合にINTをアサート
	[7]	0		STAGE7_LOW_INT_EN	STAGE7ローレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE7の下限スレッシュォールドを超えた場合にINTをアサート
	[8]	0		STAGE8_LOW_INT_EN	STAGE8ローレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE8の下限スレッシュォールドを超えた場合にINTをアサート
	[9]	0		STAGE9_LOW_INT_EN	STAGE9ローレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE9の下限スレッシュォールドを超えた場合にINTをアサート
	[10]	0		STAGE10_LOW_INT_EN	STAGE10ローレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE10の下限スレッシュォールドを超えた場合にINTをアサート
	[11]	0		STAGE11_LOW_INT_EN	STAGE11ローレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE11の下限スレッシュォールドを超えた場合にINTをアサート
[13:12]	0		GPIO_SETUP	GPIOセットアップ 00=GPIOピンをディスエーブル 01=GPIOを入力として設定 10=GPIOをアクティブ・ロー出力として設定 11=GPIOをアクティブ・ハイ出力として設定	
[15:14]	0		GPIO_INPUT_CONFIG	GPIO入力設定 00=負レベルでトリガ 01=正エッジでトリガ 10=負エッジでトリガ 11=正レベルでトリガ	

AD7142

表25. STAGE_HIGH_INT_ENレジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x006	[0]	0	R/W	STAGE0_HIGH_INT_EN	STAGE0ハイレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE0の上限スレッシュォールドを超えた場合にINTをアサート
	[1]	0		STAGE1_HIGH_INT_EN	STAGE1ハイレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE1の上限スレッシュォールドを超えた場合にINTをアサート
	[2]	0		STAGE2_HIGH_INT_EN	STAGE2ハイレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE2の上限スレッシュォールドを超えた場合にINTをアサート
	[3]	0		STAGE3_HIGH_INT_EN	STAGE3ハイレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE3の上限スレッシュォールドを超えた場合にINTをアサート
	[4]	0		STAGE4_HIGH_INT_EN	STAGE4ハイレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE4の上限スレッシュォールドを超えた場合にINTをアサート
	[5]	0		STAGE5_HIGH_INT_EN	STAGE5ハイレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE5の上限スレッシュォールドを超えた場合にINTをアサート
	[6]	0		STAGE6_HIGH_INT_EN	STAGE6ハイレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE6の上限スレッシュォールドを超えた場合にINTをアサート
	[7]	0		STAGE7_HIGH_INT_EN	STAGE7ハイレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE7の上限スレッシュォールドを超えた場合にINTをアサート
	[8]	0		STAGE8_HIGH_INT_EN	STAGE8ハイレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE8の上限スレッシュォールドを超えた場合にINTをアサート
	[9]	0		STAGE9_HIGH_INT_EN	STAGE9 sensorハイレベル割込みイネーブル 1 0=割込みソースをディスエーブル 1=STAGE9の上限スレッシュォールドを超えた場合にINTをアサート
	[10]	0		STAGE10_HIGH_INT_EN	STAGE10ハイレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE10の上限スレッシュォールドを超えた場合にINTをアサート
	[11]	0		STAGE11_HIGH_INT_EN	STAGE11ハイレベル割込みイネーブル 0=割込みソースをディスエーブル 1=STAGE11の上限スレッシュォールドを超えた場合にINTをアサート
[15:12]				未使用	未使用のレジスタ・ビット=0に設定

表26. STAGE_COMPLETE_INT_ENレジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x007	[0]	0	R/W	STAGE0_COMPLETE_EN	STAGE0変換割込み制御 0=割込みソースをディスエーブル 1=STAGE0変換の終了時にINTをアサート
	[1]	0		STAGE1_COMPLETE_EN	STAGE1変換割込み制御 0=割込みソースをディスエーブル 1=STAGE1変換の終了時にINTをアサート
	[2]	0		STAGE2_COMPLETE_EN	STAGE2変換割込み制御 0=割込みソースをディスエーブル 1=STAGE2変換の終了時にINTをアサート
	[3]	0		STAGE3_COMPLETE_EN	STAGE3変換割込み制御 0=割込みソースをディスエーブル 1=STAGE3変換の終了時にINTをアサート
	[4]	0		STAGE4_COMPLETE_EN	STAGE4変換割込み制御 0=割込みソースをディスエーブル 1=STAGE4変換の終了時にINTをアサート
	[5]	0		STAGE5_COMPLETE_EN	STAGE5変換割込み制御 0=割込みソースをディスエーブル 1=STAGE5変換の終了時にINTをアサート
	[6]	0		STAGE6_COMPLETE_EN	STAGE6変換割込み制御 0=割込みソースをディスエーブル 1=STAGE6変換の終了時にINTをアサート
	[7]	0		STAGE7_COMPLETE_EN	STAGE7変換割込み制御 0=割込みソースをディスエーブル 1=STAGE7変換の終了時にINTをアサート
	[8]	0		STAGE8_COMPLETE_EN	STAGE8変換割込み制御 0=割込みソースをディスエーブル 1=STAGE8変換の終了時にINTをアサート
	[9]	0		STAGE9_COMPLETE_EN	STAGE9変換割込み制御 0=割込みソースをディスエーブル 1=STAGE9変換の終了時にINTをアサート
	[10]	0		STAGE10_COMPLETE_EN	STAGE10変換割込み制御 0=割込みソースをディスエーブル 1=STAGE10変換の終了時にINTをアサート
	[11]	0		STAGE11_COMPLETE_EN	STAGE11変換割込み制御 0=割込みソースをディスエーブル 1=STAGE11変換の終了時にINTをアサート
	[12]	0		GPIO_INT_EN	GPIO入力ピンのレベルが変化した場合の割込み制御 0=ディスエーブル 1=イネーブル
[15:13]			未使用	未使用のレジスタ・ビット=0に設定	

AD7142

表27. STAGE_LOW_LIMIT_INTレジスタ¹

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x008	[0]	0	R	STAGE0_LOW_LIMIT_INT	STAGE0のCDC変換下限制限込みの結果 1=STAGE0_LOW_THRESHOLD値を超えたことを示す
	[1]	0		STAGE1_LOW_LIMIT_INT	STAGE1のCDC変換下限制限込みの結果 1=STAGE1_LOW_THRESHOLD値を超えたことを示す
	[2]	0		STAGE2_LOW_LIMIT_INT	STAGE2のCDC変換下限制限込みの結果 1=STAGE2_LOW_THRESHOLD値を超えたことを示す
	[3]	0		STAGE3_LOW_LIMIT_INT	STAGE3のCDC変換下限制限込みの結果 1=STAGE3_LOW_THRESHOLD値を超えたことを示す
	[4]	0		STAGE4_LOW_LIMIT_INT	STAGE4のCDC変換下限制限込みの結果 1=STAGE4_LOW_THRESHOLD値を超えたことを示す
	[5]	0		STAGE5_LOW_LIMIT_INT	STAGE5のCDC変換下限制限込みの結果 1=STAGE5_LOW_THRESHOLD値を超えたことを示す
	[6]	0		STAGE6_LOW_LIMIT_INT	STAGE6のCDC変換下限制限込みの結果 1=STAGE6_LOW_THRESHOLD値を超えたことを示す
	[7]	0		STAGE7_LOW_LIMIT_INT	STAGE7のCDC変換下限制限込みの結果 1=STAGE7_LOW_THRESHOLD値を超えたことを示す
	[8]	0		STAGE8_LOW_LIMIT_INT	STAGE8のCDC変換下限制限込みの結果 1=STAGE8_LOW_THRESHOLD値を超えたことを示す
	[9]	0		STAGE9_LOW_LIMIT_INT	STAGE9のCDC変換下限制限込みの結果 1=STAGE9_LOW_THRESHOLD値を超えたことを示す
	[10]	0		STAGE10_LOW_LIMIT_INT	STAGE10のCDC変換下限制限込みの結果 1=STAGE10_LOW_THRESHOLD値を超えたことを示す
	[11]	0		STAGE11_LOW_LIMIT_INT	STAGE11のCDC変換下限制限込みの結果 1=STAGE11_LOW_THRESHOLD値を超えたことを示す
[15:12]			未使用	未使用のレジスタ・ビット=0に設定	

¹ 限界を超えていない場合、レジスタは読み出し後に0にセルフクリア。

表28. STAGE_HIGH_LIMIT_INTレジスタ¹

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x009	[0]	0	R	STAGE0_HIGH_LIMIT_INT	STAGE0のCDC変換上限制限込みの結果result 1=STAGE0_HIGH_THRESHOLD値を超えた ことを示す
	[1]	0		STAGE1_HIGH_LIMIT_INT	STAGE1のCDC変換上限制限込みの結果result 1=STAGE1_HIGH_THRESHOLD値を超えた ことを示す
	[2]	0		STAGE2_HIGH_LIMIT_INT	Stage2のCDC変換上限制限込みの結果result 1=STAGE2_HIGH_THRESHOLD値を超えた ことを示す
	[3]	0		STAGE3_HIGH_LIMIT_INT	STAGE3のCDC変換上限制限込みの結果result 1=STAGE3_HIGH_THRESHOLD値を超えた ことを示す
	[4]	0		STAGE4_HIGH_LIMIT_INT	STAGE4のCDC変換上限制限込みの結果result 1=STAGE4_HIGH_THRESHOLD値を超えた ことを示す
	[5]	0		STAGE5_HIGH_LIMIT_INT	STAGE5のCDC変換上限制限込みの結果result 1=STAGE5_HIGH_THRESHOLD値を超えた ことを示す
	[6]	0		STAGE6_HIGH_LIMIT_INT	STAGE6のCDC変換上限制限込みの結果result 1=STAGE6_HIGH_THRESHOLD値を超えた ことを示す
	[7]	0		STAGE7_HIGH_LIMIT_INT	STAGE7のCDC変換上限制限込みの結果result 1=STAGE7_HIGH_THRESHOLD値を超えた ことを示す
	[8]	0		STAGE8_HIGH_LIMIT_INT	STAGE8のCDC変換上限制限込みの結果result 1=STAGE8_HIGH_THRESHOLD値を超えた ことを示す
	[9]	0		STAGE9_HIGH_LIMIT_INT	STAGE9のCDC変換上限制限込みの結果result 1=STAGE9_HIGH_THRESHOLD値を超えた ことを示す
	[10]	0		STAGE10_HIGH_LIMIT_INT	STAGE10のCDC変換上限制限込みの結果result 1=STAGE10_HIGH_THRESHOLD値を超えた ことを示す
	[11]	0		TAGE11_HIGH_LIMIT_INT	STAGE11のCDC変換上限制限込みの結果result 1=STAGE11_HIGH_THRESHOLD値を超えた ことを示す
[15:12]			未使用	未使用のレジスタ・ビット=0に設定	

¹ 限界を超えていない場合、レジスタは読出し後に0にセルフクリア。

AD7142

表29. STAGE_COMPLETE_LIMIT_INTレジスタ¹

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x00A	[0]	0	R	STAGE0_COMPLETE_STATUS_INT	STAGE0の変換完了レジスタの割込みステータス 1=STAGE0の変換が完了したことを示す
	[1]	0		STAGE1_COMPLETE_STATUS_INT	STAGE1の変換完了レジスタの割込みステータス 1=STAGE1の変換が完了したことを示す
	[2]	0		STAGE2_COMPLETE_STATUS_INT	STAGE2の変換完了レジスタの割込みステータス 1=STAGE2の変換が完了したことを示す
	[3]	0		STAGE3_COMPLETE_STATUS_INT	STAGE3の変換完了レジスタの割込みステータス 1=STAGE3の変換が完了したことを示す
	[4]	0		STAGE4_COMPLETE_STATUS_INT	STAGE4の変換完了レジスタの割込みステータス 1=STAGE4の変換が完了したことを示す
	[5]	0		STAGE5_COMPLETE_STATUS_INT	STAGE5の変換完了レジスタの割込みステータス 1=STAGE5の変換が完了したことを示す
	[6]	0		STAGE6_COMPLETE_STATUS_INT	STAGE6の変換完了レジスタの割込みステータス 1=STAGE6の変換が完了したことを示す
	[7]	0		STAGE7_COMPLETE_STATUS_INT	STAGE7の変換完了レジスタの割込みステータス 1=STAGE7の変換が完了したことを示す
	[8]	0		STAGE8_COMPLETE_STATUS_INT	STAGE8の変換完了レジスタの割込みステータス 1=STAGE8の変換が完了したことを示す
	[9]	0		STAGE9_COMPLETE_STATUS_INT	STAGE9の変換完了レジスタの割込みステータス 1=STAGE9の変換が完了したことを示す
	[10]	0		STAGE10_COMPLETE_STATUS_INT	STAGE10の変換完了レジスタの割込みステータス 1=STAGE10の変換が完了したことを示す
	[11]	0		STAGE11_COMPLETE_STATUS_INT	STAGE11の変換完了レジスタの割込みステータス 1=STAGE11の変換が完了したことを示す
	[12]	0		GPIO_STATUS	GPIO入力ピンのステータス 1=GPIOピンのレベルが変化したことを示す
	[15:13]			未使用	未使用のレジスタ・ビット=0に設定

¹ 限界を超えていない場合、レジスタは読出し後に0にセルフクリア。

表30. CDC 16ビット変換データ・レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x00B	[15:0]	0	R	ADC_RESULT_S0	STAGE0のCDC 16ビット変換データ
0x00C	[15:0]	0	R	ADC_RESULT_S1	STAGE1のCDC 16ビット変換データ
0x00D	[15:0]	0	R	ADC_RESULT_S2	STAGE2のCDC 16ビット変換データ
0x00E	[15:0]	0	R	ADC_RESULT_S3	STAGE3のCDC 16ビット変換データ
0x00F	[15:0]	0	R	ADC_RESULT_S4	STAGE4のCDC 16ビット変換データ
0x010	[15:0]	0	R	ADC_RESULT_S5	STAGE5のCDC 16ビット変換データ
0x011	[15:0]	0	R	ADC_RESULT_S6	STAGE6のCDC 16ビット変換データ
0x012	[15:0]	0	R	ADC_RESULT_S7	STAGE7のCDC 16ビット変換データ
0x013	[15:0]	0	R	ADC_RESULT_S8	STAGE8のCDC 16ビット変換データ
0x014	[15:0]	0	R	ADC_RESULT_S9	STAGE9のCDC 16ビット変換データ
0x015	[15:0]	0	R	ADC_RESULT_S10	STAGE10のCDC 16ビット変換データ
0x016	[15:0]	0	R	ADC_RESULT_S11	STAGE11のCDC 16ビット変換データ

表31. デバイスIDレジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x017	[3:0]	2	R	REVISION_CODE	AD7142のリビジョン・コード
	[15:4]	E62		DEVID	AD7142のデバイスID=1101 1010 0010

表32. 近接ステータス・レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x042	[0]	0	R	STAGE0_PROXIMITY_STATUS	STAGE0の近接ステータス・レジスタ の近接ステータス・レジスタ
	[1]	0	R	STAGE1_PROXIMITY_STATUS	STAGE1の近接ステータス・レジスタ 1=STAGE1に近接が検出されたことを示す
	[2]	0	R	STAGE2_PROXIMITY_STATUS	STAGE2の近接ステータス・レジスタ 1=STAGE2に近接が検出されたことを示す
	[3]	0	R	STAGE3_PROXIMITY_STATUS	STAGE3の近接ステータス・レジスタ 1=STAGE3に近接が検出されたことを示す
	[4]	0	R	STAGE4_PROXIMITY_STATUS	STAGE4の近接ステータス・レジスタ 1=STAGE4に近接が検出されたことを示す
	[5]	0	R	STAGE5_PROXIMITY_STATUS	STAGE5の近接ステータス・レジスタ 1=STAGE5に近接が検出されたことを示す
	[6]	0	R	STAGE6_PROXIMITY_STATUS	STAGE6の近接ステータス・レジスタ 1=STAGE6に近接が検出されたことを示す
	[7]	0	R	STAGE7_PROXIMITY_STATUS	STAGE7の近接ステータス・レジスタ 1=STAGE7に近接が検出されたことを示す
	[8]	0	R	STAGE8_PROXIMITY_STATUS	STAGE8の近接ステータス・レジスタ 1=STAGE8に近接が検出されたことを示す
	[9]	0	R	STAGE9_PROXIMITY_STATUS	STAGE9の近接ステータス・レジスタ 1=STAGE9に近接が検出されたことを示す
	[10]	0	R	STAGE10_PROXIMITY_STATUS	STAGE10の近接ステータス・レジスタ 1=STAGE10に近接が検出されたことを示す
	[11]	0	R	STAGE11_PROXIMITY_STATUS	STAGE11の近接ステータス・レジスタ 1=STAGE11に近接が検出されたことを示す
[15:0]				未使用	未使用のレジスタ・ビット=0に設定

AD7142

バンク2レジスタ

すべてのアドレス値は16進で表しています。

表33. STAGE0設定レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x080	[15:0]	X	R/W	STAGE0_CONNECTION[6:0]	STAGE0 CIN(6:0)接続設定 (表45を参照)
0x081	[15:0]	X	R/W	STAGE0_CONNECTION[13:7]	STAGE0 CIN(13:7)接続設定 (表46を参照)
0x082	[15:0]	X	R/W	STAGE0_AFE_OFFSET	STAGE0 AFEオフセット制御 (表47を参照)
0x083	[15:0]	X	R/W	STAGE0_SENSITIVITY	STAGE0感度制御 (表48を参照)
0x084	[15:0]	X	R/W	STAGE0_OFFSET_LOW	STAGE0初期オフセットの最低値
0x085	[15:0]	X	R/W	STAGE0_OFFSET_HIGH	STAGE0初期オフセットの最高値
0x086	[15:0]	X	R/W	STAGE0_OFFSET_HIGH_CLAMP	STAGE0オフセットの高クランプ値
0x087	[15:0]	X	R/W	STAGE0_OFFSET_LOW_CLAMP	STAGE0オフセットの低クランプ値

表34. STAGE1設定レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x088	[15:0]	X	R/W	STAGE1_CONNECTION[6:0]	STAGE1 CIN(6:0)接続設定 (表45を参照)
0x089	[15:0]	X	R/W	STAGE1_CONNECTION[13:7]	STAGE1 CIN(13:7)接続設定 (表46を参照)
0x08A	[15:0]	X	R/W	STAGE1_AFE_OFFSET	STAGE1 AFEオフセット制御 (表47を参照)
0x08B	[15:0]	X	R/W	STAGE1_SENSITIVITY	STAGE1感度制御 (表48を参照)
0x08C	[15:0]	X	R/W	STAGE1_OFFSET_LOW	STAGE1初期オフセットの最低値
0x08D	[15:0]	X	R/W	STAGE1_OFFSET_HIGH	STAGE1初期オフセットの最高値
0x08E	[15:0]	X	R/W	STAGE1_OFFSET_HIGH_CLAMP	STAGE1オフセットの高クランプ値
0x08F	[15:0]	X	R/W	STAGE1_OFFSET_LOW_CLAMP	STAGE1オフセットの低クランプ値

表35. STAGE2設定レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x090	[15:0]	X	R/W	STAGE2_CONNECTION[6:0]	STAGE2 CIN(6:0)接続設定 (表45を参照)
0x091	[15:0]	X	R/W	STAGE2_CONNECTION[13:7]	STAGE2 CIN(13:7)接続設定 (表46を参照)
0x092	[15:0]	X	R/W	STAGE2_AFE_OFFSET	STAGE2 AFEオフセット制御 (表47を参照)
0x093	[15:0]	X	R/W	STAGE2_SENSITIVITY	STAGE2感度制御 (表48を参照)
0x094	[15:0]	X	R/W	STAGE2_OFFSET_LOW	STAGE2初期オフセットの最低値
0x095	[15:0]	X	R/W	STAGE2_OFFSET_HIGH	STAGE2初期オフセットの最高値
0x096	[15:0]	X	R/W	STAGE2_OFFSET_HIGH_CLAMP	STAGE2オフセットの高クランプ値
0x097	[15:0]	X	R/W	STAGE2_OFFSET_LOW_CLAMP	STAGE2オフセットの低クランプ値

表36. STAGE3設定レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x098	[15:0]	X	R/W	STAGE3_CONNECTION[6:0]	STAGE3 CIN(6:0)接続設定 (表45を参照)
0x099	[15:0]	X	R/W	STAGE3_CONNECTION[13:7]	STAGE3 CIN(13:7)接続設定 (表46を参照)
0x09A	[15:0]	X	R/W	STAGE3_AFE_OFFSET	STAGE3 AFEオフセット制御 (表47を参照)
0x09B	[15:0]	X	R/W	STAGE3_SENSITIVITY	STAGE3感度制御 (表48を参照)
0x09C	[15:0]	X	R/W	STAGE3_OFFSET_LOW	STAGE3初期オフセットの最低値
0x09D	[15:0]	X	R/W	STAGE3_OFFSET_HIGH	STAGE3初期オフセットの最高値
0x09E	[15:0]	X	R/W	STAGE3_OFFSET_HIGH_CLAMP	STAGE3オフセットの高クランプ値
0x09F	[15:0]	X	R/W	STAGE3_OFFSET_LOW_CLAMP	STAGE3オフセットの低クランプ値

表37. STAGE4設定レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x0A0	[15:0]	X	R/W	STAGE4_CONNECTION[6:0]	STAGE4 CIN(6:0)接続設定 (表45を参照)
0x0A1	[15:0]	X	R/W	STAGE4_CONNECTION[13:7]	STAGE4 CIN(13:7)接続設定 (表46を参照)
0x0A2	[15:0]	X	R/W	STAGE4_AFE_OFFSET	STAGE4 AFEオフセット制御 (表47を参照)
0x0A3	[15:0]	X	R/W	STAGE4_SENSITIVITY	STAGE4感度制御 (表48を参照)
0x0A4	[15:0]	X	R/W	STAGE4_OFFSET_LOW	STAGE4初期オフセットの最低値
0x0A5	[15:0]	X	R/W	STAGE4_OFFSET_HIGH	STAGE4初期オフセットの最高値
0x0A6	[15:0]	X	R/W	STAGE4_OFFSET_HIGH_CLAMP	STAGE4オフセットの高クランプ値
0x0A7	[15:0]	X	R/W	STAGE4_OFFSET_LOW_CLAMP	STAGE4オフセットの低クランプ値

表38. STAGE5設定レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x0A8	[15:0]	X	R/W	STAGE5_CONNECTION[6:0]	STAGE5 CIN(6:0)接続設定 (表45を参照)
0x0A9	[15:0]	X	R/W	STAGE5_CONNECTION[13:7]	STAGE5 CIN(13:7)接続設定 (表46を参照)
0x0AA	[15:0]	X	R/W	STAGE5_AFE_OFFSET	STAGE5 AFEオフセット制御 (表47を参照)
0x0AB	[15:0]	X	R/W	STAGE5_SENSITIVITY	STAGE5感度制御 (表48を参照)
0x0AC	[15:0]	X	R/W	STAGE5_OFFSET_LOW	STAGE5初期オフセットの最低値
0x0AD	[15:0]	X	R/W	STAGE5_OFFSET_HIGH	STAGE5初期オフセットの最高値
0x0AE	[15:0]	X	R/W	STAGE5_OFFSET_HIGH_CLAMP	STAGE5オフセットの高クランプ値
0x0AF	[15:0]	X	R/W	STAGE5_OFFSET_LOW_CLAMP	STAGE5オフセットの低クランプ値

AD7142

表39. STAGE6設定レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x0B0	[15:0]	X	R/W	STAGE6_CONNECTION[6:0]	STAGE6 CIN(6:0)接続設定 (表45を参照)
0x0B1	[15:0]	X	R/W	STAGE6_CONNECTION[13:7]	STAGE6 CIN(13:7)接続設定 (表46を参照)
0x0B2	[15:0]	X	R/W	STAGE6_AFE_OFFSET	STAGE6 AFEオフセット制御 (表47を参照)
0x0B3	[15:0]	X	R/W	STAGE6_SENSITIVITY	STAGE6感度制御 (表48を参照)
0x0B4	[15:0]	X	R/W	STAGE6_OFFSET_LOW	STAGE6初期オフセットの最低値
0x0B5	[15:0]	X	R/W	STAGE6_OFFSET_HIGH	STAGE6初期オフセットの最高値
0x0B6	[15:0]	X	R/W	STAGE6_OFFSET_HIGH_CLAMP	STAGE6オフセットの高クランプ値
0x0B7	[15:0]	X	R/W	STAGE6_OFFSET_LOW_CLAMP	STAGE6オフセットの低クランプ値

表40. STAGE7設定レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x0B8	[15:0]	X	R/W	STAGE7_CONNECTION[6:0]	STAGE7 CIN(6:0)接続設定 (表45を参照)
0x0B9	[15:0]	X	R/W	STAGE7_CONNECTION[13:7]	STAGE7 CIN(13:7)接続設定 (表46を参照)
0x0BA	[15:0]	X	R/W	STAGE7_AFE_OFFSET	STAGE7 AFEオフセット制御 (表47を参照)
0x0BB	[15:0]	X	R/W	STAGE7_SENSITIVITY	STAGE7感度制御 (表48を参照)
0x0BC	[15:0]	X	R/W	STAGE7_OFFSET_LOW	STAGE7初期オフセットの最低値
0x0BD	[15:0]	X	R/W	STAGE7_OFFSET_HIGH	STAGE7初期オフセットの最高値
0x0BE	[15:0]	X	R/W	STAGE7_OFFSET_HIGH_CLAMP	STAGE7オフセットの高クランプ値
0x0BF	[15:0]	X	R/W	STAGE7_OFFSET_LOW_CLAMP	STAGE7オフセットの低クランプ値

表41. STAGE8設定レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x0C0	[15:0]	X	R/W	STAGE8_CONNECTION[6:0]	STAGE8 CIN(6:0)接続設定 (表45を参照)
0x0C1	[15:0]	X	R/W	STAGE8_CONNECTION[13:7]	STAGE8 CIN(13:7)接続設定 (表46を参照)
0x0C2	[15:0]	X	R/W	STAGE8_AFE_OFFSET	STAGE8 AFEオフセット制御 (表47を参照)
0x0C3	[15:0]	X	R/W	STAGE8_SENSITIVITY	STAGE8感度制御 (表48を参照)
0x0C4	[15:0]	X	R/W	STAGE8_OFFSET_LOW	STAGE8初期オフセットの最低値
0x0C5	[15:0]	X	R/W	STAGE8_OFFSET_HIGH	STAGE8初期オフセットの最高値
0x0C6	[15:0]	X	R/W	STAGE8_OFFSET_HIGH_CLAMP	STAGE8オフセットの高クランプ値
0x0C7	[15:0]	X	R/W	STAGE8_OFFSET_LOW_CLAMP	STAGE8オフセットの低クランプ値

表42. STAGE9設定レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x0C8	[15:0]	X	R/W	STAGE9_CONNECTION[6:0]	STAGE9 CIN(6:0)接続設定 (表45を参照)
0x0C9	[15:0]	X	R/W	STAGE9_CONNECTION[13:7]	STAGE9 CIN(13:7)接続設定 (表46を参照)
0x0CA	[15:0]	X	R/W	STAGE9_AFE_OFFSET	STAGE9 AFEオフセット制御 (表47を参照)
0x0CB	[15:0]	X	R/W	STAGE9_SENSITIVITY	STAGE9感度制御 (表48を参照)
0x0CC	[15:0]	X	R/W	STAGE9_OFFSET_LOW	STAGE9初期オフセットの最低値
0x0CD	[15:0]	X	R/W	STAGE9_OFFSET_HIGH	STAGE9初期オフセットの最高値
0x0CE	[15:0]	X	R/W	STAGE9_OFFSET_HIGH_CLAMP	STAGE9オフセットの高クランプ値
0x0CF	[15:0]	X	R/W	STAGE9_OFFSET_LOW_CLAMP	STAGE9オフセットの低クランプ値

表43. STAGE10設定レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x0D0	[15:0]	X	R/W	STAGE10_CONNECTION[6:0]	STAGE10 CIN(6:0)接続設定 (表45を参照)
0x0D1	[15:0]	X	R/W	STAGE10_CONNECTION[13:7]	STAGE10 CIN(13:7)接続設定 (表46を参照)
0x0D2	[15:0]	X	R/W	STAGE10_AFE_OFFSET	STAGE10 AFEオフセット制御 (表47を参照)
0x0D3	[15:0]	X	R/W	STAGE10_SENSITIVITY	STAGE10感度制御 (表48を参照)
0x0D4	[15:0]	X	R/W	STAGE10_OFFSET_LOW	STAGE10初期オフセットの最低値
0x0D5	[15:0]	X	R/W	STAGE10_OFFSET_HIGH	STAGE10初期オフセットの最高値
0x0D6	[15:0]	X	R/W	STAGE10_OFFSET_HIGH_CLAMP	STAGE10オフセットの高クランプ値
0x0D7	[15:0]	X	R/W	STAGE10_OFFSET_LOW_CLAMP	STAGE10オフセットの低クランプ値

表44. STAGE11設定レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x0D8	[15:0]	X	R/W	STAGE11_CONNECTION[6:0]	STAGE11 CIN(6:0)接続設定 (表45を参照)
0x0D9	[15:0]	X	R/W	STAGE11_CONNECTION[13:7]	STAGE11 CIN(13:7)接続設定 (表46を参照)
0x0DA	[15:0]	X	R/W	STAGE11_AFE_OFFSET	STAGE11 AFEオフセット制御 (表47を参照)
0x0DB	[15:0]	X	R/W	STAGE11_SENSITIVITY	STAGE11感度制御 (表48を参照)
0x0DC	[15:0]	X	R/W	STAGE11_OFFSET_LOW	STAGE11初期オフセットの最低値
0x0DD	[15:0]	X	R/W	STAGE11_OFFSET_HIGH	STAGE11初期オフセットの最高値
0x0DE	[15:0]	X	R/W	STAGE11_OFFSET_HIGH_CLAMP	STAGE11オフセットの高クランプ値
0x0DF	[15:0]	X	R/W	STAGE11_OFFSET_LOW_CLAMP	STAGE11オフセットの低クランプ値

AD7142

表45. STAGEX詳細CIN(0:6)接続設定説明 (X=0~11)

データビット	デフォルト値	タイプ	名前	説明
[1:0]	X	R/W	CIN0_CONNECTION_SETUP	CIN0接続設定 00=CIN0をCDC入力に接続しません 01=CIN0をCDC負側入力に接続 10=CIN0をCDC正側入力に接続 11=CIN0をBIASに接続 (未使用のCIN入力を接続)
[3:2]	X	R/W	CIN1_CONNECTION_SETUP	CIN1接続設定 00=CIN1をCDC入力に接続しません 01=CIN1をCDC負側入力に接続 10=CIN1をCDC正側入力に接続 11=CIN1をBIASに接続 (未使用のCIN入力を接続)
[5:4]	X	R/W	CIN2_CONNECTION_SETUP	CIN2接続設定 00=CIN2をCDC入力に接続しません 01=CIN2をCDC負側入力に接続 10=CIN2をCDC正側入力に接続 11=CIN2をBIASに接続 (未使用のCIN入力を接続)
[7:6]	X	R/W	CIN3_CONNECTION_SETUP	CIN3接続設定 00=CIN3をCDC入力に接続しません 01=CIN3をCDC負側入力に接続 10=CIN3をCDC正側入力に接続 11=CIN3をBIASに接続 (未使用のCIN入力を接続)
[9:8]	X	R/W	CIN4_CONNECTION_SETUP	CIN4接続設定 00=CIN4をCDC入力に接続しません 01=CIN4をCDC負側入力に接続 10=CIN4をCDC正側入力に接続 11=CIN4をBIASに接続 (未使用のCIN入力を接続)
[11:10]	X	R/W	CIN5_CONNECTION_SETUP	CIN5接続設定 00=CIN5をCDC入力に接続しません 01=CIN5をCDC負側入力に接続 10=CIN5をCDC正側入力に接続 11=CIN5をBIASに接続 (未使用のCIN入力を接続)
[13:12]	X	R/W	CIN6_CONNECTION_SETUP	CIN6接続設定 00=CIN6をCDC入力に接続しません 01=CIN6をCDC負側入力に接続 10=CIN6をCDC正側入力に接続 11=CIN6をBIASに接続 (未使用のCIN入力を接続)
[15:14]	X		未使用	未使用のレジスタ・ビット=0に設定

表46. STAGEX詳細CIN(7:13)接続設定説明 (X=0~11)

データビット	デフォルト値	タイプ	名前	説明
[1:0]	X	R/W	CIN7_CONNECTION_SETUP	CIN7接続設定 00=CIN7をCDC入力に接続しません 01=CIN7をCDC負側入力に接続 10=CIN7をCDC正側入力に接続 11=CIN7をBIASに接続 (未使用のCIN入力を接続)
[3:2]	X	R/W	CIN8_CONNECTION_SETUP	CIN8接続設定 00=CIN8をCDC入力に接続しません 01=CIN8をCDC負側入力に接続 10=CIN8をCDC正側入力に接続 11=CIN8をBIASに接続 (未使用のCIN入力を接続)
[5:4]	X	R/W	CIN9_CONNECTION_SETUP	CIN9接続設定 00=CIN9をCDC入力に接続しません 01=CIN9をCDC負側入力に接続 10=CIN9をCDC正側入力に接続 11=CIN9をBIASに接続 (未使用のCIN入力を接続)
[7:6]	X	R/W	CIN10_CONNECTION_SETUP	CIN10接続設定 00=CIN10をCDC入力に接続しません 01=CIN10をCDC負側入力に接続 10=CIN10をCDC正側入力に接続 11=CIN10をBIASに接続 (未使用のCIN入力を接続)
[9:8]	X	R/W	CIN11_CONNECTION_SETUP	CIN11接続設定 00=CIN11をCDC入力に接続しません 01=CIN11をCDC負側入力に接続 10=CIN11をCDC正側入力に接続 11=CIN11をBIASに接続 (未使用のCIN入力を接続)
[11:10]	X	R/W	CIN12_CONNECTION_SETUP	CIN12接続設定 00=CIN12をCDC入力に接続しません 01=CIN12をCDC負側入力に接続 10=CIN12をCDC正側入力に接続 11=CIN12をBIASに接続 (未使用のCIN入力を接続)
[13:12]	X	R/W	CIN13_CONNECTION_SETUP	CIN13接続設定 00=CIN13をCDC入力に接続しません 01=CIN13をCDC負側入力に接続 10=CIN13をCDC正側入力に接続 11=CIN13をBIASに接続 (未使用のCIN入力を接続)
[14]	X		NEG_AFE_OFFSET_DISABLE	負のAFEオフセット・イネーブル制御 0=イネーブル 1=ディスエーブル
[15]	X		POS_AFE_OFFSET_DISABLE	正のAFEオフセット・イネーブル制御 0=イネーブル 1=ディスエーブル

AD7142

表47. STAGEX詳細オフセット制御説明 (X=0~11)

データビット	デフォルト値	タイプ	名前	説明
[6:0]	X	R/W	NEG_AFE_OFFSET	負のAFEオフセット設定 (20pF範囲) 1LSB値=0.16pFのオフセット
[7]	X	R/W	NEG_AFE_OFFSET_SWAP	負のAFEオフセット・スワップ制御 0=NEG_AFE_OFFSETをCDC負側入力に適用 1=NEG_AFE_OFFSETをCDC正側入力に適用
[14:8]	X	R/W	POS_AFE_OFFSET	正のAFEオフセット設定 (20pF範囲) 1LSB値=0.16pFのオフセット
[15]	X	R/W	POS_AFE_OFFSET_SWAP	正のAFEオフセット・スワップ制御 0=POS_AFE_OFFSETをCDC正側入力に適用 1=POS_AFE_OFFSETをCDC負側入力に適用

表48. STAGEX詳細感度制御説明 (X=0~11)

データビット	デフォルト値	タイプ	名前	説明
[3:0]	X	R/W	NEG_THRESHOLD_SENSITIVITY	負のスレッシュホールド感度制御 0000=25%、0001=29.73%、0010=34.40%、 0011=39.08% 0100=43.79%、0101=48.47%、0110=53.15% 0111=57.83%、1000=62.51%、1001=67.22% 1010=71.90%、1011=76.58%、1100=81.28% 1101=85.96%、1110=90.64%、1111=95.32%
[6:4]	X	R/W	NEG_PEAK_DETECT	負のピーク検出設定 000=40%のレベル、001=50%のレベル、 010=60%のレベル 011=70%のレベル、100=80%のレベル、 101=90%のレベル
[7]	X	R/W	未使用	未使用のレジスタ・ビット=0に設定
[11:8]	X	R/W	POS_THRESHOLD_SENSITIVITY	正のスレッシュホールド感度制御 0000=25%、0001=29.73%、0010=34.40%、 0011=39.08% 0100=43.79%、0101=48.47%、0110=53.15% 0111=57.83%、1000=62.51%、1001=67.22% 1010=71.90%、1011=76.58%、1100=81.28% 1101=85.96%、1110=90.64%、1111=95.32%
[14:12]	X	R/W	POS_PEAK_DETECT	正のピーク検出設定 000=40%のレベル、001=50%のレベル、 010=60%のレベル 011=70%のレベル、100=80%のレベル、 101=90%のレベル
[15]	X	R/W	未使用	未使用のレジスタ・ビット=0に設定

バンク3レジスタ

すべてのアドレス値は16進で表しています。

表49. STAGE0結果レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x0E0	[15:0]	X	R/W	STAGE0_CONV_DATA	STAGE0CDC 16ビット変換データ (STAGE0_CONV_DATAレジスタ内の データのコピー)
0x0E1	[15:0]	X	R/W	STAGE0_FF_WORD0	STAGE0高速FIFO WORD0
0x0E2	[15:0]	X	R/W	STAGE0_FF_WORD1	STAGE0高速FIFO WORD1
0x0E3	[15:0]	X	R/W	STAGE0_FF_WORD2	STAGE0高速FIFO WORD2
0x0E4	[15:0]	X	R/W	STAGE0_FF_WORD3	STAGE0高速FIFO WORD3
0x0E5	[15:0]	X	R/W	STAGE0_FF_WORD4	STAGE0高速FIFO WORD4
0x0E6	[15:0]	X	R/W	STAGE0_FF_WORDS5	STAGE0高速FIFO WORD5
0x0E7	[15:0]	X	R/W	STAGE0_FF_WORD6	STAGE0高速FIFO WORD6
0x0E8	[15:0]	X	R/W	STAGE0_FF_WORD7	STAGE0高速FIFO WORD7
0x0E9	[15:0]	X	R/W	STAGE0_SF_WORD0	STAGE0低速FIFOWORD0
0x0EA	[15:0]	X	R/W	STAGE0_SF_WORD1	STAGE0低速FIFOWORD1
0x0EB	[15:0]	X	R/W	STAGE0_SF_WORD2	STAGE0低速FIFOWORD2
0x0EC	[15:0]	X	R/W	STAGE0_SF_WORD3	STAGE0低速FIFOWORD3
0x0ED	[15:0]	X	R/W	STAGE0_SF_WORD4	STAGE0低速FIFOWORD4
0x0EE	[15:0]	X	R/W	STAGE0_SF_WORD5	STAGE0低速FIFOWORD5
0x0EF	[15:0]	X	R/W	STAGE0_SF_WORD6	STAGE0低速FIFOWORD6
0x0F0	[15:0]	X	R/W	STAGE0_SF_WORD7	STAGE0低速FIFOWORD7
0x0F1	[15:0]	X	R/W	STAGE0_SF_AMBIENT	STAGE0低速FIFO周辺値
0x0F2	[15:0]	X	R/W	STAGE0_FF_AVG	STAGE0高速FIFO平均値
0x0F3	[15:0]	X	R/W	STAGE0_PEAK_DETECT_WORD0	STAGE0ピークFIFO WORD00値
0x0F4	[15:0]	X	R/W	STAGE0_PEAK_DETECT_WORD1	STAGE0ピークFIFO WORD01値
0x0F5	[15:0]	X	R/W	STAGE0_MAX_WORD0	STAGE0最大値FIFO WORD0
0x0F6	[15:0]	X	R/W	STAGE0_MAX_WORD1	STAGE0最大値FIFO WORD1
0x0F7	[15:0]	X	R/W	STAGE0_MAX_WORD2	STAGE0最大値FIFO WORD2
0x0F8	[15:0]	X	R/W	STAGE0_MAX_WORD3	STAGE0最大値FIFO WORD3
0x0F9	[15:0]	X	R/W	STAGE0_MAX_AVG	STAGE0平均最大FIFO値
0x0FA	[15:0]	X	R/W	STAGE0_HIGH_THRESHOLD	STAGE0上限スレッシュホールド値
0x0FB	[15:0]	X	R/W	STAGE0_MAX_TEMP	STAGE0一時最大値
0x0FC	[15:0]	X	R/W	STAGE0_MIN_WORD0	STAGE0最小値FIFO WORD0
0x0FD	[15:0]	X	R/W	STAGE0_MIN_WORD1	STAGE0最小値FIFO WORD1
0x0FE	[15:0]	X	R/W	STAGE0_MIN_WORD2	STAGE0最小値FIFO WORD2
0x0FF	[15:0]	X	R/W	STAGE0_MIN_WORD3	STAGE0最小値FIFO WORD3
0x100	[15:0]	X	R/W	STAGE0_MIN_AVG	STAGE0平均最小FIFO値
0x101	[15:0]	X	R/W	STAGE0_LOW_THRESHOLD	STAGE0下限スレッシュホールド値
0x102	[15:0]	X	R/W	STAGE0_MIN_TEMP	STAGE0一時最小値
0x103	[15:0]	X	R/W	未使用	未使用のレジスタ・ビット=0に設定

AD7142

表50. STAGE1結果レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x104	[15:0]	X	R/W	STAGE1_CONV_DATA	STAGE1CDC 16ビット変換データ (STAGE1_CONV_DATAレジスタ内のデータのコピー)
0x105	[15:0]	X	R/W	STAGE1_FF_WORD0	STAGE1高速FIFO WORD0
0x106	[15:0]	X	R/W	STAGE1_FF_WORD1	STAGE1高速FIFO WORD1
0x107	[15:0]	X	R/W	STAGE1_FF_WORD2	STAGE1高速FIFO WORD2
0x108	[15:0]	X	R/W	STAGE1_FF_WORD3	STAGE1高速FIFO WORD3
0x109	[15:0]	X	R/W	STAGE1_FF_WORD4	STAGE1高速FIFO WORD4
0x10A	[15:0]	X	R/W	STAGE1_FF_WORD5	STAGE1高速FIFO WORD5
0x10B	[15:0]	X	R/W	STAGE1_FF_WORD6	STAGE1高速FIFO WORD6
0x10C	[15:0]	X	R/W	STAGE1_FF_WORD7	STAGE1高速FIFO WORD7
0x10D	[15:0]	X	R/W	STAGE1_SF_WORD0	STAGE1低速FIFOWORD0
0x10E	[15:0]	X	R/W	STAGE1_SF_WORD1	STAGE1低速FIFOWORD1
0x10F	[15:0]	X	R/W	STAGE1_SF_WORD2	STAGE1低速FIFOWORD2
0x110	[15:0]	X	R/W	STAGE1_SF_WORD3	STAGE1低速FIFOWORD3
0x111	[15:0]	X	R/W	STAGE1_SF_WORD4	STAGE1低速FIFOWORD4
0x112	[15:0]	X	R/W	STAGE1_SF_WORD5	STAGE1低速FIFOWORD5
0x113	[15:0]	X	R/W	STAGE1_SF_WORD6	STAGE1低速FIFOWORD6
0x114	[15:0]	X	R/W	STAGE1_SF_WORD7	STAGE1低速FIFOWORD7
0x115	[15:0]	X	R/W	STAGE1_SF_AMBIENT	STAGE1低速FIFO周辺値
0x116	[15:0]	X	R/W	STAGE1_FF_AVG	STAGE1高速FIFO平均値
0x117	[15:0]	X	R/W	STAGE1_CDC_WORD0	STAGE1 CDC FIFO WORD0
0x118	[15:0]	X	R/W	STAGE1_CDC_WORD1	STAGE1 CDC FIFO WORD1
0x119	[15:0]	X	R/W	STAGE1_MAX_WORD0	STAGE1最大値FIFO WORD0
0x11A	[15:0]	X	R/W	STAGE1_MAX_WORD1	STAGE1最大値FIFO WORD1
0x11B	[15:0]	X	R/W	STAGE1_MAX_WORD2	STAGE1最大値FIFO WORD2
0x11C	[15:0]	X	R/W	STAGE1_MAX_WORD3	STAGE1最大値FIFO WORD3
0x11D	[15:0]	X	R/W	STAGE1_MAX_AVG	STAGE1平均最大FIFO値
0x11E	[15:0]	X	R/W	STAGE1_HIGH_THRESHOLD	STAGE1上限スレッショールド値
0x11F	[15:0]	X	R/W	STAGE1_MAX_TEMP	STAGE1一時最大値
0x120	[15:0]	X	R/W	STAGE1_MIN_WORD0	STAGE1最小値FIFO WORD0
0x121	[15:0]	X	R/W	STAGE1_MIN_WORD1	STAGE1最小値FIFO WORD1
0x122	[15:0]	X	R/W	STAGE1_MIN_WORD2	STAGE1最小値FIFO WORD2
0x123	[15:0]	X	R/W	STAGE1_MIN_WORD3	STAGE1最小値FIFO WORD3
0x124	[15:0]	X	R/W	STAGE1_MIN_AVG	STAGE1平均最小FIFO値
0x125	[15:0]	X	R/W	STAGE1_LOW_THRESHOLD	STAGE1下限スレッショールド値
0x126	[15:0]	X	R/W	STAGE1_MIN_TEMP	STAGE1一時最小値
0x127	[15:0]	X	R/W	未使用	未使用のレジスタ・ビット=0に設定

表51. STAGE2結果レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x128	[15:0]	X	R/W	STAGE2_CONV_DATA	STAGE2CDC 16ビット変換データ (STAGE2_CONV_DATAレジスタ内のデータのコピー)
0x129	[15:0]	X	R/W	STAGE2_FF_WORD0	STAGE2高速FIFO WORD0
0x12A	[15:0]	X	R/W	STAGE2_FF_WORD1	STAGE2高速FIFO WORD1
0x12B	[15:0]	X	R/W	STAGE2_FF_WORD2	STAGE2高速FIFO WORD2
0x12C	[15:0]	X	R/W	STAGE2_FF_WORD3	STAGE2高速FIFO WORD3
0x12D	[15:0]	X	R/W	STAGE2_FF_WORD4	STAGE2高速FIFO WORD4
0x12E	[15:0]	X	R/W	STAGE2_FF_WORD5	STAGE2高速FIFO WORD5
0x12F	[15:0]	X	R/W	STAGE2_FF_WORD6	STAGE2高速FIFO WORD6
0x130	[15:0]	X	R/W	STAGE2_FF_WORD7	STAGE2高速FIFO WORD7
0x131	[15:0]	X	R/W	STAGE2_SF_WORD0	STAGE2低速FIFOWORD0
0x132	[15:0]	X	R/W	STAGE2_SF_WORD1	STAGE2低速FIFOWORD1
0x133	[15:0]	X	R/W	STAGE2_SF_WORD2	STAGE2低速FIFOWORD2
0x134	[15:0]	X	R/W	STAGE2_SF_WORD3	STAGE2低速FIFOWORD3
0x135	[15:0]	X	R/W	STAGE2_SF_WORD4	STAGE2低速FIFOWORD4
0x136	[15:0]	X	R/W	STAGE2_SF_WORDS5	STAGE2低速FIFOWORD5
0x137	[15:0]	X	R/W	STAGE2_SF_WORD6	STAGE2低速FIFOWORD6
0x138	[15:0]	X	R/W	STAGE2_SF_WORD7	STAGE2低速FIFOWORD7
0x139	[15:0]	X	R/W	STAGE2_SF_AMBIENT	STAGE2低速FIFO周辺値
0x13A	[15:0]	X	R/W	STAGE2_FF_AVG	STAGE2高速FIFO平均値
0x13B	[15:0]	X	R/W	STAGE2_CDC_WORD0	STAGE2 CDC FIFO WORD0
0x13C	[15:0]	X	R/W	STAGE2_CDC_WORD1	STAGE2 CDC FIFO WORD1
0x13D	[15:0]	X	R/W	STAGE2_MAX_WORD0	STAGE2最大値FIFO WORD0
0x13E	[15:0]	X	R/W	STAGE2_MAX_WORD1	STAGE2最大値FIFO WORD1
0x13F	[15:0]	X	R/W	STAGE2_MAX_WORD2	STAGE2最大値FIFO WORD2
0x140	[15:0]	X	R/W	STAGE2_MAX_WORD3	STAGE2最大値FIFO WORD3
0x141	[15:0]	X	R/W	STAGE2_MAX_AVG	STAGE2平均最大FIFO値
0x142	[15:0]	X	R/W	STAGE2_HIGH_THRESHOLD	STAGE2上限スレッショールド値
0x143	[15:0]	X	R/W	STAGE2_MAX_TEMP	STAGE2一時最大値
0x144	[15:0]	X	R/W	STAGE2_MIN_WORD0	STAGE2最小値FIFO WORD0
0x145	[15:0]	X	R/W	STAGE2_MIN_WORD1	STAGE2最小値FIFO WORD1
0x146	[15:0]	X	R/W	STAGE2_MIN_WORD2	STAGE2最小値FIFO WORD2
0x147	[15:0]	X	R/W	STAGE2_MIN_WORD3	STAGE2最小値FIFO WORD3
0x148	[15:0]	X	R/W	STAGE2_MIN_AVG	STAGE2平均最小FIFO値
0x149	[15:0]	X	R/W	STAGE2_LOW_THRESHOLD	STAGE2下限スレッショールド値
0x14A	[15:0]	X	R/W	STAGE2_MIN_TEMP	STAGE2一時最小値
0x14B	[15:0]	X	R/W	未使用	未使用のレジスタ・ビット=0に設定

AD7142

表52. STAGE3結果レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x14C	[15:0]	X	R/W	STAGE3_CONV_DATA	STAGE3CDC 16ビット変換データ (STAGE3_CONV_DATAレジスタ内の データのコピー)
0x14D	[15:0]	X	R/W	STAGE3_FF_WORD0	STAGE3高速FIFO WORD0
0x14E	[15:0]	X	R/W	STAGE3_FF_WORD1	STAGE3高速FIFO WORD1
0x14F	[15:0]	X	R/W	STAGE3_FF_WORD2	STAGE3高速FIFO WORD2
0x150	[15:0]	X	R/W	STAGE3_FF_WORD3	STAGE3高速FIFO WORD3
0x151	[15:0]	X	R/W	STAGE3_FF_WORD4	STAGE3高速FIFO WORD4
0x152	[15:0]	X	R/W	STAGE3_FF_WORD5	STAGE3高速FIFO WORD5
0x153	[15:0]	X	R/W	STAGE3_FF_WORD6	STAGE3高速FIFO WORD6
0x154	[15:0]	X	R/W	STAGE3_FF_WORD7	STAGE3高速FIFO WORD7
0x155	[15:0]	X	R/W	STAGE3_SF_WORD0	STAGE3低速FIFOWORD0
0x156	[15:0]	X	R/W	STAGE3_SF_WORD1	STAGE3低速FIFOWORD1
0x157	[15:0]	X	R/W	STAGE3_SF_WORD2	STAGE3低速FIFOWORD2
0x158	[15:0]	X	R/W	STAGE3_SF_WORD3	STAGE3低速FIFOWORD3
0x159	[15:0]	X	R/W	STAGE3_SF_WORD4	STAGE3低速FIFOWORD4
0x15A	[15:0]	X	R/W	STAGE3_SF_WORD5	STAGE3低速FIFOWORD5
0x15B	[15:0]	X	R/W	STAGE3_SF_WORD6	STAGE3低速FIFOWORD6
0x15C	[15:0]	X	R/W	STAGE3_SF_WORD7	STAGE3低速FIFOWORD7
0x15D	[15:0]	X	R/W	STAGE3_SF_AMBIENT	STAGE3低速FIFO周辺値
0x15E	[15:0]	X	R/W	STAGE3_FF_AVG	STAGE3高速FIFO平均値
0x15F	[15:0]	X	R/W	STAGE3_CDC_WORD0	STAGE3 CDC FIFO WORD0
0x160	[15:0]	X	R/W	STAGE3_CDC_WORD1	STAGE3 CDC FIFO WORD1
0x161	[15:0]	X	R/W	STAGE3_MAX_WORD0	STAGE3最大値FIFO WORD0
0x162	[15:0]	X	R/W	STAGE3_MAX_WORD1	STAGE3最大値FIFO WORD1
0x163	[15:0]	X	R/W	STAGE3_MAX_WORD2	STAGE3最大値FIFO WORD2
0x164	[15:0]	X	R/W	STAGE3_MAX_WORD3	STAGE3最大値FIFO WORD3
0x165	[15:0]	X	R/W	STAGE3_MAX_AVG	STAGE3平均最大FIFO値
0x166	[15:0]	X	R/W	STAGE3_HIGH_THRESHOLD	STAGE3上限スレッショルド値
0x167	[15:0]	X	R/W	STAGE3_MAX_TEMP	STAGE3一時最大値
0x168	[15:0]	X	R/W	STAGE3_MIN_WORD0	STAGE3最小値FIFO WORD0
0x169	[15:0]	X	R/W	STAGE3_MIN_WORD1	STAGE3最小値FIFO WORD1
0x16A	[15:0]	X	R/W	STAGE3_MIN_WORD2	STAGE3最小値FIFO WORD2
0x16B	[15:0]	X	R/W	STAGE3_MIN_WORD3	STAGE3最小値FIFO WORD3
0x16C	[15:0]	X	R/W	STAGE3_MIN_AVG	STAGE3平均最小FIFO値
0x16D	[15:0]	X	R/W	STAGE3_LOW_THRESHOLD	STAGE3下限スレッショルド値
0x16E	[15:0]	X	R/W	STAGE3_MIN_TEMP	STAGE3一時最小値
0x16F	[15:0]	X	R/W	未使用	未使用のレジスタ・ビット=0に設定

表53. STAGE4結果レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x170	[15:0]	X	R/W	STAGE4_CONV_DATA	STAGE4CDC 16ビット変換データ (STAGE4_CONV_DATAレジスタ内のデータのコピー)
0x171	[15:0]	X	R/W	STAGE4_FF_WORD0	STAGE4高速FIFO WORD0
0x172	[15:0]	X	R/W	STAGE4_FF_WORD1	STAGE4高速FIFO WORD1
0x173	[15:0]	X	R/W	STAGE4_FF_WORD2	STAGE4高速FIFO WORD2
0x174	[15:0]	X	R/W	STAGE4_FF_WORD3	STAGE4高速FIFO WORD3
0x175	[15:0]	X	R/W	STAGE4_FF_WORD4	STAGE4高速FIFO WORD4
0x176	[15:0]	X	R/W	STAGE4_FF_WORD5	STAGE4高速FIFO WORD5
0x177	[15:0]	X	R/W	STAGE4_FF_WORD6	STAGE4高速FIFO WORD6
0x178	[15:0]	X	R/W	STAGE4_FF_WORD7	STAGE4高速FIFO WORD7
0x179	[15:0]	X	R/W	STAGE4_SF_WORD0	STAGE4低速FIFOWORD0
0x17A	[15:0]	X	R/W	STAGE4_SF_WORD1	STAGE4低速FIFOWORD1
0x17B	[15:0]	X	R/W	STAGE4_SF_WORD2	STAGE4低速FIFOWORD2
0x17C	[15:0]	X	R/W	STAGE4_SF_WORD3	STAGE4低速FIFOWORD3
0x17D	[15:0]	X	R/W	STAGE4_SF_WORD4	STAGE4低速FIFOWORD4
0x17E	[15:0]	X	R/W	STAGE4_SF_WORD5	STAGE4低速FIFOWORD5
0x17F	[15:0]	X	R/W	STAGE4_SF_WORD6	STAGE4低速FIFOWORD6
0x180	[15:0]	X	R/W	STAGE4_SF_WORD7	STAGE4低速FIFOWORD7
0x181	[15:0]	X	R/W	STAGE4_SF_AMBIENT	STAGE4低速FIFO周辺値
0x182	[15:0]	X	R/W	STAGE4_FF_AVG	STAGE4高速FIFO平均値
0x183	[15:0]	X	R/W	STAGE4_CDC_WORD0	STAGE4 CDC FIFO WORD0
0x184	[15:0]	X	R/W	STAGE4_CDC_WORD1	STAGE4 CDC FIFO WORD1
0x185	[15:0]	X	R/W	STAGE4_MAX_WORD0	STAGE4最大値FIFO WORD0
0x186	[15:0]	X	R/W	STAGE4_MAX_WORD1	STAGE4最大値FIFO WORD1
0x187	[15:0]	X	R/W	STAGE4_MAX_WORD2	STAGE4最大値FIFO WORD2
0x188	[15:0]	X	R/W	STAGE4_MAX_WORD3	STAGE4最大値FIFO WORD3
0x189	[15:0]	X	R/W	STAGE4_MAX_AVG	STAGE4平均最大FIFO値
0x18A	[15:0]	X	R/W	STAGE4_HIGH_THRESHOLD	STAGE4上限スレッショールド値
0x18B	[15:0]	X	R/W	STAGE4_MAX_TEMP	STAGE4一時最大値
0x18C	[15:0]	X	R/W	STAGE4_MIN_WORD0	STAGE4最小値FIFO WORD0
0x18D	[15:0]	X	R/W	STAGE4_MIN_WORD1	STAGE4最小値FIFO WORD1
0x18E	[15:0]	X	R/W	STAGE4_MIN_WORD2	STAGE4最小値FIFO WORD2
0x18F	[15:0]	X	R/W	STAGE4_MIN_WORD3	STAGE4最小値FIFO WORD3
0x190	[15:0]	X	R/W	STAGE4_MIN_AVG	STAGE4平均最小FIFO値
0x191	[15:0]	X	R/W	STAGE4_LOW_THRESHOLD	STAGE4下限スレッショールド値
0x192	[15:0]	X	R/W	STAGE4_MIN_TEMP	STAGE4一時最小値
0x193	[15:0]	X	R/W	未使用	未使用のレジスタ・ビット=0に設定

AD7142

表54. STAGE5結果レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x194	[15:0]	X	R/W	STAGE5_CONV_DATA	STAGE5CDC 16ビット変換データ (STAGE5_CONV_DATAレジスタ内のデータのコピー)
0x195	[15:0]	X	R/W	STAGE5_FF_WORD0	STAGE5高速FIFO WORD0
0x196	[15:0]	X	R/W	STAGE5_FF_WORD1	STAGE5高速FIFO WORD1
0x197	[15:0]	X	R/W	STAGE5_FF_WORD2	STAGE5高速FIFO WORD2
0x198	[15:0]	X	R/W	STAGE5_FF_WORD3	STAGE5高速FIFO WORD3
0x199	[15:0]	X	R/W	STAGE5_FF_WORD4	STAGE5高速FIFO WORD4
0x19A	[15:0]	X	R/W	STAGE5_FF_WORD5	STAGE5高速FIFO WORD5
0x19B	[15:0]	X	R/W	STAGE5_FF_WORD6	STAGE5高速FIFO WORD6
0x19C	[15:0]	X	R/W	STAGE5_FF_WORD7	STAGE5高速FIFO WORD7
0x19D	[15:0]	X	R/W	STAGE5_SF_WORD0	STAGE5低速FIFOWORD0
0x19E	[15:0]	X	R/W	STAGE5_SF_WORD1	STAGE5低速FIFOWORD1
0x19F	[15:0]	X	R/W	STAGE5_SF_WORD2	STAGE5低速FIFOWORD2
0x1A0	[15:0]	X	R/W	STAGE5_SF_WORD3	STAGE5低速FIFOWORD3
0x1A1	[15:0]	X	R/W	STAGE5_SF_WORD4	STAGE5低速FIFOWORD4
0x1A2	[15:0]	X	R/W	STAGE5_SF_WORD5	STAGE5低速FIFOWORD5
0x1A3	[15:0]	X	R/W	STAGE5_SF_WORD6	STAGE5低速FIFOWORD6
0x1A4	[15:0]	X	R/W	STAGE5_SF_WORD7	STAGE5低速FIFOWORD7
0x1A5	[15:0]	X	R/W	STAGE5_SF_AMBIENT	STAGE5低速FIFO周辺値
0x1A6	[15:0]	X	R/W	STAGE5_FF_AVG	STAGE5高速FIFO平均値
0x1A7	[15:0]	X	R/W	STAGE5_CDC_WORD0	STAGE5 CDC FIFO WORD0
0x1A8	[15:0]	X	R/W	STAGE5_CDC_WORD1	STAGE5 CDC FIFO WORD1
0x1A9	[15:0]	X	R/W	STAGE5_MAX_WORD0	STAGE5最大値FIFO WORD0
0x1AA	[15:0]	X	R/W	STAGE5_MAX_WORD1	STAGE5最大値FIFO WORD1
0x1AB	[15:0]	X	R/W	STAGE5_MAX_WORD2	STAGE5最大値FIFO WORD2
0x1AC	[15:0]	X	R/W	STAGE5_MAX_WORD3	STAGE5最大値FIFO WORD3
0x1AD	[15:0]	X	R/W	STAGE5_MAX_AVG	STAGE5平均最大FIFO値
0x1AE	[15:0]	X	R/W	STAGE5_HIGH_THRESHOLD	STAGE5上限スレッショールド値
0x1AF	[15:0]	X	R/W	STAGE5_MAX_TEMP	STAGE5一時最大値
0x1B0	[15:0]	X	R/W	STAGE5_MIN_WORD0	STAGE5最小値FIFO WORD0
0x1B1	[15:0]	X	R/W	STAGE5_MIN_WORD1	STAGE5最小値FIFO WORD1
0x1B2	[15:0]	X	R/W	STAGE5_MIN_WORD2	STAGE5最小値FIFO WORD2
0x1B3	[15:0]	X	R/W	STAGE5_MIN_WORD3	STAGE5最小値FIFO WORD3
0x1B4	[15:0]	X	R/W	STAGE5_MIN_AVG	STAGE5平均最小FIFO値
0x1B5	[15:0]	X	R/W	STAGE5_LOW_THRESHOLD	STAGE5下限スレッショールド値
0x1B6	[15:0]	X	R/W	STAGE5_MIN_TEMP	STAGE5一時最小値
0x1B7	[15:0]	X	R/W	未使用	未使用のレジスタ・ビット=0に設定

表55. STAGE6結果レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x1B8	[15:0]	X	R/W	STAGE6_CONV_DATA	STAGE6CDC 16ビット変換データ (STAGE6_CONV_DATAレジスタ内の データのコピー)
0x1B9	[15:0]	X	R/W	STAGE6_FF_WORD0	STAGE6高速FIFO WORD0
0x1BA	[15:0]	X	R/W	STAGE6_FF_WORD1	STAGE6高速FIFO WORD1
0x1BB	[15:0]	X	R/W	STAGE6_FF_WORD2	STAGE6高速FIFO WORD2
0x1BC	[15:0]	X	R/W	STAGE6_FF_WORD3	STAGE6高速FIFO WORD3
0x1BD	[15:0]	X	R/W	STAGE6_FF_WORD4	STAGE6高速FIFO WORD4
0x1BE	[15:0]	X	R/W	STAGE6_FF_WORD5	STAGE6高速FIFO WORD5
0x1BF	[15:0]	X	R/W	STAGE6_FF_WORD6	STAGE6高速FIFO WORD6
0x1C0	[15:0]	X	R/W	STAGE6_FF_WORD7	STAGE6高速FIFO WORD7
0x1C1	[15:0]	X	R/W	STAGE6_SF_WORD0	STAGE6低速FIFOWORD0
0x1C2	[15:0]	X	R/W	STAGE6_SF_WORD1	STAGE6低速FIFOWORD1
0x1C3	[15:0]	X	R/W	STAGE6_SF_WORD2	STAGE6低速FIFOWORD2
0x1C4	[15:0]	X	R/W	STAGE6_SF_WORD3	STAGE6低速FIFOWORD3
0x1C5	[15:0]	X	R/W	STAGE6_SF_WORD4	STAGE6低速FIFOWORD4
0x1C6	[15:0]	X	R/W	STAGE6_SF_WORD5	STAGE6低速FIFOWORD5
0x1C7	[15:0]	X	R/W	STAGE6_SF_WORD6	STAGE6低速FIFOWORD6
0x1C8	[15:0]	X	R/W	STAGE6_SF_WORD7	STAGE6低速FIFOWORD7
0x1C9	[15:0]	X	R/W	STAGE6_SF_AMBIENT	STAGE6低速FIFO周辺値
0x1CA	[15:0]	X	R/W	STAGE6_FF_AVG	STAGE6高速FIFO平均値
0x1CB	[15:0]	X	R/W	STAGE6_CDC_WORD0	STAGE0 CDC FIFO WORD0
0x1CC	[15:0]	X	R/W	STAGE6_CDC_WORD1	STAGE6 CDC FIFO WORD1
0x1CD	[15:0]	X	R/W	STAGE6_MAX_WORD0	STAGE6最大値FIFO WORD0
0x1CE	[15:0]	X	R/W	STAGE6_MAX_WORD1	STAGE6最大値FIFO WORD1
0x1CF	[15:0]	X	R/W	STAGE6_MAX_WORD2	STAGE6最大値FIFO WORD2
0x1D0	[15:0]	X	R/W	STAGE6_MAX_WORD3	STAGE6最大値FIFO WORD3
0x1D1	[15:0]	X	R/W	STAGE6_MAX_AVG	STAGE6平均最大FIFO値
0x1D2	[15:0]	X	R/W	STAGE6_HIGH_THRESHOLD	STAGE6上限スレッショールド値
0x1D3	[15:0]	X	R/W	STAGE6_MAX_TEMP	STAGE6一時最大値
0x1D4	[15:0]	X	R/W	STAGE6_MIN_WORD0	STAGE6最小値FIFO WORD0
0x1D5	[15:0]	X	R/W	STAGE6_MIN_WORD1	STAGE6最小値FIFO WORD1
0x1D6	[15:0]	X	R/W	STAGE6_MIN_WORD2	STAGE6最小値FIFO WORD2
0x1D7	[15:0]	X	R/W	STAGE6_MIN_WORD3	STAGE6最小値FIFO WORD3
0x1D8	[15:0]	X	R/W	STAGE6_MIN_AVG	STAGE6平均最小FIFO値
0x1D9	[15:0]	X	R/W	STAGE6_LOW_THRESHOLD	STAGE6下限スレッショールド値
0x1DA	[15:0]	X	R/W	STAGE6_MIN_TEMP	STAGE6一時最小値
0x1DB	[15:0]	X	R/W	未使用	未使用のレジスタ・ビット=0に設定

AD7142

表56. STAGE7結果レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x1DC	[15:0]	X	R/W	STAGE7_CONV_DATA	STAGE7CDC 16ビット変換データ (STAGE7_CONV_DATAレジスタ内のデータのコピー)
0x1DD	[15:0]	X	R/W	STAGE7_FF_WORD0	STAGE7高速FIFO WORD0
0x1DE	[15:0]	X	R/W	STAGE7_FF_WORD1	STAGE7高速FIFO WORD1
0x1DF	[15:0]	X	R/W	STAGE7_FF_WORD2	STAGE7高速FIFO WORD2
0x1E0	[15:0]	X	R/W	STAGE7_FF_WORD3	STAGE7高速FIFO WORD3
0x1E1	[15:0]	X	R/W	STAGE7_FF_WORD4	STAGE7高速FIFO WORD4
0x1E2	[15:0]	X	R/W	STAGE7_FF_WORD5	STAGE7高速FIFO WORD5
0x1E3	[15:0]	X	R/W	STAGE7_FF_WORD6	STAGE7高速FIFO WORD6
0x1E4	[15:0]	X	R/W	STAGE7_FF_WORD7	STAGE7高速FIFO WORD7
0x1E5	[15:0]	X	R/W	STAGE7_SF_WORD0	STAGE7低速FIFOWORD0
0x1E6	[15:0]	X	R/W	STAGE7_SF_WORD1	STAGE7低速FIFOWORD1
0x1E7	[15:0]	X	R/W	STAGE7_SF_WORD2	STAGE7低速FIFOWORD2
0x1E8	[15:0]	X	R/W	STAGE7_SF_WORD3	STAGE7低速FIFOWORD3
0x1E9	[15:0]	X	R/W	STAGE7_SF_WORD4	STAGE7低速FIFOWORD4
0x1EA	[15:0]	X	R/W	STAGE7_SF_WORD5	STAGE7低速FIFOWORD5
0x1EB	[15:0]	X	R/W	STAGE7_SF_WORD6	STAGE7低速FIFOWORD6
0x1EC	[15:0]	X	R/W	STAGE7_SF_WORD7	STAGE7低速FIFOWORD7
0x1ED	[15:0]	X	R/W	STAGE7_SF_AMBIENT	STAGE7低速FIFO周辺値
0x1EE	[15:0]	X	R/W	STAGE7_FF_AVG	STAGE7高速FIFO平均値
0x1EF	[15:0]	X	R/W	STAGE7_CDC_WORD0	STAGE7 CDC FIFO WORD0
0x1F0	[15:0]	X	R/W	STAGE7_CDC_WORD1	STAGE7 CDC FIFO WORD1
0x1F1	[15:0]	X	R/W	STAGE7_MAX_WORD0	STAGE7最大値FIFO WORD0
0x1F2	[15:0]	X	R/W	STAGE7_MAX_WORD1	STAGE7最大値FIFO WORD1
0x1F3	[15:0]	X	R/W	STAGE7_MAX_WORD2	STAGE7最大値FIFO WORD2
0x1F4	[15:0]	X	R/W	STAGE7_MAX_WORD3	STAGE7最大値FIFO WORD3
0x1F5	[15:0]	X	R/W	STAGE7_MAX_AVG	STAGE7平均最大FIFO値
0x1F6	[15:0]	X	R/W	STAGE7_HIGH_THRESHOLD	STAGE7上限スレッショルド値
0x1F7	[15:0]	X	R/W	STAGE7_MAX_TEMP	STAGE7一時最大値
0x1F8	[15:0]	X	R/W	STAGE7_MIN_WORD0	STAGE7最小値FIFO WORD0
0x1F9	[15:0]	X	R/W	STAGE7_MIN_WORD1	STAGE7最小値FIFO WORD1
0x1FA	[15:0]	X	R/W	STAGE7_MIN_WORD2	STAGE7最小値FIFO WORD2
0x1FB	[15:0]	X	R/W	STAGE7_MIN_WORD3	STAGE7最小値FIFO WORD3
0x1FC	[15:0]	X	R/W	STAGE7_MIN_AVG	STAGE7平均最小FIFO値
0x1FD	[15:0]	X	R/W	STAGE7_LOW_THRESHOLD	STAGE7下限スレッショルド値
0x1FE	[15:0]	X	R/W	STAGE7_MIN_TEMP	STAGE7一時最小値
0x1FF	[15:0]	X	R/W	未使用	未使用のレジスタ・ビット=0に設定

表57. STAGE8結果レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x200	[15:0]	X	R/W	STAGE8_CONV_DATA	STAGE8CDC 16ビット変換データ (STAGE8_CONV_DATAレジスタ内のデータのコピー)
0x201	[15:0]	X	R/W	STAGE8_FF_WORD0	STAGE8高速FIFO WORD0
0x202	[15:0]	X	R/W	STAGE8_FF_WORD1	STAGE8高速FIFO WORD1
0x203	[15:0]	X	R/W	STAGE8_FF_WORD2	STAGE8高速FIFO WORD2
0x204	[15:0]	X	R/W	STAGE8_FF_WORD3	STAGE8高速FIFO WORD3
0x205	[15:0]	X	R/W	STAGE8_FF_WORD4	STAGE8高速FIFO WORD4
0x206	[15:0]	X	R/W	STAGE8_FF_WORD5	STAGE8高速FIFO WORD5
0x207	[15:0]	X	R/W	STAGE8_FF_WORD6	STAGE8高速FIFO WORD6
0x208	[15:0]	X	R/W	STAGE8_FF_WORD7	STAGE8高速FIFO WORD7
0x209	[15:0]	X	R/W	STAGE8_SF_WORD0	STAGE8低速FIFOWORD0
0x20A	[15:0]	X	R/W	STAGE8_SF_WORD1	STAGE8低速FIFOWORD1
0x20B	[15:0]	X	R/W	STAGE8_SF_WORD2	STAGE8低速FIFOWORD2
0x20C	[15:0]	X	R/W	STAGE8_SF_WORD3	STAGE8低速FIFOWORD3
0x20D	[15:0]	X	R/W	STAGE8_SF_WORD4	STAGE8低速FIFOWORD4
0x20E	[15:0]	X	R/W	STAGE8_SF_WORD5	STAGE8低速FIFOWORD5
0x20F	[15:0]	X	R/W	STAGE8_SF_WORD6	STAGE8低速FIFOWORD6
0x210	[15:0]	X	R/W	STAGE8_SF_WORD7	STAGE8低速FIFOWORD7
0x211	[15:0]	X	R/W	STAGE8_SF_AMBIENT	STAGE8低速FIFO周辺値
0x212	[15:0]	X	R/W	STAGE8_FF_AVG	STAGE8高速FIFO平均値
0x213	[15:0]	X	R/W	STAGE8_CDC_WORD0	STAGE8 CDC FIFO WORD0
0x214	[15:0]	X	R/W	STAGE8_CDC_WORD1	STAGE8 CDC FIFO WORD1
0x215	[15:0]	X	R/W	STAGE8_MAX_WORD0	STAGE8最大値FIFO WORD0
0x216	[15:0]	X	R/W	STAGE8_MAX_WORD1	STAGE8最大値FIFO WORD1
0x217	[15:0]	X	R/W	STAGE8_MAX_WORD2	STAGE8最大値FIFO WORD2
0x218	[15:0]	X	R/W	STAGE8_MAX_WORD3	STAGE8最大値FIFO WORD3
0x219	[15:0]	X	R/W	STAGE8_MAX_AVG	STAGE8平均最大FIFO値
0x21A	[15:0]	X	R/W	STAGE8_HIGH_THRESHOLD	STAGE8上限スレッショールド値
0x21B	[15:0]	X	R/W	STAGE8_MAX_TEMP	STAGE8一時最大値
0x21C	[15:0]	X	R/W	STAGE8_MIN_WORD0	STAGE8最小値FIFO WORD0
0x21D	[15:0]	X	R/W	STAGE8_MIN_WORD1	STAGE8最小値FIFO WORD1
0x21E	[15:0]	X	R/W	STAGE8_MIN_WORD2	STAGE8最小値FIFO WORD2
0x21F	[15:0]	X	R/W	STAGE8_MIN_WORD3	STAGE8最小値FIFO WORD3
0x220	[15:0]	X	R/W	STAGE8_MIN_AVG	STAGE8平均最小FIFO値
0x221	[15:0]	X	R/W	STAGE8_LOW_THRESHOLD	STAGE8下限スレッショールド値
0x222	[15:0]	X	R/W	STAGE8_MIN_TEMP	STAGE7一時最小値
0x223	[15:0]	X	R/W	未使用	未使用のレジスタ・ビット=0に設定

AD7142

表58. STAGE9結果レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x224	[15:0]	X	R/W	STAGE9_CONV_DATA	STAGE9CDC 16ビット変換データ (STAGE9_CONV_DATAレジスタ内のデータのコピー)
0x225	[15:0]	X	R/W	STAGE9_FF_WORD0	STAGE9高速FIFO WORD0
0x226	[15:0]	X	R/W	STAGE9_FF_WORD1	STAGE9高速FIFO WORD1
0x227	[15:0]	X	R/W	STAGE9_FF_WORD2	STAGE9高速FIFO WORD2
0x228	[15:0]	X	R/W	STAGE9_FF_WORD3	STAGE9高速FIFO WORD3
0x229	[15:0]	X	R/W	STAGE9_FF_WORD4	STAGE9高速FIFO WORD4
0x22A	[15:0]	X	R/W	STAGE9_FF_WORD5	STAGE9高速FIFO WORD5
0x22B	[15:0]	X	R/W	STAGE9_FF_WORD6	STAGE9高速FIFO WORD6
0x22C	[15:0]	X	R/W	STAGE9_FF_WORD7	STAGE9高速FIFO WORD7
0x22D	[15:0]	X	R/W	STAGE9_SF_WORD0	STAGE9低速FIFOWORD0
0x22E	[15:0]	X	R/W	STAGE9_SF_WORD1	STAGE9低速FIFOWORD1
0x22F	[15:0]	X	R/W	STAGE9_SF_WORD2	STAGE9低速FIFOWORD2
0x230	[15:0]	X	R/W	STAGE9_SF_WORD3	STAGE9低速FIFOWORD3
0x231	[15:0]	X	R/W	STAGE9_SF_WORD4	STAGE9低速FIFOWORD4
0x232	[15:0]	X	R/W	STAGE9_SF_WORD5	STAGE9低速FIFOWORD5
0x233	[15:0]	X	R/W	STAGE9_SF_WORD6	STAGE9低速FIFOWORD6
0x234	[15:0]	X	R/W	STAGE9_SF_WORD7	STAGE9低速FIFOWORD7
0x235	[15:0]	X	R/W	STAGE9_SF_AMBIENT	STAGE9低速FIFO周辺値
0x236	[15:0]	X	R/W	STAGE9_FF_AVG	STAGE9高速FIFO平均値
0x237	[15:0]	X	R/W	STAGE9_CDC_WORD0	STAGE9 CDC FIFO WORD0
0x238	[15:0]	X	R/W	STAGE9_CDC_WORD1	STAGE9 CDC FIFO WORD1
0x239	[15:0]	X	R/W	STAGE9_MAX_WORD0	STAGE9最大値FIFO WORD0
0x23A	[15:0]	X	R/W	STAGE9_MAX_WORD1	STAGE9最大値FIFO WORD1
0x23B	[15:0]	X	R/W	STAGE9_MAX_WORD2	STAGE9最大値FIFO WORD2
0x23C	[15:0]	X	R/W	STAGE9_MAX_WORD3	STAGE9最大値FIFO WORD3
0x23D	[15:0]	X	R/W	STAGE9_MAX_AVG	STAGE9平均最大FIFO値
0x23E	[15:0]	X	R/W	STAGE9_HIGH_THRESHOLD	STAGE9上限スレッショールド値
0x23F	[15:0]	X	R/W	STAGE9_MAX_TEMP	STAGE9一時最大値
0x240	[15:0]	X	R/W	STAGE9_MIN_WORD0	STAGE9最小値FIFO WORD0
0x241	[15:0]	X	R/W	STAGE9_MIN_WORD1	STAGE9最小値FIFO WORD1
0x242	[15:0]	X	R/W	STAGE9_MIN_WORD2	STAGE9最小値FIFO WORD2
0x243	[15:0]	X	R/W	STAGE9_MIN_WORD3	STAGE9最小値FIFO WORD3
0x244	[15:0]	X	R/W	STAGE9_MIN_AVG	STAGE9平均最小FIFO値
0x245	[15:0]	X	R/W	STAGE9_LOW_THRESHOLD	STAGE9下限スレッショールド値
0x246	[15:0]	X	R/W	STAGE9_MIN_TEMP	STAGE9一時最小値
0x247	[15:0]	X	R/W	未使用	未使用のレジスタ・ビット=0に設定

表59. STAGE10結果レジスタ

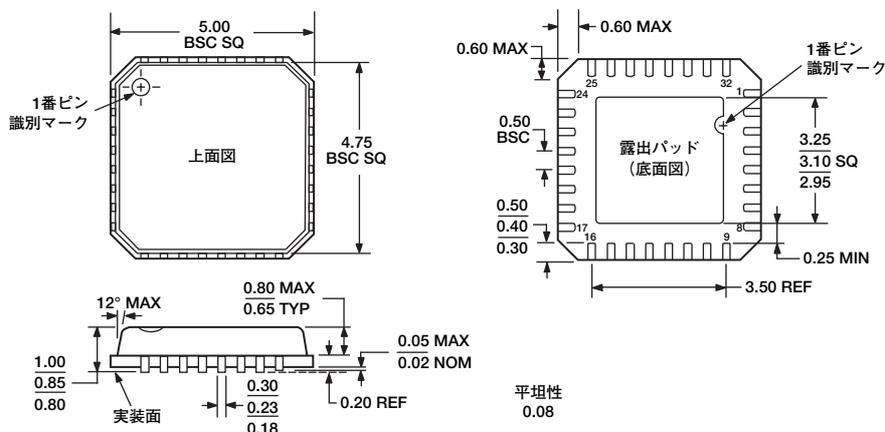
アドレス	データビット	デフォルト値	タイプ	名前	説明
0x248	[15:0]	X	R/W	STAGE10_CONV_DATA	STAGE10CDC 16ビット変換データ (STAGE10_CONV_DATAレジスタ内のデータのコピー)
0x249	[15:0]	X	R/W	STAGE10_FF_WORD0	STAGE10高速FIFO WORD0
0x24A	[15:0]	X	R/W	STAGE10_FF_WORD1	STAGE10高速FIFO WORD1
0x24B	[15:0]	X	R/W	STAGE10_FF_WORD2	STAGE10高速FIFO WORD2
0x24C	[15:0]	X	R/W	STAGE10_FF_WORD3	STAGE10高速FIFO WORD3
0x24D	[15:0]	X	R/W	STAGE10_FF_WORD4	STAGE10高速FIFO WORD4
0x24E	[15:0]	X	R/W	STAGE10_FF_WORD5	STAGE10高速FIFO WORD5
0x24F	[15:0]	X	R/W	STAGE10_FF_WORD6	STAGE10高速FIFO WORD6
0x250	[15:0]	X	R/W	STAGE10_FF_WORD7	STAGE10高速FIFO WORD7
0x251	[15:0]	X	R/W	STAGE10_SF_WORD0	STAGE10低速FIFOWORD0
0x252	[15:0]	X	R/W	STAGE10_SF_WORD1	STAGE10低速FIFOWORD1
0x253	[15:0]	X	R/W	STAGE10_SF_WORD2	STAGE10低速FIFOWORD2
0x254	[15:0]	X	R/W	STAGE10_SF_WORD3	STAGE10低速FIFOWORD3
0x255	[15:0]	X	R/W	STAGE10_SF_WORD4	STAGE10低速FIFOWORD4
0x256	[15:0]	X	R/W	STAGE10_SF_WORD5	STAGE10低速FIFOWORD5
0x257	[15:0]	X	R/W	STAGE10_SF_WORD6	STAGE10低速FIFOWORD6
0x258	[15:0]	X	R/W	STAGE10_SF_WORD7	STAGE10低速FIFOWORD7
0x259	[15:0]	X	R/W	STAGE10_SF_AMBIENT	STAGE10低速FIFO周辺値
0x25A	[15:0]	X	R/W	STAGE10_FF_AVG	STAGE10高速FIFO平均値
0x25B	[15:0]	X	R/W	STAGE10_CDC_WORD0	STAGE10 CDC FIFO WORD0
0x25C	[15:0]	X	R/W	STAGE10_CDC_WORD1	STAGE10 CDC FIFO WORD1
0x25D	[15:0]	X	R/W	STAGE10_MAX_WORD0	STAGE10最大値FIFO WORD0
0x25E	[15:0]	X	R/W	STAGE10_MAX_WORD1	STAGE10最大値FIFO WORD1
0x25F	[15:0]	X	R/W	STAGE10_MAX_WORD2	STAGE10最大値FIFO WORD2
0x260	[15:0]	X	R/W	STAGE10_MAX_WORD3	STAGE10最大値FIFO WORD3
0x261	[15:0]	X	R/W	STAGE10_MAX_AVG	STAGE10平均最大FIFO値
0x262	[15:0]	X	R/W	STAGE10_HIGH_THRESHOLD	STAGE10上限スレッショールド値
0x263	[15:0]	X	R/W	STAGE10_MAX_TEMP	STAGE10一時最大値
0x264	[15:0]	X	R/W	STAGE10_MIN_WORD0	STAGE10最小値FIFO WORD0
0x265	[15:0]	X	R/W	STAGE10_MIN_WORD1	STAGE10最小値FIFO WORD1
0x266	[15:0]	X	R/W	STAGE10_MIN_WORD2	STAGE10最小値FIFO WORD2
0x267	[15:0]	X	R/W	STAGE10_MIN_WORD3	STAGE10最小値FIFO WORD3
0x268	[15:0]	X	R/W	STAGE10_MIN_AVG	STAGE10平均最小FIFO値
0x269	[15:0]	X	R/W	STAGE10_LOW_THRESHOLD	STAGE10下限スレッショールド値
0x26A	[15:0]	X	R/W	STAGE10_MIN_TEMP	STAGE10一時最小値
0x26B	[15:0]	X	R/W	未使用	未使用のレジスタ・ビット=0に設定

AD7142

表60. STAGE11結果レジスタ

アドレス	データビット	デフォルト値	タイプ	名前	説明
0x26C	[15:0]	X	R/W	STAGE11_CONV_DATA	STAGE11CDC 16ビット変換データ (STAGE11_CONV_DATAレジスタ内のデータのコピー)
0x26D	[15:0]	X	R/W	STAGE11_FF_WORD0	STAGE11高速FIFO WORD0
0x26E	[15:0]	X	R/W	STAGE11_FF_WORD1	STAGE11高速FIFO WORD1
0x26F	[15:0]	X	R/W	STAGE11_FF_WORD2	STAGE11高速FIFO WORD2
0x270	[15:0]	X	R/W	STAGE11_FF_WORD3	STAGE11高速FIFO WORD3
0x271	[15:0]	X	R/W	STAGE11_FF_WORD4	STAGE11高速FIFO WORD4
0x272	[15:0]	X	R/W	STAGE11_FF_WORD5	STAGE11高速FIFO WORD5
0x273	[15:0]	X	R/W	STAGE11_FF_WORD6	STAGE11高速FIFO WORD6
0x274	[15:0]	X	R/W	STAGE11_FF_WORD7	STAGE11高速FIFO WORD7
0x275	[15:0]	X	R/W	STAGE11_SF_WORD0	STAGE11低速FIFOWORD0
0x276	[15:0]	X	R/W	STAGE11_SF_WORD1	STAGE11低速FIFOWORD1
0x277	[15:0]	X	R/W	STAGE11_SF_WORD2	STAGE11低速FIFOWORD2
0x278	[15:0]	X	R/W	STAGE11_SF_WORD3	STAGE11低速FIFOWORD3
0x279	[15:0]	X	R/W	STAGE11_SF_WORD4	STAGE11低速FIFOWORD4
0x27A	[15:0]	X	R/W	STAGE11_SF_WORD5	STAGE11低速FIFOWORD5
0x27B	[15:0]	X	R/W	STAGE11_SF_WORD6	STAGE11低速FIFOWORD6
0x27C	[15:0]	X	R/W	STAGE11_SF_WORD7	STAGE11低速FIFOWORD7
0x27D	[15:0]	X	R/W	STAGE11_SF_AMBIENT	STAGE11低速FIFO周辺値
0x27E	[15:0]	X	R/W	STAGE11_FF_AVG	STAGE11高速FIFO平均値
0x27F	[15:0]	X	R/W	STAGE11_CDC_WORD0	STAGE11 CDC FIFO WORD0
0x280	[15:0]	X	R/W	STAGE11_CDC_WORD1	STAGE11 CDC FIFO WORD1
0x281	[15:0]	X	R/W	STAGE11_MAX_WORD0	STAGE11最大値FIFO WORD0
0x282	[15:0]	X	R/W	STAGE11_MAX_WORD1	STAGE11最大値FIFO WORD1
0x283	[15:0]	X	R/W	STAGE11_MAX_WORD2	STAGE11最大値FIFO WORD2
0x284	[15:0]	X	R/W	STAGE11_MAX_WORD3	STAGE11最大値FIFO WORD3
0x285	[15:0]	X	R/W	STAGE11_MAX_AVG	STAGE11平均最大FIFO値
0x286	[15:0]	X	R/W	STAGE11_HIGH_THRESHOLD	STAGE11上限スレッシュホールド値
0x287	[15:0]	X	R/W	STAGE11_MAX_TEMP	STAGE11一時最大値
0x288	[15:0]	X	R/W	STAGE11_MIN_WORD0	STAGE11最小値FIFO WORD0
0x289	[15:0]	X	R/W	STAGE11_MIN_WORD1	STAGE11最小値FIFO WORD1
0x28A	[15:0]	X	R/W	STAGE11_MIN_WORD2	STAGE11最小値FIFO WORD2
0x28B	[15:0]	X	R/W	STAGE11_MIN_WORD3	STAGE11最小値FIFO WORD3
0x28C	[15:0]	X	R/W	STAGE11_MIN_AVG	STAGE11平均最小FIFO値
0x28D	[15:0]	X	R/W	STAGE11_LOW_THRESHOLD	STAGE11下限スレッシュホールド値
0x28E	[15:0]	X	R/W	STAGE11_MIN_TEMP	STAGE11一時最小値
0x28F	[15:0]	X	R/W	未使用	未使用のレジスタ・ビット=0に設定

外形寸法



JEDEC規格MO-220-VHHD-2に準拠

図60. 32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
5mm×5mm、極薄クワッド
(CP-32-2)
寸法単位：mm

オーダー・ガイド

モデル	温度範囲	シリアル・インターフェースの説明	パッケージ	パッケージ・オプション
AD7142ACPZ-REEL ¹	-40～+85℃	SPIインターフェース	32ピンLFCSP_VQ	CP-32-2
AD7142ACPZ-500RL7 ¹	-40～+85℃	SPIインターフェース	32ピンLFCSP_VQ	CP-32-2
AD7142ACPZ-1REEL ¹	-40～+85℃	I ² Cインターフェース	32ピンLFCSP_VQ	CP-32-2
AD7142ACPZ-1500RL7 ¹	-40～+85℃	I ² Cインターフェース	32ピンLFCSP_VQ	CP-32-2
EVAL-AD7142EBZ ¹		SPIインターフェース	評価用ボード	
EVAL-AD7142-1EBZ ¹		I ² Cインターフェース	評価用ボード	

¹ Z=鉛フリー製品