

特長

帯域幅 32.7 MHz、サンプリング 150 MSPS、
70 MHz で SNR = 74.5 dBc (75.5 dBFS)
150 MSPS で、70 MHz まで SFDR = 80 dBc
1.8 V のアナログ電源動作
1.8 V ~ 3.3 V の CMOS 出力電源
または 1.8 V の LVDS 出力電源
入カクロック分周器(1~8 分周)を内蔵
2 チャンネルの ADC を内蔵
サンプル・レート: 最大 150 MSPS
IF サンプリング周波数: 450 MHz まで
ADC リファレンス電圧を内蔵
ADC サンプル・アンド・ホールドを内蔵
柔軟なアナログ入力範囲: 1 V p-p ~ 2 V p-p
ADC クロックのデューティ・サイクル・スタビライザを内蔵
チャンネル・アイソレーション/クロストーク: 95 dB
広帯域デジタル・ダウンコンバータ(DDC)を内蔵
32 ビット複素型の数値制御発振器(NCO)を内蔵
デシメーション用ハーフバンド・フィルタおよび FIR フィルタを
内蔵
実数型と複素型の出力モードをサポート
高速スレッショールド検出ビットをサポート
コンボジット信号モニター
省電力のパワーダウン・モード

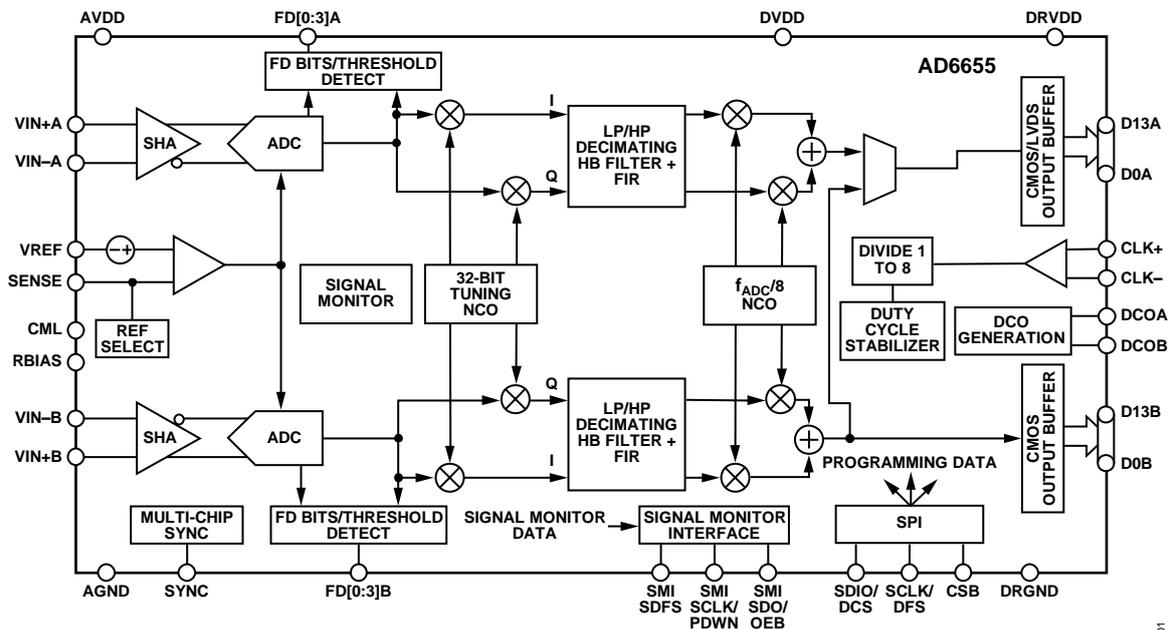
アプリケーション

通信
ダイバーシティー無線システム
マルチモード・デジタル・レシーバ(3G)
TD-SCDMA、WiMax、WCDMA、
CDMA2000、GSM、EDGE、LTE
I/Q 復調システム
スマート・アンテナ・システム
汎用ソフトウェア無線
ブロードバンド・データ・アプリケーション

製品のハイライト

- 150 MSPS の 14 ビット ADC を 2 個内蔵。
- 広帯域デシメーション・フィルタと 32 ビット複素 NCO を内蔵。
- シリアル出力付きの高速オーバーレンジ検出機能と信号モニター機能。
- 独自の差動入力により、最大 450 MHz までの入力周波数で優れた SNR 性能を維持。
- 独立した CMOS、インターリーブ CMOS、IQ モード CMOS、インターリーブ LVDS などの柔軟な出力モード。
- SYNC 入力により複数デバイスの同期が可能。
- レジスタの読み書きに使用する 3 ビット SPI ポートを内蔵。

機能ブロック図



NOTES
 1. PIN NAMES ARE FOR THE CMOS PIN CONFIGURATION ONLY; SEE FIGURE 10 FOR LVDS PIN NAMES.

087709-001

図 1.

目次

特長	1	ハーフバンド・フィルタの機能	39
アプリケーション	1	固定係数 FIR フィルタ	39
製品のハイライト	1	同期化	40
機能ブロック図	2	結合フィルタ性能	40
改訂履歴	3	最終 NCO	40
概要	4	ADC オーバーレンジとゲインの制御	41
仕様	5	高速検出の概要	41
ADC の DC 仕様—AD6655BCPZ-80/AD6655BCPZ-105	5	ADC 高速振幅	41
ADC の DC 仕様—AD6655BCPZ-125/AD6655BCPZ-150	6	ADC オーバーレンジ(OR)	42
ADC の AC 仕様—AD6655BCPZ-80/AD6655BCPZ-105	7	ゲインの切り替え	42
ADC の AC 仕様—AD6655BCPZ-125/AD6655BCPZ-150	8	信号モニター	44
デジタル仕様—AD6655BCPZ-80/AD6655BCPZ-105	9	ピーク検出器モード	44
デジタル仕様—AD6655BCPZ-125/AD6655BCPZ-150	11	RMS/MS 振幅モード	44
スイッチング仕様—AD6655BCPZ-80/AD6655BCPZ-105	13	スレッショルド交差モード	45
スイッチング仕様—AD6655BCPZ-125/AD6655BCPZ-150	14	その他のコントロール・ビット	45
タイミング仕様	15	DC 補正	45
絶対最大定格	18	信号モニターSPORT 出力	46
熱特性	18	チャンネル/チップ同期	47
ESD に関する注意	18	シリアル・ポート・インターフェース(SPI)	48
ピン配置およびピン機能説明	19	SPI を使う設定	48
等価回路	23	ハードウェア・インターフェース	48
動作原理	29	SPI を使わない設定	49
ADC のアーキテクチャ	29	SPI からアクセス可能な機能	49
アナログ入力に対する考慮	29	メモリ・マップ・レジスタ・テーブルの読み出し	50
リファレンス電圧	31	メモリ・マップ・レジスタ・テーブル	51
クロック入力の考慮事項	32	メモリ・マップ・レジスタの説明	55
消費電力とスタンバイ・モード	34	アプリケーション情報	59
デジタル出力	35	デザイン・ガイドライン	59
デジタル・ダウンコンバータ	37	評価ボード	61
ダウンコンバータ・モード	37	電源	61
数値制御発振器(NCO)	37	入力信号	61
ハーフバンド・デシメーション・フィルタと FIR フィルタ	37	出力信号	61
$F_{ADC}/8$ 固定周波数 NCO	37	デフォルト動作設定とジャンパー・セレクション設定	62
数値制御発振器(NCO)	38	別のクロック設定	62
周波数変換	38	別のアナログ入力駆動構成	63
NCO 同期	38	回路図	64
位相オフセット	38	評価ボードのレイアウト	74
NCO の振幅ディザと位相ディザ	38	部品表	82
デシメーション・ハーフバンド・フィルタと FIR フィルタ	39	外形寸法	84
ハーフバンド・フィルタ係数	39	オーダー・ガイド	84

改訂履歴

11/07—Revision 0: Initial Version

概要

AD6655 は、80 MSPS/105 MSPS/125 MSPS/150 MSPS の 14 ビット ADC が 2 個と、広帯域デジタル・ダウンコンバータ(DDC)から構成されるミックスド・シグナル中間周波数(IF)レシーバです。AD6655 は、低価格、小型、多機能が必要とされる通信アプリケーションをサポートするようにデザインされています。

2 個の ADC コアはマルチステージの差動パイプライン・アーキテクチャを採用し、出力誤差補正ロジックを内蔵しています。各 ADC は、ユーザー選択可能な、多様な入力範囲をサポートする広帯域差動サンプル・アンド・ホールド・アナログ入力アンプを持っています。リファレンス電圧を内蔵しているためデザインが容易です。デューティ・サイクル・スタビライザは、クロック・デューティ・サイクルの変動を補償して、優れた性能を維持します。

ADC データ出力は内部でレシーバのデジタル・ダウンコンバータ(DDC)に直接接続されているため、レイアウトが簡素化されて相互接続の寄生成分が少なくなります。デジタル・レシーバは 2 チャンネルあるため、処理の柔軟性が増します。各受信チャンネルは、32 ビット周波数変換器(数値制御発振器(NCO))、ハーフバンド・デシメーション・フィルタ、固定 FIR フィルタ、 $f_{\text{ADC}}/8$ 固定の周波数 NCO の 4 ステージがカスケード接続された信号処理機能で構成されています。

AD6655 はレシーバ DDC の他にシステム・レシーバ内に自動ゲイン制御(AGC)機能を簡素化する複数の機能を持っています。高速な検出機能を使うと、4 ビットの入力レベル情報を短いレイテンシで出力することにより、高速なオーバーレンジ検出が可能になります。

さらに、スレッシュホールドがプログラマブルな検出器を使うと、レイテンシの小さい ADC の高速検出ビット(4 ビット)を使って

着信信号電力をモニターすることができます。入力信号レベルがプログラマブルなスレッシュホールドを超えると、粗調整上位スレッシュホールド・インジケータがハイ・レベルになります。このスレッシュホールド・インジケータのレイテンシは小さいため、迅速にシステム・ゲインを下げ、オーバーレンジ状態を回避することができます。

2 つ目の AGC 関連機能は信号モニターです。このブロックを使うと、着信信号のコンポジット振幅をモニターすることができます。そのため、システム全体のダイナミック・レンジを最適化するゲインを設定するときに役立ちます。

デジタル処理を行ったデータは、2 つの外部 14 ビット出力ポートへ直接出力することができます。これらの出力は、1.8 V~3.3 V の CMOS または 1.8 V の LVDS に設定することができます。CMOS データも、ダブル・データ・レートのインターリーブ構成でポート A のみから出力することができます。

AD6655 レシーバは、IF 周波数の広いスペクトルをデジタル化します。各レシーバは、メイン・チャンネルとダイバーシティ・チャンネルの同時受信を行うようにデザインされています。この IF サンプリング・アーキテクチャは、従来型アナログ技術または集積度の低いデジタル方式と比べると部品コストと複雑さを大幅に削減します。

柔軟なパワーダウン・オプションは、必要に応じて大幅な省電力を可能にします。

設定と制御は、3 ビットの SPI 互換シリアル・インターフェースを介して行います。

AD6655 は 64 ピン LFCSP を採用し、 -40°C ~ $+85^{\circ}\text{C}$ の工業用温度範囲仕様です。

仕様

ADC の DC 仕様—AD6655BCPZ-80/AD6655BCPZ-105

特に指定のない限り、AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内部リファレンス電圧、DCS をイネーブル。

表 1.

Parameter	Temperature	AD6655BCPZ-80			AD6655BCPZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
RESOLUTION	Full	14			14			Bits
ACCURACY								
No Missing Codes	Full		Guaranteed			Guaranteed		
Offset Error	Full		±0.2	±0.6		±0.2	±0.6	% FSR
Gain Error	Full	-3.6	-1.8	-0.1	-4.3	-2.2	-0.5	% FSR
MATCHING CHARACTERISTIC								
Offset Error	25°C		±0.2	±0.6		±0.2	±0.6	% FSR
Gain Error	25°C		±0.2	±0.75		±0.2	±0.75	% FSR
TEMPERATURE DRIFT								
Offset Error	Full		±15			±15		ppm/°C
Gain Error	Full		±95			±95		ppm/°C
INTERNAL VOLTAGE REFERENCE								
Output Voltage Error (1 V Mode)	Full		±5	±18		±5	±18	mV
Load Regulation @ 1.0 mA	Full		7			7		mV
INPUT-REFERRED NOISE								
VREF = 1.0 V	25°C		0.85			0.85		LSB rms
ANALOG INPUT								
Input Span, VREF = 1.0 V	Full		2			2		V p-p
Input Capacitance ¹	Full		8			8		pF
VREF INPUT RESISTANCE	Full		6			6		kΩ
POWER SUPPLIES								
Supply Voltage								
AVDD, DVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD (CMOS Mode)	Full	1.7	3.3	3.6	1.7	3.3	3.6	V
DRVDD (LVDS Mode)	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
Supply Current								
I _{AVDD} ^{2,3}	Full		235	420		315	575	mA
I _{DVDD} ^{2,3}	Full		175			225		mA
I _{DRVDD} ² (3.3 V CMOS)	Full		18			21		mA
I _{DRVDD} ² (1.8 V CMOS)	Full		8			11		mA
I _{DRVDD} ² (1.8 V LVDS)	Full		55			56		mA
POWER CONSUMPTION								
DC Input	Full		470	490		620	650	mW
Sine Wave Input ² (DRVDD = 1.8 V)	Full		755			995		mW
Sine Wave Input ² (DRVDD = 3.3 V)	Full		800			1040		mW
Standby Power ⁴	Full		52			68		mW
Power-Down Power	Full		2.5	8		2.5	8	mW

¹ 入力容量は、1本の差動入力ピンとAGNDとの間の実効容量です。図11の等価アナログ入力構造を参照してください。

² 9.7 MHz のフルスケール正弦波入力、13 MHz でNCOをイネーブル、FIRフィルタをイネーブル、各出力ビットに約5 pFの負荷を接続してf_s/8出力ミックスをイネーブルして測定。

³ 最大値は、I_{AVDD}とI_{DVDD}の組み合わせに適用。

⁴ スタンバイ電力は、DC入力とCLKピンを非アクティブ(すなわちAVDDまたはAGNDに接続)にして測定。

ADC の DC 仕様—AD6655BCPZ-125/AD6655BCPZ-150

特に指定のない限り、AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内部リファレンス電圧、DCS をイネーブル。

表 2.

Parameter	Temperature	AD6655BCPZ-125			AD6655BCPZ-150			Unit
		Min	Typ	Max	Min	Typ	Max	
RESOLUTION	Full	14			14			Bits
ACCURACY								
No Missing Codes	Full		Guaranteed			Guaranteed		
Offset Error	Full		±0.3	±0.6		±0.2	±0.6	% FSR
Gain Error	Full	-4.7	-2.7	-0.8	-5.1	-3.2	-1.0	% FSR
MATCHING CHARACTERISTIC								
Offset Error	25°C		±0.3	±0.7		±0.2	±0.7	% FSR
Gain Error	25°C		±0.1	±0.7		±0.2	±0.8	% FSR
TEMPERATURE DRIFT								
Offset Error	Full		±15			±15		ppm/°C
Gain Error	Full		±95			±95		ppm/°C
INTERNAL VOLTAGE REFERENCE								
Output Voltage Error (1 V Mode)	Full		±5	±18		±5	±18	mV
Load Regulation @ 1.0 mA	Full		7			7		mV
INPUT-REFERRED NOISE								
VREF = 1.0 V	25°C		0.85			0.85		LSB rms
ANALOG INPUT								
Input Span, VREF = 1.0 V	Full		2			2		V p-p
Input Capacitance ¹	Full		8			8		pF
VREF INPUT RESISTANCE	Full		6			6		kΩ
POWER SUPPLIES								
Supply Voltage								
AVDD, DVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD (CMOS Mode)	Full	1.7	1.8	3.6	1.7	1.8	3.6	V
DRVDD (LVDS Mode)	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
Supply Current								
I _{AVDD} ^{2, 3}	Full		390	705		440	805	mA
I _{DVDD} ^{2, 2}	Full		270			320		mA
I _{DRVDD} ² (3.3 V CMOS)	Full		26			28		mA
I _{DRVDD} ² (1.8 V CMOS)	Full		13			17		mA
I _{DRVDD} ² (1.8 V LVDS)	Full		57			57		mA
POWER CONSUMPTION								
DC Input	Full		770	810		870	920	mW
Sine Wave Input ² (DRVDD = 1.8 V)	Full		1215			1395		mW
Sine Wave Input ² (DRVDD = 3.3 V)	Full		1275			1450		mW
Standby Power ⁴	Full		77			77		mW
Power-down Power	Full		2.5	8		2.5	8	mW

¹ 入力容量は、1本の差動入力ピンとAGNDとの間の実効容量です。図11の等価アナログ入力構造を参照してください。

² 9.7 MHz のフルスケール正弦波入力、13 MHz でNCOをイネーブル、FIRフィルタをイネーブル、各出力ビットに約5 pFの負荷を接続してf_s/8出力ミックスをイネーブルして測定。

³ 最大値は、I_{AVDD}とI_{DVDD}の組み合わせに適用。

⁴ スタンバイ電力は、DC入力とCLKピンを非アクティブ(すなわちAVDDまたはAGNDに接続)にして測定。

ADC の AC 仕様—AD6655BCPZ-80/AD6655BCPZ-105

特に指定のない限り、AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内部リファレンス電圧、DCS をイネーブル。

表 3.

Parameter ¹	Temperature	AD6655BCPZ-80			AD6655BCPZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
SIGNAL-TO-NOISE-RATIO (SNR)								
$f_{IN} = 2.4$ MHz	25°C		74.9			74.8		dB
$f_{IN} = 70$ MHz	25°C		74.8			74.7		dB
	Full	73.0			73.0			dB
$f_{IN} = 140$ MHz	25°C		74.5			74.3		dB
$f_{IN} = 220$ MHz	25°C		73.4			73.4		dB
WORST SECOND OR THIRD HARMONIC								
$f_{IN} = 2.4$ MHz	25°C		-86			-86		dBc
$f_{IN} = 70$ MHz	25°C		-85			-85		dBc
	Full			-74			-74	dBc
$f_{IN} = 140$ MHz	25°C		-84			-84		dBc
$f_{IN} = 220$ MHz	25°C		-83			-83		dBc
SPURIOUS-FREE DYNAMIC RANGE (SFDR)								
$f_{IN} = 2.4$ MHz	25°C		86			86		dBc
$f_{IN} = 70$ MHz	25°C		85			85		dBc
	Full	74			74			dBc
$f_{IN} = 140$ MHz	25°C		84			84		dBc
$f_{IN} = 220$ MHz	25°C		83			83		dBc
WORST OTHER HARMONIC OR SPUR ²								
$f_{IN} = 2.4$ MHz	25°C		-93			-93		dBc
$f_{IN} = 70$ MHz	25°C		-90			-90		dBc
	Full			-82			-82	dBc
$f_{IN} = 140$ MHz	25°C		-89			-89		dBc
$f_{IN} = 220$ MHz	25°C		-86			-86		dBc
TWO-TONE SFDR								
$f_{IN} = 29.12$ MHz, 32.12 MHz (-7 dBFS)	25°C		85			85		dBc
$f_{IN} = 169.12$ MHz, 172.12 MHz (-7 dBFS)	25°C		81			81		dBc
CROSSTALK ³	Full		95			95		dB
ANALOG INPUT BANDWIDTH	25°C		650			650		MHz

¹ 完全な定義についてはアプリケーション・ノート「*Understanding High Speed ADC Testing and Evaluation*」を参照してください。

² AD6655 のその他のワースト・ケース仕様の詳細については、アプリケーション情報のセクションを参照してください。

³ クロストークは、片方のチャンネルに-1 dBFS を入力し、他方のチャンネルは入力なしで、100 MHz で測定。

ADC の AC 仕様—AD6655BCPZ-125/AD6655BCPZ-150

特に指定のない限り、AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内部リファレンス電圧、DCS をイネーブル。

表 4.

Parameter ¹	Temperature	AD6655BCPZ-80			AD6655BCPZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
SIGNAL-TO-NOISE-RATIO (SNR)								
$f_{IN} = 2.4$ MHz	25°C		74.9			74.8		dB
$f_{IN} = 70$ MHz	25°C		74.8			74.7		dB
	Full	73.0			73.0			dB
$f_{IN} = 140$ MHz	25°C		74.5			74.3		dB
$f_{IN} = 220$ MHz	25°C		73.4			73.4		dB
WORST SECOND OR THIRD HARMONIC								
$f_{IN} = 2.4$ MHz	25°C		-86			-86		dBc
$f_{IN} = 70$ MHz	25°C		-85			-85		dBc
	Full			-74			-74	dBc
$f_{IN} = 140$ MHz	25°C		-84			-84		dBc
$f_{IN} = 220$ MHz	25°C		-83			-83		dBc
SPURIOUS-FREE DYNAMIC RANGE (SFDR)								
$f_{IN} = 2.4$ MHz	25°C		86			86		dBc
$f_{IN} = 70$ MHz	25°C		85			85		dBc
	Full	74			74			dBc
$f_{IN} = 140$ MHz	25°C		84			84		dBc
$f_{IN} = 220$ MHz	25°C		83			83		dBc
WORST OTHER HARMONIC OR SPUR ²								
$f_{IN} = 2.4$ MHz	25°C		-93			-93		dBc
$f_{IN} = 70$ MHz	25°C		-90			-90		dBc
	Full			-82			-82	dBc
$f_{IN} = 140$ MHz	25°C		-89			-89		dBc
$f_{IN} = 220$ MHz	25°C		-86			-86		dBc
TWO-TONE SFDR								
$f_{IN} = 29.12$ MHz, 32.12 MHz (-7 dBFS)	25°C		85			85		dBc
$f_{IN} = 169.12$ MHz, 172.12 MHz (-7 dBFS)	25°C		81			81		dBc
CROSSTALK ³	Full		95			95		dB
ANALOG INPUT BANDWIDTH	25°C		650			650		MHz

¹ 完全な定義についてはアプリケーション・ノート「Understanding High Speed ADC Testing and Evaluation」を参照してください。

² AD6655 のその他のワースト・ケース仕様の詳細については、アプリケーション情報のセクションを参照してください。

³ クロストークは、片方のチャンネルに-1 dBFS を入力し、他方のチャンネルは入力なしで、100 MHz で測定。

デジタル仕様—AD6655BCPZ-80/AD6655BCPZ-105

特に指定のない限り、AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内部リファレンス電圧、DCS をイネーブル。

表 5.

Parameter	Temp	AD6655BCPZ-80			AD6655BCPZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
DIFFERENTIAL CLOCK INPUTS (CLK+, CLK-)								
Logic Compliance		CMOS/LVDS/LVPECL			CMOS/LVDS/LVPECL			
Internal Common-Mode Bias	Full		1.2			1.2		V
Differential Input Voltage	Full	0.2		6	0.2		6	V p-p
Input Voltage Range	Full	AVDD - 0.3		AVDD + 1.6	AVDD - 0.3		AVDD + 1.6	V
Input Common-Mode Range	Full	1.1		AVDD	1.1		AVDD	V
High Level Input Voltage	Full	1.2		3.6	1.2		3.6	V
Low Level Input Voltage	Full	0		0.8	0		0.8	V
High Level Input Current	Full	-10		+10	-10		+10	μA
Low Level Input Current	Full	-10		+10	-10		+10	μA
Input Capacitance	Full		4			4		pF
Input Resistance	Full	8	10	12	8	10	12	kΩ
SYNC INPUT								
Logic Compliance		CMOS			CMOS			
Internal Bias	Full		1.2			1.2		V
Input Voltage Range	Full	AVDD - 0.3		AVDD + 1.6	AVDD - 0.3		AVDD + 1.6	V
High Level Input Voltage	Full	1.2		3.6	1.2		3.6	V
Low Level Input Voltage	Full	0		0.8	0		0.8	V
High Level Input Current	Full	-10		+10	-10		+10	μA
Low Level Input Current	Full	-10		+10	-10		+10	μA
Input Capacitance	Full		4			4		pF
Input Resistance	Full	8	10	12	8	10	12	kΩ
LOGIC INPUT (CSB) ¹								
High Level Input Voltage	Full	1.22		3.6	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	0		0.6	V
High Level Input Current	Full	-10		+10	-10		+10	μA
Low Level Input Current	Full	40		132	40		132	μA
Input Resistance	Full		26			26		kΩ
Input Capacitance	Full		2			2		pF
LOGIC INPUT (SCLK/DFS) ²								
High Level Input Voltage	Full	1.22		3.6	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	0		0.6	V
High Level Input Current	Full	-92		-135	-92		-135	μA
Low Level Input Current	Full	-10		+10	-10		+10	μA
Input Resistance	Full		26			26		kΩ
Input Capacitance	Full		2			2		pF
LOGIC INPUTS (SDIO/DCS, SMI SDFS) ¹								
High Level Input Voltage	Full	1.22		3.6	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	0		0.6	V
High Level Input Current	Full	-10		+10	-10		+10	μA
Low Level Input Current	Full	38		128	38		128	μA

Parameter	Temp	AD6655BCPZ-80			AD6655BCPZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Resistance	Full		26			26		k Ω
Input Capacitance	Full		5			5		pF
LOGIC INPUTS (SMI SDO/OEB, SMI SCLK/PDWN) ²								
High Level Input Voltage	Full	1.22		3.6	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	0		0.6	V
High Level Input Current	Full	-90		-134	-90		-134	μ A
Low Level Input Current	Full	-10		+10	-10		+10	μ A
Input Resistance	Full		26			26		k Ω
Input Capacitance	Full		5			5		pF
DIGITAL OUTPUTS								
CMOS Mode—DRVDD = 3.3 V								
High Level Output Voltage								
I _{OH} = 50 μ A	Full	3.29			3.29			V
I _{OH} = 0.5 mA	Full	3.25			3.25			V
Low Level Output Voltage								
I _{OL} = 1.6 mA	Full			0.2			0.2	V
I _{OL} = 50 μ A	Full			0.05			0.05	V
CMOS Mode—DRVDD = 1.8 V								
High Level Output Voltage								
I _{OH} = 50 μ A	Full	1.79			1.79			V
I _{OH} = 0.5 mA	Full	1.75			1.75			V
Low Level Output Voltage								
I _{OL} = 1.6 mA	Full			0.2			0.2	V
I _{OL} = 50 μ A	Full			0.05			0.05	V
LVDS Mode, DRVDD = 1.8 V								
Differential Output Voltage (VOD), ANSI Mode	Full	250	350	450	250	350	450	mV
Output Offset Voltage (VOS), ANSI Mode	Full	1.15	1.25	1.35	1.15	1.25	1.35	V
Differential Output Voltage (VOD), Reduced Swing Mode	Full	150	200	280	150	200	280	mV
Output Offset Voltage (VOS), Reduced Swing Mode	Full	1.15	1.25	1.35	1.15	1.25	1.35	V

¹ プルアップ。² プルダウン。

デジタル仕様—AD6655BCPZ-125/AD6655BCPZ-150

特に指定のない限り、AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内部リファレンス電圧、DCS をイネーブル。

表 6.

Parameter	Temp	AD6655BCPZ-125			AD6655BCPZ-150			Unit
		Min	Typ	Max	Min	Typ	Max	
DIFFERENTIAL CLOCK INPUTS (CLK+, CLK-)								
Logic Compliance		CMOS/LVDS/LVPECL			CMOS/LVDS/LVPECL			
Internal Common-Mode Bias	Full	1.2			1.2			V
Differential Input Voltage	Full	0.2		6	0.2		6	V _{p-p}
Input Voltage Range	Full	AVDD -		AVDD +	AVDD -		AVDD + 1.6	V
Input Common-Mode Range	Full	1.1 V		AVDD	1.1 V		AVDD	V
High Level Input Voltage	Full	1.2		3.6	1.2		3.6	V
Low Level Input Voltage	Full	0		0.8	0		0.8	V
High Level Input Current	Full	-10		+10	-10		+10	μA
Low Level Input Current	Full	-10		+10	-10		+10	μA
Input Capacitance	Full	4			4			pF
Input Resistance	Full	8	10	12	8	10	12	kΩ
SYNC INPUT								
Logic Compliance		CMOS			CMOS			
Internal Bias	Full	1.2			1.2			V
Input Voltage Range	Full	AVDD - 0.3		AVDD + 1.6	AVDD - 0.3		AVDD + 1.6	V
High Level Input Voltage	Full	1.2		3.6	1.2		3.6	V
Low Level Input Voltage	Full	0		0.8	0		0.8	V
High Level Input Current	Full	-10		+10	-10		+10	μA
Low Level Input Current	Full	-10		+10	-10		+10	μA
Input Capacitance	Full	4			4			pF
Input Resistance	Full	8	10	12	8	10	12	kΩ
LOGIC INPUT (CSB) ¹								
High Level Input Voltage	Full	1.22		3.6	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	0		0.6	V
High Level Input Current	Full	-10		+10	-10		+10	μA
Low Level Input Current	Full	40		132	40		132	μA
Input Resistance	Full	26			26			kΩ
Input Capacitance	Full	2			2			pF
LOGIC INPUT (SCLK/DFS) ²								
High Level Input Voltage	Full	1.22		3.6	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	0		0.6	V
High Level Input Current	Full	-92		-135	-92		-135	μA
Low Level Input Current	Full	-10		+10	-10		+10	μA
Input Resistance	Full	26			26			kΩ
Input Capacitance	Full	2			2			pF
LOGIC INPUTS (SDIO/DCS, SMI SDFS)								
High Level Input Voltage	Full	1.22		3.6	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	0		0.6	V
High Level Input Current	Full	-10		+10	-10		+10	μA
Low Level Input Current	Full	38		128	38		128	μA
Input Resistance	Full	26			26			kΩ
Input Capacitance	Full	5			5			pF
LOGIC INPUTS (SMI SDO/OEB, SMI SCLK/PDWN) ²								
High Level Input Voltage	Full	1.22		3.6	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	0		0.6	V

Parameter	Temp	AD6655BCPZ-125			AD6655BCPZ-150			Unit
		Min	Typ	Max	Min	Typ	Max	
High Level Input Current	Full	-90		-134	-90		-134	μ A
Low Level Input Current	Full	-10		+10	-10		+10	μ A
Input Resistance	Full		26			26		k Ω
Input Capacitance	Full		5			5		pF
DIGITAL OUTPUTS								
CMOS Mode—DRVDD = 3.3 V								
High Level Output Voltage								
$I_{OH} = 50 \mu$ A	Full	3.29			3.29			V
$I_{OH} = 0.5$ mA	Full	3.25			3.25			V
Low Level Output Voltage								
$I_{OL} = 1.6$ mA	Full			0.2			0.2	V
$I_{OL} = 50 \mu$ A	Full			0.05			0.05	V
CMOS Mode—DRVDD = 1.8 V								
High Level Output Voltage								
$I_{OH} = 50 \mu$ A	Full	1.79			1.79			V
$I_{OH} = 0.5$ mA	Full	1.75			1.75			V
Low Level Output Voltage								
$I_{OL} = 1.6$ mA	Full			0.2			0.2	V
$I_{OL} = 50 \mu$ A	Full			0.05			0.05	V
LVDS Mode—DRVDD = 1.8 V								
Differential Output Voltage (VOD), ANSI Mode	Full	250	350	450	250	350	450	mV
Output Offset Voltage (VOS), ANSI Mode	Full	1.15	1.25	1.35	1.15	1.25	1.35	V
Differential Output Voltage (VOD), Reduced Swing Mode	Full	150	200	280	150	200	280	mV
Output Offset Voltage (VOS), Reduced Swing Mode	Full	1.15	1.25	1.35	1.15	1.25	1.35	V

¹ プルアップ。² プルダウン。

スイッチング仕様—AD6655BCPZ-80/AD6655BCPZ-105

表 7.

Parameter	Temp	AD6655BCPZ-80			AD6655BCPZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
CLOCK INPUT PARAMETERS								
Input Clock Rate	Full			625			625	MHz
Conversion Rate ¹								
DCS Enabled	Full	20		80	20		105	MSPS
DCS Disabled	Full	10		80	10		105	MSPS
CLK Period—Divide-by-1 Mode (t_{CLK})	Full	12.5			9.5			ns
CLK Pulse Width High (t_{CLKH})								
Divide-by-1 Mode, DCS Enabled	Full	3.75	6.25	8.75	2.85	4.75	6.65	ns
Divide-by-1 Mode DCS Disabled	Full	5.63	6.25	6.88	4.28	4.75	5.23	ns
Divide-by-2 Mode, DCS Enabled	Full	1.6			1.6			ns
Divide-by-3 Through Divide-by-8 Modes, DCS Enabled	Full	0.8			0.8			ns
DATA OUTPUT PARAMETERS (DATA, FD)								
CMOS Noninterleaved Mode—DRVDD = 1.8 V								
Data Propagation Delay (t_{PD}) ²	Full	1.6	3.9	6.2	1.6	3.9	6.2	ns
DCO Propagation Delay (t_{DCO})	Full	4.0	5.4	7.3	4.0	5.4	7.3	ns
Setup Time (t_S)	Full		14.0			11.0		ns
Hold Time (t_H)	Full		11.0			8.0		ns
CMOS Noninterleaved Mode—DRVDD = 3.3 V								
Data Propagation Delay (t_{PD}) ²	Full	1.9	4.1	6.4	1.9	4.1	6.4	ns
DCO Propagation Delay (t_{DCO})	Full	4.4	5.8	7.7	4.4	5.8	7.7	ns
Setup Time (t_S)	Full		14.2			11.2		ns
Hold Time (t_H)	Full		10.8			7.8		ns
CMOS Interleaved and IQ Mode—DRVDD = 1.8 V								
Data Propagation Delay (t_{PD}) ²	Full	1.6	3.9	6.2	1.6	3.9	6.2	ns
DCO Propagation Delay (t_{DCO})	Full	3.4	4.8	6.7	3.4	4.8	6.7	ns
Setup Time (t_S)	Full		7.15			5.65		ns
Hold Time (t_H)	Full		5.35			3.85		ns
CMOS Interleaved and IQ Mode—DRVDD = 3.3 V								
Data Propagation Delay (t_{PD}) ²	Full	1.9	4.1	6.4	1.9	4.1	6.4	ns
DCO Propagation Delay (t_{DCO})	Full	3.8	5.2	7.1	3.8	5.2	7.1	ns
Setup Time (t_S)	Full		7.35			5.85		ns
Hold Time (t_H)	Full		5.15			3.65		ns
LVDS Mode—DRVDD = 1.8 V								
Data Propagation Delay (t_{PD}) ²	Full	2.5	4.8	7.0	2.5	4.8	7.0	ns
DCO Propagation Delay (t_{DCO})	Full	3.7	5.3	7.3	3.7	5.3	7.3	ns
Pipeline Delay (Latency) NCO, FIR, $f_S/8$ Mix Disabled	Full		38			38		Cycles
Pipeline Delay (Latency) NCO Enabled, FIR and $f_S/8$ Mix Disabled (Complex Output Mode)	Full		38			38		Cycles
Pipeline Delay (Latency) NCO, FIR, and $f_S/8$ Mix Enabled	Full		109			109		Cycles
Aperture Delay (t_A)	Full		1.0			1.0		ns
Aperture Uncertainty (Jitter, t_J)	Full		0.1			0.1		ps rms
Wake-Up Time ³	Full		350			350		us
OUT-OF-RANGE RECOVERY TIME	Full		2			2		Cycles

¹ 変換レートは分周後のクロック・レートです。² 出力伝搬遅延は、5 pF の負荷を接続して、CLK の 50% 変化から DATA の 50% 変化までで測定。³ ウェイクアップ時間はデカップリング・コデンサの値に依存します。

スイッチング仕様—AD6655BCPZ-125/AD6655BCPZ-150

表 8.

Parameter	Temp	AD6655BCPZ-125			AD6655BCPZ-150			Unit
		Min	Typ	Max	Min	Typ	Max	
CLOCK INPUT PARAMETERS								
Input Clock Rate	Full			625			625	MHz
Conversion Rate ¹								
DCS Enabled	Full	20		125	20		150	MSPS
DCS Disabled	Full	10		125	10		150	MSPS
CLK Period—Divide-by-1 Mode (t_{CLK})	Full	8			6.66			ns
CLK Pulse Width High (t_{CLKH})								
Divide-by-1 Mode, DCS Enabled	Full	2.4	4	5.6	2.0	3.33	4.66	ns
Divide-by-1 Mode, DCS Disabled	Full	3.6	4	4.4	3.0	3.33	3.66	ns
Divide-by-2 Mode, DCS Enabled	Full	1.6			1.6			ns
Divide-by-3 Through Divide-by-8 Modes, DCS Enabled	Full	0.8			0.8			ns
DATA OUTPUT PARAMETERS (DATA, FD)								
CMOS Noninterleaved Mode—DRVDD = 1.8 V								
Data Propagation Delay (t_{PD}) ²	Full	1.6	3.9	6.2	1.6	3.9	6.2	ns
DCO Propagation Delay (t_{DCO})	Full	4.0	5.4	7.3	4.0	5.4	7.3	ns
Setup Time (t_S)	Full		9.5			8.16		ns
Hold Time (t_H)	Full		6.5			5.16		ns
CMOS Noninterleaved Mode—DRVDD = 3.3 V								
Data Propagation Delay (t_{PD}) ²	Full	1.9	4.1	6.4	1.9	4.1	6.4	ns
DCO Propagation Delay (t_{DCO})	Full	4.4	5.8	7.7	4.4	5.8	7.7	ns
Setup Time (t_S)	Full		9.7			8.36		ns
Hold Time (t_H)	Full		6.3			4.96		ns
CMOS Interleaved and IQ Mode—DRVDD = 1.8 V								
Data Propagation Delay (t_{PD}) ²	Full	1.6	3.9	6.2	1.6	3.9	6.2	ns
DCO Propagation Delay (t_{DCO})	Full	3.4	4.8	6.7	3.4	4.8	6.7	ns
Setup Time (t_S)	Full		4.9			4.23		ns
Hold Time (t_H)	Full		3.1			2.43		ns
CMOS Interleaved and IQ Mode—DRVDD = 3.3 V								
Data Propagation Delay (t_{PD}) ²	Full	1.9	4.1	6.4	1.9	4.1	6.4	ns
DCO Propagation Delay (t_{DCO})	Full	3.8	5.2	7.1	3.8	5.2	7.1	ns
Setup Time (t_S)	Full		5.1			4.43		ns
Hold Time (t_H)	Full		2.9			2.23		ns
LVDS Mode—DRVDD = 1.8 V								
Data Propagation Delay (t_{PD}) ²	Full	2.5	4.8	7.0	2.5	4.8	7.0	ns
DCO Propagation Delay (t_{DCO})	Full	3.7	5.3	7.3	3.7	5.3	7.3	ns
Pipeline Delay (Latency) NCO, FIR, $f_S/8$ Mix Disabled	Full		38			38		Cycles
Pipeline Delay (Latency) NCO Enabled; FIR and $f_S/8$ Mix Disabled (Complex Output Mode)	Full		38			38		Cycles
Pipeline Delay (Latency) NCO, FIR, and $f_S/8$ Mix Enabled	Full		109			109		Cycles
Aperture Delay (t_A)	Full		1.0			1.0		ns
Aperture Uncertainty (Jitter, t_J)	Full		0.1			0.1		ps rms
Wake-Up Time ³	Full		350			350		us
OUT-OF-RANGE RECOVERY TIME	Full		3			3		Cycles

¹ 変換レートは分周後のクロック・レートです。² 出力伝搬遅延は、5 pF の負荷を接続して、CLK の 50% 変化から DATA の 50% 変化までで測定。³ ウェイクアップ時間はデカップリング・コデンサの値に依存します。

タイミング仕様

表 9.

Parameter	Conditions	Min	Typ	Max	Unit
SYNC TIMING REQUIREMENTS					
t_{SSYNC}	SYNC to the rising edge of CLK setup time		0.24		ns
t_{HSYNC}	SYNC to the rising edge of CLK hold time		0.4		ns
SPI TIMING REQUIREMENTS					
t_{DS}	Setup time between the data and the rising edge of SCLK	2			ns
t_{DH}	Hold time between the data and the rising edge of SCLK	2			ns
t_{CLK}	Period of the SCLK	40			ns
t_S	Setup time between CSB and SCLK	2			ns
t_H	Hold time between CSB and SCLK	2			ns
t_{HIGH}	Minimum period that SCLK should be in a logic high state	10			ns
t_{LOW}	Minimum period that SCLK should be in a logic low state	10			ns
t_{EN_SDIO}	Time required for the SDIO pin to switch from an input to an output relative to the SCLK falling edge	10			ns
t_{DIS_SDIO}	Time required for the SDIO pin to switch from an output to an input relative to the SCLK rising edge	10			ns
SPORT TIMING REQUIREMENTS					
t_{CSSCLK}	Delay from rising edge of CLK+ to rising edge of SMI SCLK	3.2	4.5	6.2	ns
$t_{SSLKSDO}$	Delay from rising edge of SMI SCLK to SMI SDO	-0.4	0	+0.4	ns
$t_{SSLKSDFS}$	Delay from rising edge of SMI SCLK to SMI SDFS	-0.4	0	+0.4	ns

タイミング図

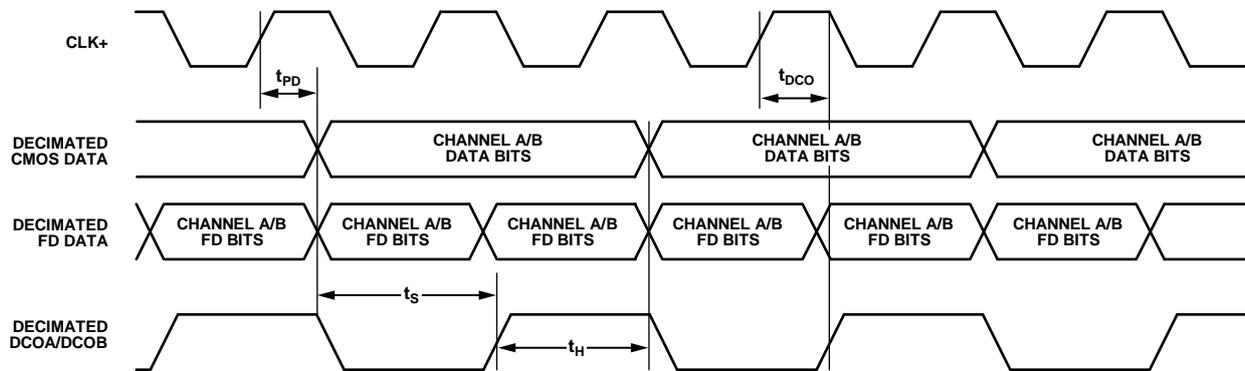


図 2. デシメーションされた非インターリーブ CMOS モード・データと高速検出出力のタイミング(高速検出モード・セレクト・ビット= 000)

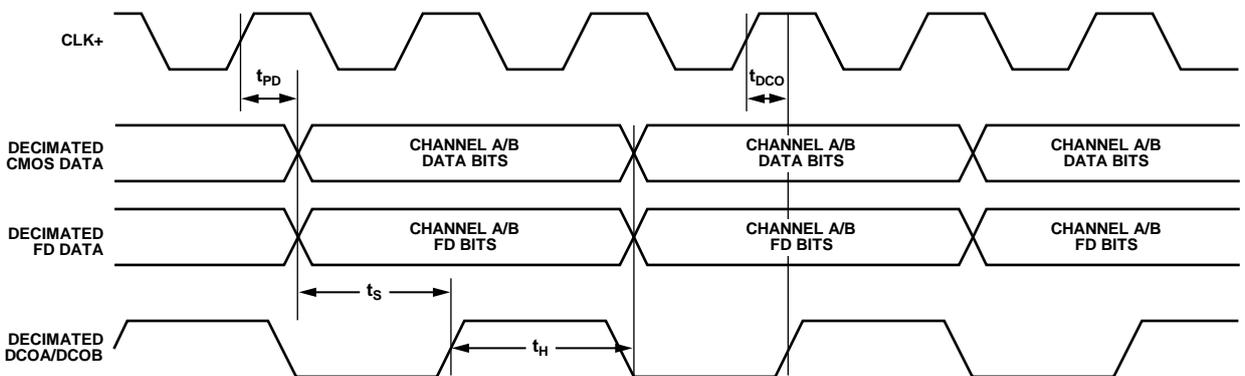


図 3. デシメーションされた非インターリーブ CMOS モード・データと高速検出出力のタイミング(高速検出モード・セレクト・ビット= 001~100)

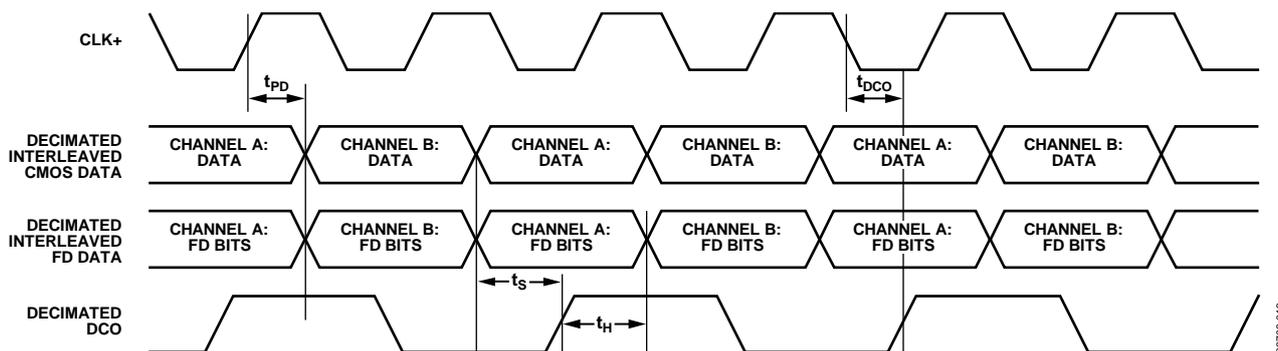


図 4. デシメーションされたインターリーブ CMOS モード・データと高速検出出力タイミング

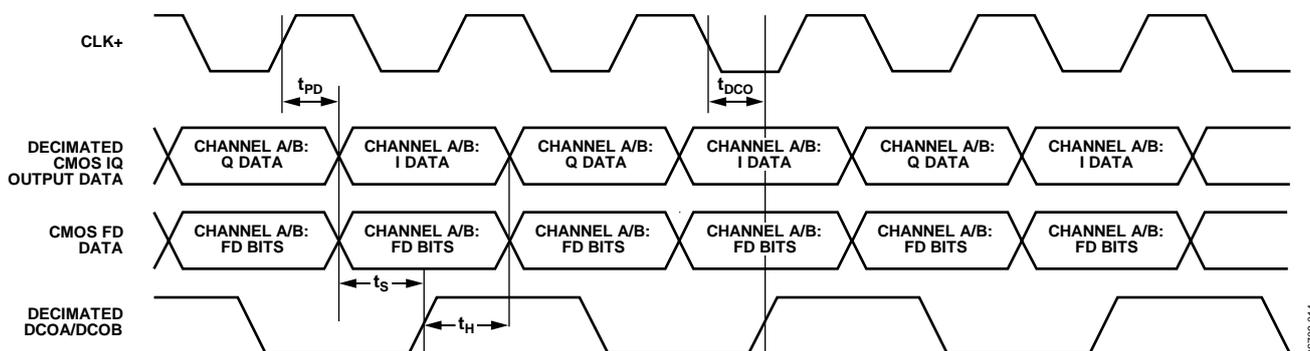


図 5. デシメーションされた IQ モード CMOS データと高速検出出力タイミング

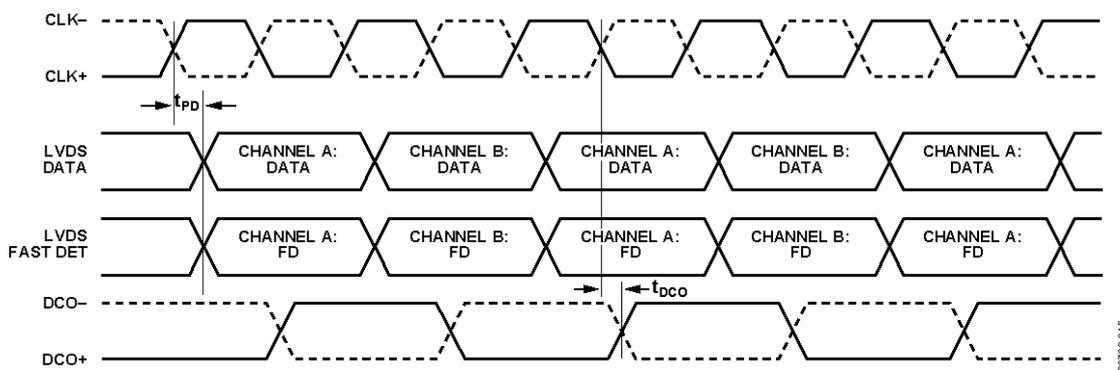


図 6. デシメーションされたインターリーブ LVDS モード・データと高速検出出力タイミング

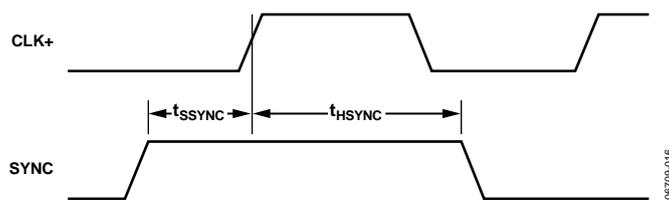


図 7. SYNC タイミング入力

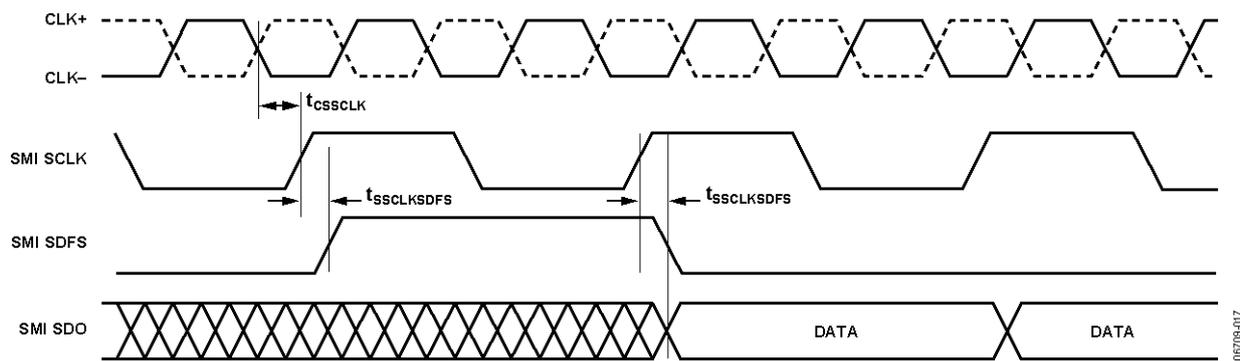


図 8.信号モニターSPORT 出力タイミング

06709-017

絶対最大定格

表 10.

Parameter	Rating
ELECTRICAL	
AVDD, DVDD to AGND	-0.3 V to +2.0 V
DRVDD to DRGND	-0.3 V to +3.9 V
AGND to DRGND	-0.3 V to +0.3 V
VIN+A/VIN+B, VIN-A/VIN-B to AGND	-0.3 V to AVDD + 0.2 V
CLK+, CLK- to AGND	-0.3 V to +3.9 V
SYNC to AGND	-0.3 V to +3.9 V
VREF to AGND	-0.3 V to AVDD + 0.2 V
SENSE to AGND	-0.3 V to AVDD + 0.2 V
CML to AGND	-0.3 V to AVDD + 0.2 V
RBIAS to AGND	-0.3 V to AVDD + 0.2 V
CSB to AGND	-0.3 V to +3.9 V
SCLK/DFS to DRGND	-0.3 V to +3.9 V
SDIO/DCS to DRGND	-0.3 V to DRVDD + 0.3 V
SMI SDO/OEB to DRGND	-0.3 V to DRVDD + 0.3 V
SMI SCLK/PDWN to DRGND	-0.3 V to DRVDD + 0.3 V
SMI SDFS to DRGND	-0.3 V to DRVDD + 0.3 V
D0A/D0B through D13A/D13B to DRGND	-0.3 V to DRVDD + 0.3 V
FD0A/FD0B through FD3A/FD3B to DRGND	-0.3 V to DRVDD + 0.3 V
DCOA/DCOB to DRGND	-0.3 V to DRVDD + 0.3 V
ENVIRONMENTAL	
Operating Temperature Range (Ambient)	-40°C to +85°C
Maximum Junction Temperature Under Bias	150°C
Storage Temperature Range (Ambient)	-65°C to +125°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱特性

LFCSFP パッケージの露出パドルは、グラウンド・プレーンにハンダ付けする必要があります。露出パドルをグラウンド・プレーンにハンダ付けすると、ハンダ接続の信頼性が高くなり、パッケージの最大熱能力が得られます。

表 11.熱抵抗

Package Type	Airflow Velocity (m/s)	$\theta_{JA}^{1, 2}$	$\theta_{JC}^{1, 3}$	$\theta_{JB}^{1, 4}$	Unit
64-Lead LFCSP 9 mm × 9 mm (CP-64-3)	0	18.8	0.6	6.0	°C/W
	1.0	16.5			°C/W
	2.0	15.8			°C/W

¹ JEDEC 51-7 と JEDEC 25-5 2S2P テスト・ボードに準拠。

² JEDEC JESD51-2 (自然空冷) または JEDEC JESD51-6 (強制空冷) に準拠。

³ MIL-Std 883, Method 1012.1 に準拠。

⁴ JEDEC JESD51-8 (自然空冷) に準拠。

θ_{JA} (Typ) は厚いグラウンド・プレーンを持つ 4 層 PCB に対して規定。空気流を与えると熱放散が大きくなるので、 θ_{JA} が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

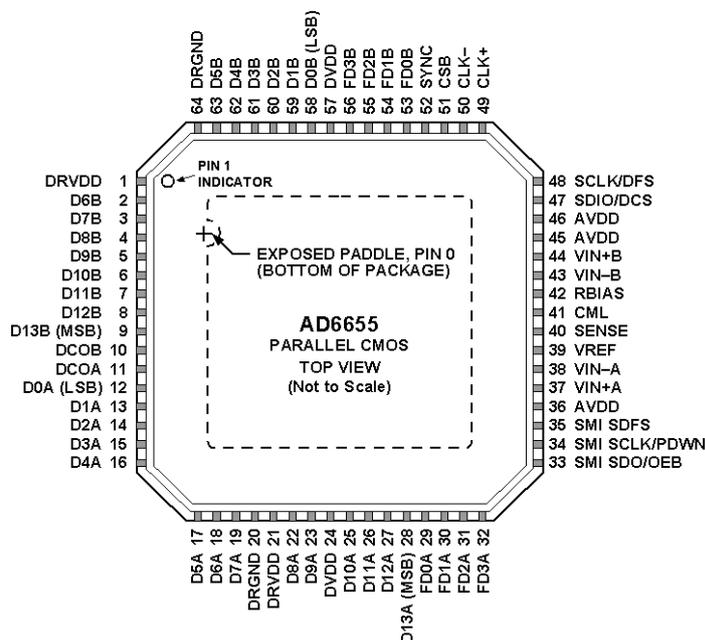


図 9.LFCSP パラレル CMOS のピン配置(上面図)

表 12.ピン機能の説明(パラレル CMOS モード)

ピン番号	記号	タイプ	説明
ADC 電源			
20、64	DRGND	グラウンド	デジタル出力グラウンド。
1、21	DRVDD	電源	デジタル出力ドライバ電源(1.8 V~3.3 V)。
24、57	DVDD	電源	デジタル電源(1.8 V 公称)。
36、45、46	AVDD	電源	アナログ電源(1.8 V 公称)。
0	AGND	グラウンド	アナログ・グラウンド。ピン 0 は、パッケージ底面に露出されたサーマル・パッドです。
ADC アナログ			
37	VIN+A	入力	差動アナログ入力ピン(+), チャンネル A。
38	VIN-A	入力	差動アナログ入力ピン(-), チャンネル A。
44	VIN+B	入力	差動アナログ入力ピン(+), チャンネル B。
43	VIN-B	入力	差動アナログ入力ピン(-), チャンネル B。
39	VREF	入力/出力	リファレンス電圧入力/出力。
40	検出	入力	リファレンス電圧モード・セレクト。(詳細については、表 15 を参照)。
42	RBIAS	入力/出力	外部リファレンス電圧バイアス抵抗。
41	CML	出力	アナログ入力の同相モード・レベル・バイアス出力。
49	CLK+	入力	ADC クロック入力—真。
50	CLK-	入力	ADC クロック入力—相補。
ADC 高速検出出力			
29	FD0A	出力	チャンネル A 高速検出インジケータ。(詳細については、表 21 を参照)。
30	FD1A	出力	チャンネル A 高速検出インジケータ。(詳細については、表 21 を参照)。
31	FD2A	出力	チャンネル A 高速検出インジケータ。(詳細については、表 21 を参照)。
32	FD3A	出力	チャンネル A 高速検出インジケータ。(詳細については、表 21 を参照)。
53	FD0B	出力	チャンネル B 高速検出インジケータ。(詳細については、表 21 を参照)。
54	FD1B	出力	チャンネル B 高速検出インジケータ。(詳細については、表 21 を参照)。
55	FD2B	出力	チャンネル B 高速検出インジケータ。(詳細については、表 21 を参照)。
56	FD3B	出力	チャンネル B 高速検出インジケータ。(詳細については、表 21 を参照)。
デジタル入力			

ピン番号	記号	タイプ	説明
52	SYNC	入力	デジタル同期ピン。スレーブ・モードの場合。
デジタル出力			
12	D0A (LSB)	出力	チャンネル A CMOS 出力データ。
13	D1A	出力	チャンネル A CMOS 出力データ。
14	D2A	出力	チャンネル A CMOS 出力データ。
15	D3A	出力	チャンネル A CMOS 出力データ。
16	D4A	出力	チャンネル A CMOS 出力データ。
17	D5A	出力	チャンネル A CMOS 出力データ。
18	D6A	出力	チャンネル A CMOS 出力データ。
19	D7A	出力	チャンネル A CMOS 出力データ。
22	D8A	出力	チャンネル A CMOS 出力データ。
23	D9A	出力	チャンネル A CMOS 出力データ。
25	D10A	出力	チャンネル A CMOS 出力データ。
26	D11A	出力	チャンネル A CMOS 出力データ。
27	D12A	出力	チャンネル A CMOS 出力データ。
28	D13A (MSB)	出力	チャンネル A CMOS 出力データ。
58	D0B (LSB)	出力	チャンネル B CMOS 出力データ。
59	D1B	出力	チャンネル B CMOS 出力データ。
60	D2B	出力	チャンネル B CMOS 出力データ。
61	D3B	出力	チャンネル B CMOS 出力データ。
62	D4B	出力	チャンネル B CMOS 出力データ。
63	D5B	出力	チャンネル B CMOS 出力データ。
2	D6B	出力	チャンネル B CMOS 出力データ。
3	D7B	出力	チャンネル B CMOS 出力データ。
4	D8B	出力	チャンネル B CMOS 出力データ。
5	D9B	出力	チャンネル B CMOS 出力データ。
6	D10B	出力	チャンネル B CMOS 出力データ。
7	D11B	出力	チャンネル B CMOS 出力データ。
8	D12B	出力	チャンネル B CMOS 出力データ。
9	D13B (MSB)	出力	チャンネル B CMOS 出力データ。
11	DCOA	出力	チャンネル A データ・クロック出力。
10	DCOB	出力	チャンネル B データ・クロック出力。
SPI 制御			
48	SCLK/DFS	入力	外部ピン・モードでの SPI シリアル・クロック/データ・フォーマット・セレクト・ピン。
47	SDIO/DCS	入力/出力	外部ピン・モードでの SPI シリアル・データ I/O/デューティ・サイクル・スタビライザ・ピン。
51	CSB	入力	SPI チップ・セレクト。アクティブ・ロー。
信号モニター・ポート			
33	SMI SDO/OEB	入力/出力	外部ピン・モードでの信号モニター・シリアル・データ出力/出力イネーブル入力(アクティブ・ロー)。
35	SMI SDFS	出力	信号モニター・シリアル・データ・フレーム同期。
34	SMI SCLK/PDWN	入力/出力	外部ピン・モードでの信号モニター・シリアル・クロック出力/パワーダウン入力(アクティブ・ハイ)。

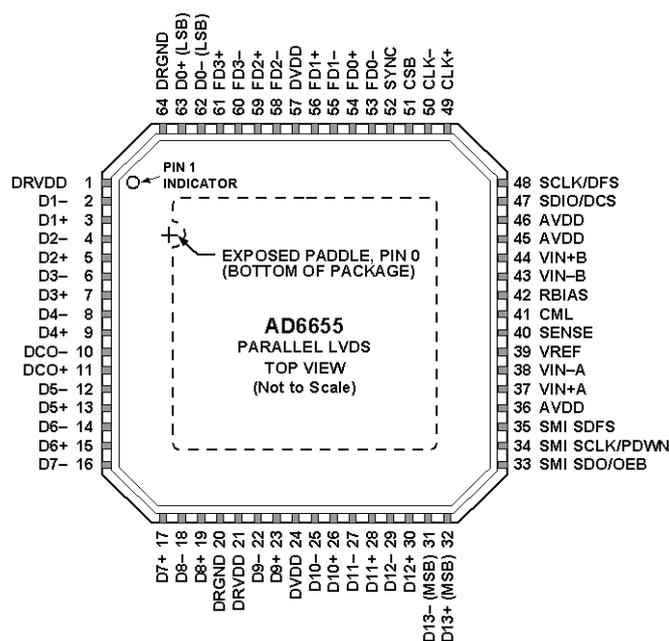


図 10.LFCSP インターリーブ・パラレル LVDS のピン配置(上面図)

表 13.ピン機能の説明(インターリーブ・パラレル LVDS モード)

ピン番号	記号	タイプ	説明
ADC 電源			
20、64	DRGND	グラウンド	デジタル出力グラウンド。
1、21	DRVDD	電源	デジタル出力ドライバ電源(1.8 V~3.3 V)。
24、57	DVDD	電源	デジタル電源(公称 1.8 V)
36、45、46	AVDD	電源	アナログ電源(公称 1.8 V)
0	AGND	グラウンド	アナログ・グラウンド。ピン 0 は、パッケージ底面に露出されたサーマル・パッドです。
ADC アナログ			
37	VIN+A	入力	差動アナログ入力ピン(+), チャンネル A。
38	VIN-A	入力	差動アナログ入力ピン(-), チャンネル A。
44	VIN+B	入力	差動アナログ入力ピン(+), チャンネル B。
43	VIN-B	入力	差動アナログ入力ピン(-), チャンネル B。
39	VREF	入力/出力	リファレンス電圧入力/出力。
40	SENSE	入力	リファレンス電圧モード・セレクト。詳細については、表 15 を参照。
42	RBIAS	入力/出力	外部リファレンス電圧バイアス抵抗。
41	CML	出力	アナログ入力の同相モード・レベル・バイアス出力。
49	CLK+	入力	ADC クロック入力—真。
50	CLK-	入力	ADC クロック入力—相補。
ADC 高速検出出力			
54	FD0+	出力	チャンネル A/チャンネル B LVDS 高速検出インジケータ 0—真。詳細については、表 21 を参照。
53	FD0-	出力	チャンネル A/チャンネル B LVDS 高速検出インジケータ 0—相補。詳細については、表 21 を参照。
56	FD1+	出力	チャンネル A/チャンネル B LVDS 高速検出インジケータ 1—真。詳細については、表 21 を参照。
55	FD1-	出力	チャンネル A/チャンネル B LVDS 高速検出インジケータ 1—相補。詳細については、表 21 を参照。
59	FD2+	出力	チャンネル A/チャンネル B LVDS 高速検出インジケータ 2—真。詳細については、表 21 を参照。
58	FD2-	出力	チャンネル A/チャンネル B LVDS 高速検出インジケータ 2—相補。詳細については、表 21 を参照。

ピン番号	記号	タイプ	説明
61	FD3+	出力	チャンネル A/チャンネル B LVDS 高速検出インジケータ 3—真。詳細については、表 21 を参照。
60	FD3-	出力	チャンネル A/チャンネル B LVDS 高速検出インジケータ 3—相補。詳細については、表 21 を参照。
デジタル入力			
52	SYNC	入力	デジタル同期ピン。スレーブ・モードの場合。
デジタル出力			
63	D0+ (LSB)	出力	チャンネル A/チャンネル B LVDS 出力データ 0—真。
62	D0- (LSB)	出力	チャンネル A/チャンネル B LVDS 出力データ 0—相補。
3	D1+	出力	チャンネル A/チャンネル B LVDS 出力データ 1—真。
2	D1-	出力	チャンネル A/チャンネル B LVDS 出力データ 1—相補。
5	D2+	出力	チャンネル A/チャンネル B LVDS 出力データ 2—真。
4	D2-	出力	チャンネル A/チャンネル B LVDS 出力データ 2—相補。
7	D3+	出力	チャンネル A/チャンネル B LVDS 出力データ 3—真。
6	D3-	出力	チャンネル A/チャンネル B LVDS 出力データ 3—相補。
9	D4+	出力	チャンネル A/チャンネル B LVDS 出力データ 4—真。
8	D4-	出力	チャンネル A/チャンネル B LVDS 出力データ 4—相補。
13	D5+	出力	チャンネル A/チャンネル B LVDS 出力データ 5—真。
12	D5-	出力	チャンネル A/チャンネル B LVDS 出力データ 5—相補。
15	D6+	出力	チャンネル A/チャンネル B LVDS 出力データ 6—真。
14	D6-	出力	チャンネル A/チャンネル B LVDS 出力データ 6—相補。
17	D7+	出力	チャンネル A/チャンネル B LVDS 出力データ 7—真。
16	D7-	出力	チャンネル A/チャンネル B LVDS 出力データ 7—相補。
19	D8+	出力	チャンネル A/チャンネル B LVDS 出力データ 8—真。
18	D8-	出力	チャンネル A/チャンネル B LVDS 出力データ 8—相補。
23	D9+	出力	チャンネル A/チャンネル B LVDS 出力データ 9—真。
22	D9-	出力	チャンネル A/チャンネル B LVDS 出力データ 9—相補。
26	D10+	出力	チャンネル A/チャンネル B LVDS 出力データ 10—真。
25	D10-	出力	チャンネル A/チャンネル B LVDS 出力データ 10—相補。
28	D11+	出力	チャンネル A/チャンネル B LVDS 出力データ 11—真。
27	D11-	出力	チャンネル A/チャンネル B LVDS 出力データ 11—相補。
30	D12+	出力	チャンネル A/チャンネル B LVDS 出力データ 12—真。
29	D12-	出力	チャンネル A/チャンネル B LVDS 出力データ 12—相補。
32	D13+ (MSB)	出力	チャンネル A/チャンネル B LVDS 出力データ 13—真。
31	D13- (MSB)	出力	チャンネル A/チャンネル B LVDS 出力データ 13—相補。
11	DCO+	出力	チャンネル A/チャンネル B LVDS データ・クロック出力—真。
10	DCO-	出力	チャンネル A/チャンネル B LVDS データ・クロック出力—相補。
SPI 制御			
48	SCLK/DFS	入力	外部ピン・モードでの SPI シリアル・クロック/データ・フォーマット・セレクト・ピン。
47	SDIO/DCS	入力/出力	外部ピン・モードでの SPI シリアル・データ I/O/デューティ・サイクル・スタビライザ。
51	CSB	入力	SPI チップ・セレクト(アクティブ・ロー)。
信号モニター・ポート			
33	SMI SDO/OEB	入力/出力	外部ピン・モードでの信号モニター・シリアル・データ出力/出力イネーブル入力(アクティブ・ロー)。
35	SMI SDFS	出力	信号モニター・シリアル・データ・フレーム同期。
34	SMI SCLK/PDWN	入力/出力	外部ピン・モードでの信号モニター・シリアル・クロック出力/パワーダウン入力(アクティブ・ハイ)。

等価回路

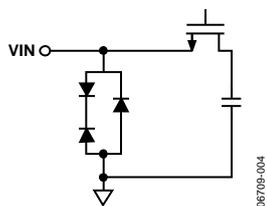


図 11.等価アナログ入力回路

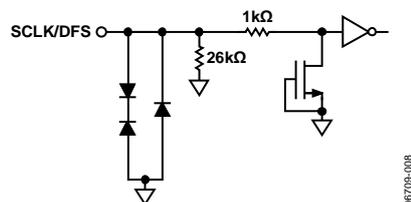


図 15.等価 SCLK/DFS 入力回路

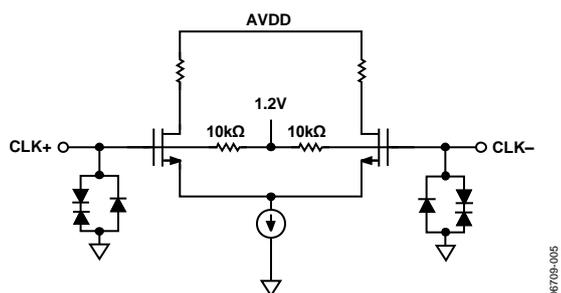


図 12.等価クロック入力回路

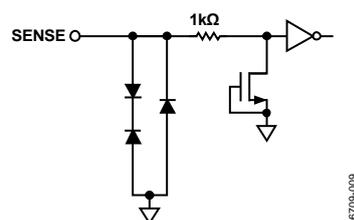


図 16.等価 SENSE 回路

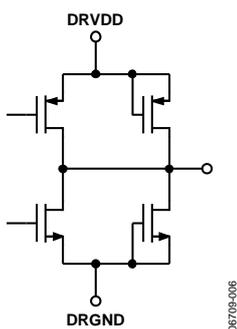


図 13.等価デジタル出力回路

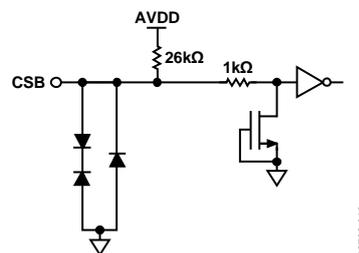


図 17.等価 CSB 入力回路

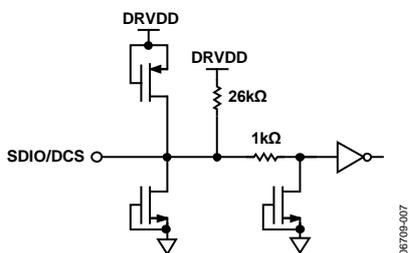


図 14.等価 SDIO/DCS 回路または SMI SDFS 回路

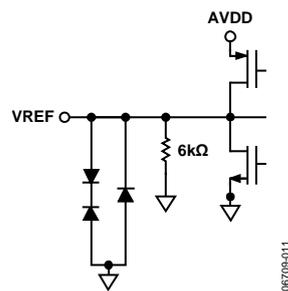


図 18.等価 VREF 回路

代表的な性能特性

特に指定のない限り、AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 1.8 V、サンプル・レート = 150 MSPS、DCS をイネーブル、内部リファレンス電圧 = 1.0 V、2 V p-p 差動入力、VIN = -1.0 dBFS、64k サンプル、TA = 25°C、NCO をイネーブル、FIR フィルタをイネーブル。以下の FFT プロットでは、2 次および 3 次の高調波がフィルタの通過帯域に入る場合、それらの位置を示してあります。

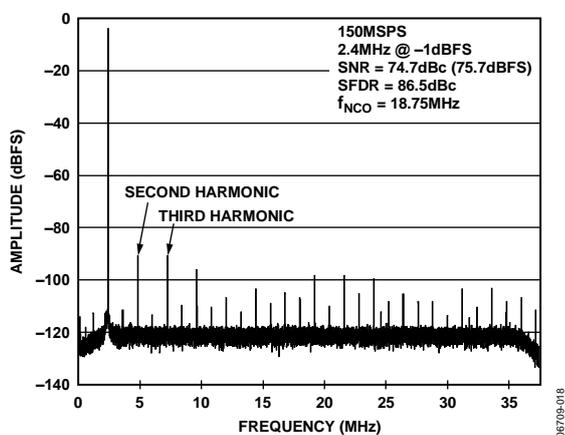


図 19. AD6655-150 シングル・トーン FFT、 $f_{IN} = 2.4$ MHz、 $f_{NCO} = 18.75$ MHz

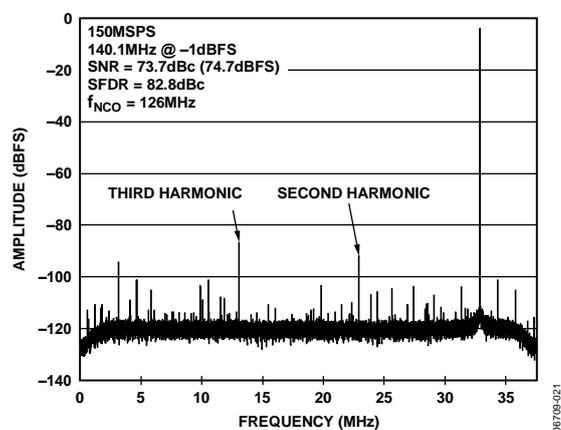


図 22. AD6655-150 シングル・トーン FFT、 $f_{IN} = 140.1$ MHz、 $f_{NCO} = 126$ MHz

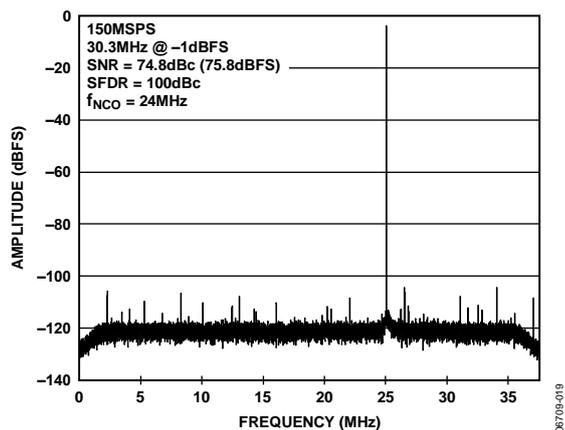


図 20. AD6655-150 シングル・トーン FFT、 $f_{IN} = 30.3$ MHz、 $f_{NCO} = 24$ MHz

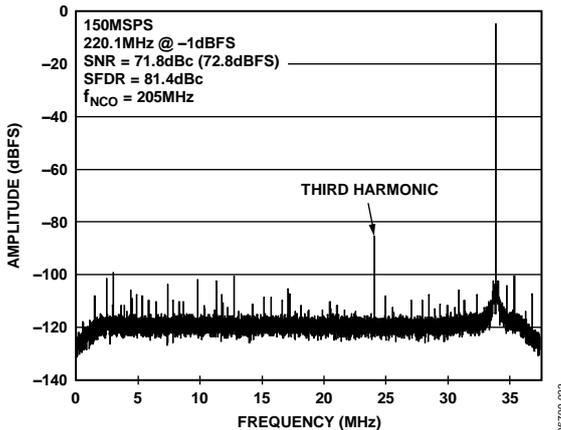


図 23. AD6655-150 シングル・トーン FFT、 $f_{IN} = 220.1$ MHz、 $f_{NCO} = 205$ MHz

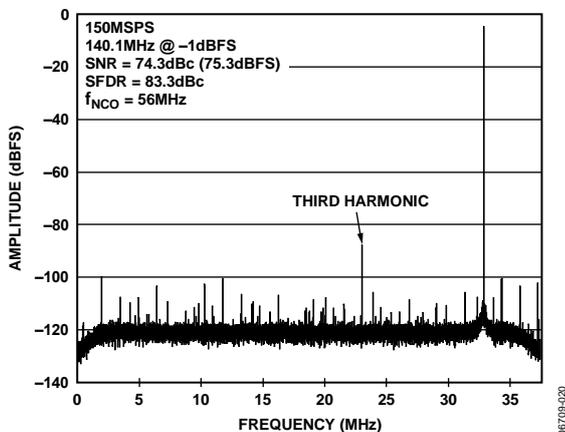


図 21. AD6655-150 シングル・トーン FFT、 $f_{IN} = 70.1$ MHz、 $f_{NCO} = 56$ MHz

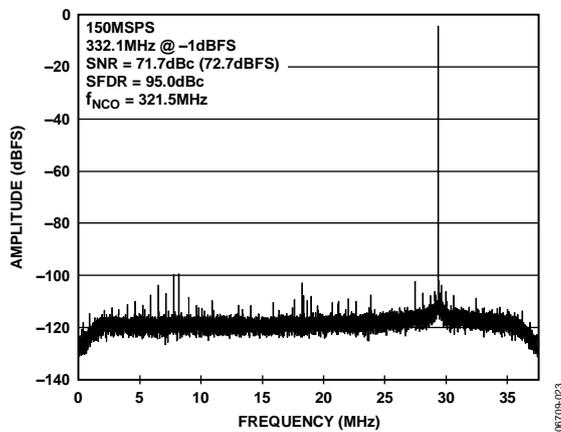
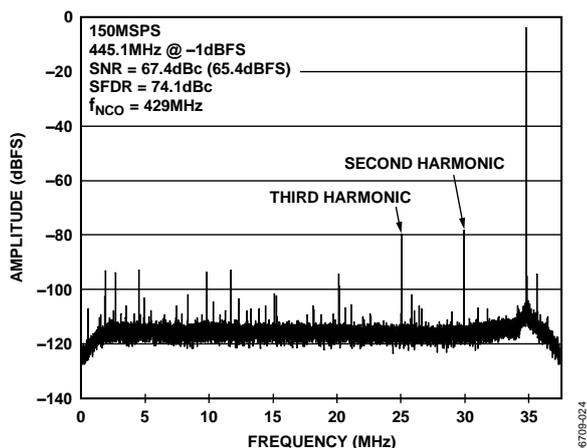
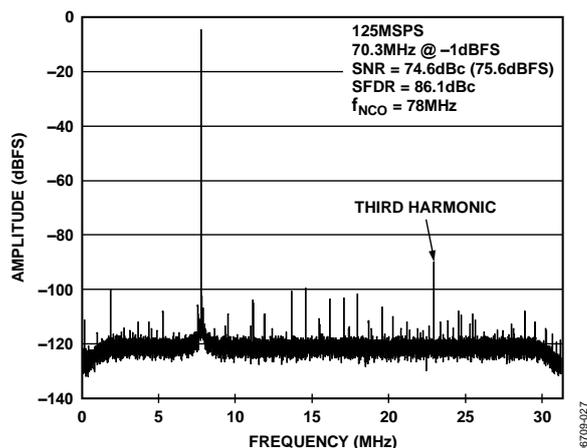


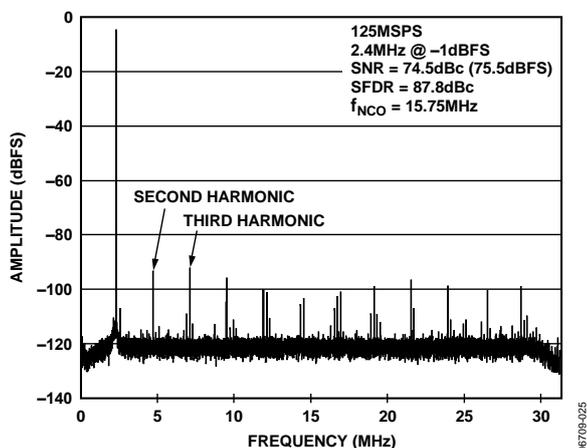
図 24. AD6655-150 シングル・トーン FFT、 $f_{IN} = 332.1$ MHz、 $f_{NCO} = 321.5$ MHz



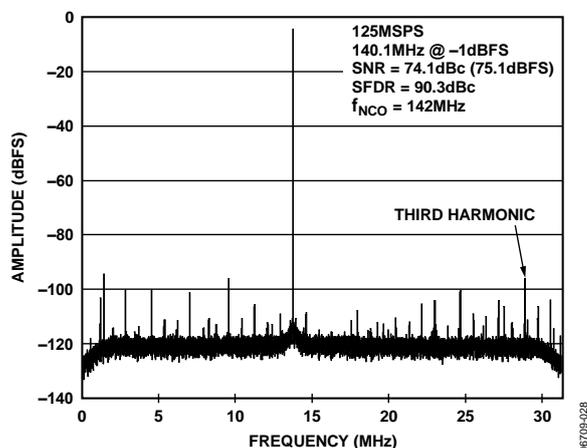
25. AD6655-150 シングル・トーン FFT、 $f_{IN} = 445.1$ MHz、 $f_{NCO} = 429$ MHz



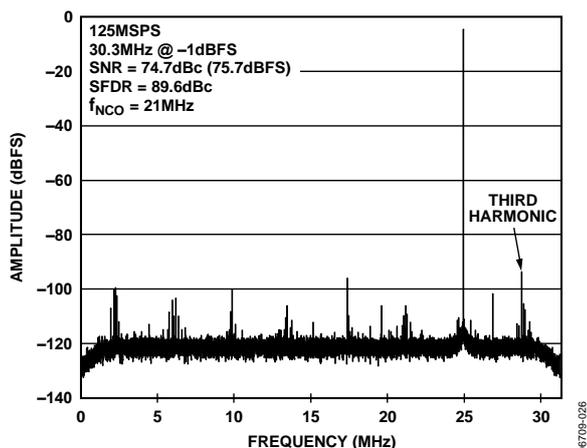
28. AD6655-125 シングル・トーン FFT、 $f_{IN} = 70.3$ MHz、 $f_{NCO} = 78$ MHz



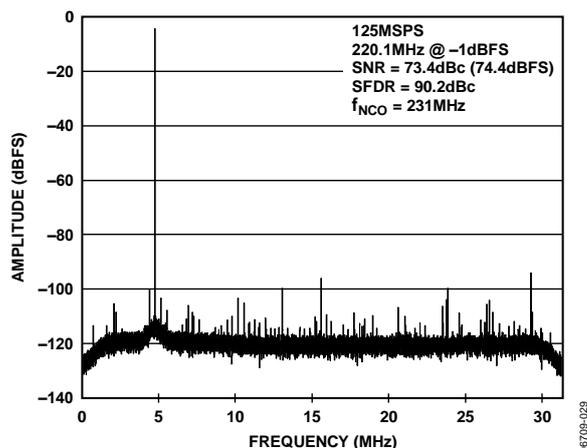
26. AD6655-125 シングル・トーン FFT、 $f_{IN} = 2.4$ MHz、 $f_{NCO} = 15.75$ MHz



29. AD6655-125 シングル・トーン FFT、 $f_{IN} = 140.1$ MHz、 $f_{NCO} = 142$ MHz



27. AD6655-125 シングル・トーン FFT、 $f_{IN} = 30.3$ MHz、 $f_{NCO} = 21$ MHz



30. AD6655-125 シングル・トーン FFT、 $f_{IN} = 220.1$ MHz、 $f_{NCO} = 231$ MHz

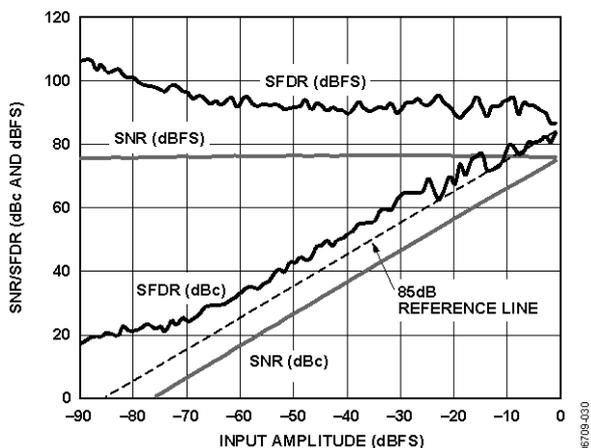


図 31. AD6655-150 シングル・トーン SNR/SFDR 対入力振幅(A_{IN})、 $f_{IN} = 2.4$ MHz、 $f_{NCO} = 18.75$ MHz

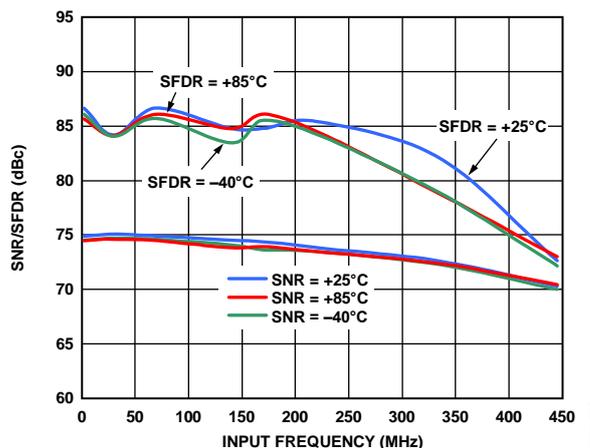


図 34. AD6655-125 シングル・トーン SNR/SFDR 対入力周波数(f_{IN})と温度特性、DRVDD = 3.3 V

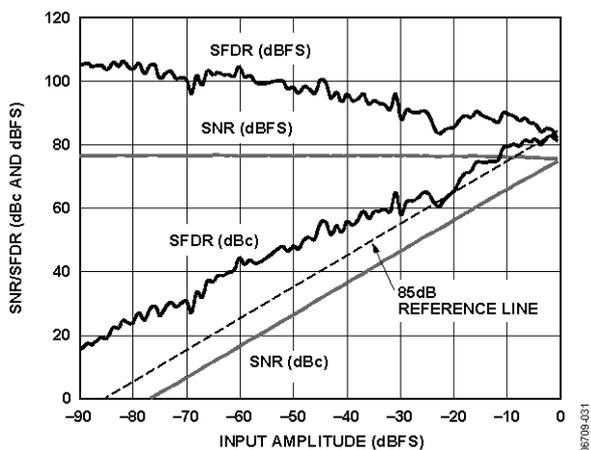


図 32. AD6655-150 シングル・トーン SNR/SFDR 対入力振幅(A_{IN})、 $f_{IN} = 98.12$ MHz、 $f_{NCO} = 100.49$ MHz

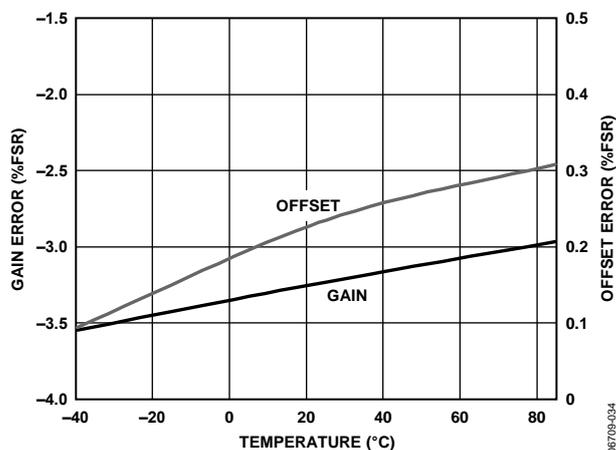


図 35. AD6655-150 ゲインとオフセットの温度特性

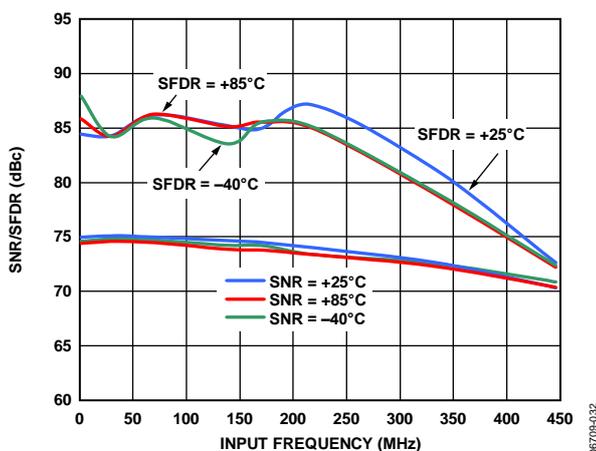


図 33. AD6655-125 シングル・トーン SNR/SFDR 対入力周波数(f_{IN})と温度特性、DRVDD = 1.8 V

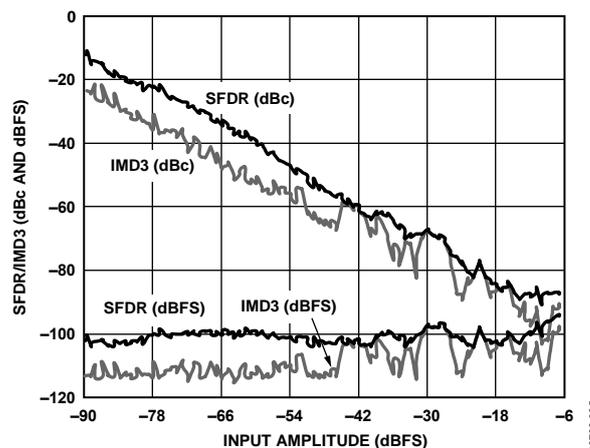
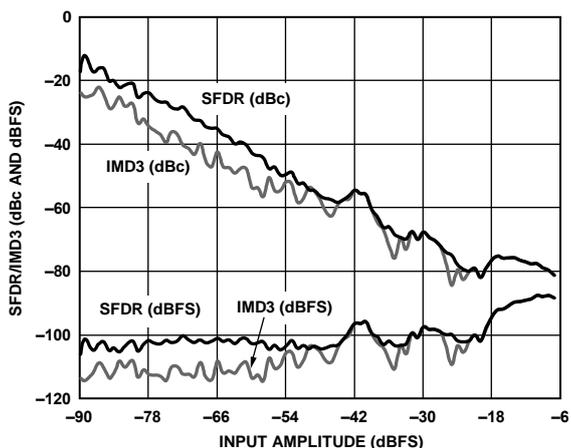
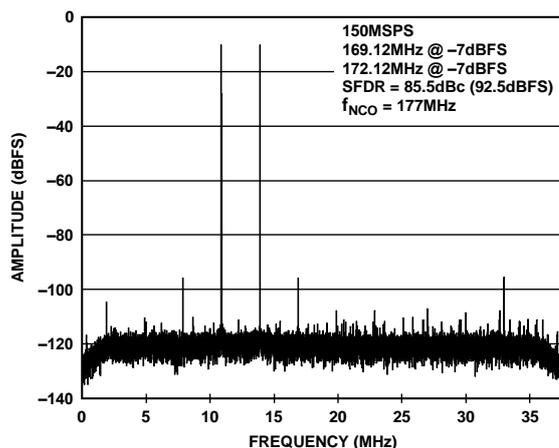


図 36. AD6655-150 の 2 トーン SFDR/IMD3 対入力振幅(A_{IN})、 $f_{IN1} = 29.12$ MHz、 $f_{IN2} = 32.12$ MHz、 $f_S = 150$ MSPS、 $f_{NCO} = 22$ MHz



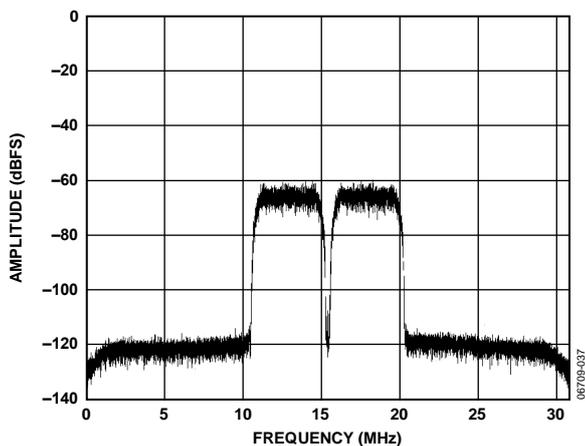
06709-038



06709-039

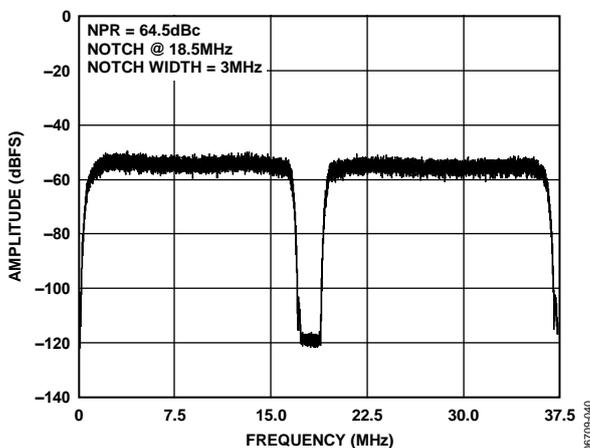
37. AD6655-150 の 2 トーン SFDR/IMD3 対入力振幅 (A_{IN})、 $f_{IN1} = 169.12$ MHz、 $f_{IN2} = 172.12$ MHz、 $f_s = 150$ MSPS、 $f_{NCO} = 177$ MHz

40. AD6655-150 の 2 トーン FFT、 $f_{IN1} = 169.12$ MHz、 $f_{IN2} = 172.12$ MHz、 $f_s = 150$ MSPS、 $f_{NCO} = 177$ MHz



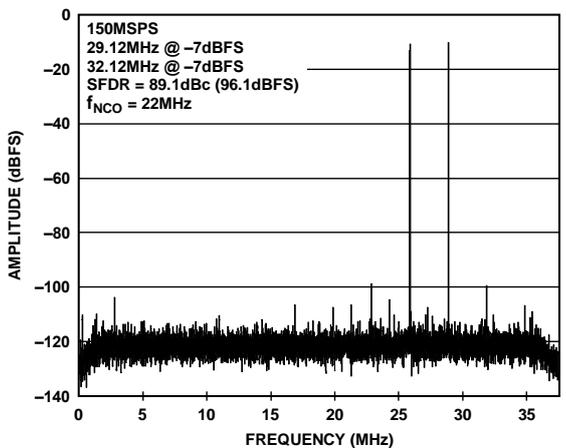
06709-037

38. AD6655-125、64k WCDMA キャリア $\times 2$ 、 $f_{IN} = 170$ MHz、 $f_s = 122.88$ MHz、 $f_{NCO} = 168.96$ MHz



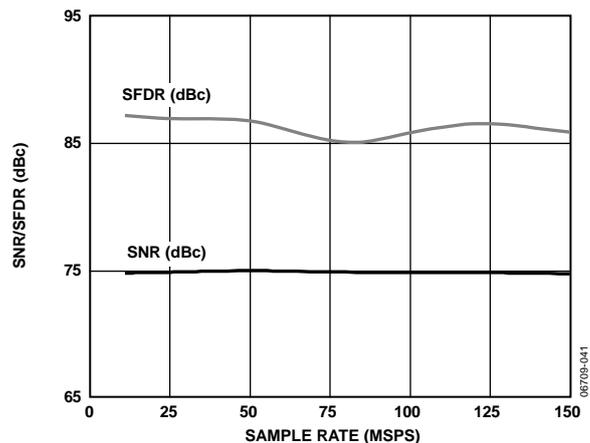
06709-040

41. AD6655-150 ノイズ電力比 (NPR)



06709-038

39. AD6655-150 の 2 トーン FFT、 $f_{IN1} = 29.12$ MHz、 $f_{IN2} = 32.12$ MHz、 $f_s = 150$ MSPS、 $f_{NCO} = 22$ MHz



06709-041

42. AD6655-150 シングル・トーン SNR/SFDR 対サンプル・レート (f_s)、 $f_{IN} = 2.3$ MHz

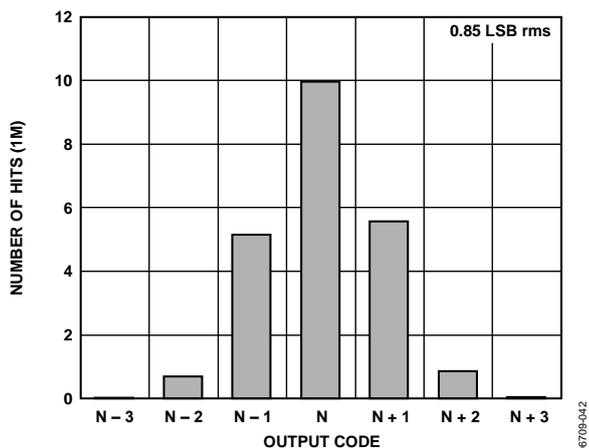


図 43. AD6655 接地時入力ヒストグラム

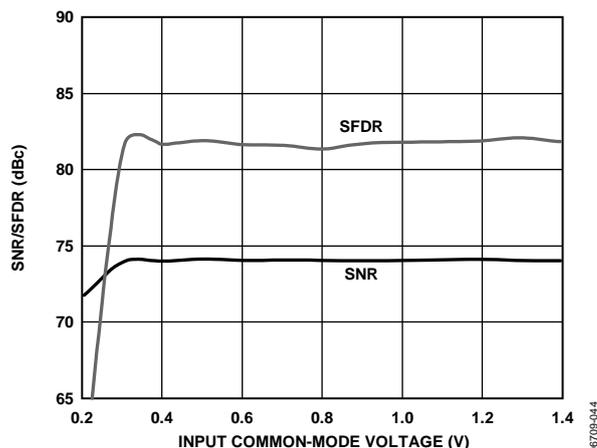


図 45. AD6655-150 SNR/SFDR 対入力同相モード (V_{CM})、 $f_{IN} = 30.3$ MHz、 $f_{NCO} = 45$ MHz

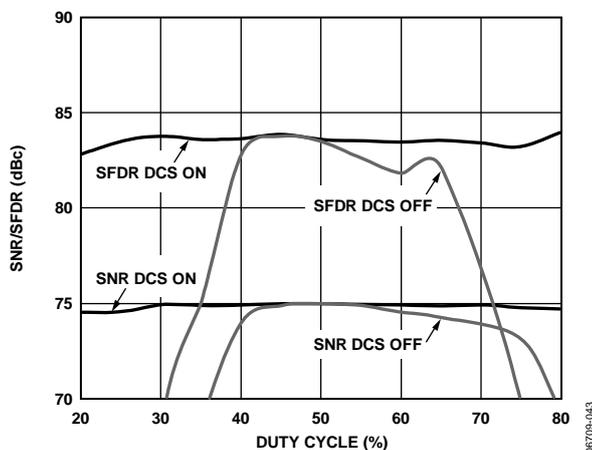


図 44. AD6655-150 SNR/SFDR 対デューティ・サイクル、 $f_{IN} = 30.3$ MHz、 $f_{NCO} = 45$ MHz

動作原理

AD6655 は、2 チャンネルのアナログ入力、2 チャンネルのデジメーション、2 チャンネルのデジタル出力を内蔵しています。中間周波数(IF)の入力信号は、複数のステージを通過した後、フィルタされ、デジメートされたデジタル信号として出力ポートから出力されます。

デュアル ADC デザインは、2 つの別のアンテナから受信された同じキャリアに対して ADC が同じ動作を行うダイバーシティー受信した信号に対して使うことができます。ADC は独立なアナログ入力に対しても使うことができます。ADC 入力に適切なローパス・フィルタまたはバンドパス・フィルタを使い ADC 性能をほとんど損なうことなく、DC~150 MHz の任意の $f_s/2$ 周波数セグメントをサンプルすることができます。450 MHz アナログ入力に対する処理が許容されていますが、ADC ノイズと歪みが増える犠牲が伴います。

非ダイバーシティー・アプリケーションでは、AD6655 をベースバンド・レシーバとして使うことができます。この場合は、片方の ADC を I 入力データに、他方を Q 入力データにそれぞれ使います。

同期機能を内蔵しているため、複数チャンネル間または複数デバイス間でタイミングを同期させることができます。NCO の位相は、別のチャンネルまたはデバイスに対して既知のオフセットを持つように設定することができます。

AD6655 の設定と制御は、3 ビット SPI 互換シリアル・インターフェースを使って行います。

ADC のアーキテクチャ

AD6655 のアーキテクチャは、フロントエンドのスイッチド・キャパシタ型サンプル/ホールド・アンプ(SHA)それに続くパイプライン化された ADC から構成されています。各ステージからの量子化された出力は、デジタル補正ロジックで結合されて最終的に 14 ビットになります。パイプライン化されたアーキテクチャにより、新しい入力サンプルに対して最初のステージが動作し、残りのステージは先行しているサンプルに対して動作することができます。サンプリングはクロックの立上がりエッジで行われます。

最終ステージ以外のパイプラインの各ステージは、スイッチド・キャパシタ DAC に接続された低分解能のフラッシュ ADC とステージ間残留アンプ(MDAC)により構成されています。この残留アンプは、再生された DAC 出力とパイプライン内の次のステージに対するフラッシュ入力の差を増幅します。各ステージ内で冗長な 1 ビットを使って、フラッシュ誤差のデジタル補正を可能にしています。最終ステージはフラッシュ ADC のみで構成されています。

入力ステージには差動 SHA が含まれており、差動モードまたはシングルエンド・モードで AC 結合または DC 結合することができます。出力ステージのブロックで、データの整列、誤差補正、出力バッファへの出力が行われます。出力バッファの電源は分離されているため、出力電圧振幅を調整することができます。パワーダウン時には、出力バッファは高インピーダンス状態になります。

アナログ入力に対する考慮

AD6655 のアナログ入力は、差動のスイッチド・キャパシタ SHA になっています。この SHA は、差動入力信号を処理する際に最適性能が得られるようにデザインされています。

クロック信号により、SHA はサンプル・モードとホールド・モードの間で交互に切替われます(図 46 参照)。SHA がサン

プル・モードになったとき、信号ソースはサンプル・コンデンサを充電する能力を持ち、クロック・サイクルの 1/2 以内で安定する必要があります。

各入力に小さい抵抗を直列に接続すると、駆動源側の出力ステージに必要なとされるピーク過渡電流を減少させることに役立ちます。また、入力間に小さいコンデンサをシャント接続すると、動的な充電電流を供給することができます。これらの受動回路は ADC 入力でローパス・フィルタを構成するため、正確な値はアプリケーションに依存します。

アンダーサンプリング・アプリケーションの場合は、シャント・コンデンサを小さくする必要があります。駆動源インピーダンスとの組み合わせでは、シャント・コンデンサが入力帯域幅を制限します。詳細については、アプリケーション・ノート AN-742 「Frequency Domain Response of Switched-Capacitor ADCs」、アプリケーション・ノート AN-827 「A Resonant Approach to Interfacing Amplifiers to Switched-Capacitor ADCs」、アナログ・ダイアログ資料「Transformer-Coupled Front-End for Wideband A/D Converters」を参照してください(www.analog.com 参照)。一般に、正確な値はアプリケーションに依存します。

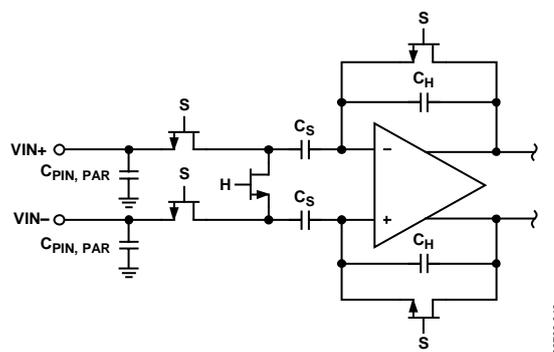


図 46. スイッチド・キャパシタ SHA の入力

最適なダイナミック性能を得るためには、同相モードのセトリング誤差が対称になるように、VIN+ と VIN- を駆動するソース・インピーダンスが一致している必要があります。これらの誤差は、ADC の同相モード除去比により小さくなります。

内部差動リファレンス電圧バッファが正と負のリファレンス電圧を発生し、これらの電圧が ADC コアのスパンを決定します。リファレンス・バッファの出力同相モードは V_{CMREF} (約 1.6 V) に設定されます。

入力同相モード

AD6655 のアナログ入力は内部で DC バイアスされていません。AC 結合のアプリケーションでは、ユーザが外付けからこのバイアスを与える必要があります。最適性能を得るためには $V_{CM} = 0.55 \times AVDD$ となるようにデバイスを設定することが推奨されますが、デバイスは広い範囲で適切な性能で機能します(図 45 参照)。同相モード・リファレンス電圧が内蔵されており、CML ピンに出力されています。アナログ入力の同相モード電圧を CML ピン電圧 ($0.55 \times AVDD$ (typ)) で設定したときに最適性能が得られます。

差動入力構成

最適性能は、AD6655 を差動入力構成で駆動したときに得られます。ベースバンド・アプリケーションに対しては、AD8138、ADA4937-2、ADA4938-2 の各差動ドライバが優れた性能と A/D コンバータに対する柔軟なインタフェースを提供します。AD8138 の出力同相モード電圧は AD6655 の CML ピンで容易に

設定できるため(図 47 参照)、ドライバを Sallen Key フィルタ回路に組込んで入力信号の帯域制限を行うことができます。

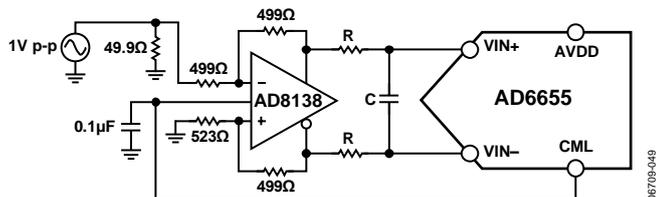


図 47. AD8138 を使用した差動入力構成

SNR が重要なパラメータとなるこれらのアプリケーションに対しては、入力構成に差動トランス結合を使用することが推奨されます。図 48 に例を示します。アナログ入力にバイアスを加えるため、CML 電圧をトランス二次巻線のセンタタップに接続することができます。

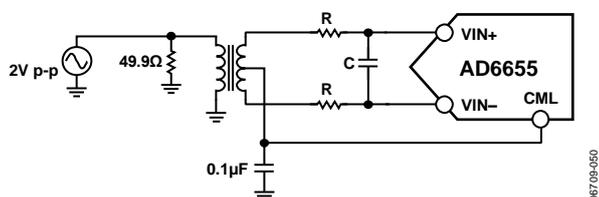


図 48. 差動トランス結合構成

トランスを選択するときは、信号特性を考慮する必要があります。大部分の RF トランスは、数 MHz より低い周波数で飽和します。大きな信号電力もコア・サチレーションの原因になり、歪みを生じさせます。

第 2 ナイキスト領域およびそれ以上の入力周波数では、AD6655 の真の SNR 性能を得るためには、大部分のアンプのノイズ性能は不十分です。SNR が重要なパラメータとなるこれらのアプリケーションに対しては、入力構成に差動ダブル・バラ平衡結合を使用することが推奨されます(図 49 参照)。

第 2 ナイキスト領域の周波数でトランス結合入力を使う代わりに、AD8352 差動ドライバを使う方法があります(図 50 参照)。詳細については、AD8352 のデータシートを参照してください。さらに、アプリケーションで可変ゲインのアンプが必要とされる場合には、AD8375 または AD8376 デジタル可変ゲイン・アンプ(DVGA)が AD6655 の駆動で優れた性能を提供します。

どの構成でも、シャント・コンデンサ C の値は入力周波数とソース・インピーダンスに依存するため、小さくするか、小さくするか削除する必要があります。表 14 に RC 回路に設定する推奨値を示します。ただし、これらの値は入力信号に依存するため、初期ガイドとしてのみ使用してください。

表 14. RC 回路の例

Frequency Range (MHz)	R Series (Ω, Each)	C Differential (pF)
0 to 70	33	15
70 to 200	33	5
200 to 300	15	5
>300	15	Open

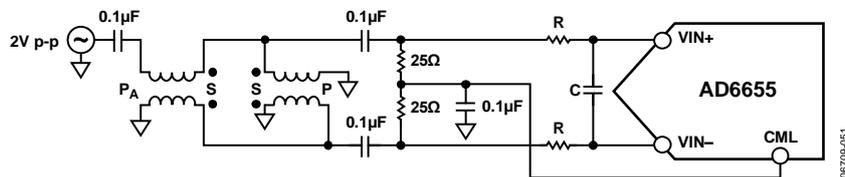


図 49. 差動ダブル・バラ平衡入力構成

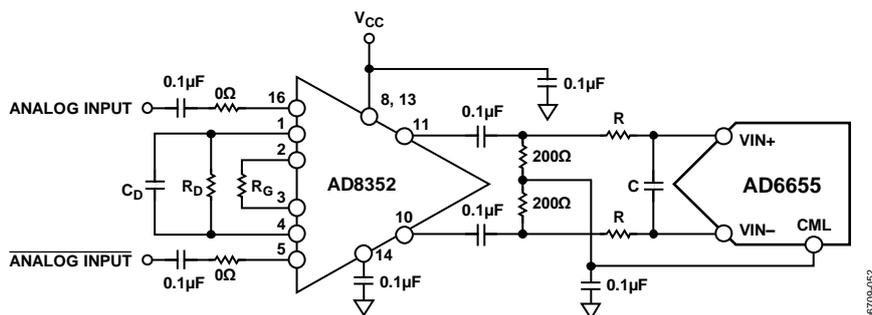


図 50. AD8352 を使用した差動入力構成

シングルエンド入力構成

価格に厳しいアプリケーションでは、シングル・エンド入力でも十分な性能を得ることが可能です。この構成では、入力同相モード振幅が大きいため SFDR 性能と歪み性能が低下します。各入力のソース・インピーダンスを一致させると、SNR 性能に対する影響を小さくすることができます。図 51 に代表的なシングルエンド入力構成を示します。

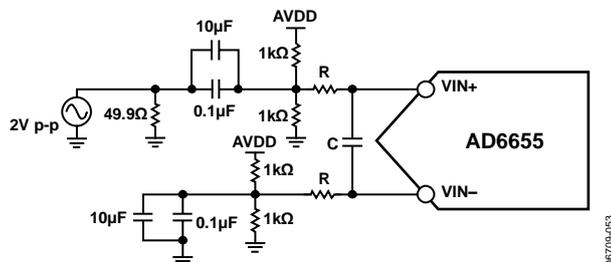


図 51. シングルエンド入力構成

リファレンス電圧

AD6655 には、安定かつ正確なリファレンス電圧が内蔵されています。入力範囲は、内部リファレンス電圧または外部から入力したリファレンス電圧を使って AD6655 に入力するリファレンス電圧を変化させることにより調節することができます。ADC の入力スパンは、リファレンス電圧の変化に比例して追従します。種々のリファレンス・モードの一覧を以下のセクションに示します。リファレンス電圧のデカップリングのセクションでは、リファレンス電圧の PCB レイアウトについて説明します。

内部リファレンス電圧の接続

AD6655 内部のコンパレータが SENSE ピンの電位を検出して、リファレンスを表 15 に示す 4 つの状態のいずれかに設定します。SENSE をグラウンドに接続すると、リファレンス・アンプ・スイッチが内部抵抗デバイダに接続されて(図 52 参照)、VREF が 1.0 V に設定されます。SENSE ピンを VREF に接続すると、リファレンス・アンプ出力が SENSE ピンへ切り替えられて、ループが構成されるため、0.5 V のリファレンス電圧が出力されます。抵抗デバイダを外部でチップに接続すると(図 53 参照)、スイッチは再び SENSE ピンに設定されます。

これにより、リファレンス・アンプは非反転モードになり、VREF 出力は次のように決定されます。

$$VREF = 0.5 \times \left(1 + \frac{R2}{R1} \right)$$

ADC の入力範囲は内部リファレンスまたは外部リファレンスのいずれを使う場合でも、常にリファレンス・ピンの電圧の 2 倍に等しくなります。

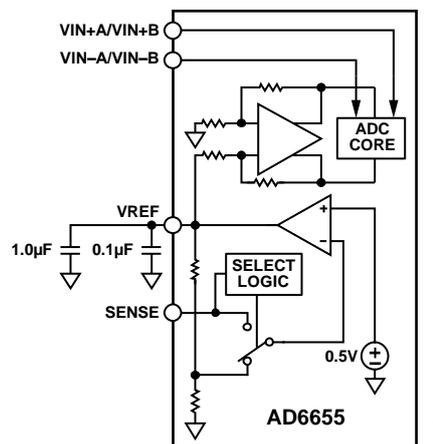


図 52. 内部リファレンス電圧の構成

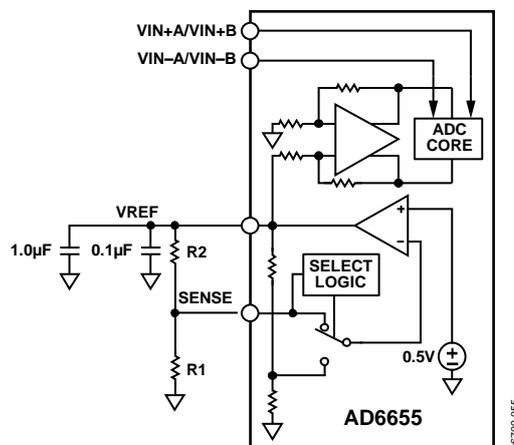


図 53. プログラマブルなリファレンス電圧の構成

表 15. リファレンス構成の一覧

Selected Mode	SENSE Voltage	Resulting VREF (V)	Resulting Differential Span (V p-p)
External Reference	AVDD	N/A	2 × external reference
Internal Fixed Reference	VREF	0.5	1.0
Programmable Reference	0.2 V to VREF	$0.5 \times \left(1 + \frac{R2}{R1} \right)$ (see 図 53)	2 × VREF
Internal Fixed Reference	AGND to 0.2 V	1.0	2.0

ゲイン・マッチングを改善するために、AD6655 の内部リファレンス電圧を使って複数のコンバータを駆動する場合、他のコンバータによるリファレンス電圧への負荷を考慮する必要があります。図 54 に内部リファレンスが負荷から受ける影響を示します。

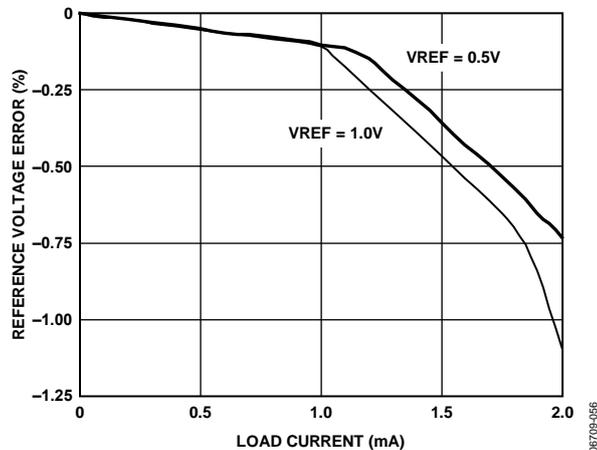


図 54. VREF 精度対負荷

外部リファレンス電圧による動作

ADC のゲイン精度を向上させる場合または温度ドリフト特性を改善する場合、外部リファレンス電圧の使用が必要となります。図 55 に、1.0 V モードと 0.5 V モードについて、代表的な内部リファレンスのドリフト特性を示します。

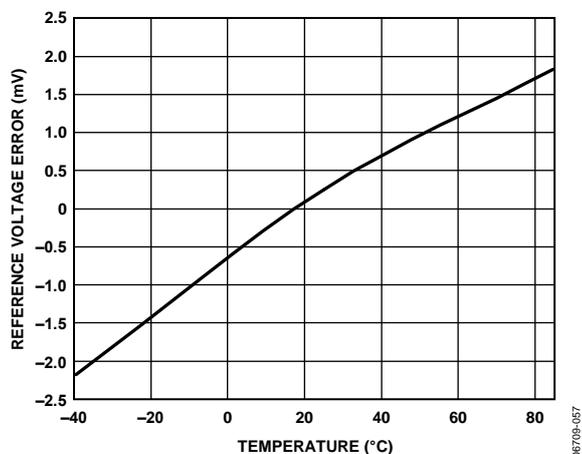


図 55. 代表的な VREF ドリフト

SENSE ピンを AVDD に接続すると、内部リファレンス電圧がデイスエーブルされて、外部リファレンス電圧の使用が可能になります。内部リファレンス・バッファに対して、等価 6 kΩ を持つ外部リファレンスが負荷になります(図 18 参照)。内部リファレンス・バッファは、ADC コアに対して正側と負側のフル・スケール・リファレンスを発生します。したがって、外付けリファレンス電圧は最大 1.0 V に制限する必要があります。

クロック入力の考慮事項

最適性能を得るためには、AD6655 のクロック (CLK+ と CLK-) を差動で入力する必要があります。信号は、一般にトランスまたはコンデンサを介して CLK+ ピンと CLK- ピンに AC 結合されます。これらのピンは内部でバイアスされるため(図 56)、外付けバイアスは不要です。

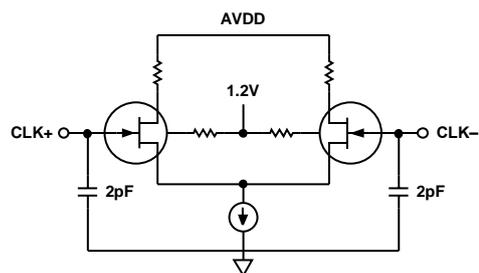


図 56. 等価クロック入力回路

クロック入力オプション

AD6655 は非常に柔軟なクロック入力構造を持っています。クロック入力としては、CMOS、LVDS、LVPECL、または正弦波信号が可能です。使用する信号タイプによらず、クロック・ソース・ジッタは、ジッタについての考慮事項のセクションで説明するように、最も大きな問題です。

図 57 と図 58 に、AD6655 をクロック駆動する (625 MHz のクロック・レートまで) 2 つの望ましい方法を示します。ジッタの少ないクロック・ソースは、RF トランスを使ってシングルエンド信号から差動信号に変換されます。トランス 2 次側に互いに逆向きに接続されたショットキ・ダイオードを使って、AD6655 に入力されるクロックを約 0.8 V のピーク to ピーク差動に制限します。この機能は、クロックの大きな電圧振幅が AD6655 の別の部分に混入することを防止すると同時に、低ジッタ性能にとって重要な、信号の高速な立ち上がり時間と立ち下がり時間を維持します。

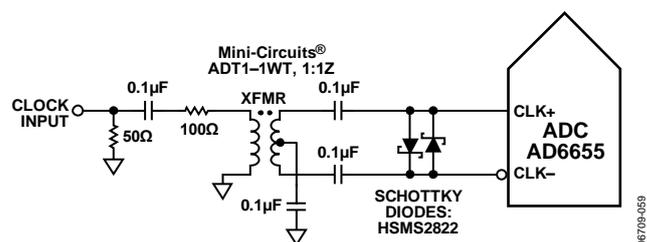


図 57. トランス結合の差動クロック (最大 200 MHz)

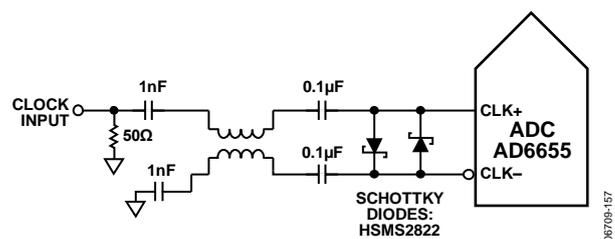


図 58. バラン結合の差動クロック (最大 625 MHz)

低ジッタ・クロックが使用できない場合、もう 1 つのオプションは差動 PECL 信号をサンプル・クロック入力ピンへ AC 結合することです(図 59 参照)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516 クロック・ドライバは、優れたジッタ性能を提供します。

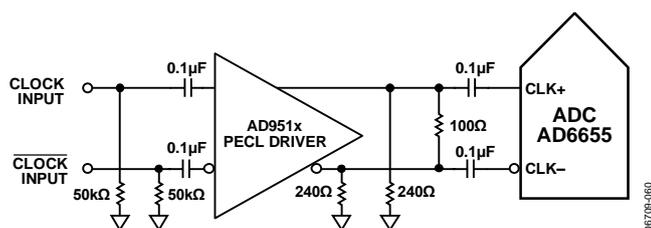


図 59. 差動 PECL サンプル・クロック(最大 625 MHz)

3 つ目のオプションは、差動 LVDS 信号をサンプル・クロック入力ピンへ AC 結合する方法です(図 60 参照)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516 クロック・ドライバは優れたジッタ性能を提供します。

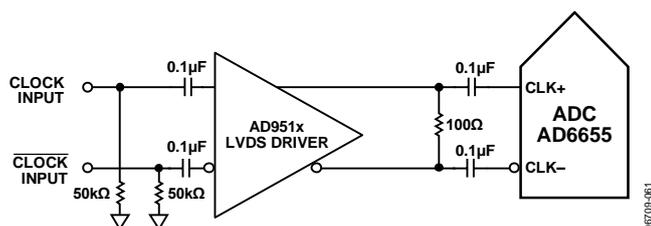


図 60. 差動 LVDS サンプル・クロック(最大 625 MHz)

アプリケーションによっては、サンプル・クロック入力をシングルエンド CMOS 信号で駆動できる場合があります。このようなアプリケーションでは、CLK+ピンを CMOS ゲートで直接駆動し、CLK-ピンは 0.1 µF のコンデンサと 39 kΩ の抵抗の並列接続によりグラウンドへバイパスします(図 61 参照)。CLK+は CMOS ゲートから直接駆動することができます。CLK+入力回路の電源は AVDD (1.8 V) ですが、この入力は最大 3.6 V の入力電圧を許容するようにデザインされているため、駆動ロジック電圧の選択は非常に柔軟に行うことができます。

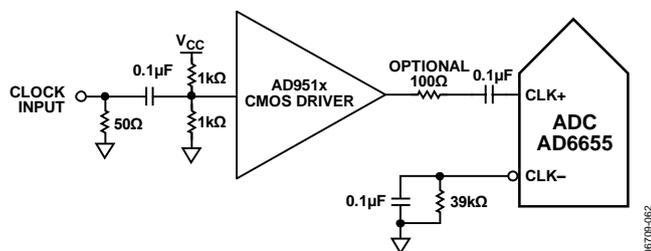


図 61. シングルエンドの 1.8 V CMOS サンプル・クロック(最大 150 MSPS)

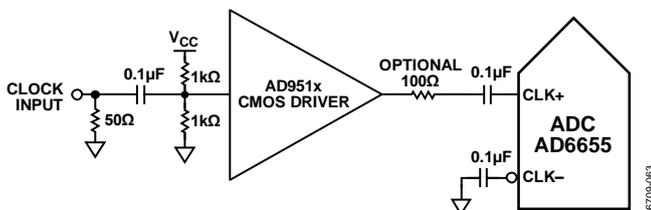


図 62. シングルエンドの 3.3 V CMOS サンプル・クロック(最大 150 MSPS)

入力クロック・ドライバ

AD6655 は、入力クロックを 1~8 分周できる入力クロック分周器を内蔵しています。分周比を 1 以外に選択すると、デューティ・サイクル・スタビライザが自動的にイネーブルされます。

AD6655 のクロック分周器は外部 SYNC 入力を使って同期させることができます。レジスタ 0x100 のビット 1 とビット 2 を使うと、各 SYNC 信号で、またはレジスタが書き込まれた後の最初の SYNC 信号で、クロック分周器を再同期することができます。有効な SYNC により、クロック分周器は初期状態にリセットされます。この同期機能を使うと、複数のデバイスに位相の一致したクロック分周器を持たせることができるので、同時入力サンプリングが保証されます。

クロック・デューティ・サイクル

代表的な高速 ADC では両クロック・エッジを使って、様々な内部タイミング信号を発生しているため、クロックのデューティ・サイクルの影響を大きく受けます。一般に、ダイナミック性能特性を維持するためにはクロック・デューティ・サイクルの許容偏差は 5% 以内である必要があります。

AD6655 は、非サンプリング・エッジの再タイミングを行って、公称 50% のデューティ・サイクルを持つ内部クロック信号を発生するクロック・デューティ・サイクル・スタビライザを内蔵しています。この回路により、AD6655 の性能に影響を与えずに広範囲なクロック入力のデューティ・サイクルを許容することができます。図 44 に示すように、DCS をオンにすると、ノイズ性能と歪み性能はデューティ・サイクルの広い範囲でほぼ平坦です。

それでも、入力クロックの立ち上がりエッジのジッタは大きな問題であり、内部安定化回路で容易に減少させることはできません。デューティ・サイクル制御ループは、公称 20 MHz 以下のクロック・レートでは機能しません。このループは時定数を持っているため、クロック・レートがダイナミックに変わるときは、これを考慮する必要があります。ダイナミックにクロック周波数が増減した後に、DCS ループが入力信号にロックするまで、1.5 µs~5 µs の待ち時間が必要です。ループがロックされていない間、DCS ループはバイパスされるため、内部デバイスのタイミングは入力クロック信号のデューティ・サイクルに依存します。このようなアプリケーションでは、デューティ・サイクル・スタビライザをディスエーブルすることが適切です。その他のすべてのアプリケーションでは、AC 性能を最大にするため DCS 回路をイネーブルすることが推奨されます。

ジッタについての考慮事項

高速な高分解能 ADC は、クロック入力の品質に敏感です。与えられた入力周波数(f_{IN})でジッタ(t_j)により発生する SNR 性能の低下は次式で計算されます。

$$SNR_{HF} = -10 \log[(2\pi \times f_{IN} \times t_{J_{RMS}})^2 + 10^{(-SNR_{LF}/10)}]$$

この式で、rms アバーチャ・ジッタは、クロック入力、アナログ入力信号、ADC アバーチャ・ジッタ仕様を含む全ジッタ・ソースの 2 乗和平方根を表します。アンダーサンプリング・アプリケーションは、特にジッタに敏感です(図 63)。

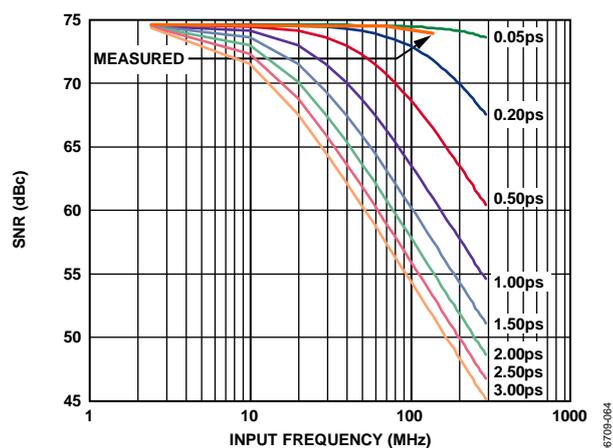


図 63. SNR 対入力周波数およびジッタ

ジッタが AD6655 のダイナミックレンジに影響を与えるケースでは、クロック入力はアナログ信号として扱う必要があります。クロック・ドライバの電源は ADC 出力ドライバの電源と分離して、クロック信号がデジタル・ノイズから変調を受けないようにする必要があります。低ジッタの水晶制御オシレータは最適なクロック源です。クロックが別のタイプのソース(ゲーティング、分周、または別の方法)から発生される場合、最終ステップで元のクロックを使って再タイミングする必要があります。

ADC に関するジッタ性能については、アプリケーション・ノート AN501 とアプリケーション・ノート AN756 を参照してください (www.analog.com 参照)。

消費電力とスタンバイ・モード

図 64～図 67 に示すように、AD6655 で消費される電力はサンプル・レートに比例します。CMOS 出力モードでは、デジタル消費電力は主にデジタル・ドライバの強度と各出力ビットの負荷で決定されます。最大 DRVDD 電流(I_{DRVDD})次のように計算されます。

$$I_{DRVDD} = V_{DRVDD} \times C_{LOAD} \times f_{CLK} \times N$$

ここで、 N は出力ビット数(FD ビットが非アクティブのとき、AD6655 の場合は 30)。

この最大電流は、各クロック・サイクルで各出力ビットがスイッチングする条件に対するもので、この条件はナイキスト周波数 $f_{CLOCK}/2$ のフルスケール方形波に対してのみ発生します。実用的には、DRVDD 電流はスイッチングしている出力ビット数の平均値を使って計算します。この値はサンプル・レートとアナログ入力信号の特性によって決定されます。デジタル消費電力は出力ドライバの容量負荷を小さくすることにより、小さくすることができます。図 64～図 67 に示すデータは、各出力ドライバの負荷を 5 pF にして代表的な性能特性の場合と同じ動作条件で取得したものです。

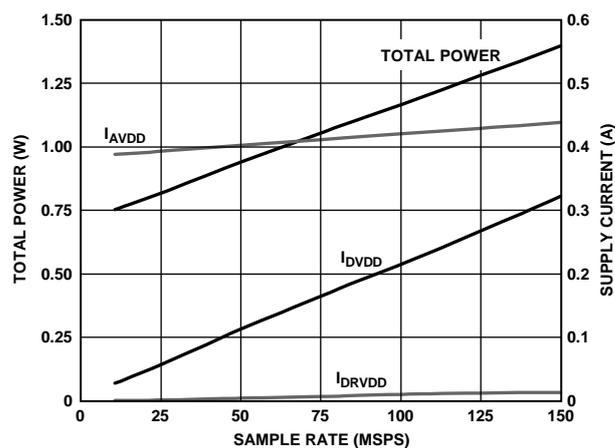


図 64. AD6655-150 消費電力および電流対サンプル・レート

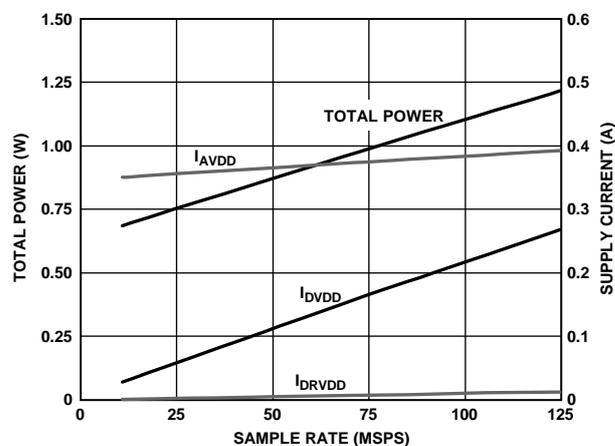


図 65. AD6655-125 消費電力および電流対サンプル・レート

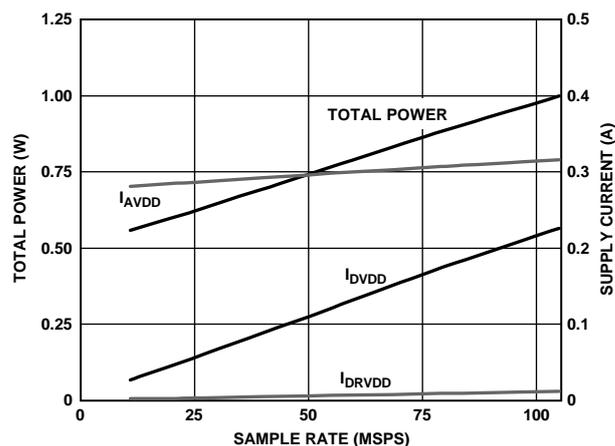


図 66. AD6655-105 消費電力および電流対サンプル・レート

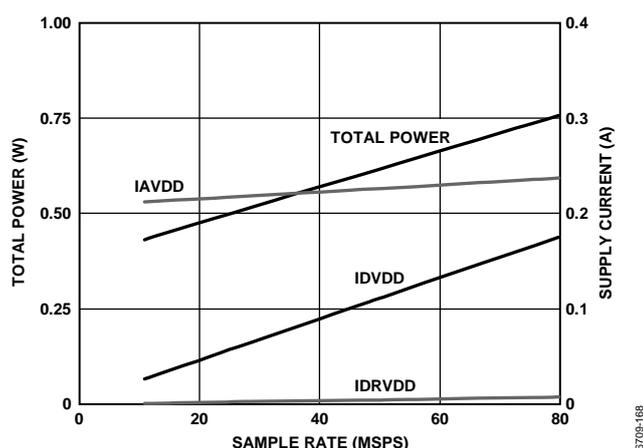


図 67. AD6655-80 消費電力および電流対サンプル・レート

PDWN (SPI ポートを使うか、または PDWN ピンをハイ・レベルにします) をアサートすると、AD6655 はパワーダウン・モードになります。この状態では、ADC の消費電力は 2.5 mW (typ) になります。パワーダウン時は、出力ドライバは高インピーダンス状態になります。PDWN ピンをロー・レベルにすると、AD6655 は通常動作モードに戻ります。PDWN はデジタル出力ドライバ電源 (DRVDD) を基準にしているため、この電源電圧を超えることはできません。DRVDD が 3.3 V の場合でも、PDWN を 1.8 V ロジックで駆動することができます。

パワーダウン・モードでの低消費電力は、リファレンス電圧、リファレンス・バッファ、バイアス回路、クロックをシャットダウンすることにより、実現されています。スタンバイ・モードに入ると、デカップリング・キャパシタは放電するため、通常動作に戻るときには再充電する必要があります。このため、ウェイクアップ時間はパワーダウン・モードに留まる時間に関係し、パワーダウン・サイクルが短いほど、ウェイクアップ時間も短くなります。

SPI ポート・インターフェースを使うときは、ADC をパワーダウン・モードまたはスタンバイ・モードにする必要があります。スタンバイ・モードにすると、高速なウェイクアップが必要な場合、内部リファレンス回路を動作させたままにしておくことができます。詳細については、メモリ・マップ・レジスタの説明のセクションと www.analog.com のアプリケーション・ノート AN-877 「*Interfacing to High Speed ADCs via SPI*」を参照してください。

デジタル出力

AD6655 の出力ドライバは、DRVDD をインターフェース・ロジックの電源に一致させることにより、1.8 V ~ 3.3 V の CMOS ロジック・ファミリーとインターフェースさせるように設定することができます。あるいは、AD6655 出力を 1.8 V DRVDD 電源を使って ANSI LVDS または駆動能力を小さくした LVDS に設定することができます。

CMOS 出力ドライバは、様々なロジック・ファミリーを駆動するために十分な出力電流を提供するようにデザインされています。ただし、大きな駆動電流はコンバータ性能に影響を与える電源に電流グリッチを生じさせる傾向を持つことがあります。ADC により大きな容量負荷または大きなファンアウトを駆動す

ることが必要なアプリケーションでは、外付けバッファまたはラッチが必要となることがあります。

外部ピン・モードで動作する場合、SCLK/DFS ピンを設定して、出力データ・フォーマットとしてオフセット・バイナリまたは 2 の補数を選択することができます (表 16 参照)。アプリケーション・ノート AN-877 「*Interfacing to High Speed ADCs via SPI*」で説明するように、SPI 制御を使用する場合、データ・フォーマットとして、オフセット・バイナリ、2 の補数、またはグレイ・コードを選択することができます。

表 16. SCLK/DFS モード選択 (外部ピン・モード)

Voltage at Pin	SCLK/DFS	SDIO/DCS
AGND (default)	Offset binary	DCS disabled
AVDD	Twos complement	DCS enabled

デジタル出力イネーブル機能(OEB)

AD6655 は、デジタル出力ピンに対して柔軟なスリー・ステート機能を持っています。スリー・ステート・モードをイネーブルするときは、SMI SDO/OEB ピンまたは SPI インターフェースを使っています。SMI SDO/OEB ピンをロー・レベルにすると、出力データ・ドライバがイネーブルされます。SMI SDO/OEB ピンをハイ・レベルにすると、出力データ・ドライバは高インピーダンス状態になります。この OEB 機能は、バスに対する高速アクセスを意図したものではありません。OEB はデジタル出力ドライバ電源 (DRVDD) を基準にしているため、この電源電圧を超えることはできないことに注意してください。DRVDD が 3.3 V の場合でも、OEB を 1.8 V ロジックで駆動することができます。

SPI インターフェースを使用する場合、レジスタ 0x14 の出力イネーブル・バー・ビット (ビット 4) を使うと、各チャンネルのデータ出力と高速検出出力を独立にスリー・ステートにすることができます。

インターリーブ CMOS モード

レジスタ 0x14 のビット 5 をセットすると、インターリーブ CMOS 出力モードがイネーブルされます。このモードでは、出力データがポート A に接続され、ADC チャンネル A の出力データが DCO の立ち上がりエッジで、ADC チャンネル B の出力データが DCO の立ち下がりエッジで、それぞれ出力されます。

タイミング

AD6655 はラッチされたデータにパイプライン遅延を与えます。この遅延は、イネーブルされているデジタル・バックエンド機能に依存します。データ出力は、クロック信号の立ち上がりエッジから 1 伝搬遅延 (t_{pd}) 後に出力されます。

出力データ・ラインの長さや、それらに接続された負荷を最小にして AD6655 内部での過渡電圧を抑える必要があります。これらの過渡電圧はコンバータのダイナミック性能を低下させることがあります。

AD6655 の最小変換レートは 10 MSPS (typ) です。10 MSPS より低いクロック・レートでは、ダイナミック性能が低下することがあります。

データ・クロック出力(DCO)

AD6655 は、外部レジスタ内のデータをキャプチャするためのデータ・クロック出力 (DCO) も提供します。図 2 ~ 図 6 に、AD6655 出力モードのタイミング図を示します。

表 17. 出力データ・フォーマット

Input (V)		Condition (V)		Offset Binary Output Mode		Twos Complement Mode		OR
VIN+	< -VREF	00 0000 0000	10 0000 0000 0000	1	VIN+ = -VREF	00 0000 0000	10 0000 0000 0000	0
VIN-	0.5 LSB	0000			VIN- = -VREF	0000		

VIN+ – VIN–	= 0	10 0000 0000 0000	00 0000 0000 0000	0
VIN+ – VIN–	= +VREF – 1.0 LSB	11 1111 1111 1111	01 1111 1111 1111	0
VIN+ – VIN–	> +VREF – 0.5 LSB	11 1111 1111 1111	01 1111 1111 1111	1

デジタル・ダウンコンバータ

AD6655 は、フィルタ機能を提供し出力データ・レートを低下させるデジタル処理セクションを内蔵しています。このデジタル処理セクションには、数値制御発振器(NCO)、ハーフバンド・デシメーション・フィルタ、FIR フィルタ、出力周波数変換用の 2 つ目の粗調整 NCO ($f_{\text{ADC}}/8$ 固定値)が含まれています。これらの各処理ブロック(ただしデシメーション・ハーフバンド・フィルタは除く)は、コントロール・ラインを持っています。このラインを使うと、これらのブロックを独立にイネーブル/ディスエーブルして、所望の処理機能を提供することができます。デジタル・ダウンコンバータは、実数データまたは複素数出力データを出力するように設定することができます。これらのブロックは、5 通りの推奨組み合わせで構成して、異なる信号処理機能を実現することができます。

ダウンコンバータ・モード

表 18 に、AD6655 の推奨ダウンコンバータ動作モードを示します。

表 18. ダウンコンバータ・モード

Mode	NCO/Filter	Output Type
1	Half-band filter only	Real
2	Half-band filter and FIR filter	Real
3	NCO and half-band filter	Complex
4	NCO, half-band filter, and FIR filter	Complex
5	NCO, half-band filter, FIR filter, and $f_{\text{ADC}}/8$ NCO	Real

数値制御発振器(NCO)

周波数変換は NCO で行われます。2 つの各処理チャンネルは共通の NCO を共有します。位相ディザと振幅ディザをイネーブルして、NCO のノイズとスプリアスの性能を向上させることができます。位相オフセット・ワードを使用して、複数の D6655 間で既知の位相関係を発生させることができます。

デシメーション・フィルタはナイキスト・スペクトルの半分を使用しないようにさせるため、サンプルした入力スペクトルをデシメーション・フィルタの使用可能な範囲へ変換する手段が必要です。この手段を実現するために、32 ビットの微調整された複素型 NCO が用意されています。この NCO/ミキサーを使用すると、入力スペクトルを DC に同調させることができます。これを後続フィルタ・ブロックで効果的にフィルタして折り返しを防止することができます。

ハーフバンド・デシメーション・フィルタと FIR フィルタ

AD6655 デジタル・フィルタ・ブロックの目的は、サンプル・レートを $1/2$ にすると同時に、注目の帯域内に折り返さないようにすることです。ハーフバンド・フィルタは、ローパス・フィルタまたはハイパス・フィルタとして動作し、かつその構造の入力レートの 22% に対して 100 dB 以上の折り返し防止を提供するようにデザインされています。ADC のサンプル・レート 150

MSPS に対して、フィルタを実数モード(NCO をバイパス)で使用した場合には 16.5 MHz の最大有効帯域幅を、またはフィルタを複素数モード(NCO をイネーブル)で使用した場合には最大有効帯域幅 33.0 MHz を、それぞれ提供します。

オプションの固定係数の FIR フィルタは、ハーフバンドのロールオフを急峻にして、折り返し防止を強化する追加フィルタ機能を提供します。このフィルタは負の周波数イメージを除去して、実数出力の負周波数の折り返しを防止します。

$f_{\text{ADC}}/8$ 固定周波数 NCO

$f_{\text{ADC}}/8$ 固定 NCO は、実数出力を可能にするために、フィルタおよびデシメートされた信号を DC から $f_{\text{ADC}}/8$ へ変換するために用意されています。図 68~図 71 に、AD6655 のブロックで処理した 20 MHz 入力の例を示します。

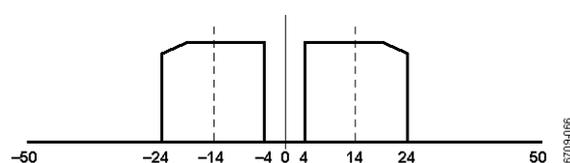


図 68. 14 MHz を中心とする AD6655 実数型 20 MHz 帯域幅入力信号の例 ($f_{\text{ADC}} = 100$ MHz)

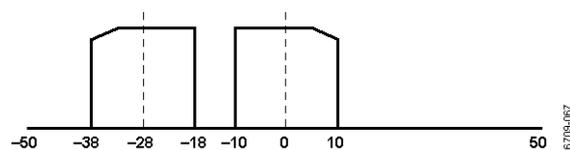


図 69. NCO を使用して DC に同調させた AD6655 20 MHz 帯域幅入力信号の例 (NCO 周波数 = 14 MHz)

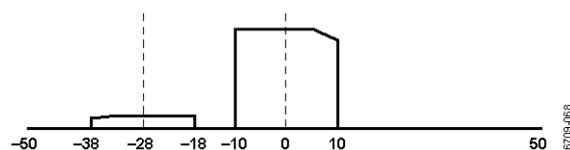


図 70. ハーフバンド・フィルタと FIR フィルタでフィルタした、負イメージを持つ AD6655 20 MHz 帯域幅入力信号の例

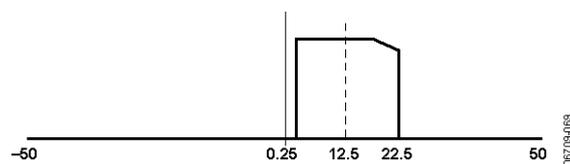


図 71. 実数出力用に $f_{\text{ADC}}/8$ に同調させた AD6655 20 MHz 帯域幅入力信号の例

数値制御発振器(NCO)

周波数変換

この処理ステージは、32 ビット複素数の数値制御発振器(NCO)から構成されるデジタル・チューナからできています。AD6655の2つのチャンネルは1つのNCOを共用しています。レジスタ0x11Dのビット0をクリアすると、NCOはオプションになりバイパスすることができます。このNCOブロックはADCステージから実数入力を受け取り、周波数変換した複素数(IとQ)出力を出力します。

NCOの周波数は、レジスタ0x11E、レジスタ0x11F、レジスタ0x120、レジスタ0x121を使って設定します。これらの4個の8ビット・レジスタにより、32ビットの符号なし周波数書き込みワードが構成されます。-CLK/2~+CLK/2の周波数が、次の周波数ワードを使って表現されます。

- 0x8000 0000は-CLK/2で指定される周波数。
- 0x0000 0000はDC(周波数=0 Hz)。
- 0x7FFF FFFFはCLK/2 - CLK/2³²。

次式を使ってNCO周波数を計算します。

$$NCO_FREQ = 2^{32} \times \frac{Mod(f, f_{CLK})}{f_{CLK}}$$

ここで、

NCO_FREQは32ビットの2の補数値で、NCO周波数レジスタを表します。

fは所望のキャリア周波数(Hz)。

f_{CLK}はAD6655のADCクロック・レート(Hz)。

NCO同期

AD6655 NCOは1つのデバイス内で、または複数のデバイス間で外部SYNC入力を使って同期化することができます。レジスタ0x100のビット3とビット4を使うと、各SYNC信号で、またはレジスタが書き込まれた後の最初のSYNC信号で、NCOを再同期することができます。有効なSYNCにより、NCOは設定された位相オフセット値から再起動します。

位相オフセット

アドレス0x122とアドレス0x123のNCO位相オフセット・レジスタは、NCOの位相アキュムレータにプログラマブルなオフセットを加算します。この16ビット・レジスタは、16ビット符号なし整数として扱われます。このレジスタ内の0x00はオフセットなしに、0xFFFFは359.995°のオフセットに、それぞれ対応します。各ビットは0.005°の位相変化を表します。このレジスタを使うと、複数のNCOを同期させて、予測可能な位相差を持つ複数の出力を発生することができます。次式を使ってNCOの位相オフセット値を計算します。

$$NCO_PHASE = 2^{16} \times PHASE/360$$

ここで、

NCO_PHASEは、レジスタ0x122とレジスタ0x123に書き込まれる16ビット・バイナリ値に等しい10進値。

PHASEは所望のNCO位相(°)

NCOの振幅ディザと位相ディザ

NCOブロックは、スプリアス性能を向上させる振幅ディザと位相ディザを内蔵しています。振幅ディザは、NCOの角度-カーディシアン変換内で振幅量子化誤差をランダム化して性能を向上させます。少しノイズ・フロアが少し上がってもスプリアスを小さくしたい場合に、この方法を使います。振幅ディザをイネーブルすると、NCOのSNRは93 dB以上、SFDRは115 dB以上に、それぞれなります。振幅ディザをディスエーブルすると、SNRは96 dB以上に増加し、SFDR性能は100 dBに低下します。NCO振幅ディザの使用が推奨されます。イネーブルするときは、レジスタ0x11Dのビット1をセットします。

デシメーション・ハーフバンド・

AD6655 ハーフバンド・デジタル・フィルタの目的は、サンプル・レートを 1/2 にすると同時に、注目の帯域内に折り返さないようにすることです。このフィルタは、ローパス・フィルタまたはハイパス・フィルタとして動作し、かつその構造の入力レートの 11% に対して 100 dB 以上の折り返し防止を提供するようにデザインされています。ハーフバンド・フィルタは NCO および FIR フィルタと組み合わせて使い、効果的なバンドパス機能を提供します。ADC サンプル・レート 150 MSPS に対して、最大有効帯域幅 33 MHz を提供します。

ハーフバンド・フィルタ係数

19 タップの対称固定係数ハーフバンド・フィルタは、多相構成を採用しているため低消費電力です。表 19 に、ハーフバンド・フィルタの係数を示します。この構成で使用している正規化した係数と係数の 10 進値表示も示してあります。係数がゼロの場合は、表 19 に記載していません。

表 19. ハーフバンド・フィルタの固定係数

Coefficient Number	Normalized Coefficient	Decimal Coefficient (20-Bit)
C0, C18	0.0008049	844
C2, C16	-0.0059023	-6189
C4, C14	0.0239182	25080
C6, C12	-0.0755024	-79170
C8, C10	0.3066864	321584
C9	0.5	524287

ハーフバンド・フィルタの機能

AD6655 では、ハーフバンド・フィルタはディスエーブルできません。このフィルタは、ローパス応答またはハイパス応答に設定することができます。ハイパス・フィルタに設定する場合はレジスタ 0x103 のビット 1 をセットし、ローパス応答に設定する場合はこのビットをクリアします。正規化した出力レートに対するフィルタのローパス応答を図 72 に、ハイパス応答を図 73 に、それぞれ示します。

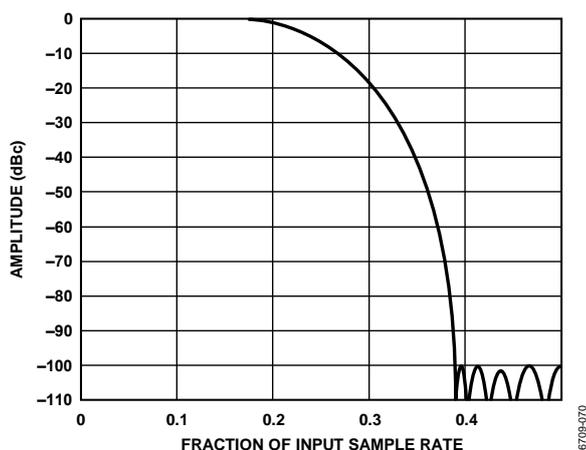


図 72. ハーフバンド・フィルタのローパス応答

フィルタとFIRフィルタ

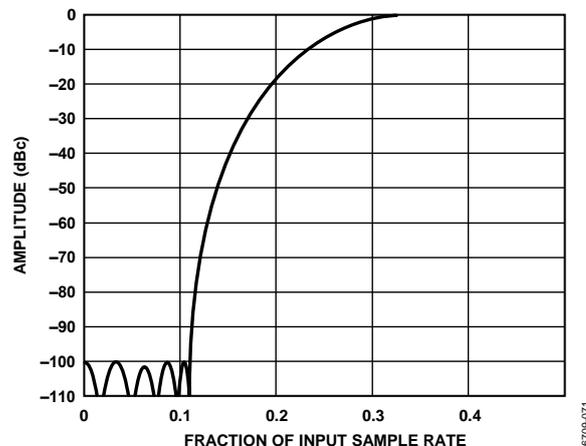


図 73. ハーフバンド・フィルタのハイパス応答

ハーフバンド・フィルタは、0.000182 dB のリップルと 100 dB の除去比を持っています。折り返し除去比は 100 dB で、折り返し防止帯域幅は入力サンプル・レートの 11% です。I パスと Q パスの両方を使用する場合は、入力レートの 22% の複素帯域幅が使用可能です。

偶数ナイキスト領域サンプリングの場合は、スペクトルを逆転するようにハーフバンド・フィルタを設定することができます。アドレス 0x103 のビット 2 をハイ・レベルに設定すると、スペクトル逆転機能がイネーブルされます。

ハーフバンド・デシメーション位相は、ハーフバンド・フィルタが同期後の最初または 2 番目のサンプルから動作を開始するように選択することができます。これにより、2 つの入力サンプル・クロック間のハーフバンド出力がシフトされます。デシメーション位相は、レジスタ 0x103 のビット 3 を使って、0 または 1 に設定することができます。

固定係数 FIR フィルタ

ハーフバンド・フィルタの後ろに 66 タップの固定係数 FIR フィルタがあります。このフィルタは、デシメーション・ハーフバンド・フィルタの折り返し防止機能をさらに強化するために有効です。これは、66 個のフィルタ・タップと 21 ビットの固定係数を持つシンプルな積和 FIR フィルタです。このフィルタはデシメートしないことに注意してください。表 20 に、この構成で使用している正規化した係数と係数の 10 進値表示を示します。

このフィルタの選択またはバイパスを指定することができますが、ハーフバンド・フィルタがイネーブルされているときだけ、FIR フィルタをイネーブルすることができます。レジスタ 0x102 のイネーブル FIR フィルタ・ビット(ビット 0)にロジック 0 を書き込むと、この固定係数フィルタがバイパスされます。実数出力で最終 NCO を使うときこのフィルタが必要で、他の構成を使うときこれをバイパスすると、消費電力を節約することができます。

表 20.FIR フィルタ係数

Coefficient Number	Normalized Coefficient	Decimal Coefficient (21-Bit)
C0, C65	0.0001826	383
C1, C64	0.0006824	1431
C2, C63	0.0009298	1950
C3, C62	0.0000458	96
C4, C61	-0.0012689	-2661
C5, C60	-0.0008345	-1750
C6, C59	0.0011806	2476
C7, C58	0.0011387	2388
C8, C57	-0.0018439	-3867
C9, C56	-0.0024557	-5150
C10, C55	0.0018063	3788
C11, C54	0.0035825	7513
C12, C53	-0.0021510	-4511
C13, C52	-0.0056810	-11914
C14, C51	0.0017405	3650
C15, C50	0.0078602	16484
C16, C49	-0.0013437	-2818
C17, C48	-0.0110626	-23200
C18, C47	-0.0000229	-48
C19, C46	0.0146618	30748
C20, C45	0.0018959	3976
C21, C44	-0.0195594	-41019
C22, C43	-0.0053153	-11147
C23, C42	0.0255623	53608
C24, C41	0.0104036	21818
C25, C40	-0.0341468	-71611
C26, C39	-0.0192165	-40300
C27, C38	0.0471258	98830
C28, C37	0.0354118	74264
C29, C36	-0.0728111	-152696
C30, C35	-0.0768890	-161248
C31, C34	0.1607208	337056
C32, C33	0.4396725	922060

同期化

AD6655 のハーフバンド・フィルタは 1 つのデバイス内で、または複数のデバイス間で外部 SYNC 入力を使って同期化することができます。レジスタ 0x100 のビット 5 とビット 6 を使うと、各 SYNC 信号で、またはレジスタが書き込まれた後の最初の SYNC 信号で、ハーフバンド・フィルタを再同期することができます。有効な SYNC により、ハーフバンド・フィルタは設定されたデシメーション位相値にリセットされます。

結合フィルタ性能

ハーフバンド・フィルタと FIR フィルタの結合応答を図 74 に示します。ハーフバンド・フィルタによる ADC データの帯域制限動作により、SNR は理論的に 3 dB 向上しますが、サンプル・レートと出力データの使用可能な帯域幅が犠牲になります。有限な演算のため、NCO とハーフバンドでの切り捨て処理により、システムの量子化ノイズが増えます。帯域外ノイズのデジタル・フィルタ除去比により(フィルタで量子化を行わず、かつ ADC は白色ノイズ・フロアの場合)、ADC の SNR は 3.16 dB 向上するはずですが、量子化が増えるため、約 2.66 dB の向上になっています。

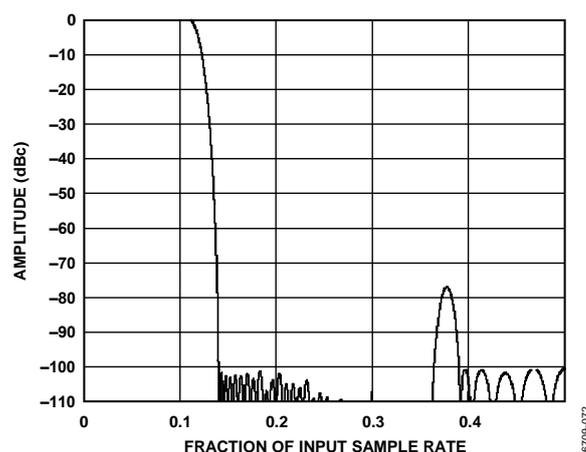


図 74.ハーフバンド・フィルタと FIR フィルタの合成応答

最終 NCO

32 ビット微調整 NCO の出力は複素数であるため、一般に DC を中心とした周波数になります。この複素数出力はハーフバンドと FIR フィルタのステージを通過して、適切な折り返し防止フィルタ処理を受けます。最終 NCO は、AD6655 から実数出力が得られるように、この複素数出力信号を DC から離れたところに移動する手段を提供します。最終 NCO をイネーブルすると、DC から ADC サンプリング周波数の 1/8 の周波数($f_{\text{ADC}}/8$)へ出力が変換されます。この変換により、 $f_{\text{ADC}}/8$ の周波数を中心とするデシメートされた出力信号が得られます。オプションとして、この最終 NCO をバイパスすることができ、DC を中心とする I 値と Q 値をインターリーブ形式で出力することができます。

ADCオーバーレンジとゲインの

レシーバ・アプリケーションでは、コンバータがクリップされそうなき確実に検出できることが望まれます。標準のオーバーフロー・インジケータは、アナログ入力の状態に対して事後情報を提供するため、あまり役立ちません。このため、クリップが実際に発生する前にゲインを小さくするための時間を確保するために、フルスケールより下にプログラマブルなスレッシュホールドを設けることが有効です。さらに、入力信号が大きなスルー・レートを持つことがあるため、この機能によるレイテンシが大きな問題になります。高度にバイプライン化されたコンバータは大きなレイテンシを持ちます。1つの解決策は、ADCの初段ステージからの出力ビットをこの機能のために使うことです。これらの出力ビットのレイテンシは非常に小さく、全体分解能はそれほど重要ではありません。ピーク入力信号は一般に、フルスケールとフルスケールの下6 dB~10 dBとの間です。3ビットまたは4ビットの出力は、この機能にとって十分な範囲と分解能を提供します。

SPIポートを使うと、超えたときにオーバーレンジ出力がアクティブになるスレッシュホールドを設定することができます。信号がスレッシュホールドを下回っている限り、出力はロー・レベルを維持します。従来型オーバーレンジ・ピンを使用中のユーザーのために、ピンの内1本が従来型オーバーレンジ・ピンとして機能するように、SPIポートを経由して高速検出出力を設定することもできます。このモードでは、コンバータの全14ビットを従来型の方法で調べて、通常オーバーフローとして定義される状態に対してハイ・レベルを出力します。いずれのモードでも、データの振幅が条件の計算に使用されます(データの符号は無視されます)。スレッシュホールド検出機能は、所望の範囲外にある正と負の信号(振幅)に対して同じ応答をします。

高速検出の概要

AD6655は高速なオーバーレンジ検出を可能にする回路を内蔵しているため、非常に柔軟な外部ゲイン制御を実現することができます。各ADCは、ADC入力レベルの状態についての情報を出力するときに使う4本の高速検出(FD)出力ピンを持っています。これらのピンの機能は、レジスタ0x104の高速検出モード・セレクト・ビットと高速検出イネーブル・ビットを使って設定することができ、内部データ・パスの複数のポイントからの範囲情報を出力することができます。これらの出力ピンは、プログラマブルなスレッシュホールド・レベルに従ってオーバーレンジ状態またはアンダーレンジ状態の有無を表示するように設定することもできます。表21に、高速検出ピンで使用可能な6通りの設定を示します。

制御

表 21. 高速検出モード・セレクト・ビットの設定

Fast Detect Mode Select bits (Register 0x104[3:1])	Information Presented on Fast Detect (FD) Pins of Each ADC ^{1,2}			
	FD[3]	FD[2]	FD[1]	FD[0]
000	ADC fast magnitude (see 表 22)			
001	ADC fast magnitude (see 表 23)			OR
010	ADC fast magnitude (see 表 24)	OR	F_LT	
011	ADC fast magnitude (see 表 24)	C_UT	F_LT	
100	OR	C_UT	F_UT	F_LT
101	OR	F_UT	IG	DG

¹高速検出ピンは、CMOSモード構成の場合FD0A/FD0B~FD3A/FD3Bに、LVDSモード構成の場合FD0+/FD0~FD3+/FD3-に、それぞれなります。

²OR、C_UT、F_UT、F_LT、IG、DGについては、ADCオーバーレンジ(OR)とゲインの切り替えのセクションを参照してください。

ADC 高速振幅

高速検出出力ピンをADC高速振幅を出力するように設定すると(すなわち、高速検出モード・セレクト・ビットを0b000に設定すると)、表示される情報は前段コンバータ・ステージからのADCレベルになり、CMOS出力モードでは2クロック・サイクルのレイテンシで表示します。LVDS出力モードでは、高速検出ビットのレイテンシはすべての高速検出モードで6サイクルになります。この設定で高速検出出力ピンを使うと、最も早いレベル表示情報が得られます。この情報は前段のデータパスから得られるため、表示されるレベルには大きな不確実性があります。ADC高速振幅で表示される公称レベルと不確実性を表22に示します。DCOはサンプル・レートの1/2であるため、DCOの立ち上がりエッジと立ち下がりエッジで高速検出出力をサンプリングすると、すべての高速検出情報を取得することができます(タイミング情報については図2を参照)。

表 22. 高速検出モード・セレクト・ビット=000でのADC高速振幅の公称レベル

ADC Fast Magnitude on FD[3:0] Pins	Nominal Input Magnitude Below FS (dB)	Nominal Input Magnitude Uncertainty (dB)
0000	<-24	Minimum to -18.07
0001	-24 to -14.5	-30.14 to -12.04
0010	-14.5 to -10	-18.07 to -8.52
0011	-10 to -7	-12.04 to -6.02
0100	-7 to -5	-8.52 to -4.08
0101	-5 to -3.25	-6.02 to -2.5
0110	-3.25 to -1.8	-4.08 to -1.16
0111	-1.8 to -0.56	-2.5 to FS
1000	-0.56 to 0	-1.16 to 0

高速検出モード・セレクト・ビットを0b001、0b010、または0b011に設定すると、高速検出出力ピンのサブセットが使用できます。これらのモードでは、高速検出出力ピンのレイテンシは6クロック・サイクルになり、2つの入力サンプルの内の大きいほうがDCOレートで出力されます。表23に、高速検出モード・セレクト・ビットを0b001に設定したときの(すなわちADC高速振幅がFD[3:1]ピンに出力される場合)、対応するADC入力レベルを示します。

表 23. 高速検出モード・セレクト・ビット=001でのADC高速振幅の公称レベル

ADC Fast Magnitude on FD[2:0] Pins	Nominal Input Magnitude Below FS (dB)	Nominal Input Magnitude Uncertainty (dB)
000	<-24	Minimum to -18.07
001	-24 to -14.5	-30.14 to -12.04
010	-14.5 to -10	-18.07 to -8.52
011	-10 to -7	-12.04 to -6.02
100	-7 to -5	-8.52 to -4.08
101	-5 to -3.25	-6.02 to -2.5
110	-3.25 to -1.8	-4.08 to -1.16
111	-1.8 to 0	-2.5 to 0

高速検出モード・セレクト・ビットを 0b010 または 0b011 に設定すると(すなわち ADC 高速振幅が FD[2:1]ピンに出力される場合)、LSB は出力されません。このモードでの入力範囲を表 24 に示します。

表 24. 高速検出モード・セレクト・ビット=010または011でのADC高速振幅の公称レベル

ADC Fast Magnitude on FD[2:1] Pins	Nominal Input Magnitude Below FS (dB)	Nominal Input Magnitude Uncertainty (dB)
00	<-14.5	Minimum to -12.04
01	-14.5 to -7	-18.07 to -6.02
10	-7 to -3.25	-8.52 to -2.5
11	-3.25 to 0	-4.08 to 0

ADC オーバーレンジ(OR)

ADC の入力でオーバーレンジが検出されると、ADC オーバーレンジ・インジケータがアサートされます。オーバーレンジ状態は ADC パイプラインの出力で決定されるため、ADC クロックで 12 サイクルのレイテンシが発生します。入力でのオーバーレンジは、発生してから 12 クロック・サイクル後にこのビットで表示されます。

ゲインの切り替え

AD6655 は、広いダイナミック・レンジのアプリケーションまたはゲイン調整コンバータを採用しているアプリケーションで役立つ回路を内蔵しています。この回路を使うと、上側と下側のスレッショールドが変更できるようにデジタル・スレッショールドを設定できます。高速検出モード・セレクト・ビット=010~101 により、ゲイン・スイッチング・オプションの種々の組み合わせをサポートします。

この機能の 1 つの使い方は、特定の入力条件のもとで、ADC がフルスケールに近づいたことを検出することです。この結果がフラグに設定され、このフラグを使って、減衰器を迅速に挿入して、ADC のオーバードライブを防止します。

粗調整上側スレッショールド(C_UT)

ADC 高速振幅入力レベルが粗調整上側スレッショールド・レジスタ(アドレス 0x105[2:0])に設定されたレベルより大きくなると、粗調整上側スレッショールド・インジケータがアサートされます。この値が、ADC 高速振幅ビット[2:0]と比較されます。粗調整上側スレッショールド出力は、入力でレベルが超えてから 2 クロック・サイクル後に出力されるため、入力信号レベルの高速表示が可能です。粗調整上側スレッショールド・レベルを表 25 に示します。ADC クロックで最小 2 サイクル間または信号がスレッショールド・レベルを下回るまで、このインジケータはアサートされたままになります。

表 25. 粗調整上側スレッショールド・レベル

Coarse Upper Threshold Register[2:0]	C_UT Is Active When Signal Magnitude Below FS Is Greater Than (dB)
000	<-24
001	-24
010	-14.5
011	-10
100	-7
101	-5
110	-3.25
111	-1.8

微調整上側スレッショールド(F_UT)

入力振幅がレジスタ 0x106 とレジスタ 0x107 にある微調整上側スレッショールド・レジスタに設定された値を超えると、微調整上側スレッショールド・インジケータがアサートされます。13 ビットのスレッショールド・レジスタが、ADC の出力で信号振幅と比較されます。この比較には、ADC クロック・レイテンシが発生しますが、コンバータ分解能は正確です。微調整上側スレッショールド振幅は次式で決定されます。

$$dBFS = 20 \log(\text{スレッショールド振幅}/2^{13})$$

微調整下側スレッショールド(F_LT)

入力振幅がレジスタ 0x108 とレジスタ 0x109 にある微調整下側スレッショールド・レジスタに設定された値を下回ると、微調整下側スレッショールド・インジケータがアサートされます。13 ビットの微調整下側スレッショールド・レジスタが、ADC の出力で信号振幅と比較されます。この比較には、ADC クロック・レイテンシが発生しますが、コンバータ分解能は正確です。微調整下側スレッショールド振幅は次式で決定されます。

$$dBFS = 20 \log(\text{スレッショールド振幅}/2^{13})$$

微調整上側スレッショールドと微調整下側スレッショールド・インジケータの動作を図 75 に示します。

インクリメント・ゲイン(IG)とデクリメント・ゲイン(DG)

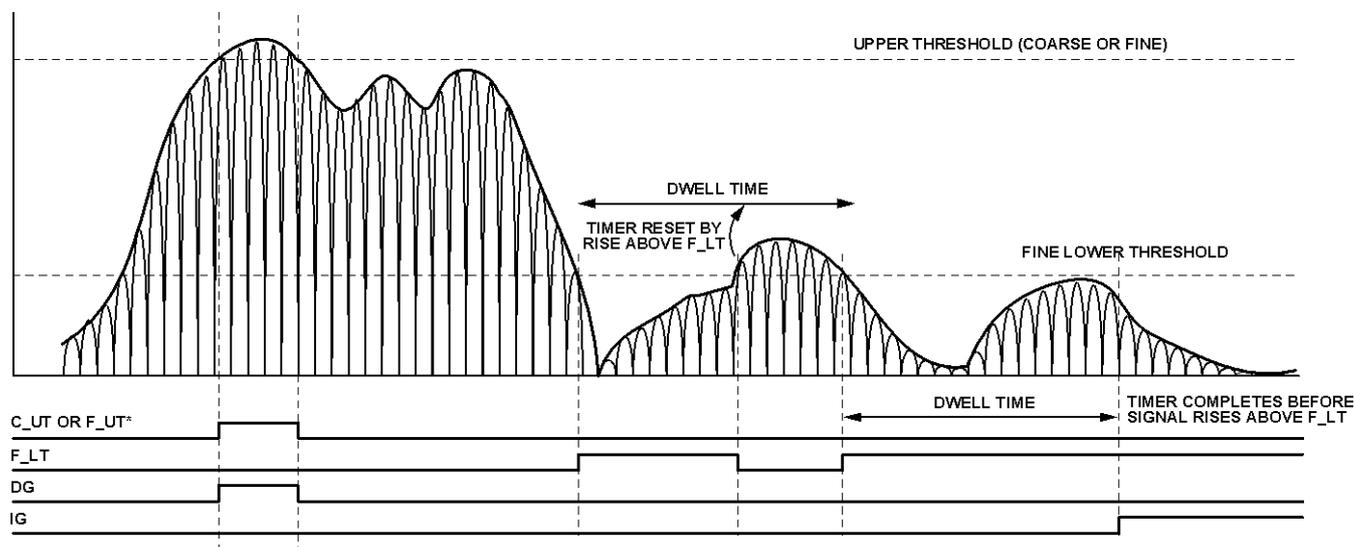
インクリメント・ゲイン・インジケータとデクリメント・ゲイン・インジケータを組み合わせ使用して、外部ゲイン制御を可能にする情報を提供します。デクリメント・ゲイン・インジケータと粗調整上側スレッシュホールド・ビットは協調動作し、入力振幅が+粗調整上側スレッシュホールド・レジスタ(アドレス 0x105)内の 3 ビット値より大きくなるとアサートされます。インクリメント・ゲイン・インジケータは、同様に微調整下側スレッシュホールド・ビットに対応しますが、入力振幅が微調整下側スレッシュホールド・レジスタに設定された値を下回ってからドウェル時間が経過した後にアサートされる点が異なります。ドウェル時間はアドレス 0x10A とアドレス 0x10B にある 16 ビットのドウェル時間値により設定され、1~65,535 の ADC 入力クロック・サイクル数で設定されます。微調整下側スレッシュホールド

ド・レジスタは、ADC の出力で振幅と比較される 13 ビット・レジスタです。この比較には、ADC クロック・レイテンシが発生しますが、細かい精確な比較が可能です。微調整上側スレッシュホールド振幅は次式で決定されます。

$$dBFS = 20 \log(\text{スレッシュホールド振幅} \cdot 2^{13})$$

デクリメント・ゲイン出力は ADC 高速検出出力ピンを使って動作し、オーバーレンジ状態が発生する可能性を高速表示します。インクリメント・ゲインでは ADC 出力での比較を使うため、入力振幅が正確に設定されたレベルを所定の時間下回った後に、始めて外付け回路にゲイン増加を通知します。

インクリメント・ゲイン出力とデクリメント・ゲイン出力の動作を図 75 に示します。



*C_UT AND F_UT DIFFER ONLY IN ACCURACY AND LATENCY.

NOTE: OUTPUTS FOLLOW THE INSTANTANEOUS SIGNAL LEVEL AND NOT THE ENVELOPE BUT ARE GUARANTEED ACTIVE FOR A MINIMUM OF 2 ADC CLOCK CYCLES.

図 75.C_UT、F_UT、F_LT、DG、IG のスレッシュホールド設定

信号モニター

信号モニター・ブロックは、ADC によりデジタル化される信号についての追加情報を提供します。信号モニター機能は、rms 入力振幅、ピーク振幅、および/または特定のスレッショルドを超えた振幅のサンプル数を計算します。これらの機能を組み合わせて使うと、信号特性に対する洞察が得られ、さらにピーク/平均比や入力信号の相補累積分布関数(CCDF)のカーブ形状さえも予測できます。この情報を使って、AGC ループを駆動して、実際の信号のもとで ADC 範囲を最適化することもできます。

信号モニター値は、SPI ポートまたは信号モニターSPORT 出力を使ってアドレス 0x116~アドレス 0x11B にある内部レジスタを読み出すことにより、取得することができます。SPI からアクセス可能な信号モニター・レジスタの出力値は、信号モニター・コントロール・レジスタ(アドレス 0x112)にある 2 ビットの信号モニター・モード・ビットを使って設定されます。両 ADC チャンネルは、同じ信号モニター・モードに設定する必要があります。各 ADC チャンネルに対して、SPI からアクセス可能な別の 20 ビット信号モニター・リザルト(SMR)レジスタも用意されています。信号モニター機能の任意の組み合わせも、シリアル SPORT インターフェースを介して出力することができます。これらの出力は、信号モニターSPORT コントロール・レジスタ(アドレス 0x111)内にあるピーク検出器出力イネーブル、rms 振幅出力イネーブル、スレッショルド交差出力イネーブル・ビットを使ってイネーブルされます。

各信号モニターの計測時間は、プログラマブルな信号モニター時間レジスタ(SMPR)により制御されます。この時間は、アドレス 0x113、アドレス 0x114、アドレス 0x115 にある 24 ビットの信号モニター時間レジスタに入力クロック・サイクル数で設定します。このレジスタは、128 サンプル~1678 (2^{24})万サンプルの範囲で設定することができます。

ADC の DC オフセットが目にする信号より大幅に大きくなることがあるため(信号モニターの結果に影響を与えます)、電力を測定する前に DC オフセットを除去する DC 補正回路が信号モニター・ブロックに含まれています。

ピーク検出器モード

入力ポート信号の振幅は、プログラマブルな時間(SMPR により指定)の間モニターされてピーク値が検出されます。この機能をイネーブルするときは、信号モニター・コントロール・レジスタの信号モニター・モード・ビットをロジック 1 に設定するか、または信号モニターSPORT コントロール・レジスタのピーク検出器出力イネーブル・ビットをセットします。このモードを開始する前に、24 ビットの SMPR を設定する必要があります。

このモードをイネーブルすると、SMPR の値がモニター時間タイマーにロードされ、カウントダウンが開始されます。入力信号の振幅が内部ピーク・レベル保持レジスタ(ユーザーからアクセスできません)の値と比較され、2 つの内大きい方が現在のピーク・レベルとして更新されます。ピーク・レベル保持レジスタの初期値は、現在の ADC 入力信号振幅に設定されます。この比較は、モニター時間タイマーの値が 1 に到達するまで続きます。

モニター時間タイマー値が 1 に到達すると、13 ビットのピーク・レベル値が信号モニター保持レジスタ(ユーザーからアクセスできません)へ転送されます。このレジスタは SPI ポートから読み出すか、または SPORT シリアル・ポートを経由して出力することができます。モニター時間タイマーには SMPR の値が再ロードされて、カウントダウンが再開されます。さらに、ピーク・レベル保持レジスタ内で最初の入力サンプルの振幅が更新され、前述のように比較と更新が続きます。

図 76 にピーク検出器ロジックのブロック図を示します。SMR レジスタには、ピーク検出器ロジックにより検出されたピークの絶対振幅が格納されます。

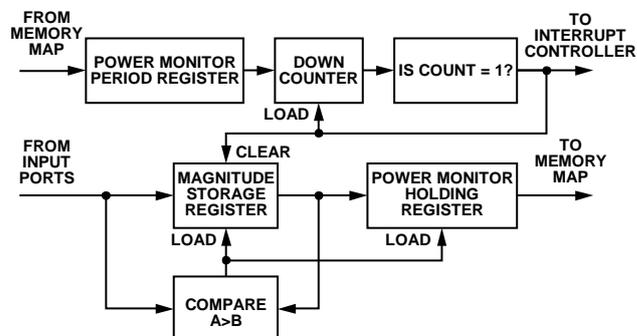


図 76.ADC 入力ピーク検出器のブロック図

RMS/MS 振幅モード

このモードでは、入力ポート信号の実効値(rms)または二乗平均(ms)振幅がプログラマブルな時間(SMPR により指定)だけ積分され(アキュムレータに加算)て、入力信号の rms 振幅または ms 振幅が計算されます。このモードを設定するときは、信号モニター・コントロール・レジスタの信号モニター・モード・ビットにロジック 0 を設定するか、信号モニターSPORT コントロール・レジスタの rms 振幅出力イネーブル・ビットをセットします。このモードを開始する前に、積分時間を指定する 24 ビットの SMPR を設定する必要があります。

rms/ms 振幅モードをイネーブルすると、SMPR の値がモニター周期タイマーにロードされ、カウントダウンが開始されます。各入力サンプルは浮動小数フォーマット変換されて二乗されます。次に 11 ビットの固定小数フォーマットに変換されて、24 ビット・アキュムレータの値に加算されます。積分は、モニター時間タイマー値が 1 になるまで続きます。

モニター時間タイマー値が 1 に到達すると、アキュムレータ値の平方根をとり(フォーマットした後に)信号モニター保持レジスタへ転送されます。このレジスタは SPI ポートから読み出すか、または SPORT シリアル・ポートを介して出力することができます。モニター時間タイマーには SMPR の値が再ロードされて、カウントダウンが再開されます。さらに、アキュムレータ内で最初の入力サンプル信号が更新され、後続入力サンプルに対してアキュムレートが続きます。図 77 に、rms 振幅モニター・ロジックを示します。

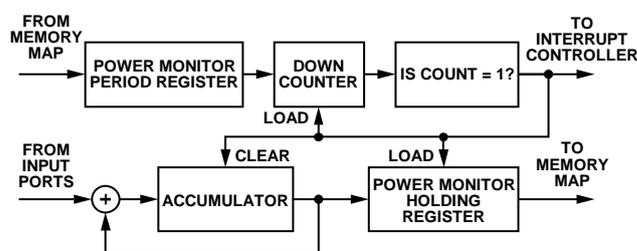


図 77.ADC 入力 RMS 振幅モニターのブロック図

rms 振幅モードに対して、信号モニター・リザルト(SMR)レジスタの値は 20 ビットの固定小数値です。次式を使って、レジスタ内の MAG 値から rms 振幅を dBFS 値で求めることができます。信号モニター周期(SMP)が 2 の累乗の場合は、式の 2 項目は 0 になることに注意してください。

$$RMS\ Magnitude = 20 \log \left(\frac{MAG}{2^{20}} \right) - 10 \log \left[\frac{SMP}{2^{ceil[\log_2(SMP)]}} \right]$$

ms 振幅モードに対して、SMR の値は 20 ビットの固定小数値です。次式を使って、レジスタ内の MAG 値から ms 振幅を dBFS 値で求めることができます。SMP が 2 の累乗の場合は、式の 2 項目は 0 になることに注意してください。

$$MS\ Magnitude = 10 \log \left(\frac{MAG}{2^{20}} \right) - 10 \log \left[\frac{SMP}{2^{ceil[\log_2(SMP)]}} \right]$$

スレッシュホールド交差モード

スレッシュホールド交差動作モードでは、入力ポート信号の振幅が、プログラマブルな時間だけ(SMPR により指定)モニターされて所定のプログラマブル・スレッシュホールド値を通過する回数がカウントされます。このモードを設定するときは、信号モニター・コントロール・レジスタの信号モニター・モード・ビットにロジック 1x (x は don't care ビット)を設定するか、信号モニターSPORT コントロール・レジスタのスレッシュホールド交差出力イネーブル・ビットをセットします。このモードを開始する前に、24 ビットの SMPR と各入力ポートの 13 ビットの上側スレッシュホールド・レジスタを設定する必要があります。同じ上側スレッシュホールド・レジスタが信号モニターとゲイン制御に使われます(ADC オーバーレンジとゲインの制御のセクション参照)。

このモードに入ると、SMPR の値がモニター周期タイマーにロードされ、カウントダウンが開始されます。入力信号の振幅が各入力クロック・サイクルで上側スレッシュホールド・レジスタ(前に設定)と比較されます。入力信号の振幅が上側スレッシュホールド・レジスタより大きい場合、内部カウント・レジスタが 1 だけインクリメントされます。内部カウント・レジスタの初期値は 0 に設定されます。この比較と内部カウント・レジスタのインクリメントはモニター時間タイマー値が 1 に到達するまで続きます。

モニター時間タイマー値が 1 に到達すると、内部カウント・レジスタ値が信号モニター保持レジスタに転送されます。このレジスタは SPI ポートから読み出すか、または SPORT シリアル・インターフェースを経由して出力することができます。

モニター時間タイマーには SMPR の値が再ロードされて、カウントダウンが再開されます。内部カウント・レジスタも 0 にクリアされます。図 78 に、スレッシュホールド交差ロジックを示します。SMR レジスタ値は、スレッシュホールド・レジスタより大きい振幅を持つサンプルの数です。

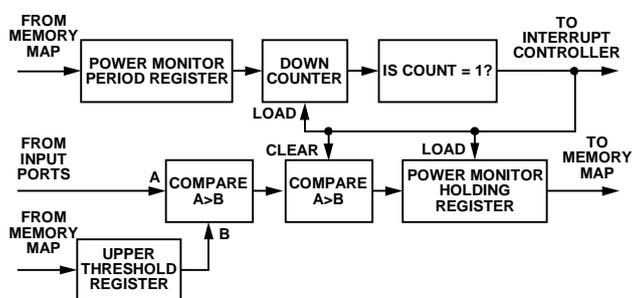


図 78. ADC 入力スレッシュホールド交差のブロック図

その他のコントロール・ビット

信号モニター処理で柔軟性を強化するため、コントロール・ビットが信号モニター・コントロール・レジスタに 2 ビット追加されています。この 2 ビットは、信号モニター・イネーブル・ビットと複素電力計算モード・イネーブル・ビットです。

信号モニター・イネーブル・ビット

レジスタ 0x112 のビット 0 にある信号モニター・イネーブル・ビットは、信号モニター・ブロックの動作をイネーブルします。アプリケーションで信号モニター機能を使用しない場合は、このビットをクリアすると消費電力を節約できます。

複素電力計算モード・イネーブル・ビット

このビットをセットすると、複素数入力信号チャンネル A が I データを、チャンネル B が Q データを、それぞれデジタル化するものとデバイスが判断します(逆の場合も同じ)。このモードでは、報告される電力は次の値になります。

$$\sqrt{I^2 + Q^2}$$

信号モニター・モード・ビットが 00 に設定されている場合、この結果が信号モニター DC 値チャンネル A レジスタに表示されます。信号モニター DC 値チャンネル B レジスタは、チャンネル B の値の計算を続けます。

DC 補正

ADC の DC オフセットが測定する信号より大幅に大きくなることもあるため、電力を測定する前に DC オフセットを除去する DC 補正回路が信号モニター・ブロックに含まれています。DC 補正回路はメイン信号パスに挿入するように切り替えることができますが、大きな DC 成分を持つ時間変化する、GSM のような信号を ADC がデジタル化する場合には、これは適切ではありません。

DC 補正帯域幅

DC 補正回路は、プログラマブルな帯域幅(125 MSPS で 0.15 Hz ~ 1.2 kHz の範囲)を持つハイパス・フィルタです。この帯域幅を制御するときは、レジスタ 0x10C にある 4 ビットの DC 補正コントロール・レジスタ(ビット[5:2])に書き込みを行います。次式を使って、DC 補正回路の帯域幅値を計算することができます。

$$DC_Corr_BW = 2^{-k-14} \times \frac{f_{CLK}}{2 \times \pi}$$

ここで、 k はレジスタ 0x10C のビット[5:2]に書き込む 4 ビット値(k 値は 0 ~ 13。14 または 15 を書き込むと、13 を書き込んだ場合と同じ結果になります)。

f_{CLK} は AD6655 ADC のサンプル・レート(Hz)。

DC 補正のリードバック

レジスタ 0x10D とレジスタ 0x10E からはチャンネル A の、レジスタ 0x10F とレジスタ 0x110 からはチャンネル B の、DC 補正值をそれぞれ現在リードバックすることができます。DC 補正值は ADC の全入力範囲をカバーできる 14 ビット値です。

DC 補正のフリーズ

レジスタ 0x10C のビット 6 をセットすると、DC 補正を現在の状態にフリーズして、直前に更新した値を DC 補正值として使い続けます。このビットをクリアすると、DC 補正を再起動して、現在計算した値をデータに加算します。

DC 補正イネーブル・ビット

レジスタ 0x10C のビット 0 をセットすると、信号モニター計算で使用できるように DC 補正がイネーブルされます。レジスタ 0x10C のビット 1 をセットすると、計算された DC 補正值を出力データ信号パスに加算することができます。

信号モニター-SPORT 出力

SPORT は、SMI SCLK (SPORT クロック)、SMI SDFS (SPORT フレーム同期)、SMI SDO (SPORT データ出力)の 3 本の出力ピンを持つシリアル・インターフェースです。SPORT はマスターであるため、チップ上の 3 本のすべての SPORT 出力ピンを駆動します。

SMI SCLK

データとフレーム同期は、SMI SCLK の正のエッジで駆動されます。SMI SCLK は、SPORT の制御に基づいて、ADC クロック・レートの 1/2、1/4 または 1/8 の 3 種類のポー・レートが可能です。データを送信しないとき、SPORT SMI SCLK スリープ・ビットに基づいて SMI SCLK をゲーティングして除くことができます。SMI SCLK を使用しないときにこのビットを使って SMI SCLK をディスエーブルすると、信号パスに混入する誤差がシステムにとって問題となるとき、この誤差を少なくすることができます。ただし、これを行うとクロックの周波数成分を分散させる欠点を持つことになります。必要に応じて、周波数プランを容易に

するため SMI SCLK をフリー・ランニングさせておくことができます。

SMI SDFS

SMI SDFS はシリアル・データ・フレーム同期であり、フレームの開始を指定します。1 個の SPORT フレームには、両データバスからのデータが含まれます。データバス A のデータはフレーム同期の直後に送信され、その後ろにデータバス B のデータが続きます。

SMI SDO

SMI SDO はこのブロックのシリアル・データ出力です。データは、SMI SDFS の後ろの次の正のエッジで MSB ファーストで送信されます。各データ出力ブロックには、1 個または複数の rms 振幅、ピーク・レベル、各データバスのスレッショルド交差値がこの順序で含まれます。イネーブルすると、rms を先頭とし、その後ろにピークとスレッショルドが続いて送信されます(図 79 参照)。

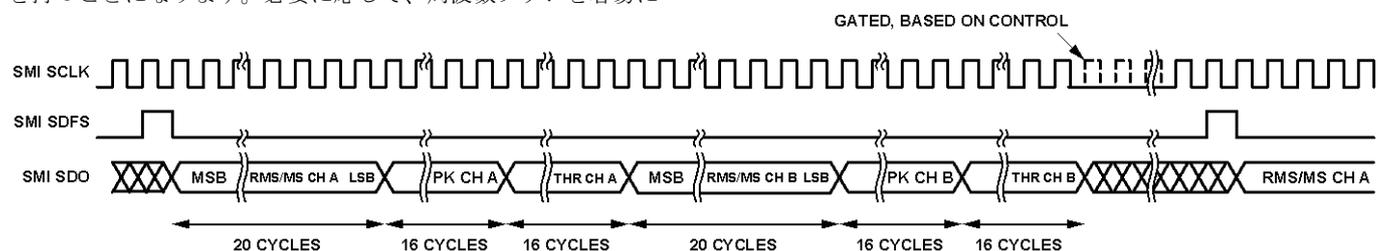


図 79.信号モニター-SPORT 出力のタイミング(RMS、ピーク、スレッショルドをイネーブル)

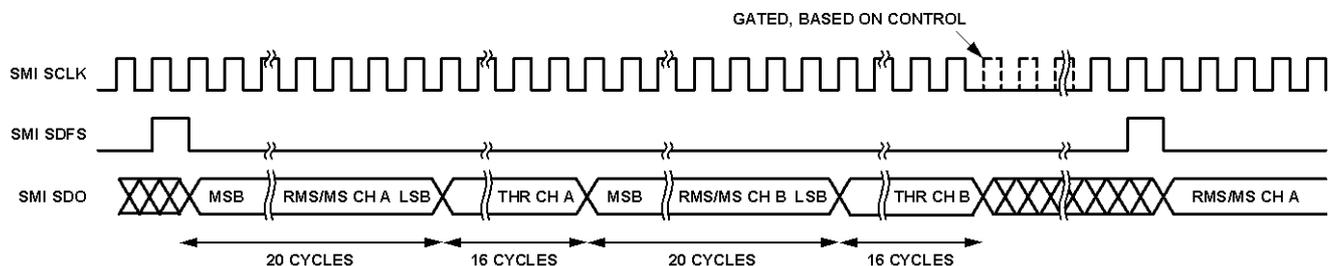


図 80.信号モニター-SPORT 出力のタイミング(RMS とスレッショルドをイネーブル)

チャンネル/チップ同期

AD6655 は、内部ブロックを同期化するための柔軟な同期化オプションを可能にする SYNC 入力を持っています。同期機能は、複数の ADC 間の同期動作を確実に行うときに便利です。同期入力を使うと、入力クロック分周器、NCO、ハーフバンド・フィルタ、信号モニター・ブロックを同期化することができます。信号モニターを除くこれらの各ブロックをイネーブルして、同期信号が 1 回または毎回発生するごとに同期させることができます。

同期入力は内部でサンプル・クロックに同期化されます。ただし、複数のデバイス間でタイミングの不確実性が発生しないようにするために、同期入力信号を入力クロック信号に同期化する必要があります。同期入力は、シングルエンドの CMOS タイプ信号を使って駆動する必要があります。

シリアル・ポート・インターフェース(SPI)

AD6655 シリアル・ポート・インターフェース(SPI)を使うと、ADC 内部に用意されている構造化されたレジスタ・スペースを介してコンバータの特定の機能または動作を設定することができます。SPI は、アプリケーションに応じて、柔軟性とカスタマイゼーションを強化します。シリアル・ポートを介してアドレスがアクセスされ、ポートを介して読み書きすることができます。メモリは、バイトで構成されており、さらにフィールドに分割できます。これらのフィールドは、メモリ・マップのセクションに記載します。詳細については、アプリケーション・ノート AN-877、「*Interfacing to High Speed ADCs via SPI*」を参照してください。

SPI を使う設定

この ADC の SPI は、SCLK/DFS ピン、SDIO/DCS ピン、CSB ピンの 3 本のピンにより定義されます(表 26 参照)。SCLK/DFS (シリアル・クロック)ピンは、ADC に対する読み出し/書き込みデータの同期に使用されます。SDIO/DCS (シリアル・データ入力/出力)ピンは 2 つの機能で共用されるピンであり、内部 ADC メモリ・マップ・レジスタに対するデータの送受信に使われます。CSB (チップ・セレクト・バー)はアクティブ・ローのコントロール信号であり、書き込みサイクルと書き込みサイクルをイネーブル/ディスエーブルします。

表 26. シリアル・ポート・インターフェース・ピン

Pin	Function
SCLK	Serial Clock. The serial shift clock input, which is used to synchronize serial interface reads and writes.
SDIO	Serial Data Input/Output. A dual-purpose pin that typically serves as an input or an output, depending on the instruction being sent and the relative position in the timing frame.
CSB	Chip Select Bar. An active-low control that gates the read and write cycles.

CSB の立ち下がりエッジと SCLK の立ち上がりエッジの組み合わせにより、フレームの開始が指定されます。シリアル・タイミングの例とその定義を図 81 と表 9 に示します。

CSB を使用するその他のモードもあります。CSB はロー・レベルに固定することができ、これによりデバイスが常時イネーブルされます。これはストリーミングと呼ばれます。CSB をバイト間でハイ・レベルに維持して外部タイミングを延ばすことができます。CSB をハイ・レベルに固定すると、SPI 機能は高インピーダンス・モードになります。このモードではすべての SPI ピンは 2 つ目の機能になります。

命令フェーズでは、16 ビット命令が送信されます。命令フェーズの後ろにはデータが続き、長さは W0 ビットと W1 ビットにより指定されます。

すべてのデータは 8 ビット・ワードで構成されます。シリアル・データの各バイトの先頭ビットは、発行されているのが読み出しコマンドまたは書き込みコマンドのいずれであるかを表示します。これにより、シリアル・データ入力/出力(SDIO)ピンが入力と出力との間で方向を変えることができます。

命令フェーズでは、ワード長の他に、シリアル・フレームが読み出し動作または書き込み動作のいずれであるかを指定します。これにより、シリアル・ポートをチップへの書き込みまたは内蔵メモリ値の読み出しに使うことができます。命令がリードバック動作の場合、リードバックを実行すると、シリアル・データ入力/出力(SDIO)ピンの方向がシリアル・フレーム内の該当するポイントで入力から出力へ変わります。

データは、MSB ファースト・モードまたは LSB ファースト・モードで送信することができます。MSB ファーストはパワーアップ時のデフォルトであり、SPI ポート設定レジスタを使って変更することができます。詳細については、www.analog.com のアプリケーション・ノート AN-877「*Application Note AN-877, Interfacing to High Speed ADCs via SPI*」を参照してください。

ハードウェア・インターフェース

表 26 に示すピンにより、ユーザー書き込みデバイスと AD6655 のシリアル・ポートとの間の物理インターフェースが構成されています。SCLK ピンと CSB ピンは、SPI インターフェースを使用するときは入力として機能します。SDIO ピンは双方向で、書き込みフェーズでは入力として、リードバック時は出力として、それぞれ機能します。

SPI インターフェースは、FPGA またはマイクロコントローラから制御できるように十分な柔軟性を持っています。SPI 設定の一方法は、アプリケーション・ノート AN-812「*Microcontroller-Based Serial Port Interface (SPI) Boot Circuit*」に記載してあります。

コンバータのフル・ダイナミック性能が必要な区間には、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと AD6655 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。

SPI インターフェースを使用しない場合には、幾つかのピンは他の機能に使用されます。デバイス・パワーオン時にピンを AVDD またはグラウンドに接続すると、それらのピンは特定の機能として使われます。デジタル出力のセクションに、AD6655 でサポートしているストラップ接続可能な機能を示します。

SPI を使わない設定

SPI コントロール・レジスタにインターフェースしないアプリケーションでは、SDIO/DCS ピン、SCLK/DFS ピン、SMI SDO/OEB ピン、SMI SCLK/PDWN ピンは、独立した CMOS 互換のコントロール・ピンとして機能します。デバイスがパワーアップすると、ピンはデューティ・サイクル・スタビライザ、出力データ・フォーマット、出力イネーブル、パワーダウン機能制御用のスタティック・コントロール・ラインとして使用されるものと見なされます。このモードでは、CSB チップ・セレクトを AVDD に接続する必要があります。この接続により、シリアル・ポート・インターフェースがディスエーブルされます。

表 27. モードの選択

Pin	External Voltage	Configuration
SDIO/DCS	AVDD (default)	Duty cycle stabilizer enabled
	AGND	Duty cycle stabilizer disabled
SCLK/DFS	AVDD	Twos complement enabled
	AGND (default)	Offset binary enabled
SMI SDO/OEB	AVDD	Outputs in high impedance
	AGND (default)	Outputs enabled
SMI SCLK/PDWN	AVDD	Chip in power-down or standby
	AGND (default)	Normal operation

SPI からアクセス可能な機能

表 28 に、SPI からアクセスできる一般的な機能の簡単な説明を示します。これらの機能は、アプリケーション・ノート AN-877 「*Interfacing to High Speed ADCs via SPI*」で詳しく説明しています (www.analog.com 参照)。AD6655 デバイスに固有な機能はメモリ・マップ・レジスタの説明のセクションで説明します。

表 28. SPI を使ってアクセスできる機能

Feature Name	Description
Mode	Allows the user to set either power-down mode or standby mode
Clock	Allows the user to access the DCS via the SPI
Offset	Allows the user to digitally adjust the converter offset
Test I/O	Allows the user to set test modes to have known data on output bits
Output Mode	Allows the user to set up outputs
Output Phase	Allows the user to set the output clock polarity
Output Delay	Allows the user to vary the DCO delay
VREF	Allows the user to set the reference voltage

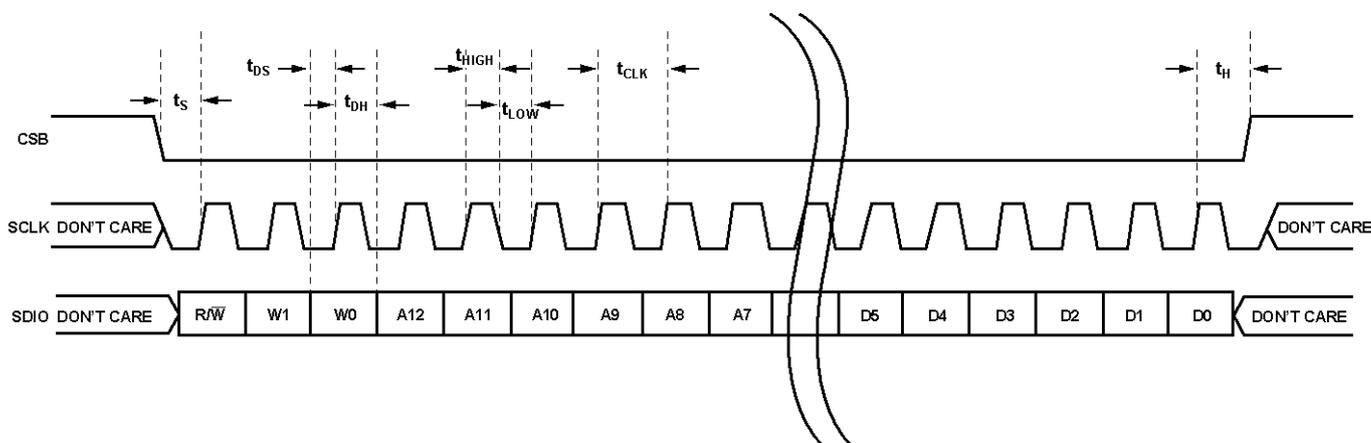


図 81. シリアル・ポート・インターフェースのタイミング図

06709-079

メモリ・マップ

メモリ・マップ・レジスタ・テーブルの読み出し

メモリ・マップ・レジスタ・テーブル内の各行には 8 ビットのロケーションがあります。メモリ・マップは大まかに、チップ設定レジスタ(アドレス 0x00 ~ アドレス 0x02)、チャンネル・インデックスおよび転送レジスタ(アドレス 0x05 とアドレス 0xFF)、ADC 機能レジスタ・セットアップ、コントロール、テストを含む(アドレス 0x08 ~ アドレス 0x18)、デジタル機能コントロール・レジスタ(アドレス 0x100 ~ アドレス 0x123)の 4 つのセクションに分かれています。

メモリ・マップ・レジスタ・テーブル(表 29 参照)には、各 16 進アドレスに対するデフォルトの 16 進値が記載してあります。先頭ビット 7 (MSB)の列は、デフォルト 16 進値の開始になります。たとえば、アドレス 0x18 の VREF セレクト・レジスタは、16 進デフォルト値 0xC0 を持ちます。これは、ビット 7 = 1、ビット 6 = 1、残りのビットはすべて 0 であることを意味します。この設定は、デフォルトのリファレンス選択の設定です。このデフォルト値は、2.0 V p-p リファレンスを使用しています。この機能およびその他の詳細については、アプリケーション・ノート AN-877「*Interfacing to High Speed ADCs via SPI*」を参照してください。このドキュメントでは、レジスタ 0x00 ~ レジスタ 0xFF により制御される機能を詳しく説明しています。残りのレジスタレジスタ 0x100 ~ レジスタ 0x123 については、メモリ・マップ・レジスタの説明のセクションを参照してください。

未使用ロケーション

表 29 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスではサポートされていないロケーションです。有効アドレス・ロケーションの未使用ビットには 0 を書き込む必要があります。アドレス・ロケーションの一部が未使用の場合にのみ、これらのロケーションへの書き込みが必要です(たとえばアドレス 0x18)。アドレス・ロケーション全体が未使用の場合(たとえばアドレス 0x13)、このアドレス・ロケーションに対しては書き込みを行わないでください。

デフォルト値

AD6655 のリセット後、クリティカルなレジスタにはデフォルト値がロードされます。レジスタのデフォルト値は、メモリ・マップ・レジスタ・テーブル(表 29)に記載してあります。

ロジック・レベル

ロジック・レベルは次のように定義します。

- 「ビットをセットする」は、「ビットをロジック 1 に設定する」または「ビットにロジック 1 を書き込む」と同じ意味です。
- 「ビットをクリアする」は、「ビットをロジック 0 に設定する」または「ビットにロジック 0 を書き込む」と同じ意味です。

転送レジスタ・マップ

アドレス 0x08 ~ アドレス 0x18 とアドレス 0x11E ~ アドレス 0x123 はシャドウされます。これらのアドレスに書き込みを行っても、アドレス 0xFF に 0x01 を書き込んで転送コマンドが発行されて、転送ビットがセットされるまで、デバイスの動作に反映されません。この動作により、転送ビットがセットされたときに、これらのレジスタが内部で同時に更新されるようになります。内部更新は転送ビットがセットされたときに実行され、ビットは自動的にクリアされます。

チャンネル固有のレジスタ

信号モニター・スレッシュホールドのような幾つかのチャンネル・セットアップ機能は、各チャンネルごとに異なる設定が可能です。

これらの場合、チャンネル・アドレス・ロケーションは、内部で各チャンネルにコピーされます。これらのレジスタとビットは、表 29 でローカルと表示されています。これらのローカル・レジスタとビットをアクセスするときは、レジスタ 0x05 内の該当するチャンネル A またはチャンネル B ビットをセットします。両ビットがセットされている場合は、後続の書き込みは両チャンネルのレジスタに対して行われます。読み出しサイクルでは、チャンネル A またはチャンネル B の一方のみをセットして、2 つのレジスタの内の 1 つを読み出す必要があります。SPI 読み出しサイクルで両ビットがセットされていると、デバイスはチャンネル A の値を返します。表 29 でグローバルと表示されているレジスタとビットは、デバイス全体またはチャンネル間に独立な設定が許容されていないチャンネル機能に対して有効です。レジスタ 0x05 内の設定は、グローバルなレジスタとビットに影響を与えません。

メモリ・マップ・レジスタ・テーブル

表 29 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスではサポートされていないロケーションです。

表 29.メモリ・マップ・レジスタ

Addr. (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
Chip Configuration Registers											
0x00	SPI Port Configuration (Global)	0	LSB first	Soft reset	1	1	Soft reset	LSB first	0	0x18	The nibbles are mirrored so that LSB-first or MSB-first mode registers correctly, regardless of shift mode
0x01	Chip ID (Global)	8-bit Chip ID[7:0] (AD6655 = 0x0D) (default)								0x0D	Default is unique chip ID, different for each device; this is a read-only register
0x02	Chip Grade (Global)	Open	Open	Speed Grade ID[4:3] 00 = 150 MSPS 01 = 125 MSPS 10 = 105 MSPS 11 = 80 MSPS		Open	Open	Open	Open		Speed grade ID used to differentiate devices; this is a read-only register
Channel Index and Transfer Registers											
0x05	Channel Index	Open	Open	Open	Open	Open	Open	Data Channel B (default)	Data Channel A (default)	0x03	Bits are set to determine which device on chip receives the next write command; applies to local registers
0xFF	Transfer	Open	Open	Open	Open	Open	Open	Open	Transfer	0x00	Synchronously transfers data from the master shift register to the slave
ADC Function Registers											
0x08	Power Modes	Open	Open	External power-down pin function (global) 0 = pdwn 1 = stndby	Open	Open	Open	Internal power-down mode (local) 00 = normal operation 01 = full power-down 10 = standby 11 = normal operation		0x00	Determines various generic modes of chip operation
0x09	Global Clock (Global)	Open	Open	Open	Open	Open	Open	Open	Duty cycle stabilize (default)	0x01	
0x0B	Clock Divide (Global)	Open	Open	Open	Open	Open	Clock divide ratio 000 = divide by 1 001 = divide by 2 010 = divide by 3 011 = divide by 4 100 = divide by 5 101 = divide by 6 110 = divide by 7 111 = divide by 8			0x00	Clock divide values other than 000 automatically activate duty cycle stabilization

Addr. (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
0x0D	Test Mode (Local)	Open	Open	Reset PN long sequence	Reset PN short sequence	Open		Output test mode 000 = off (default) 001 = midscale short 010 = positive FS 011 = negative FS 100 = alternating checkerboard 101 = PN long sequence 110 = PN short sequence 111 = one/zero word toggle	0x00	When enabled, the test data is placed on the output pins in place of ADC output data	
0x10	Offset Adjust (Local)	Open	Open	Offset adjust in LSBs from +31 to -32 (twos complement format)						0x00	
0x14	Output Mode	Drive strength 0 V to 3.3 V CMOS or ANSI LVDS; 1 V to 1.8 V CMOS or reduced LVDS (global)	Output type 0 = CMOS 1 = LVDS (global)	Interleaved CMOS (global)	Output enable bar (local)	Open	Output invert (local)	00 = offset binary 01 = twos complement 01 = gray code 11 = offset binary (local)	0x00	Configures the outputs and the format of the data	
0x16	Clock Phase Control (Global)	Invert DCO clock	Open	Open	Open	Open	Input clock divider phase adjust 000 = no delay 001 = 1 input clock cycle 010 = 2 input clock cycles 011 = 3 input clock cycles 100 = 4 input clock cycles 101 = 5 input clock cycles 110 = 6 input clock cycles 111 = 7 input clock cycles	0x00	Allows selection of clock delays into the input divider		
0x17	DCO Output Delay (Global)	Open	Open	Open	DCO clock delay (delay = 2500 ps × register value/31) 00000 = 0 ps 00001 = 81 ps 00010 = 161 ps ... 11110 = 2419 ps 11111 = 2500 ps				0x00		
0x18	VREF Select (Global)	Reference voltage selection 00 = 1.25 V p-p 01 = 1.5 V p-p 10 = 1.75 V p-p 11 = 2.0 V p-p (default)		Open	Open	Open	Open	Open	Open	0xC0	
Digital Feature Control Registers											
0x100	Sync Control (Global)	Signal monitor sync enable	Half-band next sync only	Half-band sync enable	NCO32 next sync only	NCO32 sync enable	Clock divider next sync only	Clock divider sync enable	Master sync enable	0x00	
0x101	f _s /8 Output Mix Control (Global)	Open	Open	f _s /8 start state		Open	Open	f _s /8 next sync only	f _s /8 sync enable	0x00	
0x102	FIR Filter and Output Mode Control (Global)	Open	Open	Open	Open	FIR gain 0 = gain of 2 1 = gain of 1	f _s /8 output mix disable	Complex output enable	FIR filter enable	0x00	
0x103	Digital Filter Control (Global)	Open	Open	Open	Open	Half-band decimation phase	Spectral reversal	High-pass/low-pass select	Open	0x01	

Addr. (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
0x104	Fast Detect Control (Local)	Open	Open	Open	Open	Fast Detect Mode Select[2:0]			Fast detect enable	0x00	
0x105	Coarse Upper Threshold (Local)	Open	Open	Open	Open	Open	Coarse Upper Threshold[2:0]			0x00	
0x106	Fine Upper Threshold Register 0 (Local)	Fine Upper Threshold[7:0]								0x00	
0x107	Fine Upper Threshold Register 1 (Local)	Open	Open	Open	Fine Upper Threshold[12:8]					0x00	
0x108	Fine Lower Threshold Register 0 (Local)	Fine Lower Threshold[7:0]								0x00	
0x109	Fine Lower Threshold Register 1 (Local)	Open	Open	Open	Fine Lower Threshold[12:8]					0x00	
0x10A	Increase Gain Dwell Time Register 0 (Local)	Increase Gain Dwell Time[7:0]								0x00	In ADC clock cycles
0x10B	Increase Gain Dwell Time Register 1 (Local)	Increase Gain Dwell Time[15:8]								0x00	In ADC clock cycles
0x10C	Signal Monitor DC Correction Control (Global)	Open	DC correction freeze	DC Correction Bandwidth(k:[3:0])				DC correction for signal path enable	DC correction for signal monitor enable	0x00	
0x10D	Signal Monitor DC Value Channel A Register 0 (Global)	DC Value Channel A[7:0]									Read only
0x10E	Signal Monitor DC Value Channel A Register 1 (Global)	Open	Open	DC Value Channel A[13:8]						Read only	
0x10F	Signal Monitor DC Value Channel B Register 0 (Global)	DC Value Channel B[7:0]									Read only
0x110	Signal Monitor DC Value Channel B Register 1 (Global)	Open	Open	DC Value Channel B[13:8]						Read only	
0x111	Signal Monitor SPORT Control (Global)	Open	RMS magnitude output enable	Peak detector output enable	Threshold crossing output enable	SPORT SMI SCLK divide 00 = Undefined 01 = divide by 2 10 = divide by 4 11 = divide by 8		SPORT SMI SCLK sleep	Signal monitor SPORT output enable	0x04	

Addr. (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
0x112	Signal Monitor Control (Global)	Complex power calculation mode enable	Open	Open	Open	Signal monitor rms/ms select 0 = rms 1 = ms	Signal monitor mode 00 = rms/ms magnitude 01 = peak detector 10 = threshold crossing 11 = threshold crossing		Signal monitor enable	0x00	
0x113	Signal Monitor Period Register 0 (Global)	Signal Monitor Period[7:0]								0x80	In ADC clock cycles
0x114	Signal Monitor Period Register 1 (Global)	Signal Monitor Period[15:8]								0x00	1 In ADC clock cycles
0x115	Signal Monitor Period Register 2 (Global)	Signal Monitor Period[23:16]								0x00	In ADC clock cycles
0x116	Signal Monitor Result Channel A Register 0 (Global)	Signal Monitor Result Channel A[7:0]									Read only
0x117	Signal Monitor Result Channel A Register 1 (Global)	Signal Monitor Result Channel A[15:8]									Read only
0x118	Signal Monitor Result Channel A Register 2 (Global)	Open	Open	Open	Open	Signal Monitor Result Channel A[19:16]					Read only
0x119	Signal Monitor Result Channel B Register 0 (Global)	Signal Monitor Result Channel B[7:0]									Read only
0x11A	Signal Monitor Result Channel B Register 1 (Global)	Signal Monitor Result Channel B[15:8]									Read only
0x11B	Signal Monitor Result Channel B Register 2 (Global)	Open	Open	Open	Open	Signal Monitor Result Channel B[19:16]					Read only
0x11D	NCO Control (Global)	Open	Open	Open	Open	Open	NCO32 phase dither enable	NCO32 amplitude dither enable	NCO32 enable	0x00	
0x11E	NCO Frequency 0	NCO Frequency Value[7:0]								0x00	
0x11F	NCO Frequency 1	NCO Frequency Value[15:8]								0x00	
0x120	NCO Frequency 2	NCO Frequency Value[23:16]								0x00	
0x121	NCO Frequency 3	NCO Frequency Value[31:24]								0x00	
0x122	NCO Phase	NCO Phase Value[7:0]								0x00	

Addr. (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
	Offset 0										
0x123	NCO Phase Offset 1	NCO Phase Value[15:8]								0x00	

メモリ・マップ・レジスタの説明

レジスタ 0x00～レジスタ 0xFF で制御される機能の詳細については、アプリケーション・ノート AN-877「*Interfacing to High Speed ADCs via SPI*」(www.analog.com)を参照してください。

同期コントロール(レジスタ 0x100)

ビット 7—信号モニター同期イネーブル

ビット 7 は、外部同期入力から信号モニター・ブロックへの同期パルスをイネーブルします。同期信号は、ビット 7 とビット 0 がハイ・レベルのとき渡されます。これは連続同期モードです。

ビット 6—ハーフバンド次同期のみ

マスター同期イネーブル・ビット(レジスタ 0x100、ビット 0)とハーフバンド同期イネーブル・ビット(レジスタ 0x100、ビット 5)がハイ・レベルの場合、ビット 6 がセットされると、NCO32 は次の最初の受信同期パルスに同期し、後続は無視します。ビット 6 がセットされると、この同期の後レジスタ 0x100 のビット 5 がリセットされます。

ビット 5—ハーフバンド同期イネーブル

ビット 5 は、ハーフバンド・フィルタへの同期パルスをゲーティングします。ビット 5 がハイ・レベルに設定されると、同期信号はハーフバンドを再同期させ、レジスタ 0x103 のビット 3 で選択されたハーフバンド・デシメーション・フェーズを開始させます。マスター同期イネーブル・ビット(レジスタ 0x100、ビット 0)がハイ・レベルの場合にのみこの同期はアクティブになります。これは連続同期モードです。

ビット 4—NCO32 次同期のみ

マスター同期イネーブル・ビット(レジスタ 0x100、ビット 0)と NCO32 同期イネーブル・ビット(レジスタ 0x100、ビット 3)がハイ・レベルの場合、ビット 4 がセットされると、NCO32 は次の最初の受信同期パルスに同期し、後続は無視します。ビット 4 がセットされると、この同期の後レジスタ 0x100 のビット 3 がリセットされます。

ビット 3—NCO32 同期イネーブル

ビット 3 は、32 ビット NCO への同期パルスをゲーティングします。このビットがハイ・レベルに設定されると、同期信号は NCO を再同期させ、NCO フェーズのオフセット値から開始させます。マスター同期イネーブル・ビット(レジスタ 0x100、ビット 0)がハイ・レベルの場合にのみ、この同期はアクティブになります。これは連続同期モードです。

ビット 2—クロック分周器次同期のみ

マスター同期イネーブル・ビット(レジスタ 0x100、ビット 0)とクロック分周器同期イネーブル・ビット(レジスタ 0x100、ビット 1)がハイ・レベルの場合、ビット 2 がセットされると、クロック分周は次の最初の受信同期パルスに同期し、後続は無視します。同期後、レジスタ 0x100 のビット 1 はリセットされます。

ビット 1—クロック分周器同期イネーブル

ビット 1 は、クロック分周器への同期パルスをゲーティングします。同期信号は、ビット 1 とビット 0 がハイ・レベルのとき渡されます。これは連続同期モードです。

ビット 0—マスタ同期イネーブル

すべての同期機能をイネーブルするときは、ビット 0 をハイ・レベルにする必要があります。

f_s/8 出力ミックス・コントロール(レジスタ 0x101)

ビット [7:6]—予約済み

ビット [5:4]—f_s/8 スタート状態

ビット 5 とビット 4 は、f_s/8 出力ミックスの開始位相を設定します。

ビット [3:2]—予約済み

ビット 1—f_s/8 次同期のみ

マスター同期イネーブル・ビット(レジスタ 0x100、ビット 0)と f_s/8 同期イネーブル・ビット(レジスタ 0x101、ビット 0)がハイ・レベルの場合、ビット 1 がセットされると、f_s/8 出力ミックスは次の最初の受信同期パルスに同期し、後続は無視します。同期後、レジスタ 0x100 のビット 0 はリセットされます。

ビット 0—f_s/8 同期イネーブル

ビット 0 は、f_s/8 出力ミックスへの同期パルスをゲーティングします。マスター同期イネーブル・ビット(レジスタ 0x100、ビット 0)がハイ・レベルの場合にのみ、この同期はアクティブになります。これは連続同期モードです。

FIR フィルタおよび出力モード・コントロール(レジスタ 0x102)

ビット [7:4]—予約済み

ビット 3—FIR ゲイン

ビット 3 がハイ・レベルに設定されると、FIR フィルタ・パスがイネーブルされている場合、ゲインが 1 になります。ビット 3 がロー・レベルに設定されると、FIR フィルタ・パスのゲインは 2 になります。

ビット 2—f_s/8 出力ミックス・ディスエーブル

ビット 2 は、f_s/8 出力ミックスがイネーブルされていると、これをディスエーブルします。複素数出力モードをイネーブルするときは、ビット 2 とビット 1 をセットする必要があります。

ビット 1—複素数出力モード・イネーブル

ビット 1 をハイ・レベルにすると、複素数出力モードがイネーブルされます。

ビット 0—FIR フィルタ・イネーブル

ビット 0 をハイ・レベルにすると、FIR フィルタがイネーブルされます。ビット 0 をクリアすると、FIR フィルタがバイパスされて、省電力のためにシャットダウンします。

デジタル・フィルタ・コントロール(レジスタ 0x103)**ビット[7:4]—予約済み****ビット 3—ハーフバンド・デシメーション位相**

ビット 3 をハイ・レベルにすると、デシメーション・ハーフバンド・フィルタの別の位相が使われます。

ビット 2—スペクトル逆転

ビット 2 は、ハーフバンド・フィルタのスペクトル逆転機能をイネーブルします。

ビット 1—ハイパス/ローパス・セレクト

ビット 1 をハイ・レベルにすると、ハーフバンド・フィルタのハイパス・モードがイネーブルされます。このビットをロー・レベルにすると、ローパス・モードがイネーブルされます(デフォルト)。

ビット 0—予約済み

ビット 0 読み出すと、1 が返されます。

高速検出コントロール(レジスタ 0x104)**ビット[7:4]—予約済み****ビット[3:1]—高速検出モード・セレクト**

ビット[3:1]は、表 29 に従い高速検出出力ビットのモードを設定します。

ビット 0—高速検出イネーブル

ビット 0 を使って高速検出出力ピンをイネーブルします。FD 出力をディスエーブルすると、出力は高インピーダンス状態になります。LVDS モードでは、出力がインターリーブされると、両チャンネルがターンオフされたときのみ(パワーダウン/スタンバイ/出力ディスエーブル)、出力が高インピーダンスになります。一方のチャンネルのみターンオフされると(パワーダウン/スタンバイ/出力ディスエーブル)、高速検出出力はアクティブ・チャンネルのデータを繰り返します。

粗調整上側スレッシュホールド(レジスタ 0x105)**ビット[7:3]—予約済み****ビット[2:0]—粗調整上側スレッシュホールド**

これらのビットは、粗調整上側スレッシュホールド表示のアサートに必要とされるレベルを設定します(表 25 参照)。

微調整上側スレッシュホールド(レジスタ 0x106 とレジスタ 0x107)**レジスタ 0x107、ビット[7:5]—予約済み****レジスタ 0x107、ビット[4:0]—微調整上側スレッシュホールド・ビット[12:8]****レジスタ 0x106、ビット[7:0]—微調整上側スレッシュホールド・ビット[7:0]**

これらのレジスタは、微調整上限スレッシュホールドを提供します。13 ビットの値が、ADC ブロックからの 13 ビットの振幅と比較されます。ADC 振幅がこのスレッシュホールド値を超えると、F_{UT} インジケータがセットされます。

微調整下側スレッシュホールド(レジスタ 0x108 とレジスタ 0x109)**レジスタ 0x109、ビット[7:5]—予約済み****レジスタ 0x109、ビット[4:0]—微調整下側スレッシュホールド・ビット[12:8]****レジスタ 0x108、ビット[7:0]—微調整下側スレッシュホールド****ド・ビット[7:0]**

これらのレジスタは、微調整下限スレッシュホールドを提供します。13 ビットの値が、ADC ブロックからの 13 ビットの振幅と比較されます。ADC 振幅がこのスレッシュホールド値を下回ると、F_{LT} インジケータがセットされます。

インクリーズ・ゲイン・ドウル時間(レジスタ 0x10A とレジスタ 0x10B)**レジスタ 0x10B、ビット[7:0]—インクリーズ・ゲイン・ドウル時間ビット[15:8]****レジスタ 0x10A、ビット[7:0]—インクリーズ・ゲイン・ドウル時間ビット[7:0]**

これらのレジスタ値には、F_{LT} と IG がハイ・レベルにアサートされるまでに信号が微調整下側スレッシュホールド値を下回っている必要のある最小時間を ADC サンプル・クロック(クロック分周器出力)のサイクル数で設定します。

信号モニターDC 補正コントロール(レジスタ 0x10C)**ビット 7—予約済み****ビット 6—DC 補正フリーズ**

ビット 6 をハイ・レベルにすると、直前に計算された DC 値を保持する信号モニター・ブロックに対して DC 補正が更新されなくなります。

ビット[5:2]—DC 補正帯域幅

ビット[5:2]は、信号モニターDC 補正機能で平均をとる時間を設定します。この 4 ビットのワードは、補正ブロックの帯域幅を次式に従って設定します。

$$DC_Corr_BW = 2^{-k-14} \times \frac{f_{CLK}}{2 \times \pi}$$

ここで、 k はレジスタ 0x10C のビット[5:2]に書き込む 4 ビット値(k 値は 0 ~13。14 または 15 を書き込むと、13 を書き込んだ場合と同じ結果になります)。

f_{CLK} は AD6655 ADC のサンプル・レート(Hz)。

ビット 1—信号パス用 DC 補正イネーブル

このビットをハイ・レベルにすると、DC 計測ブロックの出力が信号パスのデータに加算されて、信号パスから DC オフセットが除去されます。

ビット 0—信号モニター用 DC 補正イネーブル

このビットは、信号モニター・ブロック内の DC 補正機能をイネーブルします。DC 補正は平均をとる機能であり、信号内の DC オフセットを除去するとき信号モニターがこれを使うことができます。DC を測定値から除去すると、さらに正確な電力の読み出しが可能になります。

信号モニターDC 値チャンネル A (レジスタ 0x10D とレジスタ 0x10E)**レジスタ 0x10E、ビット[7:6]—予約済み****レジスタ 0x10E、ビット[5:0]—DC 値チャンネル A[13:8]****レジスタ 0x10D、ビット[7:0]—DC 値チャンネル A[7:0]**

これらの読み出し専用レジスタは、信号モニターによりチャンネル A に対して直前に計算された DC オフセット値を保持します。

信号モニターDC 値チャンネル B (レジスタ 0x10F とレジスタ 0x110)

レジスタ 0x110、ビット[7:6]—予約済み

レジスタ 0x110、ビット[5:0]—チャンネル B DC 値ビット [13:8]

レジスタ 0x10F、ビット[7:0]—チャンネル B DC 値ビット [7:0]

これらの読み出し専用レジスタは、信号モニターによりチャンネル B に対して直前に計算された DC オフセット値を保持します。

信号モニターSPORT コントロール(レジスタ 0x111)

ビット 7—予約済み

ビット 6—RMS/MS 振幅出力イネーブル

ビット 6 は、20 ビットの rms または ms 振幅測定値を SPORT の出力としてイネーブルします。

ビット 5—ピーク検出器出力イネーブル

ビット 5 は、13 ビットのピーク測定値を SPORT の出力としてイネーブルします。

ビット 4—スレッショールド交差出力イネーブル

ビット 4 は、13 ビット・スレッショールド測定値を SPORT の出力としてイネーブルします。

ビット[3:2]—SPORT SMI SCLK 分周

これらのビット値は、入力クロックからの SPORT SMI SCLK 分周比を設定します。値 0x01 は 2 分周(デフォルト)を、値 0x10 は 4 分周を、値 0x11 は 8 分周を、それぞれ設定します。

ビット 1—SPORT SMI SCLK スリープ

ビット 1 をハイ・レベルにすると、信号モニター・ブロックに転送するデータがないとき、SMI SCLK がロー・レベルを維持します。

ビット 0—信号モニターSPORT 出力イネーブル

ビット 0 をハイ・レベルにすると、信号モニターSPORT 出力が信号モニター・ブロックからリザルト・データをシフト出力します。

信号モニター・コントロール(レジスタ 0x112)

ビット 7—複素電力計算モード・イネーブル

このモードでは、I データが片方のチャンネルに、Q データが他方のチャンネルに、それぞれ出力されるものと見なします。報告される結果は、次のように測定された複素電力です。

$$\sqrt{I^2 + Q^2}$$

ビット[6:4]—予約済み

ビット 3—信号モニターRMS/MS セレクト

ビット 3 をロー・レベルにすると、rms 電力測定モードが選択されます。ビット 3 をハイ・レベルにすると、ms 電力測定モードが選択されます。

ビット[2:1]—信号モニター・モード

ビット 2 とビット 1 は、アドレス 0x116~アドレス 0x11B のレジスタへ出力されるデータの信号モニター・モードを設定します。これらのビットを 0x00 に設定すると rms/ms 振幅出力が、0x01 に設定するとピーク検出器出力が、0x10 または 0x11 に設定するとスレッショールド交差出力が、それぞれ選択されます。

ビット 0—信号モニター・イネーブル

ビット 0 をハイ・レベルに設定すると、信号モニター・ブロックがイネーブルされます。

信号モニター時間(レジスタ 0x113~レジスタ 0x115)

レジスタ 0x115 ビット[7:0]—信号モニター時間[23:16]

レジスタ 0x114 ビット[7:0]—信号モニター時間[15:8]

レジスタ 0x113 ビット[7:0]—信号モニター時間[7:0]

この 24 ビット値は、信号モニターが動作する時間をクロック・サイクル数で設定します。このレジスタの最小値は 128 サイクルです(128 より小さい値を書き込むと 128 になります)。

信号モニター・リザルト・チャンネル A (レジスタ 0x116~レジスタ 0x118)

レジスタ 0x118、ビット[7:4]—予約済み

レジスタ 0x118、ビット[3:0]—信号モニター・リザルト・チャンネル A[19:16]

レジスタ 0x117、ビット[7:0]—信号モニター・リザルト・チャンネル A[15:8]

レジスタ 0x116、ビット[7:0]—信号モニター・リザルト・チャンネル A[7:0]

この 20 ビット値には、信号モニター・ブロックがチャンネル A に対して計算した電力値が格納されます。値はレジスタ 0x112 のビット[2:1]の設定に依存します。

信号モニター・リザルト・チャンネル B (レジスタ 0x119~レジスタ 0x11B)

レジスタ 0x11B、ビット[7:4]—予約済み

レジスタ 0x11B、ビット[3:0]—信号モニター・リザルト・チャンネル B[19:16]

レジスタ 0x11A、ビット[7:0]—信号モニター・リザルト・チャンネル B[15:8]

レジスタ 0x119、ビット[7:0]—信号モニター・リザルト・チャンネル B[7:0]

この 20 ビット値には、信号モニター・ブロックがチャンネル B に対して計算した電力値が格納されます。値はレジスタ 0x112 のビット[2:1]の設定に依存します。

NCO コントロール(レジスタ 0x11D)

ビット[7:3]—予約済み

ビット 2—NCO32 位相ディザ・イネーブル

ビット 2 をハイ・レベルにすると、NCO 内の位相ディザがイネーブルされます。ビット 2 をクリアすると、位相ディザがディセーブルされます。

ビット 1—NCO32 振幅ディザ・イネーブル

ビット 1 をハイ・レベルにすると、NCO 内の振幅ディザがイネーブルされます。ビット 1 をクリアすると、振幅ディザがディセーブルされます。

ビット 0—NCO32 イネーブル

ビット 0 をハイ・レベルにすると、NCO 周波数レジスタに書き込まれた周波数で 32 ビット NCO 動作がイネーブルされます。ビット 0 をクリアすると、NCO がバイパスされて、省電力のためにシャットダウンします。

NCO 周波数(レジスタ 0x11E~レジスタ 0x121)

レジスタ 0x11E、ビット[7:0]—NCO 周波数値[7:0]

レジスタ 0x11F、ビット[7:0]—NCO 周波数値[15:8]

レジスタ 0x120、ビット[7:0]—NCO 周波数値[23:16]

レジスタ 0x121、ビット[7:0]—NCO 周波数値[31:24]

この 32 ビット値を使って NCO 同調周波数を設定します。

設定する周波数値は次式で与えられます。

$$NCO_FREQ = 2^{32} \times \frac{Mod(f, f_{CLK})}{f_{CLK}}$$

ここで、

NCO_FREQ は 32 ビットの 2 の補数値で、NCO 周波数レジスタを表します。

f は所望のキャリア周波数(Hz)。

f_{CLK} は AD6655 の ADC クロック・レート(Hz)。

NCO 位相オフセット(レジスタ 0x122 とレジスタ 0x123)

レジスタ 0x122、ビット[7:0]—NCO 位相値[7:0]

レジスタ 0x123、ビット[7:0]—NCO 位相値[15:8]

NCO 位相値レジスタに設定される 16 ビット値は、NCO が起動されるごとに、または NCO 同期信号を受信したときに、NCO ブロックにロードされます。この処理により、NCO は既知の非ゼロ位相で起動できるようになります。

次式を使って NCO の位相オフセット値を計算します。

$$NCO_PHASE = 2^{16} \times PHASE / 360$$

ここで、

NCO_PHASE は、レジスタ 0x122 とレジスタ 0x123 に書き込まれる 16 ビット・バイナリ値に等しい 10 進値。

$PHASE$ は所望の NCO 位相(°)

アプリケーション情報

デザイン・ガイドライン

AD6655 のシステムのレベル・デザインとレイアウトを開始する前に、特定のピンに必要とされる特別な回路接続とレイアウト条件を説明する次のガイドラインをお読みください。

電源とグラウンドの推奨事項

電源を AD6655 に接続する際は、2 個の 1.8 V 電源を使うことが推奨されます。1 個はアナログ(AVDD)に、他の 1 個はデジタル(DRVDD)に接続します。さらにデジタル出力にも別の電源(DRVDD)を使う必要があります。AVDD 電源と DVDD 電源は同じ電源から供給しますが、フェライト・ビードまたはフィルタ・チョークと個別のデカップリング・コンデンサで分離する必要があります。幾つかの異なるデカップリング・コンデンサを使って高周波と低周波をデカップリングすることもできます。これらは PC ボード・レベルの入り口の近くで、かつ最短パターンでデバイス・ピンの近くに配置する必要があります。

AD6655 をつかうときは、1 枚の PC ボード・グラウンド・プレーンで十分です。適切なデカップリングと PCB のアナログ、デジタル、クロックの各セクションの賢明な分割により、最適性能を容易に実現することができます。

$f_s/2$ スプリアス

AD6655 の出力データ・レートはサンプリング周波数の 1/2 であるため、デバイス出力には大きな $f_s/2$ エネルギーがあります。この $f_s/2$ スプリアスが帯域内に位置する場合には、この $f_s/2$ エネルギーが AD6655 のクロック回路またはアナログ入力に入り込まないように注意する必要があります。 $f_s/2$ エネルギーがこのように混入すると、 $f_s/4$ 、 $3f_s/4$ 、 $5f_s/4$ などを中心としてスプリアス・トーンが発生します。たとえば、125 MSPS サンプリングのアプリケーションで、90 MHz のシングル・トーンをアナログ入力に入力すると、このエネルギーは 97.5 MHz でトーンを発生します。この例では、ナイキスト領域の中心が 93.75 MHz であるため、90 MHz の入力信号はナイキスト領域の中心から 3.75 MHz 離れています。このため、 $f_s/2$ のスプリアス・トーンが、97.5 MHz すなわちナイキスト領域の中心から 3.75 MHz 上に発生します。その後、これらの周波数は NCO により同調された後 AD6655 から出力されます。

IF 周波数とナイキスト領域の中心との関係に応じて、このスプリアス・トーンは AD6655 の出力帯域に入ることも入らないこともあります。AD6655 にはある程度の残留 $f_s/2$ エネルギーが存在し、このスプリアス・レベルは一般に、クロック・レート 125 MSPS 以下で高調波のレベルより低くなっています。図 82 に、AD6655-125 の $f_s/2$ スプリアス・レベル対アナログ入力周波数のプロットを示します。125 MSPS より上のサンプリング・レートでは、 $f_s/2$ のスプリアス・レベルは大きくなるため、AD6655-150 の $f_s/2$ レベルを示した図 83 のように最悪高調波より高いレベルになります。

表 2 の仕様では、 $f_s/2$ スプリアスが帯域内にある場合には、SNR 値に含まれていません。このスプリアスは、SNR の意味では高調波として扱われています。 $f_s/2$ レベルは、SFDR と他の最悪仕様に含まれます。

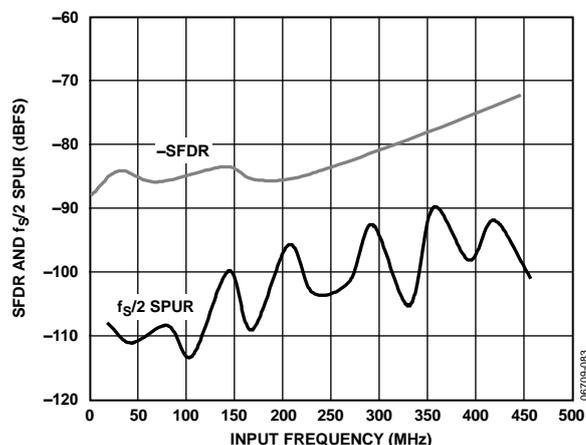


図 82. AD6655-125 の SFDR および $f_s/2$ スプリアス・レベル対入力周波数(f_{IN})、DRVDD = 1.8 V パラレル CMOS 出力モード

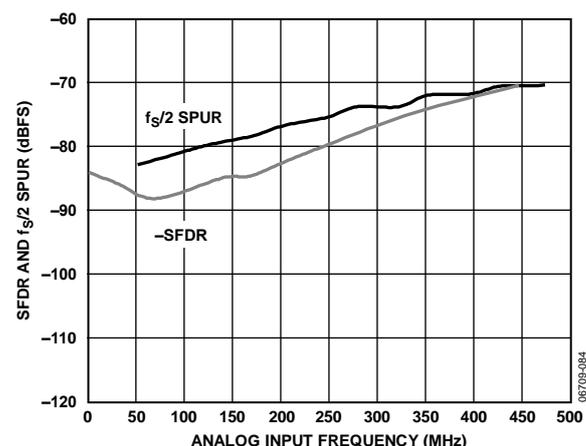


図 83. AD6655-150 の SFDR および $f_s/2$ スプリアス・レベル対入力周波数(f_{IN})、DRVDD = 1.8 V パラレル CMOS 出力モード

1.8 V の DRVDD 電圧でデバイスを動作させると、3.3 V の DRVDD で動作させた場合より $f_s/2$ スプリアスは小さくなります。さらに、LVDS、CMOS インターリーブ、または CMOS IQ 出力モードを使った場合にも、 $f_s/2$ スプリアス・レベルは小さくなります。

LVDS 動作

パワーアップ時、AD6655 はデフォルトとして CMOS 出力モードになります。LVDS で動作させる場合は、パワーアップ後に SPI 設定レジスタを使ってこのモードを設定する必要があります。AD6655 が CMOS モードでパワーアップすると、出力に LVDS 終端抵抗 (100 Ω) が付いているため、デバイスが LVDS モードになるまで DRVDD 電流は typ 値より大きくなる可能性があります。DRVDD 電流のこの増加により AD6655 が損傷を受けることはありませんが、デバイスの最大 DRVDD 電流を検討するときはこれを考慮する必要があります。

この DRVDD 電流の増加を回避するため、パワーアップ時に OEB ピンをハイ・レベルにすることにより、AD6655 出力をデイスエーブすることができます。SPI ポートを経由してデバイスを LVDS モードにした後に、OEB ピンをロー・レベルにして、出力をイネーブすることができます。

露出型パドル・サーマル・ヒート・スラグの推奨事項

最適な電気性能と熱性能を得るためには、ADC の下側の露出型パドルをアナログ・グラウンド(AGND)に接続することが必要です。PCB 上に露出した(ハンダ・マスクなし)連続銅プレーンを設けて、これに AD6655 の露出パドル(ピン 0)を接続します。

銅プレーンには最小の熱抵抗になるように複数のビアを使用して、PCB の裏面へ放熱するようにします。これらのビアには非伝導性のエポキシを詰める必要があります。

ADC と PCB との接触面積と接着を最大にするため、シルクスクリーンで覆い、PCB の連続プレーンを複数の均一なセクションに分割してください。これにより、リフロー・プロセス時に ADC と PCB の間で複数の接続点を形成することができます。パーティションのない 1 枚の連続プレーンを使うと、ADC と PCB との間の接続点が確実に 1 個だけになります。PCB レイアウト例については評価ボードを参照してください。チップ・スケール・パッケージのパッケージと PCB レイアウトの詳細については、アプリケーション・ノート AN-772「*A Design and Manufacturing Guide for the Lead Frame Chip Scale Package (LFCSP)*」(www.analog.com)を参照してください。

CML

CML ピンは、ピンの近くで $0.1\ \mu\text{F}$ のコンデンサにより GND にデカップリングする必要があります(図 48 参照)。

RBIAS

AD6655 では、RBIAS ピンとグラウンドとの間に $10\ \text{k}\Omega$ の抵抗を接続する必要があります。この抵抗は ADC コアのマスター電流リファレンスを設定するため、誤差 1%以下ものを使う必要があります。

リファレンス電圧のデカップリング

VREF ピンは、ESR の小さい $1.0\ \mu\text{F}$ のコンデンサと ESR の小さい $0.1\ \mu\text{F}$ のセラミック・コンデンサとの並列接続により外部でグラウンドにデカップリングする必要があります。

SPI ポート

コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと AD6655 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。

評価ボード

AD6655 評価ボードは、種々のモードと構成で ADC を動作させるために必要となるすべてのサポート回路を提供します。このコンバータは、ダブル・バラン構成(デフォルト)から、または AD8352 ドライバから、差動で駆動することができます。ADC はシングル・エンドで駆動することもできます。AD8352 駆動回路から DUT をアイソレーションできるように、別々の電源ピンが用意されています。種々の部品を適切に接続することにより各入力構成を選択することができます(図 85~図 94 参照)。図 84 に、AD6655 の AC 性能の評価に使用した代表的なキャラクターライゼーション・セットアップを示します。

コンバータの最適性能を実現するためには、アナログ入力とクロックに非常に小さい位相ノイズ(rms ジッタが 1 ピコ秒未満)を持つ信号ソースを使うことが不可欠です。仕様のノイズ性能を得るためには、高調波を除去し、かつアナログ入力での総合または広帯域ノイズを小さくするための入力信号の適切なフィルタリングも必要です。

完全な回路図とレイアウト図を図 85~図 102 に示します。これはシステム・レベルで採用できる適切なルーティング方法とグラウンディング方法を示すものです。

電源

この評価ボードには、最大出力 6 V、2 A のスイッチング電源が添付されています。この電源を定格 100 V AC~240 V AC、47 Hz~63 Hz の電源コンセントに接続してください。電源出力は内径 2.1 mm のジャックで、PCB の J16 に接続します。PCB 上では、6 V 電源はヒューズを通りコンディショニングされた後、ボード上の種々のセクションにパイアスを供給する 6 個の低ドロップアウト・リニア・レギュレータに接続されます。

L1、L3、L4、L13 を取り外してスイッチング電源から供給される電圧レギュレータを切り離して、評価ボードを外付け電源で動作させることもできます。これにより、ボードの各セクションに個別にパイアスを与えることができます。各セクションへ異なる電源を接続するときは、P3 と P4 を使います。AVDD と DVDD に対しては 1 A の電流能力を持つ 1.8 V の電源が少なくとも 1 個必要です。DRVDD に対しては 1.8 V~3.3 V の別電源を使うことが推奨されます。AD8352 オプションを使って評価ボードを動作させるときは、1 A の電流能力を持つ別の 5.0 V 電源(AMP VDD)が必要です。別の SPI オプションを使って評価ボードを動作させるときは、他電源の他に、別の 3.3 V アナログ電源(VS)が必要です。3.3 V 電源には 1 A の電流容量が必要です。ハンダ・ジャンパー SJ35 を使うと、必要に応じて AVDD と DVDD を分離することができます。

入力信号

クロックとアナログ・ソースを接続するときは、Rohde & Schwarz 社の SMA100A 信号ジェネレータのような、位相ノイズの小さいクリーンな信号ジェネレータを使ってください。評価ボードへの接続には、長さ 1 m のシールド付き RG-58、50 Ω 同軸ケーブルを使ってください。所望の周波数と振幅を ADC へ入力します。アナログ・デバイゼスの AD6655 評価ボードには、クロックとして約 2.8 V p-p すなわち 13 dBm の正弦波を入力することができます。アナログ入力ソースを接続するときは、50 Ω 終端付きの複数極を持つ狭帯域バンドパス・フィルタの使用を推奨します。このタイプのバンドパス・フィルタは、TTE、Allen Avionics、K&L Microwave, Inc.の各社が提供しています。可能な場合、フィルタは評価ボードへ直接接続してください。

出力信号

パラレル CMOS 出力は、アナログ・デバイゼスの標準 ADC データ・キャプチャ・ボード(HSC-ADC-EVALCZ)に直接インターフェースします。ADC データ・キャプチャ・ボードとオプション設定の詳細については、www.analog.com/FIFO をご覧ください。

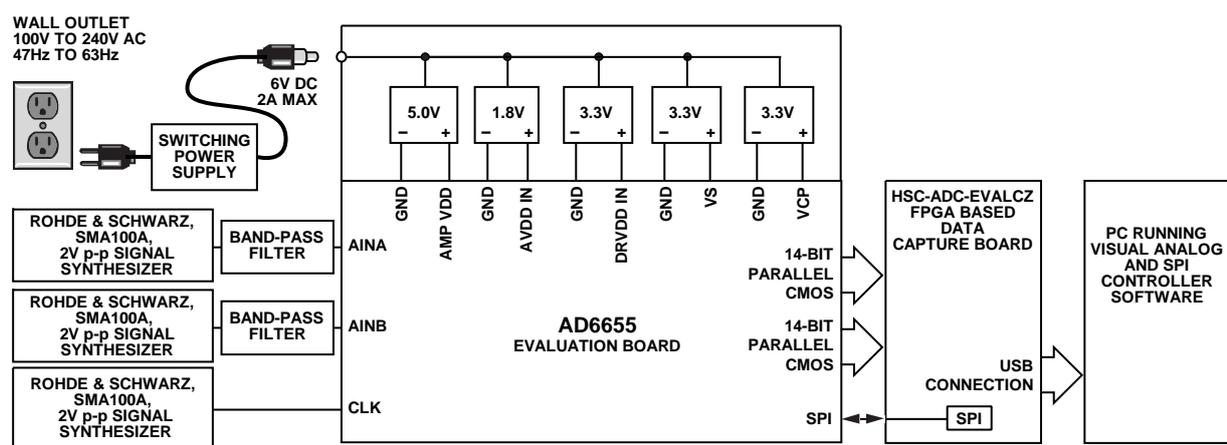


図 84. 評価ボードの接続

デフォルト動作設定とジャンパー・セレクション設定

デフォルトとオプションの設定または AD6655 評価ボードで可能なモードを次に示します。

電源

評価キットに添付されているスイッチング電源を 47 Hz~63 Hz の定格 100 V AC~240 V AC の電源コンセントと P500 に接続します。

VIN

評価ボードはダブル・バラン構成のアナログ入力に設定されており、70 MHz~200 MHz で 50 Ω インピーダンスに最適マッチングします。応答帯域幅を広げるときは、アナログ入力間に接続された差動コンデンサを変更するか除去します(表 14 参照)。アナログ入力の同相モードは、トランスのセンター・タップから ADC の CML ピンを経由して発生します(アナログ入力に対する考慮のセクション参照)。

VREF

ヘッダー J5 のピン 1 とピン 2 をジャンパ接続して SENSE ピンをグラウンドへ接続することにより、VREF は 1.0 V に設定されています。これにより、ADC は 2.0 V p-p のフル・スケール範囲で動作します。ADC を 1.0 V p-p モード(VREF = 0.5 V)にするときは、ヘッダー J4 をジャンパ接続します。評価ボードには、別の外部リファレンス・オプションも含まれています。外部リファレンスを使うときは、J6 (ピン 1 とピン 2) を接続して、TP5 に外部リファレンスを入力します。VREF オプションの使い方については、リファレンス電圧のセクションを参照してください。

RBIAS

RBIAS にはグラウンドとの間に 10 kΩ の抵抗(R503)を接続する必要があります。ADC コアのバイアス電流の設定に使われます。

クロック

デフォルトのクロック入力回路は、インピーダンス比 1:1 の広帯域バラン(T5)を使ったシンプルなバラン結合回路に基づいています。このバランはクロック・パスのジッタを殆ど増やしません。クロック入力は 50 Ω 終端で、正弦波入力を扱うため AC 結合されています。トランスはシングルエンド入力を差動信号に変換します。差動信号はクリップされた後に ADC クロックへ入力されます。AD6655 の入力クロック分周器を使うと、最大 625 MHz のクロック周波数をコネクタ S5 を介して評価ボードへ入力することができます。

PDWN

パワーダウン機能をイネーブルするとき、J7 を接続して PDWN ピンを AVDD に短絡します。

CSB

CSB ピンは内部でプルアップされています。チップを外部ピン・モードに設定すると、SDIO と SCLK の情報は無視されます。評価ボード上で CSB ピンの制御を SPI 回路に接続するときは、J21 のピン 1 と J21 のピン 2 を接続します。

SCLK/DFS

SPI ポートが外部ピン・モードにある場合、SCLK/DFS ピンが出力のデータ・フォーマットを設定します。このピンを解放したままにすると、このピンは内部でプルダウンされて、デフォルト・データ・フォーマットがオフセット・バイナリに設定されます。J2 のピン 1 を J2 のピン 2 に接続すると、フォーマットは 2 の補数に設定されます。SPI ポートがシリアル・ピン・モードにある場合は、J2 のピン 2 と J2 のピン 3 を接続すると、SCLK ピンがボード上の SPI 回路に接続されます(シリアル・ポート・インターフェース(SPI)のセクション参照)。

SDIO/DCS

SPI ポートが外部ピン・モードにある場合は、SDIO/DCS ピンがデューティ・サイクル・スタビライザを設定します。このピンを解放したままにすると、このピンは内部でプルダウンされて、デフォルトで DCS をイネーブルします。DCS をディスエーブルするときは、J1 のピン 1 と J1 のピン 2 を接続します。SPI ポートがシリアル・ピン・モードにある場合は、J1 のピン 2 と J1 のピン 3 を接続すると、SDIO ピンがボード上の SPI 回路に接続されます(シリアル・ポート・インターフェース(SPI)のセクション参照)。

別のクロック設定

AD6655 評価ボードには 2 つのクロック・オプションが用意されています。1 つ目のオプションは、ボード上の水晶発振器(Y1)を使ってデバイスにクロックを入力する方法です。この水晶をイネーブルするときは、抵抗 R8 (0 Ω) と抵抗 R85 (10 kΩ) を実装して、抵抗 R82 と抵抗 R30 を取り外す必要があります。

2 つ目のクロック・オプションは、AD9516 (U2) を使って差動 LVPECL クロックで ADC 入力を駆動する方法です。この駆動オプションを使う際には、AD9516 チャージ・ポンプ・フィルタ部品を実装する必要があります(図 89 参照)。詳細については、AD9516 のデータ・シートをご覧ください。

ADC を直接駆動する代わりに、S5 からのクロック入力で AD9516 リファレンス入力を駆動するように設定するときは、次の部品の追加、取り外し、および/または交換が必要です。

1. デフォルト・クロック・パス内の R32、R33、R99、R101 を取り外します。
2. クロック・パス内の C78 と C79 に 0.001 μF のコンデンサを、R78 と R79 に 0 Ω の抵抗を、それぞれ実装します。

さらに、使用しない AD9516 出力(LVDS と LVPECL 各 1 本)を評価ボード上のコネクタ S11 を介してオプションのコネクタ S8 に接続します。

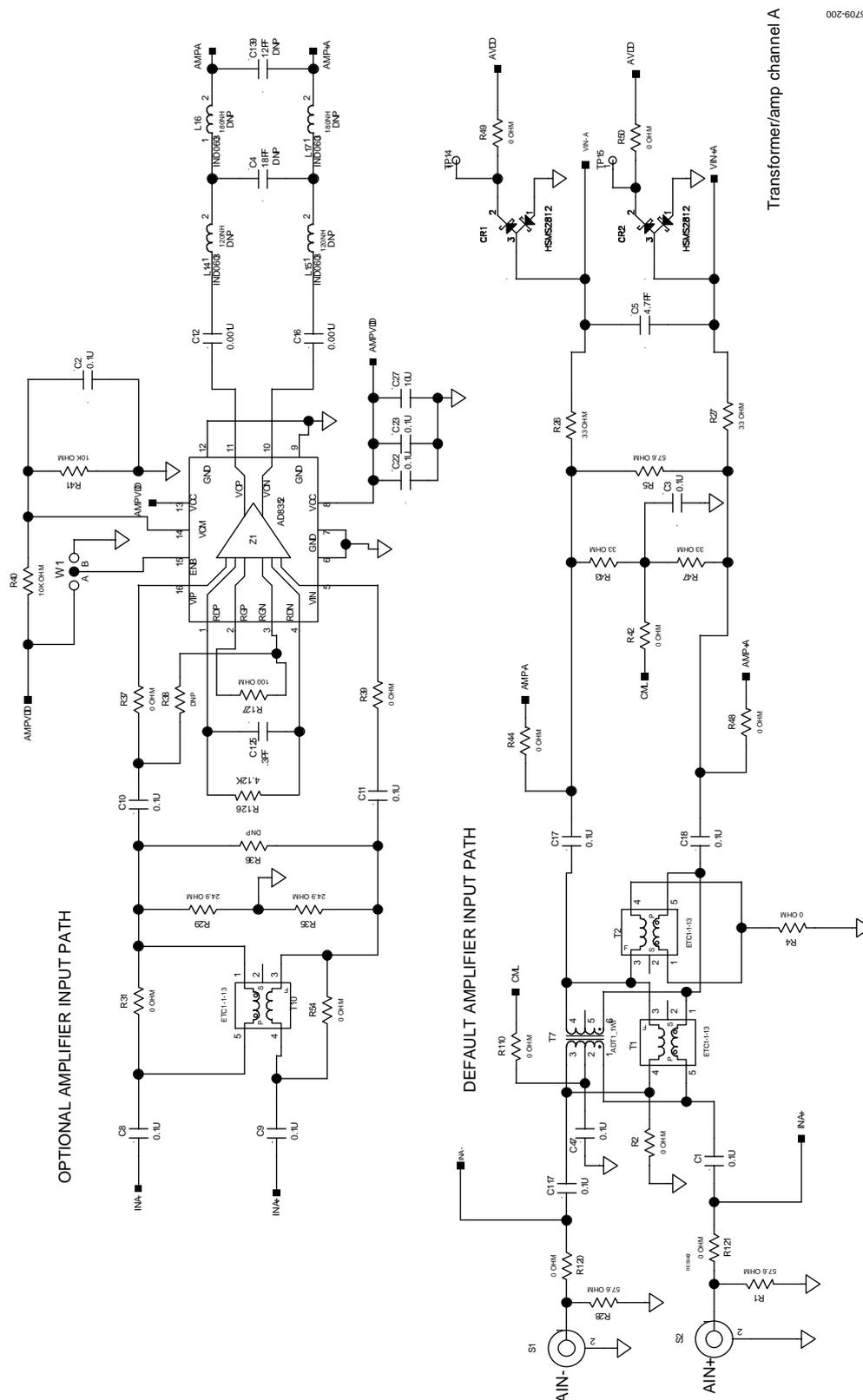
別のアナログ入力駆動構成

このセクションでは **AD8352** を使う別のアナログ入力駆動構成について短い説明を行います。この特別な駆動オプションを使う際には、幾つかの追加部品を実装する必要があります。**AD8352** 差動ドライバとオプションのピン設定の使い方の詳細については、**AD8352** のデータ・シートを参照してください。

デフォルト・トランス・オプションの代わりにアナログ入力を **AD8352** で駆動するように設定するときは、チャンネル A に対して次の部品の追加、取り外し、および/または交換が必要です。チャンネル B に対しては、対応する部品の交換が必要です。

1. デフォルト・アナログ入力パスから C1、C17、C18、C117 を取り外します。
2. アナログ入力パスの C8 と C9 に 0.1 μ F のコンデンサを実装します。**AD8352** を差動入力モードで駆動するときは、T10 のトランス、R1、R37、R39、R126、R127 の抵抗、C10、C11、C125 のコンデンサを実装します。
3. オプションのアンプ出力パスにオプションのローパス・フィルタなどの所望の部品を実装します。R44 と R48 に 0 Ω の抵抗を実装します。R43 と R47 の値を大きくして(一般に 100 Ω)、**AD8352** から見た出力インピーダンスを 200 Ω へ増やします。

回路図



Transformer/amp channel A

060709-200

図 85 評価ボード回路図—チャンネル A アナログ入力

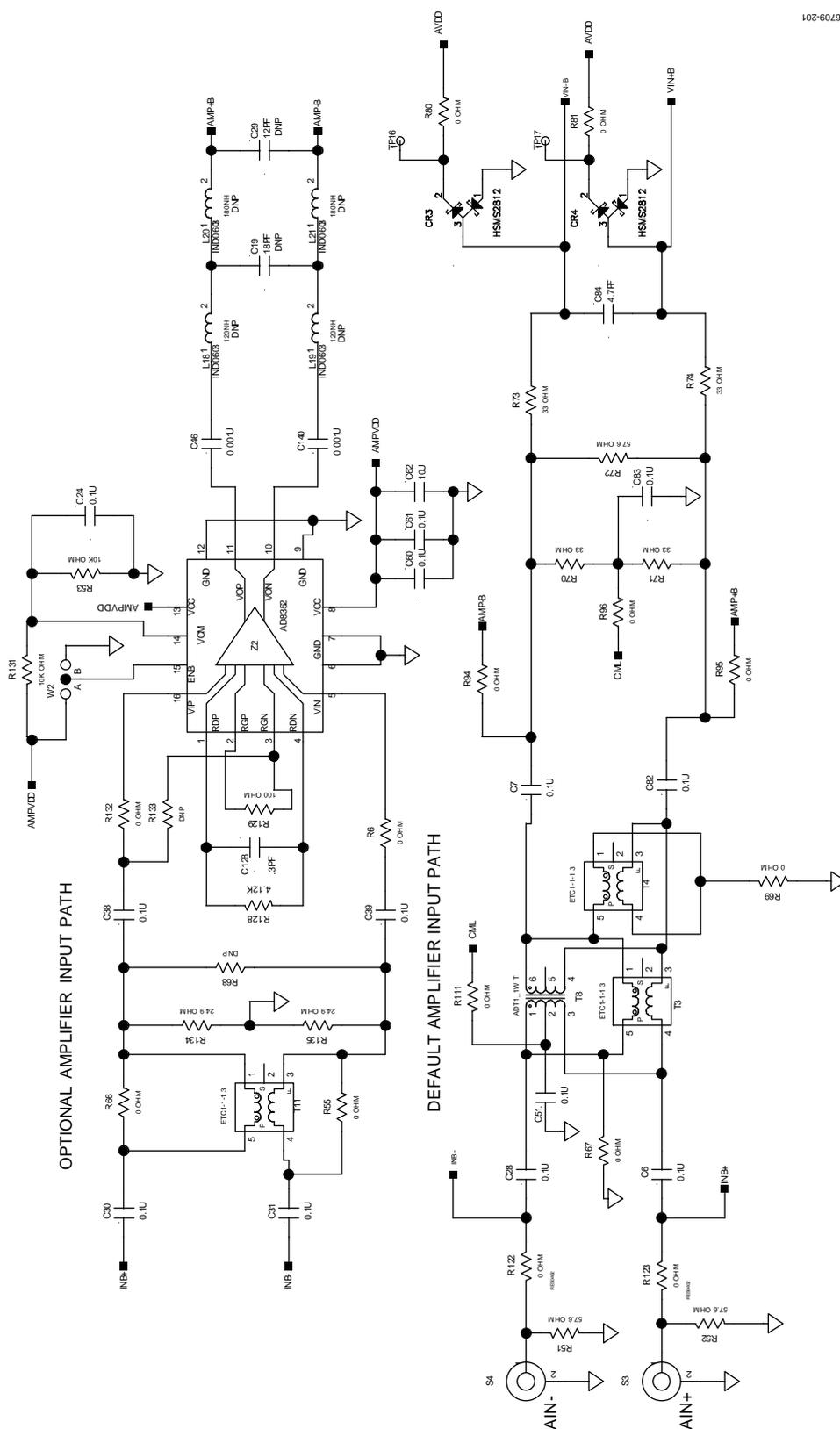


図 86. 評価ボード回路図—チャンネル B アナログ入力

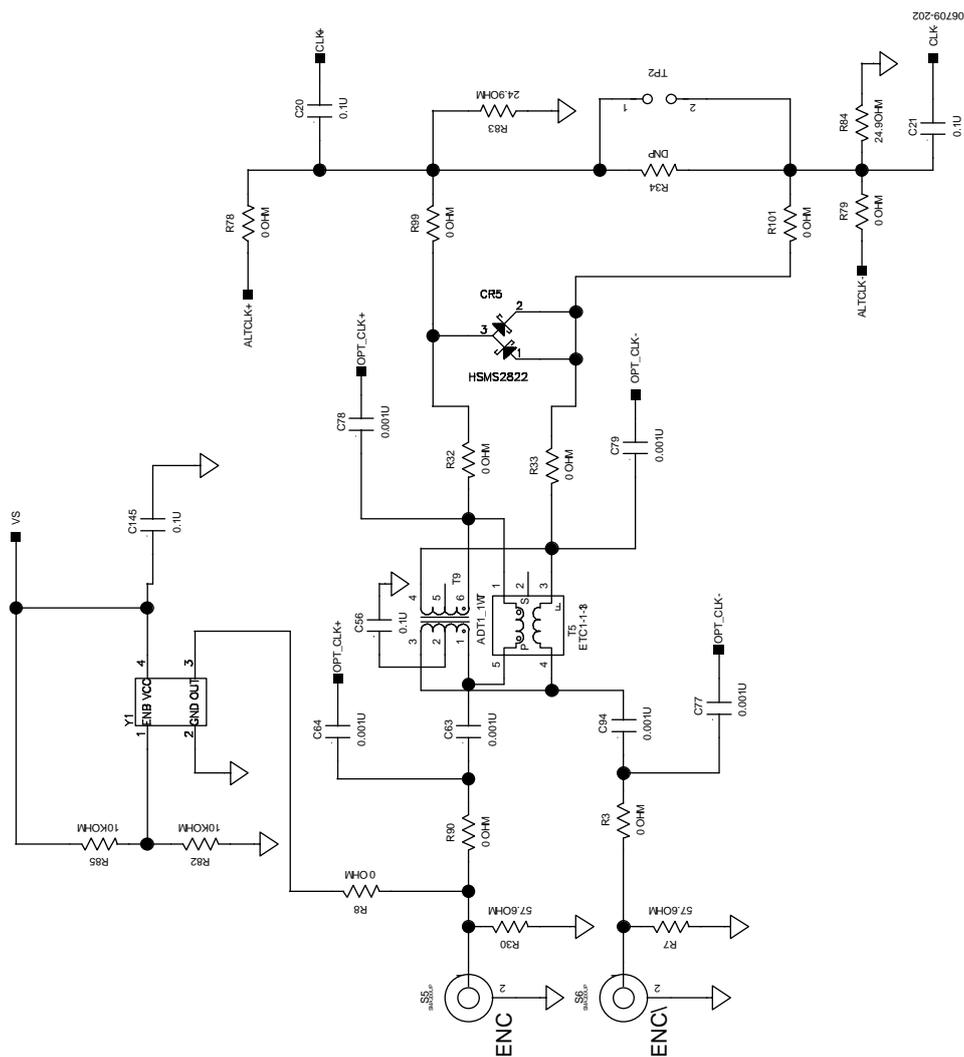


図 87. 評価ボード回路図—DUT クロック入力

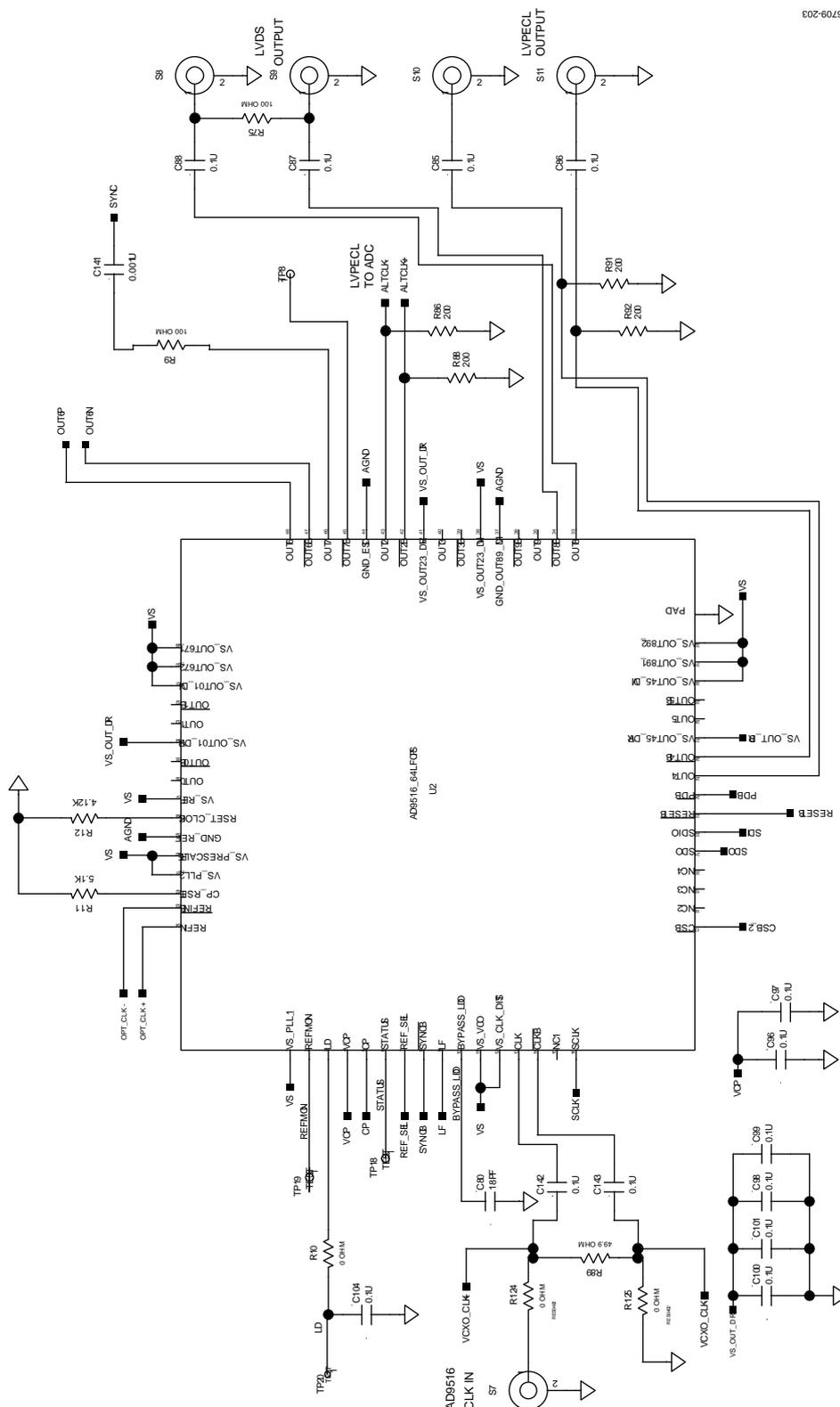


図 88.評価ボード回路図—オプションの AD9516 クロック回路

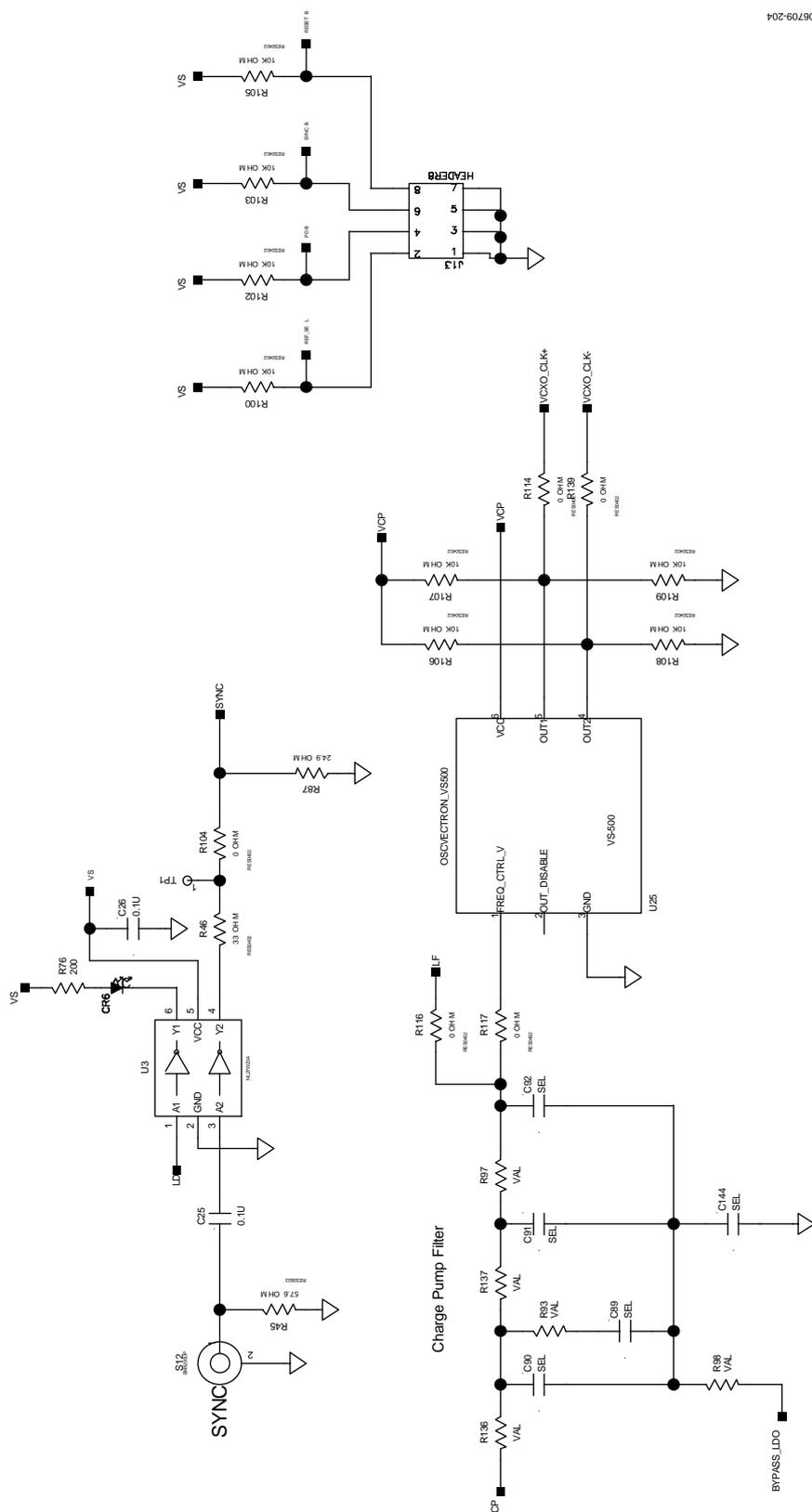


図 89. 評価ボード回路図—オプションの AD9516 ループ・フィルタ/VCO と同期入力

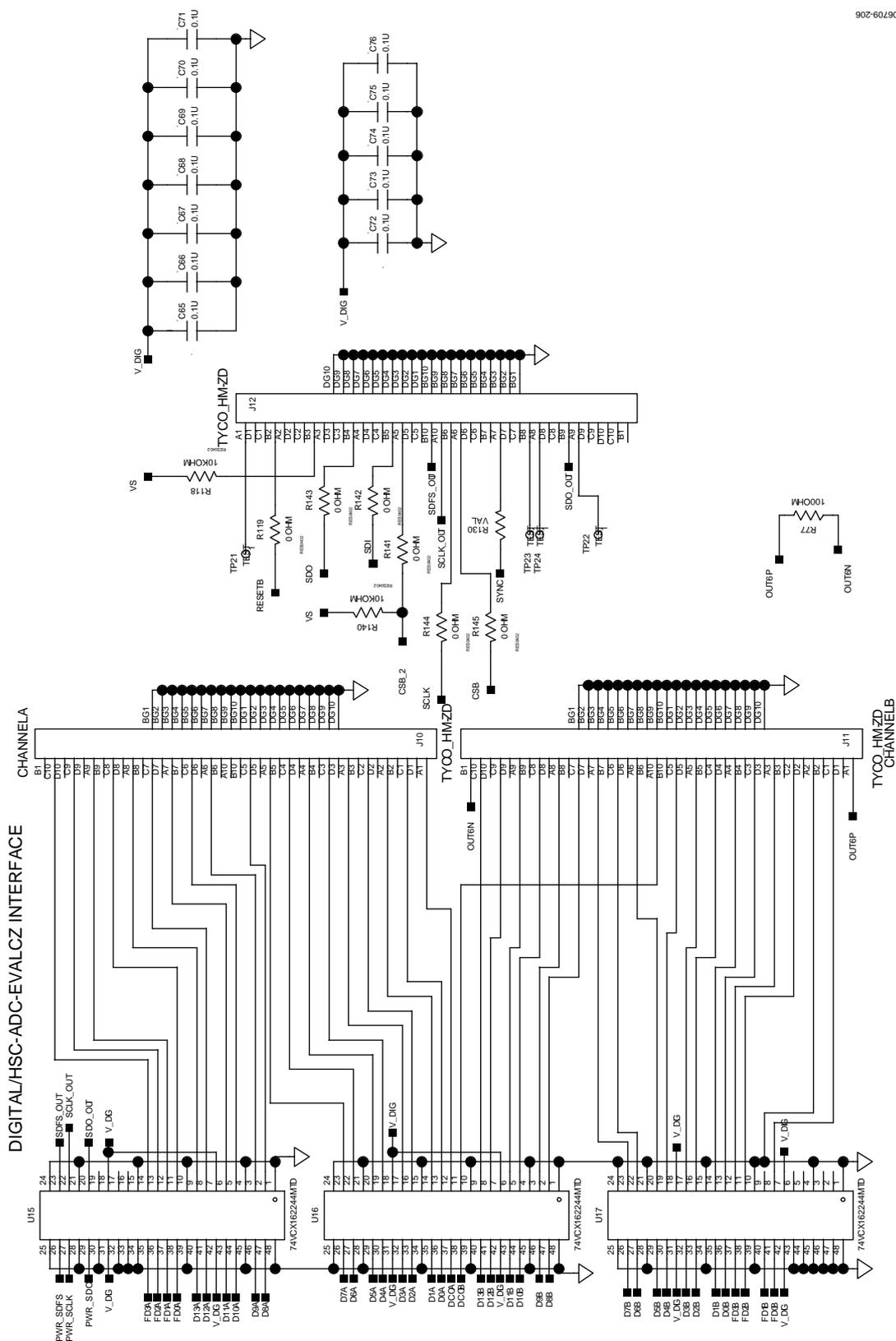


図 91. 評価ボード回路図—デジタル出力インターフェース

- J1 - JUMPERPINS 2 TO 3 FOR SPI OPERATION
 JUMPERPINS 1 TO 2 FOR DCSENABLE
- J2 - JUMPERPINS 2 TO 3 FOR SPI OPERATION
 JUMPERPINS 1 TO 2 FOR TWOS COMPLIMENT OUTPUT
- J21 - INSTALL JUMPER FOR SPI OPERATION

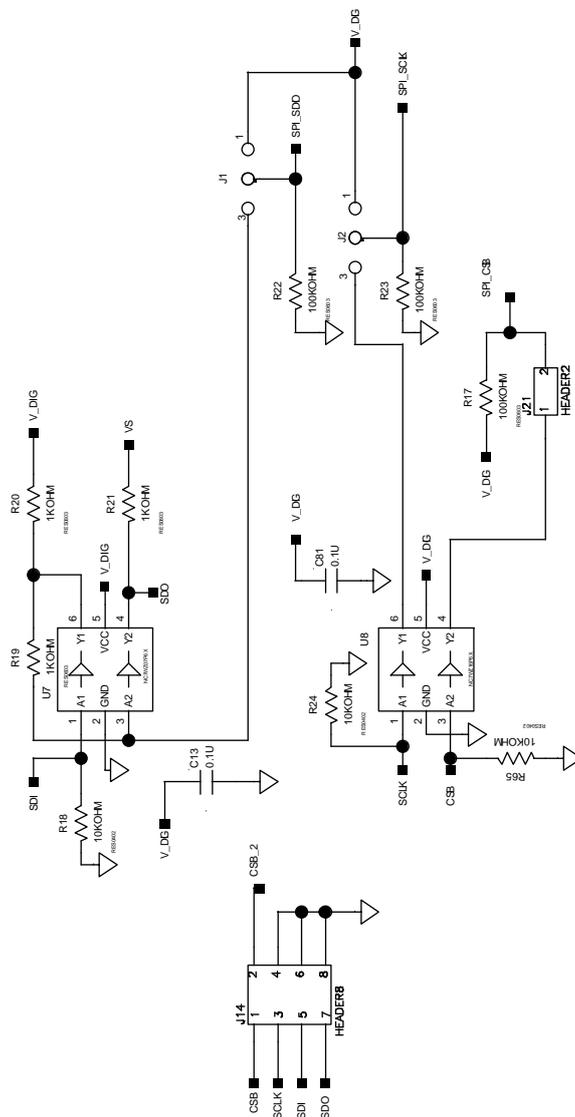


图 92. 评估板上的回路图—SPI 回路

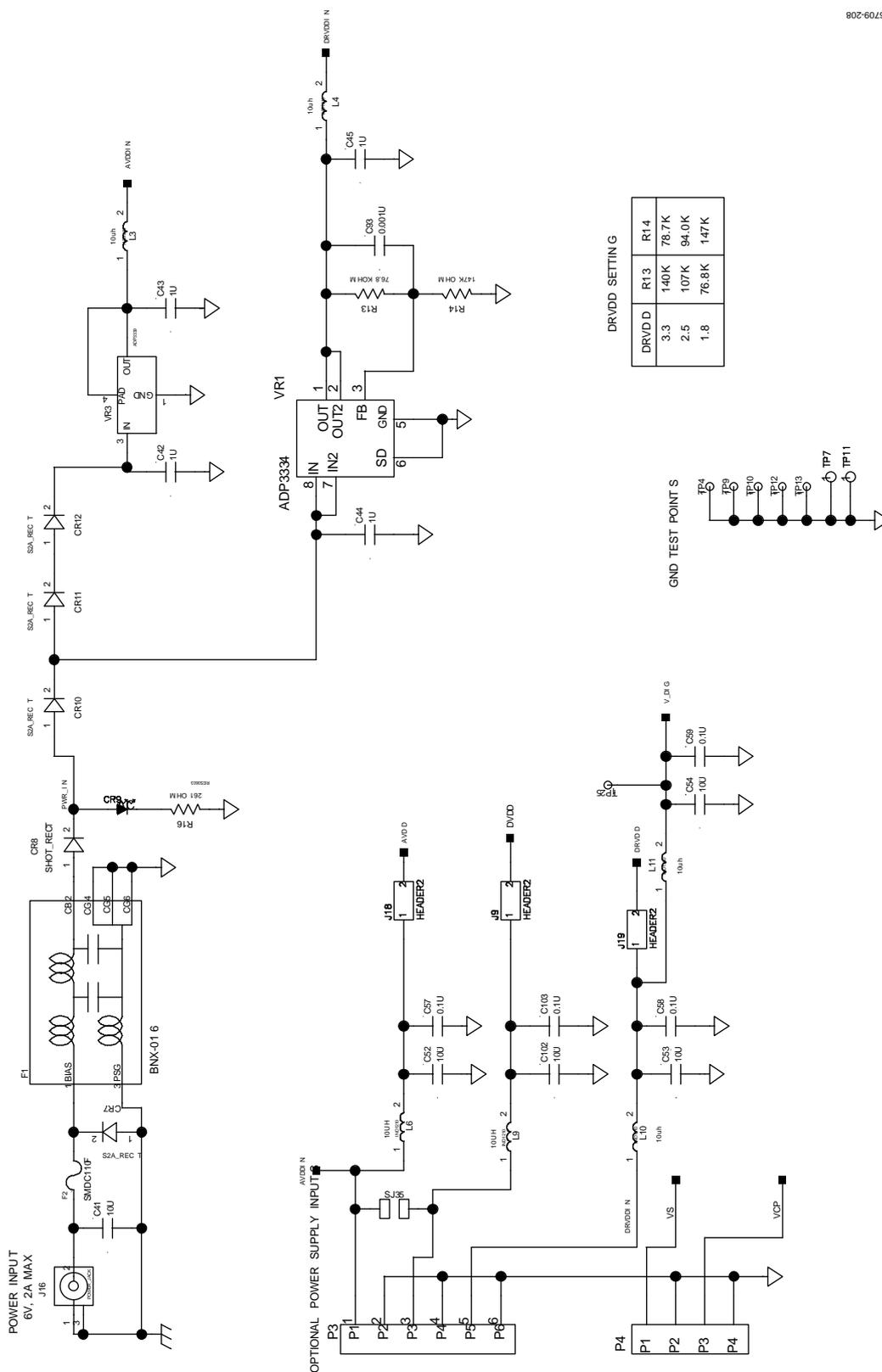


图 93. 评估板 1 号回路图—电源

評価ボードのレイアウト

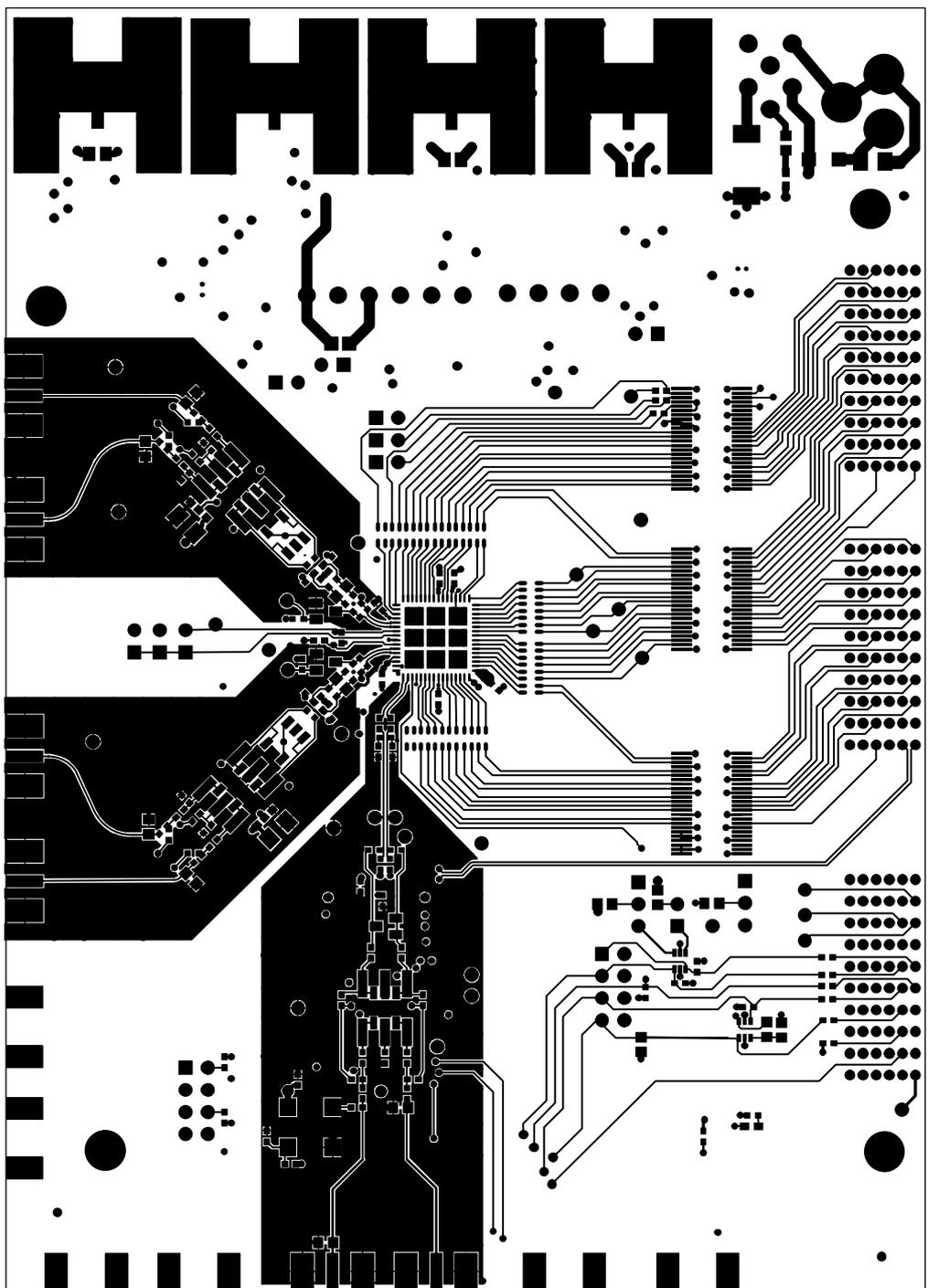
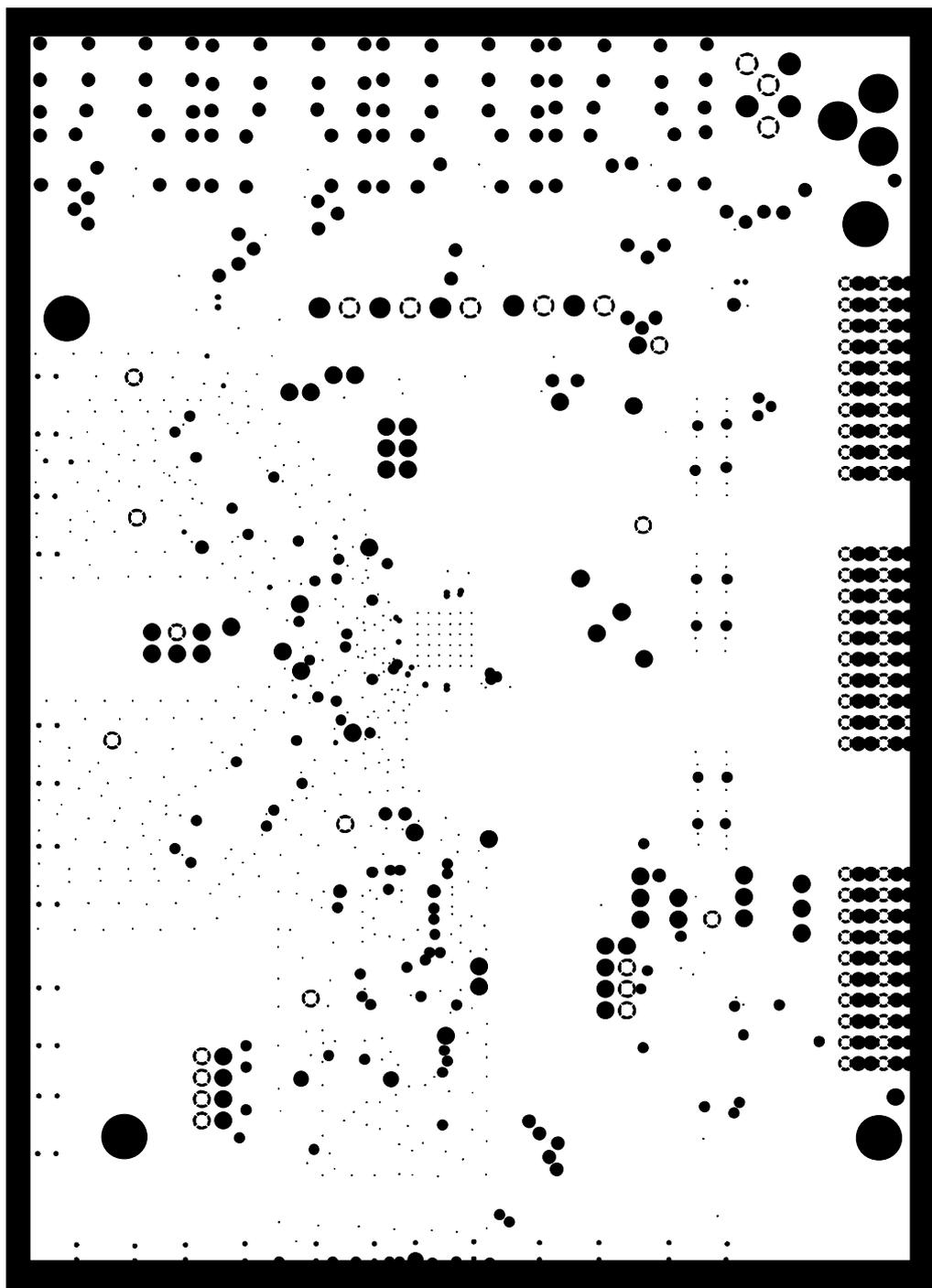
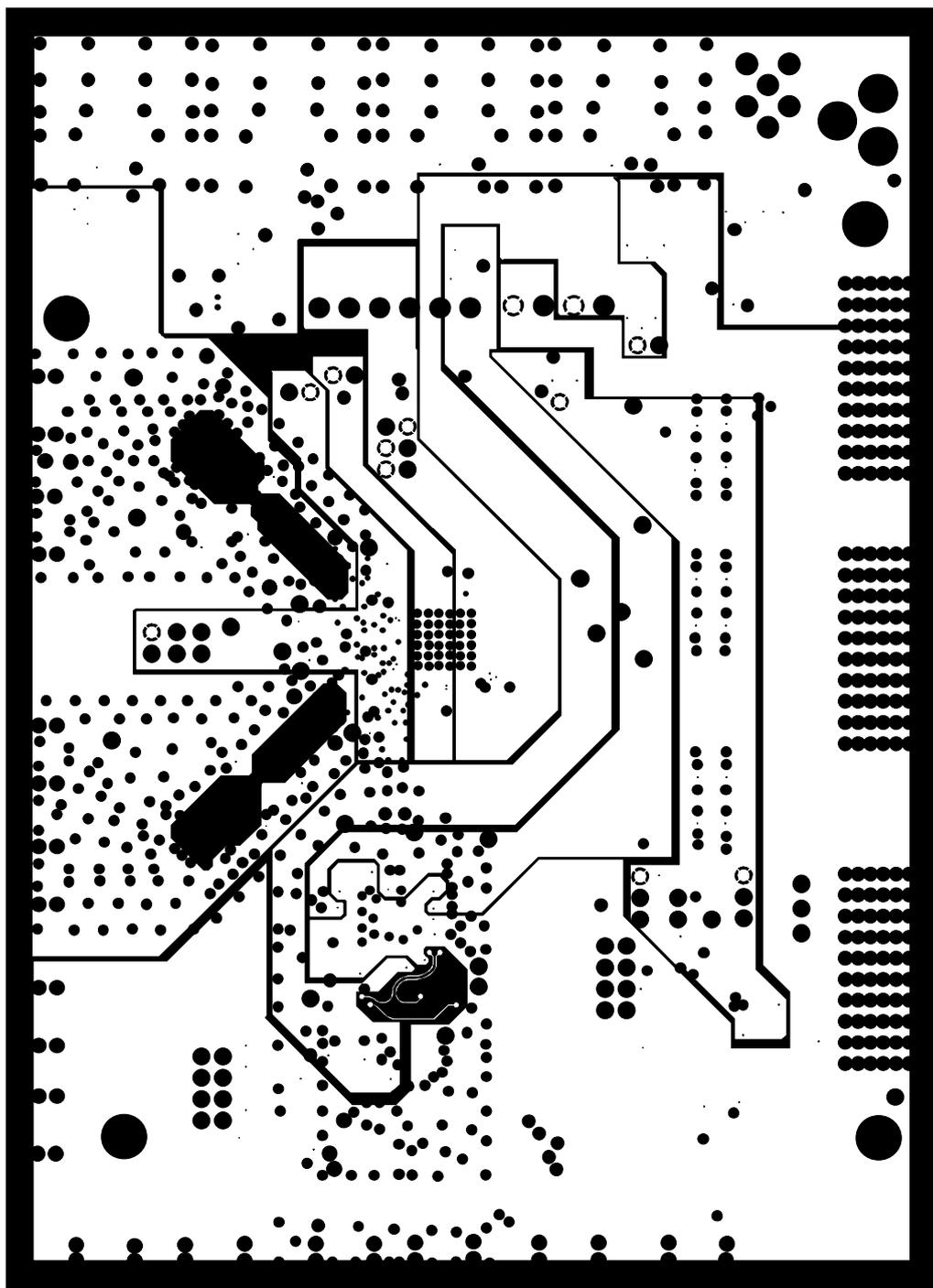


図 95. 評価ボード・レイアウト-1 次側



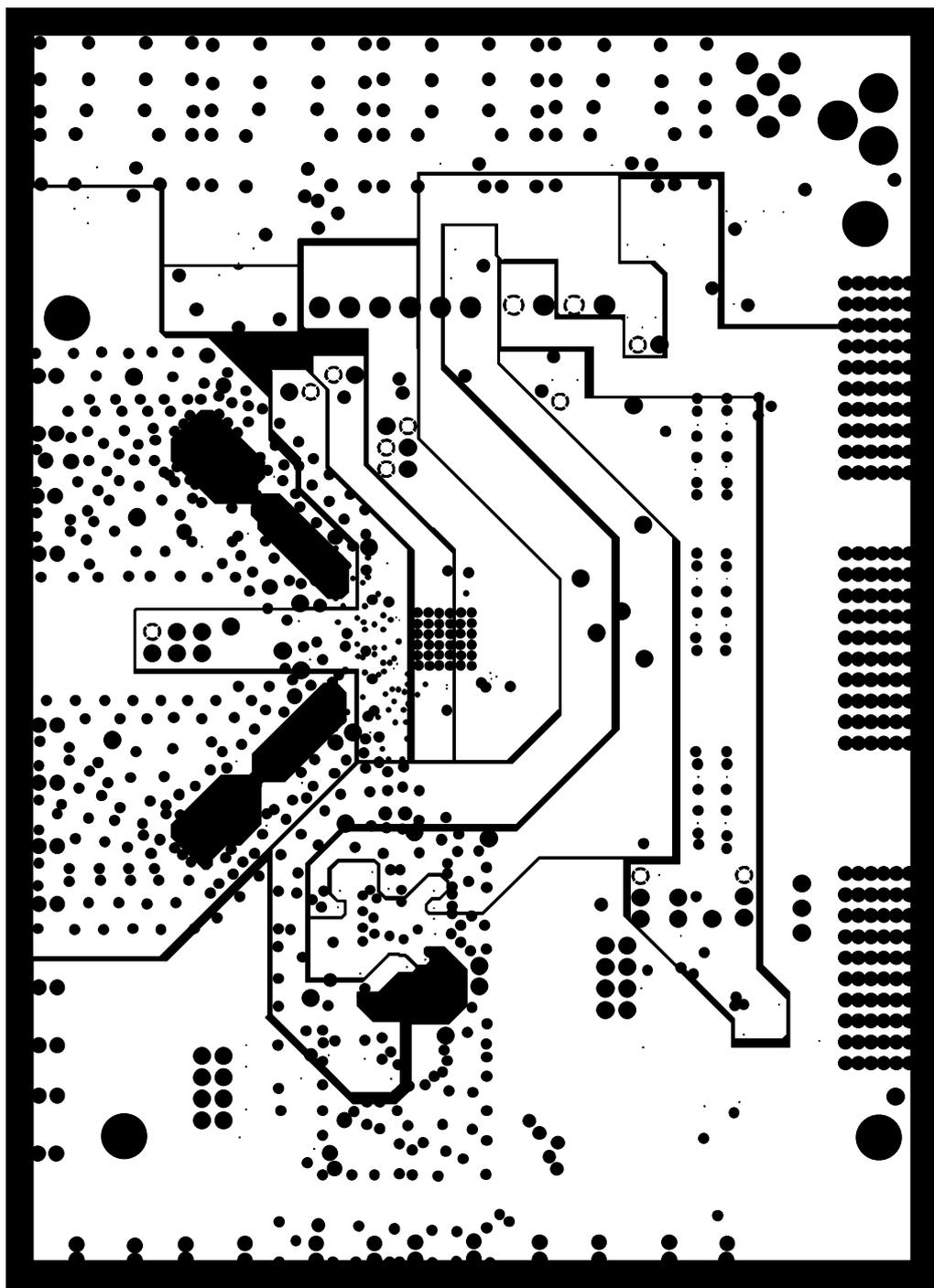
06709-101

図 96.評価ボード・レイアウトーグラウンド・プレーン



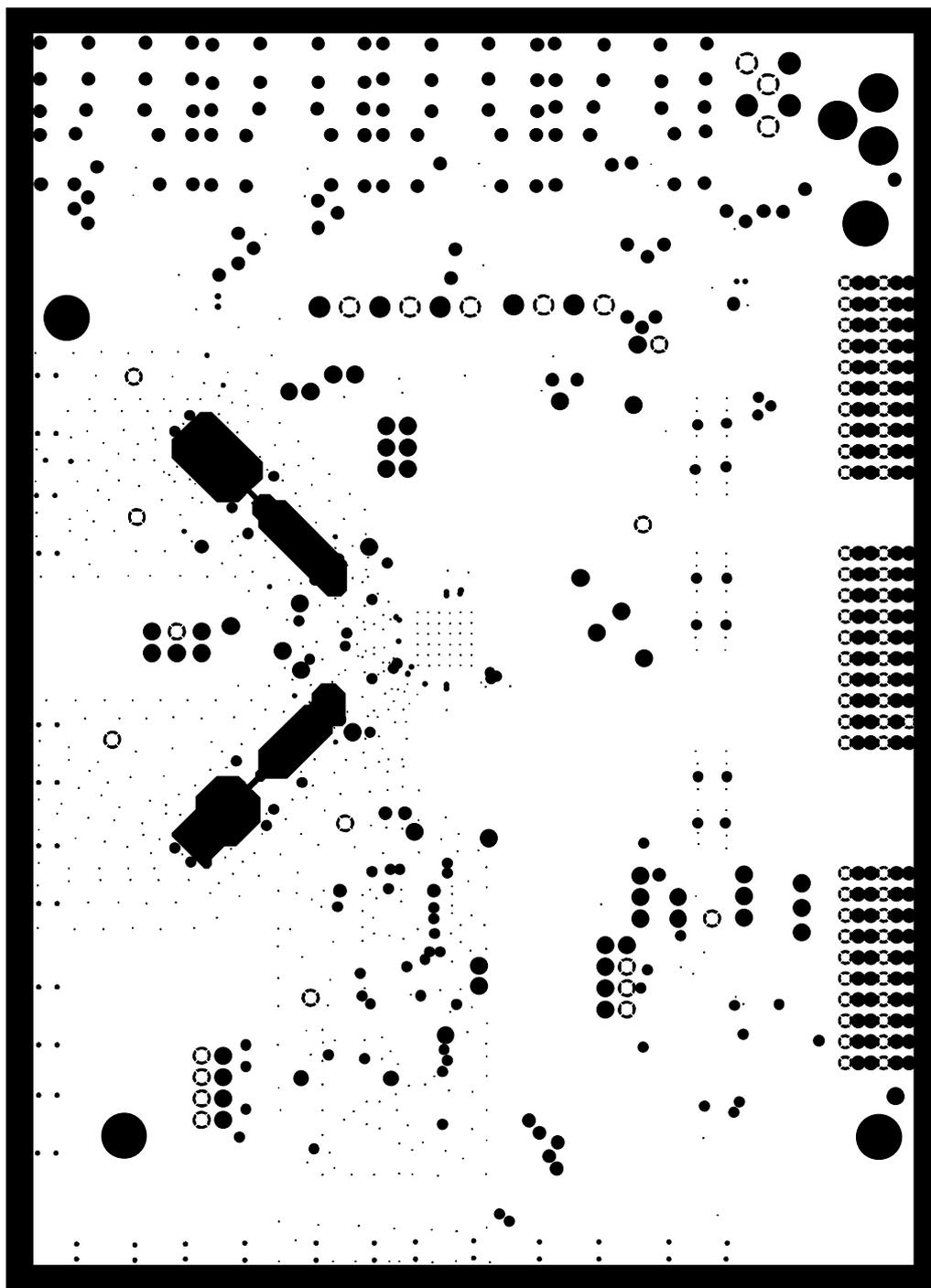
06709-102

図 97.評価ボード・レイアウト-電源プレーン



06709-103

図 98.評価ボード・レイアウト-電源プレーン



067709-104

図 99.評価ボード・レイアウトーグラウンド・プレーン

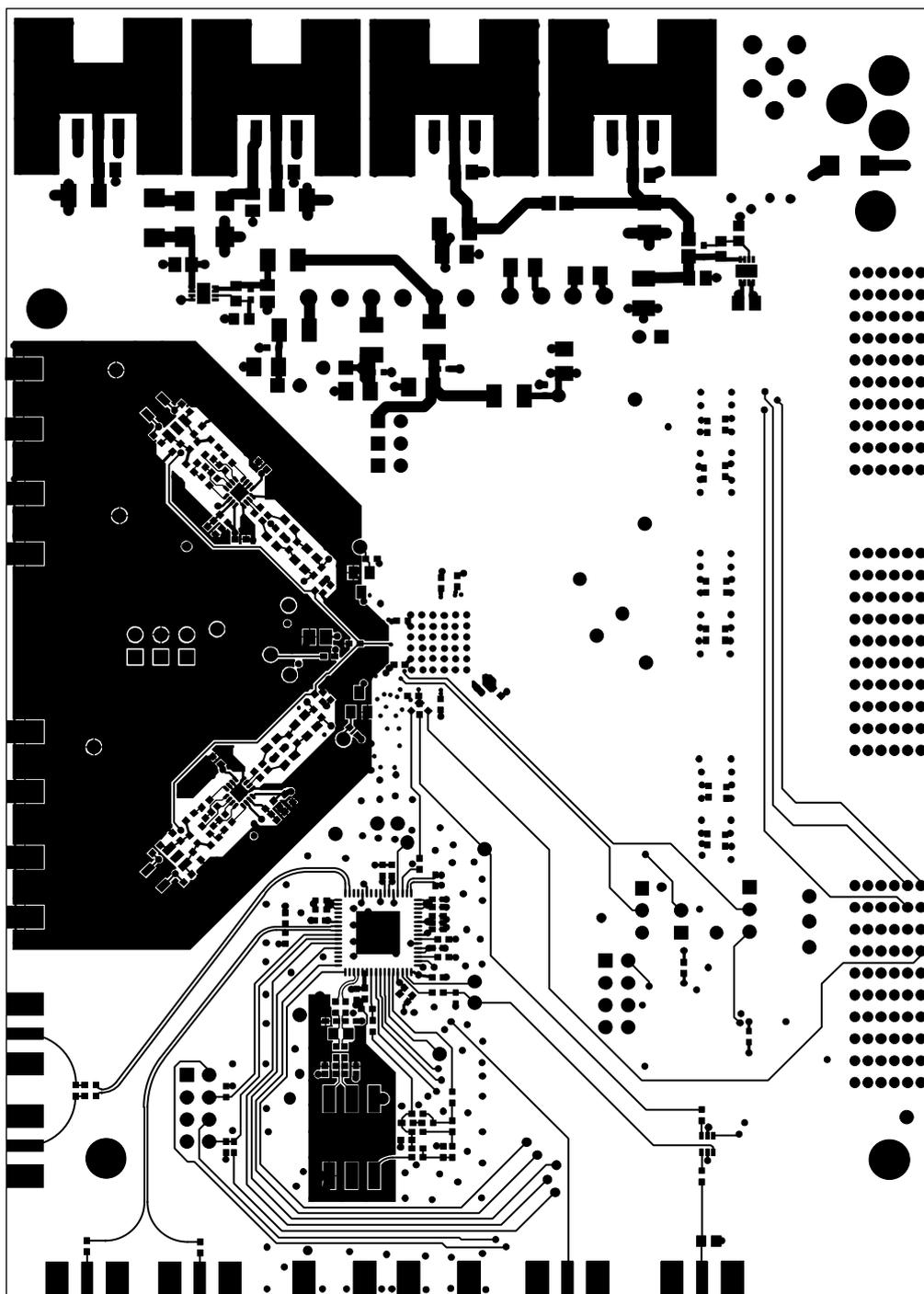


図 100.評価ボード・レイアウト-2次側(鏡像)

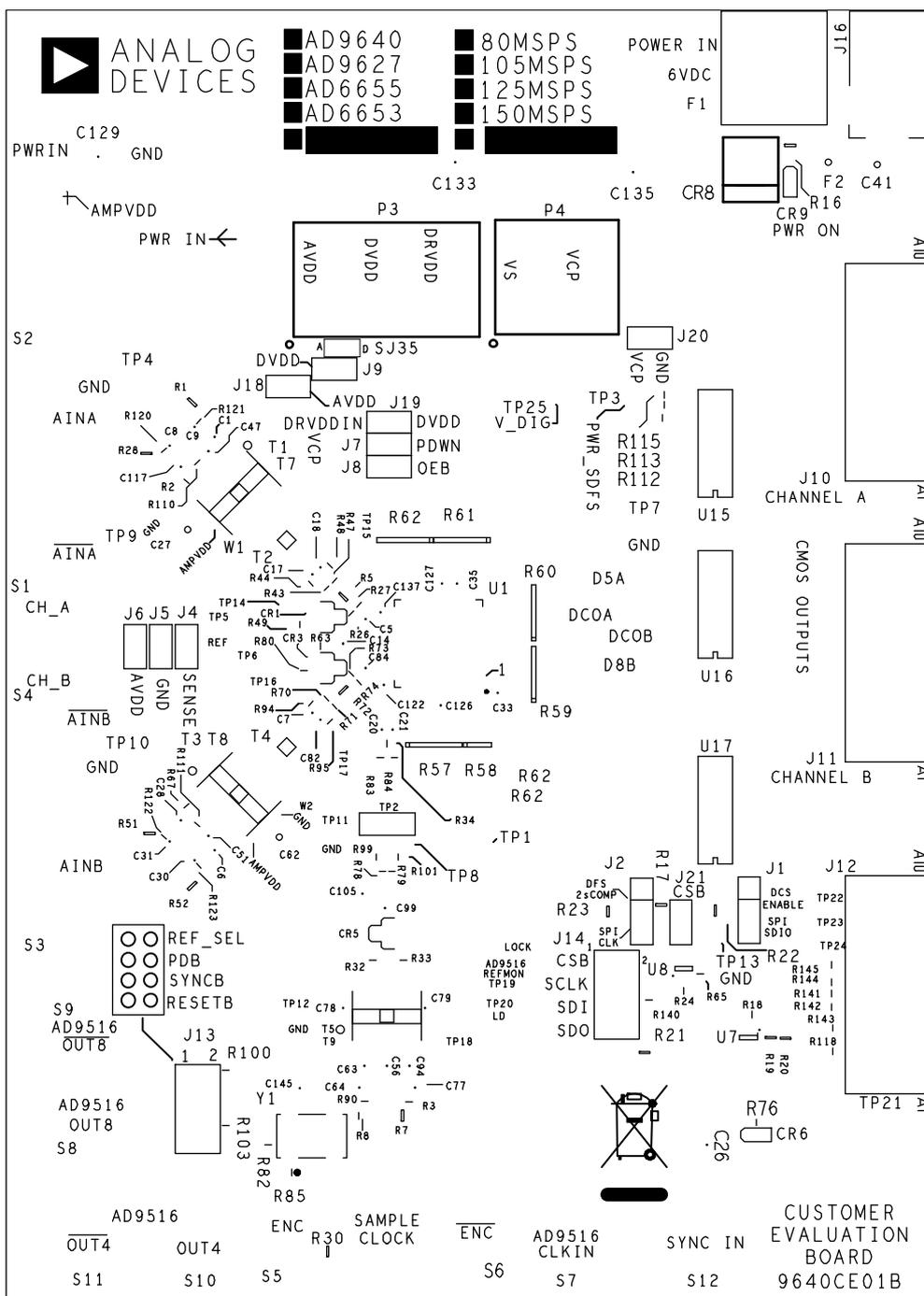


図 101. 評価ボード・レイアウト・シルクスクリーン、1次側

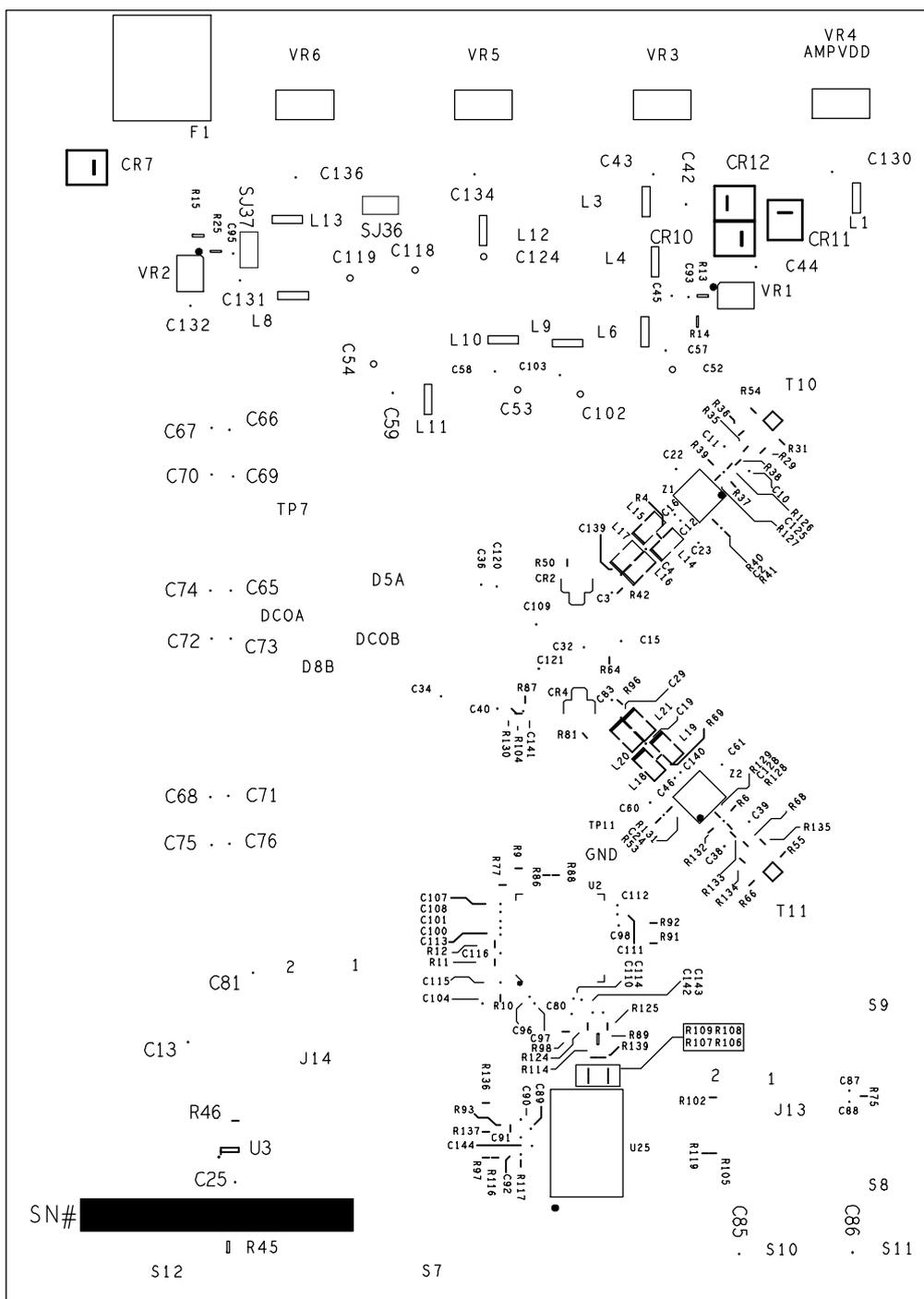


図 102.評価ボード・レイアウト—シルクスクリーン、2次側

部品表

表 30. 評価ボードの部品表^{1, 2}

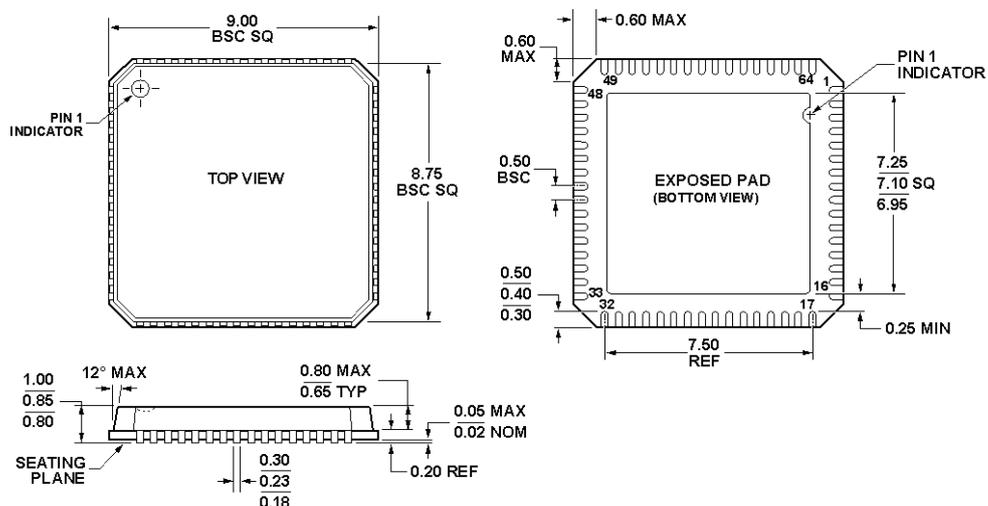
Item	Qty	Reference Designator	Description	Package	Manufacturer	Mfg. Part Number
1	1	AD6655CE_REV B	PCB	PCB	Analog Devices	
2	55	C1 to C3, C6, C7, C13, C14, C17, C18, C20 to C26, C32, C57 to C61, C65 to C76, C81 to C83, C96 to C101, C103, C105, C107, C108, C110 to C116, C145	0.1 μ F, 16 V ceramic capacitor, SMT 0402	C0402SM	Murata	GRM155R71C104KA88D
3	1	C80	18 pF, COG, 50 V, 5% ceramic capacitor, SMT 0402	C0402SM	Murata	GJM1555C1H180JB01J
4	2	C5, C84	4.7 pF, COG, 50 V, 5% ceramic capacitor, SMT 0402	C0402SM	Murata	GJM1555C1H4R7CB01J
5	10	C33, C35, C63, C93 to C95, C122, C126, C127, C137	0.001 μ F, X7R, 25 V, 10% ceramic capacitor, SMT 0402	C0402SM	Murata	GRM155R71H102KA01D
6	13	C15, C42 to C45, C129 to C136	1 μ F, X5R, 25 V, 10% ceramic capacitor, SMT 0805	C0805	Murata	GR4M219R61A105KC01D
7	10	C27, C41, C52 to C54, C62, C102, C118, C119, C124	10 μ F, X5R, 10 V, 10% ceramic capacitor, SMT 1206	C1206	Murata	GRM31CR61C106KC31L
8	1	CR5	Schottky diode HSMS2822, SOT23	SOT23	Avago Technologies	HSMS-2822-BLKG
9	2	CR6, CR9	LED RED, SMT, 0603, SS-type	LED0603	Panasonic	LNJ208R8ARA
10	4	CR7, CR10 to CR12	50 V, 2 A diode	DO_214AA	Micro Commercial Components	S2A-TP
11	1	CR8	30 V, 3 A diode	DO_214AB	Micro Commercial Components	SK33-TP
12	1	F1	EMI filter	FLTHMURATABN X01	Murata	BNX016-01
13	1	F2	6.0 V, 3.0 A, trip current resettable fuse	L1206	Tyco Raychem	NANOSMDC150F-2
14	2	J1, J2	3-pin, male, single row, straight header	HDR3	Samtec	TWS-1003-08-G-S
15	9	J4 to J9, J18, J19, J21	2-pin, male, straight header	HDR2	Samtec	TWS-102-08-G-S
16	3	J10 to J12	Interface connector	TYCO_HM_ZD	Tyco	6469169-1
17	1	J14	8-pin, male, double row, straight header	CNBERG2X4H350LD	Samtec	TSW-104-08-T-D
18	1	J16	DC power jack connector	PWR_JACK1	Cui Stack	PJ-002A
19	10	L1, L3, L4, L6, L8 to L13	10 μ H, 2 A bead core, 1210	1210	Panasonic	EXC-CL3225U1
20	1	P3	6-terminal connector	PTMICRO6	Weiland Electric, Inc.	Z5.531.3625.0
21	1	P4	4-terminal connector	PTMICRO4	Weiland Electric, Inc.	Z5.531.3425.0
22	3	R7, R30, R45	57.6 Ω , 0603, 1/10 W, 1% resistor	R0603	NIC Components	NRC06F57R6TRF
23	27	R2, R3, R4, R32, R33, R42, R64, R67, R69, R90, R96, R99, R101, R104, R110 to F113, R115, R119, R121, R123, R141 to R145	0 Ω , 1/16 W, 5% resistor	R0402SM	NIC Components	NRC04ZOTRF
24	1	R13	76.8 k Ω , 0603, 1/10 W, 1% resistor	R0603	NIC Components	NRC06F7682TRF

Item	Qty	Reference Designator	Description	Package	Manufacturer	Mfg. Part Number
25	1	R25	140 k Ω , 0603, 1/10 W, 1% resistor	R0603	NIC Components	NRC06F1403TRF
26	1	R14	147 k Ω , 0603, 1/10 W, 1% resistor	R0603	NIC Components	NRC06F1473TRF
27	1	R15	78.7 k Ω , 0603, 1/10 W, 1% resistor	R0603	NIC Components	NRC06F7872TRF
28	1	R16	261 Ω , 0603, 1/10 W, 1% resistor	R0603	NIC Components	NRC06F2610TRF
29	3	R17, R22, R23	100 k Ω , 0603, 1/10 W, 1% resistor	R0603	NIC Components	NRC06F1003TRF
30	7	R18, R24, R63, R65, R82, R118, R140	10 k Ω , 0402, 1/16 W, 1% resistor	R0402SM	NIC Components	NRC04F1002TRF
31	3	R19, R21	1 k Ω , 0603, 1/10 W, 1% resistor	R0603	NIC Components	NRC06F1001TRF
32	9	R26, R27, R43, R46, R47, R70, R71, R73, R74	33 Ω , 0402, 1/16 W, 5% resistor	R0402SM	NIC Components	NRC04J330TRF
33	5	R57, R59 to R62	22 Ω , 16-pin, 8-resistor, resistor array	R_742	CTS Corporation	742C163220JPTR
34	1	R58	22 Ω , 8-pin, 4-resistor, resistor array	RES_ARRAY	CTS Corporation	742C083220JPTR
35	1	R76	200 Ω , 0402, 1/16 W, 1% resistor	R0402SM	NIC Components	NCR04F2000TRF
36	4	S2, S3, S5, S12	SMA, inline, male, coaxial connector	SMA_EDGE	Emerson Network Power	142-0701-201
37	1	SJ35	0 Ω , 1/8 W, 1% resistor	SLDR_PAD2MUYLAR	NIC Components	NRC10ZOTRF
38	5	T1 to T5	Balun	TRAN6B	M/A-COM	MABA-007159-000000
39	1	U1	IC, AD6655	LFCSP64-9X9-9E	Analog Devices	AD6655BCPZ
40	1	U2	Clock distribution, PLL IC	LFCSP64-9X9	Analog Devices	AD9516-4BCPZ
41	1	U3	Dual inverter IC	SC70_6	Fairchild Semiconductor	NC7WZ04P6X_NL
42	1	U7	Dual buffer IC, open-drain circuits	SC70_6	Fairchild Semiconductor	NC7WZ07P6X_NL
43	1	U8	UHS dual buffer IC	SC70_6	Fairchild Semiconductor	NC7WZ16P6X_NL
44	3	U15 to U17	16-bit CMOS buffer IC	TSOP48_8_1MM	Fairchild Semiconductor	74VCX16244MTDX_NL
45	2	VR1, VR2	Adjustable regulator	LFCSP8-3X3	Analog Devices	ADP3334ACPZ
46	1	VR3	1.8 V high accuracy regulator	SOT223-HS	Analog Devices	ADP3339AKCZ-1.8
47	1	VR4	5.0 V high accuracy regulator	SOT223-HS	Analog Devices	ADP3339AKCZ-5.0
48	2	VR5, VR6	3.3 V high accuracy regulator	SOT223-HS	Analog Devices	ADP3339AKCZ-3.3
49	1	Y1	Oscillator clock, VFAC3	OSC-CTS-CB3	Valpey Fisher	VFAC3-BHL
50	2	Z1, Z2	High speed IC, op amp	LFCSP16-3X3-PAD	Analog Devices	AD8352ACPZ

¹ この部品表は RoHS に準拠しています。

² この部品表にはデフォルト状態で通常実装される部品のみを記載しています。実装されていない項目はこの部品表に記載されていません。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VMM4

図 103.64 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
9 mm × 9 mm ボディ、極薄クワッド
(CP-64-3)
寸法: mm

061007.C

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD6655BCPZ-150 ¹	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-3
AD6655BCPZ-125	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-3
AD6655BCPZ-105	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-3
AD6655BCPZ-80	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-3
AD6655-125EBZ		Evaluation Board with AD6655 and Software	
AD6655-150EBZ		Evaluation Board with AD6655 and Software	

¹ Z = RoHS 準拠製品