

特長

80MSPSのサンプル・レートを保証
 80MSPS、 $f_{IN} = 15\text{MHz}$ でS/N比 = 75dB
 80MSPS、 $f_{IN} = 200\text{MHz}$ でS/N比 = 72dB
 80MSPS、 $f_{IN} = 70\text{MHz}$ でSFDR = 89dBc
 マルチトーンSFDR : 100dB
 200MHzまでのIFサンプリング
 サンプリング・ジッター : 0.1ps
 消費電力 : 1.5W
 差動アナログ入力
 AD6644とピン・コンパチブル
 2の補数デジタル出力フォーマット
 3.3V CMOS互換
 出力ラッチ用のDataReady

アプリケーション

マルチチャンネル、マルチモード・レシーバ
 基地局のインフラストラクチャ
 IS-136、CDMA、GSM、WCDMA用アンプ
 シングル・チャンネル・デジタル・レシーバ
 アンテナ・アレイ処理
 通信用計測器
 レーダー、赤外線画像
 計装機器

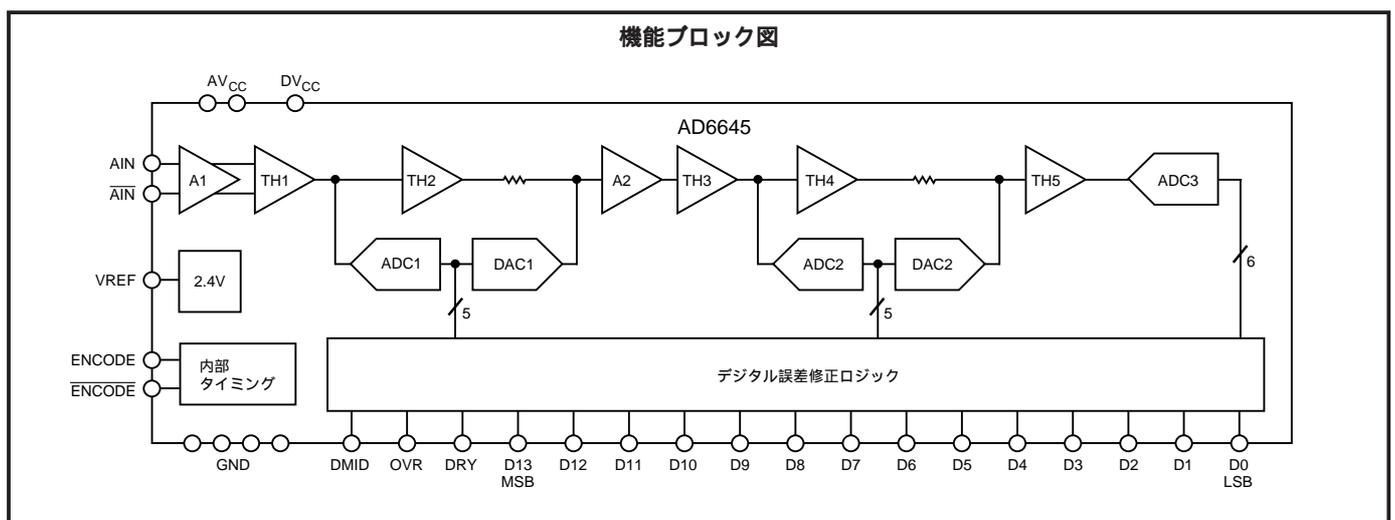
概要

AD6645は高速高性能のモノリシック14ビットA/Dコンバータです。トラック・アンド・ホールド (T/H) やリファレンス電圧など、必要なすべての機能を内蔵することにより、完全な変換ソリューションを提供します。AD6645はCMOS互換デジタル出力を提供します。AD9042 (12ビット、

41MSPS)、AD6640 (12ビット、65MSPS、IFサンプリング)、AD6644 (14ビット、40/65MSPS) に続く広帯域ADCファミリの第4世代です。AD6645はマルチチャンネルのマルチモード・レシーバ用に設計された、アナログ・デバイスのSoftCell™ トランシーバ・チップセット・デバイスです。AD6645は、第2ナイキスト帯域まで100dBマルチトーン・スプリアスフリー・ダイナミックレンジ (SFDR) を維持しています。この優れた性能は、一般にADCによって制約を受けるマルチモード・デジタル・レシーバ (ソフトウェア・ラジオ) の課題を解消します。AD6645のノイズ性能は極めて優れており、第1ナイキスト帯域でのS/N比は74.5dB (typ) です。AD6645はアナログ・デバイスズの高速相補型バイポーラ・プロセス (XFCB) で製造されており、技術革新的なマルチパス回路アーキテクチャを採用しています。熱特性改良型52ピンPowerQuad 4[®]パッケージ (LQFP_ED) を採用し、-40 ~ +85 の温度範囲で仕様規定されています。

製品のハイライト

1. IFサンプリング
AD6645は入力周波数200MHzまで優れたAC性能を維持しています。マルチキャリアの第3世代広帯域セルラーIFサンプリング・レシーバ向けに最適です。
2. ピン・コンパチブル
このADCは、14ビット40/65MSPSADCのAD6644と同じ専有面積とピン配置を持っています。
3. SFDR性能およびオーバーサンプリング
マルチトーンSFDR性能が-100dBcと優れているため、ハイエンドRF部品を削減し、AD6620やAD6624/24Aなどの受信信号プロセッサの使用が可能になります。



SoftCellはAnalog Devices, Inc.の商標です。
 PowerQuad 4はAmkor Technology, Inc.の登録商標です。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

REV.0

AD6645 - 仕様

DC特性 (特に指定のない限り、 $AV_{CC} = 5V$ 、 $DV_{CC} = 3.3V$; $T_{MIN} = -40$ 、 $T_{MAX} = +85$)

パラメータ	温度	テスト・レベル	AD6645ASQ-80			単位
			Min	Typ	Max	
分解能				14		ビット
精度				保証		
ノーマル・ミスコード	全範囲	II				
オフセット誤差	全範囲	II	- 10	+ 1.2	+ 10	mV
ゲイン誤差	全範囲	II	- 10	0	+ 10	% FS
微分非直線性 (DNL)	全範囲	II	- 1.0	± 0.25	+ 1.5	LSB
積分非直線性 (INL)	全範囲	V		± 0.5	LSB	
温度ドリフト						
オフセット誤差	全範囲	V		1.5		ppm/
ゲイン誤差	全範囲	V		48		ppm/
電源変動除去比 (PSRR)	25	V		± 1.0		mV/V
リファレンス出力 (VREF) ¹	全範囲	V		2.4		V
アナログ入力 (AIN、AIN)						
差動入力電圧範囲	全範囲	V		2.2		V p-p
差動入力抵抗	全範囲	V		1		k
差動入力容量	25	V		1.5		pF
電源						
電源電圧						
AV_{CC}	全範囲	II	4.75	5.0	5.25	V
DV_{CC}	全範囲	II	3.0	3.3	3.6	V
電源電流						
$I_{AV_{CC}}$ ($AV_{CC} = 5.0V$)	全範囲	II		275	320	mA
$I_{DV_{CC}}$ ($DV_{CC} = 3.3V$)	全範囲	II		32	45	mA
立ち上がり時間 ²						
AV_{CC}	全範囲	IV			TBD	ms
消費電力	全範囲	II		1.5	1.75	W

注

1 VREFは、DC結合アナログ入力が必要な場合にAD8138のような差動アンプのコモン・モード・オフセットを設定するために用意されています。それ以外の回路機能を駆動する場合には、VREFにはバッファが必要です。

2 直線的な立ち上がり特性を持つDC電源に対して規定。45ms以下の直線的な立ち上がり時間を持つDC電源の使用を推奨します。

仕様は予告なく変更されることがあります。

デジタル特性 (特に指定のない限り、 $AV_{CC} = 5V$ 、 $DV_{CC} = 3.3V$; $T_{MIN} = -40$ 、 $T_{MAX} = +85$)

パラメータ (条件)	温度	テスト・レベル	AD6645ASQ-80			単位
			Min	Typ	Max	
ENCODE入力 (ENC、 \overline{ENC})						
差動入力電圧 ¹	全範囲	IV	0.4			V p-p
差動入力抵抗	25	V		10		k
差動入力容量	25	V		2.5		pF
ロジック出力 (D13~D0、DRY、OVR ²)						
ロジック互換性				CMOS		
ロジック "1" の電圧 ($DV_{CC} = 3.3V$) ³	全範囲	II	2.85	$DV_{CC} - 0.2$		V
ロジック "0" の電圧 ($DV_{CC} = 3.3V$) ³	全範囲	II		0.2	0.5	V
出力コーディング				2の補数		
DMID	全範囲	V		$DV_{CC}/2$		V

注

1 すべてのAC仕様は、ENCODEと \overline{ENCODE} を差動で駆動してテストしています。

2 範囲外ビットは、温度範囲25~85で仕様規定しています。

3 デジタル出力ロジック・レベル: $DV_{CC} = 3.3V$ 、 $C_{LOAD} = 10pF$ 。容量負荷が10pFより大きい場合、性能が低下します。

仕様は予告なく変更されることがあります。

AC仕様 (特に指定のない限り、 $AV_{CC} = 5V$ 、 $DV_{CC} = 3.3V$; ENCODEおよび $\overline{ENCODE} = 80MSPS$; $T_{MIN} = -40$ 、 $T_{MAX} = +85$)

パラメータ (条件)	温度	テスト・レベル	AD6645ASQ-80			単位
			Min	Typ	Max	
S/N比						
アナログ入力	15.5MHz	25	V		75.0	dB
- 1dBFSのとき	30.5MHz	25	II	72.5	74.5	dB
	70.0MHz	25	II	72.0	73.5	dB
	150.0MHz	25	V		73.0	dB
	200.0MHz	25	V		72.0	dB
SINAD						
アナログ入力	315.5MHz	25	V		75.0	dB
- 1dBFSのとき	30.5MHz	25	II	72.5	74.5	dB
	70.0MHz	25	V		73.0	dB
	150.0MHz	25	V		68.5	dB
	200.0MHz	25	V		62.5	dB
最悪高調波 (2次または3次)						
アナログ入力	15.5MHz	25	V		93.0	dBc
- 1dBFSのとき	30.5MHz	25	II	85.0	93.0	dBc
	70.0MHz	25	V		89.0	dBc
	150.0MHz	25	V		70.0	dBc
	200.0MHz	25	V		63.5	dBc
最悪高調波 (4次以上)						
アナログ入力	15.5MHz	25	V		96.0	dBc
- 1dBFSのとき	30.5MHz	25	II	85.0	95.0	dBc
	70.0MHz	25	V		90.0	dBc
	150.0MHz	25	V		90.0	dBc
	200.0MHz	25	V		88.0	dBc
ツートーンSFDR						
	30.5MHz ^{2, 3}	25	V		100	dBFS
	55.0MHz ^{2, 4}	25	V		100	dBFS
ツートーンIMD除去^{3, 4}						
- 7dBFSでのF1、F2		25	V		90	dBc
アナログ入力帯域幅						
		25	V		270	MHz

注

1 すべてのAC仕様は、ENCODEと \overline{ENCODE} を差動で駆動してテストしています。

2 アナログ入力信号電力は -10 - -100dBFS間で掃引。

3 F1 = 30.5MHz、F2 = 31.5MHz。

4 F1 = 55.25MHz、F2 = 56.25MHz。

仕様は予告なく変更されることがあります。

スイッチング仕様 (特に指定のない限り、 $AV_{CC} = 5V$ 、 $DV_{CC} = 3.3V$; ENCODEおよび $\overline{ENCODE} = 80MSPS$; $T_{MIN} = -40$ 、 $T_{MAX} = +85$)

パラメータ (条件)	温度	テスト・レベル	AD6645ASQ-80			単位
			Min	Typ	Max	
最大変換レート	全範囲	II	80			MSPS
最小変換レート	全範囲	IV			30	MSPS
ENCODEのハイレベル・パルス幅 (t_{ENCH})*	全範囲	IV	5.625			ns
ENCODEのローレベル・パルス幅 (t_{ENCL})*	全範囲	IV	5.625			ns

*いくつかのタイミング・パラメータは、 t_{ENCL} と t_{ENCH} の関数になっています。

仕様は予告なく変更されることがあります。

AD6645

スイッチング仕様 (続き) (特に指定のない限り、 $AV_{CC} = 5V$ 、 $DV_{CC} = 3.3V$ ； ENC_{CODE} および $\overline{ENC}_{CODE} = 80MSPS$ ； $T_{MIN} = -40$ 、 $T_{MAX} = +85$ 、 $C_{LOAD} = 10pF$)

パラメータ (条件)	名前	温度	テスト・レベル	AD6645ASQ-80			単位
				Min	Typ	Max	
ENCODE入力パラメータ¹							
ENCODE周期 ¹ @ 80MSPS	t_{ENC}	全範囲	V		12.5		ns
ENCODEのハイレベル・パルス幅 ² @ 80MSPS	t_{ENCH}	全範囲	V		6.25		ns
ENCODEのローレベル・パルス幅 ² @ 80MSPS	t_{ENCL}	全範囲	V		6.25		ns
ENCODE/DataReady							
ENCODEの立ち上がりからDataReadyの立ち下がりまで	t_{DR}	全範囲	V	1.0	2.0	3.1	ns
ENCODEの立ち上がりからDataReadyの立ち上がりまで	t_{E_DR}	全範囲	V		$t_{ENCH} + t_{DR}$		ns
@ 80MSPS (50%デューティ・サイクル)		全範囲	V	7.3	8.3	9.4	ns
ENCODE/DATA (D13:0) OVR							
ENCからDATAの立ち下がりまで	t_{E_FL}	全範囲	V	2.4	4.7	7.0	ns
ENCからDATAの立ち上がりまで	t_{E_RL}	全範囲	V	1.4	3.0	4.7	ns
ENCODEからDATAまでの遅延 (ホールド・タイム) ³	t_{H_E}	全範囲	V	1.4	3.0	4.7	ns
ENCODEからDATAまでの遅延 (セットアップ・タイム) ⁴	t_{S_E}	全範囲	V		$t_{ENC} - t_{E_FL}$		ns
ENCODE = 80MSPS (50%デューティ・サイクル)		全範囲	V	5.3	7.6	10.0	ns
DataReady (DRY⁵) /DATA、OVR							
DataReadyからDATAまでの遅延 (ホールド・タイム) ²	t_{H_DR}	全範囲	V		注6		ns
ENCODE = 80MSPS (50%デューティ・サイクル)				6.6	7.2	7.9	
DataReadyからDATAまでの遅延 (セットアップ・タイム) ²	t_{S_DR}	全範囲	V		注6		ns
ENCODE = 80MSPS (50%デューティ・サイクル)				2.1	3.6	5.1	
アパーチャ遅延	t_A	25	V		- 500		ps
アパーチャ不確定性 (ジッター)	t_j	25	V		0.1		ps rms

注

- いくつかのタイミング・パラメータは、 t_{ENC} と t_{ENCH} の関数になっています。
- t_{H_DR} と t_{S_DR} のデューティ・サイクル変化を補償するときは、次式を使います。
新しい $t_{H_DR} = (t_{H_DR} - \%変化(t_{ENCH}))$
新しい $t_{S_DR} = (t_{S_DR} - \%変化(t_{ENCH}))$
- ENCODEからDATAまでの遅延 (ホールド・タイム) は、A/Dコンバータの絶対最小伝搬遅延です ($t_{E_RL} = t_{H_E}$)。
- ENCODEからDATAまでの遅延 (セットアップ・タイム) は、80MSPSを基準として計算したものです (50%デューティ・サイクル)。与えられたENCODEに対して t_{S_E} を計算するときは、次式を使います。
新しい $t_{S_E} = t_{ENC(NEW)} - t_{ENC} + t_{S_E}$
(すなわち、40MSPSに対して新しい $t_{S_E(TYP)} = 25 \times 10^{-9} - 15.38 \times 10^{-9} + 9.8 \times 10^{-9} = 19.4 \times 10^{-9}$)
- DRYはエンコード・クロックを反転して遅延させたものです。クロックのデューティ・サイクルが変化すると、対応してDRYのデューティ・サイクルも変化します。
- DataReadyからDATAまでの遅延 (t_{H_DR} および t_{S_DR}) は、80MSPS (50%デューティ・サイクル) を基準にして計算したもので、 t_{ENC} とデューティ・サイクルに依存します。与えられたENCODEに対して t_{S_DR} を計算するときは、次式を使います。
新しい $t_{H_DR} = t_{ENC(NEW)}/2 - t_{ENCH} + t_{H_DR}$
(すなわち、40MSPSに対して新しい $t_{H_DR(TYP)} = 12.5 \times 10^{-9} - 6.25 \times 10^{-9} + 7.2 \times 10^{-9} = 13.45 \times 10^{-9}$)
新しい $t_{S_DR} = t_{ENC(NEW)}/2 - t_{ENCH} + t_{S_DR}$
(すなわち、40MSPSに対して新しい $t_{S_DR(TYP)} = 12.5 \times 10^{-9} - 6.25 \times 10^{-9} + 3.6 \times 10^{-9} = 9.85 \times 10^{-9}$)

仕様は予告なく変更されることがあります。

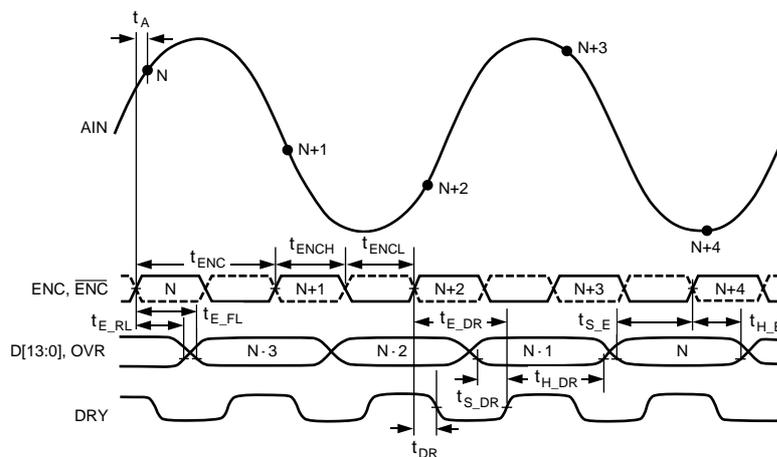


図1 タイミング図

絶対最大定格*

パラメータ	Min	Max	単位
電気的特性			
AV _{CC} 電圧	0	7	V
DV _{CC} 電圧	0	7	V
アナログ入力電圧	0	AV _{CC}	V
アナログ入力電流		25	mA
デジタル入力電圧	0	AV _{CC}	V
デジタル出力電流		4	mA
環境特性			
動作範囲(周囲)	- 40	+ 85	
最大接合温度		150	
ピン温度(ハンダ処理、10秒)		300	
保管温度範囲(周囲)	- 65	+ 150	

* 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久破壊をもたらすことがあります。この定格は、デバイスの単なるストレスの度合いであり、基本的な動作あるいは動作の項に示す条件において、この定格は考慮されていません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えます。

熱特性

52ピンPowerQuad 4

LQFP_ED

JA = 23 W	スラグのハンダ付けあり、自然空冷
JA = 17 W	スラグのハンダ付けあり、200LFPMの流速
JA = 30 W	スラグのハンダ付けなし、自然空冷
JA = 24 W	スラグのハンダ付けなし、200LFPMの流速
JC = 2 W	パッケージ底部(ヒートスラグ)

代表的な4層JEDECボードを水平に配置

テスト・レベルの説明

テスト・レベル

- I. 100%の出荷テストを実施。
- II. 25 で100%の出荷テスト、さらに設計および仕様限界温度でのキャラクタライゼーションにより保証。
- III. サンプル・テストのみを実施。
- IV. パラメータは、設計およびキャラクタライゼーション・テストにより保証。
- V. パラメータは、typ値のみ。

オーダー・ガイド

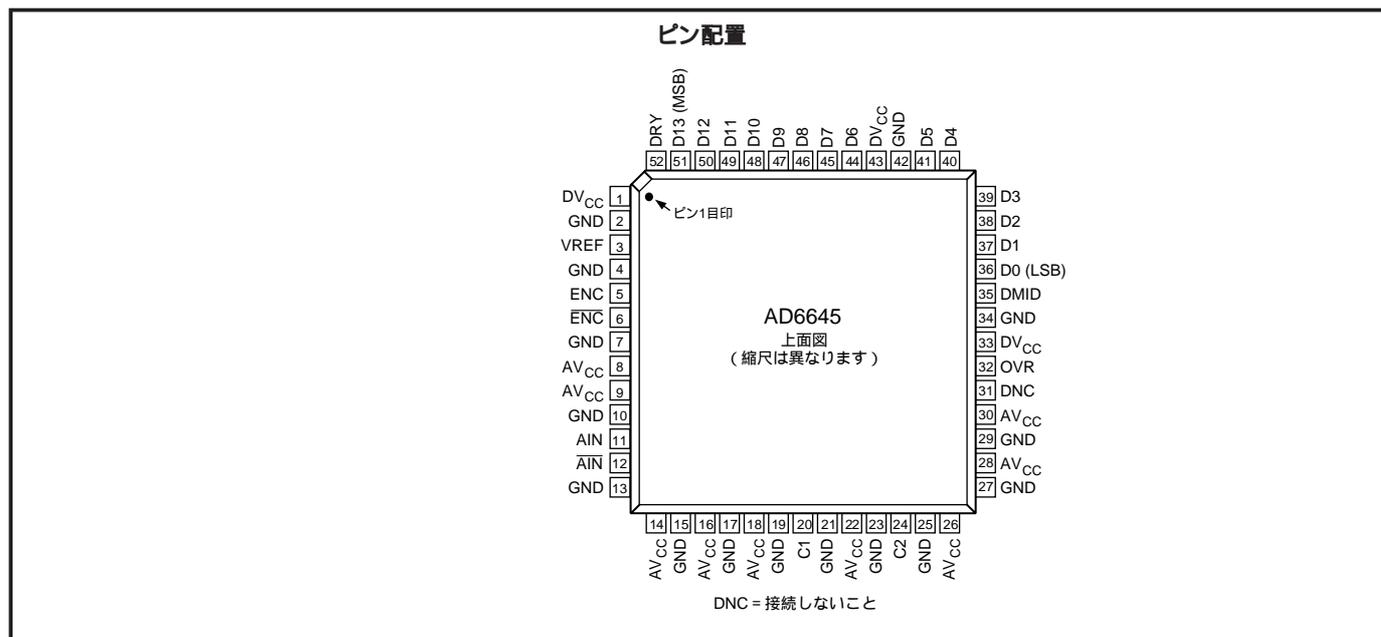
モデル	温度範囲	パッケージ	パッケージ・オプション
AD6645ASQ-80	- 40 ~ + 85 (周辺)	52ピンPowerQuad 4 (LQFP_ED)	SQ-52
AD6645/PCB	25	評価ボード	

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



AD6645



ピン機能の説明

ピン番号	記号	機能
1、33、43	DV _{CC}	3.3V電源 (デジタル) 出力ステージ専用
2、4、7、10、13、15、17、19、21、23、25、27、29、34、42	GND	グラウンド
3	VREF	2.4Vリファレンス電圧。0.1 μFのマイクロウェーブ・チップ・コンデンサを使ってグラウンドへバイパス
5	ENC	ENCODE入力。立ち上がりエッジで変換
6	ENC	ENCの反転、差動入力
8、9、14、16、18、22、26、28、30	AV _{CC}	5Vアナログ電源
11	AIN	アナログ入力
12	AIN	AINの反転、差動アナログ入力
20	C1	内部リファレンス電圧。0.1 μFのチップ・コンデンサを使ってグラウンドへバイパス
24	C2	内部リファレンス電圧。0.1 μFのチップ・コンデンサを使ってグラウンドへバイパス
31	DNC	このピンは接続しないでください
32	OVR*	範囲外ビット。ハイレベル (ロジック出力) はアナログ入力 が ±FS を超えたことを表示します
35	DMID	出力電圧の中央ポイント。ほぼ (DV _{CC}) / 2 の値
36	D0 (LSB)	デジタル出力ビット (LSB) 2 の補数
37 ~ 41、44 ~ 50	D1 ~ D5、D6 ~ D12	デジタル出力ビット (2 の補数)
51	D13 (MSB)	デジタル出力ビット (MSB) 2 の補数
52	DRY	DataReady出力

*範囲外ビットは、温度範囲25 ~ 85 で仕様規定しています。

仕様の定義**アナログ帯域幅**

基本周波数（FFT解析により決定）の電力スペクトルが3dB低下するアナログ入力周波数。

アパーチャ遅延

ENCODEコマンドの立ち上がりエッジの50%ポイントとアナログ入力がサンプルされるタイミングとの間の遅延。

アパーチャ不確定性（ジッター）

アパーチャ遅延のサンプル間における変化。

差動アナログ入力抵抗、差動アナログ入力容量、差動アナログ入力インピーダンス

各アナログ入力ポートで測定される実抵抗と合成抵抗。抵抗値は静的に測定。容量および差動入力インピーダンスはネットワーク・アナライザを使って測定。

差動アナログ入力電圧範囲

コンバータに入力したときにフルスケール応答を発生するピークtoピーク差動電圧。ピーク差動電圧は、あるピンの電圧から、そのピンと180度位相がずれている他のピンの電圧を減算することにより求めることができます。ピークtoピーク差動は、ピーク値を測定し、さらに入力位相を180度回転してピーク値を再度測定します。次に両ピーク測定値から差を計算します。

微分非直線性

理論1 LSBステップと実際のコード幅との差。

ENCODEパルス幅 / デューティ・サイクル

ハイレベル・パルス幅は、定格性能を達成するために、ENCODEパルスがロジック“1”状態を維持する必要がある最小時間幅です。ローレベル・パルス幅は、ENCODEパルスがローレベル状態を維持する必要がある最小時間幅です。 t_{ENCH} の変化によるタイミング変化の説明を参照してください。与えられたクロック・レートに対して、これらの仕様は許容できるENCODEのデューティ・サイクルを定めます。

フルスケール入力電力

dBmで表します。次式で計算します。

$$\text{Power}_{\text{Full Scale}} = 10 \log \left[\frac{V_{\text{Full Scale rms}}^2}{|Z|_{\text{Input}} \cdot 0.001} \right]$$

高調波歪み、2次

2次高調波成分のrms値に対する、信号振幅rms値の比でdBcで表します。

高調波歪み、3次

3次高調波成分のrms値に対する、信号振幅rms値の比でdBcで表します。

積分非直線性

最小二乗近似による“最適直線”を使って、1 LSB以下の単位で表した基準直線からの、伝達関数の偏差をいいます。

最小変換レート

保証規定値より最小周波数のアナログ信号のS/N比が3dB低下するENCODEレートをいいます。

最大変換レート

パラメータ・テストが実施されるENCODEレート。

ノイズ（ADC内の任意の範囲）

$$V_{\text{NOISE}} = \sqrt{|Z| \times 0.001 \times 10^{\left(\frac{FS_{\text{dBm}} \cdot \text{SNR}_{\text{dBc}} \cdot \text{Signal}_{\text{dBFS}}}{10} \right)}}$$

ここで、Zは入力インピーダンス、FSは注目する周波数に対するデバイスのフルスケール、SNR（S/N比）は特定の入力レベルに対する値、Signal（信号）はdBで表したフルスケールより小さいADC内の信号レベル。この値には、熱ノイズと量子化ノイズが含まれます。

出力伝搬遅延

差動のENCODEとENCODEの交叉点と、全出力データ・ビットが有効ロジック・レベルになるタイミングとの間の遅延をいいます。

電源変動除去比

入力オフセット電圧変化の電源電圧変動に対する比をいいます。

電源の立ち上がり時間

DC電源が投入されたときから電源がADCの最小規定動作電圧に到達するまでの時間。DCレベルは、ADCの電源ピンで測定します。

S/N + 歪み比（SINAD）

rms信号振幅値（フルスケールの下1dBに設定）の、DC以外の全高調波成分スペクトルの和のrms値に対する比をいいます。

S/N比（高調波なし）（SNR）

rms信号振幅値（フルスケールの下1dBに設定）の、DCおよび5次までの高調波を除く全高調波成分スペクトルの和のrms値に対する比をいいます。

スプリアスフリー・ダイナミックレンジ（SFDR）

ピーク高調波成分のrms値に対する、信号振幅rms値の比をいいます。ピーク・スプリアス成分は、ある高調波である場合とそうでない場合があります。dBc（信号レベルを小さくした場合の劣化）またはdBFS（コンバータのフルスケールに換算）で表されることがあります。

ツー・トーン間相互変調歪み除去比

いずれかの入力周波rms値の、最悪3次相互変調積rms値に対する比。

ツー・トーンSFDR

いずれかの入力周波のrms値の、ピーク・スプリアス成分のrms値に対する比。ピーク・スプリアス成分は、IMD積である場合とそうでない場合があります。dBc（信号レベルを小さくした場合の劣化）またはdBFS（コンバータのフルスケールに換算）で表されることがあります。

その他の最悪スプリアス

2次および3次高調波を除く最悪高調波成分のrms値に対する、信号振幅rms値の比で、dBcで表します。

AD6645

等価回路

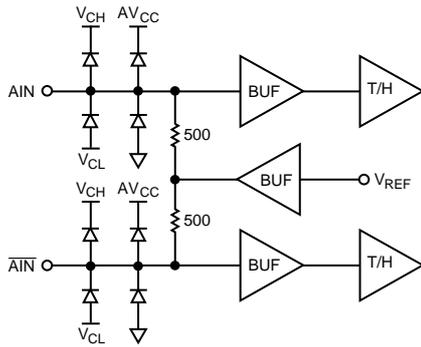


図2 アナログ入力ステージ

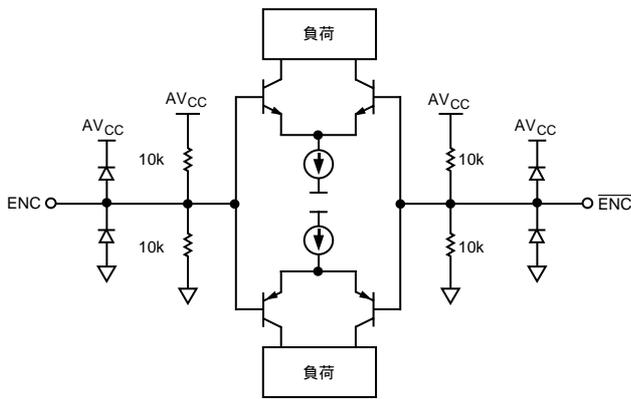


図3 ENCODE入力

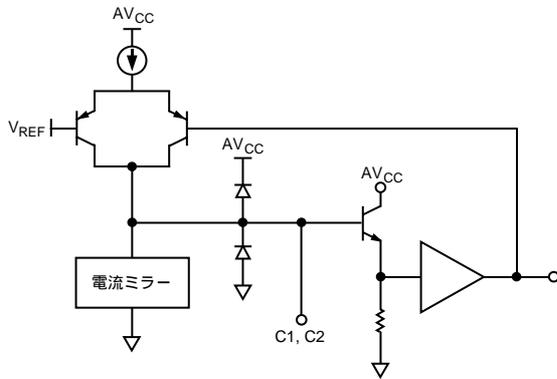


図4 補償ピン、C1またはC2

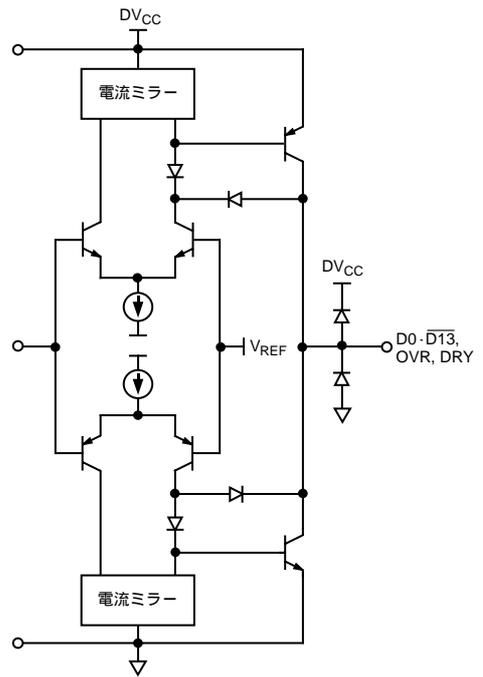


図5 デジタル出力ステージ

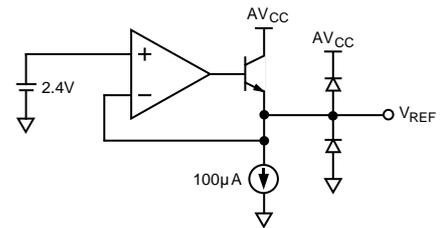


図6 2.4Vリファレンス

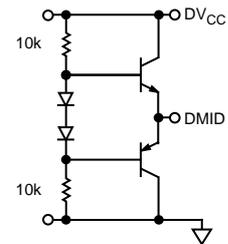
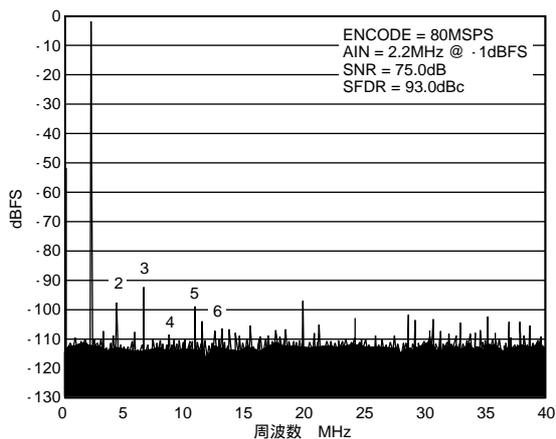
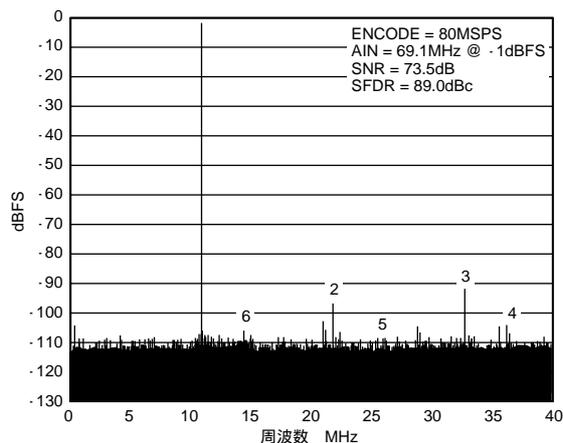


図7 DMIDリファレンス

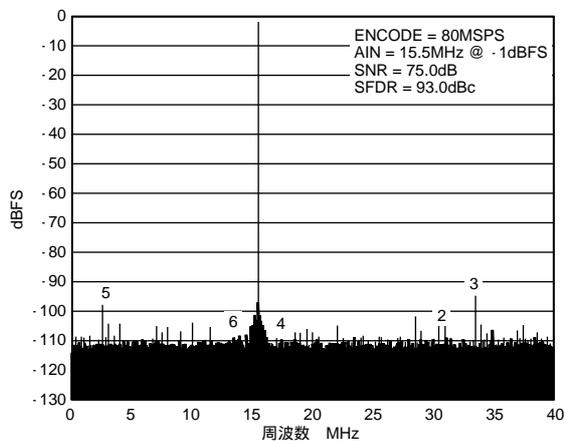
代表的な性能特性 - AD6645



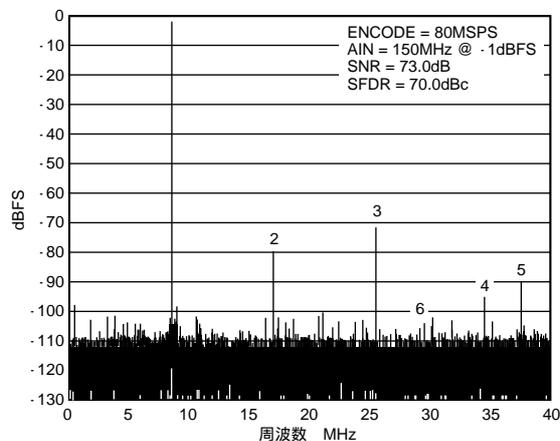
特性1 シングル・トーン、2.2MHz



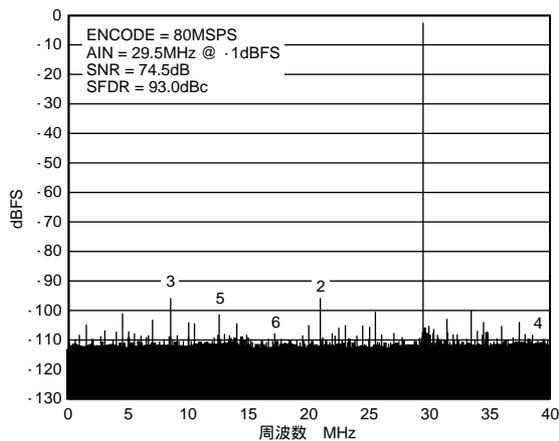
特性4 シングル・トーン、69.1MHz



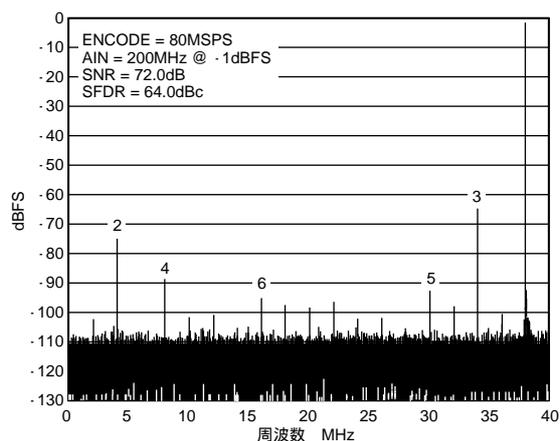
特性2 シングル・トーン、15.5MHz



特性5 シングル・トーン、150MHz

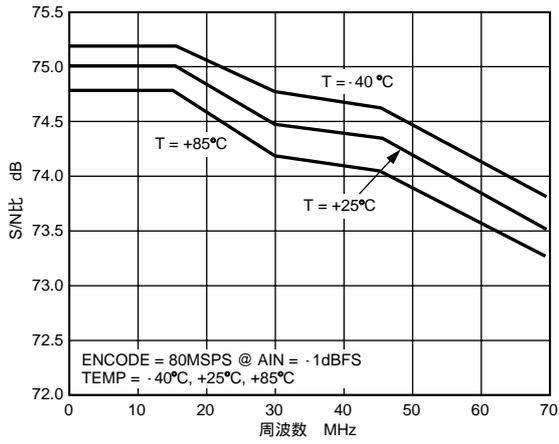


特性3 シングル・トーン、29.5MHz

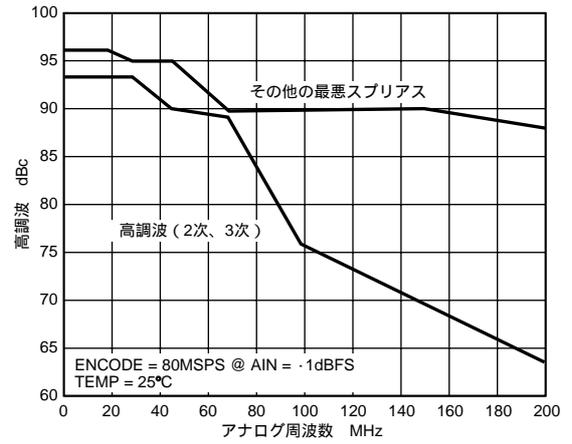


特性6 シングル・トーン、200MHz

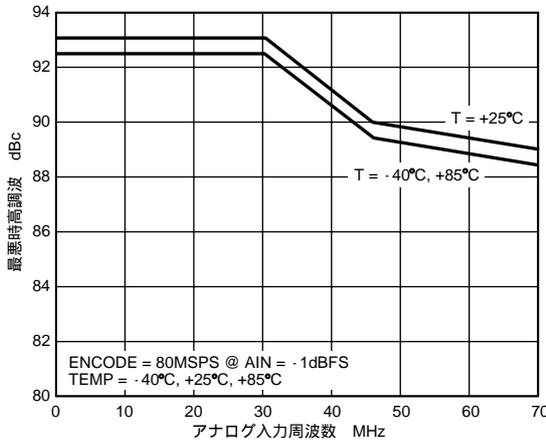
AD6645



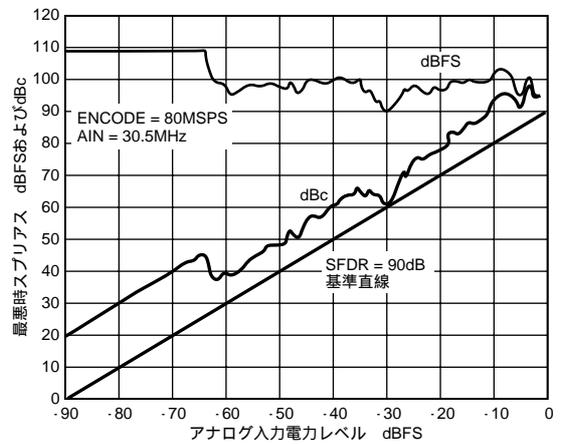
特性7 ノイズ対アナログ周波数



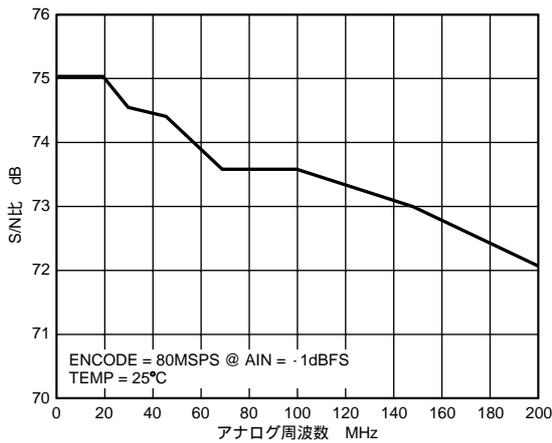
特性10 高調波対アナログ周波数(IF)



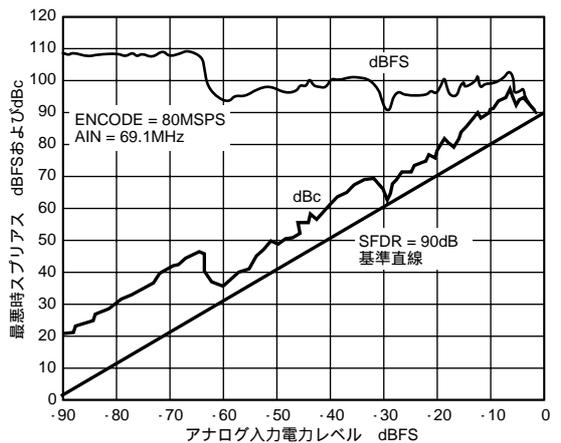
特性8 高調波対アナログ周波数



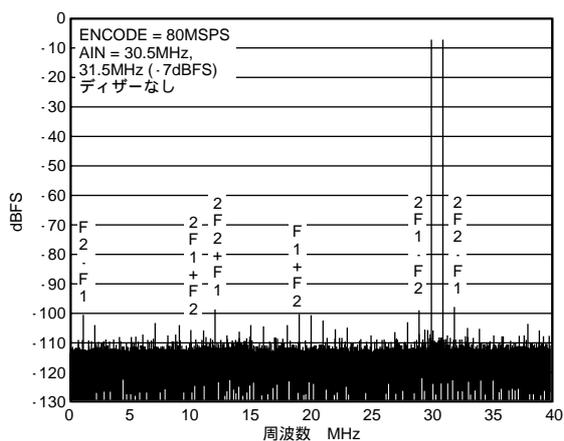
特性11 シングル・トーンSFDR、30.5MHz



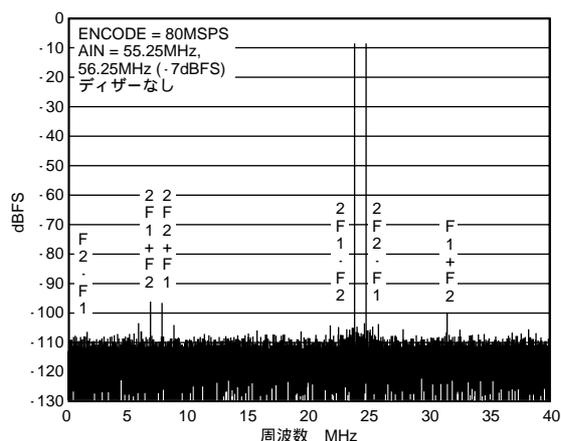
特性9 ノイズ対アナログ周波数(IF)



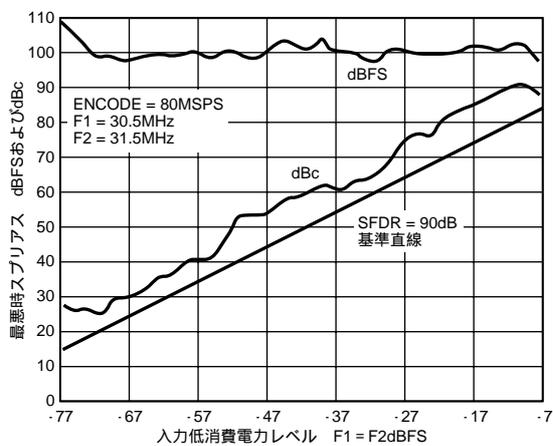
特性12 シングル・トーンSFDR、69.1MHz



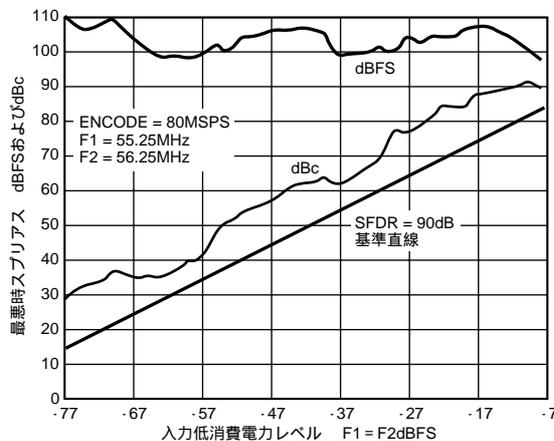
特性13 ツー・トーン、30.5MHzおよび31.5MHz



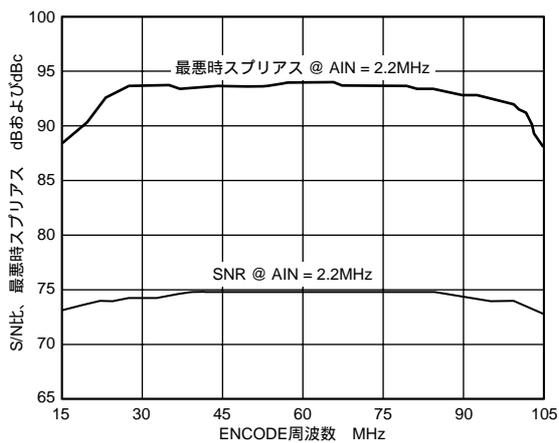
特性16 シングル・トーンSFDR、55.25MHzおよび56.25MHz



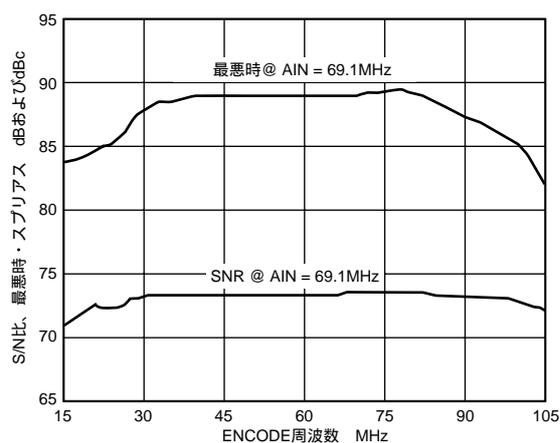
特性14 シングル・トーンSFDR、30.5MHzおよび31.5MHz



特性17 シングル・トーンSFDR、55.25MHzおよび56.25MHz

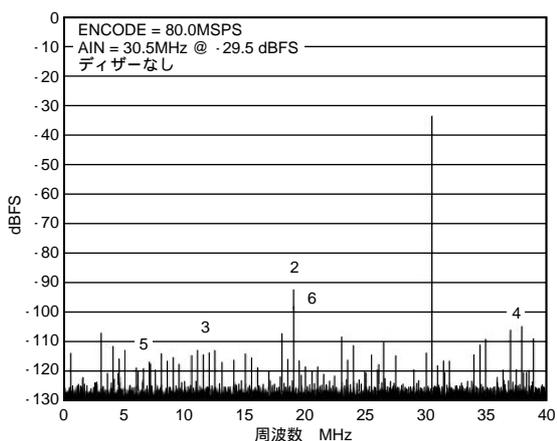


特性15 S/N比、最悪時スプリアス 対 ENCODE @ 2.2MHz

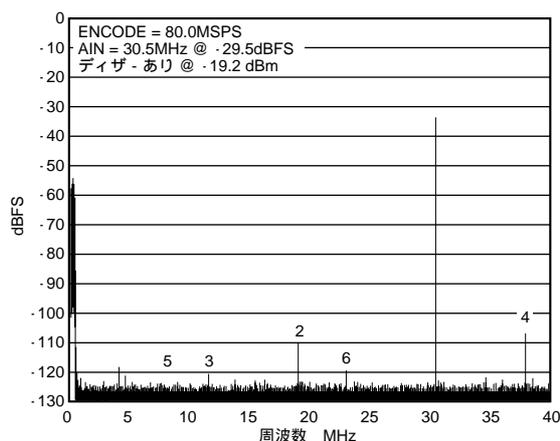


特性18 S/N比、最悪時スプリアス 対 ENCODE @ 69.1MHz

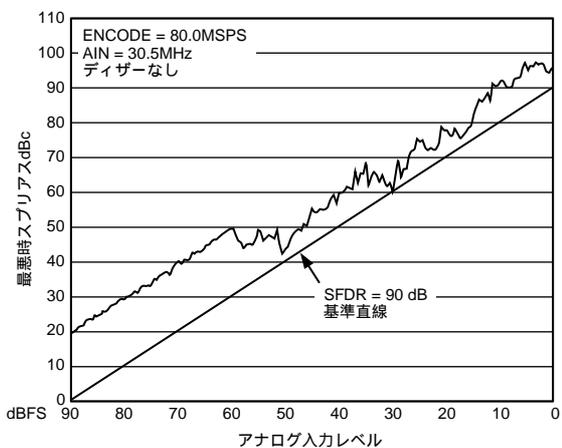
AD6645



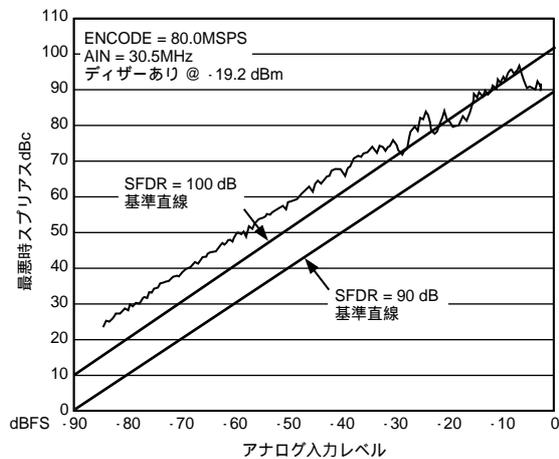
特性19 1 M FFT、ディザーなし



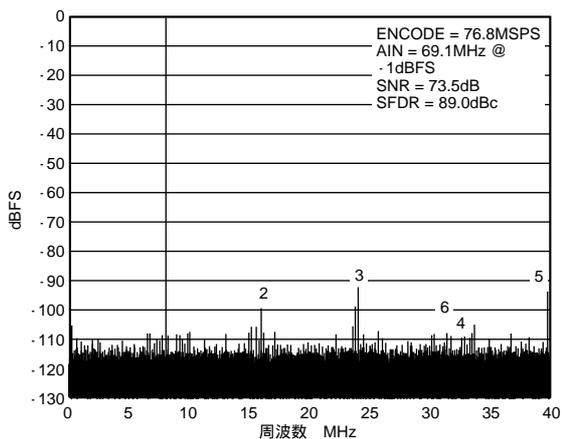
特性22 1 M FFT、ディザーあり



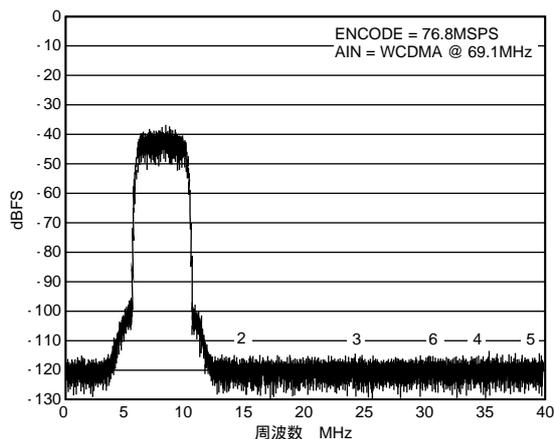
特性20 SFDR、ディザーなし



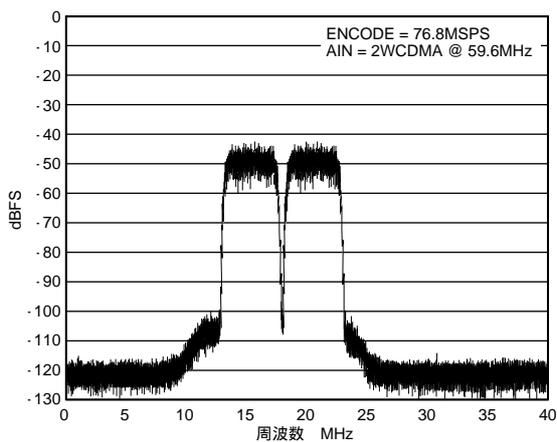
特性23 SFDR、ディザーあり



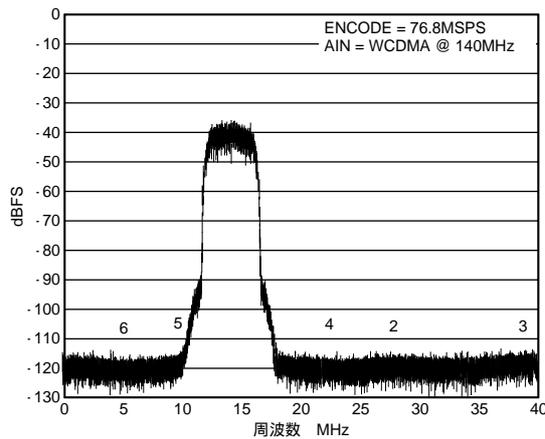
特性21 シングル・トーン69.1MHz、ENCODE = 76.8MSPS



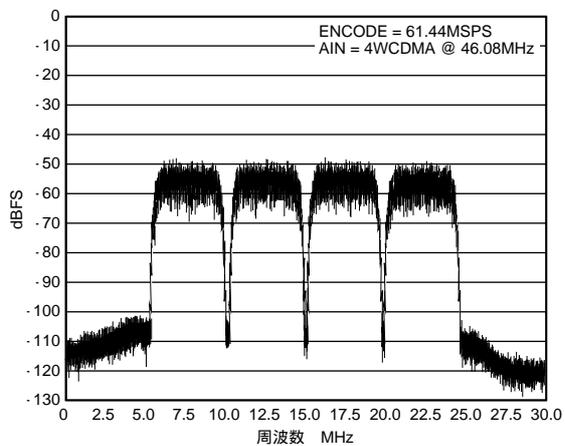
特性24 WCDMA周波69.1MHz、ENCODE = 76.8MSPS



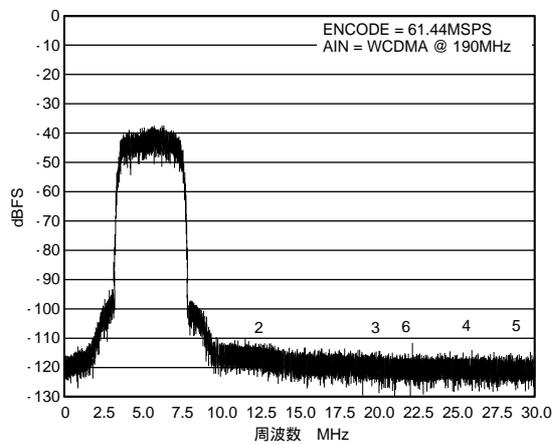
特性25 2WCDMAキャリア、 $A_{IN} = 59.6\text{MHz}$:



特性27 WCDMA周波140MHz、ENCODE = 76.8MSPS



特性26 4WCDMAキャリア、 $A_{IN} = 46.08\text{MHz}$:



特性28 WCDMA周波190MHz、ENCODE = 61.44MSPS

AD6645

動作原理

AD6645 A/Dコンバータ(ADC)は、3ステージのサブステージ・アーキテクチャを採用しています。この設計手法により、必要とされる精度と速度を達成すると同時に低消費電力とチップ・サイズの小型化を実現します。

機能ブロック図に示すように、AD6645は相補アナログ入力ピン(AINとAIN)を持っています。各アナログ入力の中心は2.4Vであり、この基準点を中心に振幅 $\pm 0.55V$ は範囲内に入力する必要があります(図2)。AINとAINは位相が180度ずれているため、差動アナログ入力信号は2.2Vピークtoピークになります。

両アナログ入力、最初のトラック・アンド・ホールド(TH1)に入力される前にバッファされます。ENCODEパルスのハイレベル状態により、TH1はホールド・モードになります。TH1に保持された値は、精度の粗い15ビットのADC1に入力されます。ADC1のデジタル出力は、5ビットのD/AコンバータDAC1を駆動します。DAC1は14ビットの精密を必要とし、レーザー・トリミングによって実現されます。DAC1の出力はTH3の入力で遅延されたアナログ信号から減算されて、最初の残留信号が発生されます。TH2は、ADC1のデジタル遅延を補償するアナログ・パイプライン遅延を提供します。

最初の残留信号は、5ビットのADC2、5ビットのDAC2、パイプラインTH4から構成される2段階目の変換ステージに入力されます。2番目のDACは10ビットの精密を必要とし、それはトリミングのない製造プロセスで実現できます。TH5への入力は2番目の残留信号であり、これはTH4に保持されている最初の残留信号からDAC2の量子化出力を減算して発生されます。TH5は、最後の6ビットADC3を駆動します。

ADC1、ADC2、ADC3のデジタル出力は一緒に加算され、デジタル誤差訂正ロジックで訂正されて、最終出力データを発生します。最終的に14ビットの平行デジタルCMOS互換ワード(2の補数コード)が得られます。

AD6645の応用

AD6645のエンコーディング

AD6645エンコード信号は、性能低下を防止するために高品質で極めて小さい位相ノイズ源である必要があります。14ビットの精度を維持するためには、エンコード・クロック位相ノイズに注意する必要があります。ジッターの大きいクロック・ソースを使用すると70MHzのアナログ入力信号で3~4dBのS/N比性能低下が容易に発生します。詳細については、AN-501の“Aperture Uncertainty and ADC System Performance”を参照してください。

最適性能を得るためには、AD6645のクロックは差動で入力する必要があります。ENCODE信号は一般に、トランスまたはコンデンサを使いIAC結合でENCピンとENCピンへ入力されます。これらのピンは内部でバイアスされているため、バイアスを追加する必要はありません。

AD6645に対してクロックを入力する際の推奨される方法を下図に示します。クロック・ソース(ローレベル・ジッター)は、RFトランスを使ってシングルエンドから差動に変換されます。トランス2次側に互いに逆向きに接続されたショットキ・ダイオードが、AD6645に入力されるクロックを約0.8Vのピークtoピーク差動に制限します。この機能は、クロックの大きな電圧振幅がAD6645の別の部分に入力されてしまうことを防止し、ENCODE入力でのノイズを制限します。

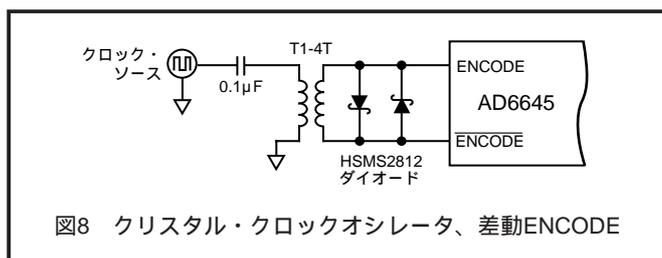


図8 クリスタル・クロックオシレータ、差動ENCODE

低ジッター・クロックが使用可能な場合、もう1つのオプションは差動ECL/PECL信号をENCODE入力ピンへAC結合することです(下図)。ON-SEMI社のMC100EL16(または同ファミリーの製品)は、優れたジッター性能を提供します。

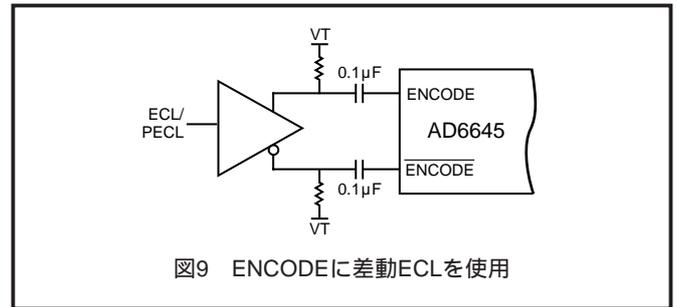


図9 ENCODEに差動ECLを使用

アナログ入力の駆動

多くの新しい高速かつ広ダイナミックレンジのA/Dコンバータと同様に、AD6645のアナログ入力は差動になっています。差動入力では、信号が減衰器ステージとゲイン・ステージを通過して処理されるため、オンチップ性能が改善されます。大部分の改善は、偶数次高調波に対して大きな減衰を行う差動アナログ・ステージにより行われます。PCBレベルでも、利点があります。まず、差動入力はグラウンド・ノイズや電源ノイズのような漂遊信号に対して大きなコモン・モード除去比を持っています。2つめは、ローカル・オシレータからのノイズなどのようなコモン・モード信号に対して優れた除去性能を持っています。

AD6645のアナログ入力電圧範囲は、グラウンドから2.4Vだけオフセットされています。各アナログ入力は、500Ω抵抗を介して2.4Vのバイアス電圧と差動バッファ入力に接続されています(図2)。入力の抵抗回路は、最大の直線性と範囲が得られるようにフォロアーにバイアスを与えています。したがって、AD6645を駆動するアナログ・ソースは入力ピンにAC結合する必要があります。AD6645の差動入力インピーダンスは1kΩであるため、アナログ入力電源条件はわずか-2dBmであり、多くの場合、ドライバ・アンプによる構成が簡易に行うことができます。一般に高入力インピーダンスを最大限に利用するためには、20:1のトランスが必要です。しかしこのように変換比が大きい場合、満足な性能が得られないことがあります。AD6645はこの場合、小さいステップアップ比を使うことができます。AD6645のアナログ入力を駆動する際には、4:1のRFトランスを使用することを推奨します。例えば、RTが60.4Ω、RSが25Ω、かつインピーダンス比4:1のトランスを使う場合、入力は50Ωソースに整合し、4.8dBmのフルスケール駆動が可能です。トランスの2次側の直列抵抗(RS)はトランスをA/Dから絶縁するために必要です。これによりA/Dからトランスの2次側に逆流するダイナミック電流の大きさが制限されます。50Ωインピーダンス整合は、評価ボード回路図(図13)に示すようにトランスの2次側にも使用されます。

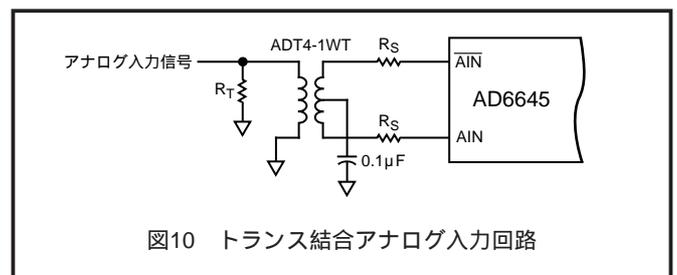


図10 トランス結合アナログ入力回路

DC結合が必要なアプリケーションでは、アナログ・デバイスのAD8138などの差動出力オペアンプを使用してAD6645を駆動できます(図11)。AD8138オペアンプはシングル・エンド/差動変換機能を持っているため、システム・コスト全体を削減し、レイアウト面積も小さくできます。

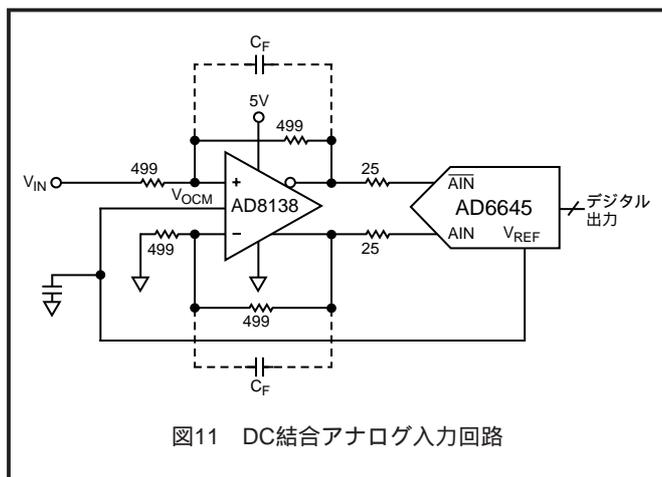


図11 DC結合アナログ入力回路

電源

電源を選択するには注意が必要です。45ms未満の直線的な立ち上がり時間を持つDC電源の使用を推奨します。スイッチング電源では、AD6645に混入するノイズを放出する部品を使う傾向があります。各電源ピンは、パッケージの出来るだけ近くに0.1μFのチップ・コンデンサを使ったデカップリングする必要があります。

AD6645は、デジタル電源ピンとアナログ電源ピンを別々に持っています。アナログ電源はAV_{CC}、デジタル電源ピンはDV_{CC}で、それぞれ表されます。アナログ電源とデジタル電源と一緒に接続できますが、最適性能は電源を分離したときに得られます。高速なデジタル出力変化によるスイッチング電流がアナログ電源に逆流してしまうことに起因します。AV_{CC}は5Vの5%以内に維持する必要があることに注意してください。DV_{CC} = 3.3VはデジタルASICsの電源として一般的であるため、AD6645はこの電圧で使用される仕様になっています。

デジタル出力

AD6645に対するデータ・レシーバを設計する際には注意が必要です。デジタル出力は、直列抵抗を介して74LVCX574のようなゲートを駆動することを推奨します。容量負荷を小さくするため、各出力ピンの負荷は1ゲートに制限する必要があります。この例を図13の評価ボード回路図に示します。AD6645のデジタル出力は1V/nsの一定出力スレーブ率を持っています。代表的なCMOSゲートはPCBパターンと組み合わせると、約10pFの負荷を持ちます。このため、各ビットは10mA (10pF × 1V ÷ 1ns) のダイナミック電流をスイッチするため、ビット毎にデバイスに対してこの電流が流入 / 流出します。フルスケール変化により、最大140mA (14ビット × 10mA / ビット) の電流が出力ステージを流れることになります。出力ステージに流入する電流を制限するため、直列抵抗をAD6645の出来るだけ近くに接続する必要があります。これらのスイッチング電流は、グラウンド・ピンとDV_{CC}ピンの間を集中して流れます。標準TTLゲートはAD6645のダイナミック・スイッチング電流にスイッチング電流をさらに加算するので、使用は避けてください。容量負荷が大きいと、出力タイミング時間が大きくなり、タイミング仕様が満たされなくなることに注意してください。デジタル出力タイミングは、最大10pFの出力負荷まで保証されています。

アナログ入力レベルに対するデジタル出力状態を表IIに示します。

表I 2の補数出力コーディング

AIN レベル	AIN レベル	出力状態	出力コード
V _{REF} + 0.55V	V _{REF} - 0.55V	正側FS	01 1111 1111 1111
V _{REF}	V _{REF}	ミッドスケール	00...0/11...1
V _{REF} - 0.55V	V _{REF} + 0.55V	負側FS	10 0000 0000 0000

グラウンド

最適性能を得るためには、デジタル電源プレーンとアナログ電源プレーンに対して共通グラウンドを使用することを推奨します。グラウンドを分割することによる主な問題は、ダイナミック電流がシステム内で長い距離を経由して共通のソース・グラウンドに戻るようになることです。このために、望ましくない大きなグラウンド・ループが形成されてしまいます。ADCのデジタル出力では、この状態がよく発生します。グラウンド・ループは、ADCのフロントエンドに混入するデジタル・ノイズの原因になります。これは、ノイズ・フロア上の大きなスパイクの原因となる高調波スプリアス、または非常に高次のスプリアス積として現れます。低いクロック速度では、デジタル・ノイズがサンプル間で整定する時間が長くなるため、このノイズ混入は発生し難くなります。一般に、アナログ・グラウンドとデジタル・グラウンドを分離すると、望ましくないEMI-RFIが発生する可能性が大きくなるので、回避する必要があります。

逆に、共通グラウンドが適切でない場合には、ADC入力の近くでアナログ・グラウンド電流の上にデジタル・グラウンド電流が重畳されるため、別のノイズ問題が発生する原因になります。ノイズ混入がさらに増えることを抑えるために、複数のグラウンド・リターン・パターンノビアを配置して、デジタル出力電流がアナログ・フロントエンドに戻らないようにし、かつADCから迅速に遠ざかるようにすることを推奨します。このためにグラウンド・プレーンを分離する必要はなく、アナログ・フロントエンドとデジタル出力の間のポイントで、電源に直接戻る多くのグラウンド接続を配置することにより実現できます。電源プレーンとグラウンド・プレーンの間に適切な数のセラミック・チップ・コンデンサを配置すると、デジタル・ノイズの抑制に役立ちます。レイアウトでは十分なバルク容量を配置して、スイッチング区間におけるピーク電流の要求を満たすようにします。

レイアウト情報

評価ボードの回路図とレイアウト (図13) は、代表的なAD6645の使用法を示しています。最適な結果を得るためには多層ボードの使用を推奨します。高品質セラミック・チップ・コンデンサをデバイスの各電源ピンに直接接続してグラウンドからデカップリングすることをお勧めします。AD6645のピン配置は、高周波数かつ高分解能設計を容易に実現できるように考慮されています。すべてのデジタル出力は、絶縁のためにパッケージの片側に集めてあり、入力反対側に集めてあります。

デジタル出力パターンのルーティングには注意が必要です。デジタル出力がAD6645のアナログ部分に混入するのを防止するため、これらの出力の容量負荷を小さくする必要があります。すべてのAD6645デジタル出力に対して、ファンアウトはゲート1個分に制限することを推奨します。

ENCODE回路のレイアウトも同様に重要です。この回路に混入するすべてのノイズが量子化処理に悪影響を与えて、全体性能を低下させます。エンコード・クロックは、デジタル出力とアナログ入力から分離する必要があります。

AD6645

ジッターについての考慮事項

ADCの信号対ノイズ比（S/N比、SNR）は予測することができます。ADCコードで正規化した場合、ジッター、平均DNL誤差、熱ノイズの3つの項に基づいて次式でS/N比を正確に予測することができます。これらの各項は、コンバータ内のノイズの原因になります。

F_{ANALOG} = アナログ入力周波数

$t_{j\ rms}$ = エンコードのrmsジッター（エンコード・ソースと内部エンコード回路のrms和）
= ADCの平均DNL（typ値：0.41 LSB）

n = ADCのビット数

$V_{NOISE\ rms}$ = ADCのアナログ入力に換算したV rms熱ノイズ（typ値：0.9 LSB rms）

AD6645のような14ビットA/Dコンバータの場合、アナログ周波数が高くなると、アパーチャ・ジッターがS/N比性能に大きく影響するようになります。次の図に、ジッターの増加に対するAD6645の予測S/N比性能を示します。この予測S/N比性能は次式を使って計算したものです。

アパーチャ・ジッターの詳細については、AN-501、“Aperture Uncertainty and ADC System Performance”をご覧ください。

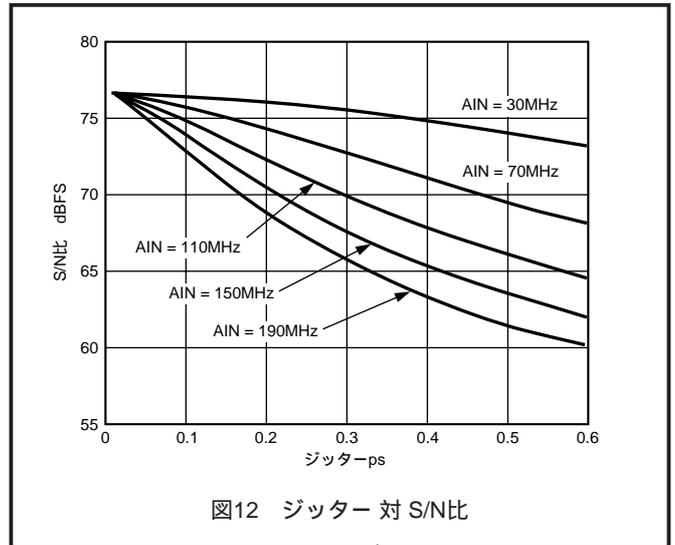


図12 ジッター 対 S/N比

$$SNR = 1.76 - 20 \log \left[\left(2p \times F_{ANALOG} \times t_{j\ rms} \right)^2 + \left(\frac{1+}{2^n} \right)^2 + \left(\frac{2 \times \sqrt{2} \times V_{NOISE\ rms}}{2^n} \right)^2 \right]^{\frac{1}{2}}$$

ピン機能の説明

項目番号	数量	部品番号1	説明	メーカー
1	1	6645EE01C	AD6644/AD6645評価用プリント回路ボード	PCSM, Inc. (6645EE01C)
2	3	C1、C2、C38	コンデンサ、タンタルSMT T491C、10 μ F ; 16V ; 10%	Kemet (T491C106M016AS)
3	9	C3、C7~C11、C16、 C30、C32	コンデンサ、SMT 0508、0.1 μ F ; 16V ; 10%	Presidio Components (0508X7R104K16VP6)
4	8	C4、C22~C26、C29、 (C33) (C34) C39	コンデンサ、SMT 0805、0.1 μ F ; 25V ; 10%	Panasonic (ECJ-2VB1E104K)
5	0	(C5、C6)	コンデンサ、SMT 0805、0.01 μ F ; 50V ; 10%	Panasonic (ECJ-2YB1H103K)
6	9	C12~C14、C17~C21、 C40	コンデンサ、SMT 0508、0.01 μ F ; 16V ; 10%	Presidio Components (0508X7R103M2P3)
7	1	CR1	ダイオード、ショットキ・バリア、デュアル	Panasonic (MA716-TX)
8	1	E3、E4、E5	100インチ・ストレート雄ヘッダー (1列) 3 of 50ピン	Samtec (TSW-1-50-08-G-S)
9	4	F1~F4	EMI抑圧フェライト・チップ、SMT 0805	Steward (HZ0805E601R-00)
10	1	J1	コネクタ、PCBピン・ストリップ ; 5ピン ; 5mmピッチ	Wieland (Z5.530.0525.0)
11	1	J1	コネクタ、PCB端子 ; 5ピン ; 5mmピッチ	Wieland (25.602.2553.0)
12	1	J2	端子ストリップ、50ピン ; 右角度	Samtec (TSW-125-08-T-DRA)
13	0	(J3)	コネクタ、SMA ; RF ; 金	Johnson Components, Inc. (142-0701-201)
14	2	J4、J5	コネクタ、同軸RFリセプタクル ; 50	AMP (227699-2)
15	0	(R1)	抵抗、SMT 0402 ; 100 ; 1/16w ; 1%	Panasonic (ERJ-2RKF1000X)
16	0	(R2) ²	抵抗、SMT 1206 ; 60.4 ; 1/8w ; 1%	Panasonic (ERJ-8ENF60R4V)
17	0	(R3、R4、R5、R8)	抵抗、SMT 0805 ; 499 ; 1/10w ; 1%	Panasonic (ERJ-6ENF4990V)
18	2	R6、R7	抵抗、SMT 0805 ; 25.5 ; 1/10w ; 1%	Panasonic (ERJ-6ENF25R5V)
19	1	R9	抵抗、SMT 0805 ; 348 ; 1/10w ; 1%	Panasonic (ERJ-6ENF3480V)
20	1	R10	抵抗、SMT 0805 ; 619 ; 1/10w ; 1%	Panasonic (ERJ-6ENF6190V)
21	0	(R11) (R13)	抵抗、SMT 0805 ; 66.5 ; 1/10w ; 1%	Panasonic (ERJ-6ENF66R5V)
22	0	(R12) (R14)	抵抗、SMT 0805 ; 100 ; 1/10w ; 1%	Panasonic (ERJ-6ENF1000V)
23	1	R15 ²	抵抗、SMT 0402 ; 178 ; 1/16w ; 1%	Panasonic (ERJ-2RKF1780X)
24	1	R35	抵抗、SMT 0805 ; 49.9 ; 1/10w ; 1%	Panasonic (ERJ-6ENF49R9V)
25	2	RN1、RN3	抵抗アレイ、SMT 0402 ; 470 ; 1/4w ; 5%	Panasonic (EXB2HV471JV)
26	2	RN2、RN4	抵抗アレイ、SMT 0402 ; 220 ; 1/4w ; 5%	Panasonic (EXB2HV221JV)
27	1	T2	RFトランス、SMT KK81、0.2~350MHz ; 4 : 1W Ratio	Mini ~ Circuits (T4-1-KK81)
28	1	T3	RFトランス、SMT CD542、2~775MHz ; 4 : 1W Ratio	Mini ~ Circuits (ADT4-1WT)
29	1	U1	I.C.、QFP-52 ; 14ビット、80MSPS	アナログ・デバイス (AD6645ASQ)
30	2	U2、U7	広帯域A/Dコンバータ	Fairchild (74LCX574WM)
31	0	(U3)	I.C.、SOIC-20 ; オクタルD型フリップフロップ	アナログ・デバイス (AD8138AR)
32	2	U4、U6	I.C.、SMT SOT-23 ; TinyLogic UHS 2入力ORゲート	Fairchild (NC7SZ32)
33	1	U5 ³	クロックオシレータ、フルサイズMX045 ; 80MHz	CTS Reeves (MXO45-80)
34	4	U5 ³	コネクタ、ミニチュア・スプリング・ソケット、	AMP (5-330808-3)
35	0	(U8)	I.C.、SOIC-8 ; 差動レシーバ	Motorola (MC100EL16)
36	4	図面参照	回路ボード・サポート	Richo (CBSB-14-01)
37	1	図面参照	0.100インチ短絡ブロック	Jameco (152670)

注

1 括弧内の部品番号は標準ユニットに実装されていないことを表します。(AINとENCODEはAC結合)

AINのAC結合は標準。R3、R4、R5、R8、U3は実装されていません。

AINのDC結合が必要な場合は、C30、T3、R15を実装しません。

ENCODEのAC結合は標準。C5、C6、C33、C34、R1、R11~R14、U8は実装されていません。

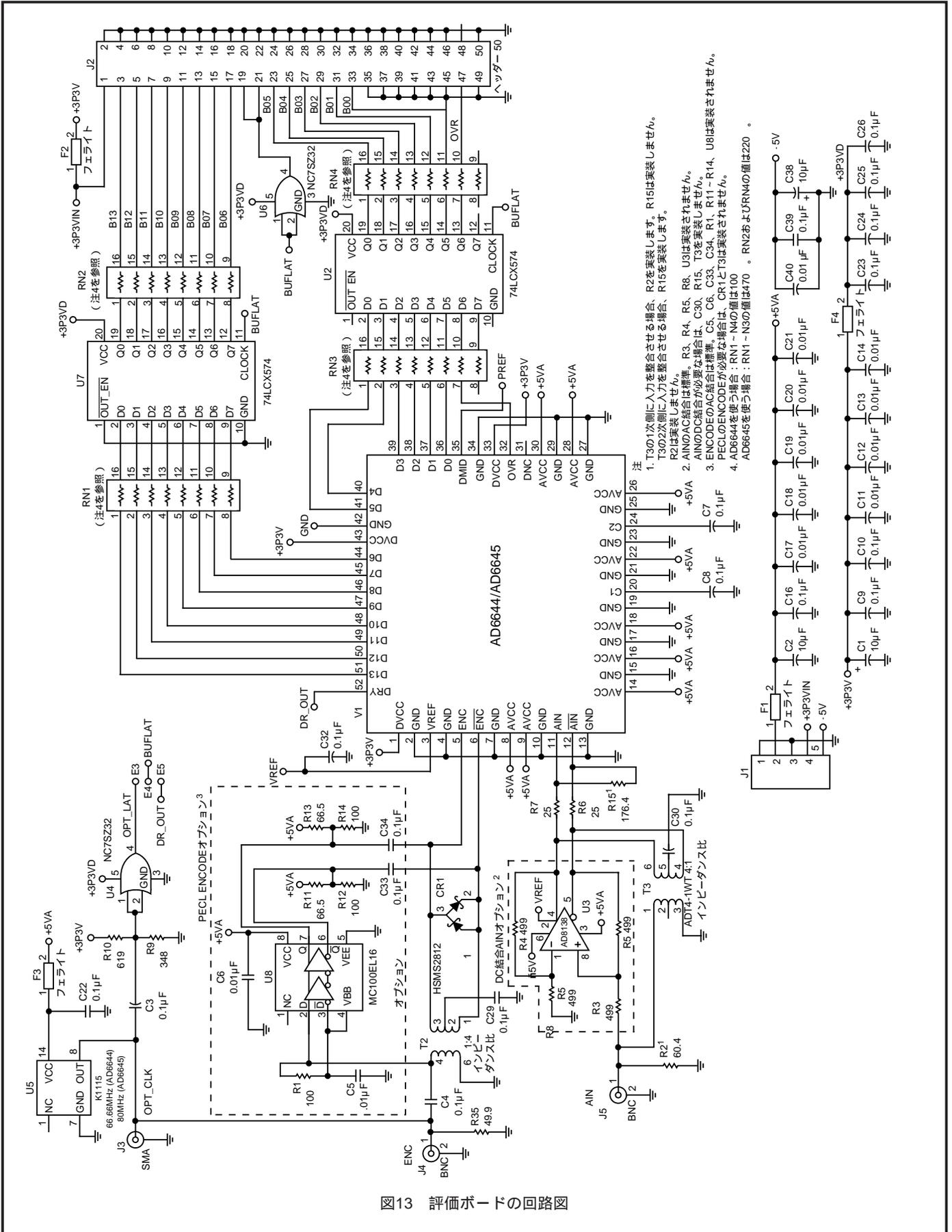
PECLのENCODEが必要な場合は、CR1とT2は実装しません。

2 T3の1次側に50 インピーダンス入力を整合させる場合、R2を実装します。R15は実装しません。

T3の2次側に50 インピーダンス入力を整合させる場合、R15を実装します。R2は実装しません。

3 OPT_CLK入力を使う場合、U5クロックオシレータはピン・ソケットを使って実装します。

AD6645



- 注
- T3の1次側に入力を整合させる場合、R2を実装します。R15は実装しません。T3の2次側に入力を整合させる場合、R15を実装します。R2は実装しません。
 - AINのAC結合は構想、R3、R4、R5、R8、U3は実装されません。AINのDC結合が必要な場合は、C5、C6、C33、R11、R14、U6は実装されません。
 - ENCODEのAC結合は構想、C5、C6、C33、R11、R14、U6は実装されません。PECLのENCODEが必要な場合は、CR1、T3は実装されません。
 - AD6645を使う場合：RN1～N3の値は100。AD6645を使う場合：RN1～N3の値は470。RN2およびRN4の値は220。

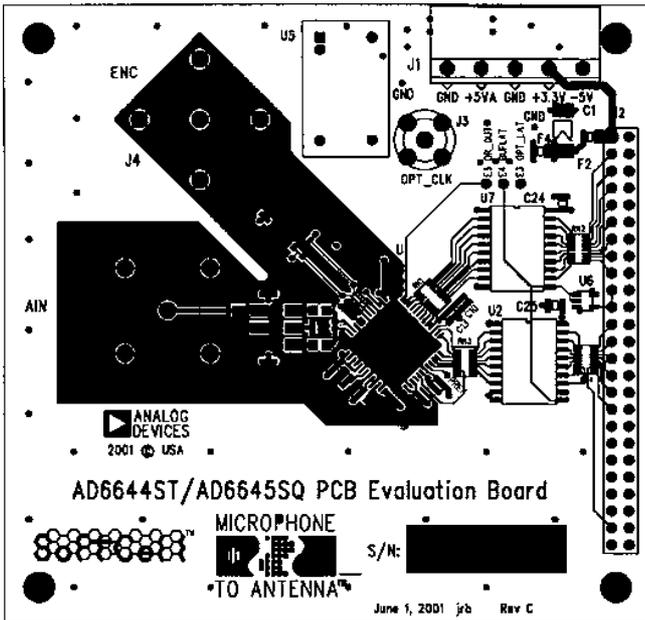


図14 表面信号プレーン

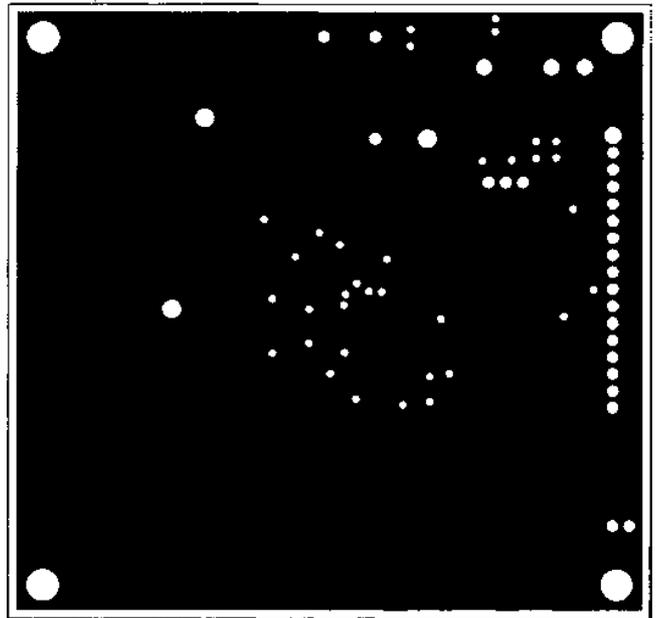


図16 グラウンド・プレーン (レイヤー2および5)

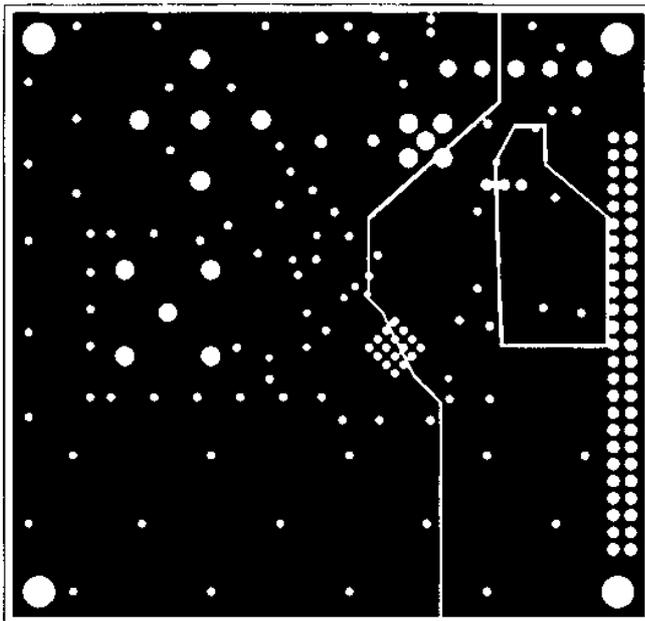


図15 5.0V/3.3Vプレーン (レイヤー3および4)

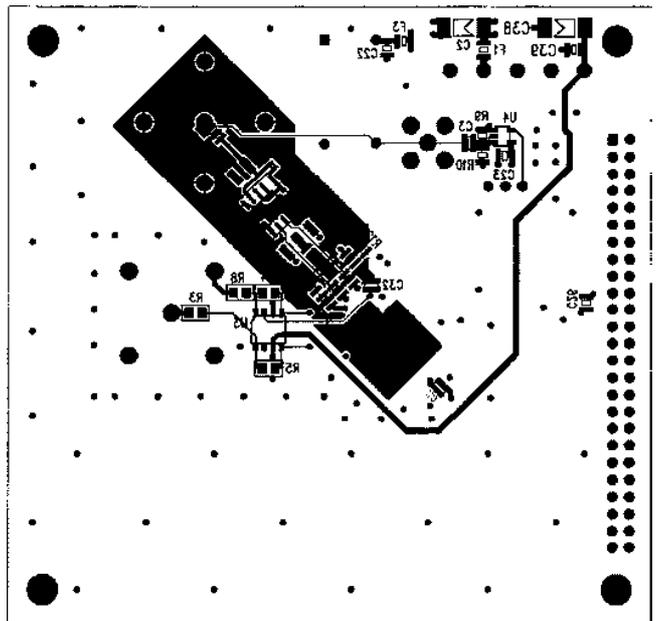


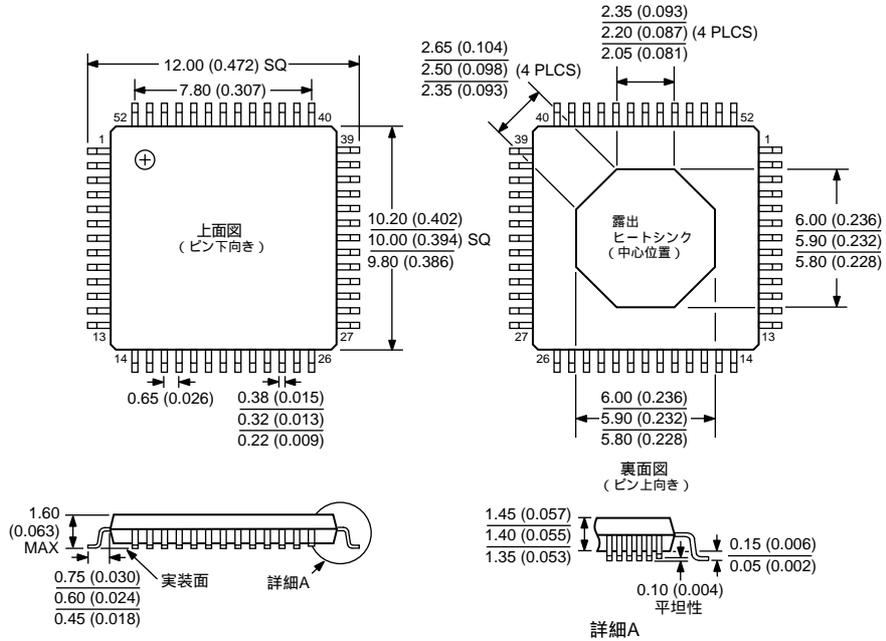
図17 裏面信号プレーン

AD6645

外形寸法

サイズはインチと (mm) で示します。

52ピンPowerQuad 4 (LQFP_ED) (SQ-52)



寸法表示はmm単位です。インチ寸法はmm単位を丸め込んでいるので、参考用であり、設計上では使用には適しません。

AD6645のPowerQuad 4 (LQFP_ED) では熱的および電気的導体のヒート・スラグがパッケージの裏面に露出しており、熱管理の強化に使うことができます。マスクされていないアクティブなPCBパターンまたはビアはパッケージの下への配置は推奨しません。グラウンドのヒート・スラグに接触する可能性があります。仕様動作のためには必要ありませんが、スラグを十分な熱容量を持つグラウンド・プレーンにハンダ付けすると、デバイスの接合温度を低下させることができます。一般に、接合温度を低くすると、半導体の信頼性が高くなるので、高信頼性アプリケーションでは有益です。

