

特長

サンプル・レート65MSPSを保証

40MSPSバージョンも供給

サンプリング・ジッター < 300fs

100dBマルチトーンSFDR

消費電力：1.3W

差動アナログ入力

デジタル出力

2の補数フォーマット

3.3V CMOSコンパチブル

出力ラッチのためのデータ・レディ

アプリケーション

マルチチャンネル、マルチモード・レシーバ

AMPS、IS-136、CDMA、GSM、

第3世代のシングル・チャンネル・デジタル・レシーバ

アンテナ・アレイ・プロセス処理

通信機器の構成部品

レーダー、赤外線画像処理

計測機器

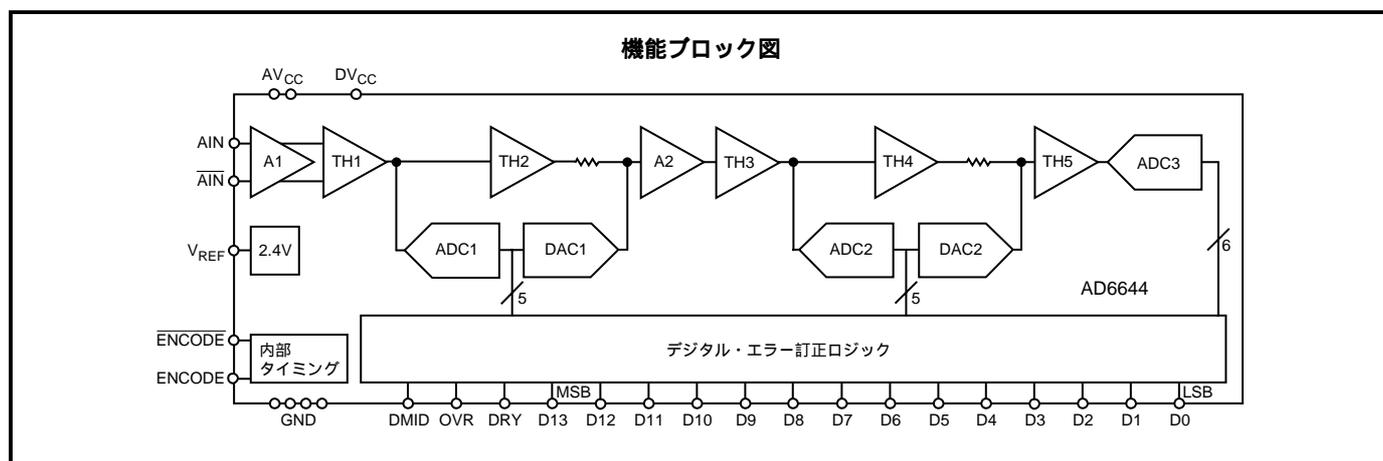
概要

AD6644は、高速、高性能のモノリシック14ビットA/Dコンバータです。トラック・アンド・ホールド(T/H)とリファレンスを含む、必要な全機能をオンチップで内蔵し、完全な変換ソリューションを提供します。AD6644は、CMOSコンパチブルのデジタル出力を供給します。AD6644は、AD9042(12ビット、41MSPS)およびAD6640(12ビット、65MSPS、IFサンプリング)の後継機種にあたる、第3世代の広帯域A/Dコンバータ・ファミリーとなる製品です。マルチチャンネル、マルチモード・レシーバ用として設計された

AD6644は、当社の新SoftCell™トランシーバ・チップセットの構成にも使われています。AD6644は、ナイキスト帯域にわたり100dBのマルチトーン、スプリアス・フリー・ダイナミックレンジ(SFDR)を達成しています。この壁を破った動作特性によって、一般的にADCの制限を受けるマルチモード・デジタル・レシーバ(ソフトウェア・ラジオ)における負荷が軽減されます。ノイズ特性は格段に優れており、代表的なS/N比は74dBとなっています。AD6644は、また、広チャンネル帯域システム(CDMA、W-CDMA)に設計されるシングル・チャンネル・デジタル・レシーバにも有効です。オーバー・サンプリングを用いて、高調波を解析帯域の外に排除できます。また、オーバー・サンプリングは、デシメーション・レシーバ(例：AD6620)の利用を容易にし、解析帯域におけるノイズ・フロアを低減できます。従来のアナログ・フィルタを動作の安定したデジタル部品に置き換えることにより、モデムのレシーバをより少ない“RF”部品で構成でき、製造コストの低減、生産性と信頼性の向上が実現します。AD6644は、アナログ・デバイセズの高速コンプリメンタリ・バイポーラ・プロセス(XFCB)に基づいて構成されており、革新的なマルチパス回路アーキテクチャを採用しています。ユニットは、-25 ~ +85 で動作保証された52ピンの低背クワッド・プラスチック・フラットパック(LQFP)にパッケージされています。

製品のハイライト

- 65MSPSのサンプル・レートを保証。
- 完全差動形式のアナログ入力段。
- デジタル出力は3.3V電源で動作可能であり、デジタルASICとのインターフェースを容易化。
- 完全なソリューション：リファレンスおよびトラック/ホールド内蔵
- 小型の表面実装型プラスチック52ピンLQFPパッケージ。



SoftCellは、アナログ・デバイセズの商標です。

REV.0

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD6644 仕様

DC特性 (AV_{CC} = 5V、DV_{CC} = 3.3V、T_{MIN} = - 25 、 T_{MAX} = + 85)

| パラメータ | 温度 | 試験 レベル | AD6644AST-40 | | | AD6644AST-65 | | | 単位 |
|---|-----|-----------|--------------|-------|-------|--------------|-------|-------|------|
| | | | Min | Typ | Max | Min | Typ | Max | |
| 分解能 | | | | 14 | | | 14 | | ビット |
| 精度 | | | | | | | | | |
| ノーマル・ミスコード | 全範囲 | II | | 保証 | | | 保証 | | |
| オフセット誤差 | 全範囲 | II | - 10 | 3 | + 10 | - 10 | 3 | + 10 | mV |
| ゲイン誤差 | 全範囲 | II | - 10 | - 6 | + 10 | - 10 | - 6 | + 10 | %FS |
| 微分非直線性 (DNL) | 全範囲 | II | - 1.0 | ±0.25 | + 1.5 | - 1.0 | ±0.25 | + 1.5 | LSB |
| 積分非直線性 (INL) | 全範囲 | V | | ±0.50 | | | ±0.50 | | LSB |
| 温度ドリフト | | | | | | | | | |
| オフセット誤差 | 全範囲 | V | | 10 | | | 10 | | ppm/ |
| ゲイン誤差 | 全範囲 | V | | 95 | | | 95 | | ppm/ |
| 電源除去比 (PSRR) | 全範囲 | V | | ±1.0 | | | ±1.0 | | mV/V |
| リファレンス出力 (V _{REF}) | 全範囲 | V | | 2.4 | | | 2.4 | | V |
| アナログ入力 (AIN、 $\overline{\text{AIN}}$) | | | | | | | | | |
| 差動入力電圧範囲 | 全範囲 | V | | 2.2 | | | 2.2 | | Vp-p |
| 差動入力抵抗 | 全範囲 | V | | 1 | | | 1 | | K |
| 差動入力容量 | 25 | V | | 1.5 | | | 1.5 | | pF |
| 電源 | | | | | | | | | |
| 電源電圧 | | | | | | | | | |
| AV _{CC} ¹ | 全範囲 | II | 4.85 | 5.0 | 5.25 | 4.85 | 5.0 | 5.25 | V |
| DV _{CC} | 全範囲 | II | 3.0 | 3.3 | 3.6 | 3.0 | 3.3 | 3.6 | V |
| 電源電流 | | | | | | | | | |
| IA _{VCC} (AV _{CC} = 5.0V) | 全範囲 | II | | 245 | 276 | | 245 | 276 | mA |
| ID _{VCC} (DV _{CC} = 3.3V) | 全範囲 | II | | 30 | 36 | | 30 | 36 | mA |
| 消費電力 | 全範囲 | II | | 1.3 | 1.5 | | 1.3 | 1.5 | W |

注

1 AV_{CC}は、4.85~5.25Vの範囲で変化させられます。ただし、定格AC (高調波) 動作特性は、AV_{CC} = 5.0~5.25Vの範囲においてのみ有効です。
仕様は予告なく変更されることがあります。

デジタル特性 (AV_{CC} = 5V、DV_{CC} = 3.3V、T_{MIN} = - 25 、 T_{MAX} = + 85)

| パラメータ | 温度 | 試験 レベル | AD6644AST-40 | | | AD6644AST-65 | | | 単位 |
|---|-----|-----------|--------------|---------------------|-----|--------------|---------------------|-----|------|
| | | | Min | Typ | Max | Min | Typ | Max | |
| エンコード入力 (ENC、 $\overline{\text{ENC}}$) | | | | | | | | | |
| 差動入力電圧 ¹ | 全範囲 | IV | 0.4 | | | 0.4 | | | Vp-p |
| 差動入力抵抗 | 25 | V | | 10 | | | 10 | | k |
| 差動入力容量 | 25 | V | | 2.5 | | | 2.5 | | pF |
| ロジック出力 (D13~D0、DRY、OVR) | | | | | | | | | |
| ロジック互換性 | | | | CMOS | | | CMOS | | |
| ロジック "1" 電圧 ² | 全範囲 | V | | 2.5 | | | 2.5 | | V |
| ロジック "0" 電圧 ² | 全範囲 | V | | 0.4 | | | 0.4 | | V |
| 出力符号化 | | | | 2の補数 | | | 2の補数 | | |
| DMID | 全範囲 | V | | DV _{CC} /2 | | | DV _{CC} /2 | | V |

注

1 全AC仕様は、ENCODEおよび $\overline{\text{ENCODE}}$ を差動で駆動した場合のもので、動作特性対エンコード電力については図22を参照してください。

2 デジタル出力ロジック・レベル: DV_{CC} = 3.3V、C_{LOAD} = 10pF。10pFを超える容量性の負荷により動作特性が劣化します。

仕様は予告なく変更されることがあります。

スイッチング特性 (AV_{CC} = 5V、DV_{CC} = 3.3V、ENCODEおよび $\overline{\text{ENCODE}}$ = 最大変換レートMSPS、T_{MIN} = - 25 、 T_{MAX} = + 85)

| パラメータ | 温度 | 試験 レベル | AD6644AST-40 | | | AD6644AST-65 | | | 単位 |
|--------------|-----|-----------|--------------|-----|-----|--------------|-----|-----|------|
| | | | Min | Typ | Max | Min | Typ | Max | |
| 最大変換レート | 全範囲 | II | 40 | | | 65 | | | MSPS |
| 最小変換レート | 全範囲 | IV | | | 15 | | | 15 | MSPS |
| エンコード・パルス幅ハイ | 全範囲 | IV | 10 | | | 6.5 | | | ns |
| エンコード・パルス幅ロー | 全範囲 | IV | 10 | | | 6.5 | | | ns |

仕様は予告なく変更されることがあります。

AC特性¹ ($AV_{CC} = 5V$ 、 $DV_{CC} = 3.3V$ 、 $ENCODE$ および \overline{ENCODE} = 最大変換レートMSPS、 $T_{MIN} = -25$ 、 $T_{MAX} = +85$)

| パラメータ | 温度 | 試験レベル | AD6644AST-40 | | | AD6644AST-65 | | | 単位 |
|---------------------------------|---------|-------|--------------|------|-----|--------------|------|-----|------|
| | | | Min | Typ | Max | Min | Typ | Max | |
| S/N比 | | | | | | | | | |
| アナログ入力 | 2.2MHz | 25 | II | 74.5 | | 72 | 74.5 | | dB |
| @ - 1dBFS | 15.5MHz | 25 | II | 74.0 | | 72 | 74.0 | | dB |
| | 30.5MHz | 25 | II | 73.5 | | 72 | 73.5 | | dB |
| SINAD ² | | | | | | | | | |
| アナログ入力 | 2.2MHz | 25 | II | 74.5 | | 72 | 74.5 | | dB |
| @ - 1dBFS | 15.5MHz | 25 | II | 74.0 | | 72 | 74.0 | | dB |
| | 30.5MHz | 25 | V | 73.0 | | | 73.0 | | dB |
| 高調波最悪値 (2次または3次) | | | | | | | | | |
| アナログ入力 | 2.2MHz | 25 | II | 92 | | 83 | 92 | | dBc |
| @ - 1dBFS | 15.5MHz | 25 | II | 90 | | 83 | 90 | | dBc |
| | 30.5MHz | 25 | V | 85 | | | 85 | | dBc |
| 高調波最悪値 (4次以上) | | | | | | | | | |
| アナログ入力 | 2.2MHz | 25 | II | 93 | | 85 | 93 | | dBc |
| @ - 1dBFS | 15.5MHz | 25 | II | 92 | | 85 | 92 | | dBc |
| | 30.5MHz | 25 | V | 92 | | | 92 | | dBc |
| 2トーンSFDR ^{2, 3, 4} 全範囲 | V | | | 100 | | 100 | | | dBFS |
| 2トーンIMD除去 ^{2, 4} | | | | | | | | | |
| F1、F2@ - 7dBFS | 全範囲 | V | | 90 | | | 90 | | dBc |
| アナログ入力帯域幅 | 25 | V | | 250 | | | 250 | | MHz |

注

- 1 全AC特性は、 $ENCODE$ および \overline{ENCODE} を差動で駆動した場合のもので、
 2 定格AC動作特性は、 $AV_{CC} = 5 \sim 5.25V$ で得られます。
 3 アナログ入力信号電力は、 $-7dBFS$ から $-100dBFS$ までを掃引した場合のもので、
 4 $F1 = 15MHz$ 、 $F2 = 15.5MHz$
 仕様は予告なく変更されることがあります。

スイッチング特性 ($AV_{CC} = 5V$ 、 $DV_{CC} = 3.3V$ 、 $ENCODE$ および \overline{ENCODE} = 最大変換レートMSPS、 $T_{MIN} = -25$ 、 $T_{MAX} = +85$ 、 $C_{LOAD} = 10pF$)

| パラメータ | 名称 | 温度 | 試験レベル | AD6644AST-40/45 | | | 単位 |
|--|-------------|-----|-------|-----------------|-----------------------|------|----|
| | | | | Min | Typ | Max | |
| ENCODE入力パラメータ ¹ | | | | | | | |
| Encode期間 ¹ @65MSPS | t_{ENC} | 全範囲 | V | | 15.4 | | ns |
| Encode期間 ¹ @40MSPS | t_{ENC} | 全範囲 | V | | 25 | | ns |
| Encodeパルス幅ハイ ² @65MSPS | t_{ENCH} | 全範囲 | IV | 6.2 | 7.7 | 9.2 | ns |
| Encodeパルス幅ロー @65MSPS | t_{ENCL} | 全範囲 | IV | 6.2 | 7.7 | 9.2 | ns |
| ENCODE/DATAレディ | | | | | | | |
| Encodeの立ち上がりからDataレディの立ち下がりまで | t_{DR} | 全範囲 | IV | 2.6 | 3.4 | 4.6 | ns |
| Encodeの立ち上がりからDataレディの立ち上がりまで | t_{E_DR} | | | | $t_{ENCH} + t_{DR}$ | | |
| @65MSPS (デューティ・サイクル50%) | | 全範囲 | IV | 10.3 | 11.1 | 12.3 | ns |
| @40MSPS (デューティ・サイクル50%) | | 全範囲 | IV | 15.1 | 15.9 | 17.1 | ns |
| ENCODE/DATA (D13:0) OVR | | | | | | | |
| ENCからDATAのローへの立ち下がりまで | t_{E_FL} | 全範囲 | IV | 3.8 | 5.5 | 9.2 | ns |
| ENCからDATAのローからの立ち上がりまで | t_{E_RL} | 全範囲 | IV | 3.0 | 4.3 | 6.4 | ns |
| ENCODEからDATA遅延まで (ホールド・タイム) ³ | t_{H_E} | 全範囲 | IV | 3.0 | 4.3 | 6.4 | ns |
| ENCODEからDATA遅延まで (セットアップ・タイム) ⁴ | t_{S_E} | | | | $t_{ENC} - t_{E_FL}$ | | |
| Encode = 65MSPS (デューティ・サイクル50%) | | 全範囲 | IV | 6.2 | 9.8 | 11.6 | ns |
| Encode = 40MSPS (デューティ・サイクル50%) | | 全範囲 | IV | 15.9 | 19.4 | 21.2 | ns |

AD6644 仕様

| パラメータ | 名称 | 温度 | 試験レベル | AD6644 AST-40/65 | | | 単位 |
|--|-------------|-----|-------|------------------|------|------|--------|
| | | | | Min | Typ | Max | |
| DATA READY (DRY ⁵) /DATA、OVR | | | | | | | |
| DataレディからDATA遅延まで (ホールド・タイム) ⁷ Encode = 65MSPS (デューティ・サイクル50%) | t_{H_DR} | 全範囲 | IV | 8.0 | 8.6 | 9.4 | ns |
| Encode = 40MSPS (デューティ・サイクル50%) | | 全範囲 | IV | 12.8 | 13.4 | 14.2 | ns |
| DataレディからDATA遅延まで (セットアップ・タイム) ⁷ @65MSPS (デューティ・サイクル50%) | t_{S_DR} | 全範囲 | IV | 3.2 | 5.5 | 6.5 | ns |
| @40MSPS (デューティ・サイクル50%) | | 全範囲 | IV | 8.0 | 10.3 | 11.3 | ns |
| アパーチャ遅延 | t_A | 25 | V | | 100 | | ps |
| アパーチャ不確定性 (ジッター) | t_j | 25 | V | | 0.2 | | ps rms |

注

- いくつかのタイミング・パラメータは、 t_{ENC} および t_{ENCH} の関数です。
 - t_{H_DR} および t_{S_DR} に対するデューティ・サイクルの変化を補償するために以下の式を用います。

$$Newt_{H_DR} = (t_{H_DR} - \%変化(t_{ENCH})) \times t_{ENC2}$$

$$Newt_{S_DR} = (t_{S_DR} - \%変化(t_{ENCH})) \times t_{ENC2}$$
 - ENCODEからDATA遅延 (ホールド・タイム) は、A/Dコンバータを通じた絶対最小伝播遅延です。
 - ENCODEからDATA遅延 (セットアップ・タイム) は、65MSPS (デューティ・サイクル50%) に対して相対的に計算されます。任意のエンコードに対する t_{S_E} の計算には以下の式を用います。

$$Newt_{S_E} = t_{ENC(NEW)} - t_{ENC} + t_{S_E} \text{ (即ち40MSPSに対し} Newt_{S_E(TYP)} = 25 \times 10^9 + 9.8 \times 10^9 = 19.4 \times 10^9 \text{)}$$
 - DRYは、エンコード・クロックを反転し遅延したものです。クロックのデューティ・サイクルに変化が生ずると、これに対応して、DRYのデューティ・サイクルにも変化が生じます。
 - DataレディからDATA遅延 (t_{H_DR} および t_{S_DR}) は、65MSPS (デューティ・サイクル50%) に対して相対的に計算され、 t_{ENC} およびデューティ・サイクルに依存します。任意のエンコードに対する t_{H_DR} および t_{S_DR} の計算には以下の式を用います。

$$Newt_{H_DR} = t_{ENC(NEW)/2} - t_{ENCH} + t_{H_DR} \text{ (即ち40MSPSに対し} Newt_{H_DR(TYP)} = 12.5 \times 10^9 - 7.69 \times 10^9 + 8.6 \times 10^9 = 13.4 \times 10^9 \text{)}$$

$$Newt_{S_DR} = t_{ENC(NEW)/2} - t_{ENCH} + t_{S_DR} \text{ (即ち40MSPSに対し} Newt_{S_DR(TYP)} = 12.5 \times 10^9 - 7.69 \times 10^9 + 5.5 \times 10^9 = 10.3 \times 10^9 \text{)}$$
- 仕様は予告なく変更されることがあります。

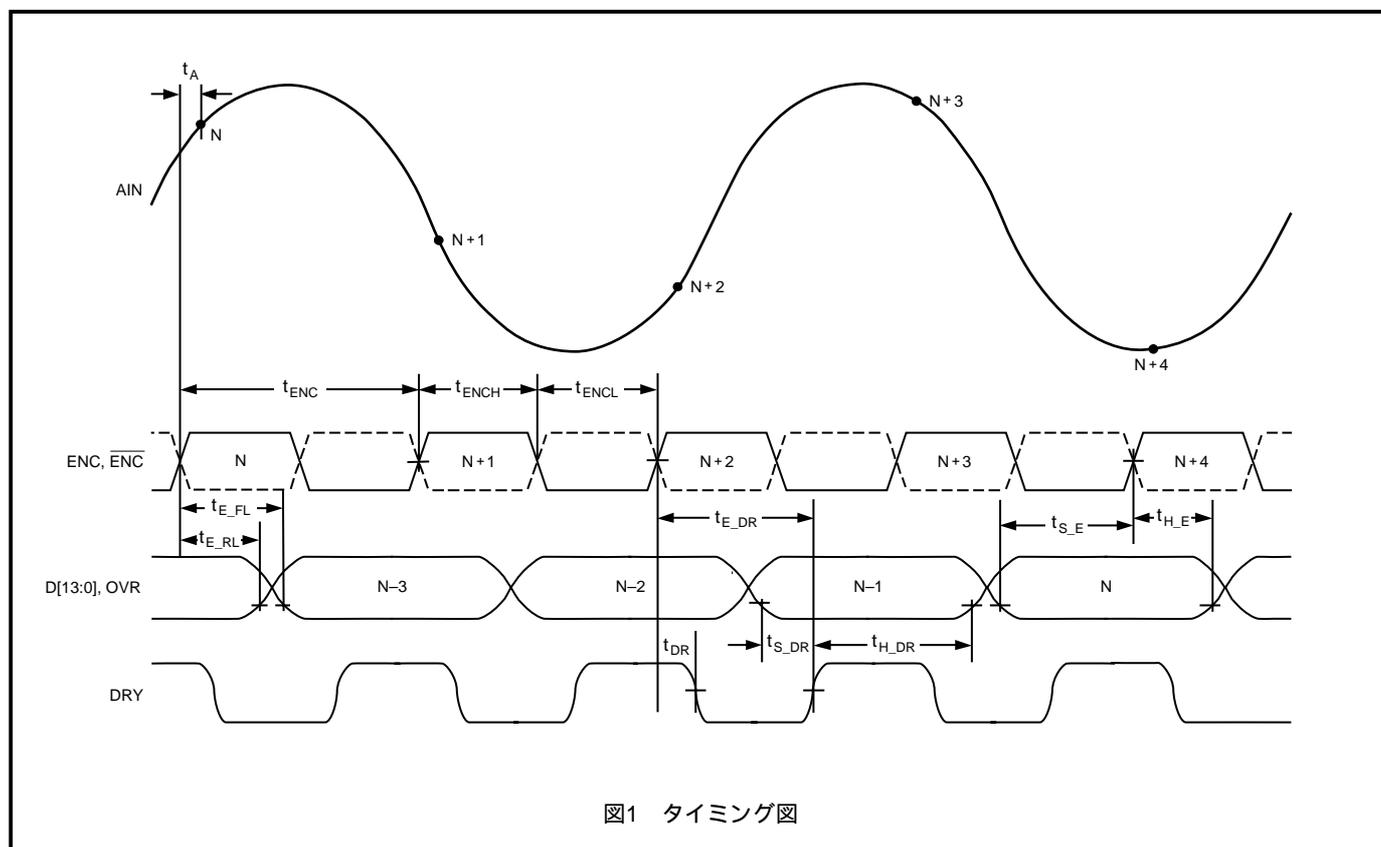


図1 タイミング図

絶対最大定格¹

| パラメータ | Min | Max | 単位 |
|-----------------------|------|------------------|----|
| 電気 | | | |
| AV _{CC} 電圧 | 0 | 7 | V |
| DV _{CC} 電圧 | 0 | 7 | V |
| アナログ入力電圧 | 0 | AV _{CC} | V |
| アナログ入力電流 | | 25 | mA |
| デジタル入力電圧 | 0 | AV _{CC} | V |
| デジタル出力電流 | | 4 | mA |
| 環境² | | | |
| 動作温度範囲 (周辺) | - 25 | + 85 | |
| 最大接合温度 | | 150 | |
| ピン温度(ハンダ付け、10秒) | | 300 | |
| 保管温度(周辺) | - 65 | + 150 | |

注

- 1 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。
- 2 熱インピーダンス代表値(52ピンLQFP) $\theta_{JA} = 33 \text{ }^\circ\text{C/W}$; $\theta_{JC} = 11 \text{ }^\circ\text{C/W}$ 。
これらの計測は、静止した空気の中に置かれたソリッド・グラウンド・プレーンを持った6層のボードについて行われたものです。

試験レベルの解説

- I 100%製造テスト済み。
- II 25 °Cにおいて100%製造テスト済み、および温度範囲の両端において設計および特性の双方について保証済み。
- III サンプル・テストのみ。
- IV パラメータは、設計および特性試験により保証。
- V パラメータは、代表値 (typ) のみ。

オーダー・ガイド

| モデル | 温度範囲 | パッケージ | パッケージ・オプション |
|---------------|--------------------|----------------------------------|-------------|
| AD6644AST-40 | - 25 ~ + 85 (周辺温度) | 52ピンLQFP(低背形クワッド・プラスチック・フラットパック) | ST-52 |
| AD6644AST-65 | - 25 ~ + 85 (周辺温度) | 52ピンLQFP(低背形クワッド・プラスチック・フラットパック) | ST-52 |
| AD6644AST/PCB | | AD6644AST-65搭載の評価ボード | |

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。

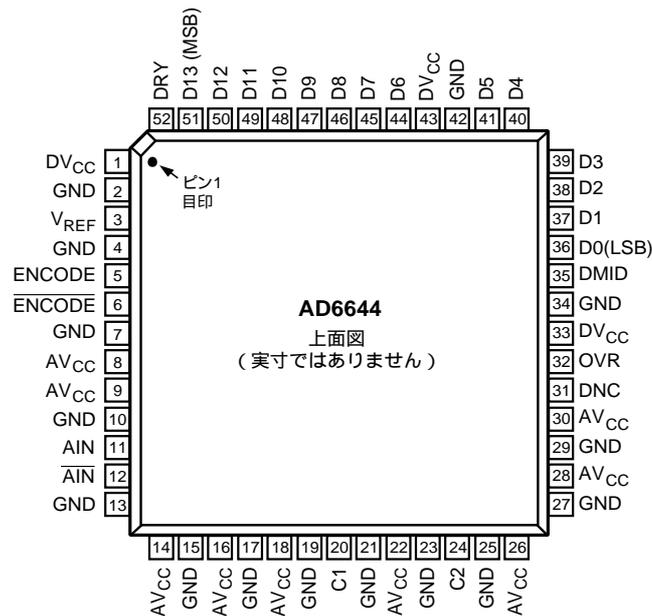


AD6644

ピン機能説明

| ピン番号 | 記号 | 機能 |
|---|-------------------------|--|
| 1, 33, 43 | DV _{CC} | 3.3V電源 (デジタル) 出力段のみ |
| 2, 4, 7, 10, 13, 15, 17, 19, 21, 23, 25, 27, 29, 34, 32 | GND | グラウンド |
| 3 | V _{REF} | 2.4V (アナログ・リファレンス) 0.1 μFのマイクロ波チップ・コンデンサでグラウンドにバイパス。 |
| 5 | ENCODE | エンコード入力、変換は立ち上がりエッジで開始。 |
| 6 | ENCODE | ENCODEの反転、差動入力。 |
| 8, 9, 14, 16, 18, 22, 26, 28, 30 | AV _{CC} | 5Vアナログ電源。 |
| 11 | AIN | アナログ入力。 |
| 12 | $\overline{\text{AIN}}$ | AINの反転、差動アナログ入力。 |
| 20 | C1 | 内部電圧リファレンス。0.1 μFのマイクロ波チップ・コンデンサでグラウンドにバイパス。 |
| 24 | C2 | 内部電圧リファレンス。0.1 μFのマイクロ波チップ・コンデンサでグラウンドにバイパス。 |
| 31 | DNC | 無接続。 |
| 32 | OVR | オーバーレンジ・ビット。ハイになるとアナログ入力が ±FSを超えたことを示す。 |
| 35 | DMID | 出力データ電圧中間点。ほぼ、(DV _{CC}) /2に等しい。 |
| 36 | D0 (LSB) | デジタル出力ビット (LSB) 2の補数 |
| 37 ~ 41, 44 ~ 50 | D1 ~ D5, D6 ~ D12 | デジタル出力ビット、2の補数 |
| 51 | D13 (MSB) | デジタル出力ビット (MSB) 2の補数 |
| 52 | DRY | データ・レディ出力 |

ピン配置



DNC = 無接続

仕様の定義**アナログ帯域幅**

基本周波数（FFT解析によって決定される）のスペクトル・パワーが3dB減衰するアナログ入力周波数です。

アパーチャ遅延

ENCODEコマンドの立ち上がりエッジの50%の時点と、アナログ入力がサンプルされる時点の間の遅延です。

アパーチャ不確定性（ジッター）

アパーチャ遅延のサンプル間における変動です。

差動アナログ入力抵抗、差動アナログ入力容量、差動アナログ入力インピーダンス

各アナログ・ポートにおいて測定される実数および複素数のインピーダンスです。抵抗は静的に測定され、容量および差動入力インピーダンスはネットワーク・アナライザを用いて測定されます。

差動アナログ入力電圧範囲

フルスケールの応答を得るために、コンバータに供給すべきピークtoピークの差動電圧です。ピーク差動電圧は、ある1つのピンでの電圧を測定し、これを位相が180度異なる他のピンの電圧から減算して計算されます。ピークtoピーク差動は、入力位相を180度回転させて、再びピークの測定を行うことによって計算されます。ここで、2つのピークの測定結果から差異が計算されます。

微分非直線性

任意のコードの幅の理想的な1LSBのステップからの偏差です。

エンコード・パルス幅/デューティ・サイクル

パルスのハイの幅は、定格動作を達成するためにENCODEパルスが1の状態になければならない最小の時間であり、パルスのローの幅は、ENCODEパルスが0の状態になければならない最小の時間です。t_{ENCH}の変化におけるタイミングの関係を参照してください。これらの仕様は、任意のクロック・レートについて、受容可能なENCODEのデューティ・サイクルを定義します。

フルスケール入力電力

dBmの単位で表されます。次の式によって計算されます。

$$\text{Power}_{\text{Full Scale}} = 10 \log \left[\frac{V_{\text{Full Scale rms}}^2}{|Z|_{\text{Input}} \cdot 0.001} \right]$$

高調波歪み、2次

信号のrms振幅の第2の高調波成分のrms値に対する比であり、dBcによって表されます。

高調波歪み、3次

信号のrms振幅の第3の高調波成分のrms値に対する比であり、dBcによって表されます。

積分非直線性

最小二乗法によって決定された「最適直線」を用いて基準線からの伝達関数の偏差を1LSB単位で測定したものです。

最小変換レート

最も低い周波数のアナログ信号のS/N比が、保証された限界から3dB以上劣化しないようなエンコード・レートです。

最大変換レート

パラメータの試験が行われるエンコード・レートです。

出力伝播遅延

ENCODEおよびENCODEの差動の交点、および全出力ビットが有効なロジック・レベルにある時点との間の遅延です。

ノイズ（A/Dコンバータの任意の範囲について）

$$V_{\text{NOISE}} = \sqrt{|Z| \times 0.001 \times 10^{\left(\frac{\text{FS}_{\text{dBm}} - \text{Signal}_{\text{dBFS}}}{10}\right)}}$$

ここで、Zはインピーダンス、FSは対象の周波数に対するデバイスのフルスケール、S/N比は特定の入力レベルに対する値であり、信号はA/Dコンバータの信号レベルをフルスケールの下方へのdB値で示したものです。この値には、熱ノイズと量子化ノイズの両方が含まれます。

電源除去比

入力オフセット電圧の変化の電源電圧の変化に対する比です。

SINAD（Signal-to-Noise-and-Distortion）

信号のrms振幅（フルスケールの1dB下に設定）の、高調波を含みDC成分を含まない他のスペクトル成分すべてを加算したもののrms値に対する比です。

S/N比（高調波なし）

信号のrms振幅（フルスケールの1dB下に設定）の、最初の5つの高調波を含まずDC成分を含まない他のスペクトル成分すべてを加算したもののrms値に対する比です。

スプリアス・フリー・ダイナミック・レンジ（SFDR）

信号のrms振幅の、ピーク・スプリアス・スペクトル成分のrms値に対する比です。ピーク・スプリアス成分は、高調波であるかどうかを問いません。dBc（信号レベルが低くなるにつれ劣化）またはdBFS（常にコンバータのフルスケールと比較される）のいずれかによって表します。

2トーン相互変調歪み除去

いずれかの入力トーンのrms値の、最悪の3次相互変調生成信号のrms値に対する比であり、dBcで表されます。

2トーンSFDR

いずれかの入力トーンのrms値の、ピーク・スプリアス成分のrms値に対する比です。ピーク・スプリアス成分は、IMD生成信号であるかどうかを問いません。dBc（信号レベルが低くなるにつれ劣化）またはdBFS（常にコンバータのフルスケールと比較される）のいずれかによって表します。

他のスプリアスの最悪値

信号のrms振幅の最悪スプリアス成分（2次および3次の高調波を除く）のrms値に対する比であり、dBcで表されます。

等価回路

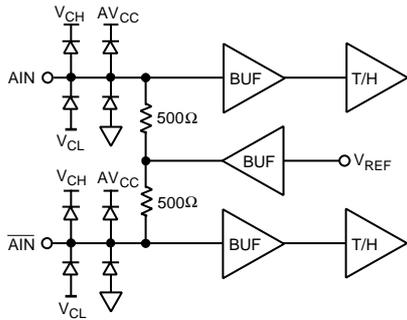


図2 アナログ入力段

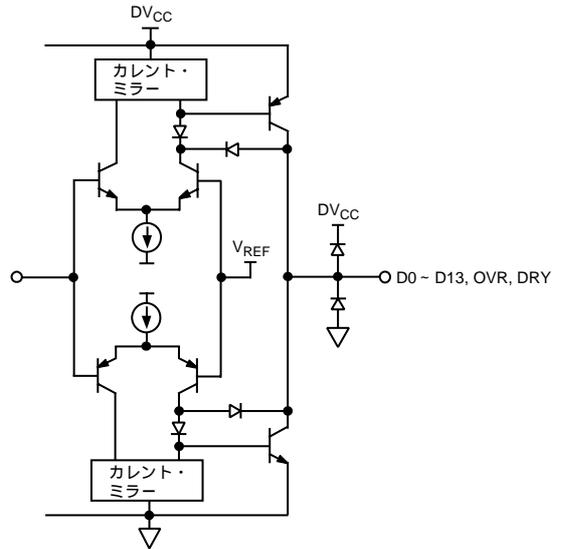


図5 デジタル出力段

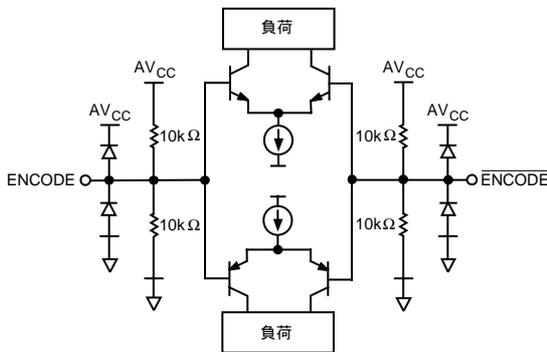


図3 ENCODE入力

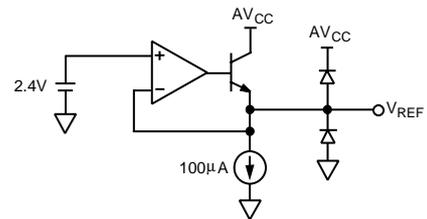


図6 2.4Vリファレンス

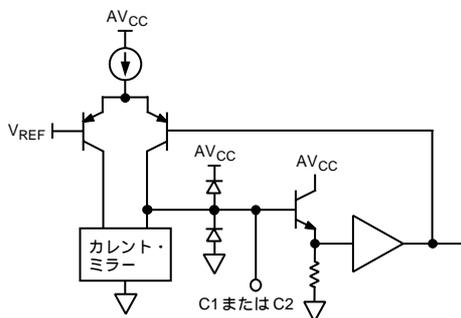


図4 補償ピン、C1またはC2

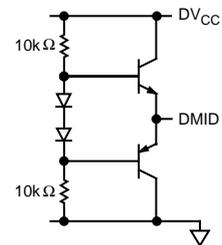


図7 DMIDリファレンス

代表的な性能特性 AD6644

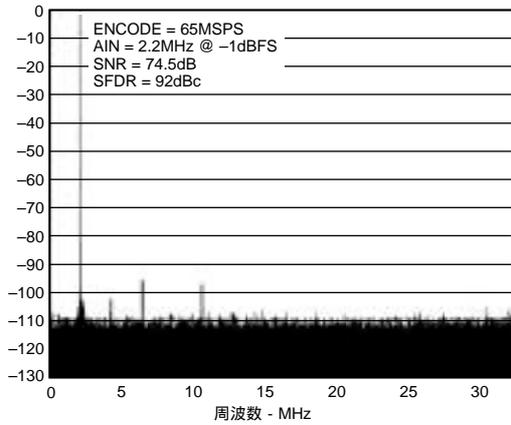


図8 2.2MHzシングル・トーン

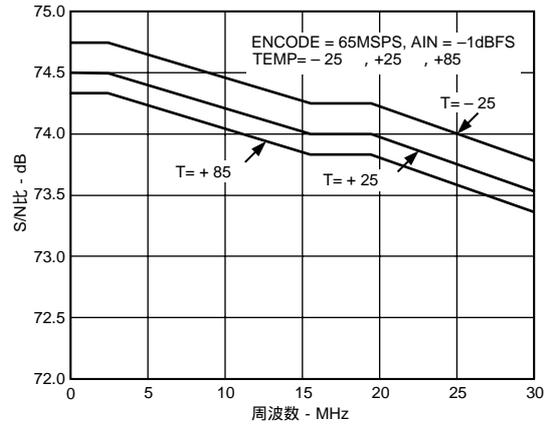


図11 ノイズ対アナログ周波数(ナイキスト)

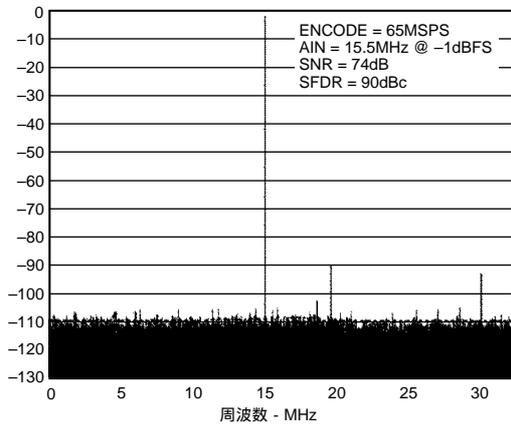


図9 15.5MHzシングル・トーン

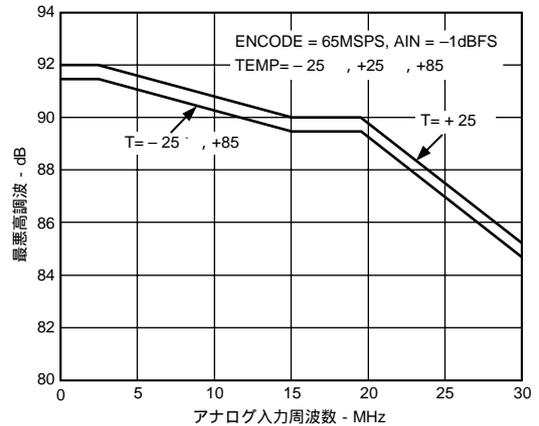


図12 高調波対アナログ周波数(ナイキスト)

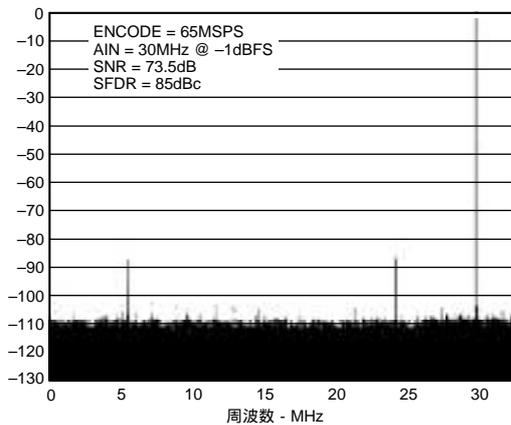


図10 30MHzシングル・トーン

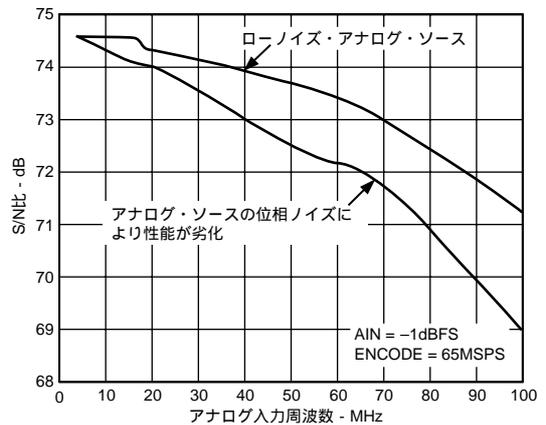


図13 ノイズ対アナログ周波数(IF)

AD6644

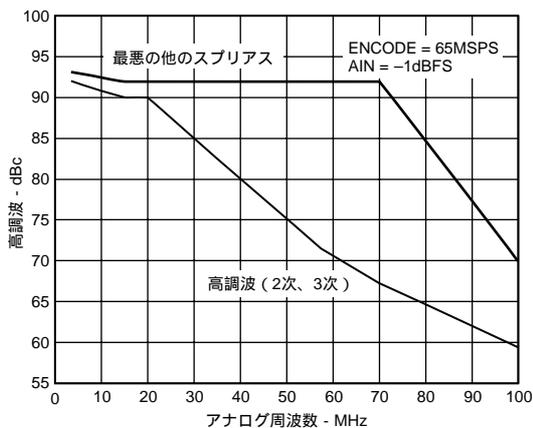


図14 高調波 対 アナログ周波数 (IF)

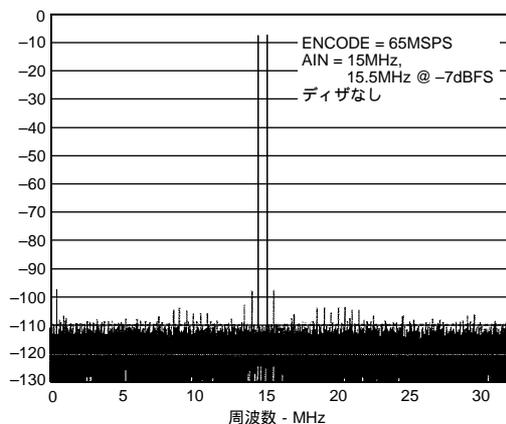


図17 15MHzおよび15.5MHzの2トーン

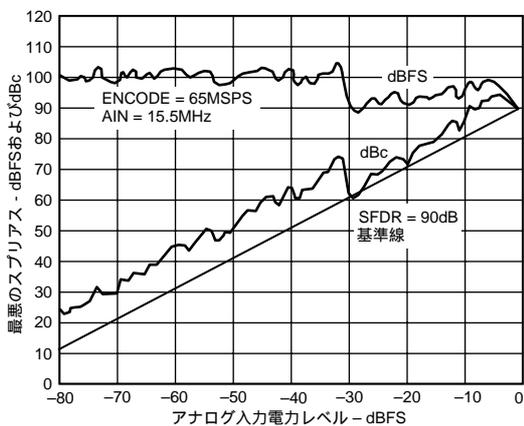


図15 シングル・トーンSFDR

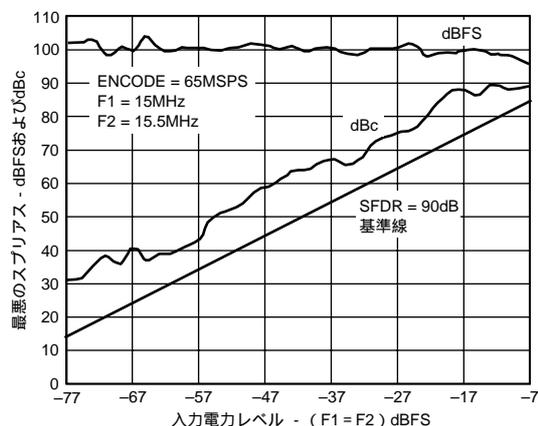


図18 2トーンSFDR

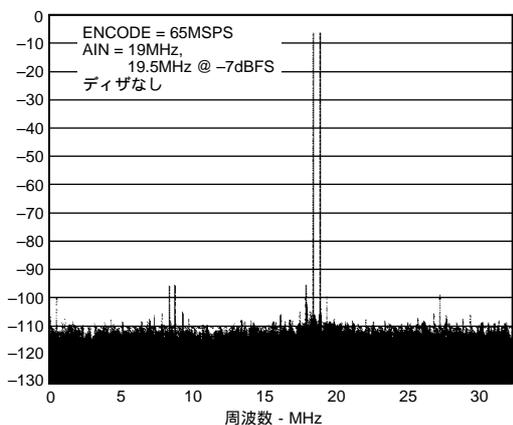


図16 19MHzおよび19.5MHzの2トーン

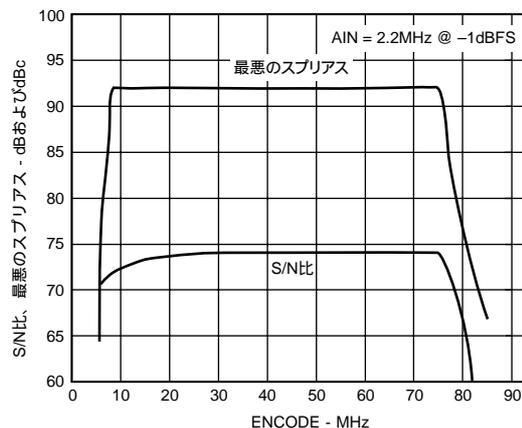


図19 S/N比、最悪のスプリアス対エンコード

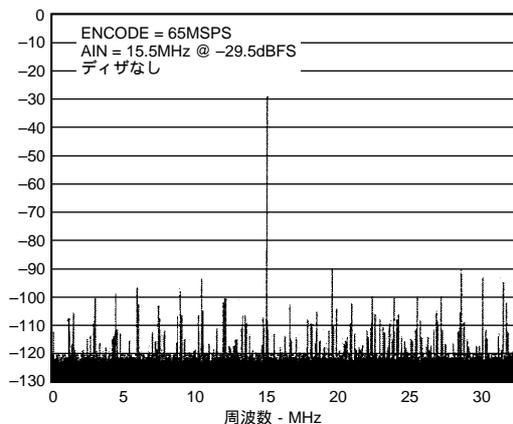


図20 ディザなし1M FFT

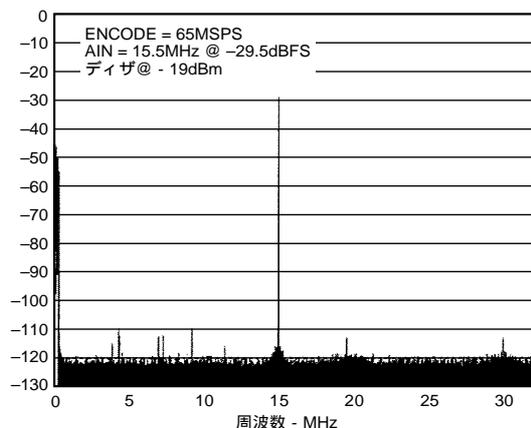


図23 ディザあり1M FFT

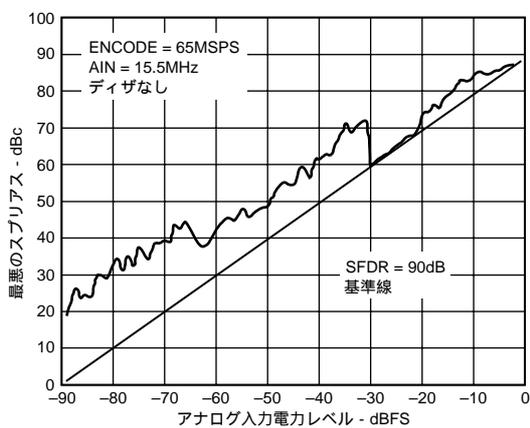


図21 ディザなし SFDR

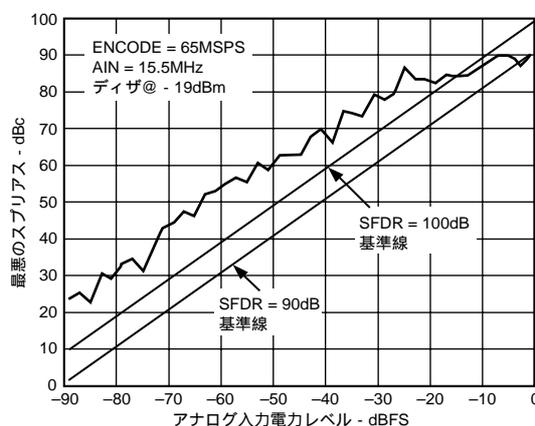


図24 ディザありSFDR

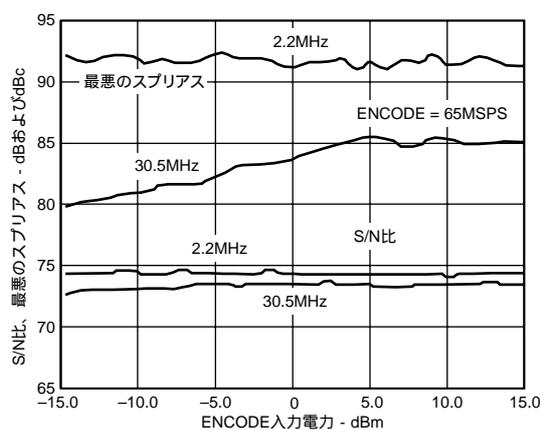


図22 S/N比、最悪のスプリアス 対 クランプされた エンコード電力

AD6644

動作原理

AD6644 A/Dコンバータ(ADC)は、3段階のサブレンジ・アーキテクチャを採用しています。これにより、低消費電力で小ダイ・サイズでありながら、必要な精度と速度を達成しています。

機能ブロック図に示すように、AD6644はコンプリメンタリ相補型アナログ入力ピンAINとAINを備えています。各アナログ入力は、2.4Vを中心として、このリファレンスから±0.55Vの範囲でスイングします(図2)。AINとAINの位相差は180度なので、差動アナログ入力信号は、2.2Vピークtoピークとなります。

両アナログ入力、最初のトラック/ホールド、TH1の前にバッファされます。ENCODEパルスがハイの状態では、TH1はホールド・モードとなります。TH1にホールドされた値は、5ビットの粗いADC1に入力されます。ADC1のデジタル出力は、5ビットDACであるDAC1を駆動します。DAC1は、レーザー・トリミングで達成される14ビット精度を必要とします。DAC1の出力は、TH3入力の遅延されたアナログ出力から減算されて、第1の残差信号を生成します。TH2は、ADC1のデジタル遅延を補償するアナログ・パイプライン遅延を供給します。

第1の残差信号は、5ビットのADC2、5ビットのDAC2、パイプラインTH4で構成された第2の変換ステージに加えられます。第2のDACは、10ビットの精度をトリミングなしに達成できる必要があります。TH5に対する入力は、DAC2の量子化された信号をTH4によってホールドされた第1の残差信号から減算して生成される、第2の残差信号です。TH5は、最後の6ビットのADC3を駆動します。

ADC1、ADC2、ADC3からのデジタル出力は加算されて、デジタル誤差補正ロジックの中で補正されて最終的な出力データを生成します。結果として、2の補数の形式でコードされた14ビット・パラレルのデジタルCMOSコンパチブル・ワードが得られます。

AD6644の適用

AD6644のエンコード

AD6644のエンコード信号は、動作特性の劣化を防止するために、高品質で位相ノイズが極めて少ないソースを使う必要があります。14ビット精度を維持するためには、エンコード・クロックの位相ノイズについて厳しい条件が課されます。ジッターの多いクロック・ソースを用いた場合には、70MHzの入力信号についてのS/N比特性が、簡単に3~4dBも劣化します。完全な詳細については、当社のアプリケーション・ノートAN501“Aperture Uncertainty and ADC System Performance”を参照してください。

最適な動作のためには、AD6644を差動クロックで駆動する必要があります。エンコード信号は、通常、トランスまたはコンデンサを介してENCODEおよびENCODEピンにAC結合されます。これらのピンは内部的にバイアスされており、バイアスを追加する必要はありません。以下にAD6644をクロックする望ましい方法を示します。クロック・ソース(低ジッター)は、RFTランスによってシングル・エンドから差動に変換されます。トランスの2次側の配線間のバックtoバックのショットキ・ダイオードは、AD6644へ入力されるクロックの幅を、差動で約0.8Vp-pに制限します。これにより、クロックの大きな電圧スイングがAD6644の他の部分に送り込まれる(フィード・スルー)を防止し、ENCODE入力に加わるノイズを制限します。適当な制限抵抗(一般的に100Ω)が1次側に直列に設けられた場合には、水晶クロック発振器を使ってRFTランスを駆動することもできます。

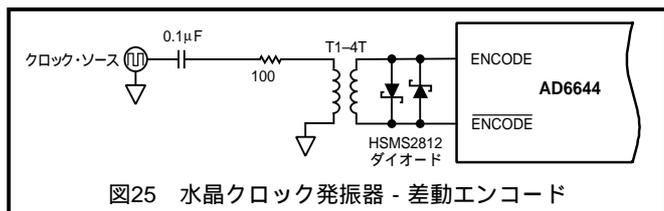


図25 水晶クロック発振器 - 差動エンコード

低ジッターのECL/PECLが利用可能な場合には、以下に示すように差動ECL/PECL信号をAC結合して入力ピンをエンコードできます。優れたジッター特性を示すデバイスとしてMotorolaのMC100LVEL1R(または同ファミリー製品)があります。

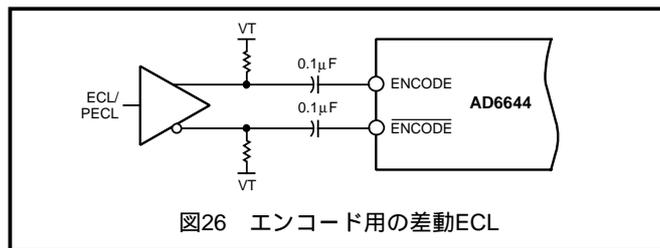


図26 エンコード用の差動ECL

アナログ入力

高速・高ダイナミックレンジの最新A/Dコンバータの大半と同様に、AD6644のアナログ入力は差動です。差動入力では、信号がアナログ段で処理されるため、オンチップでの動作特性を大きく向上できます。この特性改善の大部分は、偶数次の高調波を高い比率で除去する差動アナログ段によるものです。これらは、プリント基板のレベルでも利点があります。第1に、差動入力は、グラウンドおよび電源ノイズのような浮遊信号に対して高いコモン・モード除去比があります。また、これらは、ローカル発振器のフィード・スルーなどのコモン・モード信号に対しても良好な除去特性を示します。

AD6644の入力電圧範囲は、グラウンドから2.4Vだけオフセットされています。各アナログ入力は、500Ωの抵抗を介して2.4Vのバイアス電圧および差動バッファの入力に接続されています(図2)。入力の抵抗ネットワークは、フォロアを適切にバイアスして直線性および範囲を最適化します。このため、AD6644を駆動するアナログ・ソースは、入力ピンに対してAC結合する必要があります。AD6644の差動入力インピーダンスは1kΩなので、アナログ入力の電源要求事項はわずか-2dBmであり、ほとんどの場合ドライバ・アンプが省略できます。この高入力インピーダンスを最大限に活用するために、20:1のトランスが必要となります。これは大きな変圧比であり、十分な特性が得られない結果にもなります。この場合には、より低いステップ・アップ比を使用できます。AD6644のアナログ入力を駆動するために推奨される方法としては、4:1のRFTランスを用いることです。例えば、 R_T が60.4Ωに設定され R_S が25Ωに設定された場合には、入力は4.8dBmのフルスケール・ドライブで50Ωのソースとマッチします。トランスの2次側の直列抵抗(R_S)を用いてトランスをADCから絶縁してください。これにより、ADCからのダイナミックな電流がトランスの2次側に還流することを防止できます。終端抵抗(R_T)は、トランスの1次側に設ける必要があります。

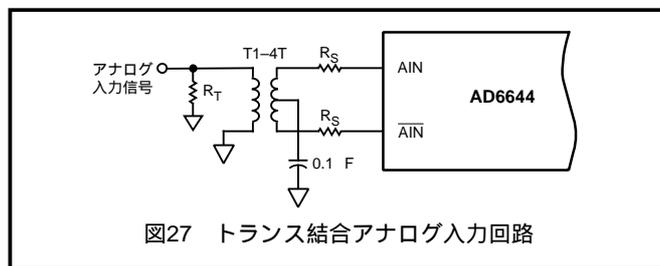


図27 トランス結合アナログ入力回路

DC結合が必要なアプリケーションでは、当社の新しい差動出力のオペアンプAD8138によってAD6644をドライブできます(図28)。AD8138オペアンプは、シングルエンドと差動の変換を行い、これによりシステム全体としてのコストが低減でき、レイアウトにおける制約が最小化されます。

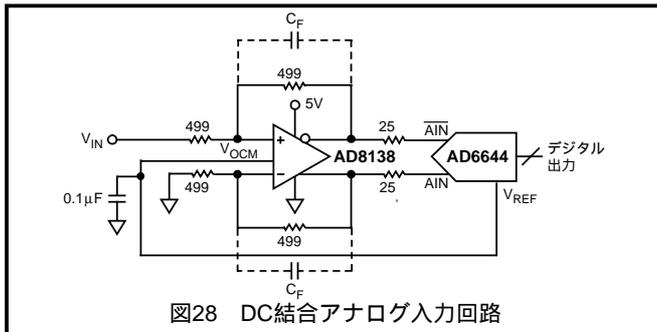


図28 DC結合アナログ入力回路

電源

電源ソースの選択は慎重に行う必要があります。リニア電源を強く推奨します。スイッチング電源は、AD6644によって受信される可能性のある輻射成分を持つ傾向があります。各電源ピンは、パッケージのなるべく近くで0.1µFのチップ・コンデンサでデカップリングしてください。AD6644のデジタル電源とアナログ電源ピンは分離されています。アナログ電源にはAV_{CC}と表示され、デジタル電源ピンにはDV_{CC}と表示されます。AV_{CC}およびDV_{CC}は、独立した電源としてください。これは、デジタルの高速な出力スイングにより、スイッチング電流がアナログ電源と結合することがあるからです。AV_{CC}は、5Vから5%以内に保持するよう注意してください。AD6644はDV_{CC} = 3.3Vで仕様規定されていますが、これは、この電圧がASICに共通する電源となっているためです。

出力負荷

AD6644用のデータ・レシーバは慎重に設計してください。デジタル出力によってシリーズの抵抗(例えば100Ω)を駆動して、次に74LCX574などのゲートに接続することを推奨します。容量性負荷を最小限にするために、各出力ピンに対しては、1つのゲートだけを接続してください。この例を、図30の評価ボードの概略図に示します。AD6644のデジタル出力は、1V/nsの安定した出力スルーレートを持っています。代表的なCMOSゲートは、PCBの配線との組み合わせで10pF程度の負荷を持っています。このため、各ビット・スイッチで、ビットあたり10mA(10pF×1V/1ns)のダイナミックな電流がデバイスから流出します。フルスケールの遷移によって、出力段を介して最大140mA(14ビット×10mA/ビット)の電流が発生する可能性があります。シリーズ抵抗は、出力段に流入する可能性のある電流を制限するために、AD6644のなるべく近くに設置してください。これらのスイッチング電流は、グラウンドとDV_{CC}ピンの間に閉じ込められます。標準TTLのゲートは、AD6644のダイナミックなスイッチング電流を大きく増大させてしまうので、採用を避けてください。また、容量性負荷が増加することにより、出力のタイミングが遅れてタイミング仕様が無効となることにも注意してください。デジタル出力のタイミングは10pFの負荷について保証されたものです。

レイアウトについての情報

評価ボードの概略図(図30)は、AD6644の代表的な構成例を示したものです。最良の結果を得るためには多層基板を推奨します。電

源の各ピンをデバイスと直接にデカップリングするために、高品質のセラミック・チップ・コンデンサの使用を強く推奨します。AD6644のピン出力は、高周波数、高解像度の設計の実現を容易とします。すべてのデジタル出力は、チップの両側に分離して配置されており、入力は絶縁のために他方に配置されています。

デジタル経路の配置には注意が必要です。デジタルの出力がAD6644のアナログ部に結合されるのを防止するために、これらの出力に最小限の容量性負荷を接続するべきです。AD6644の出力は、1ゲートのみのファンアウトとすることを推奨します。

エンコード回路のレイアウトも重要です。回路にノイズが受信されると、デジタル化プロセスが阻害され、全体としての性能が低下します。エンコード・クロックは、デジタル出力およびアナログ入力から絶縁する必要があります。

ジッターについての配慮

A/DコンバータのSN比(SNR)は予測可能です。A/Dコンバータのコードに正規化された場合、式1の3つの項によってS/N比が正確に示されます。これらは、ジッター、平均DNL、誤差です。これらの各項がコンバータのノイズに影響を与えます。

$$\text{SNR} = -20 \times \log \left[\left[\frac{(1+\epsilon)}{2^N} \right]^2 + (2 \times \pi \times f_{\text{ANALOG}} \times t_{\text{J RMS}})^2 + \left(\frac{V_{\text{NOISE RMS}}}{2^N} \right)^2 \right]^{1/2} \quad (1)$$

f_{ANALOG} = アナログ入力周波数。

$t_{\text{J RMS}}$ = エンコードのrmsジッター(エンコード・ソースおよび内部エンコード回路の合計rms値)

= A/Dコンバータの平均DNL(典型的には0.41LSB)

N = A/Dコンバータのビット数

$V_{\text{NOISE RMS}}$ = A/Dコンバータのアナログ入力(代表値は2.5LSB)に対するrms熱ノイズです。

AD6644のような14ビットA/Dコンバータでは、アナログ周波数が増大するにつれ、アパーチャ・ジッターがS/N比特性に大きな影響を与えることがあります。下の図は、ジッターが増大につれてのAD6644のS/N比変化の予測を示したものです。図は上記の式から求められたものです。

アパーチャ・ジッターについての詳細は、当社のアプリケーション・ノートAN501“Aperture Uncertainty and ADC System Performance”を参照してください。

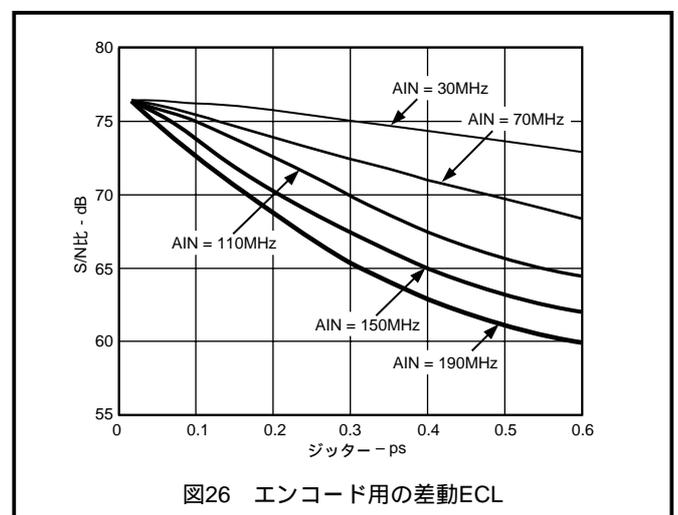


図26 エンコード用の差動ECL

AD6644

評価ボード

AD6644の評価ボードは簡素な構成となっており、デバイスの評価に必要な回路がすべて含まれています。外部接続の必要があるのは電源、クロック、アナログ入力のみです。評価ボードには、ENCODEのための内部クロック発振器のオプションが含まれます。AD6644のアナログ電源ピンへの電源は、パワー端子ブロック（PCTB2）を介して接続されています。デジタル・インターフェースの電源は、J6の1ピンを介して接続されています。J2コネクタは、SoftCell受信シグナル・プロセッサ（AD6620、AD6624）評価ボードに直接に接続されており、システム性能の完全な評価を実現します。

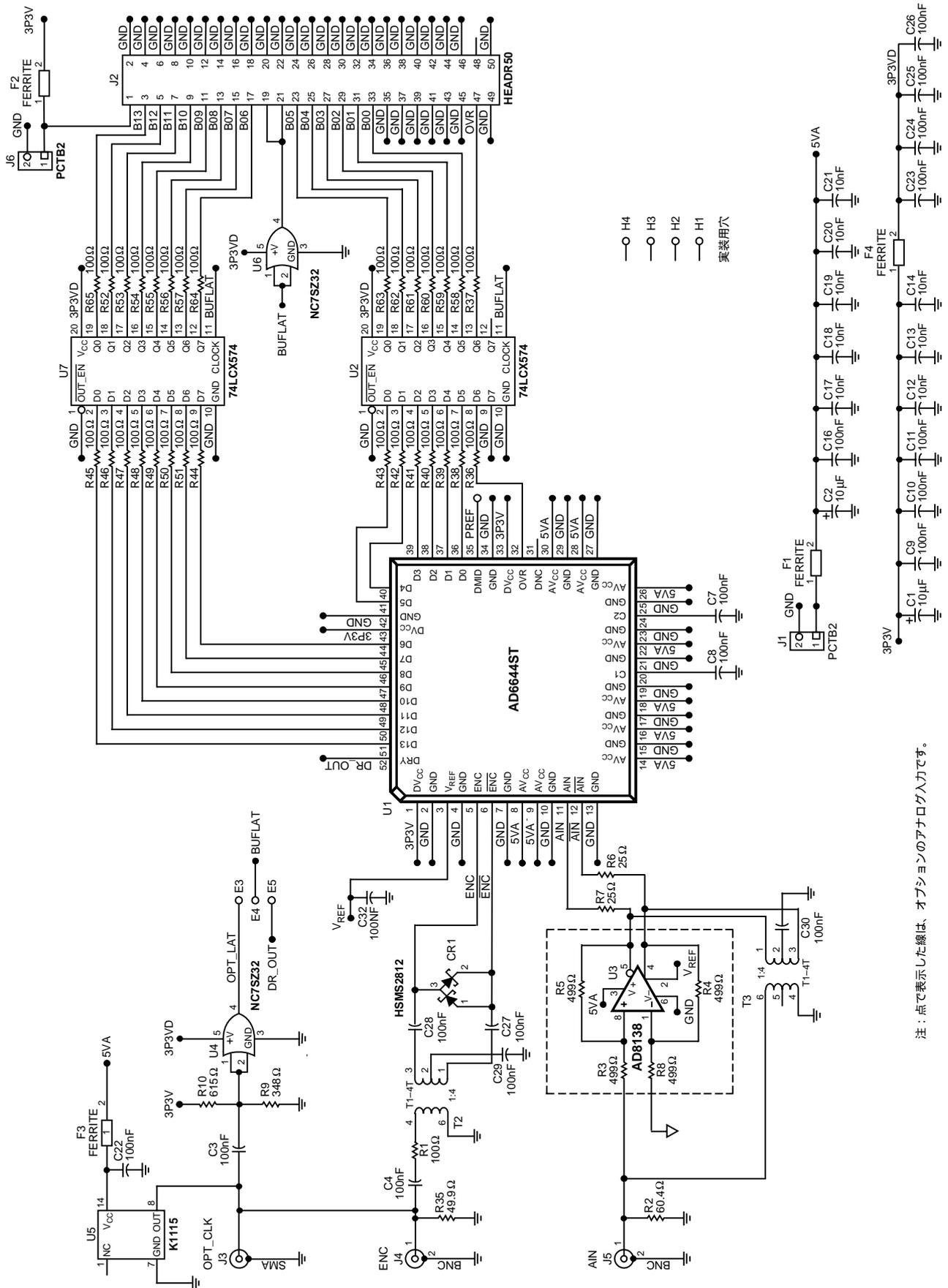
アナログ入力は、BNCコネクタを介して接続されており、これはAD6644の入力にトランス結合されています、トランスの巻線比は1：4となっており、AD6644を駆動するための入力電力を低減しています。

エンコード信号は、内蔵の水晶発振器U5による生成も可能です。内蔵発振器は、OPT_CLKのラベルがあるSMAコネクタまたはENCODEのラベルがあるBNCコネクタを介した外部エンコード・ソースに置き換え可能です。外部ソースを使用する場合には、高品質で位相ノイズの極めて低いソースにしてください。

AD6644の出力データは、74LCX574（U7、U2）ラッチによってラッチされます。これらのラッチのクロックは、ジャンパE3～E4またはE4～E5の選択により決定されます。E3～E5は、クロックにゲートによる遅延をかけたもので、E4をE5に接続することにより、AD6644のDataレディにより出力データをラッチできます。クロックは、BUFLAT（ピン19、20）のラベルがある出力データ（J2）からも分配されます。

AD6644部品一覧

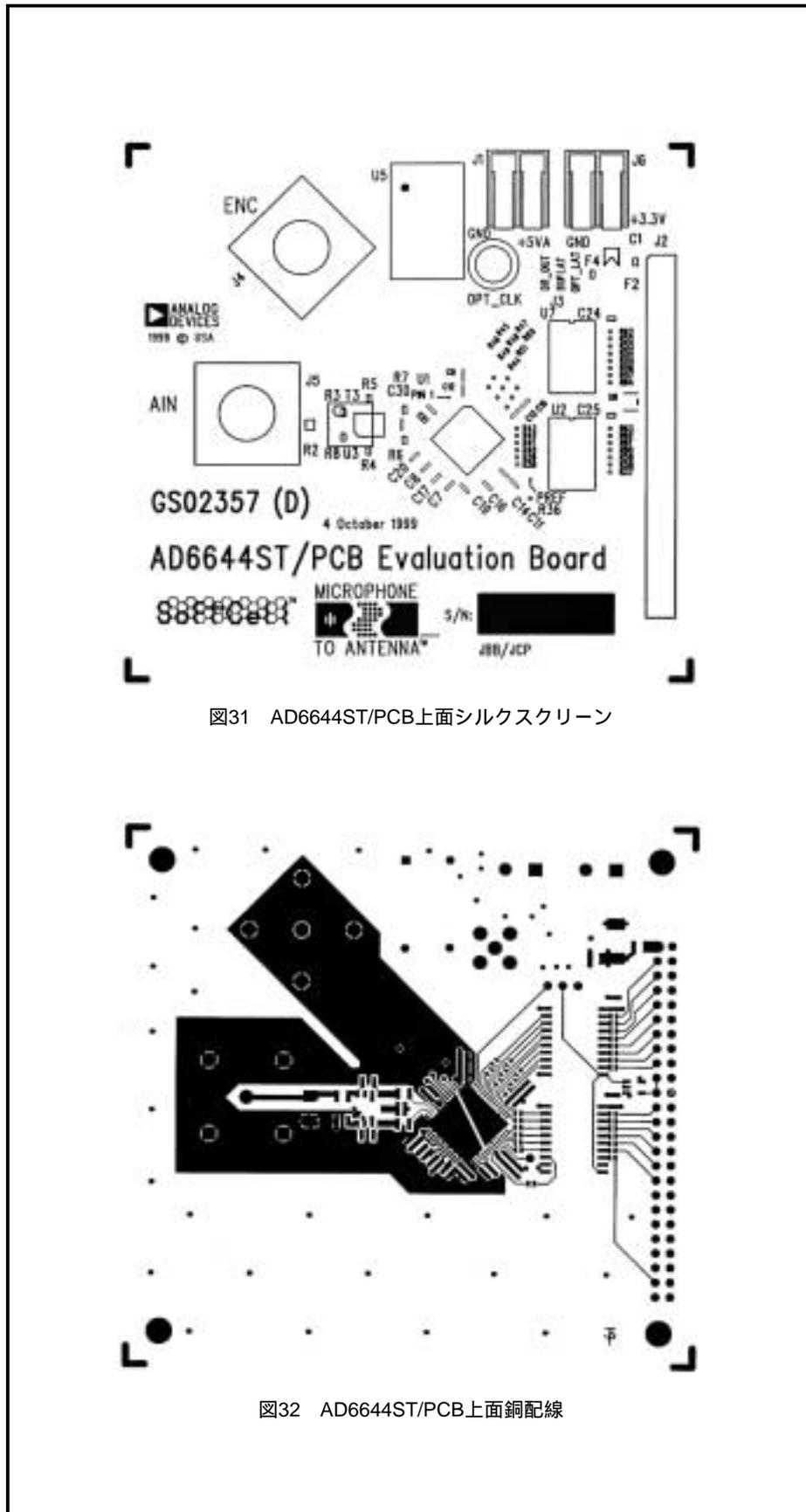
| 項目 | 数量 | 参照番号 | 解説 |
|----|----|---|---------------------------------|
| 1 | 2 | C1、C2 | タンタル・チップ・コンデンサ10μF |
| 2 | 1 | C3、C7、C8、C9、C10、C11、C16、C30、C31、C32、C4、C22、C23、C24、C25、C26、C27、C28、C29 | セラミック・チップ・コンデンサ0508、0.01μF |
| 3 | 8 | C12、C13、C14、C17、C18、C19、C20、C21 | セラミック・チップ・コンデンサ0508、0.01μF |
| 4 | 1 | CR1 | HSMS2812表面実装型ダイオード |
| 5 | 1 | E3、E4、E5 | 3ピン・ヘッダー |
| 6 | 4 | F1、F2、F3、F4 | フェライト（オプション） |
| 7 | 2 | J1、J6 | PCTB2 |
| 8 | 1 | J2 | 50ピン2列ヘッダー |
| 9 | 1 | J3 | SMAコネクタ |
| 10 | 2 | J4、J5 | BNCコネクタ |
| 11 | 1 | R1 | 表面実装型抵抗1206、100 |
| 12 | 1 | R2 | 表面実装型抵抗1206、60.4 |
| 13 | 4 | R3、R4、R5、R8 | 表面実装型抵抗0805、449（オプション、DC結合のみ） |
| 14 | 2 | R6、R7 | 表面実装型抵抗0805、25 |
| 15 | 1 | R9 | 表面実装型抵抗0805、348 |
| 16 | 1 | R10 | 表面実装型抵抗0805、615 |
| 17 | 1 | R35 | 表面実装型抵抗0805、49.9 |
| 18 | 30 | R36、R37、R38、R39、R40、R41、R42、R43、R44、R45、R46、R47、R48、R49、R50、R51、R52、R53、R54、R55、R56、R57、R58、R59、R60、R61、R62、R63、R64、R65 | 表面実装型抵抗0402、100 |
| 19 | 2 | T2、T3 | 表面実装型トランス小型回路、巻線比1：4 |
| 20 | 1 | U1 | AD6644AST 14ビット 65MSPS A/Dコンバータ |
| 21 | 2 | U2、U7 | 74LCX574 8回路ラッチ |
| 22 | 1 | U3 | AD8138シングル/差動アンプ（オプション、DC結合のみ） |
| 23 | 2 | U4、U6 | NC7SZ32 2入力ORゲート |
| 24 | 1 | U5 | CTSリープ・フルサイズMX045水晶クロック発振器 |



注：点で表示した線は、オプションのアナログ入力です。

図30 AD6644ST/PCB概略図 (GS02357D概略図)

AD6644



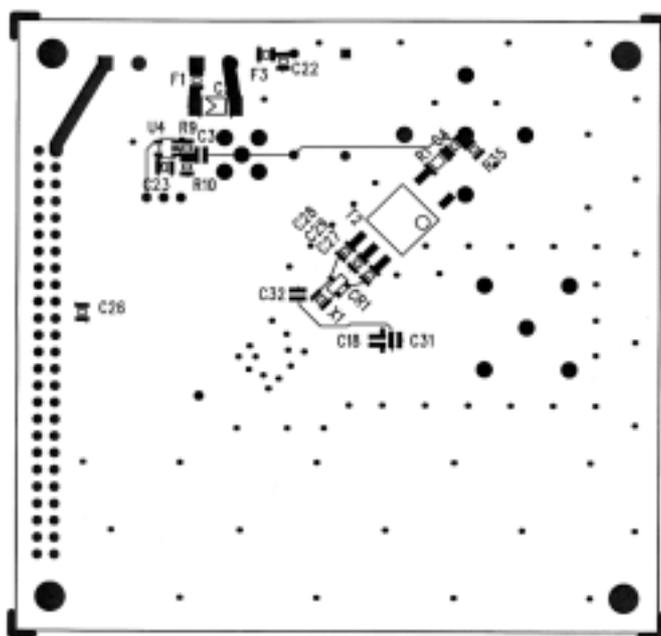


図33 AD6644ST/PCB下面シルクスクリーン

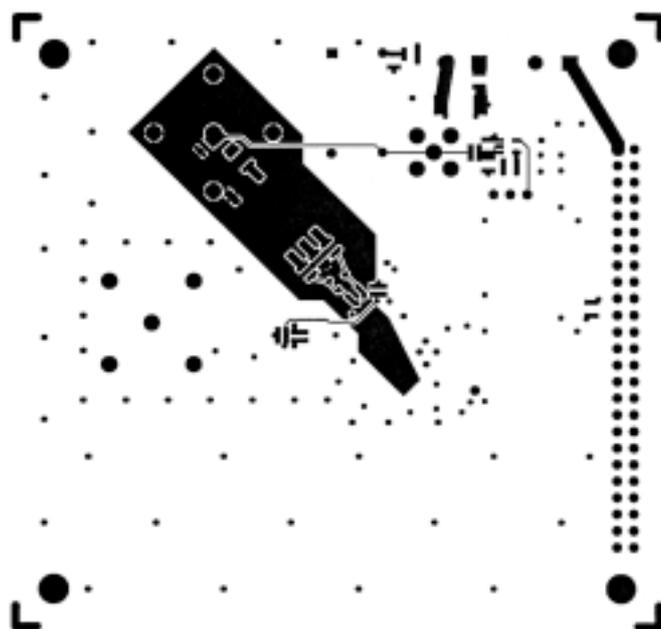


図34 AD6644ST/PCB下面銅配線

AD6644

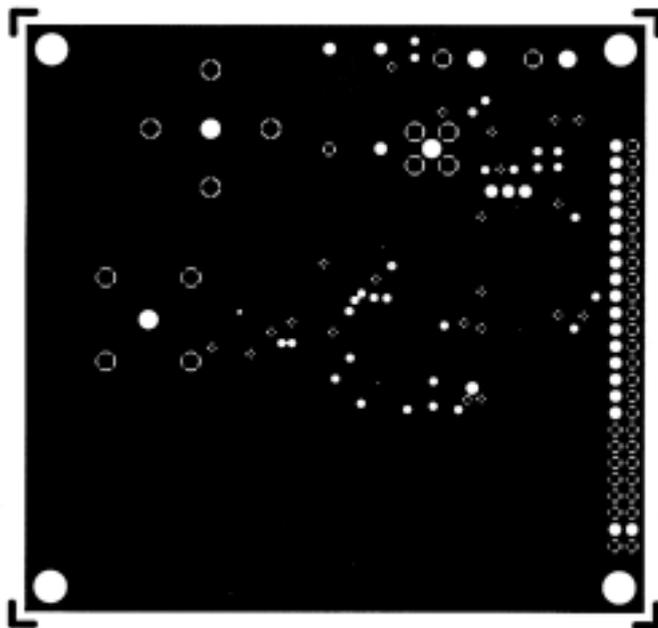


図35 AD6644ST/PCBグラウンド層 - 第2層および第5層（ネガ表示）

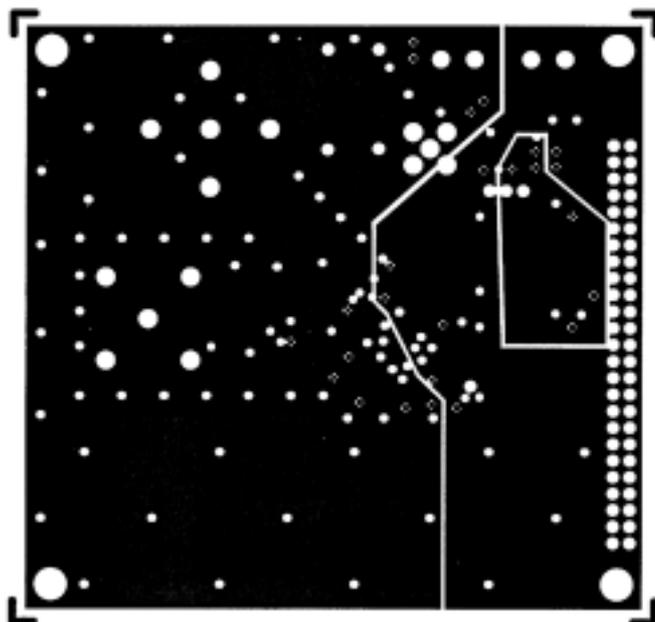
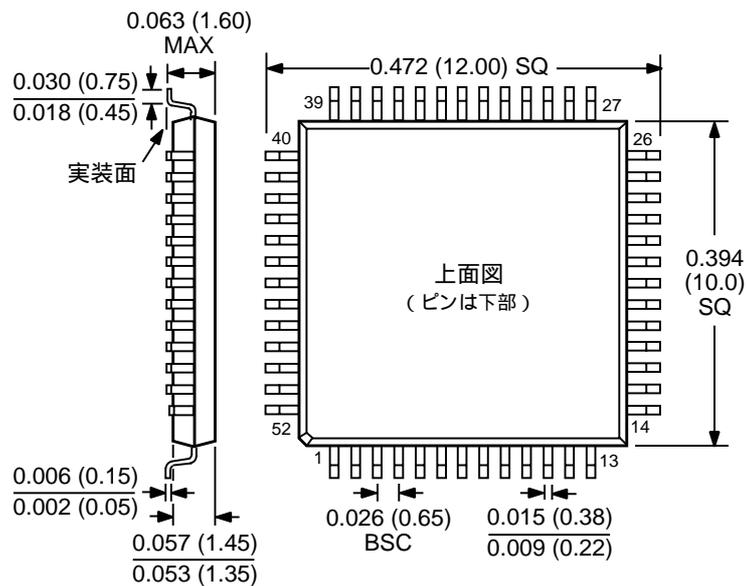


図36 AD6644ST/PCB “ スプリット ” 電源層 - 第3層および第4層（ネガ表示）

外形寸法

サイズはインチと (mm) で示します。

52ピン・プラスチック低背型クワッド・フラットバック (ST-52)



AD6644

TDS5/2000/2000

PRINTED IN JAPAN

