



80MSPS、デュアルチャンネルWCDMA 受信信号プロセッサ (RSP)

AD6634

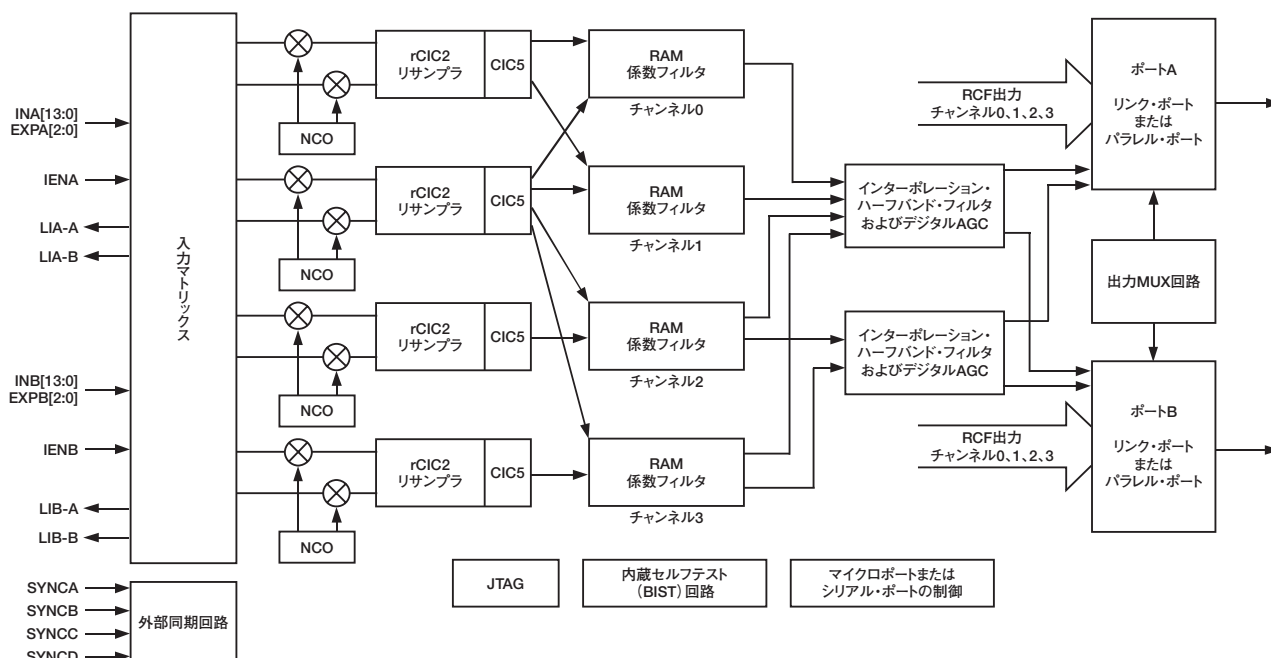
特長

80MSPS広帯域入力 (14リニア・ビット+3RSSI)
WCDMA; 2ch (UMTSまたはCDMA2000 ×1) または
GSM/EDGE、IS136; 4chを処理
単一パッケージに独立したデジタル・レシーバ4個を内蔵
16ビットのデュアル・パラレル出力ポート
8ビットのデュアル・リンク・ポート
96dBレンジのプログラマブル・デジタルAGCループ
非整数デシメーション・レート用デジタル・リサンプリング
プログラマブルなデシメーションFIRフィルタ
インターポレーション・ハーフバンド・フィルタ
プログラマブル減衰器制御によるクリップ防止とレベル・イン
ジケータを用いた外部ゲイン・レンジング
マルチキャリアおよびフェーズド・アレイ向けのフレキシブル
な制御
3.3VのI/O、2.5VのCMOSコア
ユーザー設定が可能な内蔵セルフテスト (BIST) 機能
JTAGバウンダリ・スキャン

アプリケーション

マルチキャリア、マルチモード・デジタル・レシーバ
(GSM、IS136、EDGE、PHS、IS95、UMTS、
CDMA2000)
マイクロおよびピコ・セル・システム、ソフトウェア無線
ワイヤレス・ローカル・ループ
スマート・アンテナ・システム
構内無線電話

機能ブロック図



REV. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868 (代)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を暗示的または明示的に許諾するものでもありません。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

AD6634

目次

特長	1	RAM BIST	31
アプリケーション	1	チャンネルBIST	31
概要	4	チップの同期化	32
アーキテクチャ	4	スタート	32
絶対最大定格	6	非同期スタート	32
熱特性	6	ソフト同期によるスタート	32
テスト・レベルの説明	6	SYNCピンによるスタート	32
オーダー・ガイド	6	ホップ	33
推奨動作条件	7	周波数をホップなしに設定	33
電気的特性	7	ソフト同期によるホップ	33
一般タイミング特性	8	SYNCピンによるホップ	33
マイクロプロセッサ・ポートのタイミング特性	9	パラレル出力ポート	33
タイミング図	10	チャンネル・モード	33
ピン配置	17	AGCモード	34
ピン機能の説明	18	マスター／スレーブPCLKモード	35
フィルタ応答の例	19	パラレル・ポートのピン機能	35
入力データ・ポート	20	リンク・ポート	35
入力データ・フォーマット	20	リンク・ポートのデータ・フォーマット	35
入力タイミング	20	リンク・ポートのタイミング	36
入力イネーブル制御	20	TigerSHARCの設定	36
ゲインの切り替え	21	メモリ・マップ	36
入力データのスケールリング	21	0x00～0x7F：係数メモリ (CMEM)	36
固定小数点ADCを用いたスケールリング	21	0x80：チャンネル・スリープ・レジスタ	37
浮動小数点ADCまたはゲイン・レンジングADCを 用いたスケールリング	22	0x81：Soft_SYNCレジスタ	37
数値制御発振器	22	0x82：Pin_SYNCレジスタ	37
周波数変換	22	0x83：スタート・ホールドオフ・カウンタ	37
NCO周波数ホールドオフ・レジスタ	23	0x84：NCO周波数ホールドオフ・カウンタ	37
位相オフセット	23	0x85：NCO周波数レジスタ0	38
NCO制御レジスタ	23	0x86：NCO周波数レジスタ1	38
バイパス	23	0x87：NCO位相オフセット・レジスタ	38
位相ディザ	23	0x88：NCO制御レジスタ	38
振幅ディザ	23	0x90：rCIC2デシメーションン-1 ($M_{rCIC2}-1$)	39
ホップ時の位相アキュムレータのクリア	23	0x91：rCIC2インターポレーションン-1 ($L_{rCIC2}-1$)	39
入力イネーブル制御	23	0x92：rCIC2スケール	39
モード00：IENのローレベルでデータをブランク	23	0x93：	39
モード01：IENのハイレベルでクロック入力	23	0x94：CIC5デシメーションン-1 ($M_{CIC5}-1$)	39
モード10：IENの立ち上がり変化でクロック入力	24	0x95：CIC5スケール	40
モード11：IENの立ち下がり変化でクロック入力	24	0x96：	40
WB入力セレクト	24	0xA0：RCFデシメーションン-1 ($M_{RCF}-1$)	40
同期セレクト	24	0xA1：RCFデシメーション位相 (P_{RCF})	40
2次rCIC2フィルタ	24	0xA2：RCFタップ数-1 ($N_{TAPS}-1$)	40
rCIC2除去比	25	0xA3：RCF係数オフセット (CO_{RCF})	40
計算例	25	0xA4：RCF制御レジスタ	40
デシメーション・レジスタとインターポレーション・ レジスタ	25	0xA5：I用BISTレジスタ	40
rCIC2スケール	25	0xA6：Q用BISTレジスタ	40
5次CIC5フィルタ	25	0xA7：BIST制御レジスタ	41
CIC5除去比	26	0xA8：RAM BIST制御レジスタ	41
RAM係数フィルタ	27	0xA9：出力制御レジスタ	41
RCFデシメーション・レジスタ	27	入力ポート制御レジスタのメモリマップ	41
RCFデシメーション位相	27	入力ポート制御レジスタ	41
RCFフィルタ長	27	0x00 下限スレッシュホールドA	41
RCF出力スケール係数と制御レジスタ	27	0x01 上限スレッシュホールドA	41
インターポレーション・ハーフバンド・フィルタ	28	0x02 ドウエル・タイムA	41
自動ゲイン制御	28	0x03 ゲイン・レンジA制御レジスタ	41
AGCループ	29	0x04 下限スレッシュホールドB	42
目標信号レベル・モード	29	0x05 上限スレッシュホールドB	42
目標クリップ・レベル・モード	31	0x06 ドウエル・タイムB	42
同期	31	0x07 ゲイン・レンジB制御レジスタ	42
ユーザー設定が可能な内蔵セルフテスト (BIST)	31	出力ポート制御レジスタのメモリ・マップ	43
		0x08 ポートA制御レジスタ	45
		0x09 ポートB制御レジスタ	45

目次（続き）

0x0A AGC A制御レジスタ	45
0x0B AGC Aホールドオフ・カウンタ	45
0x0C AGC A目標レベル	45
0x0D AGC A信号ゲイン	45
0x0E AGC Aループ・ゲイン	45
0x0F AGC Aボール位置	45
0x10 AGC A平均サンプル	45
0x11 AGC A更新デシメーション	46
0x12 AGC B制御レジスタ	46
0x13 AGC Bホールドオフ・カウンタ	46
0x14 AGC B目標レベル	46
0x15 AGC B信号ゲイン	46
0x16 AGC Bループ・ゲイン	46
0x17 AGC Bボール位置	46
0x18 AGC B平均サンプル	46
0x19 AGC B更新デシメーション	46
0x1A パラレル・ポート制御A	46
0x1B リンク・ポート制御A	47
0x1C パラレル・ポート制御B	47
0x1D リンク・ポート制御B	47
0x1E ポート・クロック制御	48
マイクロポートの制御	48
外部メモリ・マップ	48
アクセス制御レジスタ（ACR）	48
マイクロポートのインストラクション	49
チャンネル・アドレス・レジスタ（CAR）	49
SOFT_SYNC制御レジスタ	49
PIN_SYNC制御レジスタ	49
スリープ制御レジスタ	49
データ・アドレス・レジスタ	49
書き込みシーケンス	50
読み出しシーケンス	50
読み出し／書き込みチェーン	50
インテル非マルチプレックス・モード（INM）	50
モトローラ非マルチプレックス・モード（MNM）	50
シリアル・ポートの制御	50
シリアル・ポートのタイミング仕様	50
SDI	50
SCLK	50
JTAGバウンダリ・スキャン	51
内部書き込みアクセス	51
書き込み擬似コード	51
内部読み出しアクセス	52
読み出し擬似コード	52
外形寸法	52

AD6634

概要

AD6634は、WCDMAチャンネルを2つまで処理できるマルチモードの4チャンネル・デジタル受信信号プロセッサ (RSP) です。各チャンネルは、カスケード接続された4つの信号処理エレメント、すなわち周波数変換器、固定係数デシメーション・フィルタ2つ、プログラマブル係数デシメーション・フィルタから構成されています。各入力ポートには、入力レベルのスレッシュホールド検出回路のほか、広いダイナミックレンジあるは、ゲイン・レンジング・コンバータを使用する状況に対応するためにAGCコントローラが備わっています。デュアル16ビット・パラレル出力ポートは、高速データ処理のWCDMAアプリケーションに使用できます。また、オンチップのインターポレーション・ハーフバンドを使用すれば、出力レートをさらに高くすることができます。また、各パラレル出力ポートには、出力データ・スケールリングのためのAGCが装備されています。ADIのTigerSHARC® DSPコアへのグルーレス・インターフェースを実現するためのリンク・ポート出力も備わっています。

AD6634は、アナログ・デバイスSoftCell®マルチキャリア・トランシーバのチップセットを構成するものであり、当社の高速サンプル・レート、IFサンプリングADCファミリ (AD9238/AD6645 12/14ビット) と互換性をもつように設計されています。SoftCellレシーバには、キャリアの全スペクトルをデジタル化し、同調およびチャンネル選択の対象となるキャリアをデジタル的に抽出する機能を備えたデジタル・レシーバが含まれています。このアーキテクチャにより、ワイヤレス基地局アプリケーションにおいて、不要な無線信号を低減することができます。

ダイナミックレンジの広いデシメーション・フィルタにより、広範囲のデシメーション・レートが得られます。RAMベースのアーキテクチャであることから、マルチモードのアプリケーション用に簡単に設定を変更することができます。

デシメーション・フィルタは、対象チャンネルの不要な信号やノイズを取り除きます。対象チャンネルの使用帯域幅が入力信号より狭い場合、このような帯域外ノイズの除去は「ゲイン処理」と呼ばれます。大きなデシメーション係数を使用すると、このゲイン処理によって、ADCのSNRを30dB以上向上させることができます。さらに、プログラマブルなRAM係数フィルタにより、コスト効果の高い単一フィルタで、アンチエイリアス処理、整合フィルタ処理、スタティック等化の機能をまとめて実現することができます。WCDMAアプリケーションでは、出力にハーフバンド・インターポレーション・フィルタを使用することにより、出力レートがチップ・レートの2~4倍まで向上します。また、AD6634には、独立した自動ゲイン制御 (AGC) ループが2つ装備され、RAKEレシーバへの直接インターフェースとなります。

AD6634は、AD664x、AD923x、AD943x、AD922xファミリのデータ・コンバータなど、標準的なADCコンバータに対して互換性があります。また、AD6600のダイバーシティADCとも互換性があり、コストとサイズの削減が可能になります。

アーキテクチャ

AD6634には、4つの信号処理段があります。すなわち、周波数変換器、リサンプリング・カスケード積分型2次櫛形FIRフィルタ (rCIC2)、カスケード積分型5次櫛形FIRフィルタ (CIC5)、RAM係数FIRフィルタ (RCF) です。チップへの入/出力データをクロックさせるための複数のモードがサポートされており、さまざまなデジタル化機器に幅広く接続できる柔軟性があります。プログラミングと制御は、シリアル・インターフェースやマイクロプロセッサのインターフェースを介して実行されます。

周波数変換は、32ビットの複素数値制御発振器 (NCO) を用いて行われます。この段に入ってくる実数データは、同相成分 (I) と直交成分 (Q) に分けられます。ここでは、入力信号をデジタル中間周波数 (IF) からデジタル・ベースバンドに変換します。位相および振幅のディザをチップ上で有効にすると、NCOのスプリアス性能が向上します。また位相オフセット・ワードを利用すれば、複数のAD6634間またはチャンネル間で既知の位相関係を確立することができます。

周波数変換の後には、固定係数による高速リサンプリング・カスケード積分型2次櫛形 (rCIC2) フィルタが続きます。このフィルタは、デシメーション・レジスタとインターポレーション・レジスタ間の比率に基づいてサンプル・レートを低減します。

次の段は、カスケード積分型5次櫛形 (CIC5) フィルタで、その応答はデシメーション・レートによって決定されます。このフィルタの目的は、最終フィルタ段が出力当たりのタップ数をたくさん計算できるように、この最終フィルタ段へのデータ・レートを低減させることです。

次の段は、プログラマブルな20ビット係数と、1~256 (実用的には1~32) のプログラマブルなデシメーション・レートを備えた、積和FIRフィルタです。RAM係数FIRフィルタ (機能ブロック図のRCF) は、最大160タップを処理できます。

次の段は、固定係数によるハーフバンド・インターポレーション・フィルタです。このフィルタでは、各チャンネルからのデータが1つに結合され、係数2で補間されます。次に、ゲイン・レンジが96.3dBのAGCセクションがあります。このAGCセクションは、その応答面について完全にプログラムできます。機能ブロック図で示すように、AD6634には、それぞれ2つのハーフバンド・フィルタとAGCが存在します。これらのハーフバンド・フィルタとAGCセクションは、それぞれ独立してバイパスできます。

AD6634の全体的なフィルタ応答は、すべてのデシメーション段とインターポレーション段を合成したのになります。後に続く各フィルタ段は、より狭い遷移帯域幅で応答することが可能ですが、出力を計算するために、より多くのCLKサイクルが必要となります。最初のフィルタ段で多数のデシメーションを実行すれば、全体の電力消費を最大限低減することができます。チップからのデータは、高速パラレル・ポートまたはTigerSHARC互換リンク・ポートを介してDSPに接続されます。

図1aは、広い入力スペクトルから1つのチャンネルを選択してフィルタリングするAD6634の基本機能を示しています。周波数変換が、目的のキャリアをベースバンドに同調させます。図1bは、rCIC2、CIC5、RCFのフィルタ応答の合成を示しています。

* TigerSHARCおよびSoftCellは、アナログ・デバイス社の登録商標です。

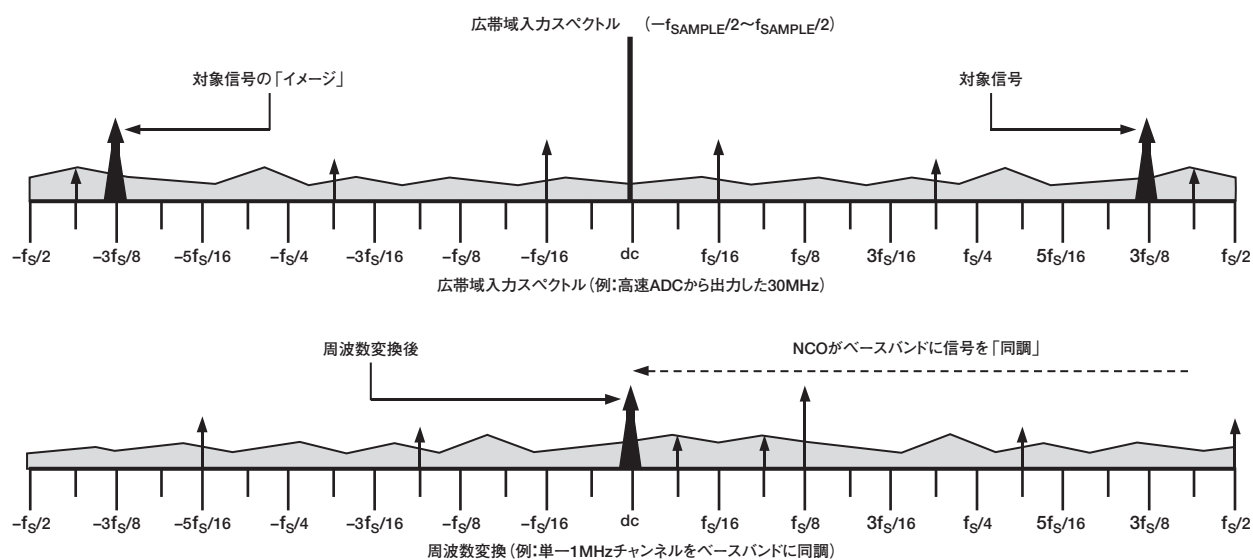


図1a. 広帯域入力スペクトルの周波数変換

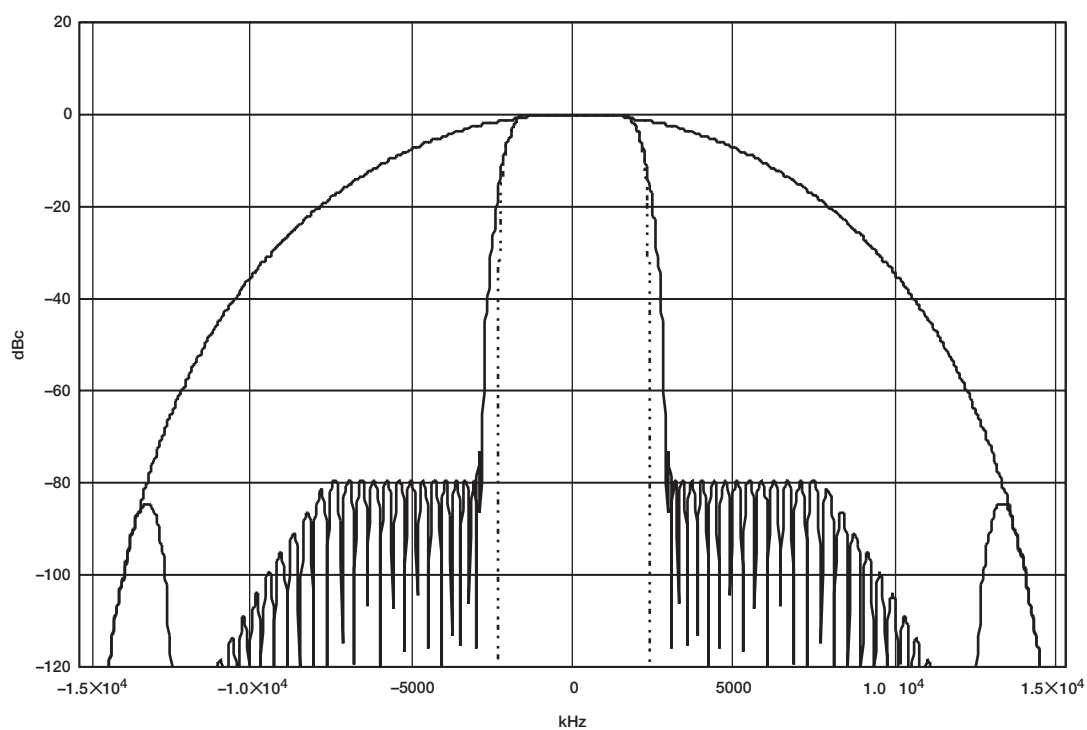


図1b. rCIC2、CIC5、RFCの合成フィルタ応答

AD6634

絶対最大定格*

電源電圧	3.6V
入力電圧	-0.3~+5.3V (許容電圧5V)
出力電圧変動	-0.3~VDDIO +0.3V
負荷容量	200pF
バイアス時の接合温度	125℃
保管温度範囲	-65~+150℃
ピン温度 (5秒)	280℃

* 上記の絶対最大定格リストを超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格のみを規定するものであり、これらの規定値あるいはこの仕様書の動作セクションに記載した規定値を超える条件で、デバイスが機能的に動作することを意味するものではありません。長期間にわたって絶対最大定格条件で放置すると、デバイスの信頼性に影響を与えるおそれがあります。

熱特性

196ピンBGA (ボール・グリッド・アレイ) :
 $\theta_{JA}=41^{\circ}\text{C/W}$ 、自然空冷
 $\theta_{JA}=39^{\circ}\text{C/W}$ 、200lfpmの強制空冷
 $\theta_{JA}=37^{\circ}\text{C/W}$ 、400lfpmの強制空冷
温度は、4層基板上で水平に測定したものです。

テスト・レベルの説明

- I. 100%の出荷テストを実施
- II. 25℃で100%の出荷テスト、および指定温度でサンプル・テストを実施
- III. サンプル・テストのみを実施
- IV. 設計と解析によってパラメータを保証
- V. パラメータは単なる標準値
- VI. 25℃で100%の出荷テスト、および限界温度でサンプル・テストを実施

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD6634BBC AD6634BC/PCB	-40~+85℃ (周囲温度)	196ピンCSPBGA (ボール・グリッド・アレイ) AD6634とソフトウェアを搭載した評価ボード	BC-196

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。AD6634は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



仕様

推奨動作条件

パラメータ	温度	テスト・レベル	最小	AD6634BBC 標準	最大	単位
VDD		IV	2.25	2.5	2.75	V
VDDIO		IV	3.0	3.3	3.6	V
T _{AMBIENT}		IV	−40	+25	+85	°C

電気的特性

パラメータ (条件)	温度	テスト・レベル	最小	AD6634BBC 標準	最大	単位
ロジック入力 (許容電圧5V)						
ロジック互換性	全範囲	IV		3.3 CMOS		V
ロジック"1"の電圧	全範囲	IV	2.0		5.0	V
ロジック"0"の電圧	全範囲	IV	−0.3		+0.8	V
ロジック"1"の電流	全範囲	IV		1	10	μA
ロジック"0"の電流	全範囲	IV		1	10	μA
ロジック"1"の電流 (プルダウン入力)	全範囲	IV				
ロジック"0"の電流 (プルアップ入力)	全範囲	IV				
入力容量	25°C	V		4		pF
ロジック出力						
ロジック互換性	全範囲	IV		3.3 CMOS/TTL		V
ロジック"1"の電圧 (I _{OH} =0.25mA)	全範囲	IV	2.4	VDD−0.2		V
ロジック"0"の電圧 (I _{OL} =0.25mA)	全範囲	IV		0.2	0.4	V
IDD電源電流						
CLK=80MHz (VDD=2.75V、VDDIO=3.6V)	全範囲	IV	397		443	mA
I _{VDD}			50		58	mA
I _{VDDIO}						
CLK=GSMの例 (65MSPS、VDD=2.5V、 VDDIO=3.3V、Dec=2/10/6 120タップの4チャンネル)	25°C	V		未定		mA
I _{VDD}				未定		mA
I _{VDDIO}						
CLK=WBCDMAの例 (76.8MSPS、VDD=2.5V、 VDDIO=3.3V、Dec=2/10/6 120タップの4チャンネル)	25°C	V		未定		mA
I _{VDD}				未定		mA
I _{VDDIO}				未定		mA
消費電力						
CLK=80MHz	全範囲	IV	1.05		1.45	W
CLK=65MHz GSM/EDGEの例		V		840		mW
CLK=76.8MHz WBCDMAの例		V		1.2		W
スリープ・モード	全範囲	IV		287		μW

仕様は予告なく変更されることがあります。

AD6634

一般タイミング特性^{1、2}

パラメータ (条件)	温度	テスト・レベル	最小	AD6634BBC 標準	最大	単位
CLKのタイミング要件						
t_{CLK} CLK周期	全範囲	I	12.5			ns
t_{CLKL} CLK幅 (ローレベル)	全範囲	IV	5.6	$0.5 \times t_{CLK}$		ns
t_{CLKH} CLK幅 (ハイレベル)	全範囲	IV	5.6	$0.5 \times t_{CLK}$		ns
RESETのタイミング要件						
t_{RESL} RESET幅 (ローレベル)	全範囲	I	30.0			ns
入力広帯域データのタイミング要件						
t_{SI} $\uparrow$ CLKに対する入力セットアップ・タイム	全範囲	IV	2.0			ns
t_{HI} $\uparrow$ CLKに対する入力ホールド・タイム	全範囲	IV	1.0			ns
レベル・インジケータ出力のスイッチング特性						
t_{DLI} $\uparrow$ CLKからLI (A~A、B; B~A、B) 出力までの遅延時間	全範囲	IV	3.3		10.0	ns
SYNCのタイミング要件						
t_{SS} $\uparrow$ CLKに対するSYNC (A、B、C、D) セットアップ・タイム	全範囲	IV	2.0			ns
t_{HS} $\uparrow$ CLKに対するSYNC (A、B、C、D) ホールド・タイム	全範囲	IV	1.0			ns
シリアル・ポート制御のタイミング要件						
スイッチング特性²						
t_{SCLK} SCLK周期	全範囲	IV	16			ns
t_{SCLKL} SCLKのローレベル時間	全範囲	IV	3.0			ns
t_{SCLKH} SCLKのハイレベル時間	全範囲	IV	3.0			ns
入力特性						
t_{SSI} $\downarrow$ SCLKに対するSDIセットアップ・タイム	全範囲	IV	1.0			ns
t_{HSI} $\downarrow$ SCLKに対するSDIホールド・タイム	全範囲	IV	1.0			ns
パラレル・ポートのタイミング要件 (マスター・モード)						
スイッチング特性³						
$t_{DPOCLKL}$ $\downarrow$ CLKから $\uparrow$ PCLKまでの遅延 (減速係数1)	全範囲	IV	6.5		10.5	ns
$t_{DPOCLKL}$ $\downarrow$ CLKから $\uparrow$ PCLKまでの遅延 (減速係数2、4、または8)	全範囲	IV	8.3		14.6	ns
t_{DPREQ} $\uparrow$ CLKから $\uparrow$ PxREQまでの遅延					1.0	ns
t_{DPP} $\uparrow$ CLKからPx[15:0]までの遅延					0.0	ns
入力特性						
t_{SPA} $\downarrow$ PCLKに対するPxACKセットアップ・タイム			+7.0			ns
t_{HPA} $\downarrow$ PCLKに対するPxACKホールド・タイム			-3.0			ns
パラレル・ポートのタイミング要件 (スレーブ・モード)						
スイッチング特性³						
t_{POCLK} PCLK周期	全範囲	I	12.5			ns
t_{POCLKL} PCLKのローレベル周期 (PCLK除数=1の場合)	全範囲	IV	2.0	$0.5 \times t_{POCLK}$		ns
t_{POCLKH} PCLKのハイレベル周期 (PCLK除数=1の場合)	全範囲	IV	2.0	$0.5 \times t_{POCLK}$		ns
t_{DPREQ} $\uparrow$ CLKから $\uparrow$ PxREQまでの遅延					10.0	ns
t_{DPP} $\uparrow$ CLKからPx[15:0]までの遅延					11.0	ns
入力特性						
t_{SPA} $\downarrow$ PCLKに対するPxACKセットアップ・タイム			1.0			ns
t_{HPA} $\downarrow$ PCLKに対するPxACKホールド・タイム			1.0			ns
リンク・ポートのタイミング要件						
スイッチング特性³						
t_{RDCLK} $\uparrow$ PCLKから $\uparrow$ LxCLKOUTまでの遅延	全範囲	IV			2.5	ns
t_{FDCLK} $\downarrow$ PCLKから $\downarrow$ LxCLKOUTまでの遅延	全範囲	IV			0	ns
$t_{RLCLKDAT}$ $\uparrow$ LCLKOUTからLx[7:0]までの遅延	全範囲	IV	0		2.9	ns
$t_{FLCLKDAT}$ $\downarrow$ LCLKOUTからLx[7:0]までの遅延	全範囲	IV	0		2.2	ns

注

¹ 上記タイミング仕様はすべて、VDDが2.25~2.75V、VDDIOが3.0~3.6Vの範囲で有効です。

² 特に指定のない限り、すべての出力に対して $C_{LOAD}=40pF$ を接続しています。

³ Px[15:0]、PxREQ、PxACK、LxCLKOUT、Lx[7:0]のタイミング・パラメータは、ポートAおよびBに適用されます (xはAまたはBを表します)。

仕様は予告なく変更されることがあります。

マイクロプロセッサ・ポートのタイミング特性^{1、2}

パラメータ (条件)	温度	テスト・レベル	AD6634BBC			単位
最小標準最大						
マイクロプロセッサ・ポート、INMモード (モード=0)						
INMモード書き込みタイミング						
t _{SC}	↑CLKに対する制御信号 ³ のセットアップ・タイム	全範囲	IV	2.0		ns
t _{HC}	↑CLKに対する制御信号 ³ のホールド・タイム	全範囲	IV	2.5		ns
t _{HWR}	RDY ($\overline{DTACK}$) に対する $\overline{WR}$ (RW) のホールド・タイム	全範囲	IV	7.0		ns
t _{SAM}	$\overline{WR}$ (RW) に対するアドレス／データのセットアップ・タイム	全範囲	IV	3.0		ns
t _{HAM}	RDY ($\overline{DTACK}$) に対するアドレス／データのホールド・タイム	全範囲	IV	5.0		ns
t _{DRDY}	$\overline{WR}$ (RW) からRDY ($\overline{DTACK}$) までの遅延	全範囲	IV	8.0		ns
t _{ACC}	$\overline{WR}$ (RW) からRDY ($\overline{DTACK}$) ハイレベルまでの遅延	全範囲	IV	4×t _{CLK}	5×t _{CLK} 9×t _{CLK}	ns
INMモード読み出しタイミング						
t _{SC}	↑CLKに対する制御信号 ³ のセットアップ・タイム	全範囲	IV	5.0		ns
t _{HC}	↑CLKに対する制御信号 ³ のホールド・タイム	全範囲	IV	2.0		ns
t _{SAM}	RD ($\overline{DS}$) に対するアドレスのセットアップ・タイム	全範囲	IV	0.0		ns
t _{HAM}	データに対するアドレスのホールド・タイム	全範囲	IV	5.0		ns
t _{DRDY}	RD ($\overline{DS}$) からRDY ($\overline{DTACK}$) までの遅延	全範囲	IV	8.0		ns
t _{ACC}	RD ($\overline{DS}$) からRDY ($\overline{DTACK}$) ハイレベルまでの遅延	全範囲	IV	8×t _{CLK}	10×t _{CLK} 13×t _{CLK}	ns
マイクロプロセッサ・ポート、MNMモード (モード=1)						
MNMモード書き込みタイミング						
t _{SC}	↑CLKに対する制御信号 ³ のセットアップ・タイム	全範囲	IV	2.0		ns
t _{HC}	↑CLKに対する制御信号 ³ のホールド・タイム	全範囲	IV	2.5		ns
t _{HDS}	$\overline{DTACK}$ (RDY) に対する $\overline{DS}$ (RD) のホールド・タイム	全範囲	IV	8.0		ns
t _{HRW}	$\overline{DTACK}$ (RDY) に対する RW ($\overline{WR}$) のホールド・タイム	全範囲	IV	7.0		ns
t _{SAM}	RW ($\overline{WR}$) に対するアドレス／データのセットアップ・タイム	全範囲	IV	3.0		ns
t _{HAM}	RW ($\overline{WR}$) に対するアドレス／データのホールド・タイム	全範囲	IV	5.0		ns
t _{DDTACK}	$\overline{DS}$ (RD) から $\overline{DTACK}$ (RDY) までの遅延	全範囲	IV	8.0		ns
t _{ACC}	RW ($\overline{WR}$) から $\overline{DTACK}$ (RDY) ローレベルまでの遅延	全範囲	IV	4×t _{CLK}	5×t _{CLK} 9×t _{CLK}	ns
MNMモード読み出しタイミング						
t _{SC}	↑CLKに対する制御信号 ³ のセットアップ・タイム	全範囲	IV	5.0		ns
t _{HC}	↑CLKに対する制御信号 ³ のホールド・タイム	全範囲	IV	2.0		ns
t _{HDS}	$\overline{DTACK}$ (RDY) に対する $\overline{DS}$ (RD) のホールド・タイム	全範囲	IV	8.0		ns
t _{SAM}	$\overline{DS}$ (RD) に対するアドレスのセットアップ・タイム	全範囲	IV	0.0		ns
t _{HAM}	データに対するアドレスのホールド・タイム	全範囲	IV	5.0		ns
t _{DDTACK}	$\overline{DS}$ (RD) から $\overline{DTACK}$ (RDY) までの遅延	全範囲	IV	8.0		ns
t _{ACC}	$\overline{DS}$ (RD) から $\overline{DTACK}$ (RDY) ローレベルまでの遅延	全範囲	IV	8×t _{CLK}	10×t _{CLK} 13×t _{CLK}	ns

注

¹ 上記タイミング仕様はすべて、VDDが2.25~2.75V、VDDIOが3.0~3.6Vの範囲で有効です。² 特に指定のない限り、すべての出力に対して $C_{LOAD}=40pF$ を接続しています。³ この仕様は、R/W ($\overline{WR}$)、 $\overline{DS}$ ($\overline{RD}$)、 $\overline{CS}$ の制御信号に適用されます。

仕様は予告なく変更されることがあります。

AD6634

タイミング図

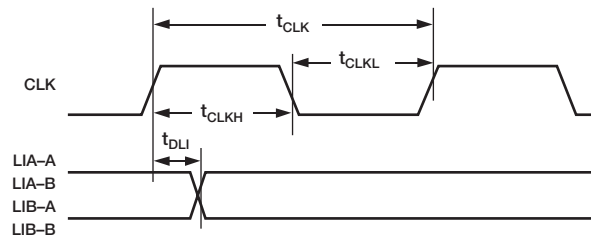


図2. レベル・インジケータ出力のスイッチング特性

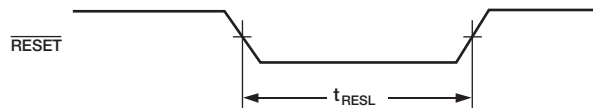


図3. RESETのタイミング要件

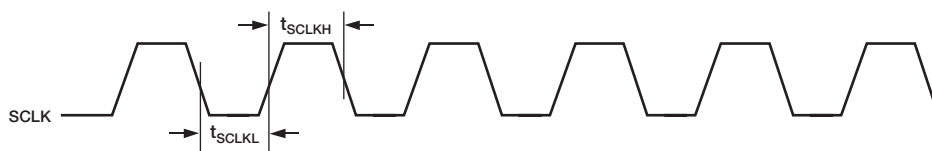


図4. SCLKのスイッチング特性

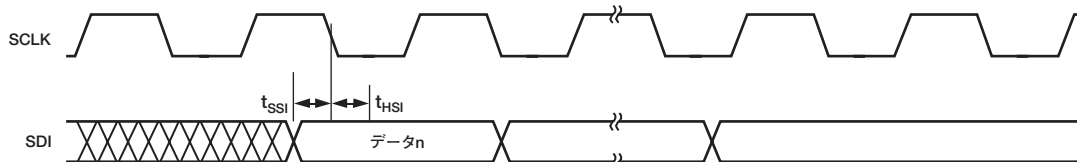


図5. シリアル・ポートの入力タイミング特性

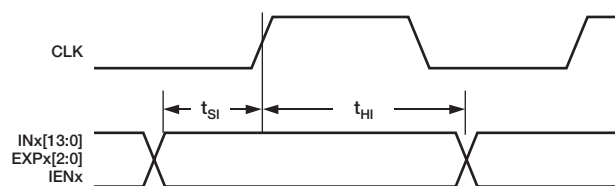


図6. AおよびBチャンネルの入力タイミング

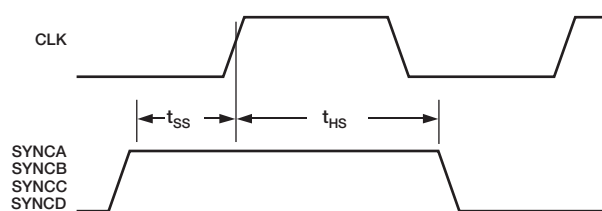


図7. SYNCのタイミング入力

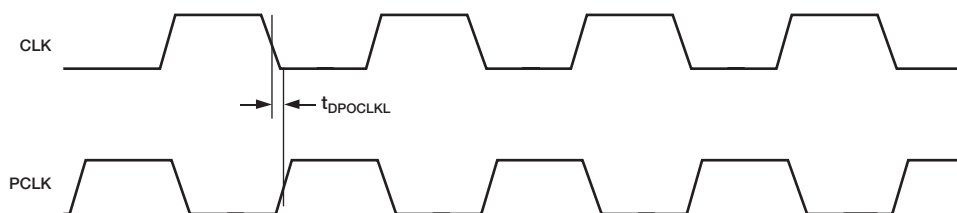


図8. CLKに対するPCLKのスイッチング特性（通減係数1）

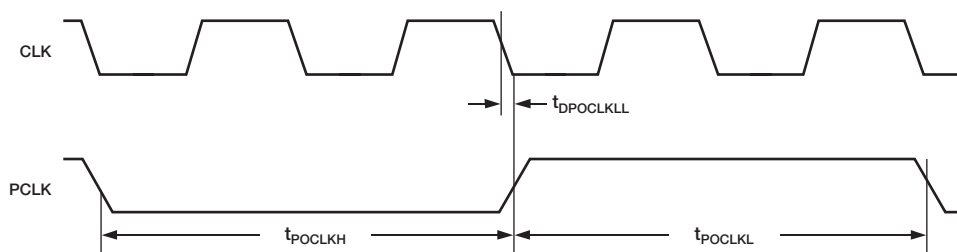


図9. CLKに対するPCLKのスイッチング特性（通減係数2、4、または8）

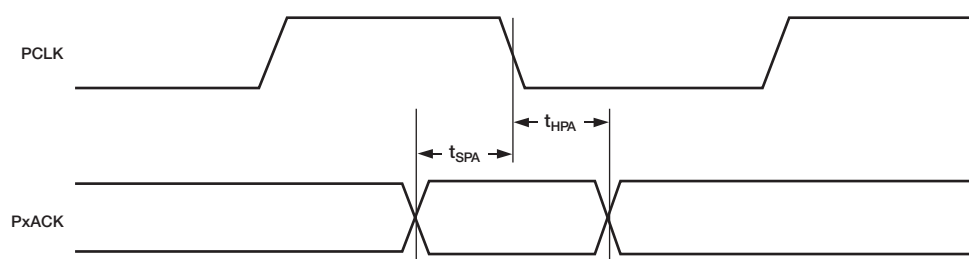


図10. マスター・モードのPCLKに対するPxAckのセットアップ特性とホールド特性

AD6634

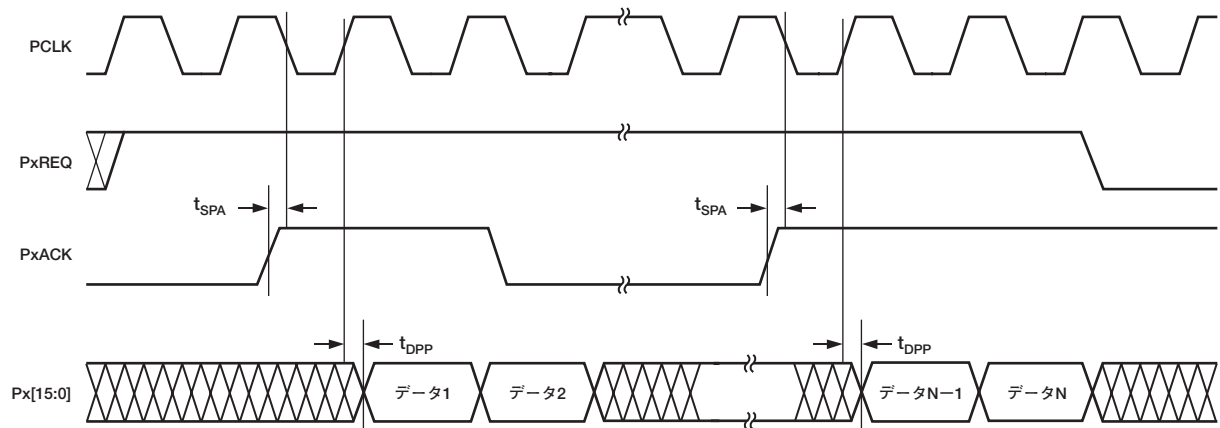


図11. マスター・モードのPCLKに対するPxACKのスイッチング特性

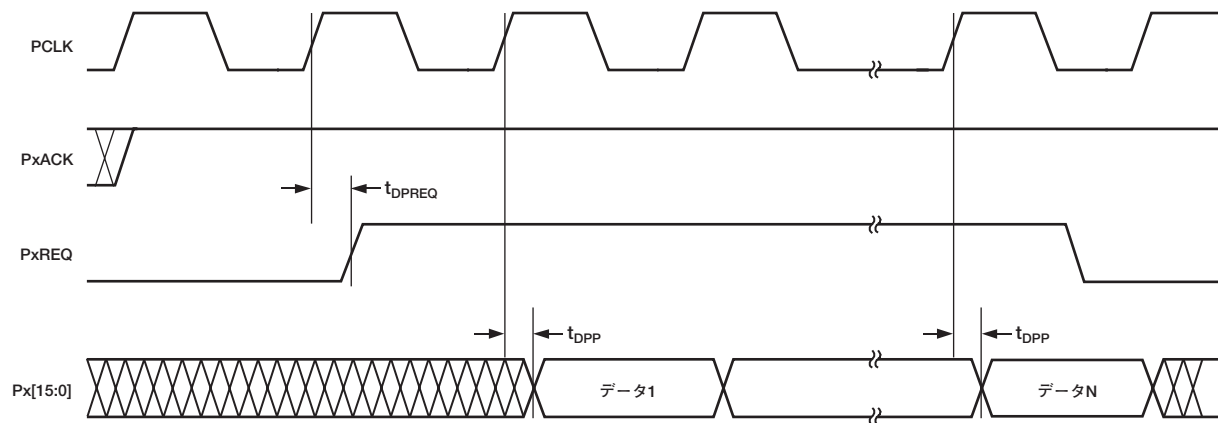


図12. マスター・モードのPCLKに対するPxREQのスイッチング特性

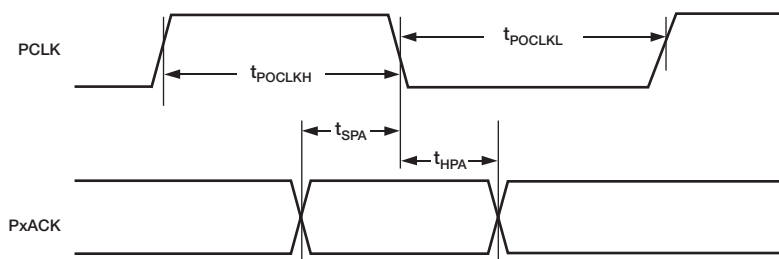


図13. スレーブ・モードのPCLKに対するPxACKのセットアップ特性とホールド特性

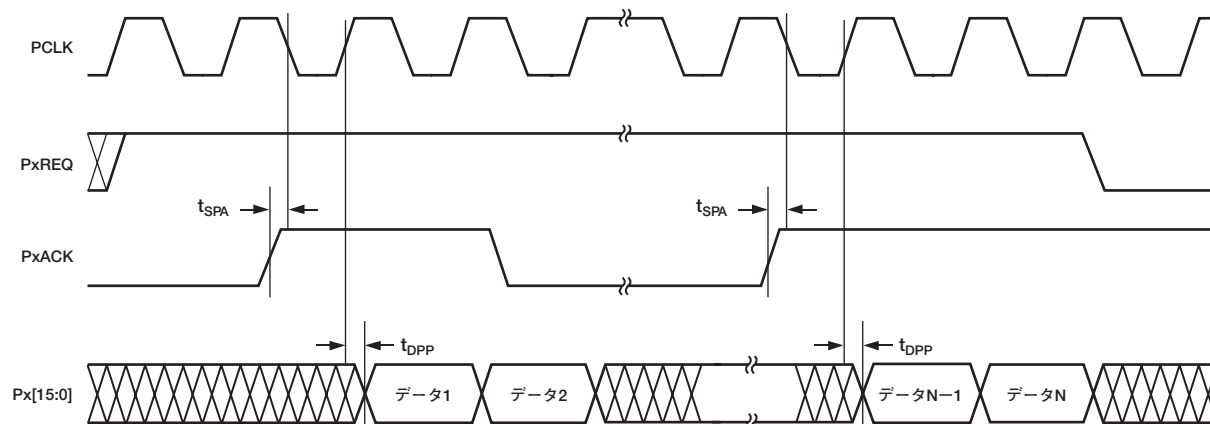


図14. スレープ・モードのPCLKに対するPxACKのスイッチング特性

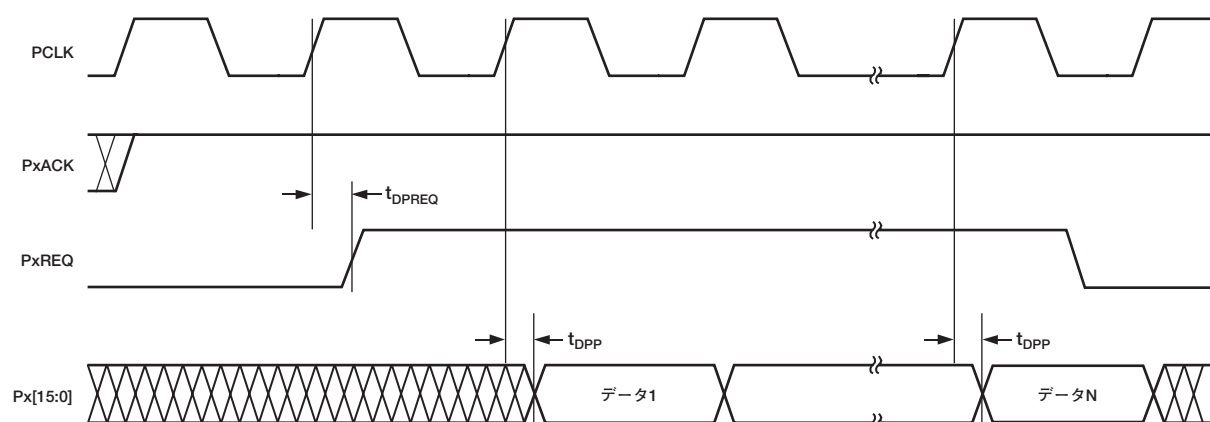


図15. スレープ・モードのPCLKに対するPxREQのスイッチング特性

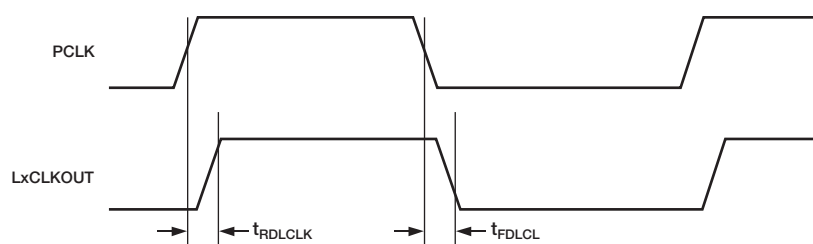


図16. PCLKに対するLxCLKOUTのスイッチング特性

AD6634

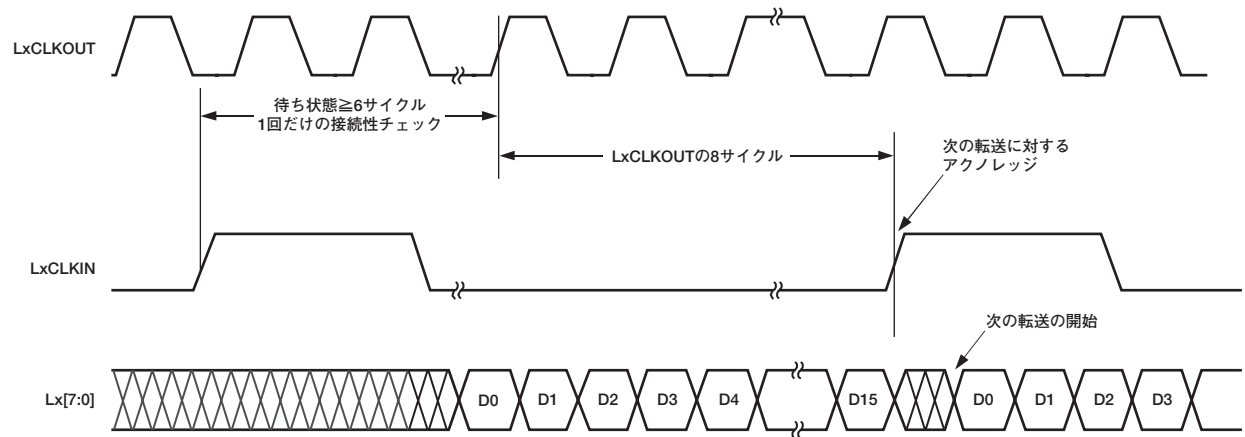


図17. LxCLKOUTに対するLxCLKINのデータスイッチング特性

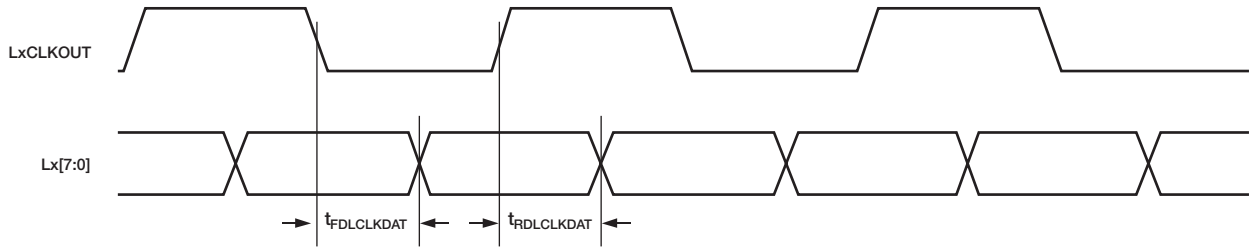


図18. Lx[7:0]に対するLxCLKOUTのデータスイッチング特性

タイミング図 — INMマイクロポート・モード

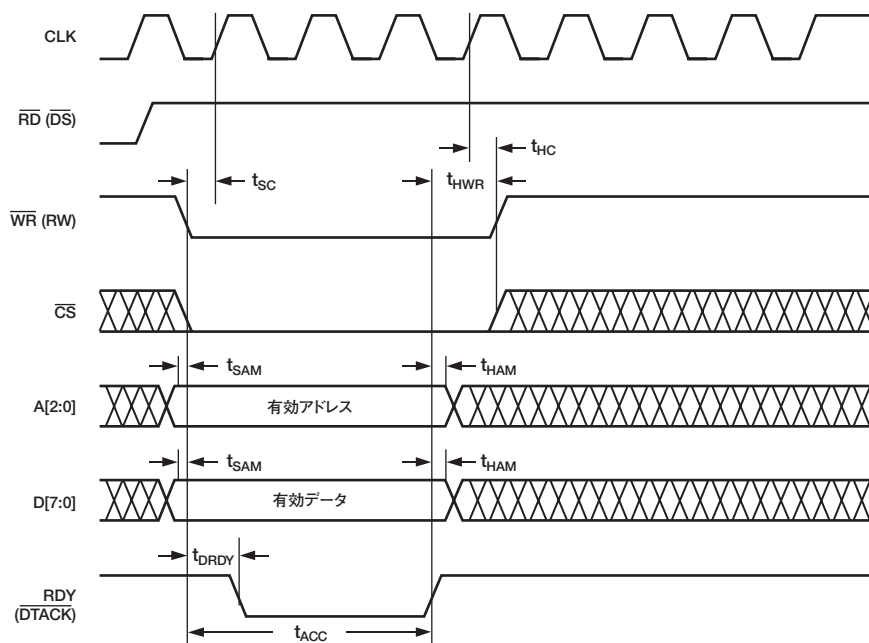


図19. INMマイクロポートの書き込みタイミング要件

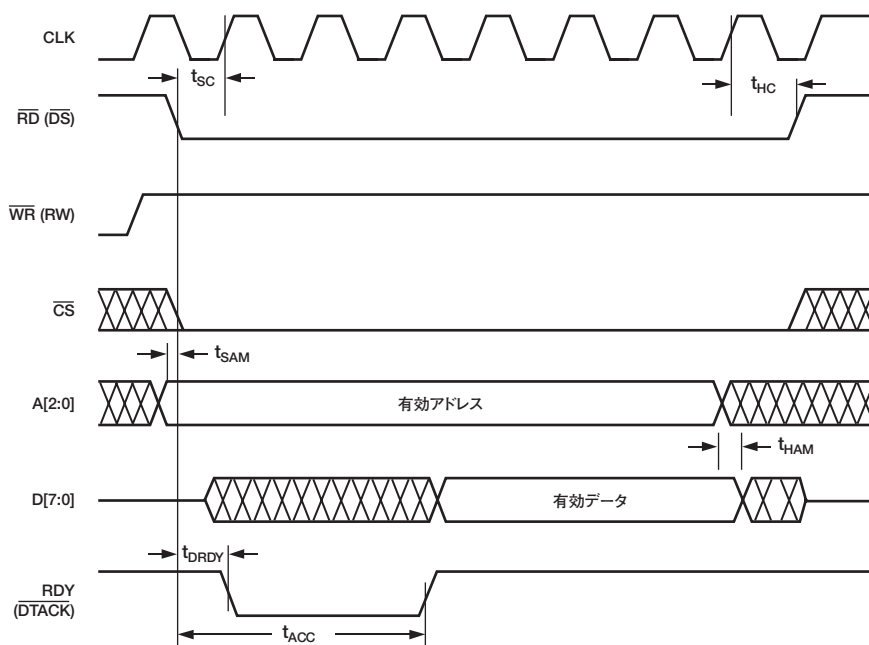
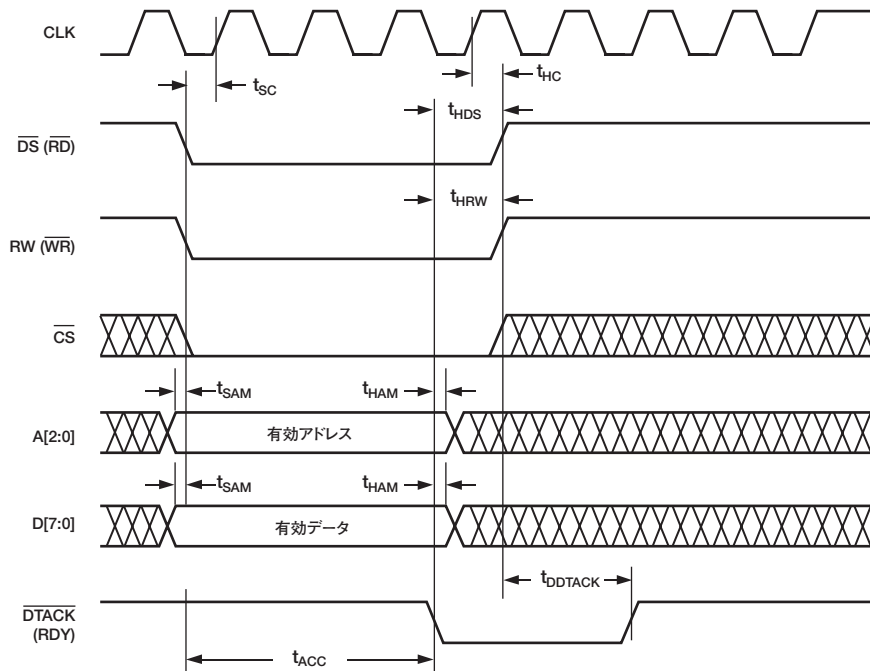


図20. INMマイクロポートの読み出しタイミング要件

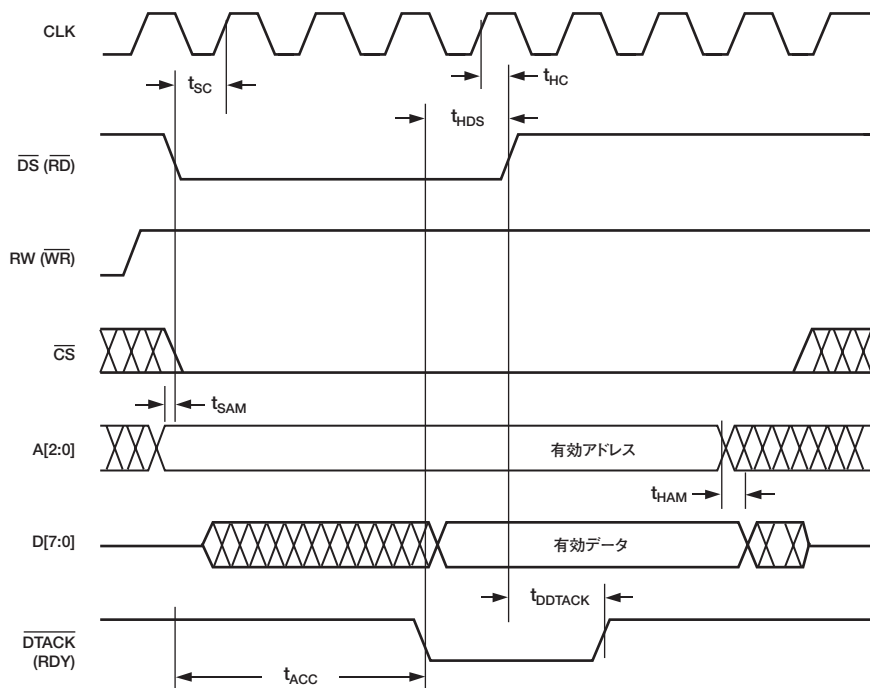
AD6634

タイミング図 — MNMマイクロポート・モード



- 注
1. t_{ACC} アクセス時間は、アクセスされるアドレスによって異なります。アクセス時間は、 $\overline{DS}$ のFE (立ち下がり) からDTACKのFE (立ち下がり) までを測定します。
 2. t_{ACC} には、最大9CLKの期間が必要です。

図21. MNMマイクロポートの書き込みタイミング要件



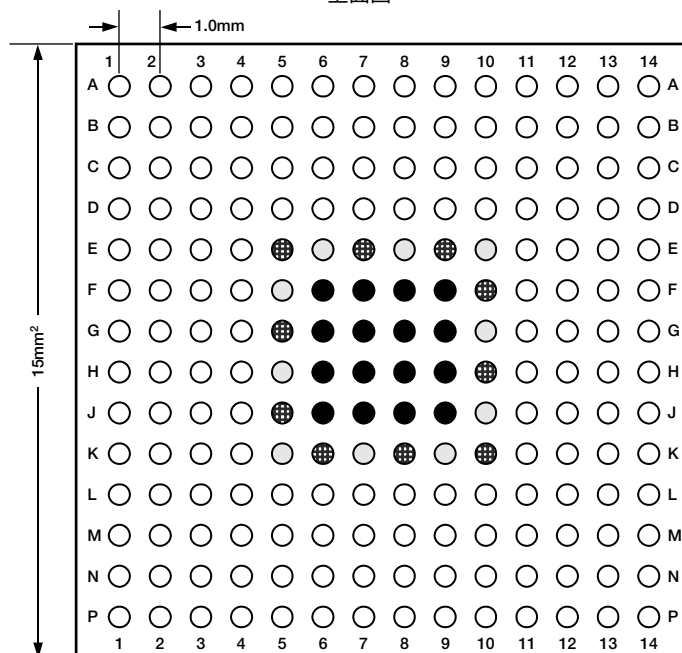
- 注
1. t_{ACC} アクセス時間は、アクセスされるアドレスによって異なります。アクセス時間は、 $\overline{DS}$ のFE (立ち下がり) からDTACKのFE (立ち下がり) までを測定します。
 2. t_{ACC} には、最大13CLKの期間が必要です。

図22. MNMマイクロポートの読み出しタイミング要件

ピン配置

196ピンBGA (15×15mm)

上面図



ボール凡例	
○ I/O	● リング電源
● グラウンド	○ コア電源

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
A	未接続	INB6	INB9	INB11	EXPB1	VDDIO (予備)	PB14	PB12	PB10	PB1 LB1	PB2 LB2	PB5 LB5	PBCH1 LBCLKIN	未接続	A
B	INB2	INB4	INB5	INB8	INB12	EXPB0	PB15	PB13	PB11	PB4 LB4	PB0 LB0	PB3 LB3	PBCH0 LBCLKOUT	PB7 LB7	B
C	INB0	INB3	INB7	INB13	INB10	EXPB2	PBACK	PBREQ	PB9	PB8		PBIQ	PCLK	PB6 LB6	C
D	LIB-B	INB1										PAACK	SDI	PAIQ	D
E	CLK	IENB			VDDIO	VDD	VDDIO	VDD	VDDIO	VDD		SCLK	CHIP_ID2	CHIP_ID3	E
F	EXPA1	EXPA0	EXPA2		VDD	GND	GND	GND	GND	VDDIO			CHIP_ID0	CHIP_ID1	F
G	INA12	INA13	INA10		VDDIO	GND	GND	GND	GND	VDD			TDI	TMS	G
H	INA11	INA9	INA7		VDD	GND	GND	GND	GND	VDDIO			PA14	PA15	H
J	INA8	INA6			VDDIO	GND	GND	GND	GND	VDD		PAREQ	PA12	PA13	J
K	INA5	INA4			VDD	VDDIO	VDD	VDDIO	VDD	VDDIO		TDO	PA10	PA11	K
L	INA3	INA1										TCLK	PA8	PA9	L
M	INA2	IENA		DTACK (RDY)	モード	CS	RW (WR)	TRST	DS(RD)	A1	A0	PA4 LA4	PA2 LA2	PA0 LA0	M
N	INA0	LIB-A	LIA-B	SYNCB	SYNCD	D7	D5	D3	D1	A2	PCHA1 LACLKIN	PA5 LA5	PA3 LA3	PA1 LA1	N
P	未接続	LIA-A	SYNCA	SYNCC	RESET	D6	D4	D2	D0	PA6 LA6	PCHA0 LACLKOUT	PA7 LA7		未接続	P
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	

AD6634

ピン機能の説明

	記号	タイプ	機能
電源	VDD	P	2.5V電源
	VDDIO	P	3.3V IO電源
	GND	G	グラウンド
入力	INA [13:0] ¹	I	A入力のデータ（仮数部）
	EXPA [2:0] ¹	I	A入力のデータ（指数部）
	IENA ²	I	入力イネーブル入力A
	INB [13:0] ¹	I	B入力のデータ（仮数部）
	EXPB [2:0] ¹	I	B入力のデータ（指数部）
	IENB ²	I	入力イネーブル入力B
	RESET	I	アクティブ・ローのリセット・ピン
	CLK	I	入力クロック
	PCLK	I/O	リンク／パラレル・ポートのクロック
	LACLKIN	I	リンク・ポートAのデータ・レディ
	LBCLKIN	I	リンク・ポートBのデータ・レディ
	SYNCA ¹	I	すべてのSYNCピンを4CHの出力チャンネルのすべてに接続
	SYNCB ¹	I	すべてのSYNCピンを4CHの出力チャンネルのすべてに接続
	SYNCC ¹	I	すべてのSYNCピンを4CHの出力チャンネルのすべてに接続
	SYNCD ¹	I	すべてのSYNCピンを4CHの出力チャンネルのすべてに接続
	CS ¹	I	チップ・セレクト
	CHIP_ID [3:0] ¹	I	チップIDセレクト
制御	PAACK	I	パラレル・ポートAのアクノレッジ
	PAREQ	O	パラレル・ポートAのリクエスト
	PBACK	I	パラレル・ポートBのアクノレッジ
	PBREQ	O	パラレル・ポートBのリクエスト
マイクロポートの制御	D [7:0]	I/O/T	双方向マイクロポートのデータ
	A [2:0]	I	マイクロポートのアドレス・バス
	DS (RD)	I	アクティブ・ローのデータ・ストローブ（アクティブ・ロー読み出し）
	DTACK (RDY) ²	O/T	アクティブ・ローのデータ・アクノレッジ（マイクロポートのステータス・ビット）
	R/W (WR)	I	読み出し／書き込み（アクティブ・ロー書き込み）
	MODE	I	インテルまたはモトローラのモード・セレクト
シリアル・ポートの制御	SDI ¹	I	シリアル・ポートの制御データ入力
	SCLK ¹	I	シリアル・ポートの制御クロック
出力	LIA-A	O	レベル・インジケータ入力A、インターリーブ・データA
	LIA-B	O	レベル・インジケータ入力A、インターリーブ・データB
	LIB-B	O	レベル・インジケータ入力B、インターリーブ・データB
	LIB-A	O	レベル・インジケータ入力B、インターリーブ・データA
	LACLKOUT	O	リンク・ポートAのクロック出力
	LBCLKOUT	O	リンク・ポートBのクロック出力
	LA [7:0]	O	リンク・ポートAの出力データ
	LB [7:0]	O	リンク・ポートBの出力データ
	PA [15:0]	O	パラレル出力データ・ポートA
	PB [15:0]	O	パラレル出力データ・ポートB
	PACH [1:0]	O	パラレル出力ポートAのチャンネル・インジケータ
	PBCH [1:0]	O	パラレル出力ポートBのチャンネル・インジケータ
	PAIQ	O	パラレル・ポートAのI/Qデータ・インジケータ
	PBIQ	O	パラレル・ポートBのI/Qデータ・インジケータ
JTAGとBIST	TRST ²	I	テスト・リセット・ピン
	TCLK ¹	I	テスト・クロック入力
	TMS ²	I	テスト・モード・セレクト入力
	TDO	O/T	テスト・データ出力
	TDF ²	I	テスト・データ入力

注

¹ ピンにはノミナル70kΩのプルダウン抵抗が接続されています。

² ピンにはノミナル70kΩのプルアップ抵抗が接続されています。

フィルタ応答の例

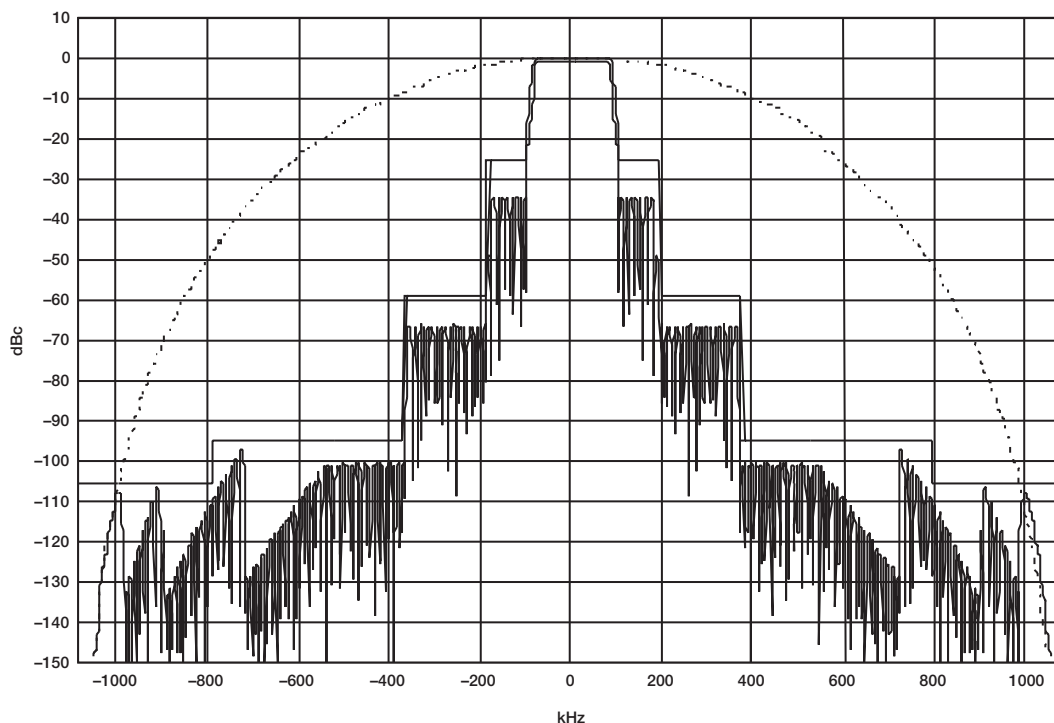


図23. 65MSPSの入力データ・レートおよび541.6666kSPSの出力レートに基づいたフィルタ（EDGEの1シンボル当たり2サンプル）。総デシメーション・レートは120で、rCIC2、CIC5、RCFの間で分散。

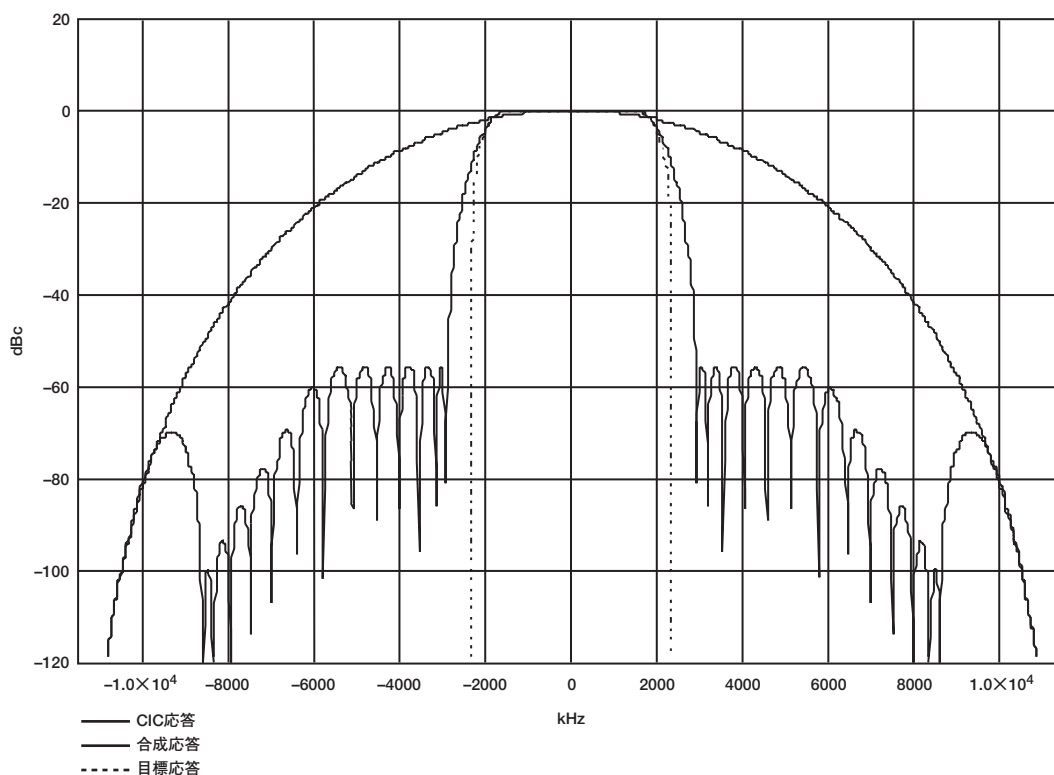


図24. UMTS仕様に適合するよう設計されたフィルタ。この構成では、クロックの設定は76.8MSPS、20×チップ・レート（3.84MCPS）と2×7.68MCPS出力データ・レートを備え、AD6634の2チャンネルを使用。

AD6634

入力データ・ポート

AD6634には、デュアル高速ADC入力ポート（入力ポートAと入力ポートB）があります。このデュアル入力ポートにより、同調チップ1つで最大限の柔軟性を発揮し、ダイバーシティ入力や、別々のアンテナ・セグメントのような完全に独立した入力が可能になります。どちらのADCポートも、4つのチューナー・チャンネルの1つに接続することができます。また、さらに大きな柔軟性を得るために、各入力ポートを使用して、AD6600などの多重化出力を備えたADCで見られる多重化入力をサポートすることもできます。この優れた柔軟性により、最大4つの異なるアナログ・ソースを内部の4チャンネルで同時に処理できます。

また、AD6634のフロント・エンドは、高速信号レベルの検出と制御が可能な回路を内蔵しています。この回路は、最大4つのアナログ信号パスを最小限のレイテンシと最大限の柔軟性で制御できる独自の高速レベルの検出回路を備えています。AD6634の入力から出力までの信号パス全体のレイテンシは、高速クロック・サイクル数で表すことができます。次の式を使用して、レイテンシを計算することができます。

$$T_{LATENCY} = M_{rCIC2} (M_{CIC5} + 7) + N_{TAPS} + 26$$

M_{rCIC2} および M_{CIC5} は、それぞれrCIC2フィルタとCIC5フィルタのデシメーション値です。 N_{TAPS} は選択されているRCFのタップ数です。

入力データ・フォーマット

各入力ポートは、14ビットの仮数部と3ビットの指数部で構成されます。標準ADCへのインターフェースが必要な場合は、指数部のビットをグラウンドに接続することができます。AD6600のような浮動小数点ADCに接続する場合は、そのADCの指数部のビットをAD6634の入力指数部のビットに接続することができます。仮数部のデータ・フォーマットは2の補数で、指数部は符号なし2進数です。

入力タイミング

各高速入力ポートからのデータは、CLKの立ち上がりエッジでラッチされます。このクロック信号は、入力ポートのサンプリングや選択チャンネルにおける後続の同期信号処理段のクロックに使用されます。

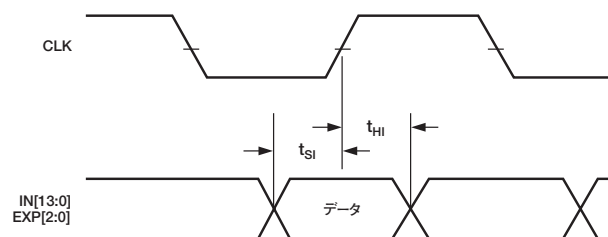


図25. 入力データのタイミング要件

クロック信号は最大80MHzで動作することができ、デューティ・サイクルは50%です。高速ADCを使用するアプリケーションでは、通常、ADCのサンプル・クロックやデータ有効ストロブがAD6634のクロックに使用されます。

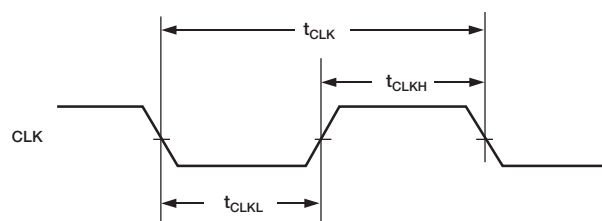


図26. CLKのタイミング要件

入力イネーブル制御

入力ポートAと入力ポートBには、それぞれIENAとIENBピンがあります。各IENピンを使用して4種類の動作モードを実行できます。これらのモードを使用すると、ダイバーシティ動作で通常必要となるデュアル・チャンネル・モードを備えたAD6620などのRSP動作をエミュレートすることができます。この4種類のモードとは、IEN立ち下がり変化、IEN立ち上がり変化、IENハイレベル、IENローレベル時ブランクです。

IENハイレベル・モードでは、入力イネーブルがハイレベルのときに、入力と通常動作が実行されます。IEN立ち下がり変化モードでは、IENの立ち下がり変化後の最初のクロックの立ち上がりエッジで通常動作が実行されます。同様に、IEN立ち上がり変化モードでは、IENの立ち上がり変化後のクロックの立ち上がりエッジで動作が実行されます（入力イネーブル・モードの設定に関する詳細については、「数値制御発振器」の項を参照してください）。IENローレベル時ブランクのモードでは、IENがローレベルのときに、入力データは0と見なされます。

この機能の代表的な応用例は、AD6600ダイバーシティADCからのデータをAD6634の入力の1つに渡すものです。そのチップのA/B_OUTをIENに接続します。次に、AD6634内の1つのチャンネルをIENの立ち下がり変化が有効になるように設定し、もう1つのチャンネルはIENの立ち上がり変化が有効になるように設定します。このようにして、AD6620のダイバーシティ・モードをエミュレートするようにAD6634の2つのチャンネルを設定することができます。もちろん、NCO周波数と他のチャンネル特性を同様に設定する必要がありますが、この機能により、AD6600に見られるようなインターリーブ・データ・ストリームをAD6634で処理できるようになります。

IEN立ち上がり変化とIENハイレベルの違いは、コンバータのデータ・レートより速いシステム・クロックが入力されるときにみえてきます。多くの場合、データ・レートより速いクロックを入力する方が有利です。こうすると、計算できるフィルタのタップ数を増やすことができるため、より優れたフィルタリングが実現できるからです。回路の他の部分ができるだけ簡単に高速クロックを正しく認識できるようにするためには、IENの立ち下がり変化または立ち上がり変化を使用する必要があります。このモードでは、セットアップ・タイムとホールド・タイムを満足する最初のクロック・エッジだけが、入力データのラッチと処理に使用されます。その他のクロック・パルスはすべて、フロント・エンド処理によって無視されます。ただし、各クロック・サイクルは引き続き、新しいフィルタ計算ペアを生成します。

ゲインの切り替え

AD6634には、ダイナミックレンジの広いアプリケーションや、ゲイン・レンジング・コンバータが用いられるアプリケーションで役に立つ回路が搭載されています。この回路でデジタル・スレッシュホールドを設定することにより、上限と下限のスレッシュホールドをプログラムすることができます。

この機能の1つの使用方法として、特定の入力条件で、いつADCがフルスケールに近づくかを検出することができます。検出の結果としてフラグを提供し、これによって減衰器をすみやかに挿入してADCの過励振を防止することができます。18dB（または任意の値）の減衰（またはゲイン）が追加されるように切り替えられ、システムの信号のダイナミックレンジは18dBだけ増加することになります。このプロセスは、入力信号がプログラムで設定した上限スレッシュホールドに達したときに開始されます。一般的なアプリケーションの上限スレッシュホールドは、フルスケールより1dBだけ低い値に設定されます（ユーザが設定可能）。この入力条件が合えば、AまたはBの入力ポートに対応するLI（LIA-A、LIA-B、LIB-A、またはLIB-B）信号がアクティブになります。この信号を使用して、外部回路のゲインまたは減衰を切り替えることができます。LIラインは、入力条件がプログラム設定された下限スレッシュホールドを下回るまで、アクティブ状態を維持します。ヒステリシスを与えるため、ドウェル・タイム・レジスタ（「入力ポート制御レジスタのメモリ・マップ」を参照）を利用して、あらかじめ設定したクロック数だけ、制御ラインの切り替えを遅らせることができます。入力条件が下限スレッシュホールドを下回ると、プログラマブル・カウンタが高速クロックのカウンタを開始します。プログラムで設定した高速クロック・サイクル数の間、入力信号が下限スレッシュホールドより低ければ、カウンタが終了した時点で減衰器は取り除かれます。ただし、カウンタ動作中に入力条件が下限スレッシュホールドを上回るとカウンタがリセットされ、再び下限スレッシュホールドよりも低くならないとカウンタが開始されません。これにより、状態間での不要な切り替えをなくすることができます（図27を参照）。

入力信号が上限スレッシュホールドを超えると、該当するLI信号がアクティブになります。信号が下限スレッシュホールドを下回ると、カウンタがカウンタを開始します。入力条件が下限スレッシュホールドを上回ると、図27に示すように、カウンタがリセットされ、再度カウンタが開始されます。カウンタが終了してカウンタが0になると、LIラインは非アクティブになります。

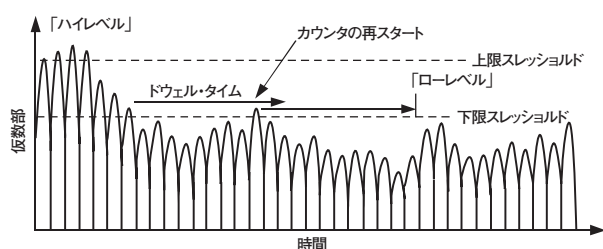


図27. LIのスレッシュホールドの設定

LIラインは、さまざまな機能に使用することができます。減衰器DVGAの制御を設定したり、アナログVGAと組み合わせて使用することもできます。この機能を簡単に使用できるように、AD6634では2つの異なるゲイン設定があります。ラインが非アクティブのとき（0x92レジスタのビット9:5に格納されているrCIC2_QUIET[4:0]のもの）、LIラインがアクティブのとき（0x92レジスタのビット4:0に格納されているrCIC2_LOUD[4:0]のもの）です。この設定により、デジタル・ゲインを外部の変化に合わせて調整することができます。ゲイン設定とともに可変ホールドオフ機能もあり、ADCのバイプライン遅延やゲイン制御エレメントの切り替え時間を補償します。これら2つの機能が連携して動作することで、シームレスなゲイン切り替えが実現されます。

このピンのもう1つの使い方は、ゲイン・レンジングADCの中でゲイン・レンジのホールドオフ機能を可能にするものです。ゲイン・レンジングを使用して信号のダイナミックレンジ全体を増加させるコンバータでは、場合によっては、内部のゲイン・レンジングを停止させた方がよい場合があります。このようなコンバータの場合、LI（AまたはB）ラインを使用して、この機能を停止させることができます。このアプリケーションでは、上限スレッシュホールドは同様の基準に基づいて設定します。ただし、下限スレッシュホールドについては、特定コンバータのゲイン・レンジに合わせたレベルに設定します。次に、減衰プロファイル、信号のピーク対平均比、またはその他の不要なゲイン変動を生じるおそれのある時間ベースの特性など、多数の要因に合わせて適宜ホールドオフ遅延を設定することができます。

AD6634には合計4つのゲイン制御回路があり、AとBの入力ポートのどちらもインターリーブされたデータである場合に、これらの回路を使用することができます。それぞれに対応する各LIピンは独立しているため、異なる値で設定できます。ちなみに、ゲイン制御回路は広帯域なので、ループ遅延を最小限に抑えるため、いずれのフィルタ・エレメントよりも前方に実装されています。4つのチャンネルはいずれも、最大で4つの入力チャンネルを監視するように設定することができます（通常のモードでは2つ、時分割多重入力の場合は4つ）。

AD6634チップは、LI信号に伴う減衰に応じて、内部データの適切なスケールリングを行うこともできます。この方法では、DSPへのデータは、処理全体を通じて正しいスケール値に保たれ、完全に独立しています。外付けのゲイン切り替え部品には一定の遅延を伴うことが多いため、AD6634には可変バイプライン遅延が組み込まれています。これを使用して、ゲイン/減衰器デバイスによって生じる外部バイプライン遅延や総セトリング時間を補償することができます。この遅延は、7個の高速クロックまで設定できます。この機能により、ゲイン設定間のスムーズな切り替えが可能になります。

入力データのスケールリング

AD6634には、A入力ポートとB入力ポートの2つのデータ入力ポートがあります。各ポートが、14ビットの仮数部（2の補数整数）IN[13:0]、3ビットの指数部（符号なし整数）EXP[2:0]、入力イネーブル（IEN）を受け付けます。どちらの入力もCLKによってクロック駆動されます。これらのピンを使えば、AD9238やAD6645などの固定小数点の標準ADCや、AD6600などのゲイン・レンジングADCにも直接接続することが可能になります。14ビット未満のADCを用いる通常動作の場合には、アクティブ・ビットはMSB側に詰めて、未使用のLSBはローレベルに固定するようにしてください。

3ビットの指数部EXP[2:0]は、符号なし整数として解釈されます。指数部はその後、LIラインがアクティブであるかどうかに応じて、rCIC2_LOUD[4:0]またはrCIC2_QUIET[4:0]のいずれかによって変更されます。この5ビットのスケール値は、rCIC2スケール・レジスタ（0x92）に格納され、データがrCIC2リサンプリング・フィルタに入力される前にスケールリングが行われます。この5ビット・レジスタには、rCIC2ゲイン、外部減衰器（使用している場合）、指数部オフセット（ExpOff）を補償するためのスケール値が格納されています。外部減衰器を使用していない場合は、rCIC2_LOUDとrCIC2_QUIETの両方のレジスタに同じ値が格納されます。減衰スケール・レジスタの設定に関する詳細な説明と式については、「浮動小数点ADCまたはゲイン・レンジングADCを用いたスケールリング」の項に記載します。

固定小数点ADCを用いたスケールリング

固定小数点ADCでは通常、AD6634の指数部入力EXP[2:0]は使用しないため、ローレベルに固定します。ADCの出力は、MSB側に詰められて、直接AD6634の入力に接続されます。0x92内のExpOffビットは「0」にプログラムする必要があります。同様に、指数部反転ビットも「0」にする必要があります。このように、固定小数点ADCでは通常、指数部が固定されているため、AD6634の入力スケールリングは使用されません。

AD6634

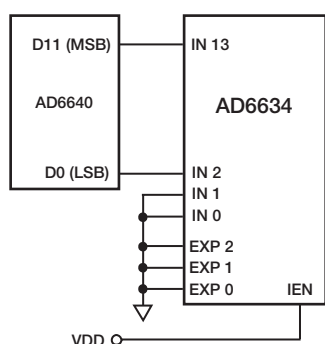


図28. AD6640固定小数点ADCとAD6634間の代表的な接続

浮動小数点ADCまたはゲイン・レンジングADCを用いたスケール

指数部制御機能の例は、AD6600とAD6634を組み合わせたものです。AD6600は11ビットのADCで、3ビットがゲイン・レンジング用です。実際にはこの11ビットADCは、仮数部のほかに3ビットの相対信号強度インジケータ (RSSI) を指数部として出力します。AD6600が使用するのは、8つの有効段のうち5つだけです。詳細については、AD6600のデータ・シートを参照してください。

AD6600などのゲイン・レンジングADCには、次の式が成立します。

$$SCALED_INPUT = IN \times 2^{-MOD(7-EXP+rCIC2, 32)}, \\ EXPINV=1, EXPWEIGHT=0$$

ここで、 IN は $IN[13:0]$ の値、 EXP は $EXP[2:0]$ の値、 $rCIC2$ は $rCIC$ スケール・レジスタ値 (0x92ビット9~5と4~0) です。

AD6600のRSSI出力は、アナログ入力の信号強度の増大に伴って、数値が大きくなります (大信号では $RSSI=5$ 、小信号では $RSSI=0$)。指数部反転ビット ($ExpInv$) がゼロに設定されていると、AD6634は $IN[13:0]$ の最小信号を最大であるとみなし、 EXP ワードの値が増えるにつれて、内部でデータをシフト・ダウンします ($EXP=5$ では、データを $rCIC2$ に渡す前に14ビット・ワードを内部で5ビットだけ右にシフトします)。この例では、 $ExpInv=0$ の場合、AD6634がAD6600上で可能な最大信号を最小信号とみなします。このように、指数部反転ビットを使用して、AD6634の指数部をAD6600のRSSIに一致させることができます。 $ExpInv=1$ に設定すると、AD6634は、 EXP 値が増大するとデータをシフト・ダウンするのではなくシフト・アップ、つまり左側にシフトします。AD6600で使用する場合は、指数部反転ビットを常にハイレベルに設定する必要があります。

データをシフト・アップするには、指数部オフセットを使用します。たとえば、表IIに示すように、 $rCIC2$ スケールリングを用いない場合、ADCの入力が最大レベルにあるときに12dBのレンジが失われます。これによって量子化ノイズ・フロアに比較して対象信号が小さくなり、システムのダイナミックレンジとSNRが低下するため、こうした損失はない方がよいことになります。

フルスケールのADC信号が自動的に減衰するのを防ぐため、 $ExpOff$ を使用して、最大信号 ($RSSI=5$) をシフト・ダウンが発生しないポイントまで移動します。つまり、指数部反転ビットをセットしたら、 $mod(7-5+ExpOff, 32)=0$ になるように指数部オフセットを調整します。これは、 $mod(32, 32)=0$ なので、指数部オフセットを30に設定した場合が当てはまります。表IIに、AD6600 ADCと使用した場合の、 $ExpInv$ と $ExpOff$ の使用方法について示します。

表I. AD6600の伝達関数
(AD6634の $ExpInv=1$ で、 $ExpOff$ なしの場合)

ADCの入力レベル	AD6600 RSSI[2:0]	AD6634のデータ	信号の損失 (dB)
最大	101 (5)	/4 (>> 2)	-12
	100 (4)	/8 (>> 3)	-18
	011 (3)	/16 (>> 4)	-24
	010 (2)	/32 (>> 5)	-30
	001 (1)	/64 (>> 6)	-36
最小	000 (0)	/128 (>> 7)	-42

($ExpInv=1$, $rCIC2$ スケール=0)

表II. AD6600の伝達関数
(AD6634の $ExpInv=1$ で $ExpOff=6$ の場合)

ADCの入力レベル	AD6600 RSSI[2:0]	AD6634のデータ	信号の損失 (dB)
最大	101 (5)	/1 (>> 0)	0
	100 (4)	/2 (>> 1)	-6
	011 (3)	/4 (>> 2)	-12
	010 (2)	/8 (>> 3)	-18
	001 (1)	/16 (>> 4)	-24
最小	000 (0)	/32 (>> 5)	-30

($ExpInv=1$, $ExpOff=30$, $ExpWeight=0$)

このようにAD6634は指数部を柔軟に扱うことができるため、AD6600以外のゲイン・レンジングADCに接続することができます。指数部オフセットを調整することにより、AD6600では5であったのに対して、最大7つのRSSI (EXP) レンジを使用できます。また、AD6600を使用するシステムに合わせてAD6634を調整することもできますが、すべての信号レンジを利用するわけではありません。たとえば、最初の4種類のRSSIレンジだけを必要とする場合は、 $ExpOff$ を29に調整することで、 $RSSI=4$ をAD6634の0dBポイントに対応させることができます。

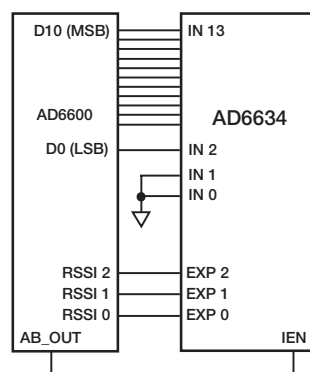


図29. AD6600ゲイン・レンジングADCとAD6634間の代表的な接続

数値制御発振器

周波数変換

この処理段は、2個の乗算器と1個の32ビット複素NCOからなるデジタル・チューナーで構成されています。AD6634の各チャンネルが独立したNCOを備えています。NCOは直交ローカル発振器として機能し、複素数モードにおいて、 $CLK/2^{32}$ の分解能で、 $-CLK/2 \sim +CLK/2$ の範囲のNCO周波数を生成することができます。最悪の場合でもNCOからのスプリアス信号は、すべての出力周波数について-100dBcよりも小さくなります。

レジスタ0x85と0x86のNCO周波数値は、32ビットの符号なし整数として解釈されます。NCO周波数は、次式を使用して計算します。

$$NCO_FREQ = 2^{32} \times MOD \left(\frac{f_{CHANNEL}}{CLK} \right)$$

ここで、 NCO_FREQ は32ビット整数（レジスタ0x85と0x86）、 $f_{CHANNEL}$ は目的のチャンネル周波数、 CLK は、使用されている入力イネーブル・モードによって、AD6634のマスター・クロック・レートまたは入力データ速度になります。「入力イネーブル制御」の項を参照してください。

NCO周波数ホールドオフ・レジスタ

NCO周波数レジスタが書き込まれると、データは実際にはシャドウ・レジスタに渡されます。データは、チャンネルがスリープ・モードから解除される時、またはSYNCホップが発生するときのいずれかの方法でメイン・レジスタに転送できます。いずれの方法でも、NCO周波数ホールドオフ・レジスタの値をカウンタにロードすることができます。16ビットの符号なし整数カウンタ（0x84）は、マスター・クロックに同期してカウント・ダウンを開始し、0に達すると、シャドウ・レジスタ内の新しい周波数値がNCO周波数レジスタに書き込まれます。NCOは、直ちにSYNCに設定することもできます。この場合、周波数ホールドオフ・カウンタはバイパスされ、新しい周波数値が直接更新されます。

位相オフセット

位相オフセット・レジスタ（0x87）は、NCOの位相アキュムレータにオフセットを加算します。位相オフセット・レジスタは16ビットのレジスタで、16ビットの符号なし整数として解釈されます。このレジスタの0x0000が0ラジアン（0度）のオフセットに相当し、0xFFFFが $2\pi(1-1/(2^{16}))$ ラジアン（約360度）のオフセットに相当します。このレジスタにより、複数のNCOを同期させて、一定の位相差を持つ既知の正弦波を生成することができます。

NCO制御レジスタ

0x88に配置されているNCO制御レジスタを使用して、NCOの機能を設定します。NCOの機能はチャンネルごとに制御されます。詳細を以下に示します。

バイパス

AD6634のフロント・エンドにあるNCOはバイパスすることができます。0x88のビット0をハイレベルに設定することによって、バイパス・モードが有効になります。NCOがバイパスされると、ダウン変換は実行されず、AD6634のチャンネルは、複素数データの単なる実数フィルタとして機能します。この機能は、A入力をフィルタ内でI信号パスに接続し、B入力をQ信号パスに接続する、ベースバンドのサンプリング・アプリケーションで役立ちます。デジタル化された信号が、アナログ段の前に、または他のデジタル前処理によって、すでにベースバンドに変換されている場合に、このバイパス機能が有効です。

位相ディザ

AD6634には、NCOのスプリアス性能を向上させる位相ディザのオプションが用意されています。位相ディザは、ビット1をセットすることで有効になります。このビットをハイレベルに設定して位相ディザを有効にすると、NCOでの位相切り捨てによって生じるスプリアスがランダム化されます。これらのスプリアスのエネルギーがノイズ・フロアに拡散されるので、SNRはほんのわずかに減少するものの、スプリアスフリーのダイナミックレンジが増大します。位相ディザをシステムに使用するかどうかは、最終的にはシステムの目的によって決まります。ノイズ・フロアが少し上がってもスプリアスを小さくしたい場合は、位相ディザを使用します。低いノイズ・フロアが求められ、大きなスプリアスは許容できるか後続の段でフィルタリングできる場合は、位相ディザは必要ありません。

振幅ディザ

振幅ディザもNCOのスプリアス性能を向上させるために使用することができます。振幅ディザは、ビット2をセットして有効にします。振幅ディザは、NCOの角度／デカルト変換内での振幅の量子化誤差をランダム化することによって性能を向上します。このオプションを使えば、わずかにノイズ・フロアを上げるものの、スプリアスを軽減することが可能です。振幅ディザと位相ディザは、併用することもできれば個別に使用することもできます。また、いずれも使用しなくてもかまいません。

ホップ時の位相アキュムレータのクリア

ビット3をセットすると、NCO位相アキュムレータが、周波数ホップの前にクリアされます。これにより、各ホップ時のNCOの位相を安定させることができます。NCO位相オフセットはこの設定で変化せず、有効なままです。位相の連続ホッピングが必要な場合、このビットをクリアすれば、NCO位相レジスタの最後の位相が新しい周波数の開始点となります。

入力イネーブル制御

入力イネーブルには4種類の動作モードがあり、高速入力ポートのそれぞれにIENラインが備わっています。4つのフィルタ・チャンネルはいずれも、AまたはBの2つの入力ポートのいずれかからデータを受け取るようプログラムできます（「WB入力セレクト」の項を参照）。データにはIEN（A、B）信号が伴います。各フィルタ・チャンネルの設定により、4つのモードの1つでIEN信号を処理することができますようになります。3つのモードは、時分割多重のデータ・ストリームに基づいてデータをいつ処理するかに関連しています。残る1つのモードは、レーダー、ソナー、超音波、TDDを伴う通信など、時分割全二重を用いるアプリケーションで使用します。

モード00：IENのローレベルでデータをブランク

このモードでは、IENラインがローレベルの間、データはブランク（無効）になります。IENラインがハイレベルの間は、入力クロックの各立ち上がりエッジで新しいデータがストロープされます。IENラインがローレベルになると、入力データはゼロ値に置き換えられます。この間NCOは動作を続け、IENラインが再びハイレベルになったときに、NCO値はIENラインがローレベルにならなかった場合の値になります。このモードは、IENラインがローレベルになったとき、デジタル入力を無効にするという効果があります。後段の処理（rCIC2、CIC5、RCF）は、IENラインがハイレベルの間、継続します。このモードは時分割多重のアプリケーションに向いています。

モード01：IENのハイレベルでクロック入力

このモードでは、IENラインがハイレベルの間、データはクロックに同期してチップに入力されます。IENラインがハイレベルの間は、入力クロックの各立ち上がりエッジで新しいデータがストロープされます。IENラインがローレベルになると、入力データはチャンネルにラッチされなくなり、さらにNCOの進行も停止します。ただし、この間にも後段の処理（rCIC2、CIC5、RCF）は継続します。このモードの主な用途は、入力サンプル・データ・レートより高速のクロックを用いて、より多くのフィルタ・タップ数を計算できるようにすることです。図30では、入力データはIENがハイレベルの間だけストロープされますが、CLKはデータより4倍速いレートで動作し続けています。

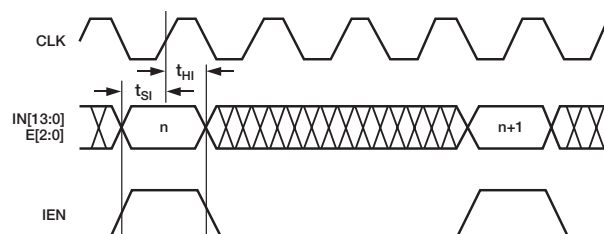


図30. モード01での小数レート入力のタイミング（4×CLK）

AD6634

モード10：IENの立ち上がり変化でクロック入力

このモードでは、IENラインの立ち上がり変化後の最初のクロック・エッジのみ、データがチップに入力されます。データは最初の有効なクロック・エッジでのみラッチされますが、後段の処理（rCIC2、CIC5、RCF）は、モード01と同様に、存在する使用可能な各クロックで継続します。NCO位相アキュムレータは、各入力クロックごとではなく、新しい入力データ・サンプルごとに1回だけインクリメントされます。

モード11：IENの立ち下がり変化でクロック入力

このモードでは、IENラインの立ち下がり変化後の最初のクロック・エッジのみ、データがチップに入力されます。データは最初の有効なクロック・エッジでのみラッチされますが、後段の処理（rCIC2、CIC5、RCF）は、モード01と同様に、存在する使用可能な各クロックで継続します。NCO位相アキュムレータは、各入力クロックごとではなく、新しい各入力データ・サンプルごとに1回だけインクリメントされます。

WB入力セレクト

このレジスタのビット6で、信号処理用にどの入力ポートを選択するかを制御します。このビットをハイレベルにセットすると、入力ポートB（INB、EXPB、IENB）が、選択したフィルタ・チャンネルに接続されます。このビットをクリアすると、入力ポートA（INA、EXPA、IENA）が、選択したフィルタ・チャンネルに接続されます。

同期セレクト

このレジスタのビット7と8で、選択したチャンネルに対応させる外部同期ピンを決めます。AD6634には、SYNCA、SYNCB、SYNCC、SYNCDという4本の同期ピンがあります。任意の同期ピンをAD6634の4つのレシーバ・チャンネルのいずれにも対応させることができます。さらに、システムが1本の同期信号しか必要としない場合でも、4つのレシーバ・チャンネルのすべてが同じ同期パルスを基準とすることができます。ビット値00はチャンネルA、01はチャンネルB、10はチャンネルC、11はチャンネルDです。

2次rCICフィルタ

rCIC2フィルタは、リサンプリング・カスケード積分型2次櫛形フィルタです。リサンブラは、高速クロックを必要としない独自の技術を使って実装されているので、設計が簡素化され消費電力の節約ができます。リサンブラにより、マスター・クロックと出力データ・レート間を非整数の関係にできるので、マルチモードのシステムや、あるいは使用するデータ・レートの整数倍でないマスター・クロックを必要とするシステムを簡単に実装できます。

rCIC2では、512までのインターポレーションと4096までのデシメーションが可能です。rCIC2（L）のリサンプリング係数は9ビットの整数です。12ビット値のデシメーション係数Mと組み合わせると、総合レート変化は、次式で表される分数値になります。

$$R_{rCIC2} = \frac{L}{M}$$

$$R_{rCIC2} \leq 1$$

唯一の制約は、L/Mが1以下でなければならないということです。これは、rCIC2が1以上のデシメーションを行うことを意味します。

$$S_{rCIC2} = \text{ceil} \left[\log_2 \left(M_{rCIC2} + \text{floor} \left(\frac{M_{rCIC2}}{L_{rCIC2}} \right) \times \left(2 \times M_{rCIC2} - L_{rCIC2} \times \text{floor} \left(\frac{M_{rCIC2}}{L_{rCIC2}} + 1 \right) \right) \right) \right]$$

$$OL_{rCIC2} = \frac{(M_{rCIC2})^2}{L_{rCIC2} \times 2^{S_{rCIC2}}} \times \text{input_level}$$

係数Lだけ入力サンプル・レートを見かけ上大きくすることでリサンプリングが行われ、新しいデータ・サンプルにはゼロ・スタッフィングが使用されます。リサンブラの後にカスケード積分型2次櫛形フィルタが接続されます。フィルタ特性は、分数のレート変化（L/M）だけで決まります。

フィルタは、入力ポートの最大レートである80MHzの信号を処理できます。この段の出力レートは、次式で得られます。

$$f_{SAMP2} = \frac{L_{rCIC2} f_{SAMP}}{M_{rCIC2}}$$

L_{rCIC2} と M_{rCIC2} はどちらも符号なし整数です。インターポレーション・レート（ L_{rCIC2} ）は1～512で、デシメーション（ M_{rCIC2} ）は1～4096の値をとります。デシメーションに1/1を設定すると、この段をバイパスすることができます。rCIC2フィルタの周波数応答は、次式で得られます。

$$H(z) = \frac{1}{2^{S_{rCIC2}} \times L_{rCIC2}} \times \left(\frac{1 - z \frac{M_{rCIC2}}{L_{rCIC2}}}{1 - z^{-1}} \right)^2$$

$$H(f) = \frac{1}{2^{S_{rCIC2}} \times L_{rCIC2}} \times \left(\frac{\sin \left(\pi \frac{M_{rCIC2} \times f}{L_{rCIC2} \times f_{SAMP}} \right)}{\sin \left(\pi \frac{f}{f_{SAMP}} \right)} \right)^2$$

rCIC2のゲインと通過帯域ドループは、上式と次のフィルタ伝達式を用いて計算します。過剰な通過帯域ドループは、ロールオフの反転によって通過帯域をピーキングすることにより、RCF段で補償することができます。

スケール係数 S_{rCIC2} はプログラマブルな符号なし5ビット値（0～31）で、rCIC2のゲインを6dB単位で削減できる減衰器になります。最適なダイナミックレンジを得るには、オーバーフロー状態を発生しない、可能な限り小さい値（すなわち、最小の減衰量）を S_{rCIC2} に設定する必要があります。以下の式を使用すれば、オーバーフローを発生することなく安全にこの値を設定することができます。ここで、*input_level*は、AD6634への入力として許容されるフルスケールの最大値です（通常は1）。rCIC2スケール係数は、rCIC2をバイパスするかどうかにかかわらず、常に使用されます。

さらに、(x92のrCIC2_LOUD[4:0]ビット4～0)と(x92のrCIC2_QUIET[4:0]ビット9～5)の2つのスケール・レジスタが存在し、計算された S_{rCIC2} と組み合わせて使用しますが、これによってrCIC2全体のスケールリングが決まります。rCIC2スケール・レジスタに格納するスケール値を決定するには、 S_{rCIC2} 値を各スケール・レジスタおよびExpOffの値に加算する必要があります。この数値は32未満でなければなりません。32未満でない場合は、この式を有効にするため、インターポレーション・レートとデシメーション・レートを調整する必要があります。ceil関数は次の整数を、floor関数は前の整数を表します。たとえば、ceil(4.5)は5で、floor(4.5)は4になります。

$$\text{scaled_input} = IN \times 2^{-\text{MOD}(\text{Exp} + rCIC2, 32)}, \text{ExpInv} = 0$$

$$\text{scaled_input} = IN \times 2^{-\text{MOD}(7 - \text{Exp} + rCIC2, 32)}, \text{ExpInv} = 1$$

表III. 帯域幅を f_{SAMP} のパーセント値で表したSSB rCIC2のエイリアス除去比 ($f_{SAMP}=1$)

M_{rCIC2}/L_{rCIC2}	−50dB	−60dB	−70dB	−80dB	−90dB	−100dB
2	1.79	1.007	0.566	0.318	0.179	0.101
3	1.508	0.858	0.486	0.274	0.155	0.087
4	1.217	0.696	0.395	0.223	0.126	0.071
5	1.006	0.577	0.328	0.186	0.105	0.059
6	0.853	0.49	0.279	0.158	0.089	0.05
7	0.739	0.425	0.242	0.137	0.077	0.044
8	0.651	0.374	0.213	0.121	0.068	0.038
9	0.581	0.334	0.19	0.108	0.061	0.034
10	0.525	0.302	0.172	0.097	0.055	0.031
11	0.478	0.275	0.157	0.089	0.05	0.028
12	0.439	0.253	0.144	0.082	0.046	0.026
13	0.406	0.234	0.133	0.075	0.043	0.024
14	0.378	0.217	0.124	0.07	0.04	0.022
15	0.353	0.203	0.116	0.066	0.037	0.021
16	0.331	0.19	0.109	0.061	0.035	0.02

ここで、 IN は $IN[13:0]$ の値、 EXP は $EXP[2:0]$ の値、 $rCIC2$ は $0x92$ (rCIC2_QUIET[4:0]とrCIC2_LOUD[4:0]) スケール・レジスタの値です。

rCIC2除去比

表Ⅲは、rCIC2段に入力されるデータ・レートの帯域幅をパーセント値で示しています。この表のデータは、シングル・チャンネル・モードでは最大80MHzまで、ダイバーシティー・チャンネル・モードでは最大40MHzまでの任意の許容サンプル・レートにスケールリングできます。表Ⅲは、rCIC2、CIC5、RCFの間でデシメーションをどのように分散するか決めるためのツールとして利用できます。

計算例

目的：入力サンプル・レートが10MHzで、±7kHzの通過帯域に100dBのエイリアス除去比を必要とするフィルタを実装します。

ソリューション：まず、通過帯域で表されるサンプル・レートのパーセント値を求めます。

$$BW_{FRACTION} = 100 \times \frac{7kHz}{10MHz} = 0.07$$

表Ⅲの右端にある−100dBの列から、クロック・レートの通過帯域パーセント値以上の値を探します。そこから左端の列に進み、対応するレート変化係数 (M_{rCIC2}/L_{rCIC2}) を見つけます。表によると、 M_{rCIC2}/L_{rCIC2} が4の場合に、−100dBのエイリアス除去比を持つ周波数は0.071パーセントであり、これは計算値の0.07パーセントより少し大きな値です。したがって、この例では、rCIC2レート変化の上限値は4になります。大きな M_{rCIC2}/L_{rCIC2} の値を選択するほど、除去比は必要とされる100dBより小さくなります。

4より小さい M_{rCIC2}/L_{rCIC2} を選ぶと、必要な除去比が得られます。ただし、このrCIC2段で可能な限り多くデシメーションを行えば、消費電力を最小限に抑えることができます。rCIC2でのデシメーションによりデータ・レートが低下するため、後続段の消費電力が減少します。ちなみに、4のデシメーションを決める方法は1つだけではありません。デシメーションが4であるということは、L/M比が0.25であるのと同じです。したがって、L/Mが0.25となる任意の整数の組み合わせ (1/4、2/8、4/16) が有効となります。ただし、最適なダイナミックレンジを得るには、最も簡単な比を使う必要があります。たとえば、1/4の方が4/16よりも優れた性能が得られます。

デシメーション・レジスタとインターポレーション・レジスタ
rCIC2のデシメーション値は、レジスタ0x90に格納されます。これは12ビット・レジスタで、デシメーションの1より小さい部分を格納します。インターポレーション部分は、レジスタ

0x91に格納されます。この9ビットの値で、1より小さいインターポレーションを保持します。

rCIC2スケール

レジスタ0x92は、回路のrCIC2セクションに関するスケールリング情報を格納します。主な機能は、これまでに計算したスケール値を格納することです。

このレジスタのビット4~0 (rCIC2_LOUD[4:0]) は、信号が強いときのrCIC2のスケールリング係数を格納するために使用します。これらの5ビットは、先に計算したrCIC2スケールと減衰器による任意の外部信号のスケールリングを表します。

このレジスタのビット9~5 (rCIC2_QUIET[4:0]) は、信号が弱いときのrCIC2のスケールリング係数を格納するために使用します。このレジスタでは外部減衰器を使わないため、外部減衰器は含まれていません。先に計算した値だけが、これらのビットに格納されます。

このレジスタのビット10は、外部指数部の値を表示するのに使用します。このビットをローレベルに設定した場合、各外部指数部は、AD6600の場合と同様、6dB/段を表します。このビットをハイレベルに設定した場合、各指数部は12dB/段を表します。

このレジスタのビット11は、内部計算の前に外部指数部を反転する場合に使用します。指数部を増加させて信号レベルの増大を表すゲイン・レンジングADCの場合に、このビットをハイレベルに設定します。指数部を減少させて信号レベルの増大を表すゲイン・レンジングADCの場合には、このビットをローレベルに設定する必要があります。

rCIC2機能が不要なアプリケーションでは、L/M比を1/1に設定して、バイパスすることができます。この設定によりrCIC2のすべての回路がバイパスされますが、有効なスケールリングはそのままです。

5次CICフィルタ

3番目の信号処理段のCIC5には、rCIC2よりもシャープな固定係数のデシメーション・フィルタが実装されています。このフィルタの入力レートは f_{SAMP2} です。最大入力レートは、以下の式で得られます。ダイバーシティー・チャンネルの実数入力モードでは、 $N_{CH}=2$ 、その他の場合には $N_{CH}=1$ になります。この式を満たすために、 M_{rCIC2} を大きくするか、 N_{CH} を小さくするか、あるいは f_{CLK} を大きくすることができます (基準分数レート入力のタイミングについては、「入力タイミング」の項で説明しています)。

$$f_{SAMP2} \leq \frac{f_{CLK}}{N_{CH}}$$

AD6634

デシメーション比 M_{CIC5} には、2～32（すべて整数値）の値をプログラムできます。フィルタの周波数応答は、次式で得られます。 $CIC5$ のゲインと通過帯域ドロップは、これらの式を用いて計算する必要があります。どちらのパラメータもRCF段で補償することができます。

$$H(z) = \frac{1}{2^{S_{CIC2}+5}} \times \left(\frac{1-z^{-M_{CIC5}}}{1-z^{-1}} \right)^5$$

$$H(f) = \frac{1}{2^{S_{CIC2}+5}} \times \left(\frac{\sin\left(\pi \frac{M_{CIC5} \times f}{f_{SAMP2}}\right)}{\sin\left(\pi \frac{f}{f_{SAMP2}}\right)} \right)^5$$

スケール係数 S_{CIC5} は、プログラマブルな符号なし整数（0～20）で、データの減衰量を制御して6dB単位で $CIC5$ 段に渡す役割があります。最適なダイナミックレンジを得るには、オーバーフロー状態を発生しない、可能な限り小さい値（すなわち、最小の減衰量）を S_{CIC5} に設定する必要があります。以下の式を使用すれば、オーバーフローを発生することなく安全にこの値を設定することができます。ここで、 OL_{rCIC2} は、このフィルタ段へ

の入力で可能なフルスケールの最大値です。この値は、 $rCIC2$ 段から出力されて、 $CIC5$ にパイプライン入力されます。

$$S_{CIC5} = \text{ceil} \left(\log_2 \left(M_{CIC5}^5 \times OL_{rCIC2} \right) \right) - 5$$

$$OL_{rCIC2} = \frac{(M_{CIC5}^5)}{2^{S_{CIC5}+5}} \times OL_{rCIC2}$$

この段の出力レートは、以下の式で得られます。

$$f_{SAMP5} = \frac{f_{SAMP2}}{M_{CIC5}}$$

CIC5除去比

表IVは、さまざまなデシメーション・レートとエイリアス除去比を指定したときに保護できる帯域幅をクロック・レートのパーセント値で示しています。 $rCIC2$ が1のデシメーションを行うとき、 $CIC5$ への最大入力レートは80MHzです。表IIIと同様に、これが $CIC5$ の1/2帯域幅特性になります。 $CIC5$ 段は、指定したいずれの除去比についても、より幅広い帯域を保護することができます。

この表は、目標のフィルタ特性が与えられた場合に、デシメーション M_{CIC5} の上限値を計算するのに役立ちます。

表IV. SSB $CIC5$ のエイリアス除去比（ $f_{SAMP2}=1$ ）

M_{CIC5}	−50dB	−60dB	−70dB	−80dB	−90dB	−100dB
2	10.227	8.078	6.393	5.066	4.008	3.183
3	7.924	6.367	5.11	4.107	3.297	2.642
4	6.213	5.022	4.057	3.271	2.636	2.121
5	5.068	4.107	3.326	2.687	2.17	1.748
6	4.267	3.463	2.808	2.27	1.836	1.48
7	3.68	2.989	2.425	1.962	1.588	1.281
8	3.233	2.627	2.133	1.726	1.397	1.128
9	2.881	2.342	1.902	1.54	1.247	1.007
10	2.598	2.113	1.716	1.39	1.125	0.909
11	2.365	1.924	1.563	1.266	1.025	0.828
12	2.17	1.765	1.435	1.162	0.941	0.76
13	2.005	1.631	1.326	1.074	0.87	0.703
14	1.863	1.516	1.232	0.998	0.809	0.653
15	1.74	1.416	1.151	0.932	0.755	0.61
16	1.632	1.328	1.079	0.874	0.708	0.572
17	1.536	1.25	1.016	0.823	0.667	0.539
18	1.451	1.181	0.96	0.778	0.63	0.509
19	1.375	1.119	0.91	0.737	0.597	0.483
20	1.307	1.064	0.865	0.701	0.568	0.459
21	1.245	1.013	0.824	0.667	0.541	0.437
2	1.188	0.967	0.786	0.637	0.516	0.417
23	1.137	0.925	0.752	0.61	0.494	0.399
24	1.09	0.887	0.721	0.584	0.474	0.383
25	1.046	0.852	0.692	0.561	0.455	0.367
26	1.006	0.819	0.666	0.54	0.437	0.353
27	0.969	0.789	0.641	0.52	0.421	0.34
28	0.934	0.761	0.618	0.501	0.406	0.328
29	0.902	0.734	0.597	0.484	0.392	0.317
30	0.872	0.71	0.577	0.468	0.379	0.306
31	0.844	0.687	0.559	0.453	0.367	0.297
32	0.818	0.666	0.541	0.439	0.355	0.287

RAM係数フィルタ

最後の信号処理段は、プログラマブルな係数を持つ積和デシメーション・フィルタです。図31に簡略ブロック図を示します。データ・メモリI-RAMとQ-RAMは、前のフィルタ段から入力される最新の160個の複素数サンプルを20ビット分解能で格納します。係数メモリCMEMは、最大256個の係数を20ビット分解能で格納します。各CLKサイクルで、Iに1タップ、Qに1タップが同じ係数を使って計算されます。RCF出力は、24ビットのデータ・ビットで構成されています。

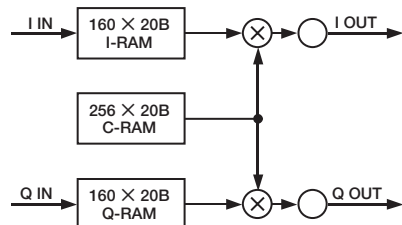


図31. RAM係数フィルタのブロック図

RCFデシメーション・レジスタ

各RCFチャンネルを使用して、データ・レートをデシメーションすることができます。デシメーション・レジスタは8ビット・レジスタで、1~256のデシメーションが可能です。RCFデシメーションは、 $M_{RCF}-1$ の形で0xA0に格納されます。RCFへの入力レートは、 f_{SAMP5} です。

RCFデシメーション位相

RCFデシメーション位相を使用して、チップ内の複数のフィルタを同期化することができます。これは、AD6634内の複数のチャンネルを使用して多相フィルタを実装するのに便利で、複数のフィルタのリソースを並行に動作させることができます。このようなアプリケーションでは、2つのRCFフィルタがCIC5からの同一データを処理することになります。ただし、各フィルタはデシメーション・レートの1/2だけ遅延されるため、2つの間に180°の位相差が生じます。AD6634フィルタ・チャンネルは、このレジスタに格納されている値を使用して、RCFカウンタをプリロードします。すなわち、カウンタは0からスタートするのではなく、この値がロードされるので、必要な処理遅延に等しいオフセットが処理の中で得られます。このデータは、8ビット値として0xA1に格納されます。

RCFフィルタ長

このフィルタが計算することのできる最大タップ数である N_{TAPS} は、次式で得られます。値 $N_{TAPS}-1$ は、AD6634のアドレス0xA2にあるチャンネル・レジスタに書き込まれます。

$$N_{TAPS} \leq \min \left(\frac{f_{CLK} \times M_{RCF}}{f_{SAMP5}}, 160 \right)$$

RCF係数は、アドレス0x00~0x7Fに配置され、20ビットの2の補数値として解釈されます。係数RAMを書き込むとき、下位アドレスには、CIC5からの相対的に古いデータが乗算され、上位係数アドレスには、CIC5からの相対的に新しいデータが乗算されます。係数は対称である必要はなく、係数長 N_{TAPS} は偶数または奇数のいずれでも可能です。係数が対称である場合は、インパルス応答の両側を係数RAMに書き込む必要があります。

係数用のベース・メモリは128ワード長しかありませんが、実際の長さは256ワード長になります。ページは2ページで、それぞれが128ワード長です。ページは0xA4のビット8で選択します。このデータは複数ページに書き込む必要がありますが、内部コアが128タップ長を超えるフィルタを処理します。したがって、データRAMの全長をフィルタ長（160タップ）として使用することができます。

RCFは、CIC5からのデータを160×40のRAMに格納します。Iデータに160×20が、Qデータに160×20が割り当てられます。RCFは、RAMを循環バッファとして使用するため、特定のデータ・エレメントが格納されているアドレスを知ることは困難です。

RCFでフィルタ出力の計算が開始されると、まず最初にデータRAM内の最も古い値に、RCF係数オフセット・レジスタ(0xA3)が指定する最初の係数が乗算されます。この値に、これより新しいデータ・ワードに係数RAM内の後続する位置の値を乗算した積が累積されます。これが、係数アドレスが $RCF_{OFF} + N_{TAPS} - 1$ に達するまで繰り返されます。

表V. 3タップ・フィルタ

係数アドレス	インパルス応答	データ
0	h (0)	N (0) 最も古い
1	h (1)	N (1)
2 = (N _{TAPS} - 1)	h (2)	N (2) 最も新しい

RCF係数オフセット・レジスタは、2つの目的で 사용할 ことができます。このレジスタの主な目的は、複数のフィルタをメモリにロードしておき、オフセットをポインタとして変更するだけでフィルタを選択し、フィルタ変更が迅速にできるようにすることです。このレジスタのもう1つの用途は、シンボル・タイミング調整の一部を実行することです。目標フィルタ長の最後にゼロがパディングされている場合、高速クロックを基準としてフィルタを計算するとき、スタート・ポイントを調整してわずかな遅延を発生させることができます。この方法によって、シンボル・タイミングの微調整が可能になります。粗調整はRCFデシメーション位相で行うことができます。

このフィルタの出力レートは、CIC5段の出力レートと M_{RCF} によって求めます。

$$f_{SAMP R} = \frac{f_{SAMP5}}{M_{RCF}}$$

RCF出力スケール係数と制御レジスタ

レジスタ0xA4は、RCFレジスタのさまざまな項目の設定に使用する複合レジスタです。ビット3~0は、固定小数点出力モードのスケール設定に使用します。また、このスケール値は、レジスタのビット6と組み合わせて浮動小数点出力の設定に使用することもできます。

ビット4と5で、出力モードを決めます。モード00は、チップを固定小数点モードに設定します。パラレル・ポートまたはリンク・ポートの設定によって、ビット数が決まります。

モード01で、浮動小数点モード8+4を選択します。このモードでは、8ビットの仮数部の後ろに4ビットの指数部が続きます。モード1x (xは任意) では、モードは12+4、すなわち12ビットの仮数部と4ビットの指数部になります。

表VI. 出力モード・フォーマット

浮動小数点12+4	1x
浮動小数点8+4	01
固定小数点	00

AD6634は通常、数値の精度を最適化する指数部の値を決定します。ただし、ビット6がセットされると、ビット3~0に格納されている値を使用して、出力をスケールリングします。これにより、予測可能な出力レンジを保証できる条件では、一貫したスケールリングと精度が可能になります。ビット3~0がRCFスケールによって表される場合、スケールリング係数 (dB単位) は、次式で得られます。

$$\text{スケールリング係数} = (RCF\text{スケール} - 3) \times 20 \log_{10} (2) \text{ dB}$$

AD6634

RCFスケールが0の場合、スケーリング係数は-18.06dBとなり、RCFスケールが最大の15の場合、72.25dBになります。

ビット7がセットされると、同一の指数部が実数と虚数の両出力（IとQ）に使用されるようになります。使用する指数部の値は数値的にオーバーフローを防止するものですが、小さい信号の精度は落ちます。ただし、小さな数値は、使用する指数部とは関係なく0を表すため、これが問題になることはほとんどありません。

ビット8は、レジスタのプログラミングに使用するRCFバンク・セレクト・ビットです。このビットが0のときには、最下位の128ブロックが選択されます（タップ0～127）。このビットがハイレベルのときには、最上位のブロックが選択されます（タップ128～255）。チップがフィルタを計算している間は、タップ127がタップ128に隣接しているため、ページング問題が発生することはありません。

ビット9で、各RCFへ入力するデータの提供元を選択します。ビット9がクリアな場合、RCF入力は、通常そのRCFに対応しているCIC5から与えられます。一方、このビットがセットされると、入力はCIC5のチャンネル1から入力されます。チャンネル1だけは例外で、CIC5のチャンネル0の出力を代替として使用します。この機能を使用すると、各RCFは各自のチャンネル・データについて動作するか、またはチャンネル1のRCFとペアになることができます。また、チャンネル1のRCFをチャンネル0とペアにすることもできます。この制御ビットは多相分散型フィルタリングで使用されます。

ビット10がクリアな場合、AD6634チャンネルはノーマル・モードで動作します。一方、ビット10がセットされている場合、RCFはチャンネルBISTにバイパスされます。詳細については、「ユーザー設定が可能な内蔵セルフテスト (BIST)」の項を参照してください。

インターポレーション・ハーフバンド・フィルタ

AD6634には、インターポレーション・ハーフバンドのFIR（有限インパルス応答）フィルタが2つあります。このフィルタは、2つのデジタルAGCの直前と、4つのRCFチャンネル出力の直後に配置されています。各インターポレーション・ハーフバンド・フィルタは、先行のRCFから16ビットのIデータと16ビットのQデータを受け取り、16ビットのIと16ビットのQをAGCに出力します。ハーフバンド・フィルタとAGCは、それぞれ独立して動作するため、AGCをバイパスすることができます。バイパスを用いた場合、ハーフバンド・フィルタの出力は、直接出力データ・ポートに送られます。また、ハーフバンド・フィルタもそれぞれ独立して動作するので、どちらかのフィルタを有効にし、無効にしたりできます。ハーフバンド・フィルタAの制御レジスタのアドレスは0x08、ハーフバンド・フィルタBのアドレスは0x09です。

ハーフバンド・フィルタはまた、インターポレーションが実際に機能する前に、RCF出力からのさまざまなデータをインターリーブする機能を実行します。データのインターリーブ機能はハーフバンド・フィルタの実際の機能がバイパスされている場合も利用できます。この機能により、AD6634上で単一キャリアの処理に複数のチャンネルを使用できるようになります（多相フィルタを実装）。複数チャンネルにRCF位相デシメーションまたはスタート・ホールドオフ・カウンタのいずれかを使用すると、チャンネルの位相を正しく調整することができます。たとえば、AD6634の2つのチャンネルを使用して、CDMA2000の1つのキャリアを処理する場合、両チャンネルのRCFフィルタの位相が180°ずれている必要があります。これは、RCF位相デシメーションまたはスタート・ホールドオフ・カウンタに続き、適切なNCO位相オフセットを行って、実現することができます。

ハーフバンド・フィルタAは、チャンネル0~3、チャンネル0と1、またはチャンネル0だけなど、4つのチャンネルのすべてを待ち受けることができます。ハーフバンド・フィルタBは、チャンネル2と3、またはチャンネル2だけを待ち受けます。各

ハーフバンド・フィルタは、制御レジスタで指定したチャンネルをインターリーブし、またこれらのチャンネルからの結合したデータを2で補間します。チップ・レートの2倍のレートで動作するチャンネルの場合、ハーフバンド・フィルタを使用することで、43のチップ・レートでチャンネル・データを出力できます。

チップ・レートを基準としたインターポレーション・ハーフバンドFIRの周波数応答を図32に示します。

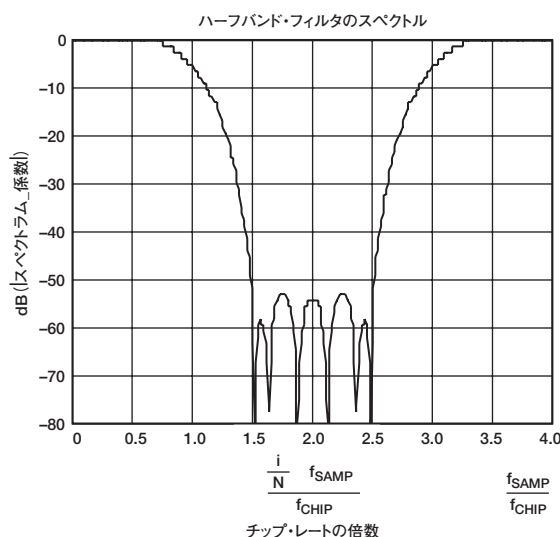


図32. インターポレーション・ハーフバンド・フィルタの周波数応答

インターポレーション・ハーフバンド・フィルタのSNRは、約-149.6dB、固定小数点演算による最大スプリアス誤差は、約-172.9dBです。13タップのインターポレーション・ハーフバンドFIRの係数を表Ⅶに示します。

表VII. ハーフバンド係数

0
14
0
-66
0
309
512
309
0
-66
0
14
0

自動ゲイン制御

AD6634には、RAKEレシーバに直結できるインターフェースとして、2つの独立した自動ゲイン制御（AGC）ループがあります。各AGC回路は96dBのレンジを許容します。各AGCループが対象のキャリアだけを処理し、周波数の異なるキャリアによってループのレンジングが影響されないようにするため、AGCの手前でAD6634のデシメーション・フィルタによって不要な信号を除去することが大切です。

AGCは、インターポレーション・ハーフバンド・フィルタからの23ビットの複素出力を、4~8、10、12、または16ビットのプログラマブルなワード・サイズに圧縮します。ゲインを加えることで、下位ビットからの小信号が上位ビットに押し上げら

れ、下位ビットのクリップが対象信号のSNRを損なうことはありません。AGCによって、対象信号のレベルに関係なく、出力上で一定の平均電力が維持されるため、信号のダイナミックレンジが出力の分解能のダイナミックレンジを超える環境でも動作できます。

AGCとインターポレーション・フィルタは互いに拘束されていません。1つのフィルタを他方のフィルタとは別に利用することも、両方のフィルタを利用することもできます。AGCセクションは、AGC制御ワードのビット0をセットすることにより、必要に応じてバイパスできます。AGCをバイパスする場合も、目標のビット数までI/Qデータをクリップし、AGCゲイン乗算器によって一定のゲインを得ることができます。

AGC機能によって生じる誤差には、アンダーフロー、オーバーフロー、変調の3つの原因があります。アンダーフローは、出力レンジを下回るビットの切り捨てが原因です。オーバーフローは、出力信号が出力レンジを上回る場合のクリップ処理のエラーで生じます。変調誤差は、データの受信中に出力ゲインが変動する場合に発生します。

目標信号レベルは、アンダーフローとオーバーフローによる誤差のバランスがとれるように、信号の確率密度関数に基づいて設定します。ループ・フィルタのゲインと減衰の値は、AGCが、過剰なアンダーフローやオーバーフローを引き起こす信号の長期的な振幅変化を追跡できる程度に速くはあっても、信号の変調によって生じる振幅情報の過剰な損失が生じない程度の速度になるように設定する必要があります。

AGCループ

AGCループは、ログリニア・アーキテクチャを使用して実現されます。これには、累乗計算、誤差計算、ループ・フィルタリング、ゲイン乗算の4つの基本動作があります。

AGCは、AGC制御ワードのビット4 (0x0A、0x12) をセットすることで、「目標信号レベル・モード」または「目標クリップ・レベル・モード」の2つのモードのいずれかで動作するように設定できます。AGCは、選択した動作モードにより、所定の目標信号レベルまたは目標クリップ・レベルとの差に従って、入力されるデータのゲインを調整します。AGCループへのデータ・パスは2つあります。図33に示すように、クリップ処理回路の前と後に1つずつです。目標信号レベル・モードでは、クリップ処理回路の前のI/Qパスだけが使用されます。目標クリップ・レベル・モードでは、クリップ処理回路の前後のI/Q信号の差分が使用されます。

目標信号レベル・モード

この動作モードでは、AGCは、プログラマブルな設定レベルで出力信号を維持するように動作します。この動作モードは、AGC制御ワードのビット4 (0x0A、0x12) にゼロ値を挿入して選択します。最初に、ループは、IとQをそれぞれ2乗したものを加算することで、入力される複素データ信号の2乗（すなわち累乗）を求めます。この動作は、 2^x (2の累乗) を使用する指数部領域で実行されます。

AGCループには、平均/デシメーション・ブロックがあります。この平均/デシメーション演算は、平方根演算の前に累乗サンプルに対して行われます。このブロックをプログラムすることで、1~16384の累乗サンプルの平均を計算し、さらにデシメーション・セクションをプログラムして、1~4096のサンプルごとに1回AGCを更新することができます。平均演算には、平均する累乗サンプルの数をデシメーション値の倍数 (1、2、3、4倍) にするという制限があります。

平均とデシメーションの演算は、AGCが実質的に1~16384の出力サンプルの累乗平均に対して動作できることを意味します。1~4096のサンプルごとのAGCの更新と平均累乗の処理を選択すれば、AGC誤差がゆっくりと収束し、ゲインの調整があまり行われない時定数の遅いループ・フィルタを実装できるようになります。また、データのフレーム (シンボルのストリーム) の全体にわたってゲイン・スケールを一定に保ちたい場合にも役立ちます。

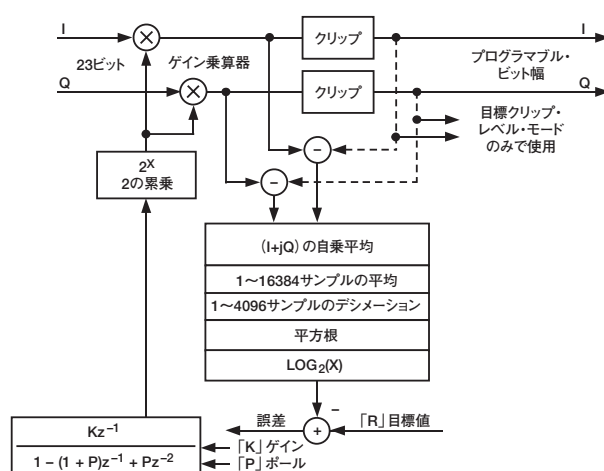


図33. AGCのブロック図

平均サンプルの数をデシメーション値の倍数にするという制限により、プログラム可能な倍数は1、2、3、または4だけになります。この数値は、0x10および0x18レジスタのビット1、0で設定します。次にこれらの平均サンプルに、プログラマブルな1~4096のデシメーション率でデシメーションを行います。デシメーション率は、12ビットのレジスタ0x11と0x19で設定します。

平均とデシメーションの演算は組み合わせになっていて、1次CICフィルタといくつかのFIFOレジスタを使用して実行されます。CICフィルタにはゲインとビットの増大が伴いますが、これらはデシメーション率に依存します。演算に伴うゲインを補償するために、CICフィルタの前に減衰スケールが設けられています。

スケール演算が行われるのは、平均演算に伴う除算、およびCICフィルタにおける一般的なビット増大があるためです。これはビットのシフト演算によって行われるため、粗いスケールしかできません。細かいスケールは、後で説明するリクエスト・レベルのオフセットで実現できます。減衰スケール S_{CIC} は、0x10および0x18レジスタの4ビットを使用して、0~14の範囲で設定することができます。減衰スケールは次の式で求められます。

$$S_{CIC} = \text{ceil} [\log_2 (M_{CIC} \times N_{AVG})]$$

ここで、 M_{CIC} はデシメーション率 (1~4096)、 N_{AVG} はデシメーション率の倍数 (1、2、3、または4) で設定される平均サンプル数です。

たとえば、デシメーション率 M_{CIC} が1000で、 N_{AVG} に3を選択している場合 (1000のデシメーションと3000サンプルの平均)、平均とデシメーションによる実ゲインは3000、すなわち69.54dB ($=\log_2(3000)$) です。ビットのシフト演算で減衰が行われるため、6.02dBの倍数でのみ減衰します。この場合の S_{CIC} は12で、72.24dBに相当します。このようにして、 S_{CIC} スケールが常に、平均/デシメーション・セクションのゲイン変化を補償するのに十分な量を上回る減衰を行うので、AGCループでのオーバーフローを防ぐことができます。また、CICスケールが最大6.02dBのゲイン誤差 (CICによるゲインと提供される減衰の差) を生じることは明らかです。この誤差は、以下で説明するようにリクエスト信号レベルで補償する必要があります。

平均/デシメーション・セクションからの出力には、底が2の対数が適用されます。これらのデシメーション処理された累乗サンプル (対数領域内) は、平方根を適用することによって、rms信号のサンプルに変換されます。この平方根サンプルは、単純なシフト演算で実行されます。このように得られたrmsサンプルを、レジスタ (0x0B、0x14) で指定したリクエスト信

AD6634

号レベルRから減算し、その残りがループ・フィルタG(z)で処理される誤差の項になります。

ユーザーは、このプログラマブルなリクエスト信号のレベルRを、求める出力信号のレベルに応じて設定します。リクエスト信号レベルRは、-0〜-23.99dBの範囲で0.094dBずつ設定することができます。また、リクエスト信号レベルは、前述のようにCICスケールリングによる誤差がある場合に、これを補償します。したがって、リクエスト信号レベルは、CICで生じた誤差の量だけオフセットされます。このオフセットは、次式で求めます。

$$\text{オフセット} = 20 \times \log_{10} (M_{CIC} \times N_{AVG}) - S_{CIC} \times 6.02$$

この式で、オフセットの単位はdBです。引き続き前の例を使用すると、オフセット=72.24-69.54=2.7dBとなります。リクエスト信号レベルは、次式で求めます。

$$R = \text{ceil} \left[\frac{(DSL - \text{オフセット})}{0.094} \right] \times 0.094$$

この式で、Rはリクエスト信号レベルで、DSL（目標信号レベル）はユーザーが求める出力信号レベルです。前の例で目標信号レベルが-13.8dBの場合、リクエスト・レベルRは-16.54dBに設定されます。

AGCには、プログラマブルな2次ループ・フィルタが装備されています。プログラマブル・パラメータ・ゲインKとポールPが、ループ・フィルタの全特性を決定します。リクエスト信号レベルを減算した後の誤差の項は、ループ・フィルタG(z)で処理されます。2次ループ・フィルタのオープン・ループ・ポールは、それぞれ「1」とPです。ループ・フィルタ・パラメータのポールPとゲインKを使ってフィルタの時定数を調整し、ピーク対平均比を計算する時間枠を決定することができます。

ゲイン・パラメータを含むフィルタのオープン・ループ伝達関数は、次のとおりです。

$$G(z) = \frac{Kz^{-1}}{1 - (1+P)z^{-1} + Pz^{-2}}$$

AGCが（リクエスト・レベルのオフセットについて）正しく設定されていると、フィルタ・ゲインK以外のゲインは発生しません。このような状況では、AGCループをクローズド・ループで表すことができ、これは次式で与えられます。

$$G_{CLOSED}(z) = \frac{G(z)}{1 + G(z)} = \frac{Kz^{-1}}{1 + (K-1-P)z^{-1} + Pz^{-2}}$$

ゲイン・パラメータKとポールPは、レジスタ（AGCチャンネルAとBについてそれぞれ0x0Eと0x0F）を通じて、0〜0.996の範囲で0.0039ずつ8ビット表現で設定できます。ユーザーがオープン・ループのポールPとゲインKを決めますが、これらはクローズド・ループのポール配置やフィルタ特性に直接影響を与えることになります。これらのクローズド・ループのポールP₁、P₂は、上記のクローズド・ループ伝達関数における分母の根で、次式で求めます。

$$P_1, P_2 = \frac{(1+P-K) \pm \sqrt{(1+P-K)^2 - 4P}}{2}$$

通常、AGCループの性能は、その時定数またはセトリング時間によって定義されます。この場合、クローズド・ループのポールは、AGCループで要求される時定数を満足するように設定する必要があります。これを実現するために、時定数とクローズド・ループのポールの関係を表す次式を使うことができます。

$$P_{1,2} = \exp \left[\frac{M_{CIC}}{\text{SAMPLE RATE} \times \tau_{1,2}} \right]$$

ここで、 $\tau_{1,2}$ はポールP_{1,2}に対応する時定数です。時定数は、次式を用いてセトリング時間から求めることもできます。

$$\frac{\text{セトリング時間の2\%}}{4} \quad \text{または} \quad \frac{\text{セトリング時間の5\%}}{3}$$

M_{CIC}（CICデシメーションは1〜4096）、およびセトリング時間または時定数のいずれかをユーザーが選択します。サンプル・レートは、AGC/ハーフバンド・インターポレーション・フィルタに入力される、すべてのインターリーブ・チャンネルのサンプル・レートを合わせた複合レートです。2つのチャンネルを使用して、UMTSの1つのキャリアを2倍のチップ・レートで処理する場合、各チャンネルは3.84MHzで動作し、ハーフバンド・インターポレーション・フィルタに入力される複合サンプル・レートは、7.68MSPSになります。ハーフバンド・インターポレーション・フィルタをバイパスする場合には、上式のポールの計算に、このレートを使用する必要があります。

ループ・フィルタの出力は、AGCで更新する信号ゲインに一致します。ループ・フィルタにおける計算はすべて、サンプルの対数領域（底2）で行われるため、信号ゲインは、ループ・フィルタ出力の指数部（2の累乗）を使用して生成されます。

ゲイン乗算器は、AGCセクションに入力されるIとQの両方のデータによる信号ゲインの積を算出します。この信号ゲインは、粗い4ビットのスケールリングとして、その後、細かい8ビット・スケールの乗算器として利用されます。適用される信号ゲインは、0〜96.296dBの範囲で0.024dBずつとなります。信号ゲインの初期値は、AGC AとAGC Bについてそれぞれレジスタ0x0Dと0x15を使用して設定できます。

ゲイン乗算器の積、つまりAGCのスケールリング処理後の出力は19ビット表現になります。この積が今度は、IおよびQとして累乗やAGC誤差の計算に使われ、ループ・フィルタリングによって、次のサンプル・セットの信号ゲインを生成します。AGCスケールリング出力は、AGC制御ワード（0x0A、0x12）を使用して、4、5、6、7、8、10、12、16ビット幅になるように設定できます。必要なビット幅になるようにAGCスケールリング出力を切り捨てるには、ブロック図に示すクリップ回路を使用します。

オープン・ループ・ゲイン設定

フィルタ・ゲインKが1 LSB、すなわち0.0039しか占有しない場合、誤差の項による乗算中に、最大6.02dBの誤差が切り捨てられる可能性があります。この切り捨ては、AGCループで利用可能な下位ビット幅によるものです。フィルタ・ゲインKが最大値であれば、切り捨てられる誤差は0.094dB（誤差の項の表現では1 LSBに相当）未満になります。一般に、大きな時定数のループ（速度の遅いループ）を得るには、小さなフィルタ・ゲインを使用します。しかし、この場合は大きな誤差が検知されないままになってしまいます。このような特異性があるため、速度の遅いAGCループを必要とする場合は、フィルタ・ゲインKにかなり大きな値を使用し、代わりにCICデシメーションを使用することで遅いループを実現することを推奨します。こうすれば、通常の小さいゲイン・ループ・フィルタなら頻繁に小さいゲイン変化が生じるのに、AGCループでは大きなゲイン変化がまれに起きるようになります。ただし、AGCループのゲイン変化が頻度が少なく、大きいものであっても、遅い時定数は維持されるため、誤差の切り捨てを少なくすることができます。

平均サンプルの設定

平均するサンプル数による影響を正確に表すことは困難ですが、直感的に言えば、信号レベルの急激な増大やスパイクをAGCループが処理する際に、処理をスムーズにする効果があります。AGCが4つのサンプルの平均を使用する場合、平均を使用しない場合に比べてゆっくりと信号レベルの急激な増大に対処します。AGCが信号レベルの急激な減少に対処する場合についても、同じことが言えます。

目標クリップ・レベル・モード

前述したように、各AGCは、ループが目標クリップ・レベルまたは目標信号レベルにロックされるように構成することができます。目標クリップ・レベル・モードは、各AGC制御ワード（0x0A、0x12）のビット4をセットして選択できます。ピーク対平均比の限界を超えることがある信号については、目標クリップ・レベルのオプションを選択して、このような信号が切り捨てられないようにし、同時にAGCによる迅速な対処と目標出力レベルへのセトリングを実現します。機能ブロック図に、この動作モードの信号パスを破線の矢印で示します。動作については、目標信号レベル・モードと同様です。

最初に、ゲイン乗算器からのデータが、AGC制御ワードの設定に従って、より低い分解能（4、5、6、7、8、10、12、または16ビット）まで切り捨てられます。切り捨ての前後の信号の差によって誤差の項（IとQの両方）が発生します。この項は、複素2乗の処理ブロックに渡され、目標信号レベル・モードの場合と同様、更新サンプルを平均およびデシメーション処理し、その平方根をとってrmsサンプルを求めます。リクエスト目標信号レベルの代わりに、目標クリップ・レベルを減算すると、2次ループ・フィルタで処理する誤差の項が残ります。ループのその他の部分も、目標信号レベル・モードの場合と同様に動作します。このように切り捨て誤差の計算が行われ、AGCループが動作して切り捨て誤差レベルを一定に維持します。

AGC制御ワードのビット4を除いて、レジスタ設定で目標信号レベル・モードと異なる唯一の点は、目標クリップ・レベルが（目標信号レベル・モードの場合のように）リクエスト信号レベルではなく、AGC目標レベル・レジスタ（0x0C、0x15）に格納されることです。

同期

AGC出力がRAKEレシーバに接続されている場合、RAKEレシーバが平均および更新セクションを同期させて、AGC誤差の平均累乗計算やループ・フィルタリングを更新することができます。この外部同期信号は、AGCの変化をRAKEレシーバに同期させ、AGCゲイン・ワードが1シンボル内で変化しないようにすることで、より正確な算出を可能にします。この同期を行うには、AGC制御レジスタの対応するビットを設定します。

チャンネルは、スリープ状態から解除されると、AGCホールドオフ・カウンタの値をロードし、マスター・クロックに同期してカウント・ダウンを開始します。カウンタがゼロになると、設定されているCICのデシメーション値に基づいて、AGCのCICフィルタがAGCループ・フィルタのデシメーションと更新を開始します。

さらに、ユーザーが新しい更新サンプルに対してデシメーションの開始を同期させたい場合は、AGCホールドオフ・カウンタ（0x0B、0x13）で該当するホールドオフ値を設定することができます。AGC制御ワードのSync nowビット（ビット3）をセットします。このビットを設定すると、ホールドオフ・カウンタ値がカウント・ダウンされ、カウンタがゼロになると、CICデシメーション値が更新されます。

新しい値に更新されると同時に、AGC制御ワードのInit on Syncビット（ビット2）がセットされていれば、CICフィルタのアキュムレータがリセットされます。AGC制御ワードのfirst sync onlyビット（ビット1）がセットされていなければ、各同期が新しい同期信号を開始します。このビットがセットされていないと、ホールドオフ・カウンタにホールドオフ・レジスタの値が再びロードされ、カウント・ダウンが開始され、同じプロセスを繰り返します。これらの追加機能によって、AGCの同期がより柔軟なものになり、さまざまな状況に適用できるようになります。

アドレス0x0A～0x11はAGC Aの設定用、アドレス0x12～0x19はAGC Bの設定用に予約されています。レジスタの仕様については、「出力ポート制御レジスタのメモリ・マップ」の項で詳しく説明します。

ユーザー設定が可能な内蔵セルフテスト（BIST）

AD6634には、各チャンネルの完全性をテストする2つの内蔵テスト機能があります。テスト機能の1つは、AD6634内蔵の高速ランダム・アクセス・メモリの完全性をテストするRAM BIST（内蔵セルフテスト）です。もう1つのテスト機能は、AD6634のメイン信号パスの完全性をテストするチャンネルBISTです。各BIST機能は互いに独立しており、各チャンネルを同時に別々にテストすることができます。

RAM BIST

RAM BISTを使用して、オンチップRAMの機能を検証することができます。このRAM BIST機能は、簡単な可否テストを行って、チャンネルRAMが正常に動作するかどうかを確認します。テストは次の手順で行います。

1. 外部アドレス・レジスタ0x011を使用して、被テスト・チャンネルをスリープ・モードにします。
2. RCFレジスタ0xA8のRAM BISTイネーブル・ビットをハイレベルに設定します。
3. クロック・サイクルが1600になるまで待ちます。
4. レジスタ0xA8を読み出します。ビット0がハイレベルなら、テストはまだ完了していません。ビット0がローレベルなら、テストが完了して、ビット1と2が内部RAMの状態を表示します。ビット1がハイレベルの場合、CMEM（係数メモリ）が不合格です。ビット2がハイレベルの場合、DMEM（データ・メモリ）が不合格です。

表VIII. BISTレジスタ0xA8

XA8	係数MEM	データMEM
XX1	テスト未完了	テスト未完了
000	合格	合格
010	不合格	合格
100	合格	不合格
110	不合格	不合格

チャンネルBIST

チャンネルBISTは、AD6634の選択した信号パス全体をテストします。このテスト・モードでは、外部から入力したベクトルまたは内部擬似ランダム・ジェネレータを使うことができます。RCFのエラー・シグネチャ・レジスタがチャンネルの出力データをモニターするので、これを使用して正常なデータがRCFから出力されているかどうかを判断します。エラーが検出された場合、各内部ブロックをバイパスして、別のテストを実行し、不具合をデバッグすることができます。IパスとQパスは別々にテストされます。テストは次の手順で行います。

1. デシメーション・レート、スケラ、RCF係数を設定するアプリケーションの要求に従って、被テスト・チャンネルを設定します。
2. チャンネルをスリープ・モードにしておきます。
3. 被テスト・チャンネルのスタート・ホールドオフ・カウンタを"1"に設定します。
4. メモリ・ロケーション0xA5と0xA6を"0"に設定します。
5. 0xA7のビット19～0に監視するRCF出力数を設定して、チャンネルBISTを有効にします。
6. 外部アドレス・レジスタ5のビット4をハイレベルに設定して、ソフト同期をスタートさせます。
7. 被テスト・チャンネルのSYNCビットをハイレベルに設定します。
8. ビット6を"0"に設定して、テスト・ベクトルを入力できるようにします。ビット7をハイレベルに設定して、内蔵擬似

AD6634

ランダム数ジェネレータで入力シーケンスを発生させることもできます。

- ビット6を"1"に設定し、ビット7をクリアすると、内部のフル・スケール正弦波を挿入することができます。
- SOFT_SYNCをアドレス指定すると、選択したチャンネルのスリープ・モードが解除され、処理が開始されます。
- 外部ベクトルを入力する場合は、チャンネルがデータの受信が可能な状態になるまでIEN入力のいずれかが非アクティブであるならば、他の方法でチップのスリープ・モードを解除することができます。
- 十分な時間が経過した後、チャンネルBISTシグネチャ・レジスタ (0xA5と0xA6) に数値が格納されます。この数値を使って、全く同じ設定の既知の正常なAD6634における期待値との比較ができます。値が同じなら、チャンネル内にエラーが存在する可能性は非常に小さいことになります。

チップの同期化

AD6634では、スタートとホップの2つのタイプの同期が可能です。以下にそれぞれについて詳しく説明します。同期は、シャドウ・レジスタとホールドオフ・カウンタを使って行われます。図34に、NCOシャドウ・レジスタとNCO周波数ホールドオフ・カウンタの基本動作を表した簡略回路図を示します。ホールドオフ・カウンタのクロック (AD6634 CLK) をイネーブルにするには、Soft_Sync (マイクロポート経由)、またはSYNCピン (AD6634のSYNCピンA、B、C、Dのいずれかを經由)で行うことができます。この機能は、同期を可能にするシャドウ・レジスタを用いて、次の動作を行います。

- スタート
- ホップ (NCO周波数)

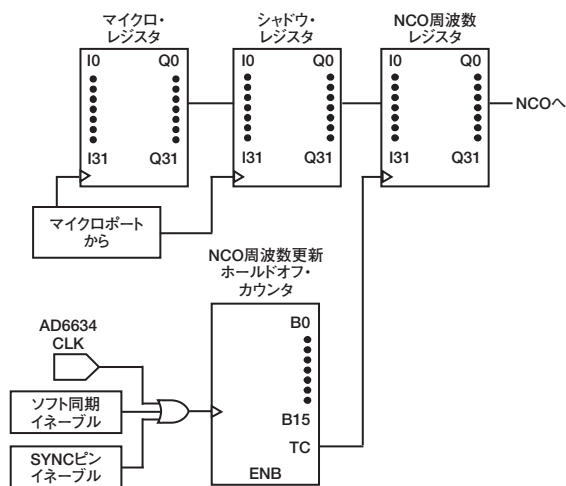


図34. NCOシャドウ・レジスタとホールドオフ・カウンタ

スタート

スタートとは、個々のチャンネル、チップ、または複数チップのスタートアップを意味します。使用しないチャンネルは、スリープ・モードに設定して消費電力を節約します。ハード・リセット (AD6634のRESETピンにロー・パルスを与える) を使用すると、すべてのチャンネルがスリープ・モードになります。スリープ機能を制御するモード・レジスタに書き込むことで、チャンネルを手動でスリープ・モードにすることもできます。

非同期スタート

同期させずに複数のチャンネルまたは複数のAD6634を起動する場合は、次の方法でデバイスを初期化します。

- チャンネルをプログラム設定するため、まずスリープ・モード (ビット・ハイレベル) に設定します (外部アドレス3)。次に、すべての該当する制御レジスタとメモリ・レジスタ (フィルタ) に書き込みを行います。スタート更新ホールドオフ・カウンタ (0x83) を"1"に設定します。
- スリープ・ビットをローレベルに設定します (外部アドレス3)。これによりチャンネルが有効になります。チャンネルをアクティブにするには、スリープ・モードをローレベルにしなければなりません。

ソフト同期によるスタート

AD6634には、マイクロプロセッサの制御によって複数のチャンネルまたはチップを同期させる機能があります。同期に必要な動作は、複数のチャンネルまたはチップを起動させることです。スタート更新ホールドオフ・カウンタ (0x83) にスタート・ビットとSYNCビット (外部アドレス5) を組み合わせることで、この同期が可能になります。基本的には、スタート更新ホールドオフ・カウンタが、その値 (AD6634のCLK数) だけチャンネルの起動を遅延させます。マイクロプロセッサ制御で複数チャンネルの起動を同期させるには、以下の方法を使用します。

- 該当するチャンネルをスリープ・モードに設定します (AD6634のRESETピンでハード・リセットすると、4チャンネルすべてがスリープ・モードになります)。
- DTACK (ピン57) がハイレベルになってからNCOがデータの処理を開始するまでの時間は、スタート更新ホールドオフ・カウンタ (0x83) 値に6マスター・クロック・サイクルを加算した時間になっています。
- スタート更新ホールドオフ・カウンタ (0x83) に該当する値 (1より大きく2¹⁶-1より小さい値) を書き込みます。チップが初期化されていない場合、この段階で他のすべてのレジスタに書き込みを行います。
- スタート・ビットとSYNCビットにハイレベルを書き込みます (外部アドレス5)。
- これにより、スタート更新ホールドオフ・カウンタがカウンタダウンを開始します。カウンタは、AD6634のCLK信号でクロック駆動されます。カウンタが1になると、該当するチャンネル (1つまたは複数) のスリープ・ビットがローレベルに設定され、チャンネルがアクティブになります。

SYNCピンによるスタート

AD6634には4本のSYNCピンA、B、C、Dがあり、これらを使用して、非常に正確な同期チャンネルを実現することができます。各チャンネルは、4本の同期ピンの任意のピンに対応するように設定できます。さらに、1つまたはすべてのチャンネルが1本の同期ピンをモニターしたり、各チャンネルがそれぞれ異なるピンをモニターしたりできるため、きわめて柔軟な同期が可能となります。外部信号の1つにスタートを同期させる方法は、次のとおりです。

- 該当するチャンネルをスリープ・モードに設定します (AD6634のRESETピンでハード・リセットすると、4チャンネルすべてがスリープ・モードになります)。
- SYNCピンがハイレベルになってからNCOがデータの処理を開始するまでの時間は、スタート更新ホールドオフ・カウンタ (0x83) 値に3マスター・クロック・サイクルを加算した時間になっています。
- スタート更新ホールドオフ・カウンタ (0x83) に該当する値 (1より大きく2¹⁶-1より小さい値) を書き込みます。チップが初期化されていない場合、この段階で他のすべてのレジスタに書き込みを行います。

4. Start on Pin Sync (SYNCピンによるスタート) ビット (外部アドレス4) と該当するSYNCピン・イネーブル (A、B、C、D) をハイレベルに設定します。
5. AD6634のCLKにより、SYNCピンがハイレベル状態でサンプリングされると、スタート更新ホールドオフ・カウンタのカウンタダウンが開始されます。カウンタは、AD6634のCLK信号でクロック駆動されます。カウンタが1になると、該当するチャンネルのスリープ・ビットがローレベルに設定され、チャンネルがアクティブになります。

ホップ

ホップとは、あるNCO周波数から新しいNCO周波数にジャンプすることです。この周波数の変化を、次に説明するように、マイクロプロセッサ制御 (ソフト同期) または外部同期信号 (ピン同期) によって同期させることができます。

同期を用いずにNCO周波数を設定するには、以下の方法を使用します。

周波数をホップなしに設定

1. NCO周波数のホールドオフ・カウンタを"0"に設定します。
2. 該当するNCO周波数を書き込みます。新しい周波数が直ちにNCOに書き込まれます。

ソフト同期によるホップ

AD6634には、マイクロプロセッサの制御によって、複数のチャンネルまたはチップでのNCO周波数の変化を同期させる機能があります。NCO周波数ホールドオフ・カウンタ (0x84) にホップ・ビットとSYNCビット (外部アドレス4) を組み合わせることで、この同期が可能になります。基本的には、NCO周波数ホールドオフ・カウンタが、その値 (AD6634のCLK数) だけ新しい周波数のNCOへの書き込みを遅延させます。マイクロプロセッサ制御で複数チャンネルの周波数ホップを同期させるには、以下の方法を使用します。

1. DTACK (ピン57) がハイレベルになってからNCOがデータの処理を開始するまでの時間は、NCO周波数ホールドオフ・カウンタ (0x84) の値に7マスター・クロック・サイクルを加算した時間になっています。
2. NCO周波数ホールドオフ (0x84) カウンタに該当する値 (1より大きく2¹⁶-1より小さい値) を書き込みます。
3. NCO周波数レジスタに新しい目標周波数を書き込みます。
4. ホップ・ビットとSYNCビットにハイレベルを書き込みます (外部アドレス4)。
5. これにより、NCO周波数ホールドオフ・カウンタがカウンタダウンを開始します。カウンタは、AD6634のCLK信号でクロック駆動されます。カウンタが1になると、新しい周波数がNCOに書き込まれます。

SYNCピンによるホップ

AD6634には、特に複数のAD6634間できわめて正確な同期を行うために4本のSYNCピンが用意されています。外部信号を用いて新しいNCO周波数へのホップを同期させる方法は、次のとおりです。

1. SYNCピンがハイレベルになってからNCOがデータの処理を開始するまでの時間は、NCO周波数ホールドオフ・カウンタ (0x84) 値に5マスター・クロック・サイクルを加算した時間になっています。
2. NCO周波数ホールドオフ・カウンタ (0x84) に該当する値 (1より大きく2¹⁶-1より小さい値) を書き込みます。
3. NCO周波数レジスタに新しい目標周波数を書き込みます。

4. Hop on Pin Sync (SYNCピンによるホップ) ビットと該当するSYNCピン・イネーブルをハイレベルに設定します。
5. AD6634のCLKにより、選択したSYNCピンがハイレベル状態でサンプリングされると、NCO周波数ホールドオフ・カウンタがカウンタダウンを開始します。カウンタは、AD6634のCLK信号でクロック駆動されます。カウンタが1になると、新しい周波数がNCOに書き込まれます。

パラレル出力ポート

AD6634には、出力データの伝送用に2つの独立した16ビットのパラレル・ポートが内蔵されています。2つのパラレル・ポートは、ピンと内部MUX回路を共有しています。パラレル・ポートとリンク・ポートをそれぞれ1つずつ同時に使用することができますが、これは同じデータ・パスを共有していない場合に限りです。つまり可能な組み合わせは、パラレル・ポートAとリンク・ポートB、またはパラレル・ポートBとリンクポートAの2種類になります。図35の簡略ブロック図に、AD6634の出力データの経路設定を示します。

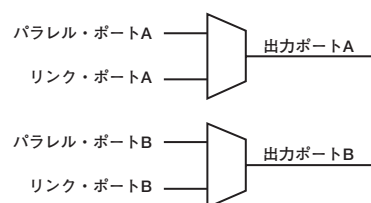


図35. 出力ポートのデータ経路

パラレル・ポートの設定は、ポート制御レジスタにおいてパラレル・ポートAおよびBに対してそれぞれアドレス0x1Aと0x1Cで指定します。ポート・クロックのマスター/スレーブ・モード (後述) は、アドレス0x1Eのポート・クロック制御レジスタで設定します。これらのレジスタにアクセスするには、外部アドレス3 (スリープ・レジスタ) のビット5 (アクセス・ポート制御レジスタ) がセットされていなければなりません。このアドレスは、外部アドレス6のCARレジスタを設定して選択します。

パラレル・ポートを有効にするには、リンク制御レジスタにおいてポートAおよびBに対してそれぞれアドレス0x1Bと0x1Dのビット7をセットします。

各パラレル・ポートは、チャンネル・モードまたはAGCモードのいずれでも動作することができます。各モードの詳細について、以下に説明します。

チャンネル・モード

パラレル・ポートのチャンネル・モードを選択するには、パラレル・ポートAおよびBについて、それぞれアドレス0x1Bと0x1Dのビット0をセットします。チャンネル・モードでは、各チャンネルからのIワードおよびQワードが、AGCをバイパスしてパラレル・ポートに送られます。パラレル・ポート制御レジスタ0x1A (ポートA) と0x1C (ポートB) のビット1~4をセットして、そのポートで出力する特定のチャンネルを選択します。

チャンネル・モードには、2つのデータ・フォーマットがあります。それぞれのフォーマットで、データ伝送を完了させるには、異なる数のパラレル・ポート・クロック (PCLK) サイクルが必要です。どちらのフォーマットの場合も、各データ・エレメントが1つのPCLKサイクル内に伝送されます。チャンネル・モードのパラレル・ポート・タイミングについては、図36および37を参照してください。

AD6634

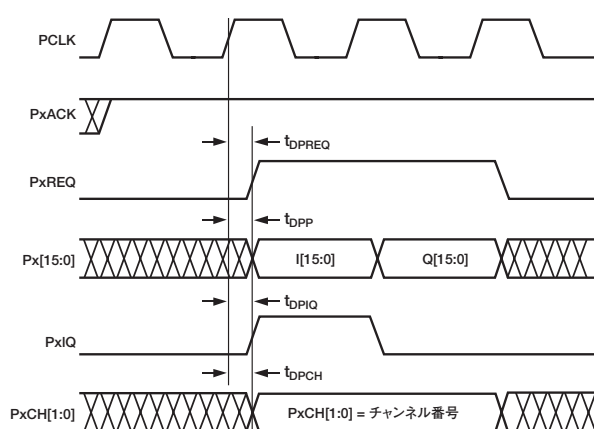


図36. チャンネル・モードのインターリーブ・フォーマット

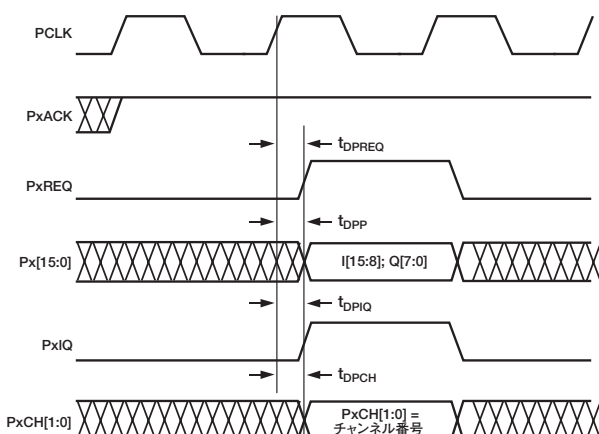


図37. チャンネル・モードの8I/8Qパラレル・フォーマット

16ビットのインターリーブ・フォーマットでは、連続するPCLKサイクルの各出力サンプルごとにIデータとQデータが得られます。IワードおよびQワードはともに、16ビットの全ポート幅で構成されます。REQとACKの両方がアサートのときに、PCLKの立ち上がりエッジでデータ出力がトリガーされます。最初のPCLKサイクルの間にIデータが出力されます。また、PAIQとPBIQの出力インジケータ・ピンがハイレベルに設定され、Iデータがバス上にあることを示します。次のPCLKサイクルの間にQデータが出力され、PAIQとPBIQの出力インジケータ・ピンがローレベルになります。

8ビットのコンカレント・フォーマットにより、1つのPCLKサイクルの間に8ビットのIデータと8ビットのQデータが同時に得られます。この出力もPCLKの立ち上がりエッジでトリガーされます。Iデータのバイトはポートの最上位バイトを占有しますが、Qデータのバイトは最下位バイトを占有します。PAIQとPBIQの出力インジケータ・ピンは、PCLKサイクルの間、ハイレベルに設定されます。複数チャンネルからのデータが連続して出力される場合は、すべてのチャンネルのデータ出力が完了するまでPAIQとPBIQの出力インジケータ・ピンはハイレベルのままになります。

PACH[1:0]とPBCH[1:0]ピンは、現在出力されているデータのソース・チャンネルを示す2ビット2進数を提供します。

できるだけ早くポートからデータを読み出すよう注意する必要があります。そうしないと、次の新しいサンプルが来て、現在のサンプルが上書きされてしまいます。これはチャンネル単位で発生します。すなわち、チャンネル0のサンプルは、チャンネル0の新しいサンプルによってのみ上書きされます。

データ出力の順序は、データがポートに到達するタイミング、総デシメーション・レートの関数、スタート・ホールドオフの値などによって決まります。優先順位は、チャンネル0、1、2、3の順（最上位から最下位への順）です。

AGCモード

パラレル・ポートのAGCモードを選択するには、パラレル・ポートAおよびBについて、それぞれアドレス0x1Aと0x1Cのビット0をクリアします。AGCモードでのIおよびQのデータ出力は、個々のチャンネルではなくAGCから出力されます。各AGCは、AD6634の2つのチャンネルだけからデータを受け取ります。AGC Aはチャンネル0と1から、AGC Bはチャンネル2と3からデータを受け取ります。チャンネルからの出力サンプル生成の位相がずれる（通常、180度）ように、各ペアのチャンネルを設定する必要があります。各パラレル・ポートは、AGC1つまたは両方のAGCからデータを提供することができます。レジスタのアドレス0x1A（ポートA）および0x1C（ポートB）のビット1と2が、それぞれAGC AとBからのデータの取り込みを制御します。

AGCモードでは、IおよびQのフォーマットが1つだけ得られます。これは、チャンネル・モードの16ビット・インターリーブ・フォーマットと同様です。REQとACKの両方がアサートのときに、PCLKの次の立ち上がりエッジで、16ビットAGC Iワードの出力がトリガーされ、PCLKの1サイクル間に出力されます。PAIQとPBIQの出力インジケータ・ピンは、このサイクルの間ハイレベルになり、それ以外はローレベルになります。16ビットのAGC Qワードは、次のPCLKサイクルの間に出力されます。AGCゲイン・ワードが最後のサンプル以降に更新されている場合、パラレル・ポートのデータ・ピンの12MSBでQワードに続くPCLKのサイクルの間に12ビットのRSSI（受信信号強度インジケータ）ワードが出力されます。RSSIワードは、AGCのゲイン乗算器で使用する信号ゲイン・ワードの反転ビットです。

AGCモードのPACH[1:0]およびPBCH[1:0]ピンで提供されるデータは、チャンネル・モードのときに提供されるデータとは異なります。AGCモードでは、PACH[0]およびPBCH[0]は、現在出力されているデータのAGCソースを示します（0=AGC A、1=AGC B）。PACH[1]およびPBCH[1]は、現在のデータがI/QワードまたはAGC RSSIワードのどちらになるかを示します（0=I/Qワード、1=AGC RSSIワード）。図38および39に、2種類のAGC出力を示します。

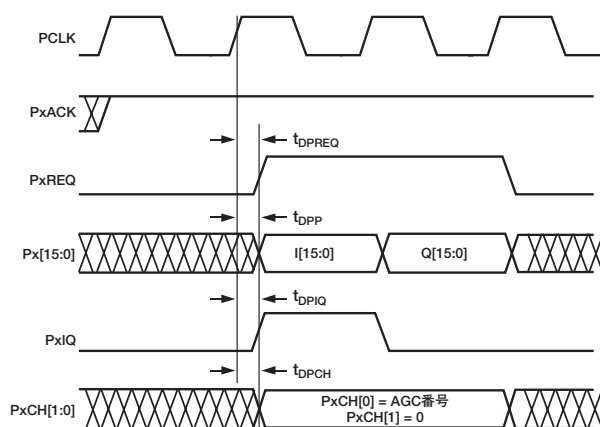


図38. RSSIワードを伴わないAGC出力

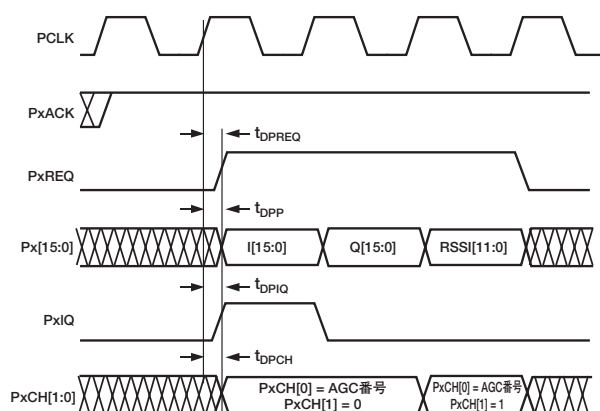


図39. RSSIワードを伴うAGC出力

マスター／スレーブPCLKモード

パラレル・ポートは、マスター・モードとスレーブ・モードのどちらかで動作します。モードは、ポート・クロック制御レジスタ（アドレス0x1E）で設定します。スレーブ・モードでパラレル・ポートを起動すると、PCLKピン上で発生する競合が回避されます。

マスター・モードでは、PCLKの出力は、PCLK除数で除算したAD6634クロック周波数になります。PCLK_除数[2:1]の値は0～3の範囲が可能であり、それぞれ1、2、4、8の整数除数が得られます。AD6634の最大クロック・レートが80MHzであるため、マスター・モードの最大PCLKレートも80MHzになります。マスター・モードは、アドレス0x1Eのビット0をセットして選択します。

スレーブ・モードでは、外部回路がPCLK信号を提供します。スレーブ・モードのPCLK信号は、同期または非同期のいずれかです。スレーブ・モードの最大PCLK周波数は、100MHzです。

パラレル・ポートのピン機能

パラレル・ポートで使用するピンの機能について、以下に説明します。

PCLK — 入力／出力。出力（マスター・モード）では、最大周波数はCLK/N（CLKはAD6634のクロック、Nは1、2、4、8の整数除数）になります。入力（スレーブ・モード）では、AD6634のCLKに対して非同期となります。このピンが入力として起動されると、競合が回避されます。他のポート出力は、PCLKの立ち上がりエッジで変化します。

REQ — PCLKに同期したアクティブHIGH出力。このピンのロジックがHIGHのときは、データをポートからシフト出力できることを示しています。ロジックHIGHの値は、待機中の全データのシフト出力が完了するまで、ハイレベルのままです。

ACK — アクティブHIGHの非同期入力。このピンをロジックLOWにすると、パラレル・ポートのデータ・シフトが禁止されます。REQがハイレベルのときに、このピンのロジックをHIGHにすると、設定したデータ・モードに応じて、パラレル・ポートがデータをシフト出力します。ACKは、PCLKの立ち上がりエッジでサンプリングされます。REQがアサートであれば、ACKがアサートになってからデータがパラレル・ポートに出力されるまでのレイテンシは、1.5PCLKサイクル以下になります（図12を参照）。ACKがずっとハイレベルのままになることがあります。この場合、データが利用可能になると、REQがアサートになってから1PCLKサイクル後にシフト出力が開始されます（図36を参照）。

PAIQ、PBIQ — Iデータがポート出力上にあるときは常にハイレベル、それ以外はローレベル。

PACH[1:0]、PBCH[1:0] — これらのピンは、どちらのデータ・モードでもデータ識別に利用します。チャンネル・モードでは、これらのピンは2ビット2進数となり、現在のデータ・ワードのソース・チャンネルを特定します。AGCモードでは、[0]はAGCソース（0=AGC A、1=AGC B）を示し、[1]は現在のデータ・ワードがI/Qデータ（0）かRSSIワード（1）のどちらであるかを示します。

PA[15:0]、PB[15:0] — パラレル出力データ・ポート。値とフォーマットは、モードによって異なります。

リンク・ポート

AD6634は、2つの設定可能なリンク・ポートを搭載し、TigerSHARC DSPとのシームレスなデータ・インターフェースを可能にします。各リンク・ポートで、AD6634が出力データをTigerSHARCの受信DMAチャンネルに書き込んで、メモリに転送させます。2つのリンク・ポートが互いに独立して動作するため、各リンク・ポートを異なるTigerSHARCに、または同じTigerSHARC上の異なるリンク・ポートに接続できます。図40に、2つのAD6634リンク・ポートの1つを、4つのTigerSHARCリンク・ポートの1つに接続する方法を示しています。リンク・ポートAはレジスタ0x1Bで、リンク・ポートBはレジスタ0x1Dで設定します。

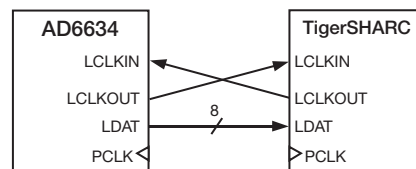


図40. AD6634とTigerSHARC間のリンク・ポート接続

リンク・ポートのデータ・フォーマット

各リンク・ポートは、5つのフォーマットでTigerSHARCにデータを出力できます。2チャンネル、4チャンネル、専用AGC、RSSIワードを伴う二重化AGC、RSSIワードを伴わない二重化AGCの5種類です。各フォーマットは、2バイトのIデータと2バイトのQデータを出力して、4バイトのIQペアを形成します。TigerSHARCのリンク・ポートがクワッド・ワード（16バイト）のブロックでデータを伝送するため、4つのIQペアで1クワッド・ワードを構成することになります。チャンネル・データが選択されている場合（0x1B/0x1Dのビット0=0）、4つのチャンネルの4バイトIQワードが連続して出力されるか、別のチャンネルのペアIQワードが出力されます。図41と42は、各リンク・ポートを設定するレジスタ値と、それぞれの事例で伝送されるクワッド・ワードを示しています。

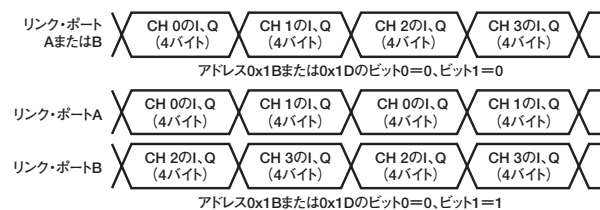


図41. RCFからのリンク・ポート・データ

AGC出力が選択されている場合（ビット0=1）、各AGCからRSSI情報をIQペアと一緒に送ることができます。各リンク・ポートで1つのAGCからのデータを出力するようにすることも、2つのリンク・ポートが同じAGCからのデータを出力するようにすることもできます。2つのリンク・ポートが同じデータを伝送する場合、IQワードでRSSI情報を送る必要があります（ビット2=0）。実際のRSSIワードは2バイト（12ビットで0を4つ後ろに付加）しかないので、リンク・ポートは各RSSIワードの直後に2バイトの0を送り、16バイトのクワッド・ワードを作ります。

AD6634

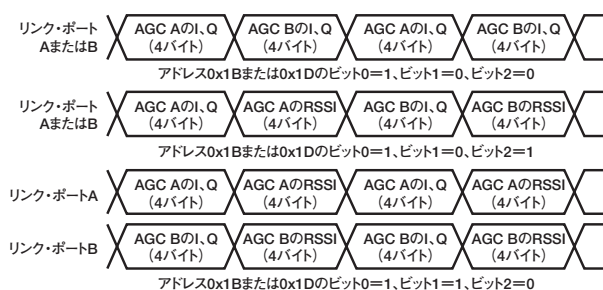


図42. AGCからのリンク・ポート・データ

ビット0=1、ビット1=0、ビット2=1の設定は無効です。リンク・ポートAでAGC AのIQとRSSIワードを出力する場合、およびリンク・ポートBでAGC BのIQとRSSIワードを出力する場合、ビット2を0に設定する必要があります。

リンク・ポートのタイミング

2つのリンク・ポートがPCLKを送出します。このPCLKは、外部からチップに提供されるか（アドレス0x1Eのビット0=0）、またはAD6634のマスター・クロックから生成されます（アドレス0x1Eのビット0=1）。このレジスタを0（スレプ・モード）で起動すると、ユーザーがAD6634からのデータ・レートを調整できるようになります。PCLKは100MHzの速さで動作させることができます。

レシーバからのレディ信号（LACLKIN、LBCLKINピン）に応答して、リンク・ポートが1バイトのデータ・ワード（LA[7:0]、LB[7:0]ピン）と出力クロック（LCLKOUT、LBCLKOUTピン）を提供します。各リンク・ポートがLCLKOUTの各エッジで8ビットを送送するため、8LCLKOUTサイクルで全16バイトのTigerSHARCクワッド・ワードの伝送が完了します。

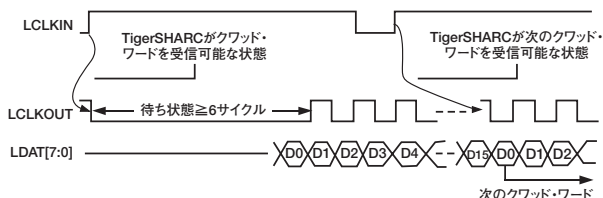


図43. リンク・ポートのデータ伝送

TigerSHARCリンク・ポートのプロトコルのために、AD6634は、TigerSHARCがデータ受信可能な状態になってから少なくとも6PCLKサイクルの間待機する必要があります。TigerSHARCがそれぞれのAD6634 LCLKINピンをハイレベルに設定すると、受信可能な状態です。AD6634のリンク・ポートが該当するPCLKサイクル数だけ待機した後にデータ伝送を開始すると、データ伝送中にTigerSHARCはAD6634 LCLKINにローレベル信号、次にハイレベル信号を送信して接続性チェックを行います。このようにして、TigerSHARCのDMAが現在のクワッド・ワードの受信を完了した後、次のクワッド・ワードの受信が可能になったことをAD6634リンク・ポートに知らせます。接続性チェックはデータ伝送と並行して行われるため、AD6634は途切れることなくデータをTigerSHARCに流すことができます。

データ伝送前の待ち時間は、リンク・ポート制御レジスタ（0x1Bおよび0x1Dのビット6~3）で設定するプログラマブルな4ビット値です。この値により、AD6634のPCLKとTigerSHARCのPCLKを、異なるレートで位相をずらせて動作させることが可能になります。

$$WAIT \geq \text{ceil} \left(6 \times \frac{f_{LCLK_34}}{f_{LCLK_TSHARC}} \right)$$

WAITは必ず、データ伝送を開始するために必要なAD6634の待ち時間が、TigerSHARCが想定しているAD6634の最小待ち時間以上になるようにします。AD6634のPCLKとTigerSHARCのPCLKの位相がずれていて、ceil()関数の引数が整数の場合、WAITは、上式で与えられる値よりも必ず大きくなければなりません。LCLKが同相の場合、最大出力データ・レートは次のとおりです。

$$f_{LCLK_34} \leq \frac{15}{6} \times f_{LCLK_TSHARC}$$

LCLKが同相でない場合、最大出力データ・レートは次のとおりです。

$$f_{LCLK_34} \leq \frac{14}{6} \times f_{LCLK_TSHARC}$$

TigerSHARCの設定

このようなリンクでは常にAD6634がトランスミッタでTigerSHARCがレシーバになることから、AD6634出力データの受信に使用するリンク・ポートのLCTLレジスタに表IXの値を設定できます。表中の「ユーザー」は、実際のレジスタ値がユーザーの使用しているアプリケーションによって異なることを意味します。

表IX. TigerSHARC LCTLxレジスタの設定

VERE	0
SPD	ユーザー
LTEN	0
PSIZE	1
TTOE	0
CERE	0
LREN	1
RTOE	1

メモリ・マップ

0x00~0x7F: 係数メモリ (CMEM)

RCFが使用する係数メモリ (C-MEM) です (表Xを参照)。20ビットで128ワードとしてメモリにマップされます。RAMの2番目の128ワードは、チャンネル・アドレス0xA4のRCF制御レジスタのビット8にハイレベルを書き込み、同じロケーションからアクセスできます。フィルタの計算では常にIとQに同じ係数を使用します。128ブロックの2つのメモリを使用し、最大160タップのフィルタを計算できます。チャンネル・アドレス0xA3の係数オフセット・レジスタに1回内部アクセスするだけで、複数のフィルタのロードと選択ができます。

表X. チャンネル・アドレス・メモリ・マップ

チャンネル・アドレス	レジスタ	ビット幅	コメント
00~7F	係数メモリ (CMEM)	20	128×20ビット・メモリ
80	チャンネル・スリープ	1	0: EXT_ADDRESS 3からのスリープ・ビット
81	Soft_Sync制御レジスタ	2	1: ホップ 0: スタート
82	Pin_SYNC制御レジスタ	3	2: 最初のSYNCのみ 1: Hop_En 0: Start_En
83	スタート・ホールドオフ・カウンタ	16	スタート・ホールドオフ値
84	NCO周波数ホールドオフ・カウンタ	16	NCO_FREQホールドオフ値
85	NCO周波数レジスタ0	16	NCO_FREQ[15:0]
86	NCO周波数レジスタ1	16	NCO_FREQ[31:16]
87	NCO位相オフセット・レジスタ	16	NCO_PHASE[15:0]
88	制御レジスタ	9	8~7: SYNC入力セレクト [1:0] 6: WB入力セレクト B/A 5~4: 入力イネーブル制御 11: IENの立ち下がり変化でクロック 10: IENの立ち上がり変化でクロック 01: IENのハイレベルでクロック 00: IENのローレベルでマスク 3: ホップ時に位相アキュムレータをクリア 2: 振幅ディザ 1: 位相ディザ 0: バイパス (A-入力→Iパス、B→Q)
89~8F	未使用		

0x80: チャンネル・スリープ・レジスタ

このレジスタは、チャンネルのスリープ・ビットを格納します。このビットがハイレベルの場合、チャンネルは低消費電力状態になります。ローレベルの場合、チャンネルはデータを処理します。外部アドレス3にあるスリープ・レジスタにアクセスして、このビットを設定することもできます。外部スリープ・レジスタにアクセスすると、4チャンネルが全部同時にアクセスされ、それぞれのスリープ・ビットが適切に設定されます。

0x81: Soft_SYNCレジスタ

このレジスタは、マイクロポートを介して同期イベントを開始させるときに使用します。ホップ・ビットにハイレベルを書き込むと、アドレス0x84のホップ・ホールドオフ・カウンタがロードされて、カウント・ダウンが開始されます。この値が1になると、NCOアキュムレータが使用するNCO周波数レジスタにチャンネル・アドレス0x85と0x86からデータがロードされます。スタート・ビットをハイレベルに設定すると、スタート・ホールドオフ・カウンタにアドレス0x83の値がロードされて、カウント・ダウンが開始されます。この値が1になると、アドレス0x80のスリープ・ビットがローレベルになって、チャンネルがスタートします。

0x82: Pin_SYNCレジスタ

このレジスタは、SYNCピンの機能を制御するときに使用します。4本のSYNCピンのいずれかを選択して、チャンネルからモニターすることができます。ホップ・ビットまたはスタート・ビットをハイレベルに設定して、スタートまたはホップ同期イベントを開始するようにチャンネルを設定できます。このビットはイネーブルとして機能し、SYNCパルスが発生したとき、Soft_SYNCと同じように、スタートまたはホップ・ホールドオフ・カウンタがアクティブになります。

0x83: スタート・ホールドオフ・カウンタ

Start_Syncが開始されたとき、このアドレスに書き込まれた値がスタート・ホールドオフ・カウンタにロードされます。Start_Syncは、Soft_SYNCまたはPin_SYNCで開始することができます。カウンタがデクリメントを開始し、値が1になったときに、チャンネルのスリープ状態が解除されてデータの処理が開始されます。チャンネルがすでに動作中の場合は、フィルタの位相が調整されて、複数のAD6634が同期されます。この方法でSYNCピンの周期パルスを使用し、フィルタのタイミングをADCサンプル・クロックの分解能で調整することができます。このレジスタに1を書き込むと、SYNCがチャンネルに入力されたときに直ちにスタートが開始されます。0を書き込むと、SYNCは発生しません。

0x84: NCO周波数ホールドオフ・カウンタ

Soft_SYNCまたはPin_SYNCのいずれかがチャンネルに入力されたとき、このアドレスに書き込まれた値がNCO周波数ホールドオフ・カウンタにロードされます。カウンタがカウント・ダウンを開始し、カウントが1になると、NCO周波数ワードがアドレス0x85と0x86の値で更新されます。これはホップまたはHop_SYNCと呼ばれています。このレジスタに1を書き込むと、SYNCがチャンネルに入力されたときに直ちにNCO周波数が更新されます。0を書き込むと、ホップは発生しません。チャンネル・アドレス0x88のNCO制御レジスタのビット3の状態に応じて、NCOホップは位相連続または位相不連続になります。このビットがローレベルの場合、NCOの位相アキュムレータはクリアされず、SYNCが発生すると直ちにアキュムレータに対して新しいNCO周波数ワードの加算が開始されます。このビットがハイレベルの場合、NCOの位相アキュムレータは0にクリアされて、新しいワードが累算されます。

AD6634

0x85：NCO周波数レジスタ0

このレジスタは、NCO周波数ワードの16 LSBを表します。これらのビットはシャドウされ、チャンネルのスリープ状態が解除されるか、Soft_SYNCまたはPin_SYNCが出力されるまで、処理に使われるレジスタに反映されません。後者の2つのケースでは、周波数ホールドオフ・カウンタ値が1になったとき、レジスタが更新されます。周波数ホールドオフ・カウンタが1に設定されている場合、シャドウが書き込まれると直ちにレジスタが更新されます。

0x86：NCO周波数レジスタ1

このレジスタは、NCO周波数ワードの16 MSBを表します。これらのビットはシャドウされ、チャンネルのスリープ状態が解除されるか、Soft_SYNCまたはPin_SYNCが出力されるまで、処理に使われるレジスタに反映されません。後者の2つのケースでは、周波数ホールドオフ・カウンタ値が1になったときのみ、レジスタが更新されます。周波数ホールドオフ・カウンタが1に設定されている場合、シャドウが書き込まれると直ちにレジスタが更新されます。

0x87：NCO位相オフセット・レジスタ

このレジスタは、NCOに対する16ビットの位相オフセットを表します。0～ 2π 未満の範囲の値として解釈されます。

0x88：NCO制御レジスタ

この9ビット・レジスタは、NCOとチャンネルの機能を制御します。各ビットは以下のように定義されます。詳細については、「数値制御発振器」の項を参照してください。

ビット8～7は、チャンネルが使用するピンを4本のSYNCピンから選択します。選択したSYNCピンは、チャンネルのスタート、ホップ、またはタイミング調整の開始に使用されます。詳細については、「同期」の項を参照してください。

ビット6は、チャンネルがAまたはBのどちらの入力ポートを使用するか決めます。このビットがローレベルの場合はA入力ポート、ハイレベルの場合はB入力ポートが選択されます。各入力ポートは、14ビットの入力仮数部 (INx[13:0])、3ビットの指数部 (EXPx[2:0])、入力イネーブル・ピンIENxから構成されます。xは、AまたはBを表します。

ビット5～4は、チャンネルのサンプル・クロックを高速CLK信号から取り出す方法を決定します。以下に定義する4種類が選択できます。これらの詳細については、データシートの「数値制御発振器」の項を参照してください。

ビット5～4が"00"の場合、チャンネルの入力サンプル・レート (f_{SAMP}) が高速CLK信号のレートに等しくなります。IENがローレベルの場合、チャンネルに入力されるデータはマスクされて0になります。このモードは、レシーバが伝送したデータをマスクしながら、次の受信バーストに対して正しい位相を維持することが必要となるTDDシステムに適しています。

ビット5～4が"01"の場合、入力サンプル・レートは、IEN入力が高レベルであるCLKの立ち上がりエッジによって決定されます。たとえば、CLKの各立ち上がりエッジでIENが切り替わる場合、IEN信号は、CLKの1つおきの立ち上がりエッジだけでハイレベルにサンプルされます。これは、入力サンプル・レート f_{SAMP} がCLKレートの1/2になることを意味します。

ビット5～4が"10"の場合、入力サンプル・レートは、IENピンが切り替わるレートにより決定されます。IENの立ち上がり変化の後の、CLKの立ち上がりエッジでキャプチャされたデータが処理されます。ビット5～4が"11"の場合、アキュムレータとサンプルのCLKは、IENピンが切り替わるレートによって決定されます。IENの立ち下がり変化の後の、CLKの立ち上がりエッジでキャプチャされたデータが処理されます。たとえば、制御モード"10"と"11"を使用して、AまたはBの入力ポートからのデータをインターリーブし、それぞれのチャンネルに割り当てることができます。IENピンは、1つのチャンネルをモード10、別のチャンネルをモード11に設定するようにデータを選択します。

ビット3は、ホップの発生時にNCO位相アキュムレータをクリアするかどうかを指定します。ホップはPin_SYNCまたはSoft_SYNCから開始できます。このビットが"0"に設定されている場合、ホップは位相連続で、アキュムレータはクリアされません。このビットが"1"に設定されている場合、アキュムレータがクリアされて"0"になり、新しい周波数ワードの累算を開始します。これは、複数のチャンネルが異なる周波数から共通の周波数へホップする場合に適しています。

ビット2～1は、NCOのディザを有効にするかどうかを制御します。ディザ機能の使用は、システムの制約条件によって大きく異なります。ディザの使用に関する詳細については、データシートの「数値制御発振器」の項を参照してください。

ビット0により、NCO周波数変換段をバイパスできます。バイパスされると、A入力ポートからのデータはチャンネルのIパスに、B入力ポートからのデータはチャンネルのQパスに渡されます。これにより、ベースバンドのIおよびQデータに対し実数フィルタが実行されます。

表XI. チャンネル・アドレス・メモリ・マップ

チャンネル・アドレス	レジスタ	ビット幅	コメント
90	rCIC2デシメーション-1	12	$M_{rCIC2}-1$
91	rCIC2インターポレーション-1	9	$L_{rCIC2}-1$
92	rCIC2スケール	12	11: 指数部反転 10: 指数部の重み 9~5: rCIC2_QUIET[4:0] 4~0: rCIC2_LOUD[4:0]
93	予約済み	8	予約済み (ローレベルを書き込む必要があります)
94	CIC5デシメーション-1	8	$M_{CIC5}-1$
95	CIC5スケール	5	4~0: CIC5_SCALE[4:0]
96	予約済み	8	予約済み (ローレベルを書き込む必要があります)
97~9F	未使用		
A0	RCFデシメーション-1	8	$M_{RCF}-1$
A1	RCFデシメーション位相	8	P_{RCF}
A2	RCFタップ数-1	8	$N_{TAPS}-1$
A3	RCF係数オフセット	8	CO_{RCF}
A4	RCF制御レジスタ	11	10: RCFバイパスBIST 9: RCF入力セレクト (自0、他1) 8: プログラムRAMバンク1/0 7: 共通指数部を使用 6: 出力スケールを強制 5~4: 出力フォーマット 1x: 浮動小数点12+4 01: 浮動小数点8+4 00: 固定小数点 3~0: 出力スケール1
A5	IパスのBISTシグネチャ	16	BIST-I
A6	QパスのBISTシグネチャ	16	BIST-Q
A7	アキュムレートするBISTの出力数	20	19~0: 出力数 (読み出しカウンタ値)
A8	RAM BIST制御レジスタ	3	2: D-RAM不合格/合格 1: NC-RAM不合格/合格 0: RAM BISTイネーブル
A9	出力制御レジスタ		9: BISTレジスタにRCFデータをマップ 5: 出力フォーマット 1: 16ビットIおよび16ビットQ 0: 12ビットIおよび12ビットQ

0x90: rCIC2デシメーション-1 ($M_{rCIC2}-1$)

このレジスタは、rCIC2フィルタのデシメーションを設定するときに使用します。このレジスタに書き込む値は、デシメーションから1を減算した値です。rCIC2デシメーションの設定可能な範囲は、チャンネルのインターポレーションに応じて1~4096です。デシメーションは常にインターポレーションより大きい値でなければなりません。 $M_{rCIC2} > L_{rCIC2}$ となり、両方とも適切なrCIC2スケラを選択できるような値を選ぶ必要があります。詳細については、「2次rCICフィルタ」の項を参照してください。

0x91: rCIC2インターポレーション-1 ($L_{rCIC2}-1$)

このレジスタは、rCIC2フィルタのインターポレーションを設定するときに使用します。レジスタに書き込む値は、インターポレーションから1を減算した値です。rCIC2インターポレーションの設定可能な範囲は、rCIC2のデシメーションに応じて1~512です。このインターポレーションにはタイミング誤差は発生しません。詳細については、「2次rCICフィルタ」の項を参照してください。

0x92: rCIC2スケール

rCIC2スケール・レジスタは、rCIC2のゲインを補償する減衰を与えるとき、および浮動小数点入力からのデータのリニア化を調整するときに使用します。このスケール・レジスタの使用は、rCIC2の増大と浮動小数点入力ポートの両方から影響を受けます。詳細については、「2次rCICフィルタ」の項を参照してください。rCIC2スケラは、指数部オフセットと組み合わせて、

入力ポートとrCIC2セクションの両方で適切に処理する必要があります。

ビット11は、指数部の極性を指定します。AD6600などのADCを使用するのでなければ、通常このビットはクリアされます。AD6600などの使用時は、ビットをセットします。

ビット10は、入力ポートに対応する指数部ワードの重みを指定します。このビットがローレベルの場合、各指数部段は6.02dBに相当すると見なされます。ハイレベルの場合は、12.02dBに相当すると見なされます。

ビット9~5は実際のスケール値で、チャンネルに対応するレベル・インジケータ、LIピンがアクティブのときに使用されます。

ビット4~0は実際のスケール値で、チャンネルに対応するレベル・インジケータ、LIピンがアクティブのときに使用されます。

0x93:

予約済み (ローレベルを書き込む必要があります)

0x94: CIC5デシメーション-1 ($M_{CIC5}-1$)

このレジスタは、CIC5フィルタのデシメーションを設定するときに使用します。レジスタに書き込む値は、デシメーションから1を減算した値です。これは8ビット・レジスタですが、デシメーションは通常1~32の値に制限されます。32より大きいデシメーションはCIC5の能力を超えたスケールリングを必要とします。

AD6634

0x95：CIC5スケール

CIC5スケール係数は、CIC5フィルタの増大を補償するときに使用します。詳細については、「5次CICフィルタ」の項を参照してください。

0x96：

予約済み（ローレベルを書き込む必要があります。）

0xA0：RCFデシメーションー1 ($M_{RCF}-1$)

このレジスタは、RCF段のデシメーションを設定するときに使用します。レジスタに書き込む値は、デシメーションから1を減算した値です。これは8ビット・レジスタで、最大256までのデシメーションが可能です。ほとんどのフィルタ処理では、デシメーションを1～32の値に制限する必要があります。これより大きいデシメーションも可能ですが、アプリケーションによっては、RCFのエイリアス保護が許容されない場合があります。

0xA1：RCFデシメーション位相 (P_{RCF})

このレジスタを使用すると、フィルタの M_{RCF} 位相の任意の1つが使用可能になり、ダイナミックに調整することができます。フィルタを開始するたびに、位相が更新されます。チャンネルを同期化すると、ここで選択した位相設定値が維持されます。これを外部プロセッサによるタイミング再生ループの一部として使用したり、1ペアのRCFを使用しながら複数のRCFを協調動作させることができます。詳細については、「RAM係数フィルタ」の項を参照してください。

0xA2：RCFタップ数ー1 ($N_{TAPS}-1$)

RCFフィルタのタップ数から1を減算した値を書き込みます。

0xA3：RCF係数オフセット (CO_{RCF})

このレジスタは、フィルタに使用する256ワード係数メモリのセクションを指定するときに使用します。このレジスタにより、メモリにロードされ、レジスタのポインタによって参照される複数のフィルタからの選択が可能になります。レジスタはシャドウされ、新しいフィルタを開始するたびにフィルタ・ポイントが更新されます。この機能により、フィルタの計算中でも動作を中断して、係数オフセットの書き込みが可能です。RCFから出力される次のサンプルには、新しいフィルタが用いられます。

0xA4：RCF制御レジスタ

RCF制御レジスタは11ビットのレジスタで、RCFの全般的な機能と出力フォーマットを制御します。レジスタのビットと機能について、以下に説明します。

ビット10は、RCFフィルタをバイパスして、CIC5出力データをBIST-IとBIST-Qのレジスタに転送します。チャンネル・アドレス0xA9にあるRFC制御レジスタのビット9がセットされていれば、このレジスタからCIC5データの16MSBにアクセスすることができます。

ビット9は、RCFへの入力データのソースを制御します。このビットが"0"の場合、RCFは自チャンネルの出力データを処理します。このビットが"1"の場合、RCFは別のチャンネルのCIC5から出力されるデータを処理します。ビットが"1"のときにRCFが接続されるCIC5を、表XIIに示します。これらを使用すると、複数のRCFを用いて広い帯域幅のチャンネル処理を実現することができます。詳細については、「マルチプロセッシング」の項を参照してください。

表XII. RCF入力の設定

チャンネル	ビット9が"1"のときのRCF入力ソース
0	1
1	0
2	1
3	1

ビット8は、0x00～0x7Fのチャンネル・アドレスを用いてCMEMの2番目の128ワード・ブロックをアドレス指定できるようにする補助アドレスとして使用します。このビットが"0"の場合は最初の128ワードが書き込まれ、"1"の場合は2番目の128ワードが書き込まれます。このビットは、係数メモリをプログラム設定するときのみ使用され、処理に使用することは一切ありません。また、128タップより長いフィルタを実行することができます。

ビット7は、AD6634 RCFデータの出力フォーマットを制御するときに利用します。このビットは、8+4または12+4の浮動小数点モードが選択されているときにのみ使用します。これらのモードは、以下に説明するように、レジスタのビット5と4を用いて有効にします。このビットが"0"の場合、IとQの出力指数部は、それぞれの振幅に基づいて個別に決定されます。このビットが"1"の場合、IデータとQデータは複素数浮動小数であり、IまたはQの最大振幅に基づいて決定される1つの指数部をIとQが使用します。

ビット6は、浮動小数点出力モードの1つが使用されている場合でも、強制的にこのレジスタのビット3～0に格納されている出力スケール係数を用いてデータをスケールリングするときに使用します。選択した出力スケールで表すには値が大き過ぎる場合でも、IデータとQデータの仮数部がクリップされるため、オーバーフローが発生することはありません。

ビット5とビット4で、RCFデータが使用する出力フォーマットのオプションを選択します。各オプションを表XIIIに示します。詳細については、「出力フォーマット」の項で説明します。

表XIII. 出力フォーマット

ビット値	出力オプション
1x	12ビット仮数部と4ビット指数部 (12+4)
01	8ビット仮数部と4ビット指数部 (8+4)
00	固定小数点モード

ビット3～0は、RCFの出力スケール係数を表します。出力フォーマットが固定小数点モードまたはForce Exponentビットがハイレベルのときに、このビットをデータのスケールリングに使用します。

0xA5：I用BISTレジスタ

このレジスタには、2つの用途があります。1つは、チャンネル内のIデータ・バスの全機能をシステムでテストできるようにすることで、この詳細についてはデータシートの「BIST」の項を参照してください。もう1つは、マイクロポートを介してI出力データへのアクセスを可能にすることです。これを行うには、RFC制御レジスタ2、0xA9のMap RCF data to BISTビットをハイレベルに設定します。これで、マイクロポートを介して、8+4、12+4、12ビット・リニアまたは16ビット・リニアの出力モードでIデータの16ビットを読み出すことができます。このデータは、フォーマットされたRCF出力またはCIC5出力から得られます。

0xA6：Q用BISTレジスタ

このレジスタには、2つの用途があります。1つは、チャンネル内のQデータ・バスの全機能をシステムでテストできるようにすることで、この詳細についてはデータシートの「BIST」の項を参照してください。もう1つは、マイクロポートを介してQ出力データへのアクセスを可能にすることです。これを行うには、RFC制御レジスタ2、0xA9のMap RCF data to BISTビットをハイレベルに設定します。これで、マイクロポートを介して、8+4、12+4、12ビット・リニアまたは16ビット・リニアの出力モードでQデータの16ビットを読み出すことができます。このデータは、フォーマットされたRCF出力またはCIC5出力から得られます。

0xA7: BIST制御レジスタ

このレジスタは、BISTテストを実行する際に対象となるRCFまたはCICフィルタの出力数を制御します。アドレス0xA5および0xA6にあるBISTシグネチャ・レジスタが、この出力数を観測してから、終了します。このレジスタに書き込みを行っても、BISTエンジンが動作を開始します。BIST回路の使用の詳細については、「ユーザー設定が可能な内蔵セルフテスト (BIST)」の項を参照してください。

0xA8: RAM BIST制御レジスタ

このレジスタは、AD6634のメモリの不具合が疑われる場合にメモリのテストに使用します。チャンネルがスリープ状態の場合、このレジスタのビット0には"1"が書き込まれており、1600 CLKの間待ってから、ビットのポーリングを行います。ビット1がハイレベルの場合はCMEMが不合格で、ビット2がハイレベルの場合はRCFの使用データ・メモリが不合格です。

0xA9: 出力制御レジスタ

このレジスタのビット9で、RCFまたはCIC5データをアドレス0xA5および0xA6のBISTレジスタにマップできるようになります。このビットが"0"の場合、BISTレジスタはシグネチャ・モードになり、セルフテストを実行できます。"1"の場合、フォーマット済みのRCF出力データまたはCIC5データがレジスタにマップされ、マイクロポートを介して読み出すことができます。

ビット5は、パラレル・ポートが使用するワード長を決定します。このビットが"0"の場合、パラレル・ポートはIおよびQに対して12ビット・ワードを使用します。"1"の場合、パラレル・ポートはIおよびQに対して16ビットを使用します。固定小数点出力オプションがRCF制御レジスタで選択されている場合は、これらのビットでRFCの出力フォーマットにおける正しいまめ処理を設定します。

このレジスタの残りのビットは予約されていて、プログラム設定する場合はローレベルを書き込む必要があります。

入力/出力ポート・レジスタにアクセスするには、**SLEEP**レジスタ（外部メモリ・マップにある）のビット5にハイレベルを書き込みます。次に、適切な入力ポート・レジスタへのアドレスをCARに書き込みます。

入力ポート制御レジスタ

入力ポート制御レジスタは、主に入力の検出とレベルの制御に使用されるさまざまな入力関連の機能を有効にします。動作モードに応じて、これらのレジスタで最大4つの異なるパスをモニターできます。これらの機能にアクセスするには、外部アドレス3（スリープ・レジスタ）のビット5を設定し、CAR（外部アドレス6）を使用して利用可能な8個のロケーションをアドレス指定します。

これらの設定値に対する応答は、LIA-A、LIA-B、LIB-A、LIB-Bピンに向けて送られます。

0x00 下限スレッシュールドA

このワードは10ビット幅で、仮数部の上位10ビットにマップされます。入力ポートAの上位10ビットがこの値以下になると、下限スレッシュールド条件が満たされます。通常のチップ動作では、これによりドウェル・タイム・カウンタが開始します。入力信号がこの値を超えると、カウンタが再ロードされ、入力がこのレベルに戻るのを待ちます。

0x01 上限スレッシュールドA

このワードは10ビット幅で、仮数部の上位10ビットにマップされます。入力ポートAの上位10ビットがこの値以上になると、上限スレッシュールド条件が満たされます。通常のチップ動作では、これにより該当するLIピン（LIA-AまたはLIA-B）がアクティブになります。

0x02 ドウェル・タイムA

このレジスタは、入力信号が下限スレッシュールド以下になってからLIピンが非アクティブになるまでの時間を設定します。入力レベル検出回路が動作するには、ドウェル・タイムを少なくとも"1"に設定する必要があります。"0"に設定すると、LI機能は無効になります。

このレジスタは、20ビットのレジスタです。上限スレッシュールドを通過した後に下限スレッシュールド条件が満たされると、ドウェル・タイム・カウンタがロードされ、高速クロック・サイクルのカウントが開始され、入力が下限スレッシュールド以下である限り、カウントが継続します。信号が下限スレッシュールドを超えると、カウンタが再ロードされて、信号が下限スレッシュールド以下に戻るのを待ちます。

0x03 ゲイン・レンジA制御レジスタ

ビット4は、LIA-AとLIA-Bの極性を指定します。このビットがクリアされている場合、LI信号は、上限スレッシュールドを超えているときにハイレベルになります。このビットがセットされている場合、LIピンはアクティブのときローレベルになります。このように、きわめて柔軟にこの機能を使用できます。

ビット3で、入力を1つのチャンネルで構成するか、AD6600を使用する場合のように複数のTDMチャンネルで構成するかを指定します。このビットがクリアされている場合、単一ADCと見なされます。このモードでは、LIA-Aがアクティブ出力インジケータとして機能し、LIA-BはLIA-Aの補完的役割を果たします。このビットがセットされている場合、入力はデュアル・チャンネルと判断され、IENAピンの状態に依存します。IENAピンがローレベルの場合、検出された入力はLIA-Aに向けて送られます。IENAピンがハイレベルの場合、入力はLIA-Bに向けて送られます。いずれの場合も、ビット4がこれらの信号の実際の極性を決定します。

表XIV. 入力ポート制御レジスタのメモリ・マップ

チャンネル・アドレス	レジスタ	ビット幅	コメント
00	下限スレッシュールドA	10	9~0: 入力Aの下限スレッシュールド
01	上限スレッシュールドA	10	9~0: 入力Aの上限スレッシュールド
02	ドウェル・タイムA	20	19~0: 下限スレッシュールドAを下回る最小時間
03	ゲイン・レンジA制御レジスタ	5	4: 出力極性LIA-AおよびLIA-B 3: インターリーブ・チャンネル 2~0: リニア化ホールドオフ・レジスタ
04	下限スレッシュールドB	10	9~0: 入力Bの下限スレッシュールド
05	上限スレッシュールドB	10	9~0: 入力Bの上限スレッシュールド
06	ドウェル・タイムB	20	19~0: 下限スレッシュールドBを下回る最小時間
07	ゲイン・レンジB制御レジスタ	5	4: 出力極性LIB-AおよびLIB-B 3: インターリーブ・チャンネル 2~0: リニア化ホールドオフ・レジスタ

AD6634

ビット2～0は、ゲイン検出機能の内部レイテンシを決定します。LIA-AピンとLIA-Bピンがアクティブになると、通常これらを使用して減衰器またはゲイン段の変更が行われます。ADCより前にこれがあるため、ADCに伴うレイテンシと、ゲイン変化のセトリングに伴うレイテンシが発生します。このレジスタで、LIA-A信号とLIA-B信号の内部遅延をプログラム設定できます。

0x04 下限スレッシュホールドB

このワードは10ビット幅で、仮数部の上位10ビットにマップされます。入力ポートBの上位10ビットがこの値以下になると、下限スレッシュホールド条件が満たされます。通常のチップ動作では、これによりドウェル・タイム・カウンタが開始します。入力信号がこの値を超えると、カウンタが再ロードされ、入力がこのレベルに戻るのを待ちます。

0x05 上限スレッシュホールドB

このワードは10ビット幅で、仮数部の上位10ビットにマップされます。入力ポートBの上位10ビットがこの値以上になると、上限スレッシュホールド条件が満たされます。通常のチップ動作では、これにより該当するLIピン（LIB-AまたはLIB-B）がアクティブになります。

0x06 ドウェル・タイムB

このレジスタは、入力信号が下限スレッシュホールド以下になってからLIピンが非アクティブになるまでの時間を設定します。入力レベル検出回路が動作するには、ドウェル・タイムを少なくとも"1"に設定する必要があります。"0"に設定すると、LI機能は無効になります。

このレジスタは、20ビットのレジスタです。上限スレッシュホールドを通過した後に下限スレッシュホールド条件が満たされると、ドウェル・タイム・カウンタがロードされ、高速クロック・サイクルのカウンタが開始され、入力が下限スレッシュホールド以下である限り、このカウンタが継続します。信号が下限スレッシュホールドを超えると、カウンタが再ロードされて、信号が下限スレッシュホールド以下に戻るのを待ちます。

0x07 ゲイン・レンジB制御レジスタ

ビット4は、LIB-AとLIB-Bの極性を指定します。このビットがクリアされている場合、LI信号は、上限スレッシュホールドを超えているときにハイレベルになります。このビットがセットされている場合、LIピンはアクティブのときローレベルになります。このように、きわめて柔軟にこの機能を使用できます。

ビット3で、入力を1つのチャンネルで構成するか、AD6600を使用する場合のように複数のTDMチャンネルで構成するかを指定します。このビットがクリアされている場合、単一ADCと見なされます。このモードでは、LIB-Aはアクティブ出力インジケータとして機能し、LIB-BはLIB-Aの補完的役割を果たします。このビットがセットされている場合、入力はデュアル・チャンネルと判断され、IENBピンの状態に依存します。IENBピンがローレベルの場合、検出された入力はLIB-Aに向けて送られます。IENBピンがハイレベルの場合、入力はLIB-Bに向けて送られます。いずれの場合も、ビット4がこれらの信号の実際の極性を決定します。

ビット2～0は、ゲイン検出機能の内部レイテンシを決定します。LIB-AピンとLIB-Bピンがアクティブになると、通常これらを使用して減衰器またはゲイン段の変更が行われます。ADCより前にこれがあるため、ADCに伴うレイテンシと、ゲイン変化のセトリングに伴うレイテンシが発生します。このレジスタで、LIB-A信号とLIB-B信号の内部遅延をプログラム設定できます。

表XV. 出力ポート制御レジスタのメモリ・マップ

チャンネル・アドレス	レジスタ	ビット幅	コメント
08	ポートA制御レジスタ	4	3: ポートAイネーブル 2~1: HB A信号インターリーブ 11 全4チャンネル 10 チャンネル0、1、2 01 チャンネル0、1 00 チャンネル0
9	ポートB制御レジスタ	3	0: バイパス 2: ポートBイネーブル 1: HB A信号インターリーブ 1 チャンネル2、3 0 チャンネル2
0A	AGC A制御レジスタ	8	0: バイパス 7~5: 出力ワード長 111 4ビット 110 5ビット 101 6ビット 100 7ビット 011 8ビット 010 10ビット 001 12ビット 000 16ビット 4: クリップ誤差 1: クリップ誤差レベルの維持 0: 出力信号レベルの維持 3: Sync Now (即時同期) 2: Init on Sync (同期時に初期化) 1: First Sync Only (初回同期のみ) 0: バイパス
0B	AGC Aホールドオフ・カウンタ	16	15~0: ホールドオフ値
0C	AGC A目標レベル	8	7~0: 目標出力電力レベルまたは目標クリップ・エネルギー (Rパラメータ)
0D	AGC A信号ゲイン	12	11~0: G _s パラメータ
0E	AGC Aループ・ゲイン	8	7~0: Kパラメータ
0F	AGC Aポール位置	8	7~0: Pパラメータ
10	AGC A平均サンプル	6	5~2: CICデシメータのスケール 1~0: 平均するサンプル数
11	AGC A更新デシメーション	12	11~0: CICデシメーション率
12	AGC B制御レジスタ	8	7~5: 出力ワード長 112 4ビット 110 5ビット 102 6ビット 101 7ビット 011 8ビット 010 10ビット 001 12ビット 000 16ビット 4: クリップ誤差 1: クリップ誤差レベルの維持 0: 出力信号レベルの維持 3: Sync Now (即時同期) 2: Init on Sync (同期時に初期化) 1: First Sync Only (初回同期のみ) 0: バイパス
13	AGC Bホールドオフ・カウンタ	16	15~0: ホールドオフ値
14	GC B目標レベル	8	7~0: 目標出力電力レベルまたは目標クリップ・エネルギー (Rパラメータ)
15	AGC B信号ゲイン	12	11~0: G _s パラメータ

AD6634

表XV. 出力ポート制御レジスタのメモリ・マップ (続き)

チャンネル・アドレス	レジスタ	ビット幅	コメント
16	AGC Bループ・ゲイン	8	7~0: Kパラメータ
17	AGC Bポール位置	8	7~0: Pパラメータ
18	AGC B平均サンプル	6	5~2: CICデシメータのスケール 1~0: 平均するサンプル数
19	AGC B更新デシメーション	12	11~0: CICデシメーション
1A	パラレルA制御	8	7~6: 予約済み 5: パラレル・ポート・データ・フォーマット 1: 8ビット・パラレルI、Q 0: 16ビット・インターリーブI、Q 4: チャンネル3 3: チャンネル2 2: チャンネル1/AGC Bイネーブル 1: チャンネル0/AGC Aイネーブル 0: AGC_CHセレクト 1: AGCからデータ出力 0: チャンネルからデータ出力
1B	リンクA制御	8	7: リンク・ポートAイネーブル 6~3: 待ち状態 2: RSSIワードを伴わない 1: RSSIワードを出力しない 0: RSSIワードを出力する 1: チャンネル・データのインターリーブ 1: 2チャンネル・モード/分離AB 0: 4チャンネル・モード/AB同一ポート 0: AGC_CHセレクト 1: AGCからデータ出力 0: チャンネルからデータ出力
1C	パラレルB制御	8	7~6: 予約済み 5: パラレル・ポート・データ・フォーマット 1: 8ビット・パラレルI、Q 0: 16ビット・インターリーブI、Q 4: チャンネル3 3: チャンネル2 2: チャンネル1/AGC Bイネーブル 1: チャンネル0/AGC Aイネーブル 0: AGC_CHセレクト 1: AGCからデータ出力 0: チャンネルからデータ出力
1D	リンクB制御	8	7: リンク・ポートBイネーブル 6~3: 待ち状態 2: RSSIワードを伴わない 1: RSSIワードを出力しない 0: RSSIワードを出力する 1: チャンネル・データのインターリーブ 1: 2チャンネル・モード/分離AB 0: 4チャンネル・モード/AB同一ポート 0: AGC_CHセレクト 1: AGCからデータ出力 0: チャンネルからデータ出力
1E	ポート・クロック制御	3	2~1: PCLK除数 0: PCLKマスター/スレープ* 0: スレープ 1: マスター

*PCLKはスレープとして起動します。

入力／出力ポート・レジスタにアクセスするには、**SLEEP**レジスタ（外部メモリ・マップにある）のビット5にハイレベルを書き込みます。次に、適切な出力ポート・レジスタへのアドレスを**CAR**に書き込みます。

0x08 ポートA制御レジスタ

ビット0は、ポートAに対応するインターポレーション・ハーフバンド・フィルタの使用を有効にします。ハーフバンド・フィルタAを使用して、複数チャンネルからのデータ・ストリームをインターリーブし、2で補間することによってチップ・レートの4倍の最大出力データ・レートを実現できます。ハーフバンド・フィルタAは、チャンネル0～3、チャンネル0～2、チャンネル0と1、またはチャンネル0だけなど、4つのチャンネルのすべてを待ち受けるよう設定できます。ビット0＝1のとき、ハーフバンド・フィルタAはバイパスされ、RCFの出力は直接AGCに送られます。チャンネル・データ・ストリームは、バイパスしたハーフバンドで引き続きインターリーブされますが、フィルタリングやインターポレーションは行われません。この設定で得られる最大データ・レートはチップ・レートの2倍になります。

0x09 ポートB制御レジスタ

ビット0は、ポートBに対応するインターポレーション・ハーフバンド・フィルタの使用を有効にします。ハーフバンド・フィルタBを使用して、複数チャンネルからのデータ・ストリームをインターリーブし、2で補間することによってチップ・レートの4倍の最大出力データ・レートを実現できます。ハーフバンド・フィルタBは、チャンネル2と3、またはチャンネル2だけを待ち受けるよう設定することができます。ビット0＝1のとき、ハーフバンド・フィルタBをバイパスし、RCFの出力は直接AGCに送られます。チャンネル・データ・ストリームは、バイパスしたハーフバンドで引き続きインターリーブされますが、フィルタリングやインターポレーションは行われません。この設定で得られる最大データ・レートはチップ・レートの2倍になります。

0x0A AGC A制御レジスタ

この8ビット・レジスタはAGC Aの機能を制御します。各ビットは以下のとおりです。

ビット7～5は、AGCの出力ワード長を指定します。出力ワードは、4～8、10、12、または16ビット幅が可能です。各出力ワード長を得るための制御レジスタのビット表現をメモリ・マップの表に示します。

このレジスタのビット4は、AGCの動作モードを設定します。AGCは、このビットが"0"の場合出力信号レベルを、"1"の場合は一定クリップ誤差を追跡して維持します。これらのモードに関する詳細については、「自動ゲイン制御」の項を参照してください。

ビット3～1は、AGCの同期設定に使用します。AGCのCICデシメータ・フィルタを外部同期信号に同期させて更新サンプルを出力し、AGC誤差の計算やフィルタリングを実行できます。このようにすれば、AGCのゲイン変化をRAKEレシーバなどの外部ブロックに同期させることができます。外部同期信号を受信すると必ず、0x0Bのホールドオフ・カウンタがロードされて、カウントダウンを開始します。カウンタが1になると、CICフィルタが更新サンプルを破棄し、新しい更新サンプルに向けて動作を開始します。各SYNCのたびにAGCを初期化することも、初回のSYNCだけにすることもできます。

ビット3は、AGCに直ちに同期を行うようコマンドを出すときに使用します。このビットをセットすると、CICフィルタは直ちに新しいサンプルでAGCを更新し、次の更新サンプルに向けて動作を開始します。この方法を利用して、マイクロポート制御インターフェースでAGCを同期させることができます。

ビット2は、SYNC時にAGCを初期化するかどうかを指定するときに使用します。このビットをセットすると、CICフィルタがクリアされ、CICデシメーション、平均するサンプル数、CICスケール、信号ゲインG_S、ゲインK、ボールのパラメータ

Pについて新しい値がロードされます。ビット2＝0のとき、上述のパラメータは更新されず、CICフィルタはクリアされません。どちらの場合も、AGC更新サンプルがCICフィルタから出力され、SYNCが発生すれば、デシメータは次の出力サンプルに向けて動作を開始します。

ビット1は、繰り返される同期信号を無視するときに使用します。アプリケーションの中には、定期的に同期信号を発するものがあります。このビットをクリアしている場合、同期リクエストがあるたびにAGCが再同期されます。このビットをセットしている場合、最初の同期リクエストがあるだけでAGCが同期し、AGCゲイン値がAGC CICフィルタのデシメーション係数に応じて定期的に更新されます。

ビット0は、セットすることにより、AGCセクションをバイパスするのに使用されます。インターポレーション・ハーフバンド・フィルタからの23ビット表現は引き続き、AGC A制御レジスタのビット7～5の設定に従い、より小さいビット幅表現に削減されます。この削減処理は、AGCの出力における切り捨てによって実行されます。

0x0B AGC Aホールドオフ・カウンタ

Soft_SYNCまたはPin_SYNCのいずれかがチャンネルに入力されると、このアドレスに書き込まれた値がAGC Aホールドオフ・カウンタにロードされます。カウンタがカウントダウンを開始し、カウンタが1になると、AGC AにSYNCが与えられます。このSYNCは、制御ワードの指定に従って、AGCを初期化する場合もしない場合もあります。SYNCが発生すると、AGCループがCICフィルタからの新しいサンプルで更新されます。このレジスタに1を書き込むと、AGCはSYNCが発生すると直ちに更新されます。このレジスタに0を書き込むと、AGCは同期されません。

0x0C AGC A目標レベル

この8ビット・レジスタは、動作モードに応じて、目標出力電力レベルまたは目標クリップ・レベルを格納します。目標リクエストのRレベルは、0～23.99（dB単位）の範囲で、0.094dBずつ設定できます。2ビットの指数部の後ろに6ビットの仮数部を付けた8ビットの2進浮動小数点表現を使用します。仮数部は0.094dB刻みで、指数部は6.02dB刻みです。たとえば、10¹/100101は、2×6.02+37×0.094＝15.518dBを表します。

0x0D AGC A信号ゲイン

このレジスタは、ゲイン乗算器で用いられる信号ゲイン初期値の設定に使用します。この12ビットの値は、初期信号ゲインを0～96.296dBの範囲で0.024dBずつ設定します。4ビットの指数部の後ろに8ビットの仮数部を付けた12ビットの2進浮動小数点表現を使用します。たとえば、0111'10001001は、7×6.02+137×0.024＝45.428dBを表します。

0x0E AGC Aループ・ゲイン

この8ビット・レジスタは、オープン・ループ・ゲインKの指定に使用します。値は、0～0.996の範囲で0.0039ずつ設定できます。Kの値は、AGCの初期化のたびにAGCループの中で更新されます。

0x0F AGC Aボール位置

この8ビット・レジスタは、オープン・ループ・フィルタのボール位置Pの指定に使用します。値は、0～0.996の範囲で0.0039ずつ設定できます。Pの値は、AGCの初期化のたびにAGCループの中で更新されます。「自動ゲイン制御」の項で説明したように、このオープン・ループのボール位置は、クローズド・ループのボール位置に直接影響します。

0x10 AGC A平均サンプル

この6ビット・レジスタは、CICフィルタで使用するスケールと、CICフィルタに提供する前に平均される累乗サンプル数を格納します。

ビット5～2は、CICフィルタに使用するスケールを指定します。

AD6634

ビット1~0は、CICデシメーション・フィルタに送られる前に平均するサンプル数を指定します。この数は、1~4の範囲で設定することができ、ビット表現00は1つのサンプルを意味し、ビット表現11は4つのサンプルを意味します。

0x11 AGC A更新デシメーション

この12ビット・レジスタは、1~4096のAGCデシメーション率を設定します。ビットの損失が発生しないよう適切なスケール係数を設定する必要があります。

0x12 AGC B制御レジスタ

この8ビット・レジスタは、AGC Bの機能を制御します。各ビットについては以下のとおりです。

ビット7~5は、AGCの出力ワード長を指定します。4~8、10、12、または16ビット幅の出力ワードが可能です。各出力ワード長を得るための制御レジスタ・ビット表現をメモリ・マップの表に示します。

ビット4は、AGCの動作モードを設定します。AGCは、このビットが"0"の場合出力信号レベルを、"1"の場合は一定クリップ誤差を追跡して維持します。これらのモードに関する詳細については、「自動ゲイン制御」の項を参照してください。

ビット3~1は、AGCの同期設定に使用します。AGCのCICデシメータ・フィルタを外部同期信号に同期させて更新サンプルを出力し、AGC誤差の計算やフィルタリングを実行できます。このようにすれば、AGCのゲイン変化をRAKEレシーバなどの外部ブロックに同期させることができます。外部同期信号を受信すると必ず、0x0Bのホールドオフ・カウンタがロードされて、カウントダウンを開始します。カウンタが1になると、CICフィルタが更新サンプルを破棄し、新しい更新サンプルに向けて動作を開始します。各SYNCのたびにAGCを初期化することも、初回のSYNCだけにすることもできます。

ビット3は、AGCに直ちに同期を行うようコマンドを出すときに使用します。このビットをセットすると、CICフィルタは直ちに新しいサンプルでAGCを更新し、次の更新サンプルに向けて動作を開始します。この方法を利用して、マイクロポート制御インターフェースでAGCを同期させることができます。

ビット2は、SYNC時にAGCを初期化するかどうかを指定するときに使用します。このビットをセットすると、CICフィルタがクリアされ、CICデシメーション、平均するサンプル数、CICスケール、信号ゲイン G_S 、ゲインK、およびボールのパラメータPについて新しい値がロードされます。ビット2=0のとき、上述のパラメータは更新されず、CICフィルタはクリアされません。どちらの場合も、AGC更新サンプルはCICフィルタから出力され、SYNCが発生すれば、デシメータは次の出力サンプルに向けて動作を開始します。

ビット1は、繰り返される同期信号を無視するときに使用します。アプリケーションの中には、定期的に同期信号を発するものがあります。このビットをクリアしている場合、同期リクエストがあるたびにAGCが再同期されます。このビットをセットしている場合、最初の同期リクエストがあるだけでAGCが同期し、AGCゲイン値がAGC CICフィルタのデシメーション係数に応じて定期的に更新されます。

ビット0は、セットすることにより、AGCセクションをバイパスするのに使用されます。インターポレーション・ハーフバンド・フィルタからの23ビット表現は引き続き、AGC B制御レジスタのビット7~5の設定に従い、より小さいビット幅表現に削減されます。この削減処理は、AGCの出力における切り捨てによって実行されます。

0x13 AGC Bホールドオフ・カウンタ

Soft_SYNCまたはPin_SYNCのいずれかがチャンネルに入力されると、このアドレスに書き込まれた値がAGC Bホールドオフ・カウンタにロードされます。カウンタがカウントダウンを開始し、カウンタが1になると、AGC BにSYNCが与えられます。このSYNCは、制御ワードの指定に従って、AGCを初期化する場合もしない場合もあります。SYNCが発生すると、AGC

ループがCICフィルタからの新しいサンプルで更新されます。このレジスタに"1"を書き込むと、AGCはSYNCが発生すると直ちに更新されます。このレジスタに0を書き込むと、AGCは同期されません。

0x14 AGC B目標レベル

この8ビット・レジスタは、動作モードに応じて、目標出力電力レベルまたは目標クリップ・レベルを格納します。目標リクエストのRレベルは、0~-23.99 (dB単位)の範囲で、0.094dBずつ設定できます。2ビットの指数部の後ろに6ビットの仮数部を付けた8ビットの2進浮動小数点表現を使用します。仮数部は0.094dB刻みで、指数部は6.02dB刻みです。たとえば、10'100101は、 $2 \times 6.02 + 37 \times 0.094 = 15.518\text{dB}$ を表します。

0x15 AGC B信号ゲイン

このレジスタは、ゲイン乗算器で用いられる信号ゲイン初期値の設定に使用します。この12ビットの値は、初期信号ゲインを0~96.296dBの範囲で0.024dBずつ設定します。4ビットの指数部の後ろに8ビットの仮数部を付けた12ビットの2進浮動小数点表現を使用します。たとえば、0111'10001001は、 $7 \times 6.02 + 137 \times 0.024 = 45.428\text{dB}$ を表します。

0x16 AGC Bループ・ゲイン

この8ビット・レジスタは、オープン・ループ・ゲインKの指定に使用します。値は、0~0.996の範囲で0.0039ずつ設定できます。Kの値は、AGCの初期化のたびにAGCループの中で更新されます。

0x18 AGC Bボール位置

この8ビット・レジスタは、オープン・ループ・フィルタのボール位置Pの指定に使用します。値は、0~0.996の範囲で0.0039ずつ設定できます。Pの値は、AGCの初期化のたびにAGCループの中で更新されます。「自動ゲイン制御」の項で説明したように、このオープン・ループのボール位置は、クローズド・ループのボール位置に直接影響します。

0x18 AGC B平均サンプル

この6ビット・レジスタは、CICフィルタで使用するスケールと、CICフィルタに提供する前に平均される累乗サンプル数を格納します。

ビット5~2は、CICフィルタに使用するスケールを指定します。

ビット1~0は、CICデシメーション・フィルタに送られる前に平均するサンプル数を指定します。この数は、1~4の範囲で設定することができ、ビット表現00は1つのサンプルを意味し、ビット表現11は4つのサンプルを意味します。

0x19 AGC B更新デシメーション

この12ビット・レジスタは、1~4096のAGCデシメーション率を設定します。ビットの損失が発生しないよう適切なスケール係数を設定する必要があります。

0x1A パラレル・ポート制御A

データは、パラレル・ポート・インターフェースまたはリンク・ポート・インターフェースのいずれかを通じて出力されます。0x1Bのビット7=0のとき、リンク・ポートAの使用は無効になり、パラレル・ポートAの使用が有効になります。パラレル・ポートには、DSPやFPGAにインターフェース接続するためのさまざまなデータ・モードがあります。

ビット0で、パラレル・ポートAに出力されるデータを選択します。ビット0=0のとき、パラレル・ポートAは、ビット1~4で指定したフォーマットに従って、RCFからのデータを出力します。ビット0=1のとき、パラレル・ポートAは、ビット1と2で指定したフォーマットに従って、AGCからのデータを出力します。

AGCモード（ビット0=1）では、ビット1はパラレル・ポートAがAGC Aからのデータを出力できるかどうかを指定し、ビット2はパラレル・ポートAがAGC Bからのデータを出力できるかどうかを指定します。出力の順序は各AGCからのトリガーのレートに応じて決まりますが、トリガーのレートはトリガーを供給するチャンネルのデシメーション・レートによって決まり

ます。チャンネル・モード（ビット0=0）では、ビット1~4によって4つの処理チャンネルのいずれの組み合わせで出力するかを指定します。出力の順序は各チャンネルから受け取るトリガーのレートに応じて決まりますが、トリガーのレートは各チャンネルのデシメーション・レートによって決まります。チャンネル出力インジケータ・ピンを使用すれば、各データの送信元チャンネルを確認することができます。

ビット5は、出力データ・ワードのフォーマットを指定します。ビット5=0のとき、パラレル・ポートAは16ビット・ワードを16ビット・バス上に出力します。IデータとQデータがインターリーブされるわけで、IQインジケータ・ピンがIデータかQデータのどちらがポート上にあるかを示します。ビット5=1のとき、パラレル・ポートAは8ビットのIワードと8ビットのQワードを同時に出力します。このとき、IQインジケータ・ピンはHIGHになります。

0x1B リンク・ポート制御A

データは、パラレル・ポート・インターフェースまたはリンク・ポート・インターフェースのいずれかを通じて出力されます。リンク・ポートはAD6634とTigerSHARC DSP間に効率的なデータ・リンクを確立するもので、ビット7を"1"に設定すると有効になります。

ビット0で、リンク・ポートAに出力するデータを選択します。ビット0=0のとき、リンク・ポートAは、ビット1で指定したフォーマットに従って、RCFからのデータを出力します。ビット0=1のとき、リンク・ポートAは、ビット1と2で指定したフォーマットに従って、AGCからのデータを出力します。

ビット1には2種類の意味があり、データがAGCから入力されているか、RCFから入力されているかによって異なります。データがRCFから入力されている場合（ビット0=0）、ビット1で2チャンネルまたは4チャンネルのデータ・モードを選択します。ビット1=1は、リンク・ポートAがチャンネル0と1から交互にRCFのIQワードを伝送することを意味します。ビット1=1のとき、リンク・ポートAは0、1、2、3と4つのチャンネルから連続してRCF IQワードを出力します。AGCデータが選択されている場合（ビット0=1）は、ビット1でAGCデータ出力モードを選択します。このモードでは、ビット1=1のとき、リンク・ポートAはAGC AのIQおよびゲイン・ワードを出力します。このモードを使用する場合、ビット2=0を設定して、ゲイン・ワードを含める必要があります。ただし、ビット0=ビット1=0の場合は、AGC AとBが交互にリンク・ポートAに出力され、ゲイン・ワードを含めるかどうかは、ビット2で指定します。

ビット2で、データ出力にRSSIワードを含めるかどうかを選択します。ビット1=1の場合、ビット2は0になります。RSSIワードは2バイト長だけで、IQワードが4バイト長であることから、RSSIワードを0で埋めて、全16バイトのTigerSHARCクワッド・ワードを生成します。AGC出力が選択されていない場合（ビット0=0）、このビットは任意の値をとることができます。

ビット6~3は、リンク・ポートがレシーバからデータ・レディを受信した時刻から最初のデータ・ワードを送信する時刻までのプログラマブルな遅延値をリンク・ポートAについて指定します。リンク・ポートはレシーバのクロックで少なくとも6サイクル待たなければならないため、この遅延値を使うことで、AD6634のリンク・ポートとTigerSHARCのリンク・ポートに対して、周波数と位相の異なるクロックを使用できるようになります。これらのクロックの制約と関係についての詳細は、「リンク・ポート」の項に記載しています。

0x1C パラレル・ポート制御B

データは、パラレル・ポート・インターフェースまたはリンク・ポート・インターフェースのいずれかを通じて出力されます。0x1Dのビット7=0のとき、リンク・ポートBの使用が無効になり、パラレル・ポートBの使用が有効になります。パラレル・ポートには、DSPやFPGAにインターフェース接続するためのさまざまなデータ・モードがあります。

ビット0で、パラレル・ポートBに出力されるデータを選択します。ビット0=0のとき、パラレル・ポートBは、ビット1~4で指定したフォーマットに従って、RCFからのデータを出力します。ビット0=1のとき、パラレル・ポートBは、ビット1と2で指定したフォーマットに従って、AGCからのデータを出力します。

AGCモード（ビット0=1）では、ビット1はパラレル・ポートBがAGC Aからのデータを出力できるかどうかを指定し、ビット2はパラレル・ポートBがAGC Bからのデータを出力できるかどうかを指定します。出力の順序は各AGCからのトリガーのレートに応じて決まりますが、トリガーのレートはトリガーを供給するチャンネルのデシメーション・レートによって決まります。チャンネル・モード（ビット0=0）では、ビット1~4によって4つの処理チャンネルのいずれの組み合わせで出力するかを指定します。出力の順序は、各チャンネルから受け取るトリガーのレートに応じて決まりますが、トリガーのレートは各チャンネルのデシメーション・レートによって決まります。チャンネル出力インジケータ・ピンを使用すれば、各データの送信元チャンネルを確認することができます。

ビット5は、出力データ・ワードのフォーマットを指定します。ビット5=0のとき、パラレル・ポートBは16ビット・ワードを16ビット・バス上に出力します。IデータとQデータがインターリーブされるわけで、IQインジケータ・ピンがIデータとQデータのどちらがポート上にあるかを示します。ビット5=1のとき、パラレル・ポートBは8ビットのIワードと8ビットのQワードを同時に出力します。このとき、IQインジケータ・ピンはHIGHになります。

0x1D リンク・ポート制御B

データは、パラレル・ポート・インターフェースまたはリンク・ポート・インターフェースのいずれかを通じて出力されます。リンク・ポートはAD6634とTigerSHARC DSP間に効率的なデータ・リンクを確立するもので、ビット7を"1"に設定すると有効になります。

ビット0で、リンク・ポートBに出力するデータを選択します。ビット0=0のとき、リンク・ポートBは、ビット1で指定したフォーマットに従って、RCFからのデータを出力します。ビット0=1のとき、リンク・ポートBは、ビット1と2で指定したフォーマットに従って、AGCからのデータを出力します。

ビット1には2つの意味があり、データがAGCから入力されているか、RCFから入力されているかによって異なります。データがRCFから入力されている場合（ビット0=0）、ビット1で2チャンネルまたは4チャンネルのデータ・モードを選択します。ビット1=1は、リンク・ポートBがチャンネル0と1から交互にRCFのIQワードを伝送することを意味します。ビット1=1のとき、リンク・ポートBは0、1、2、3と4つのチャンネルから連続してRCF IQワードを出力します。AGCデータが選択されている場合（ビット0=1）は、ビット1でAGCデータ出力モードを選択します。このモードでは、ビット1=1のとき、リンク・ポートBはAGC BのIQおよびゲイン・ワードを出力します。このモードを使用する場合、ビット2=0を設定して、ゲイン・ワードを含める必要があります。ただし、ビット0=ビット1=0の場合は、AGC AとBが交互にリンク・ポートBに出力され、ゲイン・ワードを含めるかどうかは、ビット2で指定します。

ビット2で、データ出力にRSSIワードを含めるかどうかを選択します。ビット1=1の場合、ビット2は0になります。RSSIワードは2バイト長だけで、IQワードが4バイト長であることから、RSSIワードを0で埋めて、全16バイトのTigerSHARCクワッド・ワードを生成します。AGC出力が選択されていない場合（ビット0=0）、このビットは任意の値をとることができます。

ビット6~3は、リンク・ポートがレシーバからデータ・レディを受信した時刻から最初のデータ・ワードを送信する時刻までのプログラマブルな遅延値をリンク・ポートBについて指定します。リンク・ポートはレシーバのクロックで少なくとも6サイクル待たなければならないため、この遅延値を使うことで、

AD6634

AD6634のリンク・ポートとTigerSHARCのリンク・ポートに対して、周波数と位相の異なるクロックを使用できるようになります。これらのクロックの制約と関係についての詳細は、「リンク・ポート」の項に記載しています。

0x1E ポート・クロック制御

ビット0は、PCLKをユーザーが外部から提供するか、AD6634の内部で生成するかを指定します。CLKから内部でPCLKを生成する場合（ビット0=1）、マスター・クロックとしてPCLKピンを介して出力されます。たいいていアプリケーションでは、PCLKは、AD6634への入力としてPCLKピンを介してユーザーが提供します。

ビット2と1を使えば、CLKを整数値で除算してPCLKを生成することができます（00=1、01=2、10=4、11=8）。

マイクロポートの制御

AD6634は、8ビットのマイクロプロセッサ・ポートとシリアル制御ポートを搭載しています。各ポートの使用方法について以下に個別に説明したあとで、ポート間の交信について説明します。マイクロポート・インターフェースは、ホスト・プロセッサとフレキシブルに交信できるよう設計されたマルチモード・インターフェースです。インテル非マルチプレックス・モード（INM）とモトローラ非マルチプレックス・モード（MNM）の2つのバス動作モードがあります。ホスト・プロセッサに基づいて、プロセッサに最適なモードが選択されます。マイクロポートには、8ビット・データ・バス（D[7:0]）、3ビット・アドレス・バス（A[2:0]）、3本の制御ピン・ライン（ $\overline{CS}$ 、 $\overline{DS}$ または $\overline{RD}$ 、RWまたは $\overline{WR}$ ）、1本のステータス・ピン（DTACKまたはRDY）があります。制御信号とステータス・ラインの機能は、選択したモードによってやや異なります。2つのモードの動作の詳細については、タイミング図と以下の説明を参照してください。

外部メモリ・マップ

外部メモリ・マップは、前述のチャンネル・アドレス空間へのアクセスに使用します。8ビットのデータ・バスとアドレス・

バスが、表XVIに挙げた8つのレジスタのセットに対して使用されます。これらのレジスタは、入力／出力制御レジスタだけでなく、チャンネル・アドレス空間へのすべてのアクセスを制御するので、総称して外部インターフェース・レジスタと呼ばれます。各レジスタの使用方法を、以下に説明します。シリアル制御インターフェースはマイクロポート・インターフェースと同じメモリ・マップを持ち、レートは遅くなりますが、まったく同じ機能を実行できます。

アクセス制御レジスタ（ACR）

アクセス制御レジスタは、マイクロポートまたはシリアル・ポート制御からのアクセスを受け取る1つまたは複数のチャンネルを指定します。

このレジスタのビット7は、自動インクリメント・ビットです。このビットが"1"の場合、チャンネルへのアクセスごとに、後述するCARレジスタの値がインクリメントされます。この機能により、係数メモリなどのアドレス空間のブロックを効率よく初期化できます。

このレジスタのビット6はブロードキャスト・ビットで、ビット5～2の解釈方法を指定します。ブロードキャストが"0"の場合、インストラクション・ビット（インストラクション[3:0]）と呼ばれるビット5～2が、CHIP_ID [3:0]ピンと比較されます。CHIP_ID[3:0]ピンに一致するインストラクションがアクセスを決定します。これにより、外付けロジックなしで、同じポートに最大16のチップを接続してメモリにマップできます。また、ホスト・プロセッサの同じシリアル・ポートを最大16個のチップに対して設定できます。ブロードキャスト・ビットがハイレベルの場合、インストラクション[3:0]ワードにより、CHIP_ID[3:0]ピンとは無関係に、複数のAD6634チャンネルおよび／またはチップを同時に配置することができます。使用可能な10のインストラクションを表XVIIに示します。この機能は、1つのアンテナまたはキャリアを待ち受ける複数のチャンネルを同時に設定できるスマート・アンテナ・システムに便利です。表中のxは、デジタル・デコーディングでのドント・ケア（不定）を表します。

表XVI. 外部メモリ・マップ

A[2:0]	名前	コメント
111	アクセス制御レジスタ（ACR）	7： 自動インクリメント 6： ブロードキャスト 5～2： インストラクション[3:0] 1～0： A[9:8]
110	チャンネル・アドレス・レジスタ（CAR）	7～0： A[7:0]
101	SOFT_SYNC制御レジスタ（書き込み専用）	7： PN_EN 6： Test_MUX_Select 5： ホップ 4： スタート 3： SYNC D 2： SYNC C 1： SYNC B 0： SYNC A
100	PIN_SYNC制御レジスタ（書き込み専用）	7： BISTに対してIENをトグル切り替え 6： First SYNC Only 5： Hop_En 4： Start_En 3： SYNC_EN D 2： SYNC_EN C 1： SYNC_EN B 0： SYNC_EN A
011	スリープ（書き込み専用）	7～6： 予約済み 5： アクセス入力／出力制御レジスタ 4： 予約済み（ローレベル） 3： スリープ3 2： スリープ2 1： スリープ1 0： スリープ0
010	データ・レジスタ2（DR2）	7～4： 予約済み
001	データ・レジスタ1（DR1）	3～0： D[19:16]
000	データ・レジスタ0（DR0）	15～8： D[15:8] 7～0： D[7:0]

表XVII. マイクロポートのインストラクション

インストラクション	コメント
0000	すべてのチップとすべてのチャンネルへのアクセスが可能
0001	すべてのチップのチャンネル0、1、2へのアクセスが可能
0010	すべてのチップのチャンネル1、2、3へのアクセスが可能
0100	すべてのチップへのアクセスが可能*
1000	Chip_ID[3:0]=xx0であるすべてのチップへのアクセスが可能*
1001	Chip_ID[3:0]=xx1であるすべてのチップへのアクセスが可能*
1100	Chip_ID[3:0]=xx00であるすべてのチップへのアクセスが可能*
1101	Chip_ID[3:0]=xx01であるすべてのチップへのアクセスが可能*
1110	Chip_ID[3:0]=xx10であるすべてのチップへのアクセスが可能*
1111	Chip_ID[3:0]=xx11であるすべてのチップへのアクセスが可能*

* A[9:8]ビットがアクセスのためにデコードするチャンネルを制御します。

ブロードキャストが有効の場合（ビット6がハイレベル）、内部バスが競合するおそれがあるため、リードバックが無効になります。したがって、引き続きリードバックが必要な場合は、ブロードキャスト・ビットをローレベルに設定する必要があります。

このレジスタのビット1～0は、4チャンネルの中からアクセスするチャンネルをデコードするアドレス・ビットです。インストラクション・ビットが複数チャンネルへのアクセスをデコードしている場合、このビットは無視されます。インストラクションがチップの一部へのアクセスをデコードしている場合、A[9:8]ビットがアクセスするチャンネルを別に指定します。

チャンネル・アドレス・レジスタ（CAR）

このレジスタは、各チャンネルの8ビット内部アドレスを表します。ACRの自動インクリメント・ビットが"1"の場合、この値はDR0レジスタへのアクセスが終了するごとにインクリメントされ、このアドレスでポイントされるロケーションに順次アクセスします。ブロードキャスト・ビットがハイレベルに設定されている場合、チャンネル・アドレス・レジスタを読み出すことはできません。

SOFT_SYNC制御レジスタ

外部アドレス[5]はSOFT_SYNC制御レジスタで、書き込み専用です。

このレジスタのビット0～3は、SOFT_SYNC制御ビットです。コントローラがこのピンに書き込みを行い、選択したチャンネルの同期を開始します。4つの入力がありますが、必ずしも同じ番号のチャンネルに接続する必要はありません。どのビットを対象にするかは、チャンネル・レベルで自由に設定できます。4チャンネルすべてを1ヶ所から同期させることも、対にすることも、すべて別々に同期させることもできます。

ビット4で、チップ・スタートに同期を適用するかどうかを指定します。このビットがセットされている場合、チップ・スタートが開始されます。

ビット5で、チップ・ホップに同期を適用するかどうかを指定します。このビットがセットされている場合、SOFT_SYNCが発生すると、NCO周波数が更新されます。

ビット6は、内部データ・バスの構成を設定します。ビットがローレベルに設定されている場合、内部ADCデータ・バスは標準の構成になります。このビットが設定されている場合、内部テスト信号が選択されます。内部テスト信号は、このレジスタのビット7で設定します。

ビット7がクリアされている場合、負のフルスケール信号が生成され、内部データ・バスでこの信号を使えるようになります。このビットがハイレベルの場合、内部擬似ランダム・シーケンス・ジェネレータが有効になり、内部データ・バスでデータを使用できます。ビット6と7の機能を組み合わせれば、任意のフィルタ設計の評価ができるようになります。また、MISRレジスタと組み合わせれば、詳細なシステム内チップ・テストが可能になります。JTAGテスト・ボードと組み合わせれば、工場出荷テストとフィールド・テストの両方で、システム・テスト時に非常に高度なチップ評価ができます。

PIN_SYNC制御レジスタ

外部アドレス[4]はPIN_SYNC制御レジスタで、書き込み専用です。

このレジスタのビット0～3は、SYNC_EN制御ビットです。コントローラがこのピンに書き込みを行い、選択したチャンネルのピン同期を可能にします。4つの入力がありますが、必ずしも同じ番号のチャンネルに接続する必要はありません。どのビットを対象にするかは、チャンネル・レベルで自由に設定できます。4チャンネルすべてを1ヶ所から同期させることも、対にすることも、すべて別々に同期させることもできます。

ビット4で、チップ・スタートに同期を適用するかどうかを指定します。このビットがセットされている場合、PIN_SYNCが発生すると、チップ・スタートが開始されます。

ビット5で、チップ・ホップに同期を適用するかどうかを指定します。このビットがセットされている場合、PIN_SYNCが発生すると、NCO周波数が更新されます。

ビット6は、繰り返される同期信号を無視するときに使用します。アプリケーションの中には、定期的に同期信号を発するものがあります。このビットがクリアされている場合、各PIN_SYNCによってチャンネルを再スタート／ホップします。このビットがセットされている場合、最初のPIN_SYNCだけでチップが処理を実行します。

ビット7は、外部アドレス5のビット6と7と組み合わせ使用します。このビットがクリアされている場合、内部データ・バスに入力されたデータが通常のADCをシミュレートします。このビットがセットされている場合、データは、AD6600などの時分割多重ADC形式で入力されます（これにより、4チャンネル入力モードと同等のテストが可能になります）。このビットがセットされている場合、AD6600のA/B信号で駆動されているかのように、内部でIENピンを切り替えます。

スリープ制御レジスタ

外部アドレス[3]は、スリープ・レジスタです。

ビット3～0は、各チャンネルの状態を制御します。各ビットが、デバイス内の使用可能なRSPチャンネルの1つに対応します。このビットがクリアされている場合、チャンネルは通常に動作します。このビットがセットされている場合、指定されたチャンネルは低消費電力のスリープ・モードになります。

ビット4は予約済みで、常に"0"に設定しておく必要があります。

ビット5は、入力／出力制御ポート・レジスタへのアクセスを可能にします。このビットがローレベルの場合、チャンネル・メモリ・マップがアクセスされます。このビットがハイレベルに設定されている場合、入力／出力ポート制御レジスタへのアクセスが可能になります。このビットがハイレベルに設定されていると、外部アドレス6（CAR）の値は、通常のメモリ・マップではなく入力／出力ポート制御レジスタのメモリ・マップを指します。入力および出力ポート制御レジスタのメモリ・マップの項をそれぞれ参照してください。

ビット6～7は予約済みで、ローレベルに設定しておきます。

データ・アドレス・レジスタ

外部アドレス[2～0]は、それぞれデータ・レジスタDR2、DR1、DR0を構成します。内部データ・ワードの幅はすべて20ビット以下です。外部アドレス[0]のDR0にアクセスすると、ACRと

AD6634

CARで指定したアドレスに基づいて、AD6634への内部アクセスが開始されます。したがって、内部レジスタへの書き込み時には、外部アドレス[0]のDR0は最後に書き込む必要があります。この時点で、データはA[9:0]で指定された内部メモリに転送されます。読み出しは逆向きに行われます。アドレスを設定したら、外部アドレス[0]のDR0が、内部アクセスを開始するために読み出される最初のデータ・レジスタにならなければなりません。DR2は4ビット幅しかなく、このレジスタの上位4ビットに書き込まれたデータは無視されます。同様に、このレジスタからの読み出しでも、LSBの4ビットしか生成されません。

書き込みシーケンス

内部ロケーションへの書き込みは、最初にアドレスの上位2ビットをACRのビット1~0に書き込んで開始されます。ビット7:2をセットして、前述のようにチャンネルを選択します。次に、内部アドレスの下位8ビットをCARに書き込みます（内部アクセスの前にACRとCARが書き込まれる限り、ACRの前にCARを書き込んでも問題ありません）。データ・レジスタ0（DR0）に書き込みを行うと、内部アクセス動作が開始されてしまうため、データ・レジスタ2（DR2）とデータ・レジスタ1（DR1）への書き込みを先に行います。データ・レジスタ0（DR0）への書き込みは、内部書き込みを開始させるため、常に最後にする必要があります。

読み出しシーケンス

マイクロポートからの読み出しも、書き込みと同様の方法で行います。内部アドレスは書き込みと同じ方法で設定します。データ・レジスタ0（DR0）からの読み出しで内部読み出し動作が開始されるため、常にレジスタ0（DR0）を先に読み出して内部読み出しを開始させます。DR1とDR2の読み出しはこの後に行います。このようにして、内部読み出しの8ビットのLSBがマイクロポート（D[7:0]）から得られます。その他のデータ・レジスタを読み出して、内部メモリの残りを読み出すことができます。

読み出し／書き込みチェーン

AD6634のマイクロポートでは、 $\overline{CS}$ がローレベルの間、複数のアクセスが可能です（他のデバイスとマイクロポートを共有していなければ、 $\overline{CS}$ をローレベルに固定したままにすることができます）。 $\overline{WR}$ または $\overline{RD}$ ラインにパルスを入力し、3ビットの外部アドレス・バスの値を変えることにより、複数のロケーションにアクセスできます。表XIIIの外部レジスタに対する外部アクセスは、 $\overline{CS}$ 、 $\overline{RD}$ 、 $\overline{WR}$ 、MODEの各入力を用いて、2つのモードのどちらかで行われます。アクセス・モードには、インテル非マルチプレックス・モードとモトローラ非マルチプレックス・モードの2つがあり、MODE入力によって選択します（MODE=0がINM、MODE=1がMNM）。 $\overline{CS}$ 、 $\overline{RD}$ 、 $\overline{WR}$ は、各モードのアクセス・タイプを制御します。

インテル非マルチプレックス・モード（INM）

AD6634マイクロプロセッサをINMモードで動作させるには、MODEをローレベルに固定する必要があります。アクセス・タイプは、 $\overline{CS}$ 、 $\overline{RD}$ （ $\overline{DS}$ ）、 $\overline{WR}$ （ $\overline{RW}$ ）の入力で制御します。マイクロポートはRDY（ $\overline{DTACK}$ ）信号を生成して、アクセスの完了を知らせます。RDY（ $\overline{DTACK}$ ）はアクセスの開始時にローレベルになり、内部サイクルが完了すると解除されます。「仕様」に記載された読み出しモードと書き込みモードのタイミング図を参照してください。

モトローラ非マルチプレックス・モード（MNM）

AD6634マイクロプロセッサをMNMモードで動作させるときは、MODEをハイレベルに固定する必要があります。アクセス・タイプは、 $\overline{CS}$ 、 $\overline{DS}$ （ $\overline{RD}$ ）、 $\overline{RW}$ （ $\overline{WR}$ ）の入力で制御します。マイクロポートは $\overline{DTACK}$ （RDY）信号を生成して、アクセスの完了を知らせます。内部アクセスが完了すると $\overline{DTACK}$ （RDY）がローレベルになり、その後 $\overline{DS}$ （ $\overline{RD}$ ）のアサートが解除されるとハイレベルに戻ります。「仕様」に記載された読み出しモードと書き込みモードのタイミング図を参照してください。

シリアル・ポートの制御

AD6634には、マイクロポート制御インターフェースとは別に、制御インターフェースとして機能するシリアル・ポートがあります。シリアル・ポート入力ピン（SDI）は、すべてのチャン

ネルのすべての内部レジスタにアクセスすることができ、マイクロポートより優先順位の高いアクセスになります。この方式により、DSP1つで、シリアル・ポート制御インターフェースからAD6634を制御することができます。

シリアル制御ポートでは、シリアル・クロック（SCLK）を使用します。シリアル入力ポートは、後述するように自己フレーミングであり、より効率的にシリアル入力帯域幅を使用してプログラム設定できます。SDIピンに出力されるフレーム・ビットが、シリアル入力フレームの開始を知らせます。このビットは、シリアル入力フレームのMSBです。フレーム・ビットがSCLKの立ち下がりエッジでハイレベルとしてサンプルされた後、状態カウンタがスタートし、4シリアル・クロック・サイクル後に11ビットのシリアル・シフターをイネーブルにします。このSCLKの4サイクルは、シリアル・フレームのドン・ト・ケア・ビットを表し、無視されます。すべてのビットがシフトされた後、シリアル入力ポートは8ビット・データと3ビット・アドレスを調停ブロックに渡します。

SDI入力のシリアル・ワード構造を図47に示します。15ビットだけを表示しているのが、標準16ビット・シリアル・ワードの2番目のビットがフレーム・ビットと考えられます。こうするのは、AD6620のシリアル入力ポートとの互換性のためです。シフト順は、フレームから始まり、MSB先頭でアドレスを、次にMSB先頭でデータをシフトします。

シリアル・ポートのタイミング仕様

AD6634シリアル制御チャンネルは、スリープ・モードでのみ動作します。図44~46に、各仕様で要求されるタイミングを示します。

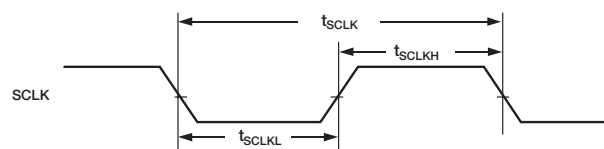


図44. SCLKのタイミング要件

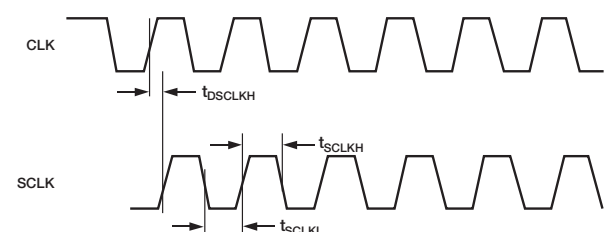


図45. SCLKのスイッチング特性（1分周）

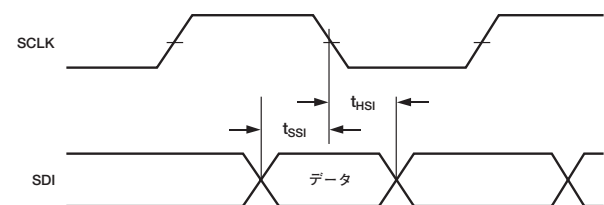


図46. シリアル入力データのタイミング要件

SDI

SDIはシリアル・データ入力です。シリアル・データはSCLKの立ち下がりエッジでサンプルされます。このピンは、シリアル制御モードで、AD6634の内部制御レジスタを書き込むときに使用されます。

SCLK

SCLKはクロック入力で、SCLKの立ち下がりエッジでSDI入力がサンプルされます。出力はすべて、SCLKの立ち上がりエッジで切り替えられます。このポートの最高速度は80MHzです。

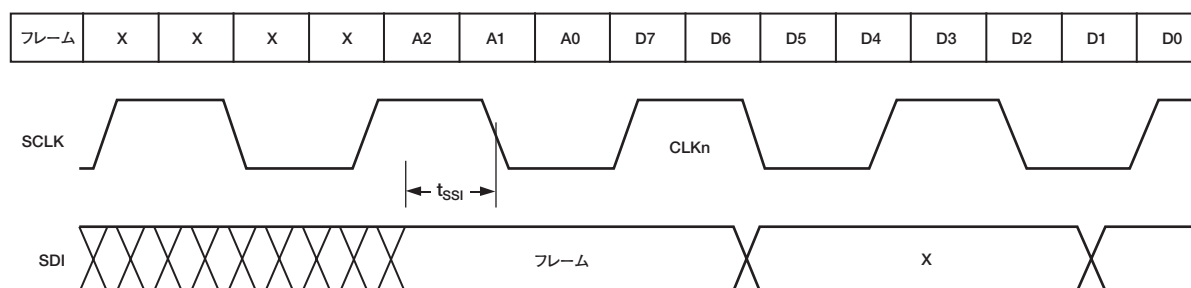


図47. シリアル・ワードの構造とシリアル・ポート制御のタイミング

JTAGバウンダリ・スキャン

AD6634は、IEEE標準1149.1規格のサブセットをサポートしています。この標準の詳細については、IEEEから出版されているIEEE-1149の「IEEE Standard Test Access Port and Boundary-Scan Architecture」を参照してください。

AD6634には、JTAGインターフェースに対応する5本のピンが備わっています。これらのピンはオンチップのテスト・アクセス・ポートにアクセスするときに使用するもので、表XVIIIに示します。すべての入力JTAGピンはプルアップされていますが、TCLKだけはプルダウンされています。

表XVIII. バウンダリ・スキャン・テスト・ピン

名前	ピン番号	説明
TRST	67	テスト・アクセス・ポートのリセット
TCLK	68	テスト・クロック
TMS	69	テスト・アクセス・ポートのモード・セレクト
TDI	72	テスト・データ入力
TDO	70	テスト・データ出力

AD6634は、表XIXに示す6つのオペコードをサポートしています。これらのインストラクションで、JTAGインターフェースのモードを設定します。

表XIX. バウンダリ・スキャン・オペコード

インストラクション	オペコード
IDCODE	001
BYPASS	111
SAMPLE/PRELOAD	010
EXTEST	000
HIGHZ	011
CLAMP	100

ベンダー識別コードは、IDCODEインストラクションでアクセスできます。表XXにこのコードのフォーマットを示します。

表XX. ベンダーIDコード

MSBバージョン	製品番号	メーカーID	必須LSB
0000	0010 0111 1000 1100	000 1110 0101	1

このデバイス用のBSDFLファイルを用意しています。詳細については、アナログ・デバイセズ社にお問い合わせください。

EXTEST (3'b000) — ICを外部バウンダリ・テスト・モードに設定し、TDIとTDOの間に接続するバウンダリ・スキャン・レジスタを選択します。この間、バウンダリ・スキャン・レジスタがアクセスされて、バウンダリ出力を介してテスト・データをチップ外に出力し、バウンダリ入力からチップ外のテスト・データを入力します。

IDCODE (3'b001) — ICは動作モードを維持し、TDIとTDOの間に接続するデバイスIDレジスタを選択します。IDレジスタにアクセスしても、ICの動作には影響を与えません。

SAMPLE/PRELOAD (3'b010) — ICは通常動作モードを維持し、TDIとTDOの間に接続するバウンダリ・スキャン・レジスタを選択します。バウンダリ・スキャン・レジスタへはスキャン動作でアクセスし、ICに入出力される機能的データのサンプルを取得します。また、EXTESTインストラクションの前に、テスト・データをバウンダリ・スキャン・レジスタにプリロードすることもできます。

HIGHZ (3'b011) — すべての出力を高インピーダンス状態に設定します。TDIとTDOの間に接続する1ビットのバイパス・レジスタを選択します。

CLAMP (3'b100) — ICの出力をバウンダリ・スキャン・レジスタで指定したロジック・レベルに設定し、TDIとTDOの間に接続する1ビットのバイパス・レジスタを選択します。このインストラクションの前に、SAMPLE/PRELOADインストラクションでバウンダリ・スキャン・データをプリロードすることができます。

BYPASS (3'b111) — ICは通常動作モードを維持し、TDIとTDOの間に接続する1ビットのバイパス・レジスタを選択します。このインストラクションの間、IC動作への影響なしにシリアル・データがTDIからTDOへ転送されます。

内部書き込みアクセス

後述するプロセスで、必要に応じて最大20ビットのデータを書き込むことができます。必要とされる上位バイトはすべて、外部3ビット・アドレス空間内に定義された対応するデータ・レジスタに書き込まれます。次に、下位バイトがアドレス (000) のDR0に書き込まれます。DR0への書き込みが検出されると、内部マイクロプロセッサ・ポートのステート・マシンがDR2～DR0内のデータを、LARとAMR内のアドレスで指定された内部アドレスに転送します。

書き込み擬似コード

```
void write_micro(ext_address, int data);
main();
{
```

/*このコードは、上で定義したwrite_micro関数を使用するNCO位相オフセット・レジスタのプログラム設定を示します。変数addressは外部アドレスA[2:0]、dataは外部インターフェース・レジスタに入力される値です。

AD6634

内部アドレス=0x087

*/

//NCO位相バイト幅アクセス・データを格納するレジスタ
int d1, d0;

//NCO周波数ワード（16ビット幅）
NCO_PHASE = 0xCBEF;

//ACRを書き込む
write_micro(7, 0x03);

//CARを書き込む
write_micro(6, 0x87);

//DR1のD[15:8]に書き込む
d1 = (NCO_PHASE & 0xFF00) >> 8;
write_micro(1, d1);

//DR0のD[7:0]に書き込む
//この書き込みによってすべてのデータを内部アドレスに転送する
d0 = NCO_FREQ & 0xFF;
write_micro(0, d0);
} //mainの終わり

内部読み出しアクセス

読み出しは、書き込みの場合と同様、最初にCARとAMRを書き込んで実行します。次に、データ・レジスタ（DR2～DR0）を書き込みのときは逆順で読み出します。最初に、データ（D[7:0]）の下位バイトをDR0から読み出します。これにより、データの上位バイトが、CARとAMRで指定した内部アドレスから残りのデータ・レジスタ（DR2～DR1）へ転送されます。転送されたデータは、該当する3ビット・アドレスを使用してデータ・レジスタから読み出すことができます。使用するデータ・レジスタ数は、読み書きされるデータ量だけに依存しています。データ・レジスタ内の未使用ビットはすべて、読み出しに対してマスクで除外する必要があります。

読み出し擬似コード

```
int read_micro(ext_address);  
main();  
{
```

/*このコードは、上で定義したread_micro関数を使用する最初のRCF係数の読み出しを示します。変数addressは外部アドレスA[2..0]です。

内部アドレス=0x000
*/

//係数を格納するレジスタ
int d2, d1, d0;

//係数（20ビット幅）
long coefficient;

//AMRを書き込む
write_micro(7, 0x00);

//LARを書き込む
write_micro(6, 0x00);

/*DR0からD[7:0]を読み出す。このアクセスによって、すべてのデータを内部レジスタからインターフェース・レジスタに転送する

*/

d0 = read_micro(0) & 0xFF;

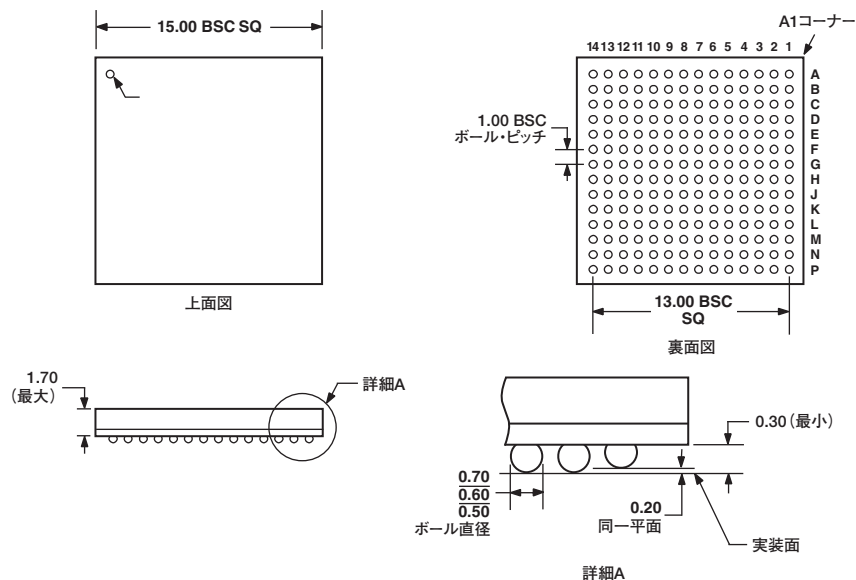
//DR1のD[15:8]を読み出す
d1 = read_micro(1) & 0xFF;

//DR2のD[23:16]を読み出す
d2 = read_micro(2) & 0x0F;
coefficient = d0 + (d1 << 8) + (d2 << 16);
} //mainの終わり

外形寸法

196ピン・チップ・スケール・ボール・グリッド・アレイ（CSPBGA） （BC-196）

寸法はミリメートルで表示



JEDEC規格MO-192AAE-1に準拠

C03032-0-8/02(0)

PRINTED IN JAPAN

データシート 訂正履歴

03/8/4

P17 表 8-K (誤)VDD >>> (正)VDDIO