

特長

- 100MSPSの広帯域入力(14リニア・ビット+3RSSI)
- 高速データ入力: 2ポート
- シングル・パッケージに4個の独立したデジタル・レシーバを内蔵
- 非整数デシメータ・レート用のデジタル・リサンプリング
- プログラマブルなデシメーションFIRフィルタ
- クリップ防止およびレベル・インジケータによる外部ゲイン・レンジング用のプログラマブルな減衰器制御
- マルチキャリアおよびフェーズド・アレイ向けの柔軟な制御
- I/O: 3.3V、CMOSコア: 2.5V
- ユーザー設定可能な内蔵セルフテスト(BIST)機能
- JTAGバウンダリ・スキャン

アプリケーション

- マルチキャリア、マルチモード・デジタル・レシーバ
- GSM、IS136、EDGE、PHS、IS95
- マクロおよびピコ・セル・システム
- ワイヤレス・ローカル・ループ
- スマート・アンテナ・システム
- ソフトウェア無線
- 組込型無線電話

製品説明

AD6624Aは4チャンネルのデジタル受信信号プロセッサ(RSP)であ

り、周波数変換器、2個の固定係数デシメーション・フィルタ、プログラマブルな係数を持つデシメーション・フィルタという、4個の信号処理エレメントをカスケード接続しています。

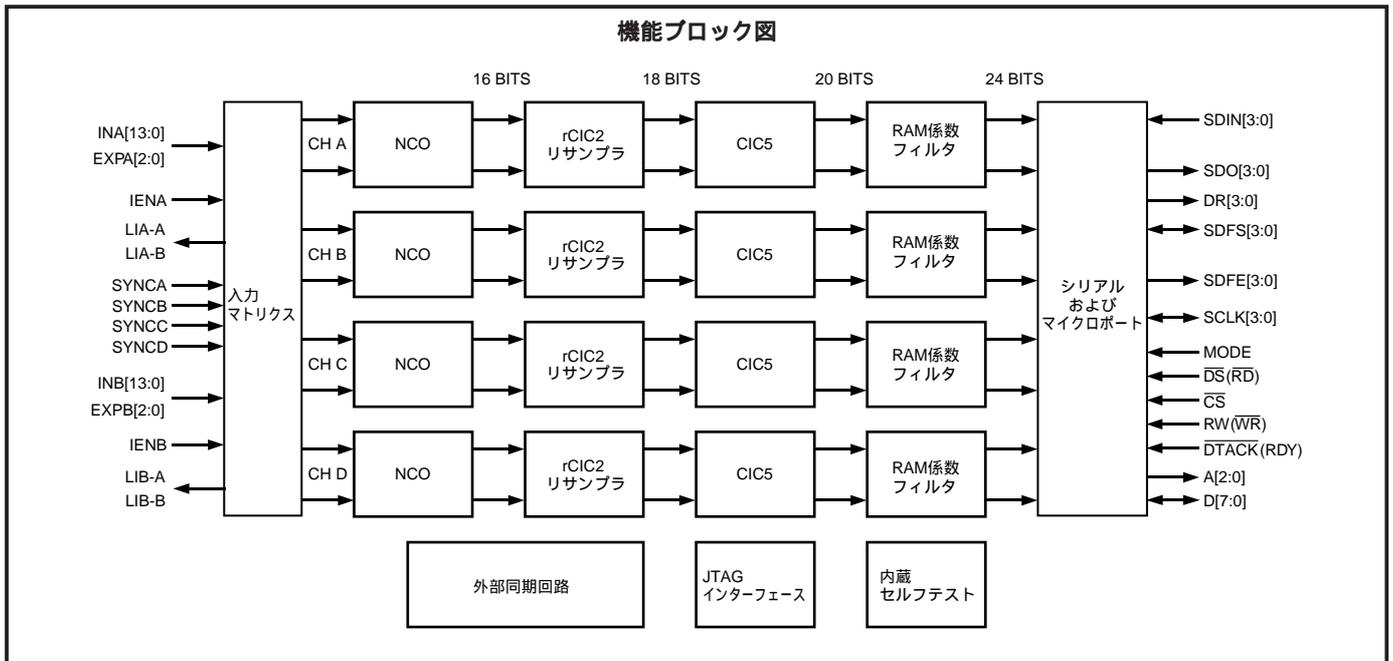
AD6624Aは当社のSoftCell[®]マルチキャリア・トランシーバ・チップセットの一つであり、当社的高速サンプリング・レートIFサンプリングADCファミリー(AD6640/AD6644、12/14ビット)と互換性を持っています。SoftCellレシーバは、キャリアの全スペクトルをデジタル化し、同調およびチャンネル選択の対象となるキャリアをデジタル的に抽出する機能を持つデジタル・レシーバを含んでいます。このアーキテクチャにより、ワイヤレス基地局アプリケーションでは余分な無線信号を除去することができます。

広いダイナミックレンジを持つデシメーション・フィルタが、広範囲のデシメーション・レートを提供します。RAMベースのアーキテクチャにより、設定の変更でマルチモード・アプリケーションの対応が容易に行えます。

デシメーション・フィルタは、対象チャンネルから不要な信号とノイズを除去します。対象チャンネルが入力信号より狭い帯域幅を使用する場合、この帯域外ノイズ除去は“処理ゲイン”と呼ばれています。大きなデシメーション係数を使うと、“処理ゲイン”がADCのSNRを30dB以上改善することができます。さらに、プログラマブルなRAM係数を持つフィルタの使用により、折り返し除去、マッチド・フィルタ、スタティック等化の機能をまとめて、コスト・パフォーマンスの優れた1個のフィルタにすることができます。

AD6624Aは、AD664x、AD9042、AD943x、AD922xファミリーなどの標準A/Dコンバータと互換性を持っています。AD6624AはAD6600ダイバーシティーA/Dコンバータとも互換性があり、コストとサイズの削減に貢献します。

機能ブロック図



SoftCellは、Analog Devices, Inc.の登録商標です。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

REV.0

AD6624A

目次

特長	1	シリアル出力フレームのタイミング(マスターおよびスレーブ)	26
概要	1	シリアル・ポートのタイミング仕様	28
機能ブロック図	1	SBM0	29
仕様 / 特性	3	SCLK	29
タイミング図	6	SDIN	29
絶対最大定格	9	SDO	29
ピン機能の説明	11	SDFS	29
アーキテクチャ	13	SDFE	29
フィルタ応答の例	14	シリアル・ワード長	29
入力データ・ポート	14	SDFSモード	29
入力データ・フォーマット	14	RCFデータのBISTレジスタへのマッピング	30
入力タイミング	14	0x00 ~ 0x7F : 係数メモリ(CMEM)	30
入力イネーブル制御	14	0x80 : チャンネル・スリープ・レジスタ	30
ゲインのスイッチング	15	0x81 : Soft_SYNCレジスタ	30
入力データのスケールリング	16	0x82 : Pin_SYNCレジスタ	30
固定小数点ADCでのスケールリング	16	0x83 : スタート・ホールドオフ・カウンタ	30
浮動小数点またはゲイン範囲設定ADCでのスケールリング	16	0x84 : NCO周波数ホールドオフ・カウンタ	30
数値制御オシレータ	17	0x85 : NCO周波数レジスタ0	30
周波数変換	17	0x86 : NCO周波数レジスタ1	30
NCO周波数ホールドオフ・レジスタ	17	0x87 : NCO位相オフセット・レジスタ	30
位相オフセット	17	0x88 : NCO制御レジスタ	30
NCO制御レジスタ	17	0x90 : rCIC2デシメーション-1 (M _{rCIC2} -1)	31
バイパス	17	0x91 : rCIC2補間-1 (L _{rCIC2} -1)	31
位相ディザ	17	0x92 : rCIC2スケール	31
振幅ディザ	17	0x93 :	31
ホップ時の位相アキュムレータのクリア	17	0x94 : CIC5デシメーション-1 (M _{CIC5} -1)	31
入力イネーブル制御	17	0x95 : CIC5スケール	31
モード00 : IENのローレベルでデータをブランク	17	0x96 :	31
モード01 : IENのハイレベルでクロック入力	18	0xA0 : RCFデシメーション-1 (M _{RCF} -1)	31
モード10 : IENの立ち上がり変化でクロック入力	18	0xA1 : RCFデシメーション位相(P _{RCF})	31
モード11 : IENの立ち下がり変化でクロック入力	18	0xA2 : RCFタップ数-1(N _{RCF} -1)	31
WB入力セレクト	18	0xA3 : RCF係数オフセット(CO _{RCF})	31
同期セレクト	18	0xA4 : RCF制御レジスタ	31
2次rCICフィルタ	18	0xA5 : I用BISTレジスタ	32
rCIC2除去比	19	0xA6 : Q用BISTレジスタ	32
計算例	19	0xA7 : BIST制御レジスタ	32
デシメーションおよび補間レジスタ	19	0xA8 : RAM BIST制御レジスタ	32
rCIC2スケール	19	0xA9 : シリアル・ポート制御レジスタ	32
カスケード積分型5次COMBフィルタ	20	マイクロポートの制御	33
CIC5の除去比	20	外部メモリ・マップ	33
RAM係数フィルタ	20	アクセス制御レジスタ(ACR)	33
RCFデシメーション・レジスタ	21	外部メモリ・マップ	34
RCFデシメーション位相	21	チャンネル・アドレス・レジスタ(CAR)	34
RCFフィルタ長	21	SOFT_SYNC制御レジスタ	34
RCF出力スケール係数と制御レジスタ	21	PIN_SYNC制御レジスタ	34
ユーザー設定可能な内蔵セルフテスト(BIST)	22	スリープ制御レジスタ	34
RAM BIST	22	データ・アドレス・レジスタ	35
チャンネルBIST	22	書き込みシーケンス	35
デバイス同期	22	読み出しシーケンス	35
スタート	23	リード/ライトのチェイニング	35
ホップ	23	インテル非マルチプレックス・モード(INM)	35
シリアル出力データ・ポート	24	モトローラ非マルチプレックス・モード(MNM)	35
シリアル出力データ・フォーマット	24	入力ポート制御レジスタ	35
コンパクト・シリアル・データ・フォーマット	24	シリアル・ポートの制御	36
シリアル・データ・フレーム(シリアル・バス・マスター)	24	JTAGバウンダリ・スキャン	36
シリアル・データ・フレーム(シリアル・カスケード)	25	内部書き込みアクセス	37
シリアル・ポートの設定	25	書き込み擬似コード	37
シリアル・ポートのデータ・レート	25	内部読み出しアクセス	38
シリアル・ポートとDSPの接続	25	読み出し擬似コード	38
シリアル・スレーブ動作	26	外形寸法	39
シリアル・ポートのカスケード接続	26		

仕様 (VDD = 2.5V ± 5%、VDDIO = 3.3V ± 10%、特に指定のない限りすべての仕様はT_A = T_{MIN} ~ T_{MAX}で規定)

推奨動作条件

パラメータ	テスト・レベル	AD6624AS			単位
		Min	Typ	Max	
VDD	IV	2.375	2.5	2.675	V
VDDIO	IV	3.0	3.3	3.6	V
T _{AMBIENT}	IV	-40	+25	+70	

電気的特性

パラメータ(条件)	温度	テスト・レベル	AD6624AS			単位
			Min	Typ	Max	
ロジック入力(5V対応)						
ロジック互換性	全範囲			3.3V CMOS		
ロジック"1"の電圧	全範囲	IV	2.0		5.0	V
ロジック"0"の電圧	全範囲	IV	-0.3		+0.8	V
ロジック"1"の電流	全範囲	IV		1	10	μA
ロジック"0"の電流	全範囲	IV		1	10	μA
入力容量	25	V		4		pF
ロジック出力						
ロジック互換性	全範囲			3.3V CMOS/TTL		
ロジック"1"電圧(I _{OH} = 0.25mA)	全範囲	IV	2.4	VDD - 0.2		V
ロジック"0"電圧(I _{OL} = 0.25mA)	全範囲	IV		0.2	0.4	V
IDD電源電流						
CLK = 100MHz、(VDD = 2.75V、VDDIO = 3.6V)	全範囲	IV				
I _{VDD}				545		mA
I _{VDDIO}				60		mA
CLK = GSMの例(65MSPS、VDD = 2.5V、VDDIO = 3.3V、Dec = 2/10/6 120タップ4チャンネル)	25	V				
I _{VDD}				250		mA
I _{VDDIO}				24		mA
消費電力						
CLK = 80MHz TD-SCDMA	全範囲	IV		1.1		W
CLK = 65MHz GSM/EDGEの例		V		700		mW
スリープ・モード	全範囲	IV		287		μW

仕様は予告なく変更されることがあります。

AD6624A

一般的なタイミング特性^{1、2}

パラメータ(条件)	温度	テスト・レベル	AD6624AS			単位
			Min	Typ	Max	
CLKのタイミング条件:						
t _{CLK} CLK周期	全範囲	I	10			ns
t _{CLKL} CLKのローレベル幅	全範囲	IV	4.5	0.5 × t _{CLK}		ns
t _{CLKH} CLKのハイレベル幅	全範囲	IV	4.5	0.5 × t _{CLK}		ns
RESETのタイミング条件:						
t _{RESL} RESETのローレベル幅	全範囲	I	30.0			ns
入力広帯域データのタイミング条件:						
t _{SI} 入力から CLKまでのセットアップ時間	全範囲	IV	0.8			ns
t _{HI} 入力から CLKまでのホールド時間	全範囲	IV	2.0			ns
レベル・インジケータ出力スイッチング特性:						
t _{DLI} CLKからLI (A-A、B; B-A、B)までの出力遅延時間	全範囲	IV	3.8		12.6	ns
SYNCのタイミング条件:						
t _{SS} SYNC (A、B、C、D)から CLKまでのセットアップ時間	全範囲	IV	1.0			ns
t _{HS} SYNC (A、B、C、D)から CLKまでのホールド時間	全範囲	IV	2.0			ns
シリアル・ポートのタイミング条件(SBM = 1):						
スイッチング特性: ³						
t _{DSCLK1} CLKから SCLKまでの遅延(1分周)	全範囲	IV	3.9		13.4	ns
t _{DSCLKH} CLKから SCLKまでの遅延(その他の分周比)	全範囲	IV	4.4		14.0	ns
t _{DSCLKL} CLKから SCLKまでの遅延(2または偶数分周)	全範囲	IV	3.25		6.7	ns
t _{DSCLKLL} CLKから SCLKまでの遅延(3または奇数分周)	全範囲	IV	3.8		6.9	ns
t _{DSDFS} SCLKから SDFSまでの遅延	全範囲	IV	0.2		5.3	ns
t _{DSDFE} SCLKから SDFEまでの遅延	全範囲	IV	-0.4		+ 4.7	ns
t _{DSDO} SCLKから SDOまでの遅延	全範囲	IV	-1.0		+ 4.0	ns
t _{DSDR} SCLKから DRまでの遅延	全範囲	IV	-0.3		+ 4.6	ns
t _{DDR} CLKから DRまでの遅延	全範囲	IV	5.4		17.6	ns
入力特性:						
t _{SSI} SDIから SCLKまでのセットアップ時間	全範囲	IV	2.4			ns
t _{HSI} SDIから SCLKまでのホールド時間	全範囲	IV	3.0			ns
シリアル・ポートのタイミング条件(SBM = 0):						
スイッチング特性: ³						
t _{SCLK} SCLK周期	全範囲	IV	16			ns
t _{SCLKL} SCLKローレベル時間(SDIV = 1、1分周)	全範囲	IV	5.0			ns
t _{SCLKH} SCLKのハイレベル時間(SDIV = 1、1分周)	全範囲	IV	5.0			ns
t _{SDSFE} SCLKから SDFEまでの遅延	全範囲	IV	3.8		15.4	ns
t _{SDSO} SCLKから SDOまでの遅延	全範囲	IV	3.7		15.2	ns
t _{SDSR} SCLKから DRまでの遅延	全範囲	IV	3.9		15.9	ns
入力特性:						
t _{SSF} SDFSから SCLKまでのセットアップ時間	全範囲	IV	1.9			ns
t _{HSF} SDFSから SCLKまでのホールド時間	全範囲	IV	0.7			ns
t _{SSI} SDIから SCLKまでのセットアップ時間	全範囲	IV	2.4			ns
t _{HSI} SDIから SCLKまでのホールド時間	全範囲	IV	2.0			ns

注

1 すべてのタイミング仕様は、2.375~2.675VのVDD範囲と3.0~3.6VのVDDIO範囲で有効。

2 すべての出力にC_{LOAD} = 40pFを接続(他に指定がない限り)。

3 SCLK、SDFS、SDFE、SDO、SDI、DRのタイミング・パラメータは、4チャンネルすべて(0、1、2、3)に適用。

シリアル・ポート(SCLK)の動作周波数は62.5MHzに制限。

仕様は予告なく変更されることがあります。

マイクロプロセッサ・ポートのタイミング特性^{1, 2}

パラメータ(条件)	温度	テスト・レベル	AD6624AS			単位
			Min	Typ	Max	
マイクロプロセッサ・ポート、モードINM (MODE = 0)						
モードINM書き込みタイミング:						
t _{SC} 制御 ³ から CLKまでのセットアップ時間	全範囲	IV	5.5			ns
t _{HC} 制御 ³ から CLKまでのホールド時間	全範囲	IV	1.0			ns
t _{HWR} $\overline{WR}(RW)$ からRDY(DTACK)までのホールド時間	全範囲	IV	8.0			ns
t _{SAM} アドレス/データから $\overline{WR}(RW)$ までのセットアップ時間	全範囲	IV	-0.5			ns
t _{HAM} アドレス/データからRDY(DTACK)までのホールド時間	全範囲	IV	7.0			ns
t _{DRDY} $\overline{WR}(RW)$ からRDY(DTACK)までの遅延	全範囲	IV	4.0			ns
t _{ACC} $\overline{WR}(RW)$ からRDY(DTACK)ハイレベルまでの遅延	全範囲	IV	4 × t _{CLK}	5 × t _{CLK}	9 × t _{CLK}	ns
モードINM読み出しタイミング:						
t _{SC} 制御 ³ から CLKまでのセットアップ時間	全範囲	IV	4.0			ns
t _{HC} 制御 ³ から CLKまでのホールド時間	全範囲	IV	2.0			ns
t _{SAM} アドレスからRD(DS)までのセットアップ時間	全範囲	IV	0.0			ns
t _{HAM} アドレスからデータまでのホールド時間	全範囲	IV	7.0			ns
t _{DRDY} RD(DS)からRDY(DTACK)までの遅延	全範囲	IV	4.0			ns
t _{ACC} RD(DS)からRDY(DTACK)ハイレベルまでの遅延	全範囲	IV	8 × t _{CLK}	10 × t _{CLK}	13 × t _{CLK}	ns
マイクロプロセッサ・ポート、モードMNM (MODE = 1)						
モードMNM書き込みタイミング:						
t _{SC} 制御 ³ から CLKまでのセットアップ時間	全範囲	IV	5.5			ns
t _{HC} 制御 ³ から CLKまでのホールド時間	全範囲	IV	1.0			ns
t _{HDS} DS(RD)からDTACK(RDY)までのホールド時間	全範囲	IV	8.0			ns
t _{HRW} RW(WR)からDTACK(RDY)までのホールド時間	全範囲	IV	8.0			ns
t _{SAM} アドレス/データからRW(WR)までのセットアップ時間	全範囲	IV	-0.5			ns
t _{HAM} アドレス/データからRW(WR)までのホールド時間	全範囲	IV	7.0			ns
t _{ACC} RW(WR)からDTACK(RDY)ローレベルまでの遅延	全範囲	IV	4 × t _{CLK}	5 × t _{CLK}	9 × t _{CLK}	ns
モードMNM読み出しタイミング:						
t _{SC} 制御 ³ から CLKまでのセットアップ時間	全範囲	IV	4.0			ns
t _{HC} 制御 ³ から CLKまでのホールド時間	全範囲	IV	2.0			ns
t _{SAM} アドレスからDS(RD)までのセットアップ時間	全範囲	IV	0.0			ns
t _{HAM} アドレスからデータまでのホールド時間	全範囲	IV	7.0			ns
t _{ZD} データからトリアステートまでの遅延	全範囲	IV	7.0			ns
t _{ACC} DS(RD)からDTACK(RDY)ローレベルまでの遅延	全範囲	IV	8 × t _{CLK}	10 × t _{CLK}	13 × t _{CLK}	ns

注

1 すべてのタイミング仕様は、2.375 ~ 2.675VのVDD範囲と3.0 ~ 3.6VのVDDIO範囲で有効。

2 すべての出力にC_{LOAD} = 40pFを接続(他に指定がない限り)。

3 仕様は次の制御信号に関係: RW、(WR)、DS、(RD)、CS

仕様は予告なく変更されることがあります。

AD6624A

タイミング図

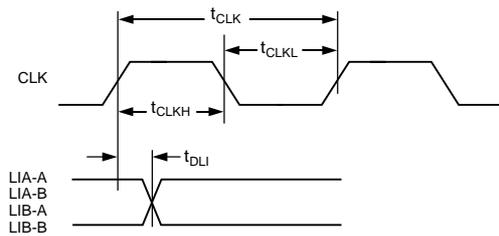


図1 レベル・インジケータ出力スイッチング特性

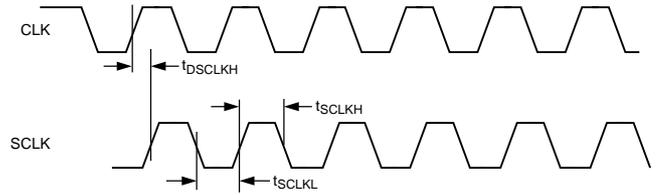


図4 SCLKスイッチング特性(1分周)



図2 RESETのタイミング条件

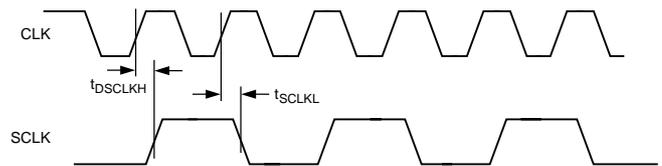


図5 SCLKスイッチング特性(2または偶数分周)

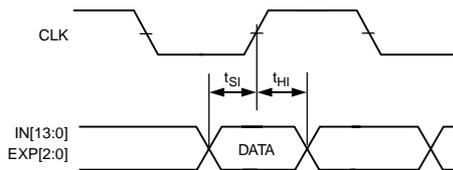


図3 入力データのタイミング条件

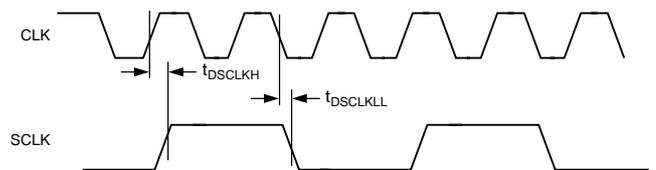


図6 SCLKスイッチング特性(3または奇数分周)

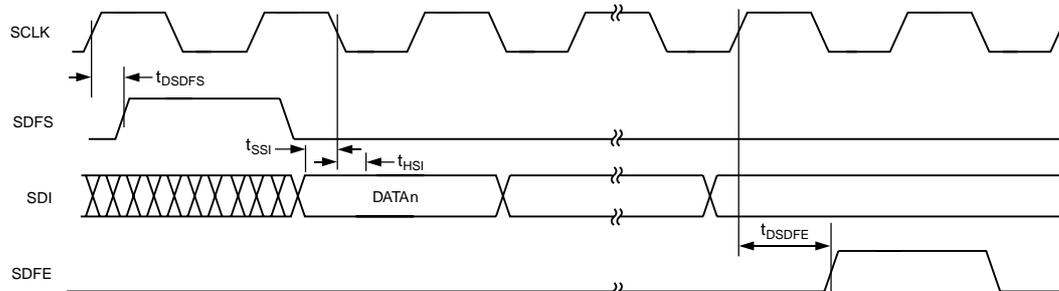


図7 シリアル・ポート・スイッチング特性

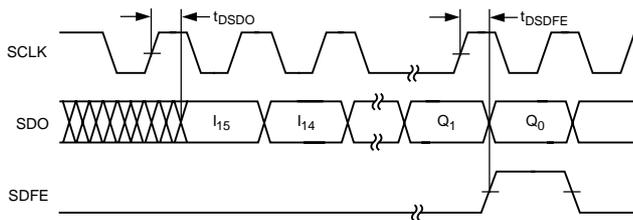


図8 SDO、SDFEスイッチング特性

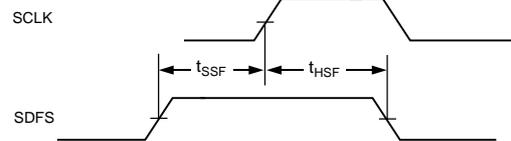


図11 SDFSのタイミング条件(SBM = 0)

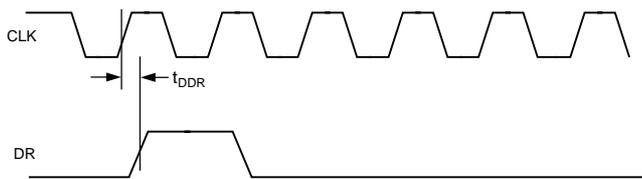


図9 CLK、DRスイッチング特性

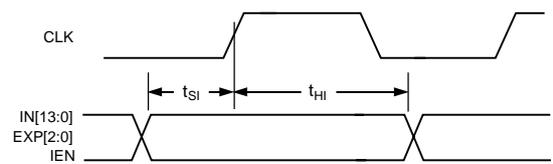


図12 AおよびBチャンネルの入力タイミング

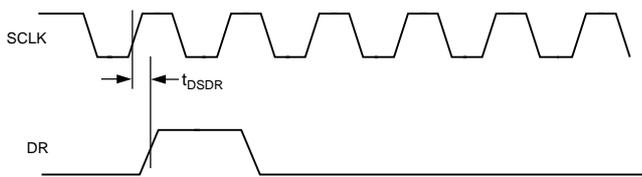


図10 SCLK、DRスイッチング特性

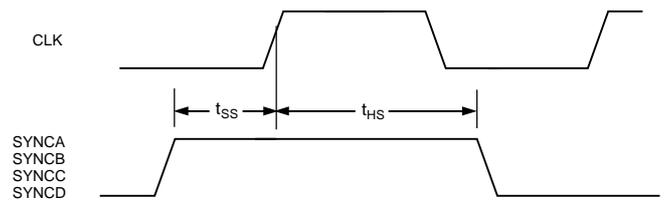
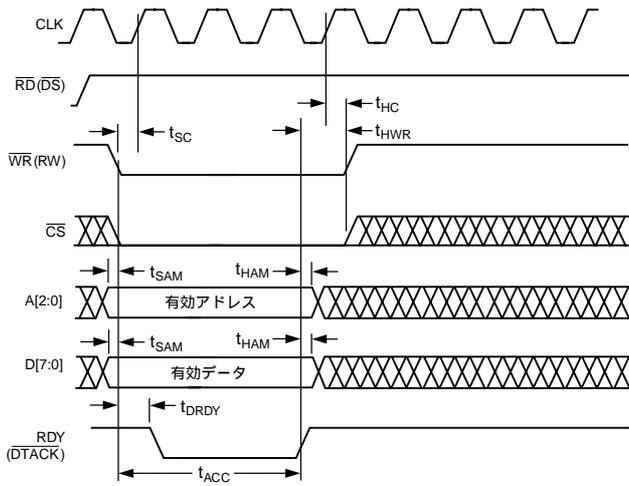


図13 SYNCタイミング入力

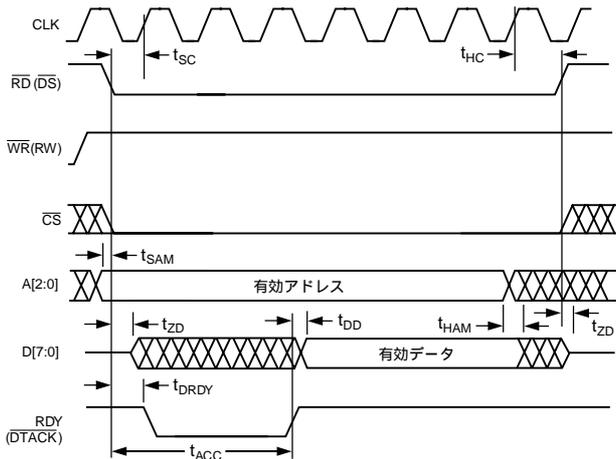
AD6624A

タイミング図 INMマイクロポート・モード



- 注
1. t_{ACC} のアクセス時間はアクセスされたアドレスに依存。アクセス時間はWRのFEからRDYのREまでで測定。
 2. t_{ACC} は最大9 CLK周期が必要。

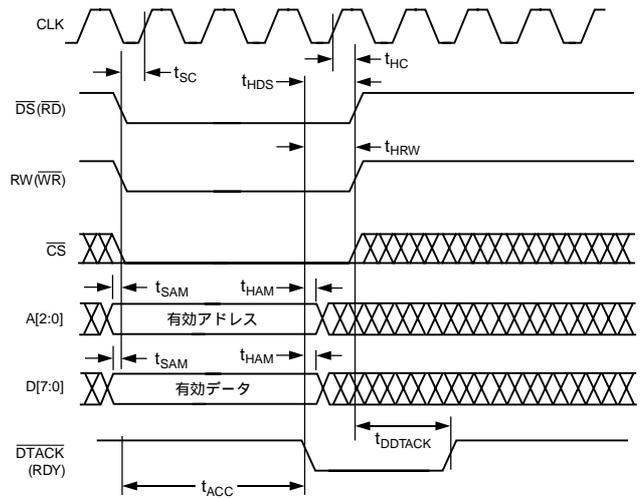
図14 INMマイクロポート書き込みのタイミング条件



- 注
1. t_{ACC} のアクセス時間はアクセスされたアドレスに依存。アクセス時間はWRのFEからRDYのREまでで測定。
 2. t_{ACC} は最大13 CLK周期が必要で、A[2:0]=7、6、5、3、2、1に適用。

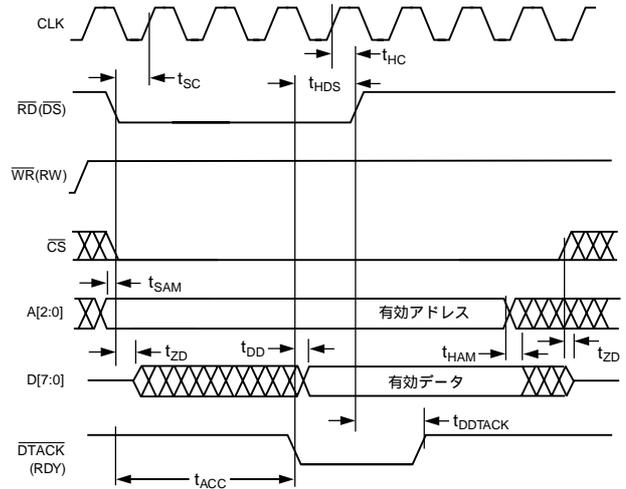
図15 INMマイクロポート読み出しのタイミング条件

タイミング図 MNMマイクロポート・モード



- 注
1. t_{ACC} のアクセス時間はアクセスされたアドレスに依存。アクセス時間はDSのFEからDTACKのFEまでで測定。
 2. t_{ACC} は最大9 CLK周期が必要。

図16 MNMマイクロポート書き込みのタイミング条件



- 注
1. t_{ACC} のアクセス時間はアクセスされたアドレスに依存。アクセス時間はDSのFEからDTACKのFEまでで測定。
 2. t_{ACC} は最大13 CLK周期が必要。

図17 MNMマイクロポート読み出しのタイミング条件

絶対最大定格*

電源電圧	3.6V
入力電圧	- 0.3 ~ + 5.3V (5V対応)
出力電圧振幅	- 0.3V ~ VDDIO + 0.3V
負荷容量	200pF
バイアス時の接合温度	125
保管温度範囲	- 65 ~ + 150
ピン温度(5秒)	280

*絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱特性

196ピン・ボール・グリッド・アレイ：

$J_A = 26.3$ /W、自然空冷

$J_A = 22$ /W、200 LFPMの強制空冷

温度は4層ボード上の水平位置で測定。

テスト・レベルの説明

- I. 100%の出荷テストを実施。
- II. 25 °Cでの100%の出荷テストおよび指定温度でのサンプル・テストを実施。
- III. サンプル・テストのみを実施。
- IV. パラメータは設計および解析により保証。
- V. パラメータは、typ値のみ。
- VI. 25 °Cでの100%の出荷テストおよび限界温度でのサンプル・テストを実施。

オーダー・ガイド

製品モデル	温度範囲	パッケージ	パッケージ・オプション
AD6624AABC AD6624AS/PCB	- 40 ~ + 85 (周囲)	196ピンBGA (ボール・グリッド・アレイ) 評価ボード、AD6624A、ソフトウェア添付	BC-196

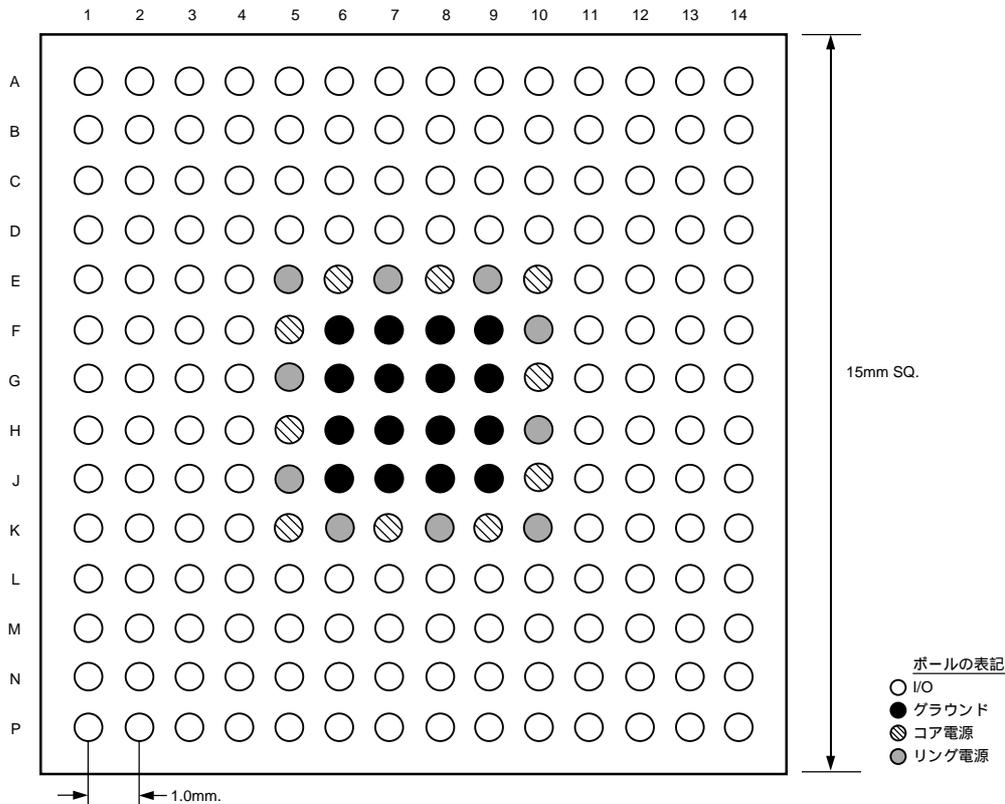
注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



AD6624A

ピン配置 (上面図)



上面図

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	NC		INB5	INB6		INB12	EXPB1	EXPB0	SDIN3	SDFS3	DR2		NO SDFS2	NC
B	INB3			INB4	INB7	INB10	INB13	DR3	SDO3	SDFE2	SDO2			
C	INB1			INB8		INB9	INB11	EXPB2	SDFE3	SCLK3	SDIN2	SCLK2		SDFE1
D	LIB-B	INB2	INB0									SDFS1	DR1	SDIN1
E	CLK	IENB	LIB-A		VDDIO	VDD	VDDIO	VDD	VDDIO	VDD			SDO1	
F	EXPA1	EXPA0	EXPA2		VDD	GND	GND	GND	GND	VDDIO		SCLK1	DR0	SDIN0
G	INA12	INA13	INA10		VDDIO	GND	GND	GND	GND	VDD		SDFE0	SDO0	SCLK0
H	INA11	INA9	INA7		VDD	GND	GND	GND	GND	VDDIO		SDFS0	SDIV1	SDIV0
J	INA8	INA6	INA4		VDDIO	GND	GND	GND	GND	VDD		SDIV2	SMB0	SDIV3
K	INA5	INA2	INA0		VDD	VDDIO	VDD	VDDIO	VDD	VDDIO		CHIP_ID1	CHIP_ID3	CHIP_ID0
L	INA1		INA3									TDI	TMS	CHIP_ID2
M	IENA			SYNCD	SYNCA	D5	D2	$\overline{DS}(\overline{RD})$		A0	MODE	\overline{TRST}		TD0
N				LIA-A	SYNCC	D7	D4	D1	$\overline{DTACK}(\overline{RDY})$	A2	\overline{CS}			TCLK
P	NC	LIA-B		SYNCB	\overline{RESET}	D6		D3	D0	RW(\overline{WR})	A1			NC

NC = 未接続

196ピンBGAのピン機能説明

ピン番号	タイプ	機能
電源		
VDD	P	2.5V電源
VDDIO	P	3.3V IO電源
GND	G	グラウンド
入力		
INA[13 : 0] ¹	I	A入力データ(仮数部)
EXPA[2 : 0] ¹	I	A入力データ(指数部)
IENA ²	I	入力イネーブル 入力A
INB[13 : 0] ¹	I	B入力データ(仮数部)
EXPB[2 : 0] ¹	I	B入力データ(指数部)
IENB ²	I	入力イネーブル 入力B
RESET	I	アクティブ・ロー・リセット・ピン
CLK	I	入力クロック
SYNC ¹	I	すべてのSyncピンをすべての4出力チャンネルに接続
SYNCB ¹	I	すべてのSyncピンをすべての4出力チャンネルに接続
SYNCC ¹	I	すべてのSyncピンをすべての4出力チャンネルに接続
SYNCD ¹	I	すべてのSyncピンをすべての4出力チャンネルに接続
SDIN0 ¹	I	シリアル・データ入力 チャンネル0
SDIN1 ¹	I	シリアル・データ入力 チャンネル1
SDIN2 ¹	I	シリアル・データ入力 チャンネル2
SDIN3 ¹	I	シリアル・データ入力 チャンネル3
\overline{CS} ¹	I	チップ・セレクト
CHIP_ID[3 : 0] ¹	I	チップIDセクタ
制御		
SBM0 ¹	I	シリアル・バス・マスター チャンネル0のみ
SCLK0 ¹	I/O	双方向シリアル・クロック チャンネル0
SCLK1 ¹	I/O	双方向シリアル・クロック チャンネル1
SCLK2 ¹	I/O	双方向シリアル・クロック チャンネル2
SCLK3 ¹	I/O	双方向シリアル・クロック チャンネル3
SDIV[3 : 0] ¹	I	シリアル・クロック分周比 チャンネル0
SDFS0 ¹	I/O	双方向シリアル・データ・フレーム同期 チャンネル0
SDFS1 ¹	I/O	双方向シリアル・データ・フレーム同期 チャンネル1
SDFS2 ¹	I/O	双方向シリアル・データ・フレーム同期 チャンネル2
SDFS3 ¹	I/O	双方向シリアル・データ・フレーム同期vチャンネル3
SDFE0	O	シリアル・データ・フレーム終了 チャンネル0
SDFE1	O	シリアル・データ・フレーム終了 チャンネル1
SDFE2	O	シリアル・データ・フレーム終了 チャンネル2
SDFE3	O	シリアル・データ・フレーム終了 チャンネル3
マイクロポート制御		
D[7 : 0]	I/O/T	双方向マイクロポート・データ
A[2 : 0]	I	マイクロポート・アドレス・バス
\overline{DS} (RD)	I	アクティブ・ローデータ・ストローブ(アクティブ・ロー読み出し)
\overline{DTACK} (RDY) ²	O/T	アクティブ・ローデータ・アクノリッジ(マイクロポート・ステータス・ビット)
RW (\overline{WR})	I	リードライト(アクティブ・ロー書き込み)
MODE	I	インテルまたはモトローラ・モード・セレクト

AD6624A

196ピンBGAのピン機能説明 (続き)

ピン番号	タイプ	機能
出力		
LIA-A	O	レベル・インジケータ 入力A、インターリーブ・データA
LIA-B	O	レベル・インジケータ 入力A、インターリーブ・データB
LIB-B	O	レベル・インジケータ 入力B、インターリーブ・データB
LIB-A	O	レベル・インジケータ 入力B、インターリーブ・データA
SDO0 ¹	O/T	シリアル・データ出力 チャンネル0
SDO1 ¹	O/T	シリアル・データ出力 チャンネル1
SDO2 ¹	O/T	シリアル・データ出力 チャンネル2
SDO3 ¹	O/T	シリアル・データ出力 チャンネル3
DR0	O	出力データ・レディ・インジケータ チャンネル0
DR1	O	出力データ・レディ・インジケータ チャンネル1
DR2	O	出力データ・レディ・インジケータ チャンネル2
DR3	O	出力データ・レディ・インジケータ チャンネル3
JTAGおよびBIST		
TRST ²	I	テスト・リセット・ピン
TCLK ¹	I	テスト・クロック入力
TMS ²	I	テスト・モード入力
TDO	O/T	テスト・データ出力
TDI ²	I	テスト・データ入力

注

1 公称70k のブルダウン抵抗を内蔵するピン。

2 公称70k のブルアップ抵抗を内蔵するピン。

アーキテクチャ

AD6624Aは、周波数変換器、リサンプリング・カスケード積分型2次COMBFIRフィルタ(rCIC2)、カスケード積分型5次COMBFIRフィルタ(CIC5)、RAM係数FIRフィルタ(RCF)という、4つの信号処理ステージを内蔵しています。入出力データのクロック駆動について複数のモードをサポートしているため、広範囲なデジタル化機器に柔軟にインターフェースできます。設定および制御は、シリアルおよびマイクロプロセッサ・インターフェース経由で行います。

周波数変換は、32ビット複素数値制御オシレータ(NCO)で行います。このステージに入力された実数データは、同相(I)成分と直交(Q)成分に分けられます。このステージは、入力信号をデジタル中間周波数(IF)からデジタル・ベースバンドへ変換します。オンチップの位相ディザと振幅ディザをイネーブルして、NCOのスプリアス性能を向上させることができます。位相オフセット・ワードによって、複数のAD6624間または複数のチャンネル間で既知の位相関係を発生させることができます。

周波数変換の後ろには、固定係数で高速なりサンプリング・カスケード積分型2次COMB(rCIC2)フィルタがあります。このフィルタはデシメーション・レジスタと補間レジスタとの比に基づいてサンプル・レートを減少させます。次のステージはカスケード積分型5次COMB(CIC5)フィルタ

で、フィルタ応答はデシメーション・レートによって決定されます。これらのフィルタの目的は、最終フィルタ・ステージへのデータ・レートを減らして、出力当たりが計算できるタップ数を増やすことです。

最終ステージはプログラマブルな20ビット係数の積和FIRフィルタであり、1~256 (実用的には1~32)に設定できるデシメーション・レートを持っています。RAM係数FIRフィルタ(機能ブロック図ではRCF)は、最大160タップを処理できます。

AD6624Aの全体フィルタ応答は、すべてのデシメーションおよび補間ステージの合成応答になります。連続する各フィルタ・ステージは遷移帯域幅を狭くすることができますが、出力を計算するためのCLKサイクル数が増えてしまいます。初段フィルタ・ステージのデシメーションを大きくするほど、全体の消費電力を小さくすることができます。デバイスの出力データは、高速同期シリアル・ポート経由でDSPにインターフェースされます。

図18aに、広い入力スペクトルから1つのチャンネルを選択してフィルタするAD6624Aの基本機能を示します。周波数変換器は所望のキャリアをベースバンドに“同調”します。図18bに、rCIC2、CIC5、RCFの合成フィルタ応答を示します。

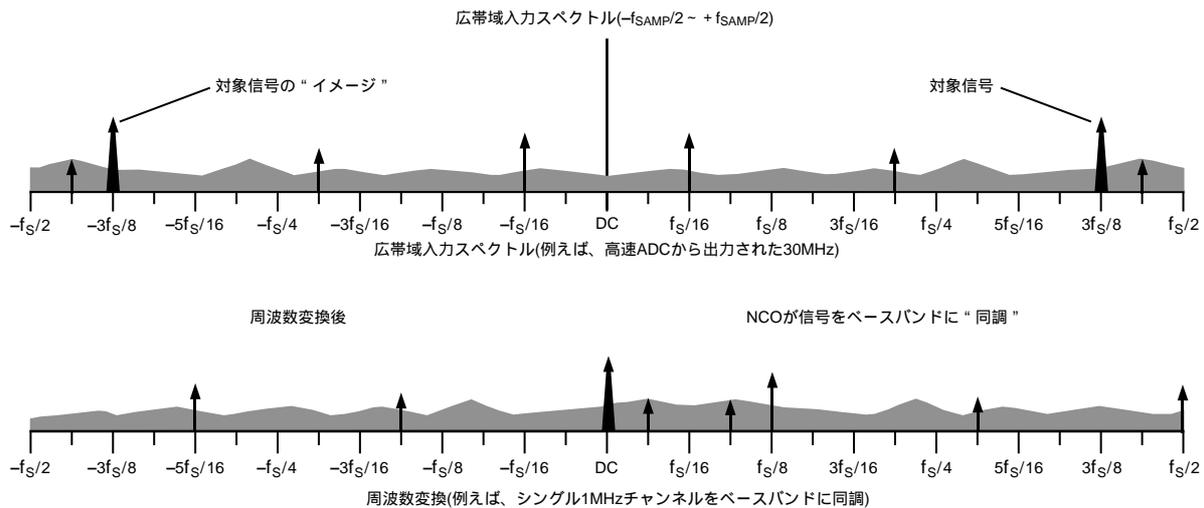


図18a 広帯域入力スペクトルの周波数変換

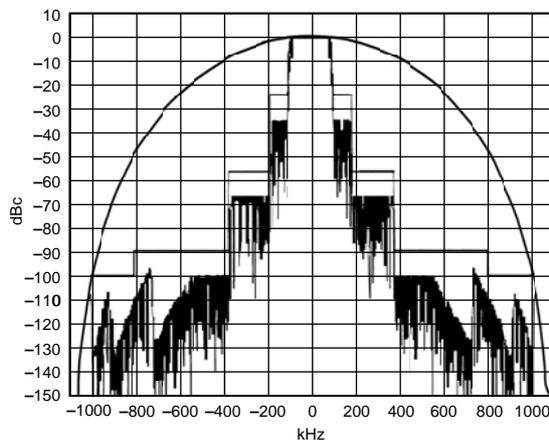


図18b rCIC2、CIC5、RCFの合成フィルタ応答

AD6624A

フィルタ応答の例

図19に示すフィルタは、65MSPSの入力データ・レートと541.6666 kSPSの出力レート(EDGE用の1記号当たり2サンプル)に基づいています。総合デシメーション・レートは120で、rCIC2、CIC5、RCFにより分担されています。

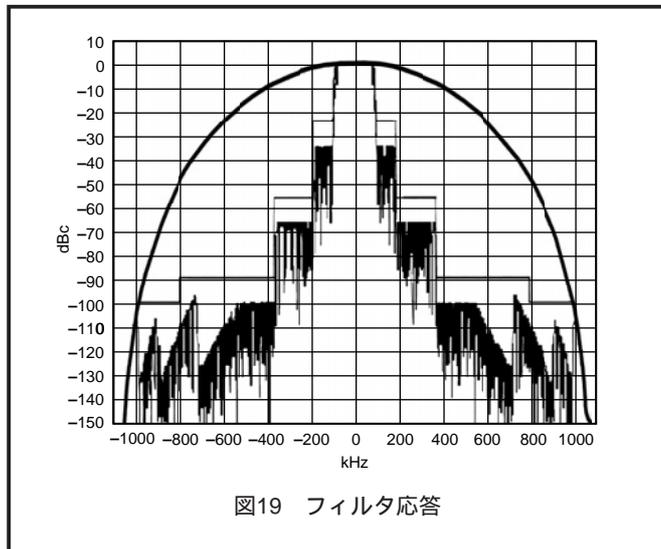


図19 フィルタ応答

図20に示すフィルタは、IS-136仕様を満たすように設計されています。この構成では、クロック = 61.44MSPS、総合デシメーション・レート = 320、出力データ・レート = 192kSPS、すなわち1記号当たり4サンプルです。

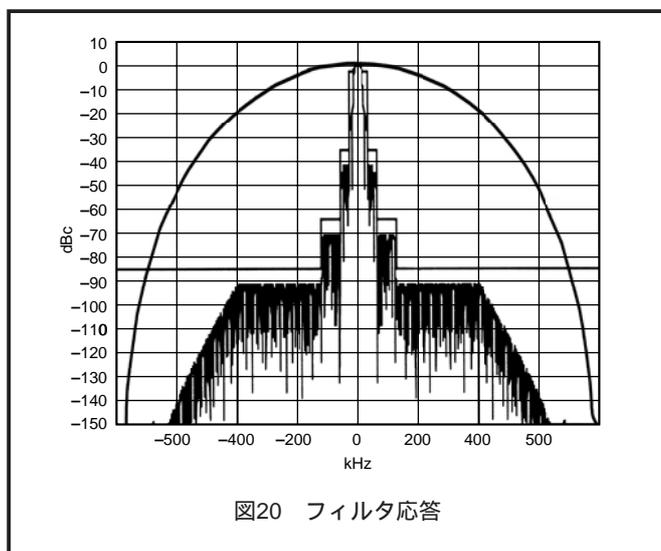


図20 フィルタ応答

入力データ・ポート

AD6624Aは、入力ポートAと入力ポートBという高速ADC入力を2ポート内蔵しています。2つの入力ポートにより、単一のチューナ・チップとしては最大の柔軟性をもっています。入力、ダイバーシティー入力、または個別アンテナ・セグメントのような全く独立した入力が可能です。どちらのADCポートも、4個のチューナ・チャンネルの内の1つに接続することができます。柔軟性を強化するため、各入力ポートを使ってAD6600やミックス出力を持つその他のADCで使用されているマルチプレクス入力をサポートすることができます。この強化された柔軟性により、最大4個の異なるアナログ・ソースを内部4チャンネルで同時に処理できるようになります。

さらに、AD6624Aのフロントエンドには、高速信号レベルの検出と制御を可能にする回路が内蔵されています。これは、最小のレイテンシと最大4つのアナログ信号パスを制御する柔軟性を提供する独自の高速レベル検出回路で実現されています。AD6624Aの入力

から出力までの全信号パス・レイテンシは、高速クロック・サイクル数で表すことができます。レイテンシの計算には次の式を使います。

$$T_{\text{LATENCY}} = M_{rC1C2} (M_{CIC5} + 7) + N_{TAPS} + 4(SDIV + 1) + 18$$

M_{rC1C2} と M_{CIC5} はそれぞれrC1C2フィルタとCIC5フィルタのデシメーション値であり、 N_{TAPS} は選択されたRCFタップ数、SDIVは選択されたSCLK分周比です。

入力データ・フォーマット

各入力ポートは14ビットの仮数部と3ビットの指数部で構成されています。標準ADCへのインターフェースが必要な場合は、指数部ビットをグラウンドに接続することができます。AD6600のような浮動小数点ADCに接続する場合、そのADCからの指数部ビットをAD6624Aの入力指数部ビットに接続することができます。仮数部のデータ・フォーマットは2の補数で、指数部は符号なし2進数です。

入力タイミング

各高速入力ポートからのデータは、CLKの立ち上がりエッジでラッチされます。このクロック信号は入力ポートのサンプルおよび、選択チャンネルの後続の同期信号処理ステージのクロック駆動に使用されます。

クロック信号は最大80MHzで動作することができ、50%デューティ・サイクルです。高速ADCを使うアプリケーションでは、通常、ADCのサンプル・クロックまたはデータ有効ストロブを使ってAD6624Aをクロック駆動します。

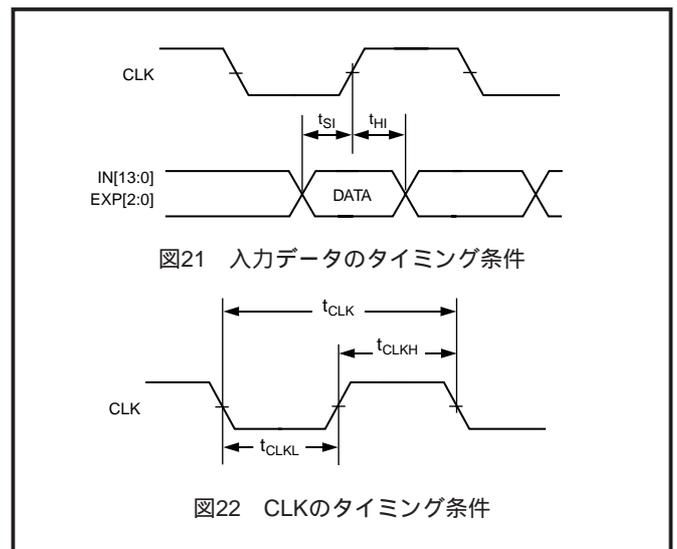


図21 入力データのタイミング条件

図22 CLKのタイミング条件

入力イネーブル制御

入力ポートAと入力ポートBにはそれぞれIENAピンとIENBピンがあります。各IENピンに使用される動作モードは4種類あります。このモードを使うと、ダイバーシティー動作とデュアル・チャンネル・モードを提供するAD6620などの他のRSP動作をエミュレートすることができます。4種類のモードとは、IENの立ち下がり変化、IENの立ち上がり変化、IENハイレベル、ブランク・オンIENローです。

IENハイレベル・モードでは、入力イネーブルがハイレベルのとき入力およびノーマル動作が発生します。IENの立ち下がり変化モードでは、IENの立ち下がり変化後の、クロックの最初の立ち上がりエッジでノーマル動作が発生します。同様に、IENの立ち上がり変化モードでは、IENの立ち上がり変化後の、クロックの立ち上がりエッジで動作が発生します。入力イネーブル・モード設定の詳細は、「数値制御オシレータ」を参照してください。ブランク・オンIENロー・モードでは、IENがローレベルのとき入力データはゼロと解釈されます。

この機能の代表的なアプリケーションとして、AD6600ダイバーシティーADCからデータを取得して、AD6624Aの入力の1つに渡すことがあります。そのデバイスのA/B_OUTをIENに接続することができ、次にAD6624A内の1つのチャンネルをIENの立ち下がり変化を有効にするように設定し、別のチャンネルをIENの立ち上がり変化を有効にするように設定します。シリアル出力の1つをシリアル・バス・マスターに、別のシリアル出力をシリアル・バス・スレーブに設定し、出力バスを図25のように設定します。この設定により、AD6624Aの2チャンネルをダイバーシティー・モードのAD6620をエミュレートするように設定することが可能になります。もちろん、NCO周波数と他のチャンネル特性を同じ設定にする必要がありますが、この機能を使うと、AD6624AがAD6600で使用されるようなインターリーブされたデータ・ストリームを処理できるようになります。IENの立ち上がり変化とIENハイレベルとの違いは、コンバータのデータ・レートより高いシステム・クロックが入力されたとき明らかになります。データ・レートより高速なクロックを入力することは、計算できるフィルタ・タップ数を増やすのに有益で、より優れたフィルタリング機能が得られます。回路の他の部分が簡単な方法で高速なクロックを正しく認識できるようにするために、IENの立ち下がり変化またはIENハイレベルが使われます。このモードでは、セットアップ時間とホールド時間を満たす最初のクロック・エッジだけを使って、入力データをラッチして処理します。フロントエンド処理は、他のすべてのクロック・パルスを無視します。ただし、各クロック・サイクルでは新しいフィルタ計算対の生成を続けます。

ゲインのスイッチング

AD6624Aは、広いダイナミックレンジが存在するアプリケーションや、ゲイン範囲コンバータを採用しているアプリケーションで役立つ回路を内蔵しています。この回路を使うと、上側と下側のスレッシュホールドがプログラム設定できるように、デジタル・スレッシュホールドを設定できます。この機能の1つの使い方は、特定の入力条件で、A/Dコンバータがフルスケールに近づいたことを検出することです。ADCのオーバードライブを防止する減衰器を迅速に挿入するためのフラグを設定することができます。18dB(または任意の値)の減衰(またはゲイン)を追加した場合、システムの信号ダイナミックレンジは18dBだけ増えます。このプロセスは、設定した上側スレッシュホールドに入力信号が達したときに開始されます。代表的なアプリケーションでは、この値はフルスケールの1dB下に設定されます(ユーザー定義)。この入力条件が満たされると、入力ポートAまたはBに対応するLI(LIA-A、LIA-B、LIB-A、またはLIB-B)信号がアクティブになります。これにより、外部回路のゲインまたは減衰を切り替えることができます。設定された下側スレッシュホールドを入力条件が下回るまで、LI信号はアクティブのままになります。ヒステリシスを与えるときは、ドウェル・タイム・レジスタ(入力制御レジスタのメモリ・マップ参照)を使って、制御ラインのスイッチングを予め定めたクロック数だけ遅らせることができます。入力条件が下側スレッシュホールドを下回ると、プログラマブル・カウンタが高速クロックのカウントを開始します。設定された高速クロック・サイクル数の間、入力信号が下側スレッシュホールドより下に留まっている限り、ターミナル・カウント値で減衰量は減衰されます。ただし、カウンタ動作中に入力条件が下側スレッシュホールドを超えるときリセットされ、再び下側スレッシュホールドより下の値に戻り、このプロセスを開始します。これにより、不要な状態切り替えを防止します。この様子を図23に示します。入力信号が上側スレッシュホールドを超えると、該当するLI信号がアクティブになります。信号が下側スレッシュホールドを下回ると、カウンタがカウントを開始します。入力条件が下側スレッシュホールドを超える

と、カウンタがリセットされて、動作を再開します(図23)。カウンタがゼロに達すると、LI信号は非アクティブになります。

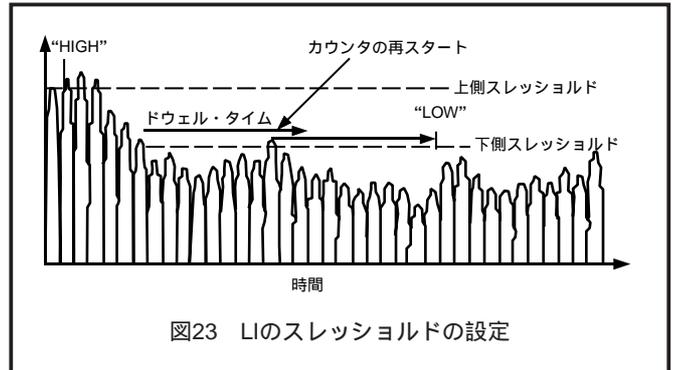


図23 LIのスレッシュホールドの設定

LI信号は様々な機能に使うことができます。この信号は減衰器DVGAの制御設定に使用でき、また、アナログVGAと組合わせて使うこともできます。この機能の使用を簡単にするため、AD6624Aは2つの個別ゲイン設定を内蔵しています。1つはこのラインが非アクティブ(rCIC2_QUIET[4:0])のとき、もう1つはこのラインがアクティブ(rCIC2_LOUD[4:0])のとき、動作します。この機能により、デジタル・ゲインを外部的変化に合わせることができます。ゲイン設定と組合わせて、ADCのパイプライン遅延とゲイン制御エレメントのスイッチング時間を補償するための可変ホールドオフ機能が内蔵されています。2つの機能の組合せにより、シームレスなゲイン・スイッチングが可能になります。

これらのピンのもう1つの使い方は、ゲイン範囲を設定するADCでゲイン範囲のホールドオフ機能を可能にすることです。トータル信号ダイナミックレンジを増やすためにゲイン範囲設定機能を使うコンバータの場合、内部ゲイン範囲設定機能をしばらくの間、停止させることが望ましい場合があります。このようなコンバータの場合、LI(AまたはB)信号でこの機能を停止させることができます。このアプリケーションの場合、上側スレッシュホールドも同じ基準で設定されます。ただし、下側スレッシュホールドは特定のコンバータのゲイン範囲と両立するレベルに設定することができます。ホールドオフ遅延は、減衰プロファイル、信号ピーク対平均比、または不要なゲイン変化を発生させるその他のタイムベースの特性など、任意の数の要因を考慮して適切に設定することができます。

AD6624Aは、入力ポートAとBが共にインターリーブされたデータを持つ場合に使える、合計4個のゲイン制御回路を内蔵しているため、それぞれの対応する独立したLIピンを制御することにより、異なる設定値に設定することができます。ゲイン制御回路は広帯域であるため、すべてのフィルタ・エレメントの前に配置してループ遅延を最小にしていることに注意してください。4チャンネルの内の任意のチャンネルを使って、4つの入力チャンネルから任意の入力チャンネルをモニターすることができます(ノーマル・モードは2チャンネルで、時分割入力は4チャンネルで)。

AD6624Aは、LI信号に対応する減衰に基づいていく内部データの適切なスケール機能も提供しています。この方法では、DSPに出力されるデータは処理中、正しいスケール値を維持し、全く独立しています。外付けのゲイン・スイッチング部品には固有の遅延があるため、AD6624Aは外部パイプライン遅延またはゲイン/減衰器デバイスに起因するセトリング・タイムの補償に使うことができる可変パイプライン遅延を内蔵しています。この遅延は、高速クロックで最大7サイクルまで設定することができます。これにより、設定ゲイン間でスムーズなスイッチングが可能です。

AD6624A

入力データのスケールリング

AD6624Aは、入力ポートAと入力ポートBの2つのデータ入力ポートを内蔵しています。各々14ビットの仮数部(2の補数整数) IN[13:0]、3ビットの指数部(符号なし整数) EXP[2:0]、入力イネーブル(IEN)を入力します。両入力ともCLKでクロック駆動されます。これらのピンを使うと、AD9225やAD6640のような固定小数点の標準ADCおよび、AD6600のようなゲイン範囲設定ADCに直接インターフェースすることができます。14ビット未満のADCとの通常動作では、アクティブ・ビットはMSB側に詰めて、未使用LSBはローレベルに固定します。3ビットの指数部EXP[2:0]は符号なし整数として解釈されます。指数部はその後、レジスタ0x92に格納されている5ビットのスケール値(ビット4~0またはビット9~5)により変更されます。この5ビットのレジスタは、rCIC2スケール値+外部減衰器スケール設定値+指数部オフセット(ExpOff)の和を格納しています。外部減衰器を使用しない場合は、この値にはrCIC2スケール値のみ設定することができます。外部減衰器を使用する場合は、ビット位置4~0 (レジスタ0x92 rCIC2_LOUD[4:0])に最大入力範囲のスケール値を格納します。ビット位置9~5 (レジスタ0x92 rCIC2_QUIET[4:0])は、非減衰入力信号範囲に使用します。

固定小数点ADCでのスケールリング

固定小数点ADCの場合、一般にAD6624Aの指数部入力EXP[2:0]は使用されず、ローレベルに固定されます。ADC出力は、MSB側に詰めて、AD6624Aの入力に直接接続されます。0x92のExpOffビットは"0"が設定されます。同様に、指数部反転ビットも"0"が設定されます。

したがって、固定小数点ADCの場合、一般に指数部はスタティックであり、AD6624Aでは入力スケールリングは使われません。

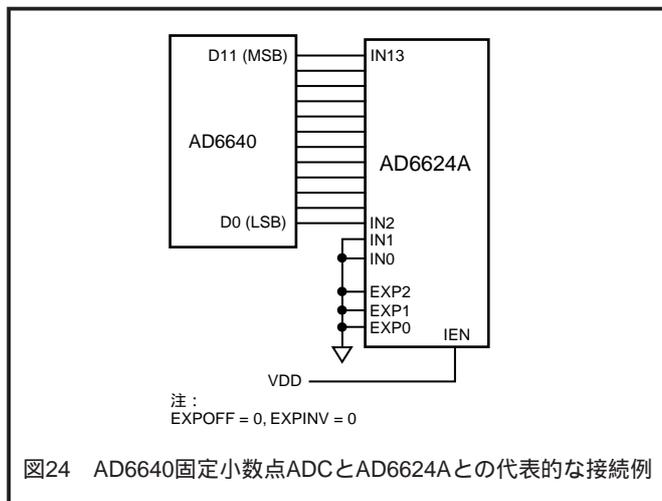


図24 AD6640固定小数点ADCとAD6624Aとの代表的な接続例

浮動小数点ADCまたはゲイン範囲設定ADCでのスケールリング指数部制御機能の例では、AD6600とAD6624Aを組み合わせています。AD6600は11ビットのADCで、3ビットのゲイン範囲設定機能を持っています。実際に、AD6600は仮数部、および指数部として3ビットの相対信号強度インジケータ(RSSI)を出力します。AD6600は8ステップの内の5ステップしか使いません。詳細は、AD6600データシートを参照してください。

AD6600のようなゲイン範囲設定機能付きADCの場合、

$$\text{scaled_input} = \text{IN} \times 2^{-\text{mod}(7 - \text{Exp} + \text{rCIC2}, 8)}, \quad (1)$$

$$\text{ExpInv} = 1, \text{ExpWeight} = 0$$

ここで、INはIN[13:0]の値、ExpはEXP[2:0]の値、rCIC2はrCICスケール・レジスタ値(0x92のビット9~5とビット4~0)です。

AD6600のRSSI出力は、アナログ入力の信号強度が大きくなるほど、大きな値になります(大きな信号ではRSSI = 5、小さな信号ではRSSI = 0)。指数部反転ビット(ExpInv)がゼロに設定されると、AD6624AはIN[13:0]での最小信号を最大値であると見なします。

さらにEXPワードが大きくなると、内部でデータをシフト・ダウンします(EXP = 5で、14ビット・ワードを右に内部5ビットだけシフトした後、データをrCIC2に渡します)。この例では、ExpInv = 0の場合、AD6624Aは、AD6600上で可能な最大信号を最小信号と見なします。したがって、指数部反転ビットを使ってAD6624Aの指数部をAD6600のRSSIに合わせることができます。ExpInv = 1に設定すると、EXPの増加に対してAD6624Aはデータを下ではなく上(左)にシフトします。AD6600と使用するとき、指数部反転ビットは常にハイレベルに設定する必要があります。

指数部オフセットは、データを右にシフトするとき使います。例えば、rCIC2スケールリングなしで、ADC入力に最大レベルにあるときは12dBの範囲が失われてしまうことを表IIに示します。これは、量子化ノイズ・フロアに対して対象信号を小さくすることで、ダイナミックレンジとシステムのSNRを低くするため、望ましいものではありません。

表I AD6624AがExpInv = 1、かつExpOffなしの場合のAD6600の伝達関数

ADC 入力レベル	AD6600 RSSI[2:0]	AD6624A データ	信号の損失
最大	101 (5)	÷ 4 (>> 2)	- 12dB
	100 (4)	÷ 8 (>> 3)	- 18dB
	011 (3)	÷ 16 (>> 4)	- 24dB
	010 (2)	÷ 32 (>> 5)	- 30dB
	001 (1)	÷ 64 (>> 6)	- 36dB
最小	000 (0)	÷ 128 (>> 7)	- 42dB

(ExpInv = 1, ExpOff = 0)

フルスケールADC信号の自動的な減衰を防止するため、ExpOffを使って最大信号(RSSI = 5)をダウン・シフトが発生しないポイントまで移動させることができます。言い換えれば、指数部反転ビットをセットしてから、 $\text{mod}(7 - 5 + \text{ExpOff}, 8) = 0$ になるように指数部オフセットを調整します。これは、 $\text{mod}(8, 8) = 0$ であるため、指数部オフセットを6に設定するケースに該当します。表IIに、AD6600ADCと一緒に使用する場合のExpInvとExpOffの使い方を示します。

表II AD6624AがExpInv = 1、かつExpOff = 6の場合のAD6600の伝達関数

ADC 入力レベル	AD6600 RSSI[2:0]	AD6624A データ	信号の損失
最大	101 (5)	÷ 1 (>> 0)	0dB
	100 (4)	÷ 2 (>> 1)	- 6dB
	011 (3)	÷ 4 (>> 2)	- 12dB
	010 (2)	÷ 8 (>> 3)	- 18dB
	001 (1)	÷ 16 (>> 4)	- 24dB
最小	000 (0)	÷ 32 (>> 5)	- 30dB

(ExpInv = 1, ExpOff = 6)

この指数部の処理の柔軟性により、AD6624AはAD6600以外のゲイン範囲設定ADCとインターフェースすることができます。指数部オフセットは最大7種類のRSSI (EXP)範囲を使用するように調整できます。AD6600では5種類まで使用できます。

AD6600を使用するシステムでAD6624Aを調整することもできますが、すべての信号範囲を使う訳ではありません。例えば、最初の4種類のRSSI範囲しか必要ない場合には、ExpOffを5に調整することができ、これによりRSSI = 4をAD6624Aの0dBポイントに対応させることができます。

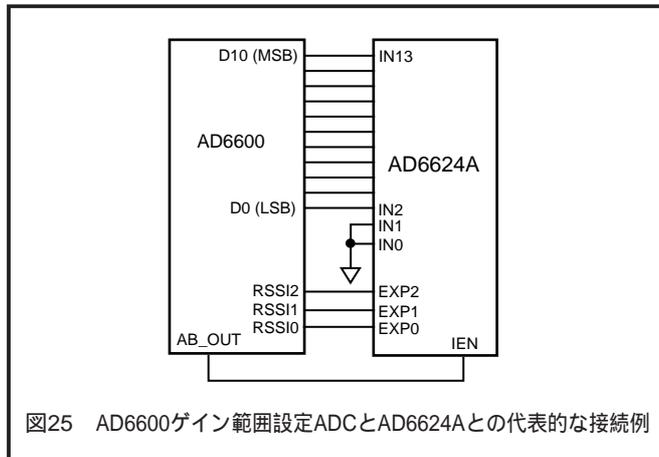


図25 AD6600ゲイン範囲設定ADCとAD6624Aとの代表的な接続例

数値制御オシレータ

周波数変換

この処理ステージは、2個の乗算器と32ビットの複素数NCOで構成されたデジタル・チューナを持っています。AD6624Aの各チャンネルは独立したNCOを持っています。このNCOは、複素数モードで $-\text{CLK}/2 \sim +\text{CLK}/2$ の範囲で、 $\text{CLK}/2^{32}$ の分解能でNCO周波数を発生できる直交ローカル・オシレータとして機能します。NCOのワーストケース・スプリアス信号は、すべての出力周波数で-100dBcを下回ります。

レジスタ0x85と0x86のNCO周波数値は、32ビット符号なし整数として解釈されます。NCO周波数は次式を使って計算します。

$$\text{NCO_FREQ} = 2^{32} \times \text{mod} \left(\frac{f_{\text{CHANNEL}}}{\text{CLK}} \right) \quad (2)$$

NCO_FREQは32ビット整数(レジスタ0x85と0x86)、 f_{CHANNEL} は所望のチャンネル周波数、CLK*はAD6624Aのマスター・クロック・レート(CLK)です。

NCO周波数ホールドオフ・レジスタ

NCO周波数レジスタが書き込まれると、データは実際にはシャドウ・レジスタに渡されます。データは2つの方法のどちらかでメイン・レジスタに転送されます。最初の方法はソフト同期機能を使ってデバイスを起動する方法で、NCOレジスタに直接ロードします。2つ目の方法では変更値を予め書き込んでおき、ソフトウェア制御により直接更新します。これを可能にするために、NCO周波数ホールドオフ・カウンタが用意されています。このカウンタ(0x84)は16ビットの符号なし整数で、マスター・CLKレートでクロック駆動されます。ホールドオフ・カウンタは、デバイスの周波数ホッピング機能でも使用されます。

位相オフセット

位相オフセット・レジスタ(0x87)は、NCOの位相アキュムレータにオフセットを加算します。このレジスタは16ビット・レジスタで、16ビット符号なし整数として扱われます。レジスタの0x0000は0ラジアン・オフセットに、0xFFFFは $2 \cdot (1-1/(2^{16}))$ ラジアン・オフセットに対応します。このレジスタにより、複数のNCOを同期させて、既知で一定の位相差を持つ複数の正弦波を発生させることができます。

NCO制御レジスタ

0x88に配置されているNCO制御レジスタは、NCOの機能設定に使

います。NCO機能はチャンネル毎に制御されます。以下に説明します。

バイパス

AD6624AのフロントエンドのNCOはバイパスすることができます。0x88のビット0をハイレベルに設定すると、バイパス・モードがイネーブルされます。バイパスすると、ダウン変換が実行されず、AD6624Aのチャンネルは複素数データの単なる実数フィルタとして機能します。この機能は、A入力をフィルタ内のI信号パスに、B入力をQ信号パスに接続する通過帯域サンプリング・アプリケーションで役立ちます。デジタル化された信号がアナログ・ステージの前にまたは他のデジタル処理により、既に通過帯域に変換されている場合に、この機能が適しています。

位相ディザ

AD6624Aは、NCOのスプリアス性能を向上させる位相ディザ・オプションを備えています。ビット1をセットすると、位相ディザがイネーブルされます。ビット1をハイレベルに設定して、位相ディザをイネーブルすると、NCOでの位相切り捨てに起因するスプリアスがランダム化されます。これらスプリアスのエネルギーはノイズ・フロアに拡散されて、スプリアス・フリー・ダイナミックレンジが増えますが、SNRIは少し低下します。システムでの位相ディザの使用 / 不使用は、最終的にはシステム目標から決定されます。ノイズ・フロアが少し上がってもスプリアスを小さくしたい場合に、この方法を使います。低いノイズ・フロアが必要で、後続ステージで高いスプリアスを調整またはフィルタできる場合は、位相ディザを使いません。

振幅ディザ

NCOのスプリアス性能を向上させるために振幅ディザも使うことができます。ビット2をセットすると、振幅ディザがイネーブルされます。振幅ディザは、NCOでの角度からカーテシアンへの変換で振幅量子化誤差をランダム化することにより、性能を改善します。ノイズ・フロアが少し上がってもスプリアスを小さくしたい場合に、この方法を使います。振幅ディザと位相ディザは、一緒にまたは別々に使用でき、全く使わないこともできます。

ホップ時の位相アキュムレータのクリア

ビット3をセットすると、周波数ホップ前にNCO位相アキュムレータがクリアされます。この機能により、各ホップでのNCO位相の一貫性が保たれます。NCO位相オフセットはこの設定の影響を受けず、有効なままになります。位相の連続ホッピングが必要な場合には、このビットをクリアし、NCO位相レジスタ内の直前の位相を新しい周波数の開始点とします。

入力イネーブル制御

入力イネーブルピンの動作モードは4種類あります。各高速入力ポートには、IENラインがあります。4つのフィルタ・チャンネルのどのチャンネルでも、AまたはB入力ポートのいずれかからデータを受け取るように設定することができます。「WB入力セレクト」参照。データに加えて、IEN(A, B)信号があります。各フィルタ・チャンネルは、4つのモードの内の1つでIEN信号を処理するように設定することができます。この内3つのモードは、時分割多重化データ・ストリームに基づいていつデータを処理するかに関係しています。4番目のモードは、レーダー、ソナー、超音波、TDDを含む通信などの時分割全二重を採用したアプリケーションで使われます。

モード00：IENのローレベルでデータをブランク

このモードでは、IENラインがローの間、データがブランクにされます。IENラインがハイレベルの間に、入力クロックの各立ち上がりエッジで新しいデータがストローブされます。

* 「NCOモード制御」を参照してください。

AD6624A

IENラインがローレベルになると、入力データがゼロ値で置き換えられます。この間、NCOは動作を続けて、IENラインが再度ハイレベルになったとき、IENラインがローレベルにならなかったときに持っていた値にNCO値が一致するようにします。このモードは、IENラインがローレベルになったとき、デジタル入力をブランクにします。IENラインがハイレベルの間、後段の処理(rCIC2、CIC5、RCF)は継続されます。このモードは、時分割多重アプリケーションに有用です。

モード01：IENのハイレベルでクロック入力

このモードでは、IENラインがハイレベルのとき、データがクロック入力されます。IENラインがハイレベルの間に、入力クロックの各立ち上がりエッジで新しいデータがストロープされます。IENラインがローレベルになると、入力データがチャンネルにラッチされなくなります。さらに、NCOの進行が停止されます。ただし、この間、後段の処理(rCIC2、CIC5、RCF)は継続されます。このモードの主な用途は、入力サンプルレイトより高速のクロックに、より多くのフィルタ・タップ数を計算させることです。図26では、データより4倍も高速なCLKが動作していますが、IENがハイレベルの間にだけ、入力データがストロープされています。

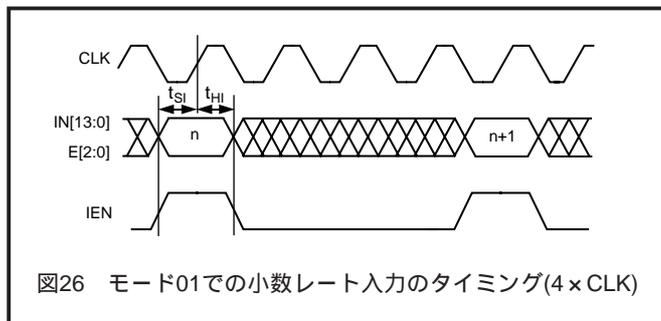


図26 モード01での小数レート入力のタイミング(4 × CLK)

モード10：IENの立ち上がり変化でクロック入力

このモードでは、IENラインの立ち上がり変化の後の、最初のクロック・エッジでのみ、データが入力されます。データは最初の有効クロック・エッジでのみラッチされますが、後段の処理(rCIC2、CIC5、RCF)はモード01と同様に使用可能な各クロックで継続されます。NCO位相アキュムレータは、各入力クロックで1回ではなく、それぞれの新しい入力データ・サンプルでのみ1回インクリメントされます。

モード11：IENの立ち下がり変化でクロック入力

このモードでは、IENラインの立ち下がり変化の後の、最初のクロック・エッジでのみ、データが入力されます。データは最初の有効クロック・エッジでのみラッチされますが、後段の処理(rCIC2、CIC5、RCF)はモード01と同様に使用可能な各クロックで継続されます。NCO位相アキュムレータは、各入力クロックで1回ではなく、それぞれの新しい入力データ・サンプルでのみ1回インクリメントされます。

WB入力セレクト

このレジスタのビット6は、信号処理用に選択する入力ポートを指定します。ビット6がハイレベルの場合、入力ポートB (INB、EXPB、IENB)が選択されたフィルタ・チャンネルに接続されます。ローレベルの場合、入力ポートA (INA、EXPA、IENA)が選択されたフィルタ・チャンネルに接続されます。

同期セレクト

このレジスタのビット7と8は、選択したチャンネルに対応させる外部

同期ピンを指定します。AD6624Aには、SYNCA、SYNCB、SYNCC、SYNCDの4本の同期ピンがあります。任意の同期ピンをAD6624Aの4つのレシーバ・チャンネルの任意のチャンネルに対応させることができます。さらに、システムが1本の同期信号しか使わない場合、4つのレシーバ・チャンネルがすべて同じ同期パルスを基準とすることができます。ビット値00がチャンネルAを、01がチャンネルBを、10がチャンネルCを、11がチャンネルDを指定します。

2次rCICフィルタ

rCIC2フィルタはカスケード・リサンプリング積分型2次COMBフィルタです。リサンブラは、高速クロックを必要としない独自の技術を使って構成されているため、設計が簡素化され、消費電力が節約されます。リサンブラにより、マスター・クロックと出力データ・レートとの非整数関係が可能になります。これにより、マルチモードのシステム、または使用するデータ・レートの整数倍でないマスター・クロックが必要になるシステムの構成が容易になります。

rCIC2では、512までの補間と4096までのデシメーションが可能です。rCIC2 (L)のリサンプリング係数は9ビットの整数です。12ビット値のデシメーション係数Mと組合わせて、総合レート変化は次のように表される小数値になります。

$$R_{rCIC2} = \frac{L}{M}$$

$$R_{rCIC2} \leq 1 \quad (3)$$

唯一の制約は、L/M = 1を満たすことです。これは、rCIC2が1以上のデシメーションを行うことを意味します。

リサンプリングは、係数Lだけ入力サンプル・レートを大きくすることで実現され、新しいデータ・サンプルにはゼロ・スタッフィングが使われます。リサンブラの後ろにカスケード積分型2次COMBフィルタが接続されます。フィルタ特性は、小数レート変化(L/M)によってのみ決定されます。

フィルタは、入力ポートの最大レート80MHzで信号を処理できます。ステージの出力レートは次式で与えられます。

$$f_{SAMP2} = \frac{L_{rCIC2} \times f_{SAMP}}{M_{rCIC2}} \quad (4)$$

L_{rCIC2} と M_{rCIC2} は符号なし整数です。補間レート(L_{rCIC2})は1~512、デシメーション(M_{rCIC2})は1~4096になります。デシメーションに1/1を設定して、このステージをバイパスすることができます。

rCIC2フィルタの周波数応答は式5で与えられます。

$$H(z) = \frac{1}{2^{S_{rCIC2}} \times L_{rCIC2}} \times \left(\frac{1 - z^{-\frac{M_{rCIC2}}{L_{rCIC2}}}}{1 - z^{-1}} \right)^2$$

$$H(f) = \frac{1}{2^{S_{rCIC2}} \times L_{rCIC2}} \times \left(\frac{\sin \left(\frac{M_{rCIC2} \times f}{L_{rCIC2} \times f_{SAMP}} \right)}{\sin \left(\frac{f}{f_{SAMP}} \right)} \right)^2 \quad (5)$$

スケール係数 S_{rCIC2} は、プログラマブルな符号なし5ビット値(0~31)で、rCIC2のゲインを6dB単位で削減できる減衰器として機能します。最適なダイナミックレンジを得るには、 S_{rCIC2} はオーバフロー状態を発生しない、可能な限り小さい値(最小の減衰)に設定する必要があります。これは次式を使って導くことができます。

$$S_{rCIC2} = \text{ceil} \left[\log_2 \left(M_{rCIC2} + \text{floor} \left(\frac{M_{rCIC2}}{L_{rCIC2}} \right) \times \left(2 \times M_{rCIC2} - L_{rCIC2} \times \text{floor} \left(\frac{M_{rCIC2}}{L_{rCIC2}} + 1 \right) \right) \right) \right]$$

$$OL_{CIC2} = \frac{(M_{rCIC2})^2}{L_{rCIC2} \times 2^{S_{rCIC2}}} \times \text{input_level}$$

(6)

ここで、input_levelはAD6624Aの入力に許容できるフルスケールの中で最大のものです(通常は1)。rCIC2スケール係数は、rCIC2のバイパスの有無に関係なく常に使われます。

さらに、(x92のrCIC2_LOUD[4:0]ビット4~0)と(0x92のrCIC2_QUIET[4:0]ビット9~5)の2個のスケール・レジスタが存在し、これは計算された S_{rCIC2} (全体のrCIC2スケールングを決定)と組合わせて使われます。rCIC2スケール・レジスタに格納するスケール値を決めるには、 S_{rCIC2} 値を各スケール・レジスタおよびExpOffの値に加算する必要があります。この値は32以下である必要があります、そうでない場合にはこの式を有効にするため、補間レートとデシメーション・レートを調整する必要があります。ceil関数は次の整数を、floor関数は前の整数を意味します。例えば、ceil(4.5)は5を、floor(4.5)は4を表します。

rCIC2のゲインと通過帯域ドループは、上式と次のフィルタ伝達の式から計算されます。過剰な通過帯域のドループは、ロールオフの逆特性で通過帯域をピーキングすることにより、RCFステージで補償することができます。

$$\text{scaled_input} = \text{IN} \times 2^{-\text{mod}(\text{Exp} + rCIC2, 8)}, \text{ExpInv} = 0$$

$$\text{scaled_input} = \text{IN} \times 2^{-\text{mod}(7 - \text{Exp} + rCIC2, 8)}, \text{ExpInv} = 1 \quad (7)$$

ここで、INはIN[15:0]の値、ExpはEXP[2:0]の値、rCIC2は0x92 (rCIC2_QUIET[4:0]とrCIC2_LOUD[4:0])スケール・レジスタの値です。

rCIC2除去比

表IIIに、rCIC2ステージに入力されるデータ・レートのパーセント値で表した帯域幅を示します。この表のデータは、シングル・チャンネル・モードでは最大80MHzまで、ダイバーシティー・チャンネル・モードでは最大40MHzまでの、可能なサンプル・レートにスケールすることができます。この表は、rCIC2、CIC5、RCFの間でデシメーションを分担させる際のツールとして使うことができます。

表III SSB rCIC2のエイリアス除去比($f_{SAMP} = 1$)
帯域幅は f_{SAMP} のパーセント値で表示

M_{CIC5}/L_{rCIC2}	-50dB	-60dB	-70dB	-80dB	-90dB	-100dB
2	1.79	1.007	0.566	0.318	0.179	0.101
3	1.508	0.858	0.486	0.274	0.155	0.087
4	1.217	0.696	0.395	0.223	0.126	0.071
5	1.006	0.577	0.328	0.186	0.105	0.059
6	0.853	0.49	0.279	0.158	0.089	0.05
7	0.739	0.425	0.242	0.137	0.077	0.044
8	0.651	0.374	0.213	0.121	0.068	0.038
9	0.581	0.334	0.19	0.108	0.061	0.034
10	0.525	0.302	0.172	0.097	0.055	0.031
11	0.478	0.275	0.157	0.089	0.05	0.028
12	0.439	0.253	0.144	0.082	0.046	0.026
13	0.406	0.234	0.133	0.075	0.043	0.024
14	0.378	0.217	0.124	0.07	0.04	0.022
15	0.353	0.203	0.116	0.066	0.037	0.021
16	0.331	0.19	0.109	0.061	0.035	0.02

計算例

目的：入力サンプル・レート = 10MHz、±7kHz通過帯域で100dBのエイリアス除去比を持つフィルタを構成します。
ソリューション：まず、通過帯域で表されたサンプル・レートのパーセント値を決定します。

$$BW_{\text{FRACTION}} = 100 \times \frac{7 \text{ kHz}}{10 \text{ MHz}} = 0.07 \quad (8)$$

表IIIで-100dBの列から、クロック・レートを通過帯域パーセント値で表した値以上の値を探します。そこから左端の列に行き、対応するレート変化係数(M_{rCIC2}/L_{rCIC2})を見つけます。表では、 $M_{rCIC2}/L_{rCIC2} = 4$ 、-100dBのエイリアス除去比を持つ周波数は0.071パーセント、これは計算値0.07パーセントより少し大きい値です。したがって、この例では、rCIC2レート変化の上限値は4になります。大きな M_{rCIC2}/L_{rCIC2} の値を選択するほど、除去比は必要とされる100dBより小さくなります。

4より小さい M_{rCIC2}/L_{rCIC2} を選ぶと、必要な除去比が得られません。ただし、rCIC2ステージで可能な限り多くデシメーションすると、消費電力を小さくすることができます。rCIC2でのデシメーションによりデータ・レートが低下するため、後続ステージでの消費電力が減ります。4のデシメーションを決める方法は1つだけでないことにも注意してください。4のデシメーションはL/M比 = 0.25と同じです。したがって、L/M = 0.25となる任意の整数組み合わせ(1/4、2/8、または4/16)が有効です。ただし、最適なダイナミックレンジを得るには、最も簡単な比を使います。例えば、1/4の方が4/16より良い性能が得られます。

デシメーション・レジスタと補間レジスタ

rCIC2デシメーション値はレジスタ0x90に格納されます。これは12ビット・レジスタであり、1より小さいデシメーション部分を格納します。補間部分はレジスタ0x91に格納されます。この9ビット値は、1より小さい補間を保持します。

rCIC2スケール

レジスタ0x92は、回路のこのセクションのスケールング情報を格納します。主な機能は、前節で計算したスケール値を格納することです。

レジスタのビット4~0 (rCIC2_LOUD[4:0])は、強い信号状態時のrCIC2のスケールング係数を格納するために使います。これらの5ビットは、前節で計算したrCIC2スケールと減衰器による任意の外部信号スケールングを表します。

レジスタのビット9~5 (rCIC2_QUIET[4:0])は、弱い信号状態時のrCIC2に対するスケールング係数を格納するために使います。このレジスタは外部減衰器を使わないため、外部減衰器は含まれていません。前節で計算した値だけが、このビットに格納されます。

レジスタのビット10は、外部指数部の値を表示するのに使います。ビット10がローレベルの場合、各外部指数部はAD6600と同様に6dB/ステップを表します。ハイレベルの場合、各指数部は12dBステップを表します。

AD6624A

レジスタのビット11は、内部計算の前に外部指数部を逆転するときに使います。信号レベルの増大を指数部の増大で表すゲイン範囲設定ADCの場合、このビットをハイレベルに設定します。信号レベルの増大を指数部の減少で表すゲイン範囲設定ADCの場合、ビットをローレベルに設定します。

rCIC2機能を使わないアプリケーションでは、L/M比 = 1/1に設定して、バイパスすることができます。これにより、rCIC2のすべての回路がバイパスされますが、スケーリングは有効なまま残ります。

カスケード積分型5次COMBフィルタ

3段目の信号処理ステージCIC5は、CIC2よりシャープな固定係数のデシメーション・フィルタを構成します。このフィルタの入力レートは f_{SAMP2} です。最大入力レートは式9で与えられます。ダイバーシティー・チャンネル実数入力モードでは $N_{CH} = 2$ 、その他の場合は $N_{CH} = 1$ です。この式を満たすために、 M_{CIC2} を大きくして、 N_{CH} を小さくすることができます。あるいは、 f_{CLK} を大きくすることができます(リファレンス小数レート入力タイミングは「入力タイミング」で説明します)。

$$f_{SAMP2} \leq \frac{f_{CLK}}{N_{CH}} \quad (9)$$

デシメーション比 M_{CIC5} には、2~32 (すべて整数値)を設定することができます。フィルタの周波数応答は式10で与えられます。CIC5のゲインと通過帯域ドループは次の式で計算します。両パラメータは、RCFステージで補償することができます。

$$H(z) = \frac{1}{2^{S_{CIC5}+5}} \times \left(\frac{1-z^{-M_{CIC5}}}{1-z^{-1}} \right)^5 \quad (10)$$

$$H(f) = \frac{1}{2^{S_{CIC5}+5}} \times \left(\frac{\sin\left(\frac{M_{CIC5} \times f}{f_{SAMP2}}\right)}{\sin\left(\frac{f}{f_{SAMP2}}\right)} \right)^5$$

スケール係数 S_{CIC5} はプログラマブルな符号なし整数(0~20)で、CIC5ステージに入力されるデータの減衰を6dB単位で制御する機能を持ちます。最適なダイナミックレンジを得るには、 S_{CIC5} はオーバーフロー状態を発生しない、可能な限り小さい値(最小の減衰)に設定する必要があります。これは、式11を使って安全に実現できます。この式では、このフィルタ・ステージへの入力での可能なフルスケールで OL_{rCIC2} が最大のものになっています。この値は、rCIC2ステージから出力されて、CIC5にパイプライン入力されます。

$$S_{CIC5} = \text{ceil}(\log_2(M_{CIC5}^5 \times OL_{rCIC2})) - 5$$

$$OL_{CIC5} = \frac{(M_{CIC5}^5)}{2^{S_{CIC5}+5}} \times OL_{rCIC2} \quad (11)$$

このステージの出力レートは式12で与えられます。

$$f_{SAMP5} \leq \frac{f_{SAMP2}}{M_{CIC5}} \quad (12)$$

CIC5の除去比

表IVに、種々のデシメーション・レート仕様とエイリアス除去比仕様で保護できるクロック・レートのパーセント値で表した帯域幅を示します。rCIC2が1のデシメーションを行うとき、CIC5の最大入力レートは80MHzです。表IIIに示すように、これらはCIC5の1/2帯域幅特性になります。CIC5ステージは与えられたどの除去比でも、CIC2より遥かに広い帯域を保護できることに注意してください。

表IV SSB CIC5のエイリアス除去比($f_{SAMP2} = 1$)

M_{CIC5}	-50dB	-60dB	-70dB	-80dB	-90dB	-100dB
2	10.227	8.078	6.393	5.066	4.008	3.183
3	7.924	6.367	5.11	4.107	3.297	2.642
4	6.213	5.022	4.057	3.271	2.636	2.121
5	5.068	4.107	3.326	2.687	2.17	1.748
6	4.267	3.463	2.808	2.27	1.836	1.48
7	3.68	2.989	2.425	1.962	1.588	1.281
8	3.233	2.627	2.133	1.726	1.397	1.128
9	2.881	2.342	1.902	1.54	1.247	1.007
10	2.598	2.113	1.716	1.39	1.125	0.909
11	2.365	1.924	1.563	1.266	1.025	0.828
12	2.17	1.765	1.435	1.162	0.941	0.76
13	2.005	1.631	1.326	1.074	0.87	0.703
14	1.863	1.516	1.232	0.998	0.809	0.653
15	1.74	1.416	1.151	0.932	0.755	0.61
16	1.632	1.328	1.079	0.874	0.708	0.572
17	1.536	1.25	1.016	0.823	0.667	0.539
18	1.451	1.181	0.96	0.778	0.63	0.509
19	1.375	1.119	0.91	0.737	0.597	0.483
20	1.307	1.064	0.865	0.701	0.568	0.459
21	1.245	1.013	0.824	0.667	0.541	0.437
22	1.188	0.967	0.786	0.637	0.516	0.417
23	1.137	0.925	0.752	0.61	0.494	0.399
24	1.09	0.887	0.721	0.584	0.474	0.383
25	1.046	0.852	0.692	0.561	0.455	0.367
26	1.006	0.819	0.666	0.54	0.437	0.353
27	0.969	0.789	0.641	0.52	0.421	0.34
28	0.934	0.761	0.618	0.501	0.406	0.328
29	0.902	0.734	0.597	0.484	0.392	0.317
30	0.872	0.71	0.577	0.468	0.379	0.306
31	0.844	0.687	0.559	0.453	0.367	0.297
32	0.818	0.666	0.541	0.439	0.355	0.287

この表は、与えられた所望のフィルタ特性に対して、デシメーション M_{CIC5} の上限を計算するのに役立ちます。

RAM係数フィルタ

最後の信号処理ステージは、プログラマブルな係数を持つ積和デシメーション・フィルタです(図27)。データ・メモリI-RAMとQ-RAMには、前のフィルタ・ステージから入力される直近の160個の複素数サンプルが20ビット分解能で格納されます。係数メモリCMEMには、最大256個の係数が20ビット分解能で格納されます。各CLKサイクル毎に、Iに1タップ、Qに1タップが同じ係数を使って計算されます。RCF出力は、24ビットのデータ・ビットで構成されています。

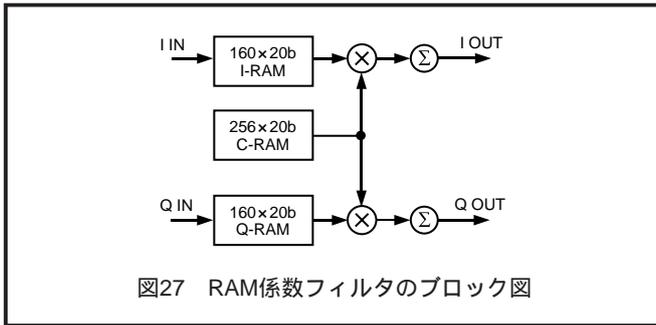


図27 RAM係数フィルタのブロック図

RCFデシメーション・レジスタ

各RCFチャンネルは、データ・レートでデシメーションするのに使用できます。デシメーション・レジスタは8ビット・レジスタで、1~256のデシメーションが行えます。RCFデシメーションは $M_{RCF}-1$ の形で0xA0に格納されています。RCFの入力レートは f_{SAMP5} です。

RCFデシメーション位相

RCFデシメーション位相は、デバイスの複数のフィルタを同期化するのに使用できます。これは、AD6624Aの複数のチャンネルを使って多相フィルタを構成し、複数のフィルタのリソースを並行動作させて共用するときに便利です。このようなアプリケーションでは、2つのRCFフィルタがCIC5からの同一データを処理します。ただし、各フィルタはデシメーション・レートの1/2だけ遅延して、2つの間に180°の位相差が発生します。AD6624Aフィルタ・チャンネルでは、このレジスタに格納されている値を使ってRCFカウンタをプリロードします。このため、0からスタートする代わりに、カウンタにはこの値がロードされるので、必要な処理遅延に等しいオフセットが、処理に与えられます。このデータは、8ビット値として0xA1に格納されています。

RCFフィルタ長

このフィルタが計算できる最大タップ数 N_{TAPS} は次式で与えられます。値 $N_{TAPS}-1$ は、AD6624Aのアドレス0xA2にあるチャンネル・レジスタに書き込まれます。

$$N_{TAPS} \leq \min \left[\frac{f_{CLK} \times M_{RCF}}{f_{SAMP5}}, 160 \right] \quad (13)$$

RCF係数はアドレス0x00~0x7Fに配置されており、20ビットの2の補数値として解釈されます。係数RAMを書き込むとき、下位アドレスにはCIC5からの相対的に古いデータが乗算され、上位係数アドレスにはCIC5からの相対的に新しいデータが乗算されます。係数は対称である必要はなく、係数長 N_{TAPS} は偶数または奇数が可能です。係数が対称な場合は、インパルス応答の両側を係数RAMに書き込む必要があります。

係数のベース・メモリは128ワード長ですが、実際の長さは256ワードになります。ページは2ページで、各々128ワード長です。ページは0xA4のビット8で選択されます。このデータはページに書き込む必要がありますが、内部コアは128タップ長を超えるフィルタを処理します。したがって、データRAMの全長をフィルタ長(160タップ)として使うことができます。

RCFは、CIC5からのデータを160x40 RAMに格納します。Iデータに160x20が、Qデータに160x20が割り当てられます。RCFはRAMを循環バッファとして使うため、特定のデータ・エレメントを格納しているアドレスを知ることは困難です。RAM内の不定データ値に起因するスタートアップ過渡信号を防止するため、初期化時にデータRAMをクリアする必要があります。

RCFでフィルタ出力の計算が開始されると、データRAM内の最も古い値に最初の係数(RCF係数オフセット・レジスタ(0xA3)が指定)を乗算することから開始されます。この値は、係数RAM内の後続のロケーションが乗算されたより新しいデータ・ワードの積と累積され、係数アドレス $RCF_{OFF} + N_{TAPS} - 1$ に達するまで、計算が繰り返されます。

表V 3タップ・フィルタ

係数アドレス	インパルス応答	データ
0	h(0)	N(0)最古
1	h(1)	N(1)
2 ($N_{TAPS} - 1$)	h(2)	N(2)最新

RCF係数オフセット・レジスタは、2つの目的で使用することができます。の主な目的は、複数のフィルタをメモリにロードしておき、オフセットをポイントとして変更することで簡単にフィルタを選択し、フィルタ変更を迅速に行えるようにすることです。もう1つの用途は、シンボル・タイミング調整の一部を実行することです。所望フィルタ長の終わりにゼロが詰め込まれている場合、高速クロックを基準としてフィルタが計算される時、スタート・ポイントを調整して小さい遅延を発生させることができます。この方法で、シンボル・タイミングの微調整が可能になります。粗調整はRCFデシメーション位相で行います。このフィルタの出力レートは、CIC5ステージの出力レートと M_{RCF} によって決定されます。

$$f_{SAMP5} = \frac{f_{SAMP5}}{M_{RCF}} \quad (14)$$

RCF出力スケール係数と制御レジスタ

レジスタ0xA4は、RCFレジスタの複数項目の設定に使用する複合レジスタです。ビット3~0は、固定小数点出力モードのスケール設定に使います。このスケール値は、レジスタのビット6と合わせて浮動小数点出力を設定するときにも使うことができます。

ビット4と5は、出力モードを決定します。モード00は、固定小数点モードに設定します。ビット数は、シリアル・ポートの設定により決定されます。「シリアル出力データ・ポート」を参照してください。

モード01は、浮動小数点モード8+4を選択します。このモードでは、8ビット仮数部の後ろに4ビット指数部が続きます。モード1x (x = don't care)では、12+4モードで、12ビットの仮数部と4ビットの指数部になります。

表VI 出力モード・フォーマット

浮動小数点12+4	1x
浮動小数点8+4	01
固定小数点	00

通常、AD6624Aは数値精度を最適化する指数部の値を決定します。ただし、ビット6がセットされると、ビット3~0に格納されている値を使って出力をスケールします。これにより、予想可能な出力範囲を保証できる状態のときは矛盾のないスケールと精度が保証されます。

ビット7がセットされると、同一の指数部を実数と虚数の両出力(IとQ)に使います。使用される指数部としては、小さい信号精度を犠牲にして数値的にオーバーフローが発生しないものになります。ただし、使用される指数部と無関係に小さい値は0を表すため、これが問題になることはほとんどありません。

AD6624A

ビット8は、レジスタの書き込みに使うRCFバンク・セレクト・ビットです。このビットが"0"のときには、最下位の128ブロックが選択されます(タップ0~127)。ハイレベルのときには、最上位ブロックが選択されます(タップ128~255)。デバイスがフィルタを計算中は、タップ127がタップ128の隣になるため、ページ問題は発生しないことに注意してください。

ビット9は、各RCFへ入力するデータの提供元を選択します。ビット9がローレベルの場合、RCF入力には、そのRCFに対応しているCIC5から入力されます。しかし、ハイレベルの場合は、CIC5のチャンネル1から入力されます。唯一の例外はチャンネル1で、CIC5のチャンネル0の出力を代わりに使用します。この機能を使うと、各RCFは自分自身のチャンネル・データで動作するか、またはチャンネル1のRCFと対になることができます。また、チャンネル1のRCFをチャンネル0と対にすることもできます。この制御ビットは多相分布フィルタリングと使用されます。

ビット10がローレベルの場合、AD6624Aチャンネルはノーマル・モードで動作します。ビット10がハイレベルの場合、RCFはチャンネルBISTにバイパスされます。詳細は、次の「BIST (内蔵セルフテスト)」を参照してください。

ユーザー設定可能な内蔵セルフテスト(BIST)

AD6624Aは、各チャンネルをテストする内蔵テスト機能を2つ持っています。最初のテスト機能は、AD6624A内蔵の高速ランダム・アクセス・メモリをテストするRAM BISTです。2つ目のテスト機能は、AD6624Aのメイン信号パスをテストするチャンネルBISTです。各BIST機能は互いに独立しており、各チャンネルは、同時に、独立してテストすることができます。

RAM BIST

RAM BISTを使って内蔵RAM機能を検証することができます。この機能は、チャンネルRAMが正常動作可能か否かのシンプルな合格/不合格テストを行います。

テストは次の手順で行います。

- 外部アドレス・レジスタ0x011を使って、被テスト・チャンネルをスリープ・モードにします。
- RCFレジスタxA8のRAM BISTイネーブル・ビットにハイレベルを設定します。
- 1600クロック・サイクルの間、待ちます。
- レジスタ0xA8を読み出します。ビット0がハイレベルなら、テストはまだ完了していません。ビット0がローレベルなら、テストが完了して、ビット1と2が内部RAMの状態を表示します。ビット1がハイレベルの場合、(係数)MEMが不合格。ビット2がハイレベルの場合、(データ)MEMが不合格。

表VII BISTレジスタ0xA8

レジスタ値	係数MEM	データMEM
XX1	テスト未完了	テスト未完了
000	合格	合格
010	不合格	合格
100	合格	不合格
110	不合格	不合格

チャンネルBIST

チャンネルBISTはAD6624Aの選択した信号パス全体をテストします。このテスト・モードでは、外部から入力したベクトルまたは内部擬似ランダム・ジェネレータを使うことができます。RCFのエラー・シグネチャ・レジスタがチャンネルの出力データをモニターし、RCFから出力されるデータの正常/異常の判断に使われます。エラーが検出されると、各内部ブロックをバイパスして別のテストを実行し、不具合をデバッグすることができます。IパスとQパスは独立にテストされます。テストは次の手順で行います。

- デシメーション・レート、スケアラ、RCF係数を設定するアプリケーションの要求に従って、被テスト・チャンネルを設定します。
- チャンネルをスリープ・モードにします。
- 被テスト・チャンネルのスタート・ホールドオフ・カウンタに"1"を設定します。
- メモリ・ロケーション0xA5と0xA6に"0"を設定します。
- 0xA7のビット19~0に調べるRCF出力数を設定して、チャンネルBISTをイネーブルします。
- 外部アドレス・レジスタ5のビット4にハイレベルを設定して、ソフト同期をスタートさせます。
- 被テスト・チャンネルのSYNCビットにハイレベルを設定します。
- ビット6に"0"を設定して、テスト・ベクトルを入力できるようにします。ビット7にハイレベルを設定して、内蔵擬似ランダム数ジェネレータを使って入力シーケンスを発生させることもできます。
- ビット6に"1"を設定し、かつビット7に"0"を設定すると、内部 - FS sineを挿入することができます。
- SOFT_SYNCをアドレス指定すると、選択されたチャンネルがスリープ・モードから抜け出して、処理が開始されます。
- 外部ベクトルを入力する場合は、もしチャンネルがデータを受け取る準備ができるまでIEN入力のどれかが非アクティブならば、他の方法のどれかを使ってデバイスをスリープ・モードから抜け出させることができます。
- 十分な時間が経過した後、チャンネルBISTシグネチャ・レジスタ(0xA5と0xA6)に数値が格納されます。この数値は、同じ設定でのAD6624Aの正常状態での期待値と比較することができます。値が一致する場合、チャンネル内にエラーが存在する可能性は非常に小さくなります。

デバイス同期

AD6624Aでは、スタートとホップの2つのタイプの同期が可能です。各々について以下に詳しく説明します。同期は、シャドウ・レジスタとホールドオフ・カウンタを使って行われます。図28に、NCOシャドウ・レジスタとNCO周波数ホールドオフ・カウンタの基本動作を説明する簡略化した回路図を示します。ホールドオフ・カウンタのクロック(AD6624A CLK)のイネーブルは、Soft_Sync (マイクロポート経由)、またはSyncピン(AD6624AのSyncピンA、B、C、Dのいずれか経由)で行うことができます。同期を可能にするシャドウ・レジスタを含むこの機能には、次の動作が含まれます。

- スタート
- ホップ(NCO周波数)

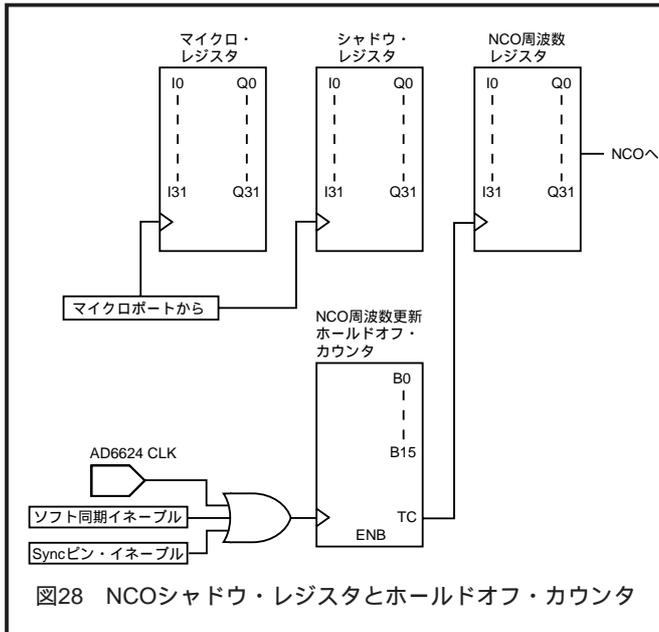


図28 NCOシャドウ・レジスタとホールドオフ・カウンタ

スタート

スタートとは、個々のチャンネル、デバイス、または複数のデバイスのスタートアップを意味します。チャンネルを使用しない場合は、スリープ・モードに設定して消費電力を節約します。ハード・リセット(AD6624AのRESETピンにロー・パルスを入力)では、すべてのチャンネルがスリープ・モードになります。スリープ機能を制御するモード・レジスタに書き込むことで、チャンネルを手動でスリープ・モードにすることもできます。

同期なしのスタート

複数のチャンネルまたは複数のAD6624Aの起動時で同期が不要な場合、次の方法でデバイスを初期化します。

1. チャンネルを設定するため、先ずスリープ・モード(ビット・ハイ)に設定します(外部アドレス3)。すべての該当する制御レジスタとメモリ・レジスタ(フィルタ)に書き込みを行います。スタート更新ホールドオフ・カウンタ(0x83)に"1"を設定します。
2. 該当するスリープ・ビットにローレベルを設定します(外部アドレス3)。これによりチャンネルがイネーブルされます。チャンネルをアクティブにするには、スリープ・モードがローレベルである必要があります。

ソフト同期によるスタート

AD6624Aには、マイクロプロセッサの制御のもとで複数のチャンネルまたはデバイスを同期させる機能が内蔵されています。同期に必要な動作は、複数のチャンネルまたはデバイスを起動させることです。スタート更新ホールドオフ・カウンタ(0x83)と、スタート・ビットおよびSyncビット(外部アドレス5)の組み合わせにより、同期が可能になります。基本的には、スタート更新ホールドオフ・カウンタが、その値(AD6624AのCLK数)だけチャンネルの起動を遅延させます。マイクロプロセッサ制御で複数のチャンネルの起動を同期させるには、次の方法で行います。

1. 該当するチャンネルをスリープ・モードに設定します(AD6624Aのリセットピンでハード・リセットすると、4チャンネルすべてがスリープ・モードになります)。
2. RDY (ピン57)がハイレベルになってからNCOがデータの処理を開始するまでの時間は、スタート更新ホールドオフ・カウンタ(0x83)値に6マスター・クロック・サイクルを加算した時間になっていることに注意してください。
3. スタート更新ホールドオフ・カウンタ(0x83)に、該当する

値(1より大きく $2^{16}-1$ より小さい値)を書き込みます。デバイスが初期化されていない場合、この段階で他のすべてのレジスタに書き込みを行います。

4. スタート・ビットとSyncビットにハイレベルを書き込みます(外部アドレス5)。
5. これにより、スタート更新ホールドオフ・カウンタのカウント・ダウンが開始されます。カウンタは、AD6624AのCLK信号でクロック駆動されます。カウンタが設定値に達すると、該当するチャンネルのスリープ・ビットがローレベルに設定され、チャンネルがアクティブになります。

Syncピンによるスタート

AD6624Aには4本の同期ピンA、B、C、Dがあり、非常に正確な同期チャンネルを提供するのに使うことができます。各チャンネルは、4本の同期ピンのどれかに対応するように設定することができます。さらに、1つまたはすべてのチャンネルが1本の同期ピンをモニターするか、または各チャンネルが個々のピンをモニターすることができるため、極めて柔軟な同期が可能です。外部信号の1つとのスタートの同期は、次の方法で行われます。

1. 該当するチャンネルをスリープ・モードに設定します(AD6624AのRESETピンでハード・リセットすると、4チャンネルすべてがスリープ・モードになります)。
2. SYNCピンがハイレベルになってからNCOがデータの処理を開始するまでの時間は、スタート更新ホールドオフ・カウンタ(0x83)値に3マスター・クロック・サイクルを加算した時間になっていることに注意してください。
3. スタート更新ホールドオフ・カウンタ(0x83)に、該当する値(1より大きく $2^{16}-1$ より小さい値)を書き込みます。デバイスが初期化されていない場合、この段階で他のすべてのレジスタに書き込みを行います。
4. Syncピンのビットにスタートを設定し、該当するSyncピン・イネーブルをハイレベルに設定します(外部アドレス4)(A、B、C、またはD)。
5. SyncピンのハイレベルをAD6624AのCLKでサンプルすると、スタート更新ホールドオフ・カウンタのカウント・ダウンが開始されます。カウンタは、AD6624AのCLK信号でクロック駆動されます。カウンタが設定値に達すると、該当するチャンネルのスリープ・ビットがローレベルに設定され、チャンネルがアクティブになります。

ホップ

ホップとは、あるNCO周波数から新しいNCO周波数にジャンプすることを意味します。この周波数の変化を、次に説明するように、マイクロプロセッサ制御(ソフト同期)、または外部同期信号(ピン同期)によって同期化できます。同期なしでNCO周波数を設定するときは、次の方法で行います。

ホップなしでの周波数設定

1. NCO周波数ホールドオフ・カウンタに0を設定します。
2. 該当するNCO周波数を書き込みます。新しい周波数が直ちにNCOに書き込まれます。

ソフト同期によるホップ

AD6624Aには、マイクロプロセッサの制御のもとで複数のチャンネルまたはデバイスでのNCO周波数の変化を同期させる機能が内蔵されています。NCO周波数ホールドオフ・カウンタ(0x84)と、ホップ・ビットおよびSyncビット(外部アドレス4)の組み合わせにより、同期が可能になります。基本的には、NCO周波数ホールドオフ・カウンタが、その値(AD6624AのCLK数)だけ新しい周波数のNCOへの書き込みを遅延させます。マイクロプロセッサ制御で複数のチャンネルの周波数ホップを同期させるには、次の方法で行います。

AD6624A

1. RDY (ピン57)がハイレベルになってからNCOがデータの処理を開始するまでの時間は、NCO周波数ホールドオフ・カウンタ(0x84)値に7マスター・クロック・サイクルを加算した時間になっていることに注意してください。
2. NCO周波数ホールドオフ(0x84)カウンタに該当する値(1より大きく2¹⁶-1より小さい値)を書き込みます。
3. NCO周波数レジスタに新しい所望の周波数を書き込みます。
4. ホップ・ビットとSyncビットにハイレベルを書き込みます(外部アドレス4)。
5. これにより、NCO周波数ホールドオフ・カウンタのカウント・ダウンが開始されます。カウンタは、AD6624AのCLK信号でクロック駆動されます。カウンタが設定値に達すると、新しい周波数がNCOに書き込まれます。

Syncピンによるホップ

最も正確な同期、特に複数のAD6624A間で正確な同期を行うために、AD6624AはSyncピンを4本用意しています。外部信号での新しいNCO周波数へのホッピングの同期は、次の方法で行われます。

1. SyncピンがハイレベルになってからNCOがデータの処理を開始するまでの時間は、NCO周波数ホールドオフ・カウンタ(0x84)値に5マスター・クロック・サイクルを加算した時間になっていることに注意してください。
2. NCO周波数ホールドオフ・カウンタ(0x84)に該当する値(1より大きく2¹⁶-1より小さい値)を書き込みます。
3. NCO周波数レジスタに新しい所望の周波数を書き込みます。
4. Syncピンのビットにホップを設定し、該当するSyncピン・イネーブルをハイレベルに設定します。
5. 選択されたSyncピンのハイレベルをAD6624AのCLKでサンプルすると、NCO周波数ホールドオフ・カウンタのカウント・ダウンが開始されます。カウンタは、AD6624AのCLK信号でクロック駆動されます。カウンタが設定値に達すると、新しい周波数がNCOに書き込まれます。

シリアル出力データ・ポート

AD6624Aには設定可能なシリアル出力ポートが4つあります(SDO0、SDO1、SDO2、SDO3)。各ポートは互いに独立して動作することができ、各々を異なるDSPに接続することができます。1つのDSPしか必要としないケースでは、1つのDSPに1つのシリアル・ポートで動作するように、ポートは容易に設定することができます。したがって、各出力はシリアル・マスターまたはスレーブに設定することができます。さらに、各チャンネルは互いに独立に設定することができます。

シリアル出力データ・フォーマット

AD6624Aは、様々な出力データ・フォーマットで動作します。12ビット、16ビット、24ビット精度のワード長があります。AD6624Aでは、通常のリニア・バイナリ・データ・フォーマットに加えて、数値処理をシンプルにする浮動小数点データ・フォーマットも提供しています。8ビット仮数部と4ビット指数部、および12ビット仮数部と4ビット指数部の2つのフォーマットがあります。これらのモードは、シリアル・データ・フレームのビット精度に関係なく使用可能です。通常のリニア・バイナリ・データ・フォーマットでは、プログラマブルな内部4ビット・スケール係数を使って出力をスケールします。詳細は、「RCF出力スケール係数」および前述の「制御レジスタ」を参照してください。すべてのモードで、データはビット・エンディアン・フォーマット(MSB先頭)でデバイスからシフト出力されます。浮動小数点モードでは、通常、デバイスが自動的に指数部を決定します。しかし、データの実数部と虚数部に対して

同じ指数部を強制的に使用することができます。使用される指数部としては、小さい数値の精度を犠牲にして数値的なオーバーフローが発生しないものが使用されます。ただし、小さい値はゼロに近い値を意味するので、これが問題になることはありません。

最後に、必要に応じて、予め選択しておいたスケール係数をAD6624Aチャンネルに強制的に使わせることもできます。この機能により、一定のデータ範囲が多くのアプリケーションで使えるようになります。

コンパクト・シリアル・データ・フォーマット

AD6624Aのチャンネル・データは、共通指数部モデルと組合わせたコンパクトな8+4浮動小数点フォーマットで出力することができます。8+4浮動小数点フォーマットを使うと、AD6624AはI/Q出力データを[I仮数部、8ビット][I指数部、4ビット]、その後ろに[Q仮数部、8ビット][Q指数部、4ビット]という形式で出力するようになります。通常、Q指数部の4ビットはQ仮数部の後ろに続きますが、これらのビットは共通指数部モードによりI指数部の値に等しいので、厳密には必ず出力される必要はありません。次のI/Qサンプルは高速クロックで正確に20サイクル後に内部でシフトに現れるため、Q指数部の4ビットはシフト出力されません(出力シフトは、新しいサンプルに残りの指数部4ビットより高い優先順位を与えます)。結果として、必要な20ビットが出力され、このビットにはI/Qサンプルを再生するのに必要なすべての情報が含まれます。この設定ですべての出力シフトが連続してアクティブになることに注意してください。各チャンネルで合計デシメーション係数=20を使うことにより、コンパクト・シリアル・データ・モードがイネーブルされます。次式は、フィルタ・ブロックでのデシメーション係数と補間係数の割り当てを表しています。

$$\frac{M_{\text{RCIC}2}}{L_{\text{RCIC}2}} \times M_{\text{RCIC}5} \times M_{\text{RCF}} = 20 \quad (15)$$

また、RCF制御レジスタも、8+4浮動小数点モード(0xA4ビット5~4:01)および、共通指数部モード(0xA4ビット7:1)に設定する必要があります。UMTS信号を処理するときのコンパクト・シリアル・データ・フォーマットの使い方の詳細は、テクニカル・ノート「Processing Two UMTS Carriers with 2x Oversampling Using theAD6624A」を参照してください。

シリアル・データ・フレーム(シリアル・バス・マスター)

シリアル・データ・フレームはシリアル・データ・フレーム同期(SDFS0、SDFS1、SDFS2、またはSDFS3)で開始されます。AD6624Aの各チャンネルがフィルタ・サイクルを完了すると、データがシリアル・データ・バッファに転送されます。シリアル・バス・マスター(SBM)モードでは、内部シリアル・コントローラがシリアル・クロックの次の立ち上がりエッジでSDFSを開始させます。AD6624Aには、シリアル・バス・マスターとしてフレーム同期を発生するモードが3種類あります。

最初のモードでは、データ・シフトの前の完全な1クロック・サイクル間、SDFSが有効になります。次のクロック・サイクルで、AD6624Aはデジタル的に処理されたデータ・ストリームのシフト出力を開始します。シリアル設定のビット精度に応じて、12、16、または24ビットのIデータがシフト出力され、次に12、16、または24ビットのQデータが続きます。このデータのフォーマットは前述のフォーマットの内の1つになります。2つ目のモードでは、有効ビットがシフトされている間は、SDFSがハイレベルになります。SDFSビットは、AD6624Aから最初のビットがシフト出力されると同時にハイレベルになります。

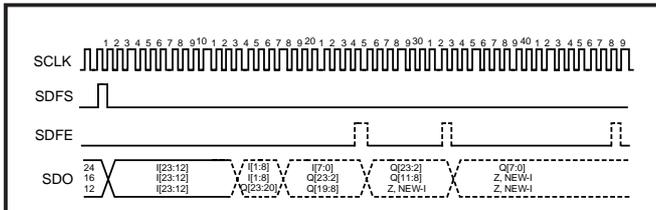


図29 1SCLKサイクル間、SDFSが有効

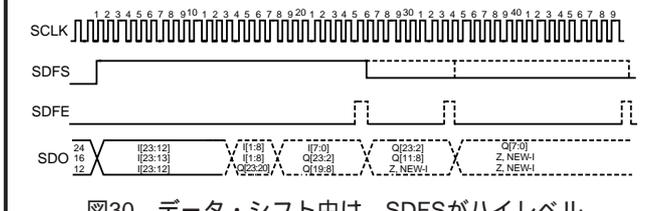


図30 データ・シフト中は、SDFSがハイレベル

最後のモードでは、最初のモードと同様に、SDFSビットは実際のデータの前の1クロック・サイクル間、ハイレベルになります。ただし、最初のQビットのシフトの前の1クロック・サイクル間、2つ目のSDFSが挿入されます。この方法で、AD6624Aから出力される各ワードにSDFSが添付されます。

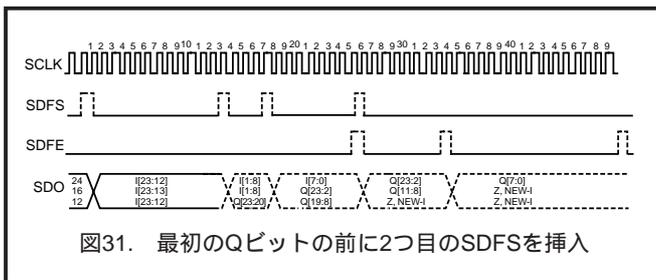


図31. 最初のQビットの前に2つ目のSDFSを挿入

上述のモードに関係なく、SDFEは同じ動作をします。シリアル・フレームの最終ビット(Qワードの最下位ビット)には、シリアル・データ・フレーム終了(SDFE)がセットされます。SDFE信号は、DSPがフレームの終わりを表示するのに使うことができ、あるいは、シリアル・カスケード・モードで動作している別のAD6624AやチャンネルのSDFS(シリアル・データ・フレーム同期)として使うことができます。

シリアル・データ・フレーム(シリアル・カスケード)どのAD6624Aシリアル出力でもシリアル・カスケード(シリアル・スレーブ)モードで動作できます。このモードでは、選択されたAD6624Aチャンネルは、シリアル・クロックとSDFSを出力するDSPのような外部デバイスを必要とします。シリアル・カスケード・モードで正常に動作するには、AD6624Aのチャンネルのシリアル・バッファがデータ送信の準備ができたことを知らせる信号をDSPに出力する必要があります。この信号はDRxピンをアサートすることにより表示されます("x"はチャンネル番号)。このピンは、DSPの割込みピンまたはフラグ・ピンに接続します。これにより、DSPはシリアル・ポートをサービスするタイミングを知ります。DSPがシリアル・サービスの処理を開始するとき、データ・シフトの1クロック・サイクル前にSDFSピンがアサートされるようにシリアル・ポートを設定します。このため、AD6624Aのチャンネルはシリアル・クロックの立ち上がりエッジでSDFSピンをサンプルします。シリアル・クロックの次の立ち上がりエッジで、AD6624Aシリアル・ポートはデータ・シフトを開始し、指定されたビット数までシフトを続けます。

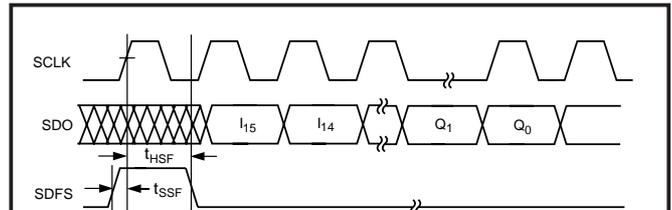


図32 SDO、SDFSのスイッチング特性(SBM = 0)

シリアル・フレームの最後のビット(Qワードの最下位ビット)で、SDFEがセットされます。SDFE信号は、DSPがフレームの終わりを表示するのに使うことができ、あるいは、シリアル・カスケード・モードで動作している別のAD6624AやチャンネルのSDFSとして使うことができます。

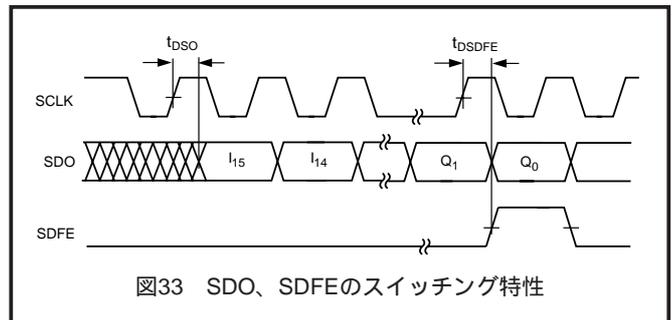


図33 SDO、SDFEのスイッチング特性

シリアル・ポートの設定

各シリアル出力ポートはマスターまたはスレーブとして機能することができます。シリアル・バス・マスターはSCLK(SCLK0、SCLK1、SCLK2、SCLK3)とSDFSを出力し、シリアル・スレーブはその信号を入力として受け取ります。RESETが立ち上がると、SBM0ピンがハイレベルの場合、シリアル・ポート0がマスターになり、SBM0がローレベルでスレーブになります。RESETをローレベルにすると、シリアル・ポート1、2、3は常にデフォルトでシリアル・スレーブになります。0xA9レジスタのSBM1、SBM2、SBM3ビットをハイレベルに設定することにより、シリアルポートをマスターに設定することができます。

シリアル・ポートのデータ・レート

シリアル・ポートがマスターに指定されると、SCLK周波数は式15により決定されます。 f_{CLK} はAD6624Aのチャンネルのマスター・クロック周波数で、SDIVはチャンネル(1、2、または3)のシリアル分周ワードです。シリアル・ポート0のSDIVはハードウェア設定が容易なように直接パッケージ・ピンで指定され、0xA9に格納されてはいません。シリアル・ポート1、2、3に対しては、内部レジスタ0xA9のビット3~0でSDIV(SDIV0、SDIV1、SDIV2、SDIV3)ワードを指定しています。

$$f_{SCLK} = \frac{f_{CLK}}{SDIV + 1} \quad (16)$$

シリアル・ポートとDSPの接続

AD6624Aはシリアル・ポートの設定と外部デバイスへの接続が非常に柔軟に行えます。各チャンネルは独立に設定して、異なるDSPで処理することができます。あるいは、すべてのチャンネルを接続して、TDM(時分割多重)シリアル・チェーンを構成することができます。この機能により、1つのDSPがすべてのチャンネルを処理することができます。さらに、複数のチャンネルを任意の組合わせでグループ化することができます。

AD6624A

チャンネルをシリアル・バス・マスターに設定するときは、レジスタ0xA9のビット4をハイレベルに設定します。ただし、SDIVピンと同様に、チャンネル0のSBMはメモリ上にマップされないで、ピンに出力されているため、マスターまたはスレーブとしてハード・ワイヤー接続する必要があります。図34に、シリアル・バス・マスター・モードのAD6624AチャンネルとDSPとの代表的な接続例を示します。

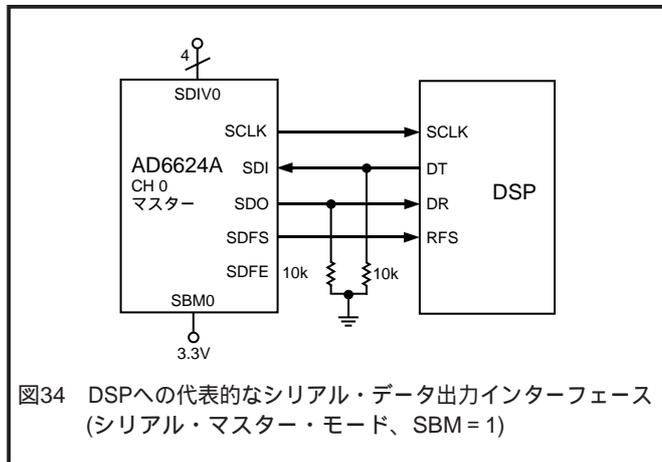


図34 DSPへの代表的なシリアル・データ出力インターフェース (シリアル・マスター・モード、SBM=1)

シリアル・スレーブ動作

AD6624Aはシリアル・バス・スレーブとしても動作することができます。図35に示すこの設定では、DSPから出力されるシリアル・クロックは、AD6624Aのクロックおよび入力データに同期することができます。このモードでは、クロックの最大周波数は62.5MHzで、次のフレームが到着する前にシリアル・フレーム全体を読み出せるように十分に高速でなければなりません。AD6624A出力は入力サンプル・レートから導出されるため(デシメーション/補間レートを使用)、ユーザーが出力レートを決めることができます。AD6624Aの出力レートは次式で与えられます。

$$f_{OUT} = \frac{F_{ADC} \times L_{CIC2}}{M_{CIC2} \times M_{CIC5} \times M_{RCF}} \quad (17)$$

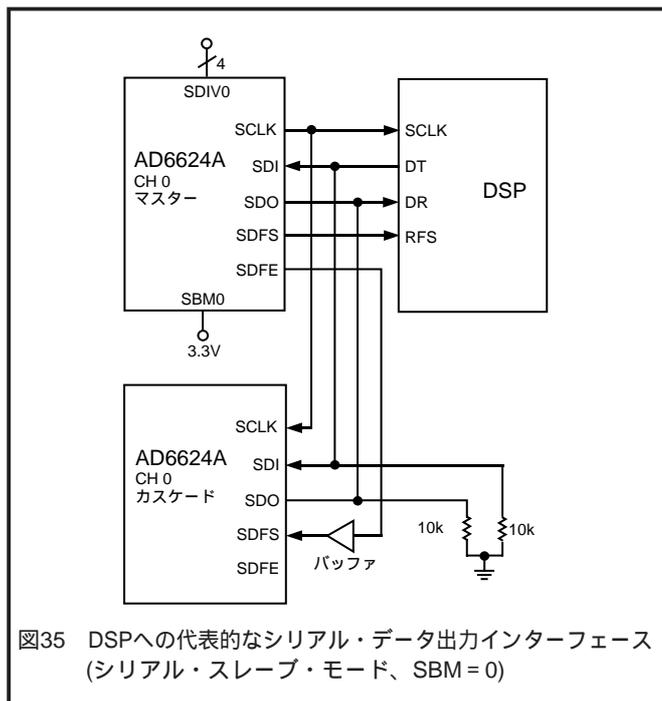


図35 DSPへの代表的なシリアル・データ出力インターフェース (シリアル・スレーブ・モード、SBM=0)

シリアル・ポートのカスケード接続

SDOの出力を互いに接続することにより、AD6624A上で複数のシリアル出力ポートをカスケード接続することができます。このモードでは、スレーブ・チャンネルのSDOポートがアクティブのとき、マスター・チャンネルのSDOポートはトライアステートになります。この機能により、スレーブ・チャンネルからシフト出力されるデータが、マスターAD6624Aチャンネルからシフト出力されるデータ・フレーム(I/Q対)が終わった後、直ぐ後ろに続くことができます。これを実現するには、マスター・チャンネルのSDFE信号がスレーブ・チャンネルのSDFS入力を駆動するようにします。カスケード接続されたシリアル出力ポートは、同じAD6624A上のチャンネル、または異なる2つのAD6624A上のチャンネルと組み合わせることができます(図36)。スレーブ・チャンネルの t_{SSF} と t_{HSF} のタイミング条件を満たすため、マスター・チャンネルから出力されるSDFE信号を最小1.5nsの伝搬遅延を持つ非反転バッファ(例えば、74LVC244A)を使って遅延させる必要があります。図36に、2つのAD6624A間のカスケード接続機能を示します。最初のAD6624Aはシリアル・マスター(SBM=1)として、2つ目のAD6624Aはシリアル・カスケード・モード(SBM=0)として設定されています。

AD6624Aのマスター/スレーブ・モードを使うと、DSPはマスターAD6624Aのシリアル・ポートからデータをシフトし、すぐ後ろにAD6624Aスレーブ・ポートからのデータ・フレーム(IワードとQワード)を続けることができます。図36に示すように、マスター・ポートはシリアル・ポート0です。スレーブ・ポートは、シリアル・ポート1、2、3、または別のAD6624Aのシリアル・ポート0が可能です。他のAD6624Aのシリアル・ポートは、SDFEとSDFSを図のように使ってスレーブ・ポートにカスケード接続することができます。カスケード接続可能なポート数に対する唯一の制限は、シリアル帯域幅とファンアウトの配慮です。

必要なデータをDSPにシフト入力するには十分なシリアル・クロック・サイクル数が必要で、SCLK (すべてのチャンネルとDSPに共通)は厳密にモニターしてクリーンな信号であることを保証される必要があります。1つのDSPシリアル・ポートを多数のAD6624Aシリアル・ポートへ接続するシステムの場合、マスターからのSCLK信号をバッファしてスレーブに渡すことが推奨されます。「アプリケーション」の「シリアル・ポートのバッファリング」を参照してください。

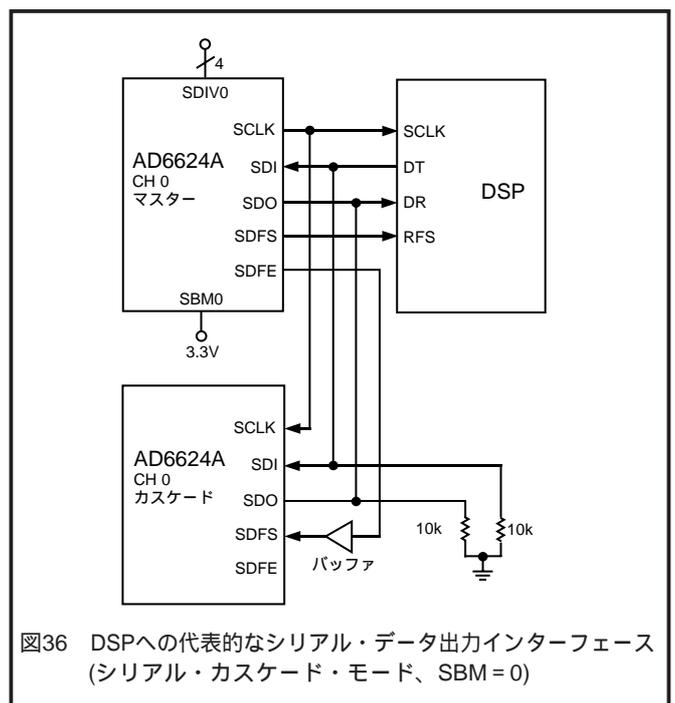


図36 DSPへの代表的なシリアル・データ出力インターフェース (シリアル・カスケード・モード、SBM=0)

表VIII チャンネル・アドレス・メモリ・マップ

チャンネル・アドレス	レジスタ	ビット幅	コメント
00 ~ 7F	係数メモリ (CMEM)	20	128 × 20ビット・メモリ
80	チャンネル・スリープ	1	0 : EXT_ADDRESS 3からのスリープ・ビット
81	Soft_Sync制御レジスタ	2	1 : ホップ 0 : スタート
82	Pin_SYNC制御レジスタ	3	2 : 最初のSYNCのみ 1 : Hop_En 0 : Start_En
83	スタート・ホールドオフ・カウンタ	16	スタート・ホールドオフ値
84	NCO周波数ホールドオフ・カウンタ	16	NCO_FREQホールドオフ値
85	NCO周波数レジスタ0	16	NCO_FREQ[15 : 0]
86	NCO周波数レジスタ1	16	NCO_FREQ[31 : 16]
87	NCO位相オフセット・レジスタ	16	NCO_PHASE[15 : 0]
88	NCO制御レジスタ	9	8 ~ 7 : SYNC入力セレクト[1 : 0] 6 : WB入力セレクトB/A 5 ~ 4 : 入力イネーブル制御 11 : IENの立ち下がり変化でクロック入力 10 : IENの立ち上がり変化でクロック入力 01 : IENのハイレベルでクロック入力 00 : IENのローレベルでマスク・オン 3 : ホップ時に位相アキュムレータをクリア 2 : 振幅ディザ 1 : 位相ディザ 0 : バイパス(A-入力->I-パス、B->Q)
89 ~ 8F	未使用		
90	rCIC2デシメーション-1	12	$M_{rCIC2-1}$
91	rCIC2補間-1	9	$L_{rCIC2-1}$
92	rCIC2スケール	12	11 : 指数部反転 10 : 指数部の重み 9 ~ 5 : rCIC2_QUIET[4 : 0] 4 ~ 0 : rCIC2_LOUD[4 : 0]
93	予約済み	8	予約済み(ローレベルを書き込む必要があります)
94	CIC5デシメーション-1	8	M_{CIC5-1}
95	CIC5スケール	5	4 ~ 0 : CIC5_SCALE[4 : 0]
96	予約済み	8	予約済み(ローレベルを書き込む必要があります)
97 ~ 9F	未使用		
A0	RCFデシメーション-1	8	M_{RCF-1}
A1	RCFデシメーション位相	8	P_{RCF}
A2	RCFタップ数-1	8	N_{TAPS-1}
A3	RCF係数オフセット	8	CO_{RCF}
A4	RCF制御レジスタ	11	10 : RCFバイパスBIST 9 : RCF入力セレクト(自0、他1) 8 : プログラムRAMバンク1/0 7 : 共通指数部を使用 6 : 出力スケールを強制 5 ~ 4 : 出力フォーマット 1x : 浮動小数点12 + 4 01 : 浮動小数点8 + 4 00 : 固定小数点 3 ~ 0 : 出力スケール

AD6624A

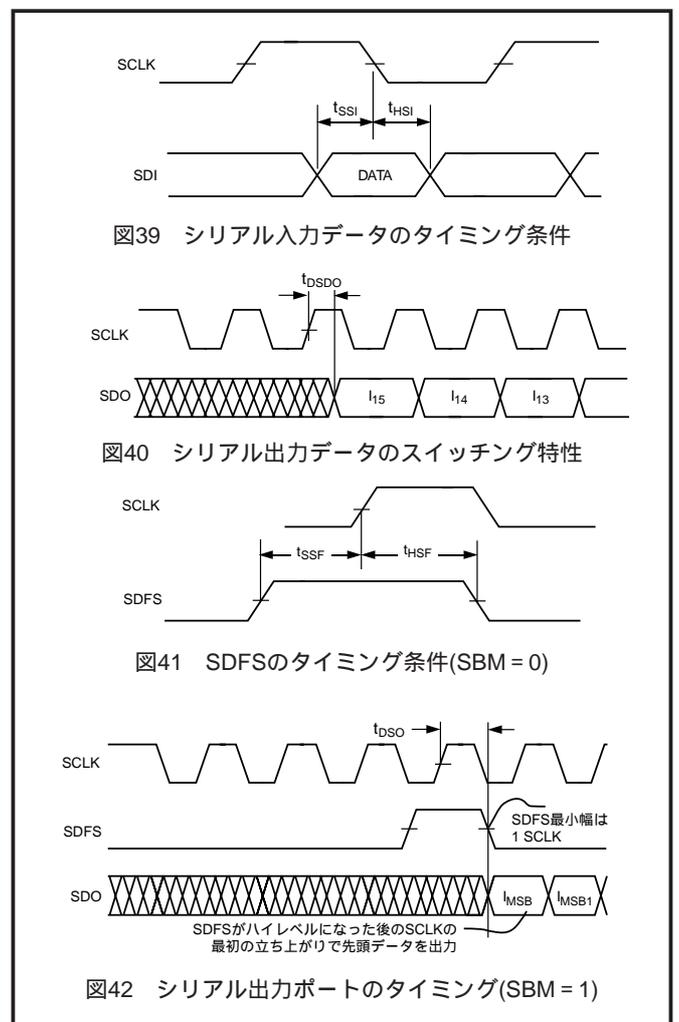
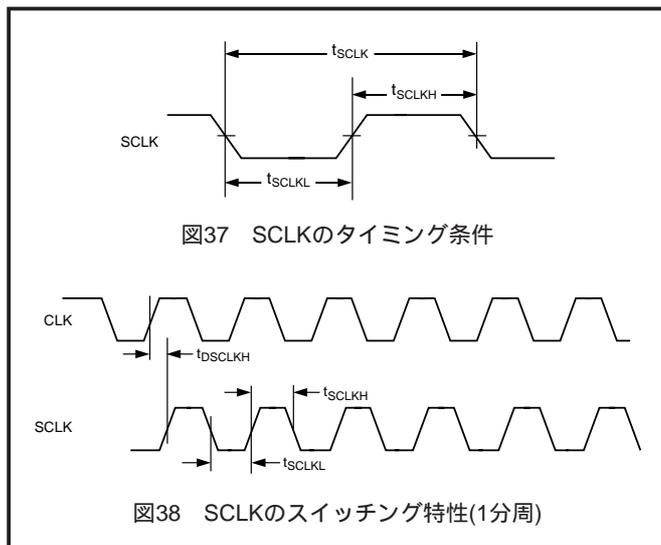
表VIII チャンネル・アドレス・メモリ・マップ(続き)

チャンネル・アドレス	レジスタ	ビット幅	コメント
A5	IバスのBISTシグネチャ	16	BIST-I
A6	QバスのBISTシグネチャ	16	BIST-Q
A7	アキュムレートするBIST出力数	20	19~0: 出力数(読み出すカウンタ値)
A8	RAM BIST制御レジスタ	3	2: D-RAM不合格/合格 1: C-RAM不合格/合格 0: RAM BISTイネーブル
A9	シリアル・ポート制御レジスタ	10	9: BISTレジスタにRCFデータをマップ 8~7: I_SDFS制御 1x: IとQのSDFSパルスを分離 01: フレーム全体でSDFSがハイレベル 00: シングルSDFSパルス 6~5: SOWL 1x: 24ビット・ワード 01: 16ビット・ワード 00: 12ビット・ワード 4: SBMx 3~0: SDIVx[3:0]

シリアル出力フレームのタイミング(マスターおよびスレーブ) SDFS信号の変化は、デバイスがマスター・モード(SBM = 1、図43)またはスレーブ・モード(SBM = 0、図32)のいずれにあるかによって異なります。この変化の後の、SCLKの次の立ち上がりエッジで、シリアル・データの先頭ビットがSDOピンに出力されます。SCLKの立ち下がりエッジまたは次の立ち上がりエッジを使って、DSPはデータをサンプルし、必要なビット数(シリアル出力ポート・ワード長により決定)が受信されるまで繰り返します。DSPがビットをカウントする機能を持つ場合は、DSPはフレーム全体が受信されたタイミングを知ることができます。そうでない場合は、DSPはSDFEピンをモニターしてフレームの終わりを決めることができます。

シリアル・ポートのタイミング仕様

AD6624Aシリアル・チャンネルがシリアル・バス・マスターで動作しても、あるいはシリアル・スレーブで動作しても、シリアル・ポートのタイミングは同じです。図38~44に、各仕様で要求されるタイミングを示します。



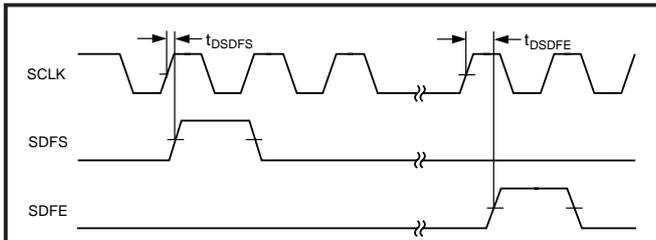


図43 シリアル・フレームのスイッチング特性(SBM = 1)

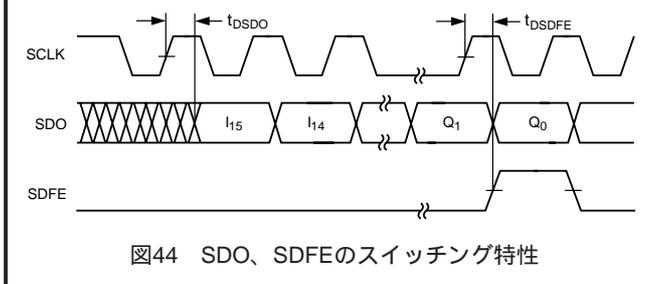


図44 SDO、SDFEのスイッチング特性

SBM0

SBM0は、チャンネル0シリアル・ポート専用のシリアル・バス・マスター・ピンです。シリアル・ポート1、2、3は常にデフォルトとしてシリアル・スレーブ・モードになっていますが、内部レジスタ領域で、マスターに設定することができます。SBM0ピンにより、シリアル・ポート0を使ってマスターとしてAD6624Aをブートさせる選択ができます。SBM0がハイレベルの場合(マスター・モード)、AD6624AはSCLK0とSDFS0を発生します。SBM0がローレベルの場合(スレーブ・モード)、AD6624Aは外部からSCLK0信号とSDFS0信号を受け取ります。バス・マスターに設定されると、SCLK0信号を使ってデータをスロープしてDSPインターフェースに入力することができます。別のAD6624Aと組み合わせるとシリアル・カスケード・モードで使用する場合、SCLK0はマスターAD6624Aから入力されて、カスケード接続されたデバイスから出力されるデータのシフトに使われます。この場合、スレーブAD6624AチャンネルのSDFSはマスターAD6624Aチャンネル(またはチェーン内の先行するデバイス)のSDFEピンに接続されます。AD6624Aがシリアル・スレーブ・モードの場合、シリアル・ポートの全動作は外部信号SCLKおよびSDFSにより制御されます。デバイスがシリアル・バス・マスターか、シリアル・スレーブ・モードにあるかは関係なく、AD6624Aシリアル・ポートの機能は同じです。ただし、SCLKピンとSDFSピンのソースは異なります。

SCLK

SBM (シリアル・ポート1、2、3のSBM0またはレジスタ・ビット)がハイレベルの場合、SCLKは出力になります。シリアル・スレーブ・モードでSBM (シリアル・ポート1、2、3のSBM0またはレジスタ・ビット)がローレベルの場合、SCLKは入力になります。いずれの場合でも、SDIN入力はSCLKの立ち上がりエッジでサンプルされ、すべての出力はSCLKの立ち上がりエッジで変化します。SDFSピンは、SCLKの立ち上がりエッジでサンプルされます。したがって、AD6624Aは、すぐ次のSCLK立ち上がりエッジでフレームを開始するのに間に合うようにSDFSを認識することができます。このポートの最大速度は80MHzです。

SDIN

SDINはシリアル・データ入力です。シリアル・データは、SCLKの立ち上がりエッジでサンプルされます。このピンは、シリアル制御モードでAD6624Aの内部制御レジスタを書き込むときに使われます。この動作については、「シリアル・ポートの制御」で説明します。シリアル入力ポートは自己フレーム同期であり、SDFSまたはSDFEとの固定の関係はありません。

SDO

SDOはシリアル・データ出力です。シリアル出力データは、SCLKの立ち上がりエッジでシフト出力されます。SDFSのすぐ次のSCLK立ち上がりエッジで、1データのMSBがチャンネルからシフトされます。後続の各SCLKエッジで、データの新しい部分がSDOピンにシフト出力され、データの最終ビットがシフト出力されるまで繰り返されます。シフト出力されるデータの最終ビットは、チャンネルのQデータのLSBです。シリアル・ポートがタイム・スロットの外側にあるときは、SDOはトリアステートになります。これにより、AD6624AはDSPのSDINを他のAD6624や他のデバイスと共用することができます。

SDFS

SDFSはシリアル・データ・フレーム同期信号です。マスター・モードでSBM (シリアル・ポート1、2、3のSBM0またはレジスタ・ビット)がハイレベルの場合、SDFSは出力になります。スレーブ・モードでSBM (シリアル・ポート1、2、3のSBM0またはレジスタ・ビット)がローレベルの場合、SDFSは入力になります。SDFSは、SCLKの立ち上がりエッジでサンプルされます。SBMがローレベルの場合、AD6624Aシリアル・ポートはシリアル・スレーブとして機能します。このモードでは、DSPがフレーム同期を出力するまで、ポートは動作しません。AD6624Aが、DSPが発生したシリアル・クロックの立ち上がりエッジでSDFSを検出すると、シリアル・クロックの次の立ち上がりエッジで、AD6624Aは出力ドライバをイネーブルして、1ワードのMSBをシフト出力します。データのシフトは、QワードのLSBが送信されるまで繰り返されます。QワードのLSBで、AD6624AはSDFEを発生します。このSDFEをTDMシリアル・チェーンの次のSDFSまたはDSPにカスケード接続して、最終ビットが送信されたことを通知することができます。

SBMがハイレベルの場合、デバイスはシリアル・バス・マスターとして機能します。このモードでは、AD6624Aがシリアル制御データを発生する役割を持ちます。この動作は3つのモードがあり、チャンネル・アドレス0xA9のビット8~7で設定することができます。各動作は次に示すように少しずつ異なります。

最初のモード(0xA9のビット8~7:00)では、データ・シフトの前の完全な1クロック・サイクル間SDFSが有効になります。次のクロック・サイクルで、AD6624Aはシリアル・データのシフト出力を開始します。2つ目のモード(0xA9のビット8~7:01)では、有効ビットのシフト中はずっと、SDFSがハイレベルになります。SDFSビットは、AD6624Aから最初のビットがシフト出力されると同時にハイレベルになり、AD6624Aから最終ビットがシフト出力された後にローレベルに戻ります。3つ目のモード(0xA9のビット8~7:10)では、最初のモードと同様に、SDFSビットは実際のデータの前の1クロック・サイクル間ハイレベルになります。ただし、2つ目のSDFSが最初のQビットのシフトの前の1クロック・サイクルで挿入されます。この方法で、AD6624Aから出力される各ワードにはSDFSが添付されます。

SDFE

SDFEはシリアル・データ・フレーム終了出力です。SDFEは、アクティブ・タイム・スロットの最後のSCLKサイクル(QワードのLSB)でハイレベルになります。マスターAD6624AチャンネルのSDFE出力はシリアル・スレーブ・モードのAD6624AチャンネルのSDFS入力に接続して、ハード・ワイヤードのタイム・スロット方式を可能にすることができます。マスターAD6624AからSDOデータの最終ビットがシフト出力されるとこのビットが出力されたのと同じSCLKの立ち上がりエッジで、SDFE信号がハイレベルに駆動されます。このSCLKサイクルの立ち上がりエッジで、スレーブに設定されたシリアル・ポートが、マスターのSDFEにハード・ワイヤード接続されている自分のSDFS信号をサンプルします。すぐ次のSCLK立ち上がりエッジで、スレーブのデータのシフトが開始されます。マスターとスレーブのタイム・スロットには休止はありません。

シリアル・ワード長

レジスタ0xA9のビット6~5は、シリアル・ワード(またはQ)の長さを指定します。ビットが"00"に設定された場合、各ワードは12ビットになり

AD6624A

ます (Iは12ビット、Qはもう12ビット)。"01"に設定された場合、シリアルワードは16ビット幅になり、"1x"に設定された場合 (xはdon't care)、ワード長は24ビットになります。

SDFSモード

レジスタ0xA9のビット8~7は、シリアルバス・マスター・モードでのSDFSの動作を指定します。シリアルスレーブ・モードでは、ビット8~7を"00"に設定して、フレーム同期をフォーマットする必要があります。最初のモードは、ビット8~7を"00"に設定します。このモードでは、データシフトの前の完全な1クロック・サイクル間SDFSが有効になります。次のクロック・サイクルで、AD6624Aはデジタル的に処理されたデータ・ストリームのシフト出力を開始します。シリアル設定のビット精度に応じて、12、16、または24ビットのIデータがシフト出力され、次に12、16、または24ビットのQデータが続きます。

2つ目のモードは、ビット8~7を"01"に設定します。このモードでは、有効ビットのシフト中は、SDFSがハイレベルになります。SDFSビットは、AD6624Aから最初のビットがシフト出力されると同時にハイレベルになり、最終ビットがシフト出力された後にローレベルになります。

3つ目のモードは、ビット8~7を"1x" (xはdon't care)に設定します。このモードでは、最初のモードと同様に、SDFSビットは実際のデータの前の1クロック・サイクル間ハイレベルになります。ただし、最初のQビットのシフトの前の1クロック・サイクル間、2つ目のSDFSが挿入されます。この方法で、AD6624Aから出力される各ワードにはSDFSが添付されます。

RCFデータのBISTレジスタへのマッピング

0xA9のビット9がセットされると、RCFデータはBISTレジスタに接続されます。これにより、フィルタ結果をマイクロプロセッサ・ポートから読み出すことができます。この機能は、データをパラレル・ポートからアクセスする必要があり、かつスレーブ・ポートが問題にならないほどデシメーション・レートが十分に高い場合に役立ちます。

0x00 ~ 0x7F : 係数メモリ (CMEM)

RCFが使用する係数メモリ (CMEM) です。20ビットを使って、128ワードとしてメモリにマップされています。RAMの2番目の128ワードは、チャンネル・アドレス0xA4のRCF制御レジスタのビット8にハイレベルを書き込むことにより、この同じロケーションを使ってアクセスすることができます。フィルタの計算では常にIとQに同じ係数を使います。両方の128ブロックのメモリを使って、160タップまでのフィルタを計算することができます。複数のフィルタを、チャンネル・アドレス0xA3の係数オフセット・レジスタへの1回の内部アクセスでロードおよび選択することができます。

0x80 : チャンネル・スリープ・レジスタ

このレジスタは、チャンネルのスリープ・ビットを格納しています。ビットがハイレベルの場合、チャンネルは低消費電力状態に置かれます。ローレベルの場合、チャンネルはデータを処理します。シリアルスレーブ・モードでは、RESETピンを複数SCLKサイクル間ローレベルに維持して、このビットをハイレベルに確実に設定する必要がありますので注意してください。このビットは外部アドレス3にあるスリープ・レジスタにアクセスして設定することもできます。外部スリープ・レジスタにアクセスすると、4チャンネルが全部同時にアクセスされ、それぞれのスリープ・ビットが設定されます。

0x81 : Soft_SYNCレジスタ

マイクロポートを介してSYNCイベントを開始させるときに使用します。ホップ・ビットにハイレベルを書き込むと、アドレス0x84にあるホップ・ホールドオフ・カウンタがロードされて、カウント・ダウンが開始されます。この値が1に達すると、NCOアキュムレータが使っているNCO周波数レジスタにチャンネル・アドレス0x85と0x86のデータがロードされま

す。スタート・ビットにハイレベルが書き込まれると、スタート・ホールドオフ・カウンタにアドレス0x83の値がロードされて、カウント・ダウンが開始されます。この値が1になると、アドレス0x80にあるスリープ・ビットがローレベルになって、チャンネルがスタートします。

0x82 : Pin_SYNCレジスタ

同期ピンの機能を制御するときに使用します。4本の同期ピンから任意に選択して、チャンネルからモニターすることができます。チャンネルはホップ・ビットまたはスタート・ビットをハイレベルに設定することで、スタートまたはホップSYNCイベントを開始するように設定することができます。Soft_SYNCの場合と同じように、SYNCパルスが発生してスタートまたはホップ・ホールドオフ・カウンタがアクティブになったとき、このビットはイネーブルとして機能します。

0x83 : スタート・ホールドオフ・カウンタ

スタート・ホールドオフ・カウンタには、Start_Syncが開始されたときにこのアドレスに書き込まれた値がロードされます。Soft_SYNCは、Soft_SYNCまたはPin_SYNCで開始することができます。カウンタがデクリメントを開始し、値が1になったときに、チャンネルがスリープから抜け出してデータの処理を開始します。チャンネルが既に動作中の場合は、複数のフィルタの位相が、複数のAD6624が同期できるように調整されます。この方法で同期ピンの周期パルスを使って、フィルタのタイミングをADCサンプル・クロックの分解能で調整することができます。このレジスタに1を書き込むと、SYNCがチャンネルに入力されたときに直ちにスタートが開始されます。ゼロを書き込むと、SYNCは発生しません。

0x84 : NCO周波数ホールドオフ・カウンタ

NCO周波数ホールドオフ・カウンタには、Soft_SYNCまたはPin_SYNCがチャンネルに到着したときにこのアドレスに書き込まれた値がロードされます。カウンタがカウント・ダウンを開始し、1になると、NCO周波数ワードがアドレス0x85と0x86の値で更新されます。これはホップまたはHop_SYNCと呼ばれています。このレジスタに1を書き込むと、SYNCがチャンネルに入力されたときに直ちにNCO周波数が更新されます。ゼロが書き込まれると、ホップは発生しません。チャンネル・アドレス0x88のNCO制御レジスタのビット3の状態が、NCOホップは位相連続または位相不連続になります。このビットがローレベルの場合、NCOの位相アキュムレータはクリアされずに、SYNCが発生すると直ちにアキュムレータへの新しいNCO周波数ワードの加算が開始されます。このビットがハイレベルの場合、NCOの位相アキュムレータはゼロにクリアされて、新しいワードがアキュムレートされます。

0x85 : NCO周波数レジスタ0

NCO周波数ワードの16 LSBを表します。このビットはシャドウされ、チャンネルがスリープから抜け出すか、Soft_SYNCまたはPin_SYNCが出力されるまで、処理に使われるレジスタに反映されません。後者の2つのケースでは、周波数ホールドオフ・カウンタ値が1になったとき、レジスタが更新されます。周波数ホールドオフ・カウンタが1に設定された場合、シャドウが書き込まれると直ちにレジスタが更新されます。

0x86 : NCO周波数レジスタ1

NCO周波数ワードの16 MSBを表します。このビットはシャドウされ、チャンネルがスリープから抜け出すか、Soft_SYNCまたはPin_SYNCが出力されるまで、処理に使われるレジスタに反映されません。後者の2つのケースでは、周波数ホールドオフ・カウンタ値が1になったときのみ、レジスタが更新されます。周波数ホールドオフ・カウンタが1に設定された場合、シャドウが書き込まれると直ちにレジスタが更新されます。

0x87 : NCO位相オフセット・レジスタ

NCOに対する16ビットの位相オフセットを表します。0~2 未満の範囲の値として解釈することができます。

0x88 : NCO制御レジスタ

この9ビットレジスタは、NCOとチャンネルの機能を制御します。各ビットは以下のように定義されます。詳細は、「NCO」を参照してください。

ビット8~7は、チャンネルが使うピンを4本の同期ピンから選択します。選択された同期ピンは、チャンネルのスタート、ホップ、またはタイミング調整を開始するときで使用できます。詳細は、データシートの「同期」を参照してください。

ビット6は、チャンネルが使用するポートをAまたはB入力ポートから選択します。ビットがローレベルの場合はA入力ポートを、ハイレベルの場合はB入力ポートを選択します。各入力ポートは、14ビット入力仮数部(INx[13:0])、3ビット指数部(EXPx[2:0])、入力イネーブル・ピン IENxから構成されます。xはAまたはBを表します。

ビット5~4は、高速CLK信号から分周してチャンネルのサンプル・クロックをつくる際の分周比を指定します。下記のように4種類が選択可能ですが、詳細は、データシートの「NCO」を参照してください。

ビットが"00"の場合、チャンネルの入力サンプル・レート(f_{SAMP})は高速CLK信号のレートに等しくなります。IENがローレベルの場合、チャンネルに入力されるデータはマスクされて0になります。これは、次の受信パスに対して正しい位相を維持していても、送信データをマスクすることをレシーバが望むTDDシステムに適したモードです。

ビットが"01"の場合、入力サンプル・レートはIEN入力が高レベルであるCLKの立ち上がりエッジによって決定されます。例えば、CLKの各立ち上がりエッジでIENがトグルする場合、CLKの1つおきの立ち上がりエッジのみIEN信号はハイレベルにサンプルされます。これは、入力サンプル・レート f_{SAMP} がCLKレートの1/2になることを意味します。

ビットが"10"の場合、入力サンプル・レートはIENピンがトグルするレートにより決定されます。IENの立ち上がり変化の後の、CLKの立ち上がりエッジでキャプチャされたデータが処理されます。ビットが"11"の場合、アキュムレータとサンプルのCLKは、IENピンがトグルするレートにより決定されます。IENの立ち下がり変化の後の、CLKの立ち上がりエッジでキャプチャされたデータが処理されます。例えば、制御モード"10"と"11"は、AまたはB入力ポートからインターリーブされたデータを出力させ、それぞれのチャンネルに割り当てるときに使うことができます。IENピンは、1つのチャンネルをモード10に、別のチャンネルをモード11に設定するようにデータを選択します。

ビット3は、ホップの発生時にNCO位相アキュムレータのクリアの有無を指定します。ホップはPin_SYNCまたはSoft_SYNCから開始できます。このビットが"0"の場合、ホップは位相連続で、アキュムレータはクリアされません。このビットが"1"の場合、アキュムレータが"0"にクリアされた後、新しい周波数ワードのアキュムレータを開始します。これは、複数のチャンネルが異なる周波数から共通の周波数へホッピングする場合に適しています。

ビット2~1は、NCOのデザイナーの有無を制御します。この機能の使用は、システムの制約条件から厳密に決定されます。デザイナー使用の詳細は、データシートの「NCO」を参照してください。

ビット0は、NCO周波数変換ステージをバイパスさせます。バイパスされると、A入力ポートからのデータはチャンネルのIパスへ、B入力ポートからのデータはチャンネルのQパスへ渡されます。これにより、ベースバンドのIおよびQデータに実数フィルタが実行されます。

0x90 : rCIC2デシメーション-1 ($M_{rCIC2-1}$)

rCIC2フィルタのデシメーションを設定するときに使います。レジスタに書き込む値は、デシメーションから1を減算した値です。rCIC2デシメーションに設定可能な範囲は、チャンネルの補間に応じて、1~4096です。デシメーションは常に補間より大きい値である必要があります。 $M_{rCIC2} > L_{rCIC2}$ の条件で設定する必要があり、両方の値を適切なrCIC2スケラを選択できるように選択する必要があります。詳細は、「rCIC2」を参照してください。

0x91 : rCIC2補間-1 ($L_{rCIC2-1}$)

rCIC2フィルタの補間を設定するときに使います。レジスタに書き込む値は、補間から1を減算した値です。rCIC2補間に設定可能な範囲は、rCIC2のデシメーションに応じて、1~512です。この補間に対応するタイミング誤差は発生しません。詳細は、データシートの「rCIC2」を参照してください。

0x92 : rCIC2スケール

rCIC2スケール・レジスタは、rCIC2のゲインを補償する減衰を与えるとき、および浮動小数点入力からのデータの線形化を調整するときに使います。このスケール・レジスタの使用は、rCIC2の増大と浮動小数点入力ポートの両方の影響を受けます。詳細は、「rCIC2」を参照してください。rCIC2スケラは指数部オフセットと組み合わせられて、入力ポートとrCIC2セクションの両方で適切に処理される必要があります。

ビット11は、指数部の極性を指定します。AD6600のようなADCを使用するケースでなければ、通常、このビットはクリアされます。AD6600など使用時は、ビットをセットします。

ビット10は、入力ポートに対応する指数部ワードの重みを指定します。ビットがローレベルの場合、各指数部ステップは6.02dB相当と見なされます。ハイレベルの場合、12.02dB相当と見なされます。

ビット9~5は実際のスケール値で、チャンネルに対応するレベル・インジケータLピンがアクティブのとき使われます。

ビット4~0は実際のスケール値で、チャンネルに対応するレベル・インジケータLピンが非アクティブのとき使われます。

0x93 :

予約済み(ローレベルを書き込む必要があります)。

0x94 : CIC5デシメーション-1 (M_{CIC5-1})

CIC5フィルタのデシメーションを設定するときに使います。レジスタに書き込む値は、デシメーションから1を減算した値です。これは8ビットレジスタですが、デシメーションは通常1~32の値に制限されます。32より大きいデシメーションはCIC5の能力を超えたスケールリングを必要とします。

0x95 : CIC5スケール

CIC5スケール係数は、CIC5フィルタの増大を補償するときに使います。詳細は、「CIC5」を参照してください。

0x96 :

予約済み(ローレベルを書き込む必要があります)。

0xA0 : RCFデシメーション-1 (M_{RCF-1})

RCFステージのデシメーションを設定するときに使います。レジスタに書き込む値は、デシメーションから1を減算した値です。

AD6624A

これは8ビットレジスタで、大部分のフィルタ処理で最大256までのデシメーションを可能にしますが、デシメーションは1～32の値に制限する必要があります。これより大きいデシメーションも可能ですが、アプリケーションによっては、RCFのエイリアス保護が許容されない場合があります。

0xA1: RCFデシメーション位相(P_{RCF})

このレジスタを使うと、フィルタの M_{RCF} 位相の任意の1つが使用可能になり、ダイナミックに調整することができます。フィルタが開始されるたびに、この位相が更新されます。チャンネルが同期化されると、ここで選択した位相設定が維持されます。これは、外部プロセッサによるタイミング再生ループの一部として使用でき、あるいは、1対のRCFを使用しながら複数のRCFを協調動作させることができます。詳細は、データシートの「RCF」を参照してください。

0xA2: RCFタップ数-1 ($N_{RCF}-1$)

RCFフィルタのタップ数-1を書き込みます。

0xA3: RCF係数オフセット(CO_{RCF})

フィルタに使用する256ワード係数メモリの部分を指定するときに使います。メモリにロードされ、このポインタで参照された複数のフィルタから選択するときに使うことができます。このレジスタはシャドウされ、フィルタポインタは新しいフィルタが開始されるたびに更新されます。この機能により、フィルタの計算中でも動作を中断して、係数オフセットの書き込みが可能になります。RCFから出力される次のサンプルは新しいフィルタを使います。

0xA4: RCF制御レジスタ

11ビットのレジスタで、RCFの全体的な機能と出力フォーマットを制御します。レジスタのビットと機能を、次に説明します。ビット10はRCFフィルタをバイパスして、CIC5出力データをBIST-IとBIST-Qのレジスタに転送します。チャンネルアドレス0xA9にあるシリアル制御レジスタのビット9がセットされている場合、CIC5データの16 MSBにこのレジスタからアクセスすることができます。ビット9は、RCFへの入力データのソースを制御します。ビットが"0"の場合、RCFは自チャンネルの出力データを処理します。"1"の場合、RCFは別のチャンネルのCIC5から出力されるデータを処理します。ビットが"1"のときRCFが接続されるCIC5を、下の表に示します。このビットは、複数のRCFを使って広い帯域幅のチャンネルを処理するとき使うことができます。詳細は、データシートの「マルチプロセッシング」を参照してください。

表IX RCF入力の設定

チャンネル	ビット9が"1"のときのRCF入力ソース
0	1
1	0
2	1
3	1

ビット8は、0x00～0x7Fのチャンネルアドレスを使ってCMEMの128ワードの2番目のブロックをアドレス指定することを可能にする追加アドレスとして使われます。ビットが"0"の場合は最初の128ワードが書き込まれ、"1"の場合は2番目の128ワードが書き込まれます。ビットは、係数メモリを書き込むときにのみ使われます。これは、如何なる方法でも処理で使われることはなく、128タップより長いフィルタを実行することができます。

ビット7は、AD6624のRCFデータの出力フォーマット制御の支援に使われます。このビットは、8+4または12+4の浮動小数点モードが選択された場合にのみ使用されます。このモードは、後述のように、レジスタのビット5と4によりネーブルされます。ビット7が"0"の場合、IとQの出力指数部はそれぞれの振幅に基づいて個別に決定されます。"1"の場合、IデータとQデータは複素数浮動小数点であり、IまたはQの最大振幅に基づいて決定される1つの指数部をIとQが使います。

ビット6は、浮動小数点出力モードの1つが使われている場合でも、このレジスタのビット3～0に格納されている出力スケール係数をデータのスケールに強制使用することができます。選択した出力スケールで表すには値が大き過ぎる場合、IデータとQデータの仮数部がクリップされて、オーバーフローは発生しません。

ビット5とビット4は、RCFデータが使用する出力フォーマットオプションを選択します。表Xにオプションを示します。オプションについては、データシートの「出力フォーマット」で詳しく説明します。

表X 出力フォーマット

ビット値	出力オプション
1x	12ビット仮数部と4ビット指数部(12+4)
01	8ビット仮数部と4ビット指数部(8+4)
00	固定小数点モード

ビット3～0は、RCFの出力スケール係数を表します。このビットは、出力フォーマットが固定小数点モードまたはForce Exponentビットがハイレベルの場合、データのスケールに使います。

0xA5: I用BISTレジスタ

このレジスタは2つの目的で機能します。1つ目は、チャンネル内のIデータ・パスの全機能をシステムでテストすることを可能にすることです。詳細は、データシートの「BIST」を参照してください。2つ目の機能は、マイクロポートを介してI出力データへのアクセスを提供することです。これを行うには、シリアル・ポート制御レジスタ0xA9のMap RCF data to BISTビットをハイレベルに設定する必要があります。すると、8+4、12+4、12ビット・リニアまたは16ビット・リニア出力モードで、マイクロポートを介してIデータの16ビットを読み出すことができます。このデータは、フォーマットされたRCF出力またはCIC5出力から出力できます。

0xA6: Q用BISTレジスタ

このレジスタは2つの目的で機能します。1つ目は、チャンネル内のQデータ・パスの全機能をシステムでテストすることを可能にすることです。詳細は、データシートの「BIST」を参照してください。2つ目の機能は、マイクロポートを介してQ出力データへのアクセスを提供することです。これを行うためには、シリアル・ポート制御レジスタ0xA9のMap RCF data to BISTビットをハイレベルに設定する必要があります。すると、8+4、12+4、12ビット・リニアまたは16ビット・リニア出力モードで、マイクロポートを介してQデータの16ビットを読み出すことができます。このデータは、フォーマットされたRCF出力またはCIC5出力から出力できます。

0xA7: BIST制御レジスタ

BISTテストを実行する際に観測されるRCFまたはCICフィルタの出力数を制御します。アドレス0xA5と0xA6にあるBISTシグネチャ・レジスタが出力数の観測と停止を行います。また、このレジスタに書き込みを行った場合にも、BISTエンジンの動作を開始させます。BIST回路の使い方の詳細は、データシートの「BIST」を参照してください。

0xA8: RAM BIST制御レジスタ

AD6624Aのメモリの不具合が疑われる場合に、メモリのテストに使います。チャンネルがスリープ中の場合、レジスタのビット0には"1"が書き込まれており、1600 CLKの間待ってから、ビットのポーリングを行います。ビット1がハイレベルの場合はCMEMがテストに不合格で、ビット2がハイレベルの場合はRCFが使用するデータ・メモリがテストに不合格です。

0xA9：シリアル・ポート制御レジスタ

AD6624Aのシリアル・ポートを制御し、RCF制御レジスタと一緒に、出力フォーマットの決定を支援します。

ビット9は、RCFデータまたはCIC5データをアドレス0xA5と0xA6にあるBISTレジスタへマップすることを可能にします。ビットが"0"の場合、BISTレジスタはシグネチャ・モードになり、セルフテストを実行できます。"1"の場合、フォーマット済みのRCF出力データまたはCIC5データがレジスタにマップされ、マイクロポートを介して読み出すことができます。さらに、このビットがハイレベルの場合、チャンネルのDRピンが1 CLKサイクル幅のパルスを出し、ホスト・プロセッサをAD6624Aに同期させるときに使うことができます。ビットが"0"の場合には、この信号は1 SCLKサイクル幅のパルスになります。

ビット8と7は、SDFSパルスの出力フォーマットを制御します。ビットが"00"の場合、IデータとQデータに対して1個のSCLKサイクル幅のパルスが出力されます。"01"の場合、SDFS信号はシリアル・フレームでシフトされる全ビットに対してハイレベルになります。"10"または"11"の場合、1 SCLKサイクル幅のSDFSパルスが2個出力されます。1つ目のパルスはIワード・データの前に、2つ目のパルスはQワード・データの前に出力されます。シリアル・ポートがシリアル・スレーブに設定されると、ビットが"00"に設定されるので最初のモードになります。

ビット6と5は、シリアル・ポートで使用されるシリアル・ワード長を決定します。ビットが"00"の場合、シリアル・ポートは12ビット・ワードを使用し、12ビットのIに続いて12ビットのQをMSB先頭でシフト出力します。"01"の場合、シリアル・ポートは16ビット・ワードを使用し、16ビットのIに続いて16ビットのQをMSB先頭でシフト出力します。"1x"の場合、シリアル・ポートは24ビット・ワードを使用し、24ビットのIに続いて24ビットのQをMSB先頭でシフト出力します。RCF制御レジスタで固定小数点出力オプションが選択されると、このビットはRCFの出力フォーマットのまるめ処理も正しく設定します。

ビット4はシリアル・ポートがマスターまたはスレーブのいずれになるかを指定します。パワーアップ時、レジスタがローレベルになるため、シリアル・ポートがスレーブになり、出力ドライバでの競合問題を回避します。チャンネル0のシリアル・ポートはこのビットを使いません。シリアル・ポート0のマスター/スレーブは、SBM0ピンでセットされます。

ビット3~0は、チャンネルがマスターのとき、SCLK信号のレートを制御します。この4ビット・バスは、約50%デューティ・サイクルでマスターCLKの1~16分周としてSCLKを設定することができます。最大80MHzまでのSCLKを発生することができます。シリアル・ポート0には、このレジスタのシリアル分周ビットは使われません。シリアル・ポート0では、外部SDIV [3 : 0]ピンを使って分周を決定します。

マイクロポートの制御

AD6624Aは、8ビットのマイクロプロセッサ・ポートと4つのシリアル入力ポートを内蔵しています。各ポートの使い方を、以下に個別に説明します。その後、ポートの通信については説明します。マイクロポート・インターフェースはマルチモード・インターフェースで、ホスト・プロセッサとの通信に柔軟性を持つように設計されています。インテル非マルチプレックス・モード(INM)とモトローラ非マルチプレックス・モード(MNM)の2つのバス動作モードがあります。モードは、ホスト・プロセッサに基づいて最適なモードが選択されます。マイクロポートには、8ビット・データ・バス(D[7 : 0])、3ビット・アドレス・バス(A[2 : 0])、3本の制御ピン(CS、DSまたはRD、RWまたはWR)、1本のス

テータス・ピン(DTACKまたはRDY)があります。制御信号とステータス・ラインの機能は、選択されたモードに応じて少し異なります。両モードの動作の詳細は、タイミング図と以下の説明を参照してください。

外部メモリ・マップ

外部メモリ・マップは前述のチャンネル・アドレス空間をアクセスするときに使います。外部インターフェース・レジスタから参照される8ビットのデータ・レジスタとアドレス・レジスタを表XIに示します(このレジスタは、グローバルなデバイス機能、チャンネル・アドレス空間に対するすべてのアクセスを制御するので、集合的に外部インターフェース・レジスタと呼ばれています)。各レジスタの使い方を、以下に説明します。チャンネル0に対するシリアル制御インターフェースは、マイクロポート・インターフェースと同じメモリ・マップを持つため、レートは低速ですが全く同じ機能を実行できることに注意してください。

表XI 外部メモリ・マップ

A[2 : 0]	名前	コメント
111	アクセス制御レジスタ(ACR)	7 : 自動インクリメント 6 : ブロードキャスト 5-2 : インストラクション[3 : 0] 1~0 : A[9 : 8]
110 101	チャンネル・アドレス・レジスタ(CAR) SOFT_SYNC制御レジスタ (書き込み専用)	7~0 : A[7 : 0] 7 : PN_EN 6 : Test_MUX_Select 5 : ホップ 4 : スタート 3 : SYNC 3 2 : SYNC 2 1 : SYNC 1 0 : SYNC 0
100	PIN_SYNC制御レジスタ (書き込み専用)	7 : BISTに対してIENをトグル 6 : 最初のSYNCのみ 5 : Hop_En 4 : Start_En 3 : SYNC_EN 3 2 : SYNC_EN 2 1 : SYNC_EN 1 0 : SYNC_EN 0
011	スリープ (書き込み専用)	7~6 : 予約済み 5 : アクセス入力ポート 制御レジスタ 4 : シリアル読み出し0 3 : スリープ 2 : スリープ2 1 : スリープ1 0 : スリープ0
010	データ・レジスタ2 (DR2)	7~4 : 予約済み 3~0 : D [19 : 16]
001	データ・レジスタ1 (DR1)	15~8 : D [15 : 8]
000	データ・レジスタ0 (DR0)	7~0 : D [7 : 0]外部

AD6624A

アクセス制御レジスタ(ACR)

マイクロポートまたはシリアル・ポート0からのアクセスを受け取るチャンネルを指定します。

ビット7は、自動インクリメント・ビットです。このビットが"1"の場合、チャンネルのアクセスごとに、後述のCARレジスタがインクリメントされます。この機能により、係数メモリなどのアドレス空間のブロックを効率良く初期化できます。

ビット6はブロードキャスト・ビットで、ビット5～2の解釈を決めます。ブロードキャストが"0"の場合、インストラクション・ビット(インストラクション[3:0])と呼ばれるビット5～2が、Chip_ID [3:0]ピンと比較されます。Chip_ID [3:0]ピンに一致するインストラクションがアクセスを決定します。これにより、外付けロジックなしで、同じポートに最大16のデバイスを接続してメモリにマップすることができます。また、ホスト・プロセッサの同じシリアル・ポートを最大16個のデバイスに対して設定することもできます。ブロードキャスト・ビットがハイレベルの場合、インストラクション[3:0]ワードにより、Chip_ID[3:0]ピンに無関係に、複数のAD6624Aチャンネルおよび/またはデバイスを同時に設定することができます。使用可能なインストラクションを表XIIに示します。この機能は、1つのアンテナまたはキャリアを待ち受ける複数のチャンネルを同時に設定できるスマート・アンテナ・システムに役立ちます。表内のxは、デジタル・デコーディングでの"don't care"を表します。

表XII マイクロポート・インストラクション

インストラクション	コメント
0000	すべてのデバイスとすべてのチャンネルへのアクセスが可能
0001	すべてのデバイスのチャンネル0、1、2へのアクセスが可能
0010	すべてのデバイスのチャンネル1、2、3へのアクセスが可能
0100	すべてのデバイスへのアクセスが可能*
1000	Chip_ID[3:0] = xxx0であるすべてのデバイスへのアクセスが可能*
1001	Chip_ID[3:0] = xxx1であるすべてのデバイスへのアクセスが可能*
1100	Chip_ID[3:0] = xx00であるすべてのデバイスへのアクセスが可能*
1101	Chip_ID[3:0] = xx01であるすべてのデバイスへのアクセスが可能*
1110	Chip_ID[3:0] = xx10であるすべてのデバイスへのアクセスが可能*
1111	Chip_ID[3:0] = xx11であるすべてのデバイスへのアクセスが可能*

*A[9:8]ビットがアクセスのためにデコードするチャンネルを制御します。

外部メモリ・マップ

ブロードキャストがイネーブルされている場合(ビット6がハイレベル)、内部バスが競合する恐れがあるため、リードバックは無効になります。したがって、続いてリードバックが必要な場合は、ブロードキャスト・ビットをローレベルに設定する必要があります。

ビット1～0はアドレス・ビットで、4チャンネルの中からアクセスするチャンネルを指定します。インストラクション・ビットが複数チャンネルへのアクセスを指定している場合には、このビットは無視されます。インストラクションがデバイスの一部へのアクセスを指定している場合、A[9:8]ビットがアクセスするチャンネルを指定します。

チャンネル・アドレス・レジスタ(CAR)

各チャンネルの8ビット内部アドレスを表します。ACRの自動インクリメント・ビットが"1"の場合、この値はDR0レジスタへのアクセスが終了ごとにインクリメントされて、このアドレスでポイントされるロケーションに順次アクセスします。ブロードキャスト・ビットがハイレベルの場合、チャンネル・アドレス・レジスタを読み出すことはできません。

SOFT_SYNC制御レジスタ

外部アドレス[5]はSOFT_SYNC制御レジスタで、書き込み専用です。

ビット0～3は、SOFT_SYNC制御ビットです。コントローラがこのピンに書き込みを行い、選択されたチャンネルの同期を開始します。4つの入力がありますが、同じ番号のチャンネルに接続される必要はありません。どのビットを調べるか、チャンネル・レベルでフルに設定可能です。4チャンネルすべてを1箇所から同期させるように設定することができ、対にするか、すべて独立にすることも可能です。

ビット4は、同期をデバイス・スタートに適用するか否かを指定します。ビットが"1"の場合、デバイス・スタートが起動されます。

ビット5は、同期をデバイス・ホップに適用するか否かを指定します。ビットが"1"の場合、SOFT_SYNCが発生したとき、NCO周波数が更新されます。

ビット6は、内部データ・バスの構成を設定します。ビットがローレベルの場合、内部ADCデータ・バスはノーマルに構成されます。ハイレベルの場合、内部テスト信号が選択されます。内部テスト信号は、レジスタのビット7により設定されます。

ビット7がローレベルの場合、負側フルスケール信号が発生され、内部データ・バスはこれを使います。ビット7がハイレベルの場合、内部擬似ランダム・シーケンス・ジェネレータがイネーブルされ、内部データ・バスはこのデータを使います。ビット6と7の組み合わせ機能により、与えられたフィルタ設計の評価が可能です。また、MISRレジスタとの組み合わせで、デバイスの詳細なインシステム・テストが可能になります。JTAGテスト・ボードと合わせて使うと、工場出荷テストとフィールド・テストの両方で、システム・テスト時に非常に高度なデバイス評価を行うことができます。

PIN_SYNC制御レジスタ

外部アドレス[4]は、PIN_SYNC制御レジスタで、書き込み専用です。レジスタのビット0～3は、SYNC_EN制御ビットです。コントローラがこのピンに書き込みを行い、選択されたチャンネルのピン同期を可能にします。4つの入力がありますが、同じ番号のチャンネルに接続される必要はありません。どのビットを調べるか、チャンネル・レベルでフルに設定可能です。4チャンネルすべてを1箇所から同期させるように設定することができ、対にするか、すべて独立にすることも可能です。

ビット4は、同期をデバイス・スタートに適用するか否かを指定します。このビットが"1"の場合、PIN_SYNCが発生したとき、デバイス・スタートが起動されます。

ビット5は、同期をデバイス・ホップに適用するか否かを指定します。このビットが"1"の場合、PIN_SYNCが発生したとき、NCO周波数が更新されます。

ビット6は、繰り返し同期信号を無視するときに使います。アプリケーションによっては、この信号が周期的に発生される場合があります。ビットがローレベルの場合、各PIN_SYNCがチャンネルをリスタート/ホップさせます。ハイレベルの場合、最初の発生だけがデバイスにアクションを発生させます。

ビット7は外部アドレス5のビット6と7と合わせて使います。このビットがローレベルの場合、内部データ・バスに入力されたデータが通常のADCをシミュレートします。ハイレベルの場合、AD6600のような時分割多重ADC形式のデータを入力します(4チャンネル入力モードでの等価なテストが可能になります)。このビットがセットされている場合、AD6600のA/B信号で駆動されているかのように、内部的にIENピンをトグルさせます。

スリープ制御レジスタ

外部アドレス[3]はスリープ・レジスタです。

表XIII 入力ポート制御レジスタのメモリ・マップ

チャンネル・アドレス	レジスタ	ビット幅	コメント
00	下側スレッシュホールドA	10	9~0: 入力Aの下側スレッシュホールド
01	上側スレッシュホールドA	10	9~0: 入力Aの上側スレッシュホールド
02	ドウエル・タイムA	20	19~0: 下側スレッシュホールドAより下の最小時間
03	ゲイン範囲A制御レジスタ	5	4: 出力極性LIA-AとLIA-B 3: インターリーブ・チャンネル 2~0: 線形化ホールドオフ・レジスタ
04	下側スレッシュホールドB	10	9~0: 入力Bの下側スレッシュホールド
05	上側スレッシュホールドB	10	9~0: 入力Bの上側スレッシュホールド
06	ドウエル・タイムB	20	19~0: 下側スレッシュホールドBより下の最小時間
07	ゲイン範囲B制御レジスタ	5	4: 出力極性LIB-AとLIB-B 3: インターリーブ・チャンネル 2~0: 線形化ホールドオフ・レジスタ

ビット3~0は、各チャンネルの状態を制御します。各ビットは、デバイス内の可能なRSPチャンネルの1つに対応します。ビットがローレベルの場合、チャンネルは通常の動作を行います。ハイレベルの場合、指定されたチャンネルは低消費電力のスリープ・モードになります。ビット4は、シリアル・チャンネル0の通常のRSPデータを、読み出してアクセスしたデータに置き換えさせます。これにより、シリアル・バス経由で内部レジスタを読み出すことができます。このモードでは、すべてのRSPデータが内部アクセス・データで上書きされることに注意してください。

ビット5は、チャンネル・アドレス00~07にある入力制御ポートレジスタへのアクセスを可能にします。ビットがローレベルの場合、通常のメモリ・マップがアクセスされます。ハイレベルの場合、入力ポート制御レジスタへのアクセスが可能になります。これらのレジスタへのアクセスにより、ドウエル・タイムやその他の機能と一緒に上下のスレッシュホールドの設定が可能になります。ビットがハイレベルの場合、外部アドレス6 (CAR)の値は通常のメモリ・マップの代わりに入力ポート制御レジスタのメモリ・マップを指します。以下の入力ポート制御レジスタを参照してください。

ビット6~7は予約済みで、ローレベルに設定することはできません。

データ・アドレス・レジスタ

外部アドレス[2~0]は、それぞれデータ・レジスタDR2、DR1、DR0を構成します。すべての内部データ・ワードの幅は、20ビット以下です。外部アドレス[0] DR0をアクセスすると、ACRとCARで指定されるアドレスに基づいてAD6624Aへの内部アクセスが開始されます。したがって、内部レジスタに対する書き込み時、外部アドレス[0] DR0は最後に書き込む必要があります。この時点で、データはA[9:0]で指定される内部メモリに転送されます。読み出しは逆向きに実行されます。アドレスを設定したら、外部アドレス[0] DR0をデータ・レジスタでは最初に読み出して内部アクセスを開始させます。DR2はわずか4ビット幅です。このレジスタの上位4ビットに書き込まれたデータは無視されます。同様に、このレジスタから読み出すと、LSBの4ビットのみが得られます。

書き込みシーケンス

内部ロケーションへの書き込みは、まずアドレスの上位2ビットをACRのビット1~0に書き込むことから開始されます。ビット7:2は、前述のようにチャンネルを選択するために設定します。次に、内部アドレスの下位8ビットをCARに書き込みます(内部アクセスの前にACRとCARの両方を書き込む限り、ACRの前にCARを書き込んで問題ありません)。データ・レジスタ0(DR0)に書き込みを行うと、内部アクセス動作が開始されてしまうため、データ・レジスタ2(DR2)とデータ・レジスタ1(DR1)への書き込みを先に行う必要があります。内部書き込みを

開始させるため、データ・レジスタ0(DR0)への書き込みは常に最後に行う必要があります。

読み出しシーケンス

マイクロポートからの読み出しは、同様の方法で行います。内部アドレスは書き込みと同じ方法で設定します。データ・レジスタ0(DR0)への読み出しを行うと内部読み出し動作が開始されるため、常にレジスタ0(DR0)を先に読み出して内部読み出しを開始させ、DR1とDR2の読み出しはこの後に行います。これにより、内部読み出しの8ビットのLSBがマイクロポート(D[7:0])から得られます。その他のデータ・レジスタを読み出して、内部メモリの残りを読み出すことができます。

リード/ライトのチェイニング

AD6624Aのマイクロポートでは、CSがローレベルの間、複数のアクセスを許容しています(マイクロポートが他のデバイスと共用されない場合には、CSをローレベルに固定することができます)。WRまたはRDラインにパルスを入力し、3ビットの外部アドレス・バスの値を変えらることにより、複数のロケーションをアクセスできます。表IIの外部レジスタに対する外部アクセスは、CS、RD、WR、MODEの各入力を使う2つのモードのどちらかで行われます。2つのアクセス・モードは、インテル非マルチプレックス・モードとモトローラ非マルチプレックス・モードです。モードはMODE入力で選択されます(MODE=0でINM、MODE=1でMNM)。CS、RD、WRは、各モードのアクセス・タイプを制御します。

インテル非マルチプレックス・モード(INM)

AD6624AマイクロプロセッサをINMモードで動作させるときは、MODEをローレベルに接続します。アクセス・タイプは、CS、RD(DS)、WR(RW)の入力で制御します。マイクロポートはRDY(DTACK)信号を発生して、アクセスの完了を知らせます。RDY(DTACK)はアクセスの開始時にローレベルになり、内部サイクルが完了すると解除されます。「仕様」に記載する読み出しモードと書き込みモードのタイミング図を参照してください。

モトローラ非マルチプレックス・モード(MNM)

AD6624AマイクロプロセッサをMNMモードで動作させるときは、MODEをハイレベルに接続します。アクセス・タイプは、CS、DS(RD)、RW(WR)の入力で制御します。マイクロポートはDTACK(RDY)信号を発生して、アクセスの完了を知らせます。内部アクセスが完了するとDTACK(RDY)がローレベルになり、DS(RD)のアサートの解除後にハイレベルに戻ります。「仕様」に記載する読み出しモードと書き込みモードのタイミング図を参照してください。

AD6624A

入力ポート制御レジスタ

主に入力の検出とレベルの制御に使われる種々の入力関連機能をイネーブルします。動作モードに応じて、このレジスタにより最大4つの異なる信号パスをモニターすることができます。この機能へのアクセスは、まず、外部アドレス3 (スリープ・レジスタ)のビット5を設定し、次にCAR (外部アドレス6)を使って可能な8個のロケーションをアドレス指定します。

この設定に対する応答は、LIA-A、LIA-B、LIB-A、LIB-Bの各ピンに直結されます。

アドレス00は入力チャンネルAの下側スレッシュホールドです。このワードは10ビット幅で、仮数部の上位10ビットにマップされます。上位10ビットがこの値以下の場合、下側スレッシュホールドの条件が満たされます。通常のデバイス動作では、この値がドウエル・タイム・カウンタを開始させます。入力信号がこの値を超えると、カウンタが再ロードされ、入力がこのレベルに戻るのを待ちます。

アドレス01は入力チャンネルAの上側スレッシュホールドです。このワードは10ビット幅で、仮数部の上位10ビットにマップされます。上位10ビットがこの値以上の場合、上側スレッシュホールドの条件が満たされます。通常のデバイス動作では、この値が該当するLIピン(LIA-AまたはLIA-B)をアクティブにします。

アドレス02は入力チャンネルAのドウエル・タイムです。この値は、LIピンが非アクティブになる前に入力信号が下側スレッシュホールド以下を維持しなければならない時間を設定します。入力レベル検出回路が動作するには、ドウエル・タイムを少なくとも1に設定する必要があります。ゼロに設定すると、LI機能がディスエーブルされます。

アドレス02は、20ビットのレジスタです。上側スレッシュホールドを通過した後下側スレッシュホールドに一致すると、ドウエル・タイム・カウンタがロードされて、高速クロック・サイクルのカウンタを開始され、入力が下側スレッシュホールド以下に留まる限りカウンタが継続されます。信号が下側スレッシュホールドを超えて大きくなると、カウンタが再ロードされて、信号が下側スレッシュホールド以下に戻るのを待ちます。

アドレス03は入力チャンネルAを設定します。

ビット4は、LIA-AとLIA-Bの極性を指定します。ビットがローレベルの場合、上側スレッシュホールドを超えたときにLI信号がハイレベルになります。ハイレベルの場合、アクティブのときにLIピンがローレベルになります。これにより、この機能は極めて柔軟に使用できます。

ビット3は、シングル・チャンネルまたは、AD6600を使用する場合のようなTDMチャンネルのどちらで入力を構成するかを指定します。ビットがローレベルの場合、シングルADCを使用します。このモードでは、LIA-Aがアクティブ出力インジケータとして機能します。LIA-Bは全LIA-A全部を出力します。ビットがハイレベルの場合、入力はデュアル・チャンネルを使用し、IENAピンの状態で決定されます。IENAピンがローレベルの場合、入力検出はLIA-Aに直結されます。IENAピンがハイレベルの場合、入力はLIA-Bに直

結されます。どちらのケースでも、ビット4がこれらの信号の実際の極性を決定します。

ビット2~0は、ゲイン検出機能の内部レイテンシを決めます。LIA-AピンとLIA-Bピンがアクティブになると、一般に減衰器またはゲイン・ステージの変更に使用されます。これはADCの前にあるため、ADCに対応するレイテンシと、ゲイン変化の整定に対応するが存在します。このレジスタにより、LIA-A信号とLIA-B信号の内部遅延を設定できます。アドレス4~7は、入力ポート(INB[13:0])Bのアドレス00~03をコピーします。

シリアル・ポートの制御

AD6624Aは、主にデータ出力インターフェースとして機能する4つのシリアル・ポートを内蔵しています。ポートは、出力データの他に、AD6624Aの内部機能に対する制御パスを提供します。シリアル・ポート0 (SDIN0)はすべてのチャンネルのすべての内部レジスタをアクセスすることができます。これに対して、ポート1、2、3 (SDIN1~3)はローカル・レジスタに限定されています。この方式で、1つのDSPを使って、シリアル・ポート0インターフェース経由でAD6624Aを制御することができます。必要なら、チャンネルごとに1つのDSPを使うオプションも用意してあります。シリアル・ポート0のグローバル・アクセスの他に、他のシリアル・ポートやマイクロポートより優先順位の高いアクセスもあります。

シリアルの出力および入力機能は、主に別々のハードウェアを使用しているため、共通のシリアル・クロック(SCLK)を使用する個別のポートと見なすことができます。シリアル入力ポートは以下に説明するように自己フレーミングであり、シリアル入力帯域幅の設定に効率良く使うことができます。したがって、SDFS信号の状態がシリアル入力ポートに直接影響を与えることはありません。シリアル入力ポートは自己フレーム同期であるため、シリアル書き込みを行うためにSDFSを待つ必要はありません。シリアル入力フレームの開始は、SDIピンに出力されるフレーム・ビットで表示されます。このビットは、シリアル入力フレームのMSBです。フレーム・ビットがSCLKの立ち上がりエッジでハイレベルとしてサンプルされた後、状態カウンタがスタートし、4シリアル・クロック・サイクル後に11ビットのシリアル・シフトをイネーブルします。この4 SCLKサイクルは、シリアル・フレームの無視される"don't care"ビットを表します。すべてのビットがシフトされた後、シリアル入力ポートは8ビット・データと3ビット・アドレスを調停クロックに渡します。

SDI入力のシリアル・ワード構造を次の表に示します。標準16ビット・シリアル・ワードの2番目のビットがフレーム・ビットと見なせるように、15ビットしか表示してありません。これは、AD6620のシリアル入力ポートとの互換性のために行われています。シフト順は、フレームから始まり、MSB先頭でアドレスを、次にMSB先頭でデータをシフトします。

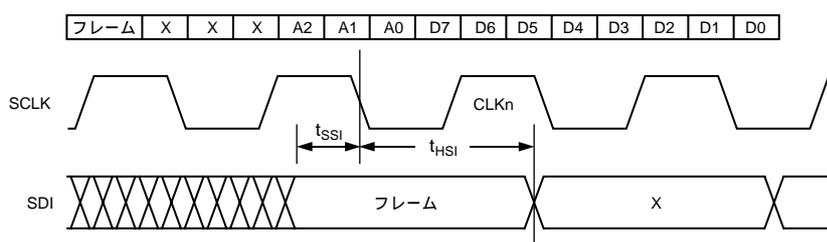


図45 シリアル・ポートの制御タイミング

JTAGバウンダリ・スキャン

AD6624Aは、IEEE標準1149.1仕様のサブセットをサポートしています。この標準の詳細は、IEEEから出版されている「IEEE Standard Test Access Port and Boundary-Scan Architecture, IEEE-1149」を参照してください。

AD6624Aは、JTAGインターフェースに対応する5本のピンを持っています。このピンは内蔵テスト・アクセス・ポートをアクセスするときに使います(表XIV)。すべての入力JTAGピンはプルアップされています。ただし、TCLKはプルダウンされています。

表XIV バウンダリ・スキャン・テスト・ピン

名前	ピン番号	説明
TRST	67	テスト・アクセス・ポート・リセット
TCLK	68	テスト・クロック
TMS	69	テスト・アクセス・ポートのモード・セレクト
TDI	72	テスト・データ入力
TDO	70	テスト・データ出力

AD6624Aは下のオペコードをサポートしています(表XV)。インストラクションは、JTAGインターフェースのモードを設定します。アドレス02は、入力チャンネルAのドウエル・タイムです。

表XV バウンダリ・スキャン・オペコード

インストラクション	オペコード
IDCODE	001
BYPASS	111
SAMPLE/PRELOAD	010
EXTEST	000
HIGHZ	011
CLAMP	100

ベンダー識別コードはIDCODEインストラクションを使ってアクセスすることができ、次のフォーマットを持っています。

表XVI ベンダーIDコード

MSBバージョン	製品番号	メーカーID	必須LSB
0000	0010 0111 1000 1100	000 1110 0101	1

このデバイスのBSDLファイルを用意しています。詳細は、当社にお尋ねください。

EXTEST (3'b000)はICを外部バウンダリ・テスト・モードに設定し、TDIとTDOの間に接続されるバウンダリ・スキャン・レジスタを選択します。この間、バウンダリ・スキャン・レジスタがアクセスされて、バウンダリ出力でテスト・データをチップ外に出力し、バウンダリ入力からチップ外のテスト・データを入力します。

IDCODE (3'b001)を使うと、ICは動作モードを維持し、TDIとTDOの間に接続されるデバイスIDレジスタを選択します。IDレジスタをアクセスしても、ICの動作には影響を与えません。

SAMPLE/PRELOAD (3'b010)を使うと、ICは動作モードを維持し、TDIとTDOの間に接続されるバウンダリ・スキャン・レジスタを選択します。バウンダリ・スキャン・レジスタ

はスキャン動作でアクセスされ、ICに入出力される機能的データのサンプルを取得します。また、EXTESTインストラクションの前に、テスト・データをバウンダリ・スキャン・レジスタにプリロードすることもできます。

HIGHZ (3'b011)は、すべての出力を高インピーダンス状態にします。TDIとTDOの間に接続される1ビットのバイパス・レジスタを選択します。

CLAMP (3'b100)は、ICの出力をバウンダリ・スキャン・レジスタから指定されるロジック・レベルに設定し、TDIとTDOの間に接続される1ビットのバイパス・レジスタを選択します。このインストラクションの前に、SAMPLE/PRELOADインストラクションでバウンダリ・スキャン・データをプリロードすることができます。

バイパス(3'b111)を使うと、IC動作モードを維持し、TDIとTDOの間に接続される1ビットのバイパス・レジスタを選択します。このインストラクション時に、IC動作に影響を与えずにシリアル・データが、TDIからTDOへ転送されます。

内部書き込みアクセス

次に説明するプロセスで、必要に応じて最大20ビットのデータを書き込むことができます。必要とされる上位バイトはすべて、外部3ビット・アドレス空間内に定義された対応データ・レジスタに書き込まれます。次に、下位バイトがアドレス(000)のDR0に書き込まれます。DR0への書き込みが検出されると、内部マイクロプロセッサ・ポートのステート・マシンがDR2～DR0内のデータを、LARとAMR内のアドレスによって指定される内部アドレスに転送します。

書き込み擬似コード

```
void write_micro(ext_address, int data);
```

```
main();
```

```
{
```

```
/* This code shows the programming of the NCO phase offset register using the write_micro function as defined above. The variable address is the External Address A[2:0] and data is the value to be placed in the external interface register.
```

```
Internal Address = 0x087
```

```
*/
```

```
// holding registers for NCO phase byte wide access data
int d1, d0;
```

```
// NCO frequency word (16-bits wide)
```

```
NCO_PHASE = 0xCBEF;
```

```
// write ACR
```

```
write_micro(7, 0x03);
```

```
// write CAR
```

```
write_micro(6, 0x03);
```

```
// write DR1 with D[15:8]
```

```
d1 = (NCO_PHASE & 0xFF00) >> 8;
```

```
write_micro(1, d1);
```

```
// write DR0 with D[7:0]
```

```
// On this write all data is transferred to the internal address
```

```
d0 = NCO_FREQ & 0xFF;
```

```
write_micro(0, d0);
```

```
} // end of main
```

AD6624A

内部読み出しアクセス

読み出しは、最初にCARとAMRに1回の書き込みを実行することで実行されます。次に、データ・レジスタ(DR2~DR0)を書き込みのときとは逆順で読み出します。まず、データ(D[7:0])の下位バイトをDR0から読み出します。これにより、データの上位バイトが、CARとAMRで指定される内部アドレスから残りのデータ・レジスタ(DR2~DR1)へ転送されます。次に、このデータは該当する3ビット・アドレスを使って、データ・レジスタから読み出すことができます。使用されるデータ・レジスタ数は、読み書きされるデータ量によってのみ決まります。データ・レジスタ内の未使用ビットはすべて、読み出しに対してマスクにより除外する必要があります。

読み出し擬似コード

```
int read_micro(ext_address);
```

```
main();
```

```
{
```

```
/* This code shows the reading of the first RCF coefficient using  
the read_micro function as defined above. The variable address  
is the External Address A[2..0].
```

```
Internal Address = 0x000
```

```
*/
```

```
// holding registers for the coefficient
```

```
int d2, d1, d0;
```

```
// coefficient (20-bits wide)
```

```
long coefficient;
```

```
// write AMR
```

```
write_micro(7, 0x00);
```

```
// write LAR
```

```
write_micro(6, 0x00);
```

```
/* read D[7:0] from DR0, All data is moved from the Internal  
Registers to the interface registers on this access </
```

```
d0 = read_micro(0) & 0xFF;
```

```
// read D[15:8] from DR1
```

```
d1 = read_micro(1) & 0xFF;
```

```
// read D[23:16] from DR2
```

```
d2 = read_micro(2) & 0x0F;
```

```
coefficient = d0 + (d1 << 8) + (d2 << 16);
```

```
} // end of main
```

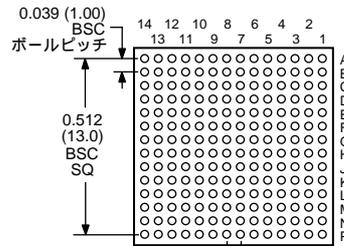
外形寸法

サイズはインチと (mm) で示します。

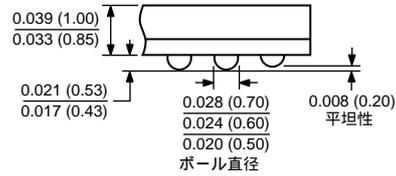
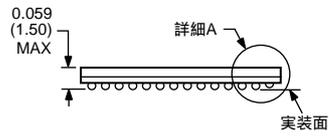
196ピンPBGA (BC-196)



上面図



0.039 (1.00) BSC
ボールピッチ
裏面図



詳細A

注

1. 寸法はミリメートルで管理。
2. ボール・グリッドの実際の位置は、パッケージの縁を基準にして理論位置の0.008 (0.20)以内。
3. 各ボールの実際の位置は、ボール・グリッドに対し理論位置の0.004 (0.10)以内。
4. 中心値は公称寸法。

AD6624A

TDS04/2002/1000

PRINTED IN JAPAN

