

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2011 年 7 月 26 日現在、アナログ・デバイセス株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2011 年 7 月 26 日

製品名： AD623

対象となるデータシートのリビジョン(Rev)：Rev.D

訂正箇所： 11 頁 図 21 の下の説明文の下線部

[誤]

図 21. 同相モード入力対最大出力電圧

G記号 ≥ 10 、RL=100 Ω

[正]

図 21. 同相モード入力対最大出力電圧

G記号 ≥ 10 、RL=100K Ω

特長

使い易い

ディスクリート・デザインより高性能

単電源動作および両電源動作

レール to レールの出力振幅

入力電圧範囲: グラウンド下 150 mV まで可能 (単電源)

低消費電力、550 μ A の最大電源電流

外付け抵抗 1 本でゲイン設定

ゲイン範囲: 1 (抵抗なし) ~ 1000

高精度な DC 性能

ゲイン精度: 0.10% ($G = 1$)

ゲイン精度: 0.35% ($G > 1$)

最大ゲイン・ドリフト: 10 ppm ($G = 1$)

最大入力オフセット電圧: 200 μ V (AD623A)

最大入力オフセット・ドリフト: 2 μ V/ $^{\circ}$ C (AD623A)

最大入力オフセット電圧: 100 μ V (AD623B)

最大入力オフセット・ドリフト: 1 μ V/ $^{\circ}$ C (AD623B)

最大入力バイアス電流: 25 nA

ノイズ: 1 kHz で 35 nV/ $\sqrt{\text{Hz}}$ RTI ノイズ ($G = 1$)

優れた AC 仕様

最小 CMRR ($G = 10$): 90 dB; 最小 CMRR ($G = 1$): 70 dB、60 Hz、
1 k Ω ソース不平衡

帯域幅: 800 kHz ($G = 1$)

0.01%へのセトリング・タイム: 20 μ s ($G = 10$)

アプリケーション

低消費電力医用計装

トランスデューサ・インターフェース

熱電対アンプ

工業用プロセス制御

ディファレンス・アンプ

低消費電力データ・アキュイジション

概要

AD623 は、単電源(3 V~12 V)でレール to レール出力振幅を提供する計装アンプです。AD623 は、1 本の抵抗でゲイン設定が可能であり、かつ 8 ピンの業界標準ピン配置を採用しているため優れた柔軟性を提供します。外付け抵抗なしの場合、AD623 は $G = 1$ に設定されます。外付け抵抗ありの場合は、AD623 は最大 1000 までのゲインに設定することができます。

接続図

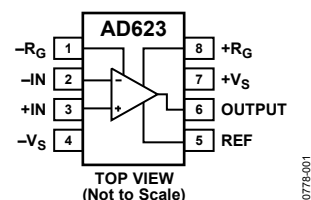
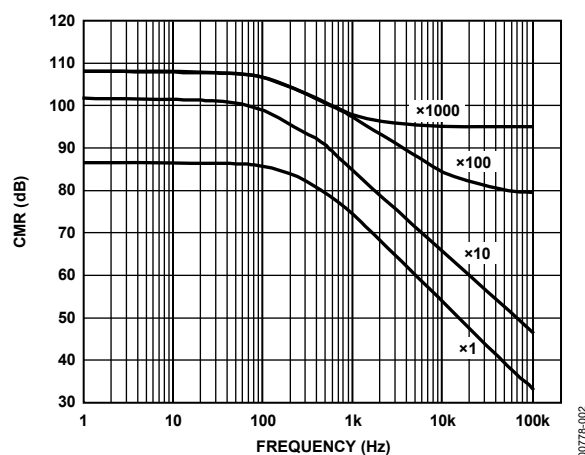


図 1.8 ピンの PDIP (N)、SOIC (R)
MSOP (RM)パッケージ



2. CMR の周波数特性、5 V_S 、0 V_S

AD623はゲインの増加と共に増加する優れたAC CMRRを提供することにより、誤差を最小に維持します。CMRRは200 Hzまで一定値を維持しているため、電源ノイズや電源の高調波を除去することができます。AD623は、広い入力同相モード範囲を持つため、グラウンドより150 mV低い同相モード電圧を持つ信号を増幅することができます。AD623のデザインは単電源動作に対して最適化されていますが、AD623は両電圧電源(± 2.5 V~ ± 6.0 V)で動作する場合でも優れた性能を提供します。

AD623 は、低消費電力(3 V で 1.5 mW)、広い電源電圧範囲、レール to レール出力振幅を持つため、バッテリー駆動のアプリケーションに最適です。低い電源電圧で動作する場合、レール to レール出力ステージによりダイナミック・レンジを最大化します。AD623 は、ディスクリート計装アンプ・デザインを置き換えて、最小実装スペースで優れた直線性、温度安定性、信頼性を提供します。

目次

特長.....	1	動作原理.....	15
アプリケーション.....	1	アプリケーション情報.....	16
概要.....	1	基本接続.....	16
接続図.....	1	ゲインの選択.....	16
改訂履歴.....	2	リファレンス・ピン.....	16
仕様.....	3	入力と出力のオフセット電圧.....	17
単電源.....	3	入力保護.....	17
両電源.....	4	RF干渉.....	17
単電源と両電源.....	6	グラウンド接続.....	18
絶対最大定格.....	7	入力の差動モード範囲と同相モード範囲対電源電圧とゲイン.....	20
ESDの注意.....	7	外形寸法.....	22
代表的な性能特性.....	8	オーダー・ガイド.....	23

改訂履歴

7/08—Rev. C to Rev. D	
Updated Format.....	Universal
Changes to Features Section and General Description Section.....	1
Changes to Table 3.....	6
Changes to Figure 40.....	14
Changes to Theory of Operation Section.....	15
Changes to Figure 42 and Figure 43.....	16
Changes to Table 7.....	19
Updated Outline Dimensions.....	22
Changes to Ordering Guide.....	23

9/99—Rev. B to Rev. C

仕様

単電源

特に指定がない限り、typ 値は 25°C、単電源、 $V_S = 5\text{ V}$ 、 $R_L = 10\text{ k}\Omega$ 。

表 1.

Parameter	Conditions	AD623A			AD623ARM			AD623B			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
GAIN	$G = 1 + (100\text{ k}/R_G)$										
Gain Range		1		1000	1		1000	1		1000	
Gain Error ¹	$G1\ V_{OUT} = 0.05\text{ V to }3.5\text{ V}$ $G > 1\ V_{OUT} = 0.05\text{ V to }4.5\text{ V}$										
G = 1			0.03	0.10		0.03	0.10		0.03	0.05	%
G = 10			0.10	0.35		0.10	0.35		0.10	0.35	%
G = 100			0.10	0.35		0.10	0.35		0.10	0.35	%
G = 1000			0.10	0.35		0.10	0.35		0.10	0.35	%
Nonlinearity	$G1\ V_{OUT} = 0.05\text{ V to }3.5\text{ V}$ $G > 1\ V_{OUT} = 0.05\text{ V to }4.5\text{ V}$										
G = 1 to 1000			50			50			50		ppm
Gain vs. Temperature											
G = 1			5	10		5	10		5	10	ppm/°C
G > 1 ¹			50			50			50		ppm/°C
VOLTAGE OFFSET	Total RTI error = $V_{OSI} + V_{OSO}/G$										
Input Offset, V_{OSI}			25	200		200	500		25	100	μV
Over Temperature				350			650			160	μV
Average Tempco			0.1	2		0.1	2		0.1	1	$\mu\text{V}/^\circ\text{C}$
Output Offset, V_{OSO}			200	1000		500	2000		200	500	μV
Over Temperature				1500			2600			1100	μV
Average Tempco			2.5	10		2.5	10		2.5	10	$\mu\text{V}/^\circ\text{C}$
Offset Referred to the Input vs. Supply (PSR)											
G = 1		80	100		80	100		80	100		dB
G = 10		100	120		100	120		100	120		dB
G = 100		120	140		120	140		120	140		dB
G = 1000		120	140		120	140		120	140		dB
INPUT CURRENT											
Input Bias Current			17	25		17	25		17	25	nA
Over Temperature				27.5			27.5			27.5	nA
Average Tempco			25			25			25		pA/°C
Input Offset Current			0.25	2		0.25	2		0.25	2	nA
Over Temperature				2.5			2.5			2.5	nA
Average Tempco			5			5			5		pA/°C
INPUT											
Input Impedance											
Differential			2 2			2 2			2 2		G Ω pF
Common-Mode			2 2			2 2			2 2		G Ω pF
Input Voltage Range ²	$V_S = 3\text{ V to }12\text{ V}$	$(-V_S) - 0.15$		$(+V_S) - 1.5$	$(-V_S) - 0.15$		$(+V_S) - 1.5$	$(-V_S) - 0.15$		$(+V_S) - 1.5$	V

Parameter	Conditions	AD623A			AD623ARM			AD623B			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Common-Mode Rejection at 60 Hz with 1 k Ω Source Imbalance											
G = 1	V _{CM} = 0 V to 3 V	70	80		70	80		77	86		dB
G = 10	V _{CM} = 0 V to 3 V	90	100		90	100		94	100		dB
G = 100	V _{CM} = 0 V to 3 V	105	110		105	110		105	110		dB
G = 1000	V _{CM} = 0 V to 3 V	105	110		105	110		105	110		dB
OUTPUT											
Output Swing	R _L = 10 k Ω	0.01		(+V _S) – 0.5	0.01		(+V _S) – 0.5	0.01		(+V _S) – 0.5	V
	R _L = 100 k Ω	0.01		(+V _S) – 0.15	0.01		(+V _S) – 0.15	0.01		(+V _S) – 0.15	V
DYNAMIC RESPONSE											
Small Signal –3 dB Bandwidth											
G = 1			800			800			800		kHz
G = 10			100			100			100		kHz
G = 100			10			10			10		kHz
G = 1000			2			2			2		kHz
Slew Rate			0.3			0.3			0.3		V/ μ s
Settling Time to 0.01%	V _S = 5 V										
G = 1	Step size: 3.5 V		30			30			30		μ s
G = 10	Step size: 4 V, V _{CM} = 1.8 V		20			20			20		μ s

¹ 外付け抵抗 R_G の影響は含みません。

² 一方の入力をグラウンドに接続。G = 1。

両電源

特に指定がない限り、typ値は25°C、両電源、V_S = $\pm$ 5 V、R_L = 10 k Ω 。

表 2.

Parameter	Conditions	AD623A			AD623ARM			AD623B			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
GAIN											
Gain Range	G = 1 + (100 k/R _G)	1		1000	1		1000	1		1000	
Gain Error ¹	G1 V _{OUT} = –4.8 V to +3.5 V G > 1 V _{OUT} = 0.05 V to 4.5 V										
G = 1			0.03	0.10		0.03	0.10		0.03	0.05	%
G = 10			0.10	0.35		0.10	0.35		0.10	0.35	%
G = 100			0.10	0.35		0.10	0.35		0.10	0.35	%
G = 1000			0.10	0.35		0.10	0.35		0.10	0.35	%
Nonlinearity	G1 V _{OUT} = –4.8 V to +3.5 V G > 1 V _{OUT} = –4.8 V to +4.5 V										
G = 1 to 1000			50			50			50		ppm
Gain vs. Temperature											
G = 1			5	10		5	10		5	10	ppm/°C
G > 1 ¹			50			50			50		ppm/°C
VOLTAGE OFFSET											
Input Offset, V _{OSI}	Total RTI error = V _{OSI} + V _{OSO} /G		25	200		200	500		25	100	μ V
Over Temperature				350			650			160	μ V
Average Tempco			0.1	2		0.1	2		0.1	1	μ V/°C
Output Offset, V _{OSO}			200	1000		500	2000		200	500	μ V

Parameter	Conditions	AD623A			AD623ARM			AD623B			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Over Temperature				1500			2600			1100	μV
Average Tempco			2.5	10		2.5	10		2.5	10	$\mu\text{V}/^\circ\text{C}$
Offset Referred to the Input vs. Supply (PSR)											
G = 1		80	100		80	100		80	100		dB
G = 10		100	120		100	120		100	120		dB
G = 100		120	140		120	140		120	140		dB
G = 1000		120	140		120	140		120	140		dB
INPUT CURRENT											
Input Bias Current			17	25		17	25		17	25	nA
Over Temperature				27.5			27.5			27.5	nA
Average Tempco			25			25			25		$\text{pA}/^\circ\text{C}$
Input Offset Current			0.25	2		0.25	2		0.25	2	nA
Over Temperature				2.5			2.5			2.5	nA
Average Tempco			5			5			5		$\text{pA}/^\circ\text{C}$
INPUT											
Input Impedance											
Differential			2 2			2 2			2 2		$\text{G}\Omega \text{pF}$
Common-Mode			2 2			2 2			2 2		$\text{G}\Omega \text{pF}$
Input Voltage Range ²	$V_S = +2.5\text{ V to } \pm 6\text{ V}$	$(-V_S) - 0.15$		$(+V_S) - 1.5$	$(-V_S) - 0.15$		$(+V_S) - 1.5$	$(-V_S) - 0.15$		$(+V_S) - 1.5$	V
Common-Mode Rejection at 60 Hz with 1 k Ω Source Imbalance											
G = 1	$V_{CM} = +3.5\text{ V to } -5.15\text{ V}$	70	80		70	80		77	86		dB
G = 10	$V_{CM} = +3.5\text{ V to } -5.15\text{ V}$	90	100		90	100		94	100		dB
G = 100	$V_{CM} = +3.5\text{ V to } -5.15\text{ V}$	105	110		105	110		105	110		dB
G = 1000	$V_{CM} = +3.5\text{ V to } -5.15\text{ V}$	105	110		105	110		105	110		dB
OUTPUT											
Output Swing	$R_L = 10\text{ k}\Omega$, $V_S = \pm 5\text{ V}$ $R_L = 100\text{ k}\Omega$	$(-V_S) + 0.2$		$(+V_S) - 0.5$	$(-V_S) + 0.2$		$(+V_S) - 0.5$	$(-V_S) + 0.2$		$(+V_S) - 0.5$	V
		$(-V_S) + 0.05$		$(+V_S) - 0.15$	$(-V_S) + 0.05$		$(+V_S) - 0.15$	$(-V_S) + 0.05$		$(+V_S) - 0.15$	V
DYNAMIC RESPONSE											
Small Signal -3 dB Bandwidth											
G = 1				800			800			800	kHz
G = 10				100			100			100	kHz
G = 100				10			10			10	kHz
G = 1000				2			2			2	kHz
Slew Rate				0.3			0.3			0.3	$\text{V}/\mu\text{s}$
Settling Time to 0.01%	$V_S = \pm 5\text{ V}$, 5 V step										
G = 1				30			30			30	μs
G = 10				20			20			20	μs

¹ 外付け抵抗 R_G の影響は含みません。² 一方の入力をグラウンドに接続。G = 1。

単電源と両電源

表 3.

Parameter	Conditions	AD623A			AD623ARM			AD623B			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
NOISE											
Voltage Noise, 1 kHz	Total RTI noise = $\sqrt{(e_{ni})^2 + (e_{no}/G)^2}$										
Input, Voltage Noise, e_{ni}			35			35			35		nV/ $\sqrt{\text{Hz}}$
Output, Voltage Noise, e_{no}			50			50			50		nV/ $\sqrt{\text{Hz}}$
RTI, 0.1 Hz to 10 Hz											
G = 1			3.0			3.0			3.0		$\mu\text{V p-p}$
G = 1000			1.5			1.5			1.5		$\mu\text{V p-p}$
Current Noise	$f = 1 \text{ kHz}$		100			100			100		fA/ $\sqrt{\text{Hz}}$
0.1 Hz to 10 Hz			1.5			1.5			1.5		pA p-p
REFERENCE INPUT											
R_{IN}			100 $\pm$ 20%			100 $\pm$ 20%			100 $\pm$ 20%		k Ω
I_{IN}	$V_{IN+}, V_{REF} = 0 \text{ V}$		50	60		50	60		50	60	μA
Voltage Range		$-V_S$		$+V_S$	$-V_S$		$+V_S$	$-V_S$		$+V_S$	V
Gain to Output			1 $\pm$ 0.0002			1 $\pm$ 0.0002			1 $\pm$ 0.0002		V
POWER SUPPLY											
Operating Range	Dual supply	± 2.5		± 6	± 2.5		± 6	± 2.5		± 6	V
	Single supply	2.7		12	2.7		12	2.7		12	V
Quiescent Current	Dual supply		375	550		375	550		375	550	μA
	Single supply		305	480		305	480		305	480	μA
Over Temperature				625			625			625	μA
TEMPERATURE RANGE											
For Specified Performance		-40		$+85$	-40		$+85$	-40		$+85$	$^{\circ}\text{C}$

絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	±6 V
Internal Power Dissipation ¹	650 mW
Differential Input Voltage	±6 V
Output Short-Circuit Duration	Indefinite
Storage Temperature Range	−65°C to +125°C
Operating Temperature Range	−40°C to +85°C
Lead Temperature (Soldering, 10 sec)	300°C

¹ デバイス仕様は自然空冷で規定します。
8 ピン PDIP パッケージ: $\theta_{JA} = 95^{\circ}\text{C/W}$
8 ピン SOIC パッケージ: $\theta_{JA} = 155^{\circ}\text{C/W}$
8 ピン MSOP パッケージ: $\theta_{JA} = 200^{\circ}\text{C/W}$

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

特に指定がない限り、25°C、 $V_S = \pm 5\text{ V}$ 、 $R_L = 10\text{ k}\Omega$ 。

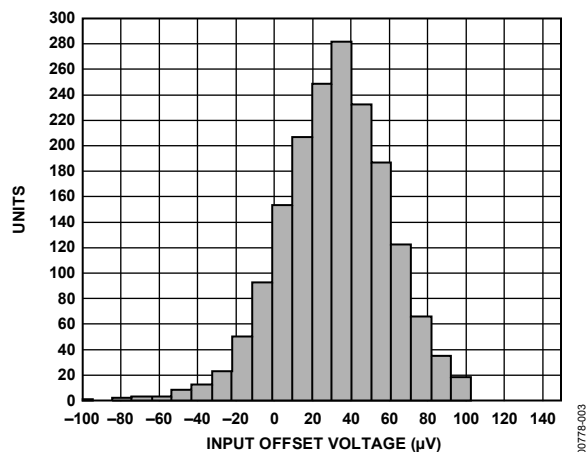


図 3. 入力オフセット電圧の分布; パッケージ・オプション N-8、R-8

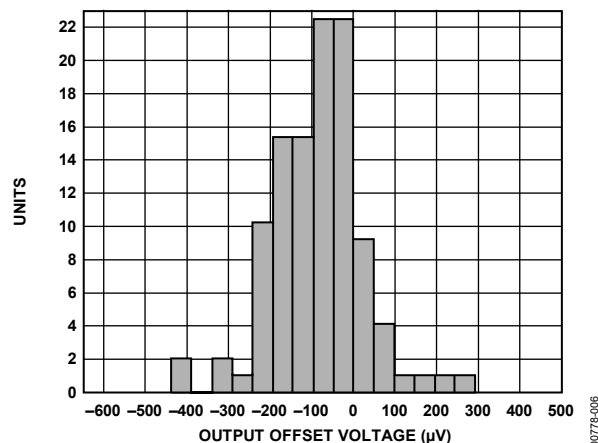


図 6. 出力オフセット電圧の分布、 $V_S = 5\text{ V}$ 、単電源、 $V_{REF} = -0.125\text{ V}$; パッケージ・オプション N-8、R-8

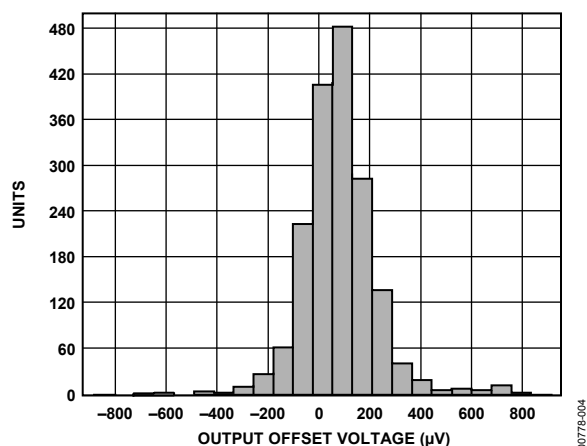


図 4. 出力オフセット電圧の分布; パッケージ・オプション N-8、R-8

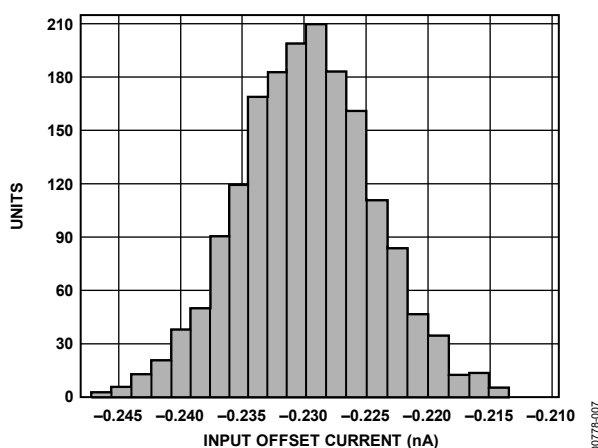


図 7. 入力オフセット電流の分布; パッケージ・オプション N-8、R-8

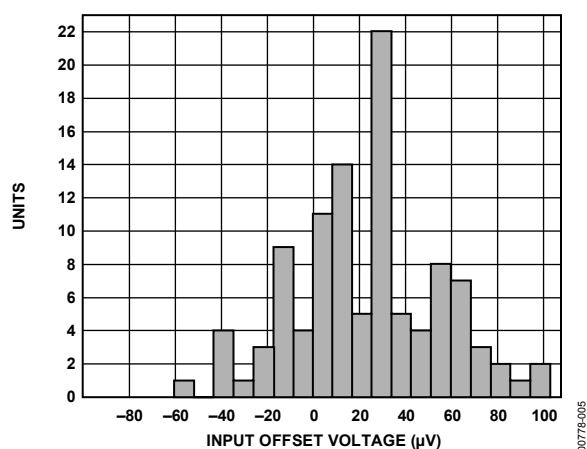


図 5. 入力オフセット電圧の分布、 $V_S = 5\text{ V}$ 、単電源、 $V_{REF} = -0.125\text{ V}$; パッケージ・オプション N-8、R-8

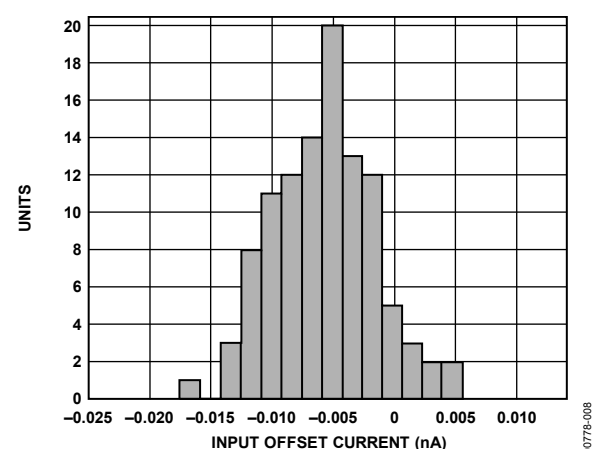


図 8. 入力オフセット電流の分布、 $V_S = 5\text{ V}$ 、単電源、 $V_{REF} = -0.125\text{ V}$; パッケージ・オプション N-8、R-8

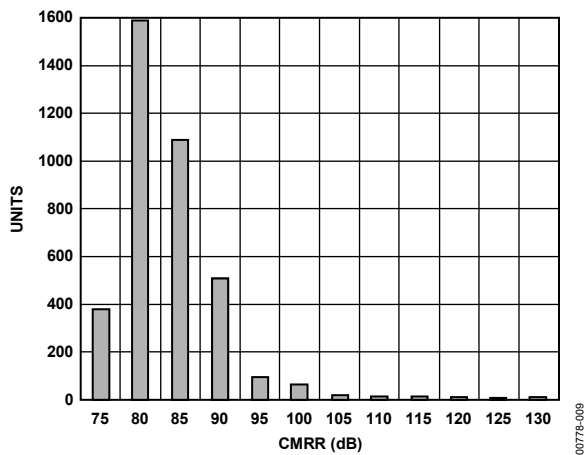


図 9. CMRR の分布 (G = 1)

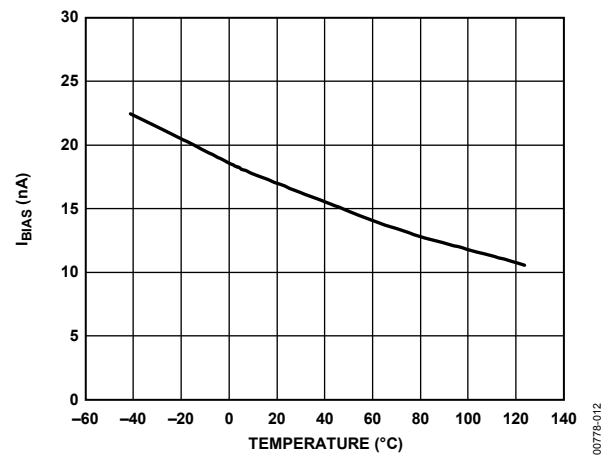
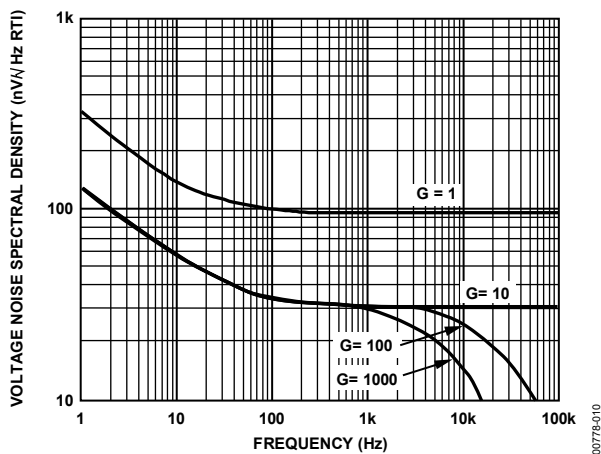
図 12. I_{BIAS} の温度特性

図 10. 電圧ノイズ・スペクトル密度の周波数特性

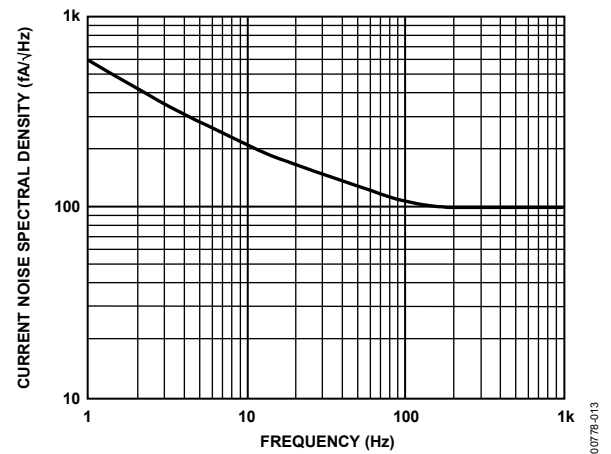
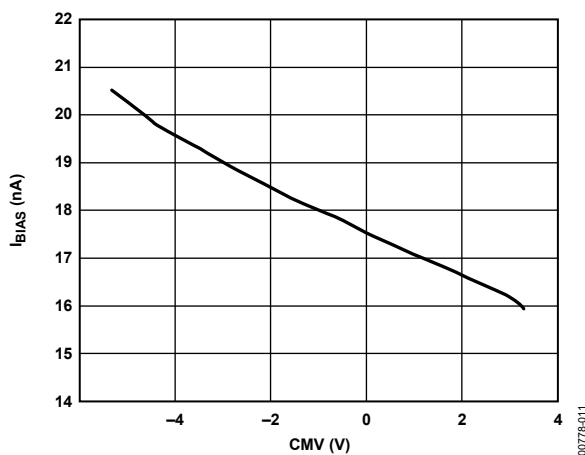
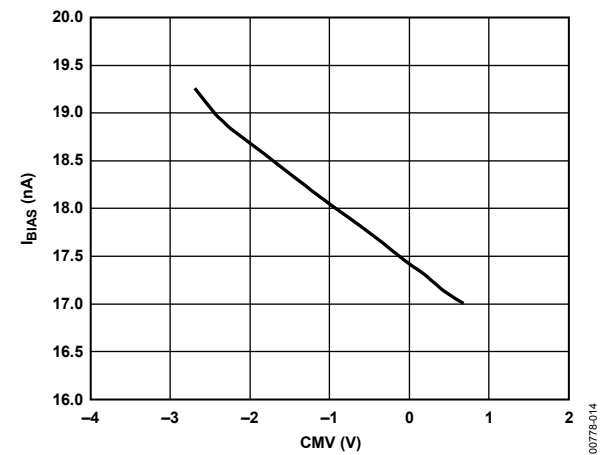
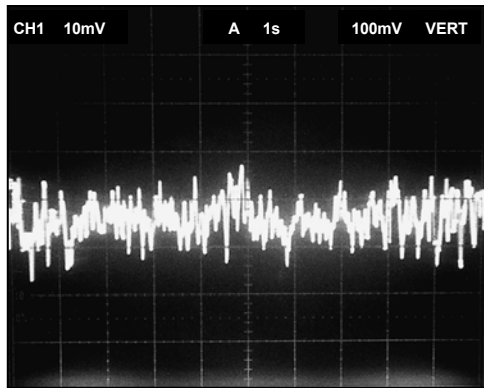


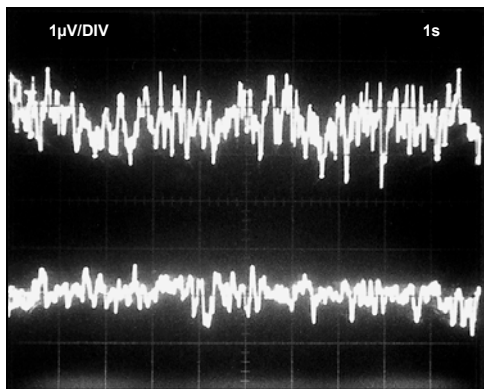
図 13. 電流ノイズ・スペクトル密度の周波数特性

図 11. CMV 対 I_{BIAS} 、 $V_S = \pm 5 V$ 図 14. CMV 対 I_{BIAS} 、 $V_S = \pm 2.5 V$

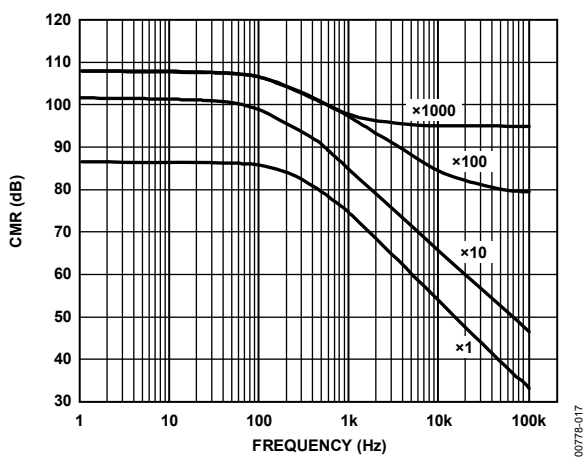


00778-015

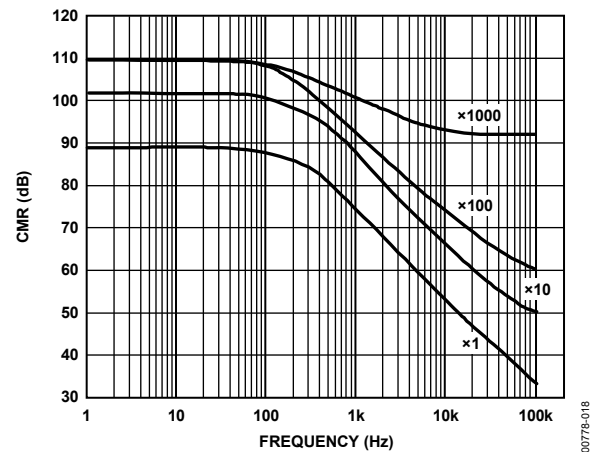
図 15. 0.1 Hz～10 Hz の電流ノイズ(0.71 pA/DIV)



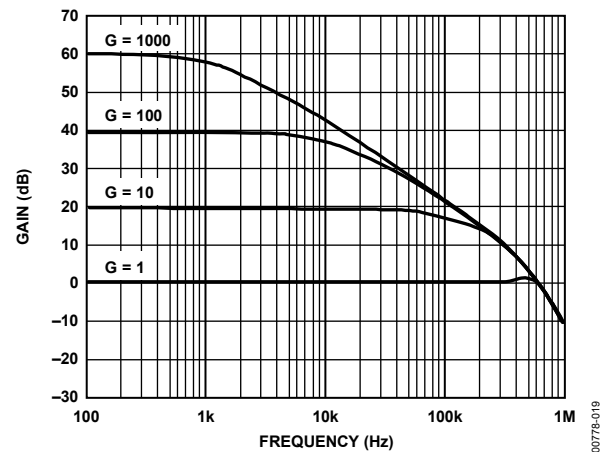
00778-016

図 16. 0.1 Hz～10 Hz の RTI 電圧ノイズ(1 DIV = 1 μ V p-p)

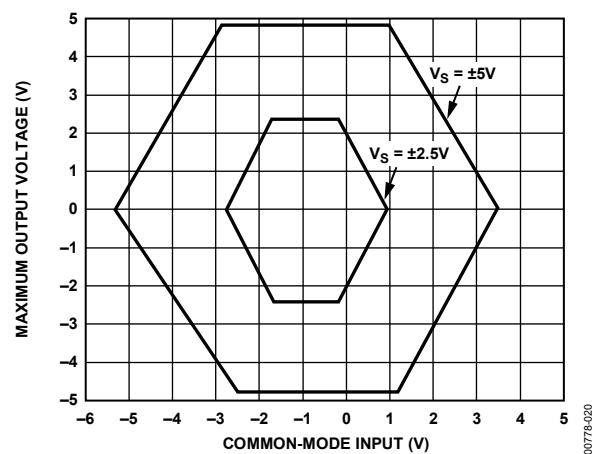
00778-017

図 17. CMR の周波数特性、 $V_S = 5\text{ V}$ 、 0 V 、 $V_{REF} = 2.5\text{ V}$ 

00778-018

図 18. CMR の周波数特性、 $\pm 5\text{ V}_S$ 

00778-019

図 19. ゲインの周波数特性($V_S = 5\text{ V}$ 、 0 V)、 $V_{REF} = 2.5\text{ V}$ 

00778-020

図 20. 同相モード入力対最大出力電圧、 $G = 1$ 、 $R_L = 100\text{ k}\Omega$

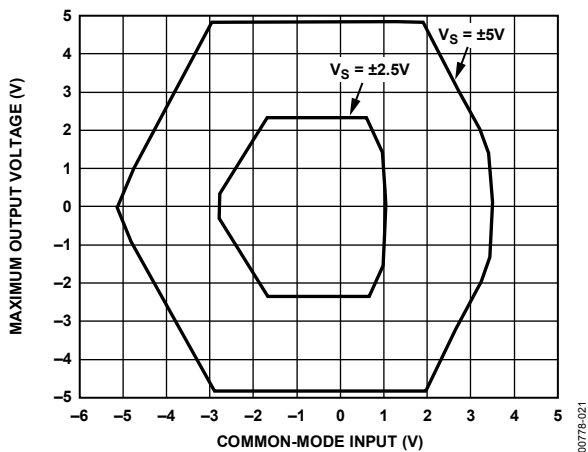


図 21. 同相モード入力対最大出力電圧
 $G \geq 10$ 、 $R_L = 100 \Omega$

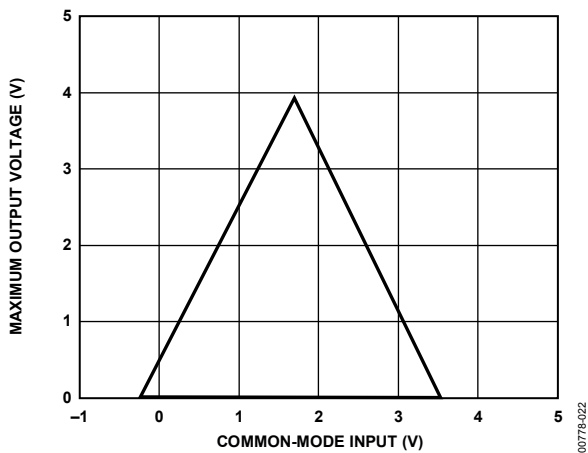


図 22. 同相モード入力対最大出力電圧
 $G = 1$ 、 $V_S = 5 V$ 、 $R_L = 100 k\Omega$

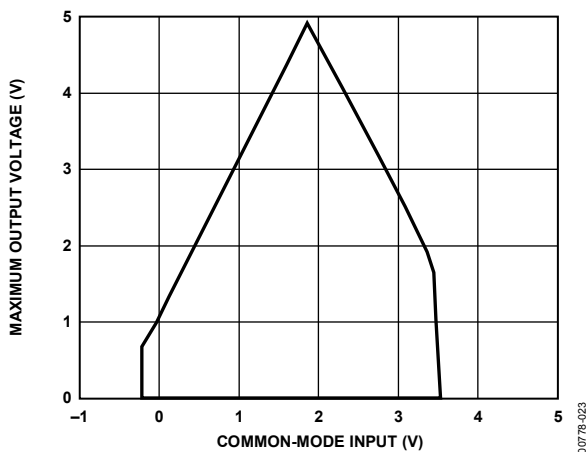


図 23. 同相モード入力対最大出力電圧
 $G \geq 10$ 、 $V_S = 5 V$ 、 $R_L = 100 k\Omega$

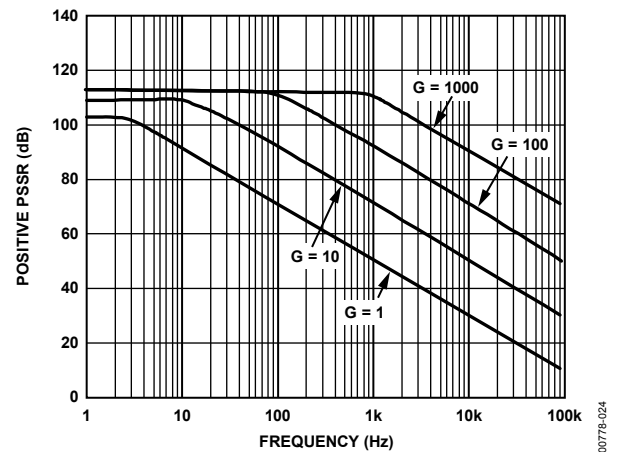


図 24. 正の PSRR の周波数特性、 $\pm 5 V_S$

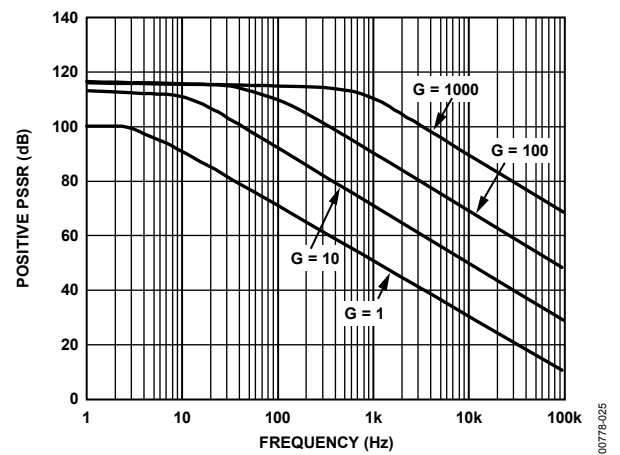


図 25. 正の PSRR の周波数特性、 $5 V_S$ 、 $0 V_S$

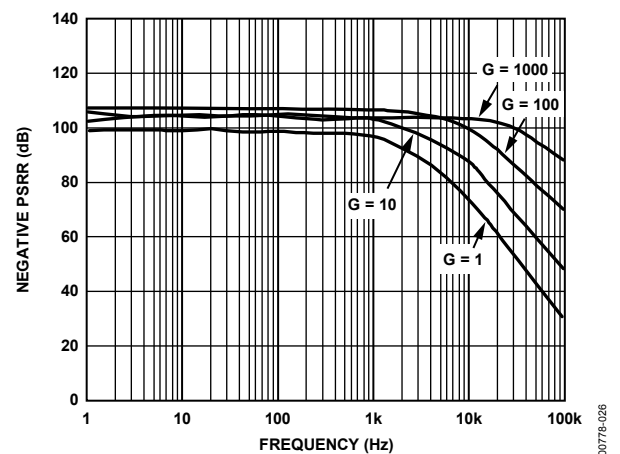


図 26. 負の PSRR の周波数特性、 $\pm 5 V_S$

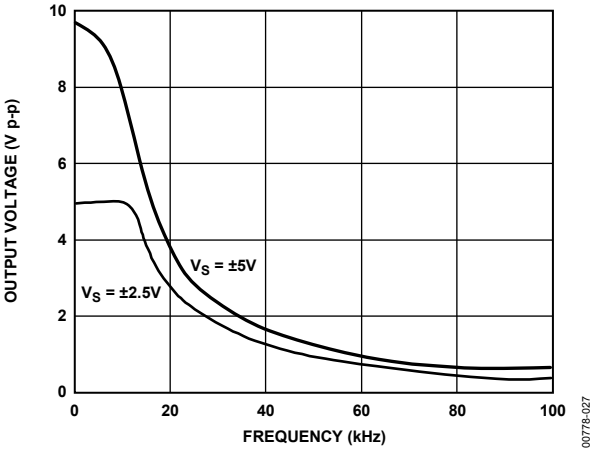


図 27.大信号応答、 $G \leq 10$

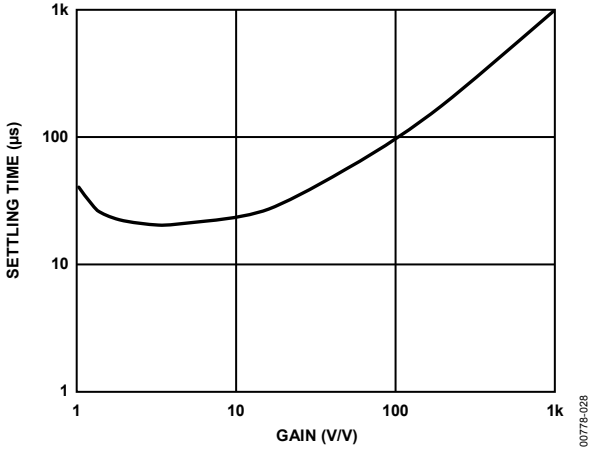


図 28.ゲイン対 0.01%へのセトリング・タイム
5 V ステップ出力、 $C_L = 100$ pF、 $V_S = \pm 5$ V

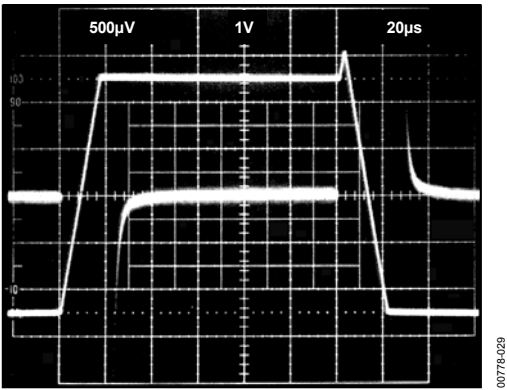


図 29.大信号パルス応答とセトリング・タイム
 $G = -1$ (0.250 mV = 0.01%)、 $C_L = 100$ pF

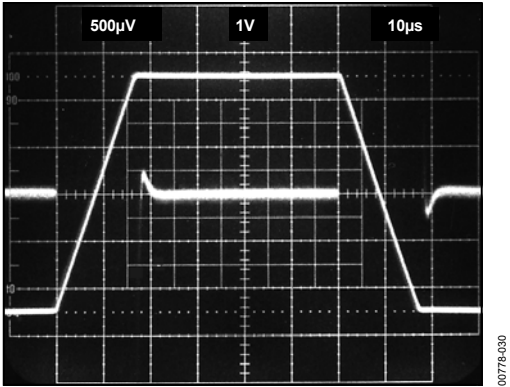


図 30.大信号パルス応答とセトリング・タイム
 $G = -10$ (0.250 mV = 0.01%)、 $C_L = 100$ pF

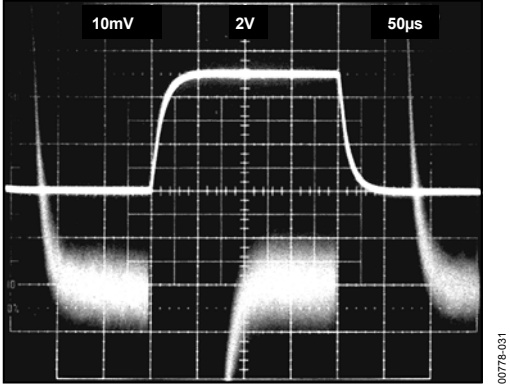


図 31.大信号パルス応答とセトリング・タイム
 $G = 100$ 、 $C_L = 100$ pF

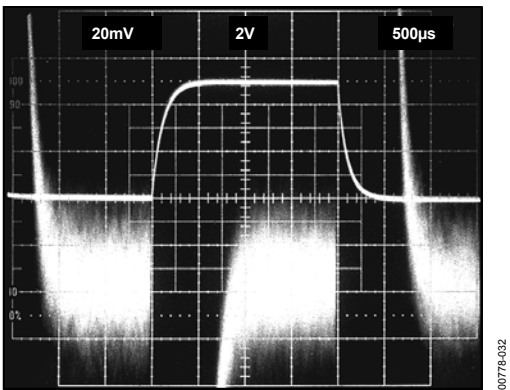
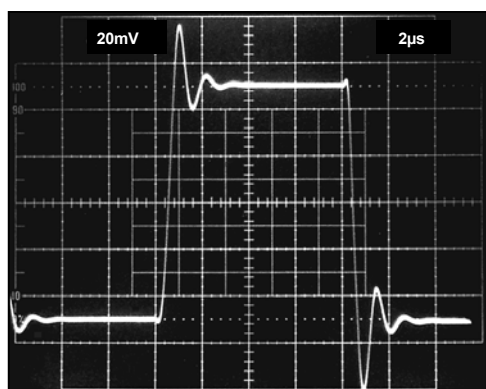
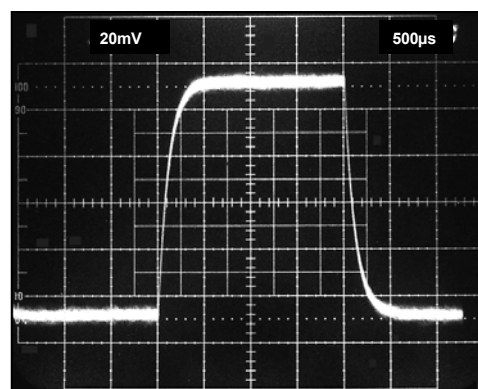


図 32.大信号パルス応答とセトリング・タイム
 $G = -1000$ (5 mV = 0.01%)、 $C_L = 100$ pF



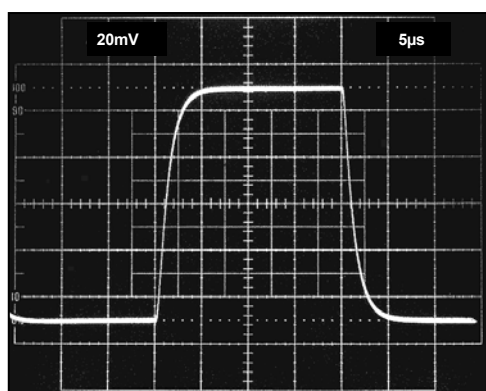
00778-033

図 33.小信号パルス応答
 $G = 1$, $R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$



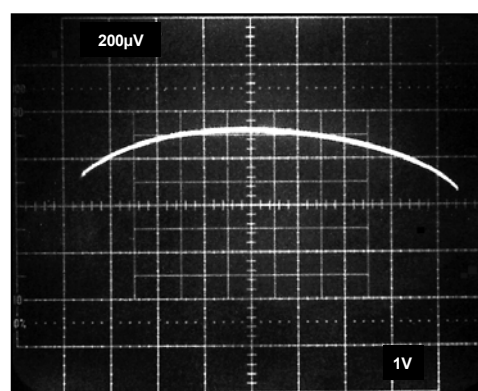
00778-036

図 36.小信号パルス応答
 $G = 1000$, $R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$



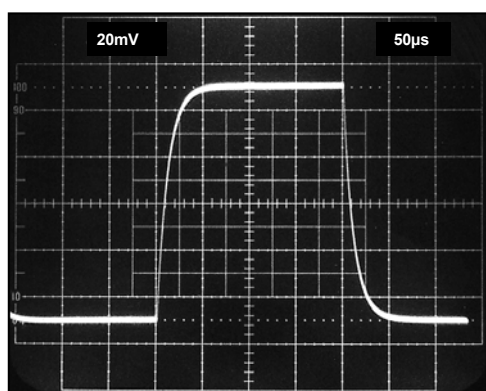
00778-034

図 34.小信号パルス応答
 $G = 10$, $R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$



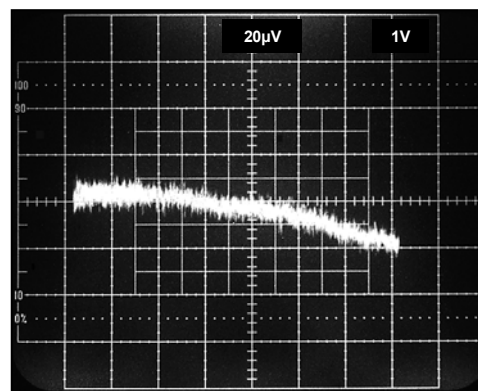
00778-037

図 37.ゲイン非直線性
 $G = -1$ (50 ppm/DIV)



00778-035

図 35.小信号パルス応答
 $G = 100$, $R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$



00778-038

図 38.ゲイン非直線性
 $G = -10$ (6 ppm/DIV)

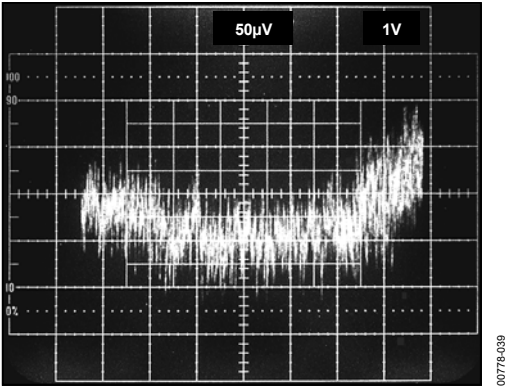


図 39.ゲイン非直線性、G = -100 (15 ppm/DIV)

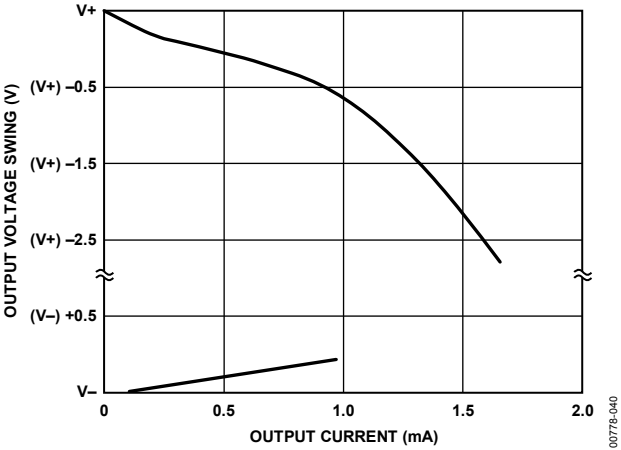


図 40.出力電流対出力電圧振幅

動作原理

AD623は、従来型3オペアンプ方式を採用した計装アンプで、単電源または両電源で、負電源レールの同相モード電圧でも動作できるように改良してあります。AD623は、入力と出力で電圧オフセットが小さく、絶対ゲイン精度を持ち、外付け抵抗1本でゲイン設定が可能なため、このクラスで最も融通性のある計装アンプの1つです。

入力信号はPNPトランジスタに加えられます。このトランジスタは電圧バッファとして機能し、入力アンプへ同相モード信号を供給します(図41参照)。各アンプ帰還内の50 kΩの絶対値を持つ抵抗により、ゲインのプログラマブル性が保証されています。

差動出力は、

$$V_o = \left(1 + \frac{100 \text{ k}\Omega}{R_G} \right) V_c$$

この差動電圧は、出力アンプを使ってシングルエンド電圧に変換されます。これにより、入力アンプの出力にある同相モード信号が除去されます。

アンプ出力は電源レールまで変化でき、さらに同相モード範囲が負電源レールの下まで延びることができるため、AD623の動作範囲がさらに広がります(図20と図21参照)。

ピン6の出力電圧は、ピン5の電位を基準として測定されます。リファレンス・ピンのインピーダンスは100 kΩであるため、V/I変換を必要とするアプリケーションでは、ピン5とピン6の間に小さい抵抗を接続するだけで済みます。

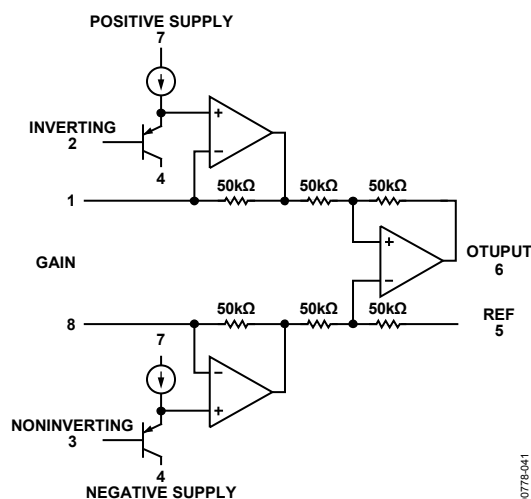


図 41.簡略化した回路図

計装アンプの帯域幅は、ゲインが大きくなると減少することに注意してください。これは、内部オペアンプが標準の電圧帰還デザインであるためです。ゲイン=1で、出力アンプ帯域幅が規定されます。

アプリケーション情報

基本接続

図 42 と 図 43 に、AD623 の基本接続回路を示します。+V_Sピンと -V_Sピンは電源に接続します。電源は、両電源(V_S = ±2.5 V~±6V) または単電源(-V_S = 0 V、+V_S = 3.0 V~12 V)のいずれも可能です。電源は、デバイスの電源ピンの近くにコンデンサを接続してデカップリングする必要があります。0.1 μFの表面実装セラミック・チップ・コンデンサと 10 μFの電解タンタル・コンデンサの使用が最適です。

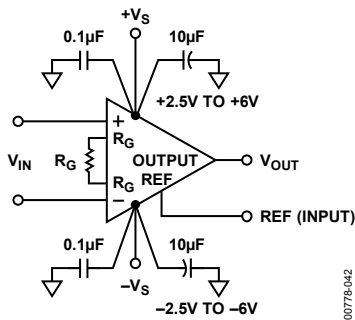


図 42.両電源での基本接続

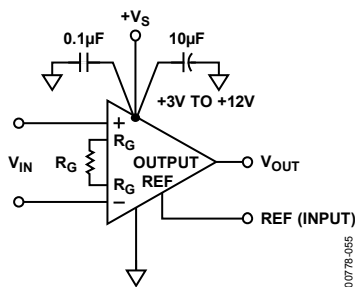


図 43.単電源での基本接続

入力電圧はシングルエンド(-INまたは+INをグラウンドへ接続)または差動が可能で、設定されたゲインで増幅されます。出力信号は、出力ピンと、外部からREF入力に加えられた電圧との電位差として出力されます。グラウンド基準出力の場合は、REFをグラウンドに接続する必要があります。

ゲインの選択

AD623 のゲインは抵抗R_Gによる設定によって、さらに正確に言えばピン 1 とピン 8 の間の任意のインピーダンスによって設定されます。AD623 は 0.1%~1%偏差の抵抗を使って正確なゲインを提供するようにデザインされています。表 5 に、種々のゲインに対して必要とされるR_G値を示します。G = 1 の場合、R_Gピンは未接続にします(R_G = ∞)。任意のゲインについては、R_Gは次式で計算することができます。

$$R_G = 100 \text{ k}\Omega / (G - 1)$$

リファレンス・ピン

リファレンス・ピンの電位がゼロ出力電圧を決定するため、負荷のグラウンドとシステムの残りの部分のグラウンドが正確に一致しない場合に特に役立ちます。このピンは、出力に対して高精度なオフセットを直接与える方法を提供します。また、リファレンス・ピンは仮想グラウンド電圧を与えるときにも使えるため、バイポーラ信号を増幅する際にも役立ちます。リファレンス・ピンの電圧は、-V_S~+V_Sの範囲で変えることができます。

表 5.ゲイン抵抗に必要な値

Desired Gain	1% Standard Table Value of R _G (Ω)	Calculated Gain Using 1% Resistors
2	100 k	2
5	24.9 k	5.02
10	11 k	10.09
20	5.23 k	20.12
33	3.09 k	33.36
40	2.55 k	40.21
50	2.05 k	49.78
65	1.58 k	64.29
100	1.02 k	99.04
200	499	201.4
500	200	501
1000	100	1001

入力と出力のオフセット電圧

AD623の誤差が小さいことは、入力誤差と出力誤差の2つの誤差原因に起因しています。出力誤差は、入力に換算したとき設定されたゲインで除算されます。実際、入力誤差は高いゲインで支配的で、出力誤差は低いゲインで支配的です。与えられたゲインに対する総合 V_{os} は次式で計算されます。

$$\text{総合誤差 } RTI = \text{入力誤差} + (\text{出力誤差})$$

$$\text{総合誤差 } RTO = (\text{入力誤差} \times G) + \text{出力誤差}$$

種々のゲインに対するRTIオフセット誤差とノイズ電圧を 表 6 に示します。

入力保護

電源を基準とする内蔵クランプ・ダイオードにより、AD623の入力、リファレンス、出力、ゲインの各ピンは、電源電圧から上下0.3 Vまでの過電圧に耐えるように保護されています。この機能は、すべてのゲイン、およびパワーオン/パワーオフにも適用されます。信号ソースとアンプの電源は個別に供給されるため、この最後のケースは特に重要です。

過電圧がこの値を超えることが予測される場合は、外付けの電流制限抵抗を使って、これらのダイオードを流れる電流を約10 mAに制限する必要があります(図44参照)。この抵抗のサイズは、電源電圧と必要とされる過電圧保護機能によって決まります。

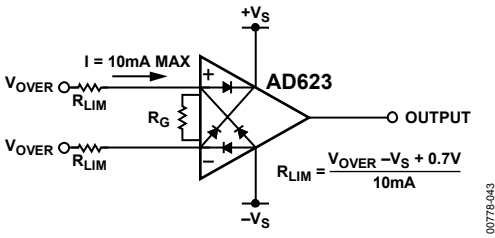
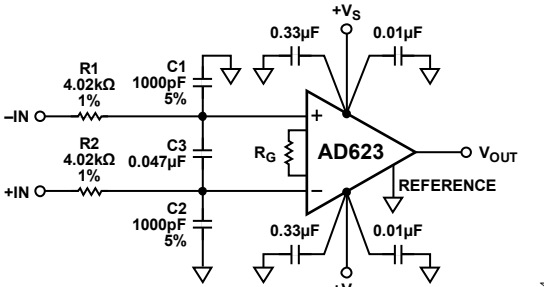


図 44. 入力保護

RF干渉

すべての計装アンプは、高周波の帯域外信号を整流することがあります。整流後、これらの信号は出力にDCオフセット誤差として現れます。図45に、計装アンプの通過帯域内の性能を低下させる

ことなくRFIを除去する回路を示します。抵抗 R_1 とコンデンサ C_1 が(同様に R_2 と C_2 も)、ローパスRCフィルタを構成しています。このフィルタの-3 dB帯域幅は $F = 1/(2 \pi R_1 C_1)$ です。図示の部品値を使うと、このフィルタの-3 dB帯域幅は約40 kHzになります。抵抗(R_1 と R_2)は、回路入力をコンデンサからアイソレーションできるほどに大きく、かつ回路ノイズを大幅に大きくしない程度に小さくなるように、選択する必要があります。アンプ通過帯域の同相モード除去比を維持するため、コンデンサ C_1 と C_2 は5%以上の高精度を使う必要があります。あるいは、低価格の20%部品をテストして、一致するデバイスを選別することができます。



NOTES:
1. LOCATE C1 TO C3 AS CLOSE TO THE INPUT PINS AS POSSIBLE.

図 45. RF 干渉を減衰させる回路

コンデンサ C_3 は、低周波で同相モード除去比を維持するために必要です。 R_1/R_2 と C_1/C_2 はブリッジ回路を形成し、その出力が計装アンプの入力ピン間に現れます。 C_1 と C_2 が一致しないと、ブリッジが不平衡になるため、同相モード除去比が低下します。 C_3 により、すべての RF 信号が同相モード(両計装アンプ入力で同じ)となり、差動として加わらないことが保証されます。この 2 つ目のローパス回路($R_1 + R_2$ と C_3)の-3 dB 周波数は、 $1/(2 \pi (R_1 + R_2) (C_3))$ です。 $C_3 = 0.047 \mu F$ とすると、この回路の-3 dB 信号帯域幅は約 400 Hz になります。周波数に対する DC オフセット・シフトは 1.5 μV (typ)以下で、回路の RF 信号除去比は 71 dB 以上です。抵抗 R_1 と R_2 を 2.2 k Ω に小さくすることにより、この回路の 3 dB 信号帯域幅を 900 Hz に広げることができます。性能は 4 k Ω 抵抗を使った場合と同じですが、計装アンプの前にある回路が低インピーダンス負荷を駆動する必要がある点が異なります。

表 6.RTI 誤差原因

Gain	Maximum Total Input Offset Error (μV)		Maximum Total Input Offset Drift ($\mu V/^{\circ}C$)		Total Input Referred Noise (nV/ $\sqrt{Hz}$)
	AD623A	AD623B	AD623A	AD623B	AD623A and AD623B
1	1200	600	12	11	62
2	700	350	7	6	45
5	400	200	4	3	38
10	300	150	3	2	35
20	250	125	2.5	1.5	35
50	220	110	2.2	1.2	35
100	210	105	2.1	1.1	35
1000	200	100	2	1	35

図45の回路は、両面にグラウンド・プレーンを持つPCボードを使って実現する必要があります。すべての部品リードはできるだけ短くします。抵抗R1とR2には一般的な1%の金属薄膜品を使うことができますが、コンデンサC1とC2には $\pm 5\%$ 偏差の部品を使って回路の同相モード除去比が低下しないようにする必要があります。従来型の5%シルバー・マイカ部品またはPanasonic社の $\pm 2\%$ PPS薄膜コンデンサの使用が推奨されます。

多くのアプリケーションでは、シールドされたケーブルを使ってノイズを小さくしています。全周波数で最適なCMRを得るためには、シールドを正しく駆動する必要があります。図46に、アクティブ・ガード駆動を示します。この駆動法では、入力ケーブル・シールドの容量をブートストラップして、2つの入力間の容量不一致を小さくすることによりAC同相モード除去比を向上させます。

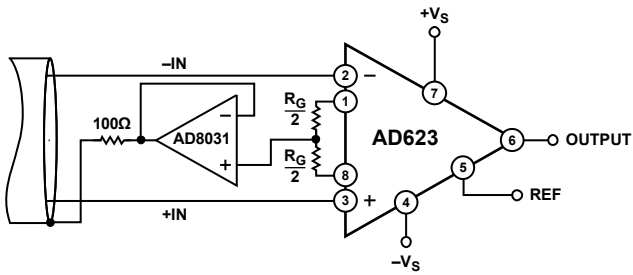


図 46. 同相モード・シールド・ドライブ

グラウンド接続

AD623の出力電圧は、リファレンス・ピン(REF)を基準にして発生されます。REFピンを該当するローカル・グラウンドに接続する

ことにより、多くのグラウンド問題を解決することができます。ただし、最適CMRを得るために、REFピンは低インピーダンス・ポイントに接続する必要があります。

グラウンド・リターンインピーダンスを小さくするため(DC誤差も小さくするため)、グラウンド・プレーンの使用が推奨されます。低レベルのアナログ信号をノイズの多いデジタル環境から分離するため、多くのデータ・アキュイジション部品では、アナログとデジタルのグラウンド・リターンが分かれています(図47参照)。A/Dコンバータ(ADC)のようなミックスド・シグナル部品のすべてのグラウンド・ピンは、高品質のアナログ・グラウンド・プレーンを使ってリターンさせる必要があります。アナログとデジタルとの間の最大の分離は、グラウンド・プレーン接続を電源に戻すことにより実現されます。ADCからのデジタル・リターン電流は一般にアナログ・グラウンド・プレーンを流れるため、ノイズ性能に対する影響は無視できます。

電源が1個しかない場合には、デジタル回路とアナログ回路で共用する必要があります。図48に、デジタル回路とアナログ回路との間の干渉を小さくする方法を示します。

前のケースと同様に、別々のアナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンを使う必要があります(デジタル・グラウンド・プレーンの代わりに太いパターンを使うこともできます)。これらのグラウンド・プレーンは、電源のグラウンド・ピンに接続する必要があります。電源からデジタル回路とアナログ回路の電源ピンへ別々のパターンを使用する必要があります。理想的には、各デバイスに専用の電源パターンを使うべきですが、1つのパターンを使ってデジタル回路とアナログ回路へ電流を供給しない限り、これらを多数のデバイスで共用することができます。

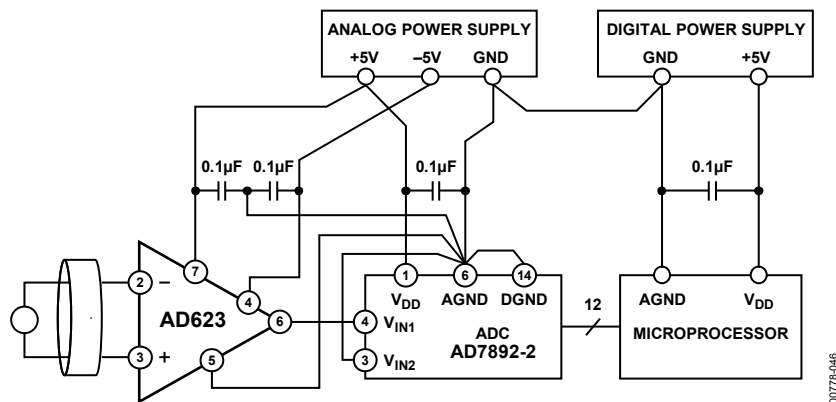


図 47. アナログ電源とデジタル電源を分離した両電源環境での最適グラウンド接続

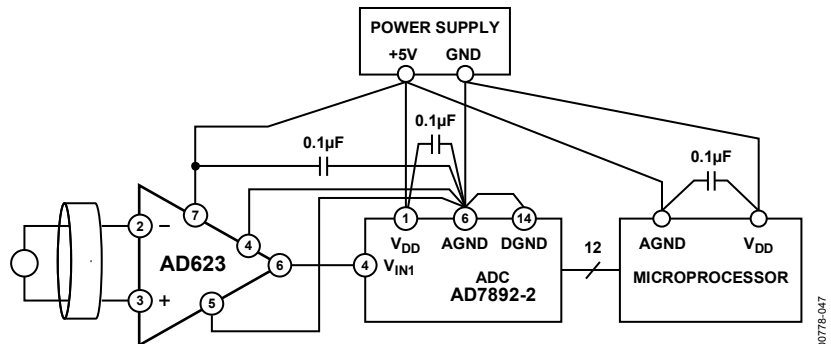


図 48. 単電源環境での最適グラウンド接続

入力バイアス電流のグラウンド・リターン

入力バイアス電流は、アンプの入力トランジスタにバイアスを与えるために流すDC電流です。これらは一般にトランジスタのベース電流です。トランスやAC結合ソースのようなフローティング入力ソースを増幅する場合、各入力へバイアス電流を流すためのDCパスが必要です。図49、図50、図51に、トランス結合、熱電対、容量AC結合の場合にバイアス電流パスを設ける方法を示します。DC結合の抵抗ブリッジ・アプリケーションでは、バイアス電流は単純にブリッジ電源からブリッジを経てアンプへ流れるため、このパスの構成は一般に不要ですが、2つの入力から見たインピーダンスが大きく、かつ差が大きい場合(10 k Ω 以上)、入力ステージのオフセット電流により、アンプの入力オフセット電圧に比例したDC誤差が発生します。

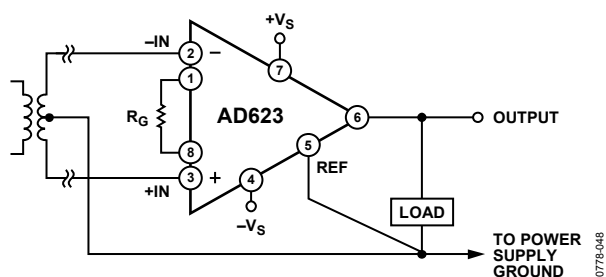


図 49. バイアス電流のグラウンド・リターン—トランス結合入力

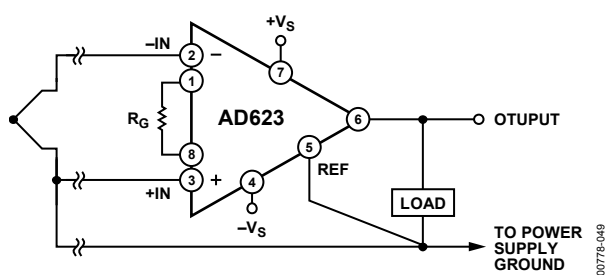


図 50. バイアス電流のグラウンド・リターン—熱電対入力

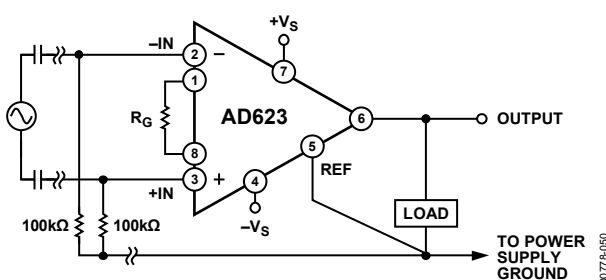


図 51. バイアス電流のグラウンド・リターン—AC 結合入力

出力のバッファリング

AD623は、10 k Ω 以上の負荷を駆動するようにデザインされています。負荷がこの値より小さい場合には、OP113のような高精度単電源オペアンプを使ってAD623出力をバッファする必要があります。このオペアンプは、600 Ω と小さい値の負荷で0 V~4 Vの出力振幅が可能です。表7 に、幾つかのバッファ・オペアンプの性能をまとめます。

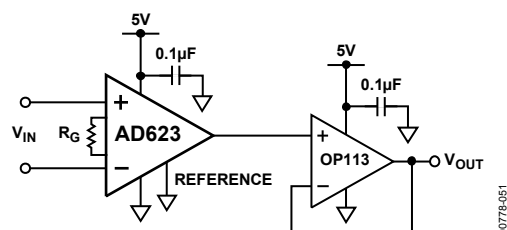


図 52. 出力のバッファリング

表 7. バッファリング・オプション

Op Amp	Description
OP113	Single supply, high output current
OP191	Rail-to-rail input and output, low supply current

単電源データ・アキュイジション・システム

バイポーラ信号を単電源ADCにインターフェースさせるときには難しさがあります。バイポーラ信号を、ADCの入力範囲内に対応させる必要があります。図53 に、この変換方法を示します。

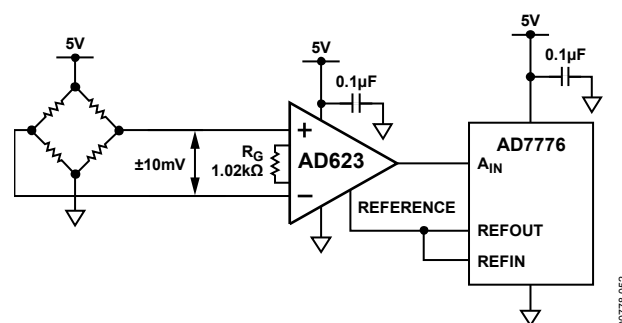


図 53. 単電源データ・アキュイジション・システム

ブリッジ回路は5 V電源で励起されます。このため、ブリッジのフルスケール出力電圧(± 10 mV)は、2.5 Vの同相モード・レベルを持ちます。AD623は同相モード成分を除去して、入力信号を100倍に増幅します($R_{GAIN} = 1.02$ k Ω)。このため出力信号は ± 1 Vになります。この信号がAD623のグラウンド・レールに到達するのを防止するため、REFピンの電圧を少なくとも1 V上げる必要があります。この例では、AD7776 ADCからの2 Vリファレンス電圧を使って、AD623の出力電圧を $2 \text{ V} \pm 1 \text{ V}$ にバイアスしています。これにより、ADCの入力範囲に対応させています。

低い同相モード電圧を持つ信号の増幅

AD623の同相モード入力範囲はグラウンドの下0.1 Vまで延びているので、同相モード成分が小さいかまたはゼロの差動信号を測定することが可能です。図54に、J型熱電対の片側がグラウンドに接続されている熱電対アプリケーションを示します。

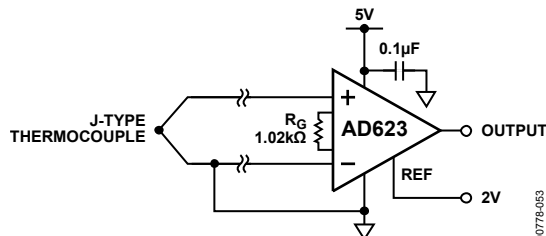


図 54.低い同相モード電圧を持つバイポーラ信号の増幅

J型熱電対は、 $-200^{\circ}\text{C} \sim +200^{\circ}\text{C}$ の温度範囲で、 $-7.890 \text{ mV} \sim +10.777 \text{ mV}$ の範囲の電圧を出力します。AD623にゲイン= 100 ($R_G = 1.02 \text{ k}\Omega$)を設定し、REFピンの電圧を2 Vにすると、出力電圧範囲はグラウンドを基準として1.110 V $\sim$ 3.077 Vになります。

入力の差動モード範囲と同相モード範囲対電源電圧とゲイン

図 55 に、簡略化したAD623 のブロック図を示します。アンプA1とアンプA2の出力電圧は次式で与えられます。

$$V_{A2} = V_{CM} + V_{DIFF}/2 + 0.6 \text{ V} + V_{DIFF} \times R_F/R_G = V_{CM} + 0.6 \text{ V} + V_{DIFF} \times \text{ゲイン}/2$$

$$V_{A1} = V_{CM} + V_{DIFF}/2 + 0.6 \text{ V} + V_{DIFF} \times R_F/R_G = V_{CM} + 0.6 \text{ V} - V_{DIFF} \times \text{ゲイン}/2$$

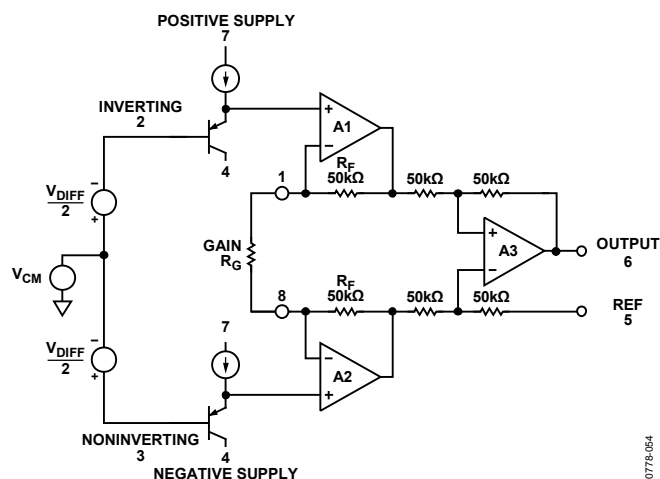


図 55.簡略化したブロック図

これらの内部ノードの電圧は、出力電圧にクリッピングが発生するかどうかを知るために重要です。 V_{A1} 電圧と V_{A2} 電圧は、クリッピングなしに負電源(V^- すなわちグラウンド)の上約10 mVから正電源レールの下約100 mVまで変化することができます。このため前式から、最大および最小の入力同相モード電圧は次式で与えられます。

$$V_{CM\text{MAX}} = V^+ - 0.7 \text{ V} - V_{DIFF} \times \text{ゲイン}/2$$

$$V_{CM\text{MIN}} = V^- - 0.590 \text{ V} + V_{DIFF} \times \text{ゲイン}/2$$

これらの式を整理すると、特定の同相モード電圧、ゲイン、電源電圧に対する最大許容差動電圧(正または負)を求めることができます。A1とA2の信号はいずれかの電源レールにクリップされるため、最大差動電圧はこの2式より小さい必要があります。

$$|V_{DIFF\text{MAX}}| = 2 (V^+ - 0.7 \text{ V} - V_{CM}) / \text{ゲイン}$$

$$|V_{DIFF\text{MAX}}| = 2 (V_{CM} - V^- + 0.590 \text{ V}) / \text{ゲイン}$$

ただし、差動入力電圧範囲は、出力振幅からも制限されます。このため、 V_{DIFF} の範囲を次式に従って小さくする必要があります。

$$\text{入力範囲} \leq \text{有効出力振幅} / \text{ゲイン}$$

両電源レールのほぼ 1/2 の同相モード電圧を持つバイポーラ入力電圧の場合は、REFピンは電源中心であるため、 $V_{DIFF\text{MAX}}$ は前式の値の 1/2 になります。有効出力振幅は、仕様のセクションの様々な電源条件に対して与えられることに注意してください。

この式を整理すると、固定セットの入力条件に対する最大ゲインが求まります。この場合も、最大ゲインは 2 式より小さくなります。

$$\text{最大ゲイン} = 2 (V^+ - 0.7 \text{ V} - V_{CM}) / V_{DIFF}$$

$$\text{最大ゲイン} = 2 (V_{CM} - V^- + 0.590 \text{ V}) / V_{DIFF}$$

この場合も、求めたゲインと入力範囲との積を有効出力振幅より小さくすることが推奨されます。このケースに該当しない場合は、最大ゲインは次式で与えられます。

$$\text{最大ゲイン} = \text{有効出力振幅} / \text{入力範囲}$$

また、バイポーラ入力(すなわち入力範囲 = $2 V_{DIFF}$)の場合、REFピンは電源中心である必要があるため、最大ゲインは前式の値の 1/2 になります。

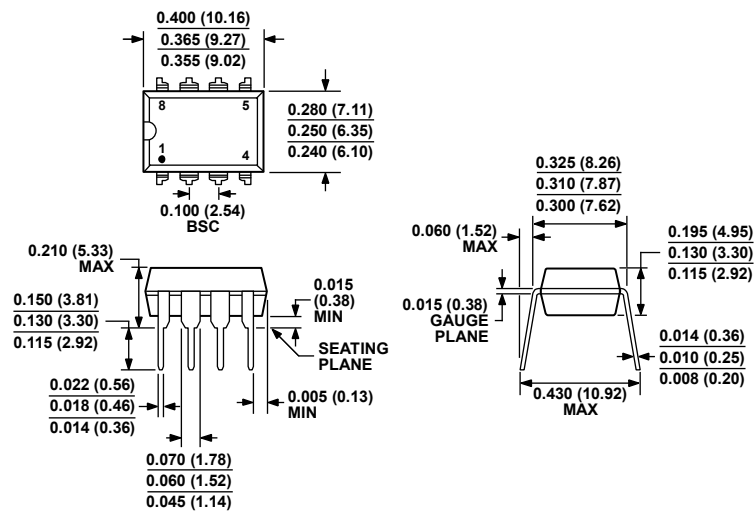
様々な入力条件に対する最大ゲインと求めた出力振幅を表8に示します。出力電圧は、REFピンの電圧を基準とします。

計算のために、入力電圧を差動モード成分と同相モード成分に分ける必要があります。したがって、片方の入力をグラウンドまたは固定電圧に接続すると、差動電圧の変化と同じように同相モード電圧も変化します。図 54 の熱電対アンプのケースを使います。AD623 の反転入力がグラウンドに接続されているため、入力電圧が -10 mV のとき、非反転入力の電圧は -10 mV になります。信号振幅の計算のため、この入力電圧を -5 mV ($= (+IN - -IN)/2$) の同相モード電圧と -10 mV ($= +IN - -IN$) の差動入力電圧で表します。

表 8.様々な入力条件に対する最大可能ゲインと出力振幅計算結果

V _{CM} (V)	V _{DIFF} (V)	REF Pin (V)	Supply Voltages (V)	Maximum Gain	Closest 1% Gain Resistor (Ω)	Resulting Gain	Output Swing (V)
0	±10 m	2.5	+5	118	866	116	±1.2
0	±100 m	2.5	+5	11.8	9.31 k	11.7	±1.1
0	±10 m	0	±5	490	205	488	±4.8
0	±100 m	0	±5	49	2.1 k	48.61	±4.8
0	±1	0	±5	4.9	26.1 k	4.83	±4.8
2.5	±10 m	2.5	+5	242	422	238	±2.3
2.5	±100 m	2.5	+5	24.2	4.32 k	24.1	±2.4
2.5	±1	2.5	+5	2.42	71.5 k	2.4	±2.4
1.5	±10 m	1.5	+3	142	715	141	±1.4
1.5	±100 m	1.5	+3	14.2	7.68 k	14	±1.4
0	±10 m	1.5	+3	118	866	116	±1.1
0	±100 m	1.5	+3	11.8	9.31 k	11.74	±1.1

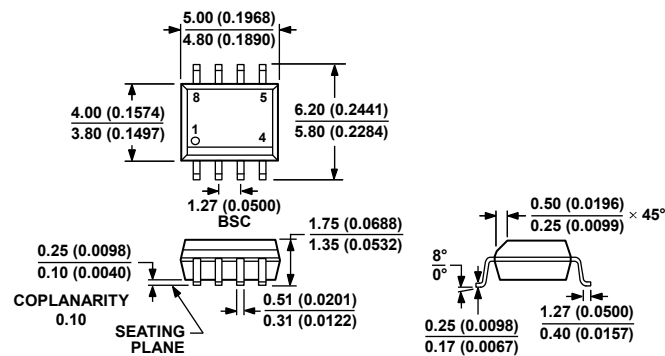
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-001
CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.
CORNER LEADS MAY BE CONFIGURED AS WHOLE OR HALF LEADS.

070606-A

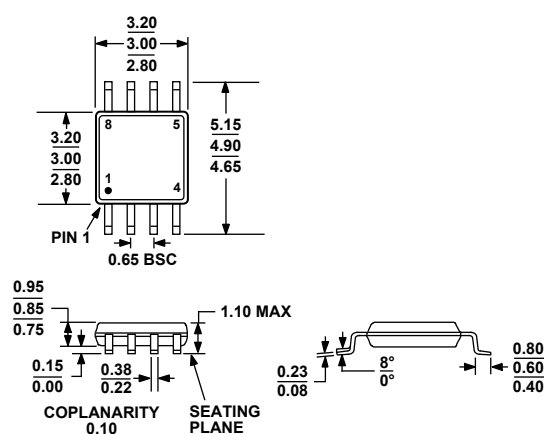
図 56.8 ピン・プラスチック・デュアルインライン・パッケージ[PDIP]
ナロー・ボディ(N-8)
寸法: インチ(mm)



COMPLIANT TO JEDEC STANDARDS MS-012-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 57.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
ナロー・ボディ(R-8)
寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-187-AA

図 58.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]
(RM-8)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
AD623AN	-40°C to +85°C	8-Lead Plastic Dual In-Line Package [PDIP]	N-8	
AD623ANZ ¹	-40°C to +85°C	8-Lead Plastic Dual In-Line Package [PDIP]	N-8	
AD623AR	-40°C to +85°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
AD623AR-REEL	-40°C to +85°C	8-Lead Standard Small Outline Package [SOIC_N], 13" Tape and Reel	R-8	
AD623AR-REEL7	-40°C to +85°C	8-Lead Standard Small Outline Package [SOIC_N], 7" Tape and Reel	R-8	
AD623ARZ ¹	-40°C to +85°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
AD623ARZ-R7 ¹	-40°C to +85°C	8-Lead Standard Small Outline Package [SOIC_N], 7" Tape and Reel	R-8	
AD623ARZ-RL ¹	-40°C to +85°C	8-Lead SOIC, 13" Tape and Reel	R-8	
AD623ARM	-40°C to +85°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	J0A
AD623ARM-REEL	-40°C to +85°C	8-Lead Mini Small Outline Package [MSOP], 13" Tape and Reel	RM-8	J0A
AD623ARM-REEL7	-40°C to +85°C	8-Lead Mini Small Outline Package [MSOP], 7" Tape and Reel	RM-8	J0A
AD623ARMZ ¹	-40°C to +85°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	J0A
AD623ARMZ-REEL ¹	-40°C to +85°C	8-Lead Mini Small Outline Package [MSOP], 13" Tape and Reel	RM-8	J0A
AD623ARMZ-REEL7 ¹	-40°C to +85°C	8-Lead Mini Small Outline Package [MSOP], 7" Tape and Reel	RM-8	J0A
AD623BN	-40°C to +85°C	8-Lead Plastic Dual In-Line Package [PDIP]	N-8	
AD623BNZ ¹	-40°C to +85°C	8-Lead Plastic Dual In-Line Package [PDIP]	N-8	
AD623BR	-40°C to +85°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
AD623BR-REEL	-40°C to +85°C	8-Lead Standard Small Outline Package [SOIC_N], 13" Tape and Reel	R-8	
AD623BR-REEL7	-40°C to +85°C	8-Lead Standard Small Outline Package [SOIC_N], 7" Tape and Reel	R-8	
AD623BRZ ¹	-40°C to +85°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
AD623BRZ-R7 ¹	-40°C to +85°C	8-Lead Standard Small Outline Package [SOIC_N], 7" Tape and Reel	R-8	
AD623BRZ-RL ¹	-40°C to +85°C	8-Lead Standard Small Outline Package [SOIC_N], 13" Tape and Reel	R-8	
EVAL-INAMP-62RZ ¹		Evaluation Board		

¹ Z = RoHS 準拠製品。