

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2009年4月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2009年4月17日

製品名：AD5930

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：

1) P.16 ページ右下 “Continuous Output Mode”

誤) To set up the AD5930 in continuous mode, the CW/BURST bit (D7) in the control register must be set to 0.

正) To set up the AD5930 in continuous mode, the CW/BURST bit (D7) in the control register must be set to 1.

2) P.17 ページ左上 2段落目

誤) To set up the AD5930 in burst mode, the CW/BURST bit (D7) in the control register must be set to 1.

正) To set up the AD5930 in burst mode, the CW/BURST bit (D7) in the control register must be set to 0.

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2010年2月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2010年2月17日

製品名：AD5930

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：データシート6頁、表2 (Table 2) の  $t_{13}$  に関する記述

誤)

$t_{13}$	$10 \times t_1$	nS typ	CTRL rising edge to IOUT/IOUTB delay (initial pulse, includes initialization)
	$8 \times t_1$	nS typ	CTRL rising edge to IOUT/IOUTB delay (initial pulse, includes initialization)

正)

$t_{13}$	$10 \times t_1$	nS typ	CTRL rising edge to IOUT/IOUTB delay (initial pulse, includes initialization)
----------	-----------------	--------	---

### 特長

- プログラマブルな周波数プロファイル
- 外付け部品不要
- 出力周波数レンジ：最大25MHz
- バースト／リッスン機能
- 事前にプログラムできる周波数プロファイルにより、DSP／マイクロコントローラからの書き込み回数を最小化
- サイン波／三角波／矩形波出力
- 周波数ステップの自動／シングル・ピン制御
- 既知の位相で波形開始
  - 位相連続または0°位相でインクリメント
- パワーダウン・モード：20μA
- 動作電源電圧：2.3～5.5V
- 自動車用温度範囲：-40～+125°C
- 鉛フリーの20ピンTSSOP

### アプリケーション

- 周波数掃引／レーダー
- ネットワーク／インピーダンス測定
- 周波数に依存する反応計測
- センサー・アプリケーション
  - 近接およびモーション・センサー
- BFSK
- 周波数バースト／パルス列

### 概要

AD5930<sup>1</sup>は、プログラマブルな周波数掃引および出力バースト機能を備えた波形発生器です。高度の周波数制御が可能な内蔵のデジタル処理機能を使って、合成アナログ／デジタル周波数ステップ波形を生成します。周波数プロファイルは事前にプログラムできるため連続書き込みサイクルがなくなり、DSP／マイクロコントローラの貴重なリソースが解放されます。波形は既知の位相からスタートし、連続して位相がインクリメントされ、簡単に位相シフトを決めることができます。消費電流わずか8mAのAD5930は、低消費電力で便利な波形発生ソリューションを提供します。

AD5930にはさまざまな動作モードがあります。連続出力モードでは、一定時間にわたり必要な周波数を出力し、その後次の周波数にステップします。デバイスから特定の周波数を出力する時間の長さは事前にプログラムして周波数を自動的にインクリメントするか、CTRLピンを使って外部からインクリメントします。バースト・モードの場合、デバイスはある一定時間その周波数を出力してから、事前に定義した時間だけミッドスケールに戻り、その後次の周波数にステップします。MSBOUTピンをイネーブルにすると、デジタル出力が生成されます。

(3ページに続く)

### 機能ブロック図

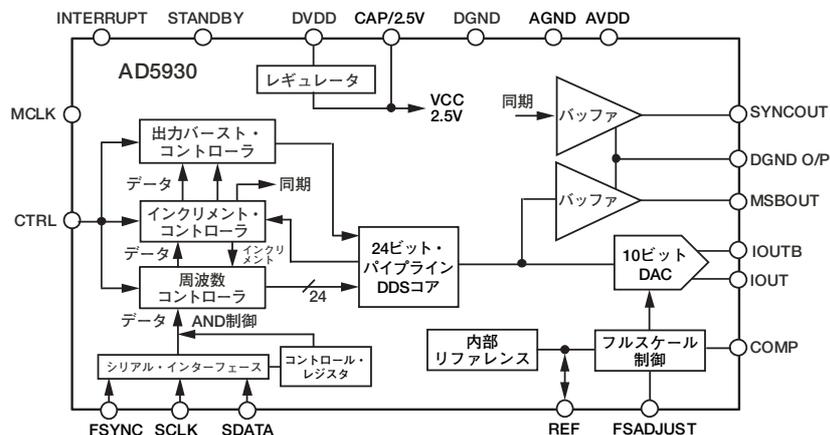


図1

<sup>1</sup> 米国特許番号6747583で保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
© 2005 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本 社／ 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル  
電話03 (5402) 8200  
大阪営業所／ 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号  
電話06 (6350) 6868

# AD5930

## 目次

特長	1	AD5930のパワーアップ	17
アプリケーション	1	AD5930のプログラミング	17
概要	1	周波数掃引の設定	19
機能ブロック図	1	掃引の起動と制御	20
改訂履歴	2	AD5930からの出力	21
仕様	4	アプリケーション	22
タイミング特性	6	グラウンディングとレイアウト	22
絶対最大定格	8	AD5930とADSP-21xxのインターフェース	22
ESDに関する注意	8	AD5930と68HC11/68L11のインターフェース	23
ピン配置と機能の説明	9	AD5930と80C51/80L51のインターフェース	23
代表的な性能特性	11	AD5930とDSP56002のインターフェース	23
用語の説明	15	評価用ボード	24
動作原理	16	回路図	25
周波数プロファイル	16	外形寸法	27
出力モード	16	オーダー・ガイド	27
シリアル・インターフェース	17		

## 改訂履歴

11/05—Revision 0: Initial Version

## 概要

(1ページからの続き)

デバイスをプログラムする場合は、開始周波数、インクリメント・ステップの大きさ、インクリメント数、デバイスが各周波数を出力する時間インターバルを入力します。周波数掃引プロファイルは、CTRLピンをトグルして初期化、開始、実行します。

掃引プロファイルは、さまざまなものが提供されています。三角波掃引モードでは、周波数掃引のステップは、連続的に増加し、定められた周波数に到達すると連続的に減少します。あるいは鋸歯状波掃引モードでは周波数は連続的に増加し、定めら

れた周波数に達すると最初の周波数に戻って掃引を再開します。さらに、掃引を行わず、単一周波数またはバースト信号を生成することもできます。

AD5930には、3線式のシリアル・インターフェースを介して書き込むことができます。2.3~5.5V電源で、最大40MHzのクロック速度で動作します。スタンバイ機能を備えているため、デバイスの未使用部分をパワーダウンできます。

AD5930は、20ピンのTSSOPパッケージを採用しています。

# AD5930

## 仕様

特に指定のない限り、 $AV_{DD}=DV_{DD}=2.3\sim 5.5V$ 、 $AGND=DGND=0V$ 、 $T_A=T_{MIN}\sim T_{MAX}$ 、 $R_{SET}=6.8k\Omega$ 、 $R_{LOAD}=200\Omega$  (IOUTとIOUTBに接続)。

表1

パラメータ	Yグレード <sup>1</sup>			単位	テスト条件/備考
	Min	Typ	Max		
<b>DACの信号仕様</b>					
分解能		10		ビット	
更新レート			50	MSPS	
フルスケール $I_{OUT}^2$		3	4.0	mA	
ピークtoピーク $V_{OUT}$		0.56		V	
$V_{OUT}$ オフセット		45		mV	0Vから波形の谷まで
$V_{MIDSCALE}$		0.325		V	ミッドスケール出力電圧
出力コンプライアンス			0.8	V	$AV_{DD}=2.3V$ 、内部リファレンス使用時 <sup>3</sup>
<b>DC精度</b>					
積分非直線性 (INL)		$\pm 1.5$		LSB	
微分非直線性 (DNL)		$\pm 0.75$		LSB	
<b>DDSの仕様</b>					
<b>動的仕様</b>					
S/N比	53	60		dB	$f_{MCLK}=50MHz$ 、 $f_{OUT}=f_{MCLK}/4096$
全高調波歪み (THD)		-60	-53	dBc	$f_{MCLK}=50MHz$ 、 $f_{OUT}=f_{MCLK}/4096$
<b>SFDR</b>					
ワイドバンド (0~ナイキスト)		-62	-52	dBc	$f_{MCLK}=50MHz$ 、 $f_{OUT}=f_{MCLK}/50$
ナローバンド ( $\pm 200kHz$ )		-76	-73	dBc	$f_{MCLK}=50MHz$ 、 $f_{OUT}=f_{MCLK}/50$
クロック・フィードスルー		-50		dBc	最大16MHz出力
ウェークアップ時間		1.7		ms	スタンバイ・モードからのウェークアップ
<b>出力バッファ</b>					
ピークtoピーク $V_{OUT}$	0		$DV_{DD}$	V	通常は、MSBOUTおよびSYNCOUTピン上の矩形波
出力立ち上がり/立ち下がり時間 <sup>2</sup>		12		ns	
<b>電圧リファレンス</b>					
内部リファレンス	1.15	1.18	1.26	V	
外部リファレンス範囲			1.3	V	
REFOUT入力インピーダンス		1		k $\Omega$	$V_{IN@REF}$ ピン<内部 $V_{REF}$
		25		k $\Omega$	$V_{IN@REF}$ ピン>内部 $V_{REF}$
リファレンスTC <sup>2</sup>		90		ppm/ $^{\circ}C$	
<b>ロジック入力</b>					
入力電流		0.1	$\pm 1$	$\mu A$	
ハイレベル入力電圧 ( $V_{INH}$ )	1.7			V	$DV_{DD}=2.3\sim 2.7V$
	2.0			V	$DV_{DD}=2.7\sim 3.6V$
	2.8			V	$DV_{DD}=4.5\sim 5.5V$
ローレベル入力電圧 ( $V_{INL}$ )			0.6	V	$DV_{DD}=2.3\sim 2.7V$
			0.7	V	$DV_{DD}=2.7\sim 3.6V$
			0.8	V	$DV_{DD}=4.5\sim 5.5V$
入力容量 ( $C_{IN}$ )		3		pF	

パラメータ	Yグレード <sup>1</sup>			単位	テスト条件/備考
	Min	Typ	Max		
ロジック出力 <sup>2</sup>					
ハイレベル出力電圧 (V <sub>OH</sub> )	DV <sub>DD</sub> -0.4V			V	I <sub>SINK</sub> =1mA
ローレベル出力電圧 (V <sub>OL</sub> )			0.4	V	I <sub>SINK</sub> =1mA
フロート状態出力容量		5		pF	
電源条件					f <sub>MCLK</sub> =50MHz、f <sub>OUT</sub> =f <sub>MCLK</sub> /7
AV <sub>DD</sub> /DV <sub>DD</sub>	2.3		5.5	V	
I <sub>AA</sub>		3.8	4	mA	
I <sub>DD</sub>		2.4	2.7	mA	
I <sub>AA</sub> +I <sub>DD</sub>		6.2	6.7	mA	
低消費電力スリープ・モード					デバイスがスタンバイ・モードに入る前にリセットされます。
		20	85	μA	全出力がパワーダウン、MCLK=0V、シリアル・インターフェースは動作中
		140	240	μA	全出力がパワーダウン、MCLKとシリアル・インターフェースは動作中

<sup>1</sup> Yバージョンの動作温度範囲、-40~+125℃、25℃で測定。

<sup>2</sup> 設計により保証。

<sup>3</sup> R<sub>SET</sub>の最小値=3.9kΩ

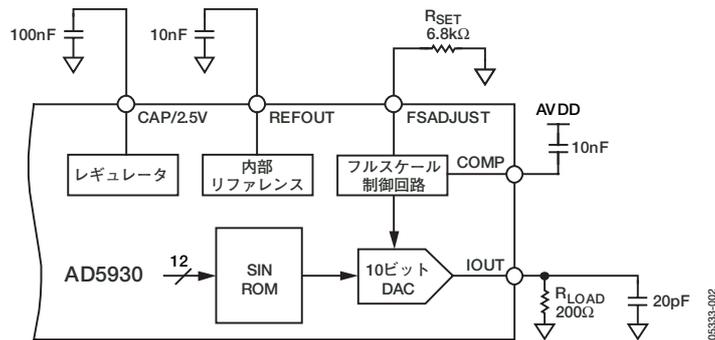


図2. 仕様のテストに用いたテスト回路

## タイミング特性

すべての入力信号は、 $t_r=t_f=5\text{ns}$  ( $V_{DD}$ の10~90%) の条件で規定し、 $(V_{IL}+V_{IH})/2$ の電圧レベルからの時間とします。図4から図7を参照。 $DV_{DD}=2.3\sim 5.5\text{V}$ 、 $AGND=DGND=0\text{V}$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表2<sup>1</sup>

パラメータ	$T_{MIN}$ 、 $T_{MAX}$ 時の限界値	単位	条件/説明
$t_1$	20	ns (min)	MCLK周期
$t_2$	8	ns (min)	MCLKハイレベル持続時間
$t_3$	8	ns (min)	MCLKローレベル持続時間
$t_4$	25	ns (min)	SCLK周期
$t_5$	10	ns (min)	SCLKハイレベル時間
$t_6$	10	ns (min)	SCLKローレベル時間
$t_7$	5	ns (min)	FSYNCからSCLKの立下がりエッジまでのセットアップ時間
$t_8$	10	ns (min)	FSYNCからSCLKまでのホールド時間
$t_9$	5	ns (min)	データのセットアップ時間
$t_{10}$	3	ns (min)	データのホールド時間
$t_{11}$	$2\times t_1$	ns (min)	最小のCTRLパルス幅
$t_{12}$	0	ns (min)	CTRLの立ち上がりエッジからMCLKの立下がりエッジまでのセットアップ時間
$t_{13}$	$10\times t_1$	ns (typ)	CTRLの立ち上がりエッジからIOUT/IOUTBまでの遅延時間 (初期パルス、初期化を含む)
	$8\times t_1$	ns (typ)	CTRLの立ち上がりエッジからIOUT/IOUTBまでの遅延時間 (初期パルス、初期化を含む)
$t_{14}$	$2\times t_1$	ns (typ)	周波数変化からSYNC出力までの時間、鋸歯状波掃引、各周波数インクリメント
$t_{15}$	$2\times t_1$	ns (typ)	周波数変化からSYNC出力までの時間、鋸歯状波掃引、掃引終了
$t_{16}$	$2\times t_1$	ns (typ)	周波数変化からSYNC出力までの時間、三角波掃引、掃引終了
$t_{17}$	20	ns (max)	16番目のクロック・エッジの後のMCLKの立下がりエッジからMSB出力までの時間

<sup>1</sup> これらの仕様については出荷テストを行っていませんが、設計により保証しています。

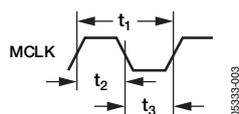


図3. マスター・クロック

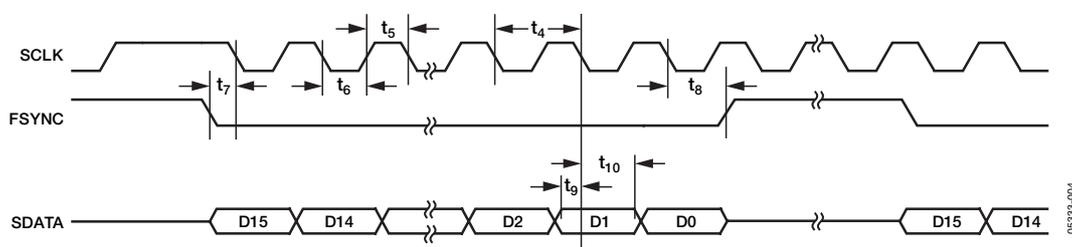


図4. シリアル・タイミング

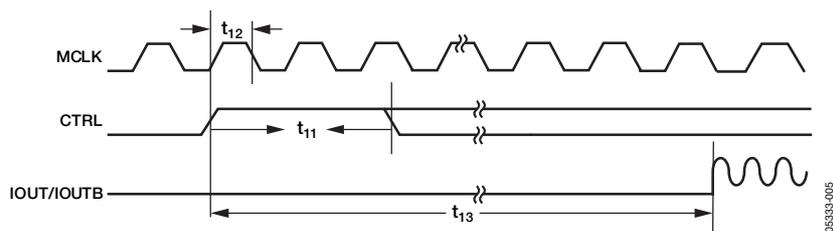


図5. CTRL タイミング

05333-005

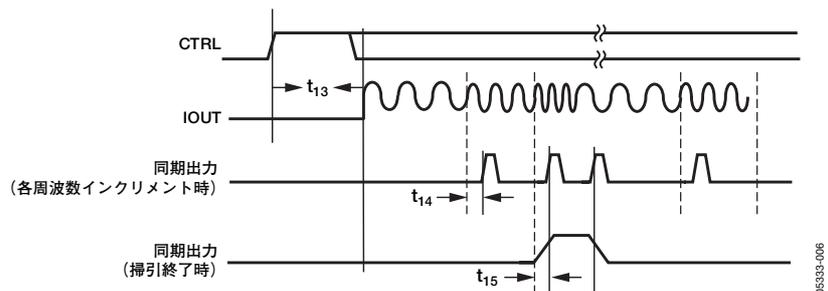


図6. CTRL タイミング (鋸歯状波掃引モード)

05333-006

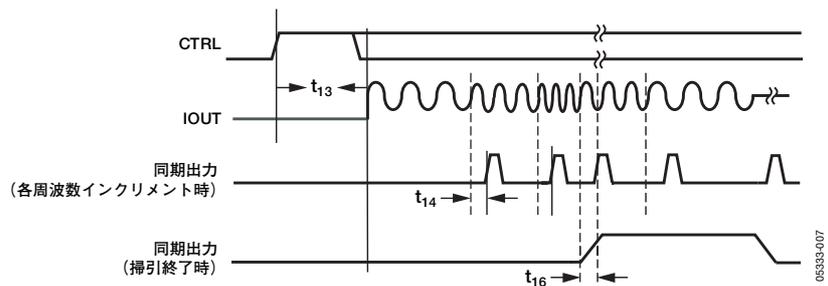


図7. CTRL タイミング (三角波掃引モード)

05333-007

## 絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表3

パラメータ	定格値
AGNDに対するAVDD	-0.3~+6.0V
DGNDに対するDVDD	-0.3~+6.0V
DGNDに対するAGND	-0.3~+0.3V
DGNDに対するCAP/2.5V	-0.3~+2.75V
DGNDに対するデジタルI/O電圧	-0.3V~DVDD+0.3V
AGNDに対するアナログI/O電圧	-0.3V~AVDD+0.3V
動作温度範囲	
自動車 (Yバージョン)	-40~+125 $^{\circ}\text{C}$
保存温度範囲	-65~+150 $^{\circ}\text{C}$
最大ジャンクション温度	+150 $^{\circ}\text{C}$
TSSOPパッケージ (4層ボード)	
$\theta_{JA}$ 熱抵抗	112 $^{\circ}\text{C}/\text{W}$
$\theta_{JC}$ 熱抵抗	27.6 $^{\circ}\text{C}/\text{W}$
リフロー・ハンダ処理 (鉛フリー)	300 $^{\circ}\text{C}$
ピーク温度	260 (+0/-5) $^{\circ}\text{C}$
ピーク温度時間	10~40秒

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

### 注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



## ピン配置と機能の説明

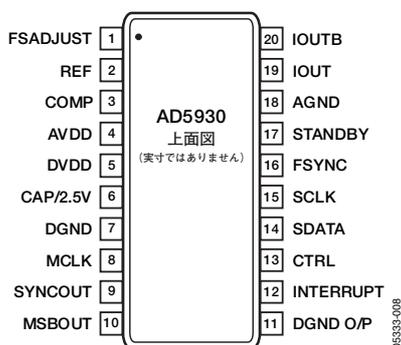


図8. ピン配置

表4. ピン機能の説明

ピン番号	記号	説明
1	FSADJUST	フルスケール調整コントロール。このピンとAGNDの間に抵抗 (RSET) を外付けします。この抵抗の接続によって、フルスケールDAC電流の大きさが決まります。R <sub>SET</sub> とフルスケール電流の関係は、次式で表すことができます。 $IOUT_{FULL-SCALE} = 18 \times V_{REFOUT} / R_{SET}$ 上の式で、V <sub>REFOUT</sub> =1.20Vの公称値、R <sub>SET</sub> =6.8kΩの代表値です。
2	REF	電圧リファレンス。入力または出力として使用できます。AD5930は1.18Vリファレンスを内蔵しています。内部リファレンスの電圧はこのピンから観測できます。あるいは、「仕様」に記載する電圧範囲で外部リファレンスをこのピンに接続すれば、この内部リファレンスを無効にできます。REFとAGNDとの間に10nFのデカップリング用コンデンサを接続してください。
3	COMP	DACバイアス・ピン。DACバイアス電圧をAVDDにデカップリングするのに使用します。
4	AVDD	アナログ回路部用の正側電源。AVDDの値は+2.3~+5.5Vが可能です。AVDDとAGNDとの間に0.1μFのデカップリング用コンデンサを接続してください。
5	DVDD	デジタル回路部用の正側電源。DVDDは+2.3~+5.5Vが可能です。DVDDとDGNDとの間に0.1μFのデカップリング用コンデンサを接続してください。
6	CAP/2.5V	デジタル回路ピン。2.5Vの電源で動作します。この2.5Vの電圧は、内部レギュレータによってDVDDから生成されます。レギュレータには100nF (typ値) のデカップリング用コンデンサが必要であるため、これをCAP/2.5VとDGNDとの間に外付けします。DVDDを2.7V以下で使用する場合は、CAP/2.5VをDVDDに短絡してください。
7	DGND	すべてのデジタル回路用のグラウンド。デジタル出力バッファは除外されます。
8	MCLK	デジタル・クロック入力。DDS出力周波数は、MCLK周波数を2進数で割った数として表されます。このクロックによって、出力周波数の精度と位相ノイズが決まります。
9	SYNCOUT	掃引ステータス情報を通知するデジタル出力。コントロール・レジスタ (SYNCOPビット) を使用して、掃引終了 (EOS) 時または周波数インクリメント時のいずれかを選択できます。このピンをイネーブルにするには、コントロール・レジスタのSYNCOPEビットを1に設定します。
10	MSBOUT	デジタル出力。DACデータのMSBが反転されてこのピンから出力されます。このピンをイネーブルにするには、コントロール・レジスタのMSBOUTENビットを1に設定します。
11	DGND O/P	デジタル出力バッファ専用のDGND接続ポイント。このピンはDGNDに接続してください。
12	INTERRUPT	デジタル入力。周波数掃引の実行中に割り込みピンとして動作します。このピンのローレベルからハイレベルへの遷移が内部MCLKによってサンプリングされ、これによって内部のステート・マシンがリセットされます。その結果、DACの出力がミッドスケールに設定されます。
13	CTRL	デジタル入力。初期化、開始、外部周波数インクリメントの3つの機能を備えています。ローレベルからハイレベルへの遷移が内部MCLKによってサンプリングされ、これによって内部のステート・マシンが初期化および開始されます。その後で内部ステート・マシンは、事前にプログラムされた周波数掃引シーケンスを実行します。自動インクリメント・モードでは、1つのパルスのみで掃引シーケンス全体が実行されます。外部インクリメント・モードでは、ローレベルからハイレベルに遷移するたびに、各周波数インクリメントがトリガされます。
14	SDATA	シリアル・データ入力。最初にレジスタ・アドレス、その後にデータのMSBからLSBの順番で、16ビットのシリアル・データ・ワードがこのピンに加えられます。

## AD5930

ピン番号	記号	説明
15	SCLK	シリアル・クロック入力。SCLKのエッジが立ち下がるたびに、データがAD5930にクロック入力されます。
16	FSYNC	アクティブ・ローの制御入力。これは、シリアル・データのフレーム同期信号です。FSYNCがローレベルのときに、新しいワードがデバイスにロードされていることが内部ロジックに通知されます。
17	STANDBY	アクティブ・ハイのデジタル入力。このピンがハイレベルのときに、内部MCLKがディスエーブルになり、リファレンス、DAC、レギュレータがパワーダウンします。消費電力の節減を最適化するために、AD5930をリセットしてからスタンバイ・モードに設定することを推奨します。これによってシャットダウン時の消費電流が20 $\mu$ A (typ値) に低減されます。
18	AGND	すべてのアナログ回路用のグラウンド
19	IOUT	電流出力。ハイ・インピーダンスの電流源出力です。公称値200 $\Omega$ の負荷抵抗をIOUTとAGNDとの間に接続してください。このピンとAGNDとの間に20pFのコンデンサを接続することも推奨します。このコンデンサはローパス・フィルタとして動作し、クロックのフィードスルーを低減する上で効果的です。このピンをIOUTBと合わせて使用すれば、差動信号が出力されます。
20	IOUTB	電流出力。IOUTBはIOUTを補完する出力です。このピンとAGNDとの間に200 $\Omega$ の負荷抵抗を外付けすることを推奨しますが、このピンをAGNDに直接接続しても構いません。このピンとAGNDとの間に20pFのコンデンサを接続することも推奨します。このコンデンサはローパス・フィルタとして動作し、クロックのフィードスルーを低減する上で効果的です。このピンをIOUTと合わせて使用すれば、差動信号が出力されます。

代表的な性能特性

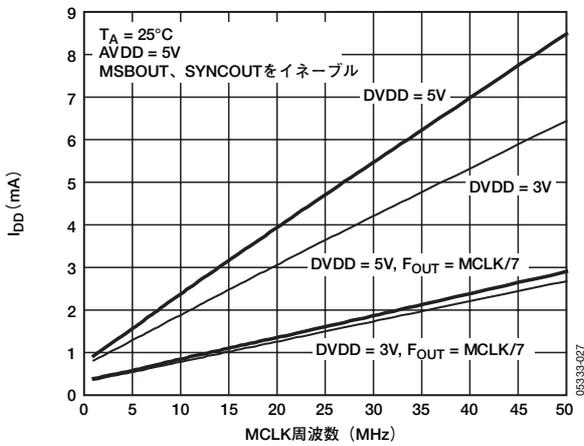


図9. MCLK周波数 対 消費電流 ( $I_{DD}$ )

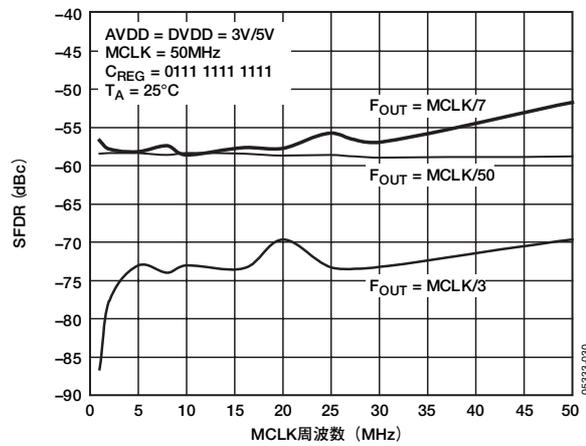


図12. MCLK周波数 対 ワイドバンドSFDR

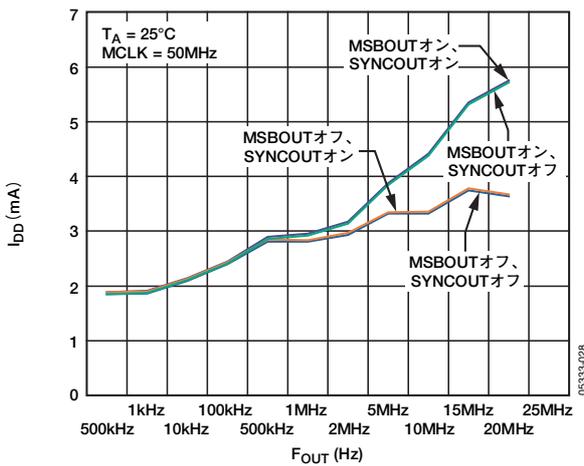


図10. 各種のデジタル出力条件時における  $F_{OUT}$  対  $I_{DD}$

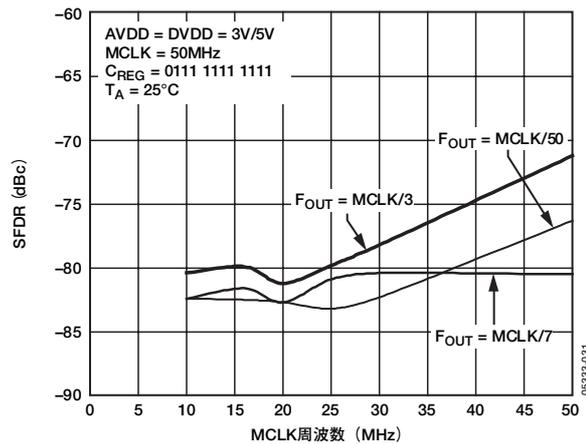


図13. MCLK周波数 対 ナローバンドSFDR

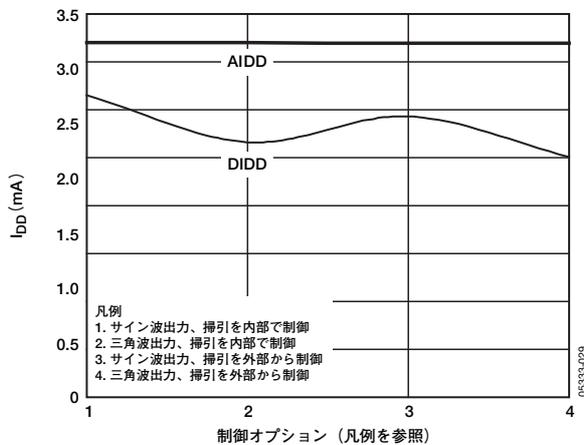


図11. 出力波形のタイプおよび制御 対  $I_{DD}$

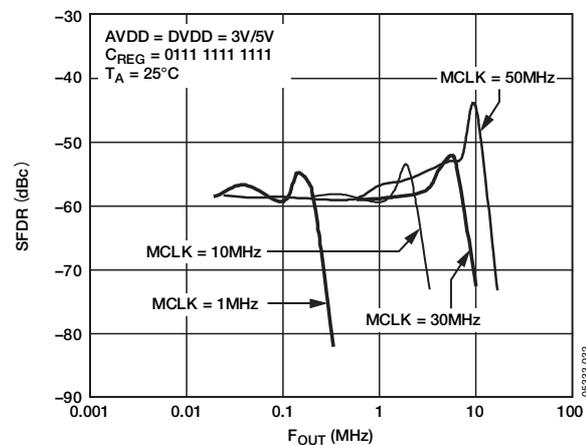


図14. 各種のMCLK周波数における  $F_{OUT}$  対 ワイドバンドSFDR

# AD5930

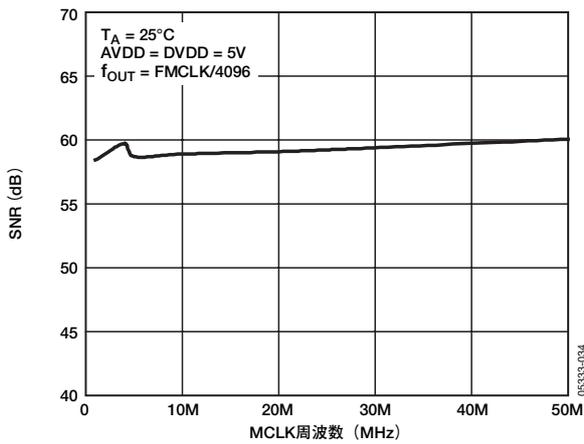


図15. MCLK周波数 対 SNR

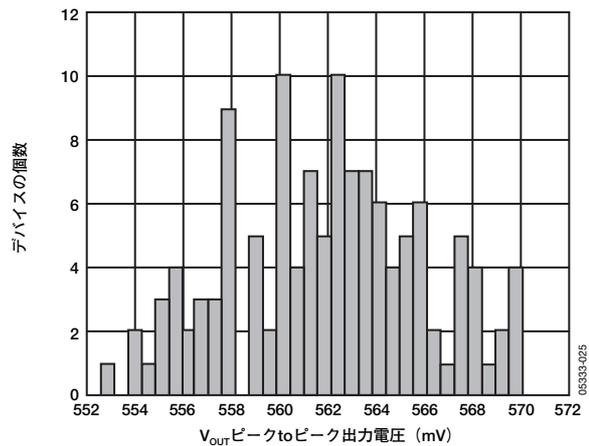


図18. ピークtoピーク出力電圧のヒストグラム

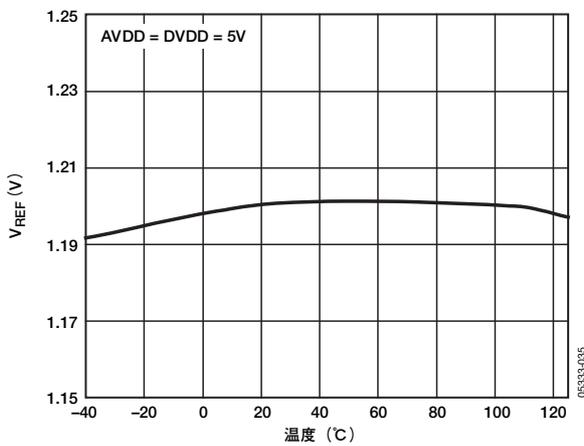


図16.  $V_{REF}$ の温度特性

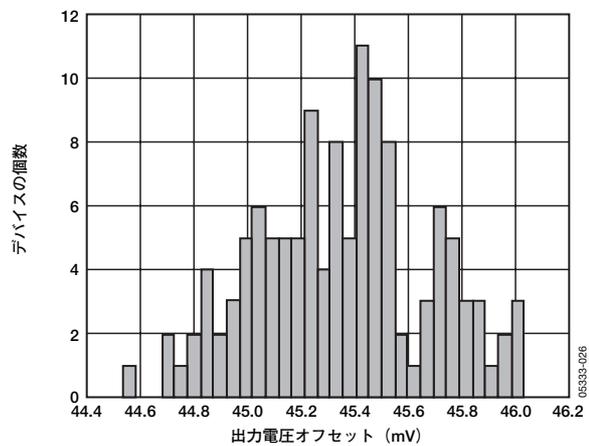


図19. 出力電圧オフセットのヒストグラム

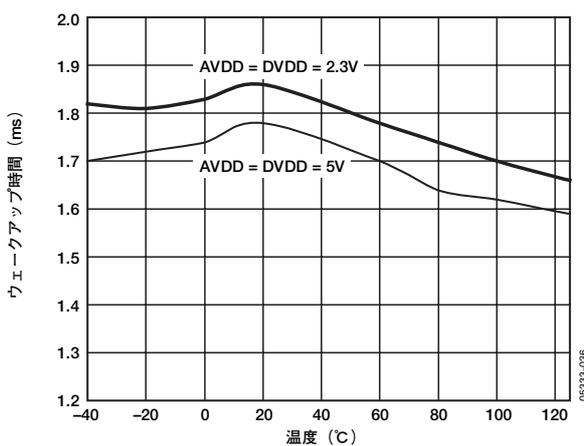


図17. ウェイクアップ時間の温度特性

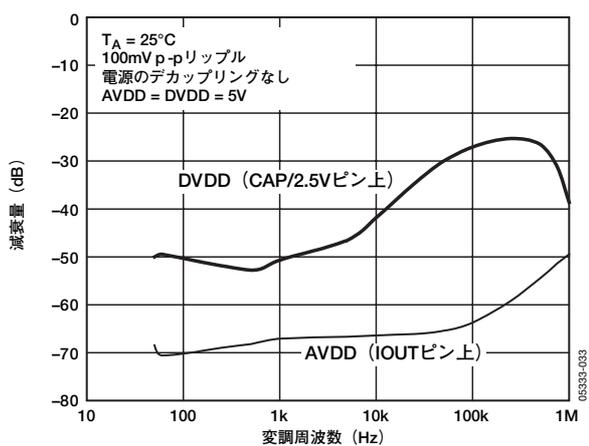


図20. PSRR

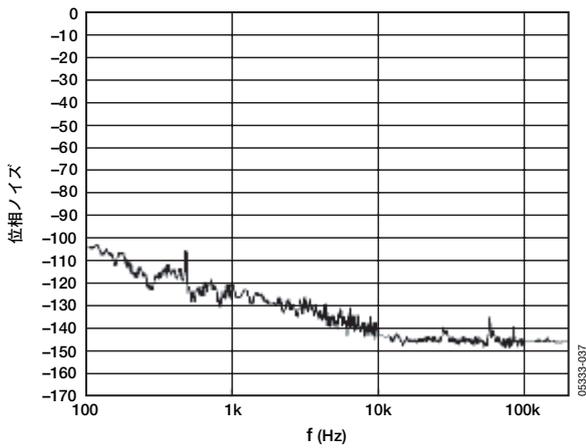


図21. 出力位相ノイズ

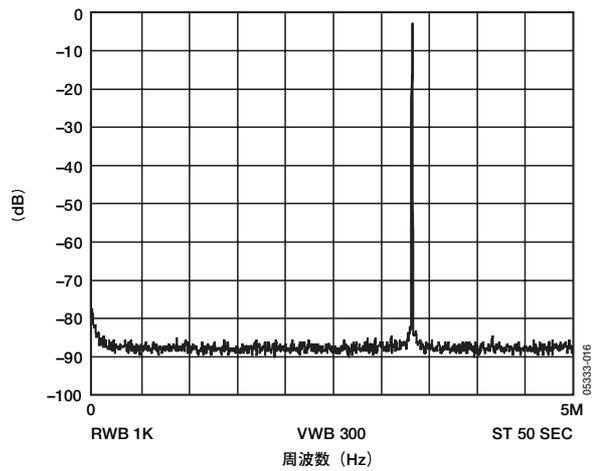


図24.  $f_{MCLK}=10\text{MHz}$ 、  
 $f_{OUT}=3.33\text{MHz}=f_{MCLK}/3$ 、  
周波数ワード=5555555

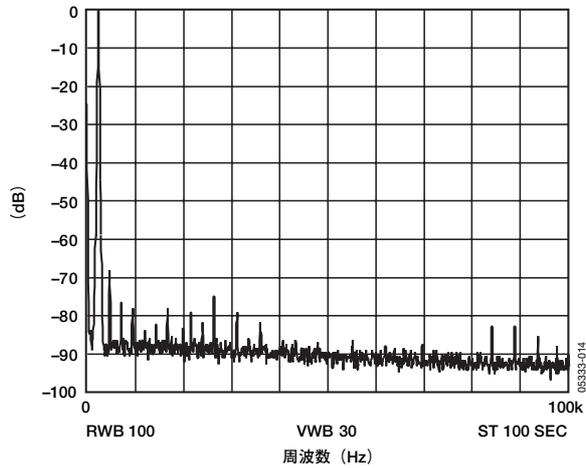


図22.  $f_{MCLK}=10\text{MHz}$ 、 $f_{OUT}=2.4\text{kHz}$ 、  
周波数ワード=000FBA9

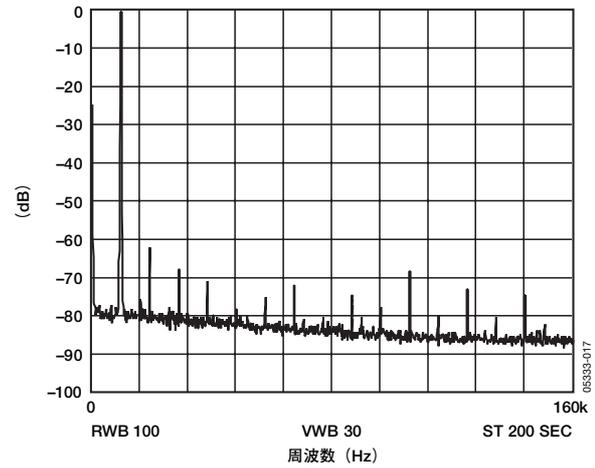


図25.  $f_{MCLK}=50\text{MHz}$ 、 $f_{OUT}=12\text{kHz}$ 、  
周波数ワード=000FBA9

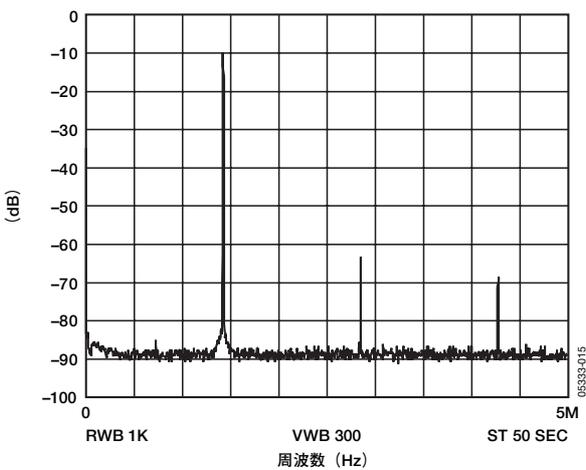


図23.  $f_{MCLK}=10\text{MHz}$ 、  
 $f_{OUT}=1.43\text{MHz}=f_{MCLK}/7$ 、  
周波数ワード=2492492

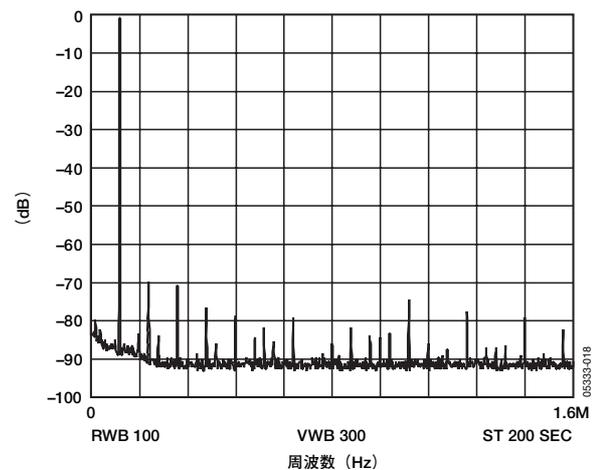


図26.  $f_{MCLK}=50\text{MHz}$ 、 $f_{OUT}=120\text{kHz}$ 、  
周波数ワード=009D496

# AD5930

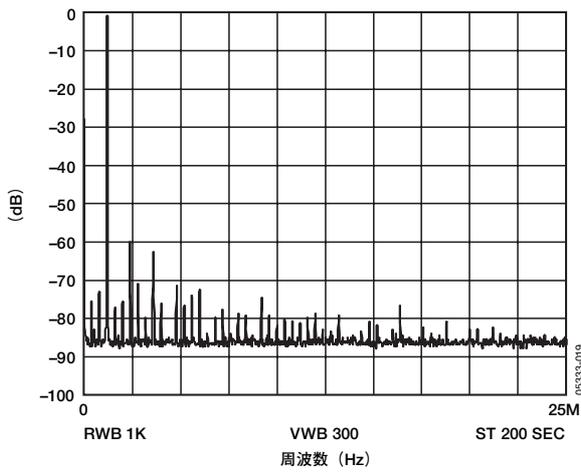


図27.  $f_{MCLK}=50\text{MHz}$ 、 $f_{OUT}=1.2\text{MHz}$ 、  
周波数ワード=0624DD3

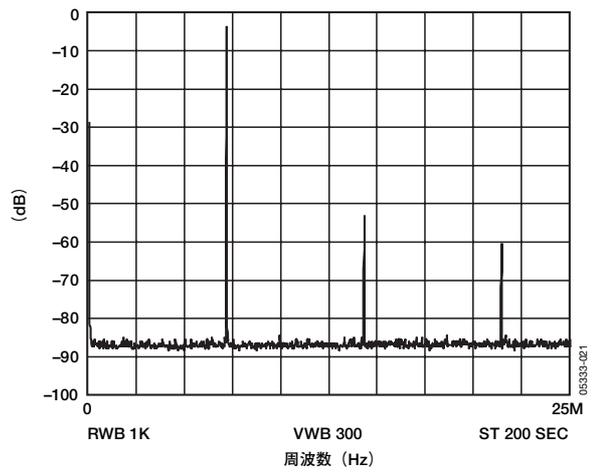


図29.  $f_{MCLK}=50\text{MHz}$ 、  
 $f_{OUT}=7.143\text{MHz}=f_{MCLK}/7$ 、  
周波数ワード=2492492

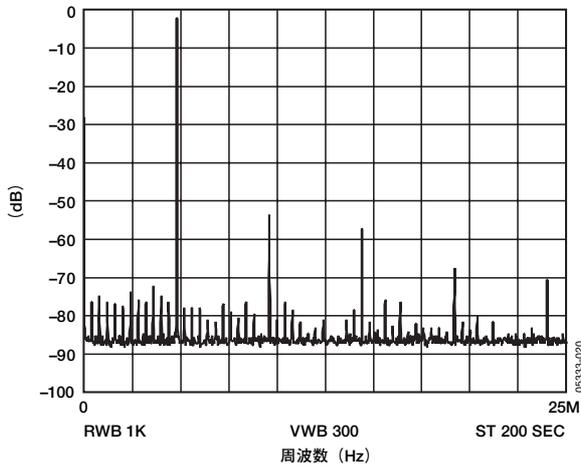


図28.  $f_{MCLK}=50\text{MHz}$ 、 $f_{OUT}=4.8\text{MHz}$ 、  
周波数ワード=189374C

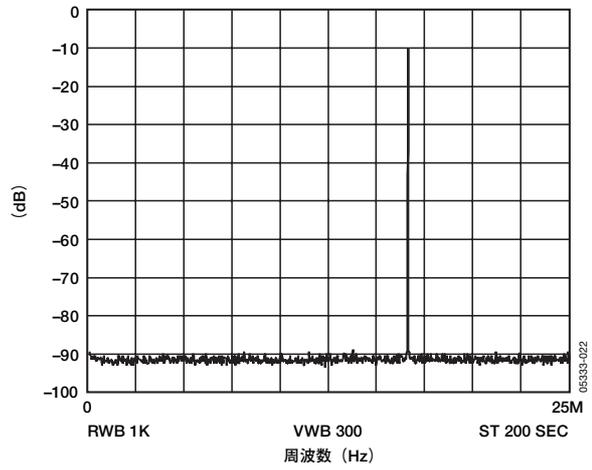


図30.  $f_{MCLK}=50\text{MHz}$ 、  
 $f_{OUT}=16.667\text{MHz}=f_{MCLK}/3$ 、  
周波数ワード=5555555

## 用語の説明

### 積分非直線性 (INL)

伝達関数の2つのエンドポイント（ゼロスケールとフルスケール）を結ぶ直線からの任意コードの最大偏差をいいます。誤差はLSBで表します。

### 微分非直線性 (DNL)

隣接する2つのコード間における1LSB変化の測定値と理論値の差です。微分非直線性の仕様が±1LSB以内の場合は、単調増加性が保証されます。

### 出力コンプライアンス

仕様を満たすために、DACの出力で生成できる最大電圧をいいます。出力コンプライアンスとして規定された値よりも高い電圧が生成されると、AD5930はデータシートに記載された仕様を満たせないことがあります。

### スプリアスフリー・ダイナミック・レンジ (SFDR)

DDSデバイスの出力側には、対象となる周波数のほかに、基本周波数の高調波成分とこれらの周波数のイメージが存在します。SFDRは、これらの周波数帯域幅に存在する最大のスプリアスまたは高調波を指します。ワイドバンドSFDRは、0～ナイキスト帯域幅における基本周波数の振幅を基準にした、最大の高調波またはスプリアスの振幅です。ナローバンドSFDRは、基本周波数の±200kHzの帯域幅における最大のスプリアスまたは高調波の減衰量です。

### 全高調波歪み (THD)

高調波のRMS値総和と基本波のRMS値の比です。AD5930では、次のように定義されます。

$$THD(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

$V_1$ は基本波のRMS振幅

$V_2, V_3, V_4, V_5, V_6$ は2次～6次高調波のRMS振幅

### S/N比 (SNR)

測定された出力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和との比で、dB値で表します。

### クロック・フィードスルー

MCLK入力からアナログ出力までの間にフィードスルーが発生します。クロック・フィードスルーとは、AD5930の出力スペクトルの基本周波数を基準にしたMCLK信号の大きさをいいます。

## 動作原理

AD5930は、周波数と時間の両方の領域で波形シーケンスのデジタル・プログラム可能な汎用の合成波形発生器です。このデバイスには、ユーザ・プログラマブルの周波数プロファイルを繰り返し掃引する組み込みデジタル信号処理回路が内蔵されているため、高度な周波数制御動作が可能です。事前にプログラムできるため、特定の波形を生成するときに、DSP/マイクロコントローラから連続した書き込みサイクルを実行する必要がありません。

### 周波数プロファイル

周波数プロファイルは、開始周波数 ( $F_{START}$ )、周波数インクリメント ( $\Delta f$ )、掃引あたりのインクリメント数 ( $N_{INCR}$ ) によって決まります。周波数インクリメント・インターバル ( $t_{INT}$ ) は、デバイスによって自動的に決定されたインターバルをプログラムするか (自動インクリメント・モード)、ハードウェア・ピンを使用して外部から制御します (外部インクリメント・モード)。自動更新の場合、インターバル・プロファイルは固定のクロック・サイクル数または出力波形サイクル数で指定できます。

自動インクリメント・モードでは、CTRLピンに1つのパルスが入力されるだけで周波数掃引が開始、実行されます。外部インクリメント・モードでも同様に、CTRLピンを使用して掃引が開始されますが、周波数インクリメントのインターバルはCTRLピンが0/1に連続的に遷移するときの時間インターバルによって決まります。さらに、CTRLピンを使用して、バースト・プロファイルを直接制御することも可能です。この場合は、入力が高レベルのときに出力波形が生成され、入力が高レベルのときに出力がミッドスケールにリセットされます。

周波数プロファイルの掃引は、鋸歯状波掃引または三角波 (アップ/ダウン) 掃引の2つの異なるモードで行うことができます。

### 鋸歯状波掃引モード

鋸歯状波掃引の場合、AD5930は掃引の開始から終了まで掃引を反復します。すなわち、 $F_{START}$  からインクリメントして  $F_{START} + N_{INCR} \times \Delta f$  まで掃引を実行し、その後直接  $F_{START}$  に戻って、掃引を繰り返します (図31を参照)。

鋸歯状波掃引のサイクル時間は、以下の式から求められます。

$$(N_{INCR} + 1) \times t_{INT}$$

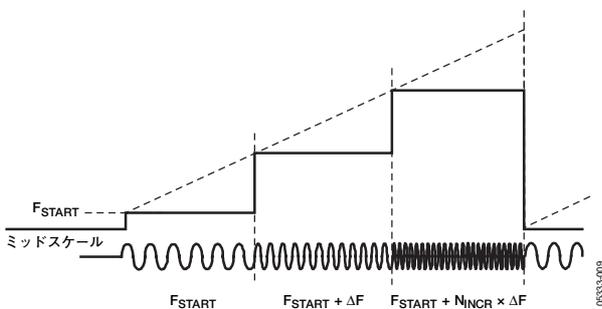


図31. 鋸歯状波掃引プロファイル

### 三角波掃引モード

三角波掃引の場合、AD5930は掃引の開始から終了まで掃引を反復します。すなわち、 $F_{START}$  からインクリメントして  $F_{START} + N_{INCR} \times \Delta f$  まで掃引を実行し、その後デクリメントしながら  $F_{START}$  に戻り、再び掃引を繰り返します (図32を参照)。

三角波掃引のサイクル時間は、以下の式から求められます。

$$(1 + (2 \times N_{INCR})) \times t_{INT}$$

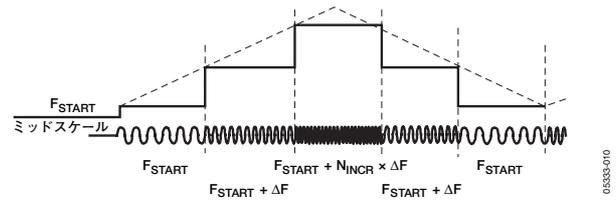


図32. 三角波掃引プロファイル

### 出力モード

AD5930は、連続出力モードとバースト出力モードの2つの出力モード動作が可能です。これらのモードを図33に示します。

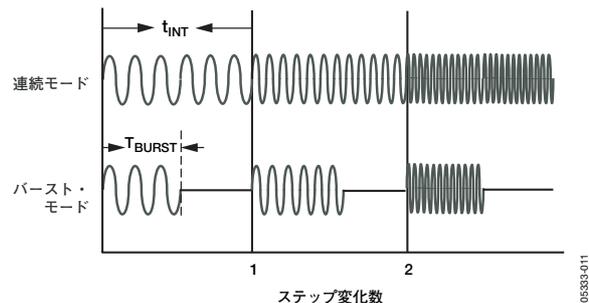


図33. AD5930の連続出力モードとバースト出力モード

### 連続出力モード

このモードでは、時間インターバル ( $t_{INT}$ ) レジスタで設定した時間にわたって、各周波数を掃引します。つまり、周波数掃引出力信号が連続的に供給されるため、すべての周波数インクリメントで連続的な位相が確保されます。

AD5930を連続出力モードに設定するには、コントロール・レジスタのCW/BURSTビット (D7) を0に設定します。詳細については、「掃引の起動と制御」を参照してください。

### バースト出力モード

このモードでは、事前に設定されたインクリメント・インターバル ( $t_{INT}$ ) 以内の一定時間 ( $T_{BURST}$ ) にわたって、AD5930から出力バーストのプログラム可能な信号波形が出力されます。 $t_{INT}$  インターバルの残りの時間は出力がミッドスケールにリセットされ、次の周波数インクリメントまでこの状態に維持されます。この出力モードが効果的なアプリケーションとしては、設定時間の間、周波数をバーストし、応答を「リッスン」した後で次の周波数に増加する必要がある場合です。各周波数インクリメントはミッドスケール (0ラジアン) の位相から開始されるため、信号の位相は常に既知となっています。

AD5930をバースト出力モードに設定するには、コントロール・レジスタのCW/BURSTビット (D7) を1に設定する必要があります。バースト出力モードに関する詳細は、「掃引の起動と制御」を参照してください。

### シリアル・インターフェース

AD5930は標準の3線シリアル・インターフェースを備えており、業界標準のSPI<sup>®</sup>、QSPI<sup>™</sup>、MICROWIRE<sup>™</sup>、DSPインターフェースと互換性があります。

データは、シリアル・クロック入力SCLKの制御により、16ビット・ワードとしてデバイスにロードされます。この動作のタイミング図を図4に示します。

FSYNC入力は、フレーム同期およびチップ・イネーブルとして機能するレベル・トリガ入力です。データをデバイスに転送できるのは、FSYNCがローレベルのときのみです。シリアル・データの転送を開始するには、FSYNCからSCLK立下がりエッジまでの最小セットアップ時間 $t_s$ を守りながら、FSYNCをローレベルにしてください。FSYNCがローレベルになった後、SCLKの立下がりエッジで16クロック・パルスの間、シリアル・データがデバイスの入力シフト・レジスタに入力されます。SCLKの立下がりエッジからFSYNCの立上がりエッジまでの最小ホールド時間 $t_h$ を守りながら、SCLKの16番目の立下がりエッジの後で、FSYNCをハイレベルにできます。あるいは、16SCLKパルスの倍数のサイクル中にFSYNCをローレベルに保持してから、データ転送の最後にハイレベルにすることも可能です。この方法では、FSYNCがローレベルに保持されている間に、16ビット・ワードの連続ストリームをロードできます。FSYNCは、ロードされた最後のワードの16番目のSCLKの立下がりエッジの後にハイレベルにします。

SCLKは連続させたり、書き込み動作と書き込み動作の間にアイドル・ハイまたはアイドル・ローにできます。

### AD5930のパワーアップ

AD5930はパワーアップ時に未定義の状態にあるため、使用前にリセットする必要があります。8個のレジスタ (コントロールおよび周波数) には無効なデータが含まれるため、既知の値を設定してください。デバイスはコントロール・レジスタによってセットアップされるため、このレジスタを最初にプログラムしてください。コントロール・レジスタへの書き込みによって、内部ステート・マシンが自動的にリセットされ、ミッドスケールのアナログ出力が供給されます (INTERRUPTピンと同じ働き)。通常はこの後で、すべての必要な掃引パラメータがシリアルにロードされます。CTRLピンを使用して掃引が開始されるまで、DACの出力はミッドスケールに維持されます。

### AD5930のプログラミング

AD5930はCTRLピンをトリガするときに、周波数掃引を自動的に実行するように設計されています。この自動掃引は、一連のレジスタによって制御されます。これらのレジスタのアドレスを表5に示します。各レジスタの機能については、次の項で詳細に説明します。

表5. レジスタのアドレス

レジスタ・アドレス				記号	名前
D15	D14	D13	D12		
0	0	0	0	C <sub>REG</sub>	制御ビット
0	0	0	1	N <sub>INCR</sub>	インクリメント数
0	0	1	0	$\Delta f$	デルタ周波数の下位12ビット
0	0	1	1	$\Delta f$	デルタ周波数の上位12ビット
0	1			t <sub>INT</sub>	インクリメント・インターバル
1	0			T <sub>BURST</sub>	バースト・インターバル
1	1	0	0	F <sub>START</sub>	開始周波数の下位12ビット
1	1	0	1	F <sub>START</sub>	開始周波数の上位12ビット
1	1	1	0		予備
1	1	1	1		予備

### コントロール・レジスタ

AD5930には、動作モードをセットアップする12ビットのコントロール・レジスタ (表6を参照) が内蔵されています。AD5930で選択可能な各種の機能と出力オプションは、このレジスタから制御します。

表7に、コントロール・レジスタの各ビットを示します。

コントロール・レジスタのアドレスを指定するときは、16ビット・シリアル・ワードのうちD15からD12までのビットを0に設定する必要があります。

表6. コントロール・レジスタ

D15	D14	D13	D12	D11~D0
0	0	0	0	制御ビット

# AD5930

表7. コントロール・レジスタの各ビットの説明

ビット	名前	機能
D15~D12	ADDR	レジスタのアドレス・ビット
D11	B24	<p><math>F_{START}</math>レジスタと<math>\Delta f</math>レジスタに完全なワードをロードするためには、書き込み動作が2回必要です。</p> <p>B24=1の場合、2回の連続した書き込み動作で完全なワードを周波数レジスタにロードできます。最初の書き込みには周波数ワードの12LSBが含まれ、次の書き込みには12MSBが含まれます。該当するアドレスについては、表5を参照してください。周波数レジスタへの書き込みは両方のワードがロードされてから実行されるため、レジスタは中間値を保持しません。</p> <p>B24=0の場合、24ビットの<math>F_{START}/\Delta f</math>レジスタが2個の12ビット・レジスタとして動作し、一方には12MSB、他方には12LSBが含まれます。つまり、周波数ワードの12MSBは12LSBとは独立して変更でき、12LSBは12MSBとは独立して変更できます。これは、24ビット全部を更新する必要がない場合に便利です。12MSBまたは12LSBを変更するときには、該当するレジスタ・アドレスに書き込み動作を1回だけ行います。該当するアドレスについては、表5を参照してください。</p>
D10	DAC ENABLE	<p>DAC ENABLE=1の場合、DACがイネーブルになります。</p> <p>DAC ENABLE=0の場合、DACがパワーダウンし、消費電力が節減されます。DAC入力データのうち（MSBOUTピンから出力される）MSBのみを使用する場合に効果的です。</p>
D9	SINE/TRI	<p>IOOUT/IOOUTBピンの出力機能を制御します。</p> <p>SINE/TRI=1の場合、SIN ROMを使用して位相情報を振幅情報に変換し、サイン波出力が得られます。</p> <p>SINE/TRI=0の場合、SIN ROMをバイパスし、DACから三角波（アップ/ダウン）出力が得られます。</p>
D8	MSBOUTEN	<p>MSBOUTEN=1の場合、MSBOUTピンがイネーブルになります。</p> <p>MSBOUTEN=0の場合、MSBOUTピンがディスエーブル（スリーステート）になります。</p>
D7	CW/BURST	<p>CW/BURST=1の場合、該当する<math>T_{BURST}</math>レジスタで指定された時間または出力波形サイクル数にわたって各周波数がAD5930から連続的に出力されます。</p> <p>CW/BURST=0の場合、バースト・レジスタ<math>T_{BURST}</math>で指定された時間または出力波形サイクル数にわたって各周波数がAD5930からバーストされます。各インクリメント・ウィンドウ（<math>T_{BURST}-t_{INT}</math>）の範囲内に入っている残りの時間には、ミッドスケールのDC値がAD5930から出力されます。外部インクリメント・モードでは、この時間はCTRLピンのパルス幅によって決定されます。</p>
D6	INT/EXT BURST	<p>D7=0のとき、このビットがアクティブになります。またこのビットはD5と組み合わせて使用します。外部から周波数をインクリメントするときに（D5=1）、D6の設定に基づいて、バーストを内部または外部のどちらから制御するかを決定します。</p> <p>INT/EXT BURST=1の場合、CTRLピンを使用して出力バーストが外部から制御されます。外部信号源を使用して周波数インクリメントのトリガとバースト・インターバルの決定の両方を行う場合に、この設定が便利です。</p> <p>INT/EXT BURST=0の場合、出力バーストが内部で制御されます。バーストは<math>T_{BURST}</math>レジスタで事前に設定しておきます（バースト・インターバルは、クロック・サイクル数または出力サイクル数で指定できます）。</p> <p>D5=0の場合、このビットは無視されます。</p>
D5	INT/EXT INCR	<p>INT/EXT INCR=1の場合、CTRLピンを使用して周波数インクリメントが外部からトリガされます。</p> <p>INT/EXT INCR=0の場合、周波数インクリメントが自動的にトリガされます。</p>
D4	MODE	<p>どのタイプの周波数掃引を実行するかを制御します。</p> <p>MODE=1の場合、周波数プロファイルは鋸歯状波掃引となります。</p> <p>MODE=0の場合、周波数プロファイルは三角波（アップ/ダウン）掃引となります。</p>
D3	SYNCSEL	<p>D2=1のときに、このビットがアクティブになります。パルスの出力を、掃引終了（EOS）時に行うか、周波数インクリメント時に行うかを選択できます。</p> <p>SYNCSEL=1の場合、ハイレベル信号が掃引の終了時にSYNCOPピンから出力され、このピンは次の掃引の開始時にゼロに戻ります。</p> <p>SYNCSEL=0の場合、周波数がインクリメントされる時のみ、<math>4 \times T_{LOCK}</math>のパルスがSYNCOPピンから出力されます。</p>
D2	SYNCOUTEN	<p>SYNCOUTEN=1のときに、SYNC信号がSYNCOPピンから出力されます。</p> <p>SYNCOUTEN=0のときに、SYNCOPピンがディスエーブル（スリーステート）になります。</p>
D1	予備	このビットは常に1に設定します。
D0	予備	このビットは常に1に設定します。

## 周波数掃引の設定

「周波数プロファイル」の項で述べたように、AD5930で周波数掃引をイネーブルするには、特定のレジスタをプログラミングする必要があります。以下の項では、これらのレジスタについて詳細に説明します。

### 開始周波数 ( $F_{START}$ )

周波数掃引を開始する場合、どの周波数から掃引を開始するかをAD5930に通知する必要があります。この周波数は、 $F_{START}$  という24ビット・レジスタに保存されます。 $F_{START}$  レジスタの内容全体を変更したい場合は、2回の連続した書き込み動作で、LSBとMSBにそれぞれデータを書き込みます。このレジスタにデータをすべて書き込むには、制御ビットB24 (D11) を1に設定し、最初にLSBからプログラムしてください。

アプリケーションによっては、 $F_{START}$  レジスタの全24ビットを変更する必要のない場合があります。制御ビットB24 (D11) を0に設定すると、この24ビット・レジスタが2個の12ビット・レジスタとして動作し、1つには12MSB、もう1つには12LSBがそれぞれ保存されます。つまり、 $F_{START}$  ワードの12MSBは12LSBとは独立して変更でき、12LSBは12MSBとは独立して変更できます。このレジスタのLSBとMSB両方のアドレスを表8に示します。

表8.  $F_{START}$  レジスタのビット

D15	D14	D13	D12	D11~D0
1	1	0	0	$F_{START}$ の12LSB <11...0>
1	1	0	1	$F_{START}$ の12MSB <23...12>

### 周波数インクリメント ( $\Delta f$ )

$\Delta f$  レジスタの値に基づいて、掃引のインクリメント周波数が設定され、この値は現在の出力周波数に合算されます。インクリメント周波数は正、負のいずれの値も可能であることから、これを利用して掃引周波数を増減できます。

掃引の開始時には、 $F_{START}$  レジスタに保持されている周波数が出力されます。次に ( $F_{START} + \Delta f$ )、( $F_{START} + \Delta f + \Delta f$ ) のように周波数が出力されます。 $\Delta f$  の値をインクリメント数 ( $N_{INCR}$ ) で乗算し、結果を開始周波数 ( $F_{START}$ ) に加算すれば、掃引の最終周波数が求められます。この最終周波数 (停止周波数) は、次式で表すことができます。

$$F_{START} + (N_{INCR} \times \Delta f)$$

$\Delta f$  レジスタは23ビットのレジスタであるため、設定には16ビット書き込み動作が2回必要です。表9に、 $\Delta f$  ワードのMSBとLSBの両レジスタに関連するアドレスを示します。

表9.  $\Delta f$  レジスタのビット

D15	D14	D13	D12	D11	D10~D0	掃引の方向
0	0	1	0		$\Delta f$ の12LSB <11...0>	該当なし
0	0	1	1	0	$\Delta f$ の11MSB <22...12>	正の $\Delta f$ ( $F_{START} + \Delta f$ )
0	0	1	1	1	$\Delta f$ の11MSB <22...12>	負の $\Delta f$ ( $F_{START} - \Delta f$ )

### インクリメント数 ( $N_{INCR}$ )

AD5930では最終周波数、すなわち掃引の最大/最小周波数を掃引の前に設定する必要はありません。最終周波数は周波数インクリメント値 ( $\Delta f$ ) をインクリメント数 (周波数ステップ数  $N_{INCR}$ ) で乗算し、結果を開始周波数 ( $F_{START}$ ) に加算/減算する方法 ( $F_{START} + N_{INCR} \times \Delta f$ ) によって求められます。 $N_{INCR}$  レジスタは12ビットのレジスタです。表10にアドレスを示します。

表10.  $N_{INCR}$  レジスタのビット

D15	D14	D13	D12	D11~D0
0	0	0	1	$N_{INCR}$ の12ビット <11...0>

インクリメント数はバイナリ・フォーマットで設定します。最小値 (2) は000000000010、最大値 (4095) は111111111111 で表します。

表11.  $N_{INCR}$  のデータ・ビット

D11	D0	インクリメント数	
0000	0000	0010	2回の周波数インクリメント ( $\Delta f$ ) (周波数インクリメント数の最小値)
0000	0000	0011	3回の周波数インクリメント
0000	0000	0100	4回の周波数インクリメント
...	...	...	...
1111	1111	1110	4094回の周波数インクリメント
1111	1111	1111	4095回の周波数インクリメント

### インクリメント・インターバル ( $t_{INT}$ )

インクリメント・インターバルに基づいて、周波数掃引の個々の周波数に対応するDAC出力信号の持続時間が決まります。AD5930では、以下のいずれかを選択できます。

- 持続時間を出力周波数のサイクルの倍数とする。
- 持続時間をMCLK周期の倍数とする。

$t_{INT}$  レジスタのビットD13を設定して選択します (表12参照)。

表12.  $t_{INT}$  レジスタのビット

D15	D14	D13	D12	D11	D10~D0
0	1	0	X	X	11ビット <10...0> 一定の出力波形サイクル数
0	1	1	X	X	11ビット <10...0> 一定のクロック周期数

このレジスタは、バイナリ・フォーマットで設定し、最小値は10進数の2です。表12に示すように、レジスタのビットD10からD0までの11個のビットを時間インターバルの設定に使用できます。たとえば、MCLK = 50MHzの場合、各クロック周期/ベース・インターバルは、(1/50MHz) = 20nsとなります。100nsの間に各周波数を出力するには、<00000000101> (10進数の5) をこのレジスタで設定します。AD5930は最大でインクリメント・インターバルの $2^{11} - 1$  (2047) 倍までの時間、各周波数を出力できます。

# AD5930

したがって、この例では時間インターバルの最大値は $20\text{ns} \times 2047 = 40\mu\text{s}$ 、最小値は $40\text{ns}$ となります。一部のアプリケーションでは、 $40\mu\text{s}$ の最大値では不十分な場合があります。したがって、もっと長いインクリメント・インターバルが要求される掃引に対応するために、時間ベース乗算器が用意されています。ビットD12とビットD11は時間ベース乗算器専用です（表12を参照）。表13に乗算器オプションを示します。

表13. 時間ベース乗算器の値

D12	D11	乗算器の値
0	0	1倍 (1/MCLK)
0	1	5倍 (1/MCLK)
1	0	100倍 (1/MCLK)
1	1	500倍 (1/MCLK)

MCLKを50MHzとし、500の乗算器を使用する場合には、ベース・インターバル ( $T_{\text{BASE}}$ ) が  $(1 / (50\text{MHz}) \times 500) = 10\mu\text{s}$  となります。500の乗算器を使用すると、インクリメント・インターバルの最大値は  $10\mu\text{s} \times (2^{11} - 1) = 20.5\text{ms}$  となります。したがって、オプションで時間ベース乗算器を利用すれば、最小40nsから最大20.5msまでの間で任意の周波数を出力できるため、周波数ウィンドウの時間を設定する際に、非常に高い柔軟性を確保できます。

## 掃引時間長

ユーザ設定の周波数掃引を完了するまでの所要時間は、次式から求められます。

$$T_{\text{SWEEP}} = (1 + N_{\text{INCR}}) \times T_{\text{BASE}}$$

## バースト時間レジスタ ( $T_{\text{BURST}}$ )

「バースト出力モード」の項で説明したように、AD5930ではインクリメント・インターバル ( $t_{\text{INT}}$ ) の一定時間にわたり掃引の各周波数を出力し、残りの時間 ( $t_{\text{INT}} - T_{\text{BURST}}$ ) はミッドスケールに戻り、その後次の周波数に進むことができます。そのためには、コントロール・レジスタのビットD7を0に設定して、バースト・オプションをイネーブルにします。

時間インターバル・レジスタと同様に、バースト・レジスタでは持続時間を以下のように設定できます。

- 出力周波数のサイクルの倍数
- MCLK周期の倍数

このレジスタのアドレスを表14に示します。

表14.  $T_{\text{BURST}}$ レジスタのビット

D15	D14	D13	D12	D11	D10~D0
1	0	0	X	X	11ビット <0...10> 一定の出力波形サイクル数
1	0	1	X	X	11ビット <0...10> 一定のクロック周期数

ただし、インクリメント・インターバル ( $t_{\text{INT}}$ ) とバースト時間 ( $T_{\text{BURST}}$ ) の両方のレジスタを使用する場合は、ビットD13の設定を同一にしてください。この設定が異なっていると、 $t_{\text{INT}}$ レジスタでプログラムされた値にAD5930がデフォルト設定されます。同様に、時間ベース乗算器ビットのビット12とビット11も常に、 $t_{\text{INT}}$ レジスタでプログラムされた値にデフォルト設定されます。

## 掃引の起動と制御

レジスタのプログラミングが完了した後で、CTRLピンが0から1に遷移すると、掃引が開始します。掃引は常に、 $F_{\text{START}}$ レジスタで設定された周波数から開始します。この周波数は $\Delta f$ レジスタの値に応じて変化し、 $N_{\text{INCR}}$ レジスタのステップ数だけ増加します。ただし、各周波数の時間インターバルとバースト持続時間の両方を $t_{\text{INT}}$ レジスタと $T_{\text{BURST}}$ レジスタを使用して内部で制御するか、またはCTRLピンを使用して外部から制御できます。以下のオプションを利用できます。

- 自動インクリメント、自動バースト制御
- 外部インクリメント、自動バースト制御
- 外部インクリメント、外部バースト制御

### 1. 自動インクリメント、自動バースト制御

$t_{\text{INT}}$ と $T_{\text{BURST}}$ の各レジスタの値を使用して、掃引を制御します。AD5930は $T_{\text{BURST}}$ レジスタで設定された時間にわたって各周波数をバーストし、残りのインターバル時間 ( $t_{\text{INT}} - T_{\text{BURST}}$ ) にミッドスケールを出力します。

AD5930をこのモードに設定するには、コントロール・レジスタのCW/BURST (ビットD7) を0、INT/EXT BURST (ビットD6) を0、INT/EXT INCR (ビットD5) を0に設定します。AD5930が連続モードのみで動作する場合は、コントロール・レジスタのビットD7を1に設定してください。

### 2. 外部インクリメント、自動バースト制御

時間インターバル $t_{\text{INT}}$ は、CTRLピンのパルス・レートによって設定されます。このピンが最初に0から1に遷移するときに、掃引が開始します。その後、CTRLピンが0から1に遷移するたびに、 $\Delta f$ レジスタで設定された値だけ出力周波数がインクリメントされます。各インクリメント・インターバルの間に、AD5930は $T_{\text{BURST}}$ レジスタで設定された時間にわたって各周波数を出力し、CTRLピンに再びパルスが加えられるまで、ミッドスケールを出力します。このモードでは、 $T_{\text{BURST}}$ レジスタのD13、D12、D11の各ビットに設定された値が使用されます。

AD5930をこのモードに設定するには、コントロール・レジスタのCW/BURST（ビットD7）を0、INT/EXT BURST（ビットD6）を0、INT/EXT INCR（ビットD5）を1に設定します。AD5930が連続モードのみで動作する場合は、コントロール・レジスタのビットD7を1に設定してください。

### 3. 外部インクリメント、外部バースト制御

インクリメント・インターバル ( $t_{INT}$ ) とバースト・インターバル ( $T_{BURST}$ ) の両方を、CTRLピンによって制御します。CTRLピンが0から1に遷移すると、掃引が開始します。CTRLピンがハイレベルを保持する持続時間によって、AD5930がその周波数をバーストする時間が決まります。CTRLピンのローレベル時間は「リッスン」時間、すなわちAD5930の出力がミッドスケールに維持される時間に相当します。CTRLピンが再びハイレベルに遷移すると、周波数インクリメントが開始され、以後このパターンが続きます。このモードでは、D13、D12、D11の各ビットの設定は無視されます。

AD5930をこのモードに設定するには、コントロール・レジスタのCW/BURST（ビットD7）を0、INT/EXT BURST（ビットD6）を1、INT/EXT INCR（ビットD5）を1に設定します。AD5930が連続モードのみで動作する場合には、コントロール・レジスタのビットD7を1に設定してください。

#### 割込みピン

このピンは、周波数掃引の実行中に割込みとして機能します。このピンのローレベルからハイレベルへの遷移が内部MCLKによってサンプリングされ、これによって内部のステート・マシンがリセットされます。その結果、DACの出力がミッドスケールに設定されます。

#### スタンバイ・ピン

消費電力を最小限に抑えるために、AD5930内部の使用されていない回路部をパワーダウンできます。このパワーダウンは、STANDBYピンを使用して行います。消費電力の節減を最適化するために、AD5930をリセットしてからスタンバイ・モードに設定することを推奨します。これによって、パワーダウン時の消費電流が20 $\mu$ Aに低減されます。

このピンがハイレベルのときに、内部MCLKがデイスエーブルになり、リファレンス、DAC、レギュレータがパワーダウンします。この状態のときには、NCOの累積が停止されるため、AD5930のDAC出力はその時点の値に保持されます。AD5930がスタンバイ・モードを終了して通常の動作モードに復帰すると、MCLKが再びアクティブになり、掃引が続行されます。新しいデータに対応して正しく動作させるためには、コントロール・レジスタに書き込みを行うかINTERRUPTピンを使用してAD5930を内部リセットし、その後再起動することを推奨します。

## AD5930からの出力

AD5930は各種の出力をチップから供給します。アナログ出力はIOUTピンとIOUTBピンから供給され、サイン波出力と三角波出力があります。デジタル出力は、MSBOUTピンとSYNCOUTピンから供給されます。

### アナログ出力

#### サイン波出力

SIN ROMを使用して周波数レジスタからの位相情報を振幅情報に変換すると、出力でサイン波信号が得られます。IOUT/IOUTBピンからサイン波出力を得るには、SINE/TRIビット（ビットD9）を1に設定します。

#### 三角波出力

SIN ROMをバイパスし、NCOからの切り捨てられたデジタル出力をDACに送信できます。この場合、出力はサイン波ではなく、DACは10ビットの直線三角関数を生成します。IOUT/IOUTBピンから三角波出力を得るには、SINE/TRIビット（ビットD9）を0に設定します。IOUT/IOUTBピンを使用するときには、DAC ENABLEビット（D10）を1（DACをイネーブル）に設定してください。

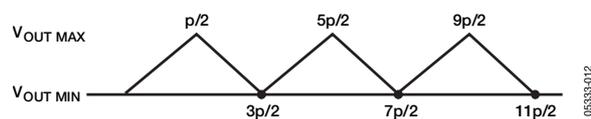


図34. 三角波出力

### デジタル出力

#### MSBOUTからの矩形波出力

NCOからのMSBの反転データをAD5930から出力できます。MSBOUTEN（D8）制御ビットを1に設定すれば、DACのMSB反転データがMSBOUTピンから出力されます。これは、デジタル・クロック源として利用できます。



図35. MSB出力

#### SYNCOUTピン

SYNCOUTピンは、掃引のステータスの通知に使用できます。掃引の終了を通知するか、周波数のインクリメント時に4 $\times$   $T_{CLK}$ のパルスを出力するかを選択できます。鋸歯状波掃引モードと三角波掃引モードのタイミング情報を図6と図7に示しています。

SYNCOUTピンは、使用する前にイネーブルにしておきます。この設定は、コントロール・レジスタのビットD2を使用して行います。その後、コントロール・レジスタのビットD3を使用して、このピンから供給される出力を制御します。詳細については、表5を参照してください。

## アプリケーション

### グラウンディングとレイアウト

AD5930を実装するPCボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれまとめて配置するように設計してください。こうすれば、簡単に分離できるグラウンド・プレーンを使用できるようになります。一般にグラウンド・プレーンのエッチング部分を最小化すると、最適なシールド効果が得られます。デジタルとアナログのグラウンド・プレーンは、必ず1箇所のみで接続してください。AD5930が、AGND~DGND間の接続を必要とする唯一のデバイスである場合は、グラウンド・プレーンをAD5930のAGNDピンとDGNDピンで接続します。AGND~DGND間の接続を必要とするデバイスが複数あるシステムでAD5930を使用する場合も、接続は1箇所で行い、AD5930のできるだけ近くにスター結線してください。

チップにノイズが混入するおそれがあるため、AD5930の下にデジタル・ラインを通さないようにしてください。ノイズの混入を防止するため、アナログ・グラウンド・プレーンはAD5930の下を通します。AD5930の電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を低減させます。クロックなどの高速スイッチング・デジタル信号は、デジタル・グラウンドを用いてシールドしてボード上の他の部分にノイズが拡散しないようにします。デジタル信号とアナログ信号は、できるだけ交差しないようにしてください。ボードの両面のパターンは、互いに直角になるように配置し、ボードを通過するフィードスルーの影響を抑えます。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンをハンダ面に配置するマイクロストリップ技術ですが、2層ボードでは必ずしも使用できるとは限りません。

デカップリングを正しく行うことが重要です。アナログ回路部とデジタル回路部との間のカップリングを最小限に抑えるために、AD5930のアナログ電源とデジタル電源はそれぞれ独立しており、別々のピン配置となっています。すべてのアナログ電源とデジタル電源は、0.1 $\mu$ Fのセラミック・コンデンサと10 $\mu$ Fのタンタル・コンデンサを並列に接続して、それぞれAGNDとDGNDにデカップリングしてください。これらのデカップリング用コンデンサから最高の性能を引き出すには、できるだけデバイスの近く、理想的にはデバイスの直近に配置します。AD5930のAVDDとDVDDの駆動に共通の電源を使用するシステムでは、システムのAVDD電源を使用することを推奨します。この電源では、AD5930のAVDDピンとAGNDの間で推奨のアナログ電源デカップリングを行い、さらにAD5930のDVDDピンとDGNDの間で推奨のデジタル電源デカップリングを行うことが必要です。

コンパレータを正しく動作させるためには、優れたレイアウト手法が必要です。そのためには、グラウンド・プレーンを使用して絶縁力を高めることにより、 $V_{IN}$ とSIGN BIT OUTピン間の寄生容量を最小限に抑える必要があります。たとえば、多層ボードの場合、 $V_{IN}$ 信号を最上層に接続し、SIGN BIT OUTを最下層に接続すれば、電源とグラウンド・プレーンとの間で絶縁が実現できます。

### マイクロプロセッサへのインターフェース

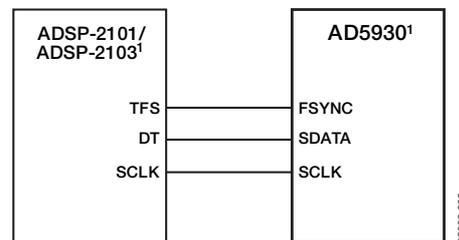
AD5930には標準のシリアル・インターフェースが備わっており、種々のマイクロプロセッサと直接インターフェースをとることができます。デバイスは、外部シリアル・クロックを使用して、データ/制御情報の書込みを行います。シリアル・クロックの最大周波数は40MHzです。シリアル・クロックは、連続させたり、書込み動作と書込み動作の間にアイドル・ハイまたはアイドル・ローにできます。AD5930にデータ/制御情報が書き込まれると、FSYNCがローレベルになり、16ビットのデータがAD5930に書き込まれている間はローレベルに保持されます。FSYNC信号は、AD5930にロードされる16ビットの情報をフレーミングします。

### AD5930とADSP-21xxのインターフェース

図36に、AD5930とADSP-21xxとのシリアル・インターフェースを示します。ADSP-21xxは、SPORT送信オルタネート・フレーミング・モード (TFSW=1) で動作するように設定してください。ADSP-21xxはSPORTコントロール・レジスタを通じてプログラムされます。次のように構成してください。

1. 内部クロック動作 (ISCLK=1)
2. アクティブ・ロー・フレーミング (INVTFS=1)
3. 16ビット・ワード長 (SLEN=15)
4. 内部フレーム同期信号 (ITFS=1)
5. 書込みごとにフレーム同期を生成 (TFSR=1)

SPORTをイネーブルにしてから送信レジスタにワードを書き込むと、送信が開始されます。シリアル・クロックの各立上がりエッジでデータがクロック出力され、SCLKの立下りエッジでデータがAD5930にクロック入力されます。



<sup>1</sup>わかりやすくするために、他のピンは省略しています。

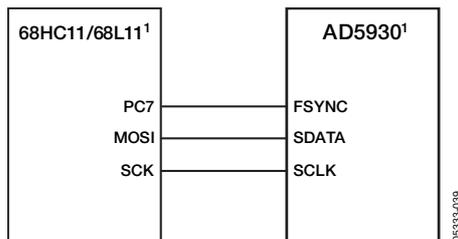
図36. ADSP-2101/ADSP-2103とAD5930のインターフェース

## AD5930と68HC11/68L11のインターフェース

図37に、AD5930と68HC11/68L11マイクロコントローラとのシリアル・インターフェースを示します。マイクロコントローラは、SPCR内のMSTRビットを1に設定してマスターとして構成されています。これによって、SCKにシリアル・クロックが供給され、MOSI出力がシリアル・データ・ラインSDATAを駆動します。マイクロコントローラには専用のフレーム同期ピンがないため、FSYNC信号はポート・ライン（PC7）から生成されます。インターフェースを正しく動作させるためのセットアップ条件は、次のとおりです。

1. 書き込み動作と書き込み動作の間、SCKをアイドル・ハイにする（CPOL=0）
2. SCKの立下がりエッジでデータを有効にする（CPHA=1）

データがAD5930に送信されているときに、FSYNCラインがローレベルになります（PC7）。68HC11/68L11から出力されるシリアル・データは8ビット・バイトで送信され、送信サイクルではクロックの8つの立下がりエッジのみが発生します。データはMSBファーストで送信されます。AD5930にデータをロードするために、最初の8ビットが転送されてからPC7がローレベルに保持され、AD5930に2番目のシリアル書き込み動作が実行されます。FSYNCを再びハイレベルにするのは、2番目の8ビットが転送された後です。



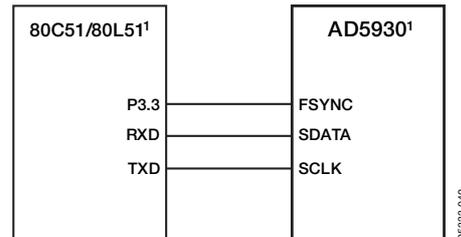
1わかりやすくするために、他のピンは省略しています。

図37. 68HC11/68L11とAD5930のインターフェース

## AD5930と80C51/80L51のインターフェース

図38に、AD5930と80C51/80L51マイクロコントローラとのシリアル・インターフェースを示します。マイクロコントローラはモード0で動作します。これによって、80C51/80L51のTXDがAD5930のSCLKを駆動し、RXDがシリアル・データ・ラインSDATAを駆動します。FSYNC信号は上記と同様に、ポート上のビット・プログラマブル・ピン（図ではP3.3を使用）から生成されます。AD5930にデータを送信するときに、P3.3がローレベルになります。80C51/80L51はデータを8ビット・バイトで送信するため、各サイクルで発生するのはSCLKの8つの立下がりエッジのみです。残りの8ビットをAD5930にロードするために、最初の8ビットが送信されてからP3.3がローレベ

ルに保持され、2番目の書き込みサイクルが開始されて2番目のデータ・バイトが送信されます。P3.3は、2番目の書き込み動作の終了後、ハイレベルになります。2つの書き込み動作の間では、SCLKをアイドル・ハイにしてください。80C51/80L51は、シリアル・データをLSBファーストのフォーマットで出力します。AD5930はMSBファーストでデータを受信する（4MSBは制御情報、次の4ビットはアドレス、8LSBはデステイネーション・レジスタに書き込むときのデータ）ため、80C51/80L51の送信ルーチンではこのことを考慮に入れて、MSBが最初に出力されるようにビットを並べ替える必要があります。

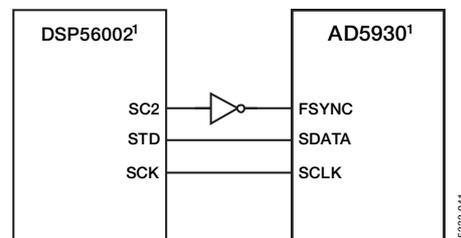


1わかりやすくするために、他のピンは省略しています。

図38. 80C51/80L51とAD5930のインターフェース

## AD5930とDSP56002のインターフェース

図39に、AD5930とDSP56002とのインターフェースを示します。DSP56002は、ゲートド内部クロック（SYN=0、GCK=1、SCKD=1）でノーマル・モードの非同期動作に構成されています。フレーム同期ピンは内部で生成され（SC2=1）、転送は16ビット幅で（WL1=1、WL0=0）、フレーム同期信号で16ビットをフレーミングします（FSL=0）。フレーム同期信号はSC2ピンから出力されますが、AD5930に印加する前に反転する必要があります。DSP56000/DSP56001とのインターフェースは、DSP56002の場合と同様です。



1わかりやすくするために、他のピンは省略しています。

図39. DSP56002とAD5930のインターフェース

## AD5930

### 評価用ボード

AD5930評価用ボードを使用すれば、設計者はわずかな作業で高性能なAD5930 DDS変調器を評価できます。

この評価用ボードは、PCのUSBポートとインターフェースします。USBポートからこのボード全体に電源を供給できます。チップの評価を実施する上で必要なツールは、この評価用ボードのほかに、スペクトラム・アナライザまたはオシロスコープのみです。

DDS評価用キットには、設定とテスト済みのAD5930 PCボードが含まれています。EVAL-AD5930EBキットには、自動インストール・ソフトウェアが収録されたCD-ROMが同梱されています。付属のケーブルを使用してPCを評価用ボードに接続します。ソフトウェアは、Microsoft® Windows® 2000およびWindows XPと互換性があります。

評価用ボードの回路図を図40と図41に示します。

### AD5930評価用ボードの使い方

AD5930評価用キットは、AD5930の評価を簡単に行うために設計されたテスト・システムです。評価用ボードには専用のアプリケーション・ノートも用意され、評価用ボードの操作に関する詳細な情報を提供します。

### プロトタイピング領域

評価用ボードには、ユーザが評価用テスト・セットに回路を追加するための領域があります。ユーザは出力にカスタム設計のアナログ・フィルタを組み込んだり、最終アプリケーションで使用するバッファやオペアンプを追加したりできます。

### XOと外部クロック

AD5930は、最高50MHzのマスター・クロックで動作します。評価用ボードには50MHzの発振器が実装されています。この発振器は取り外すこともでき、必要な場合、外部CMOSクロックをデバイスに接続することも可能です。

回路図

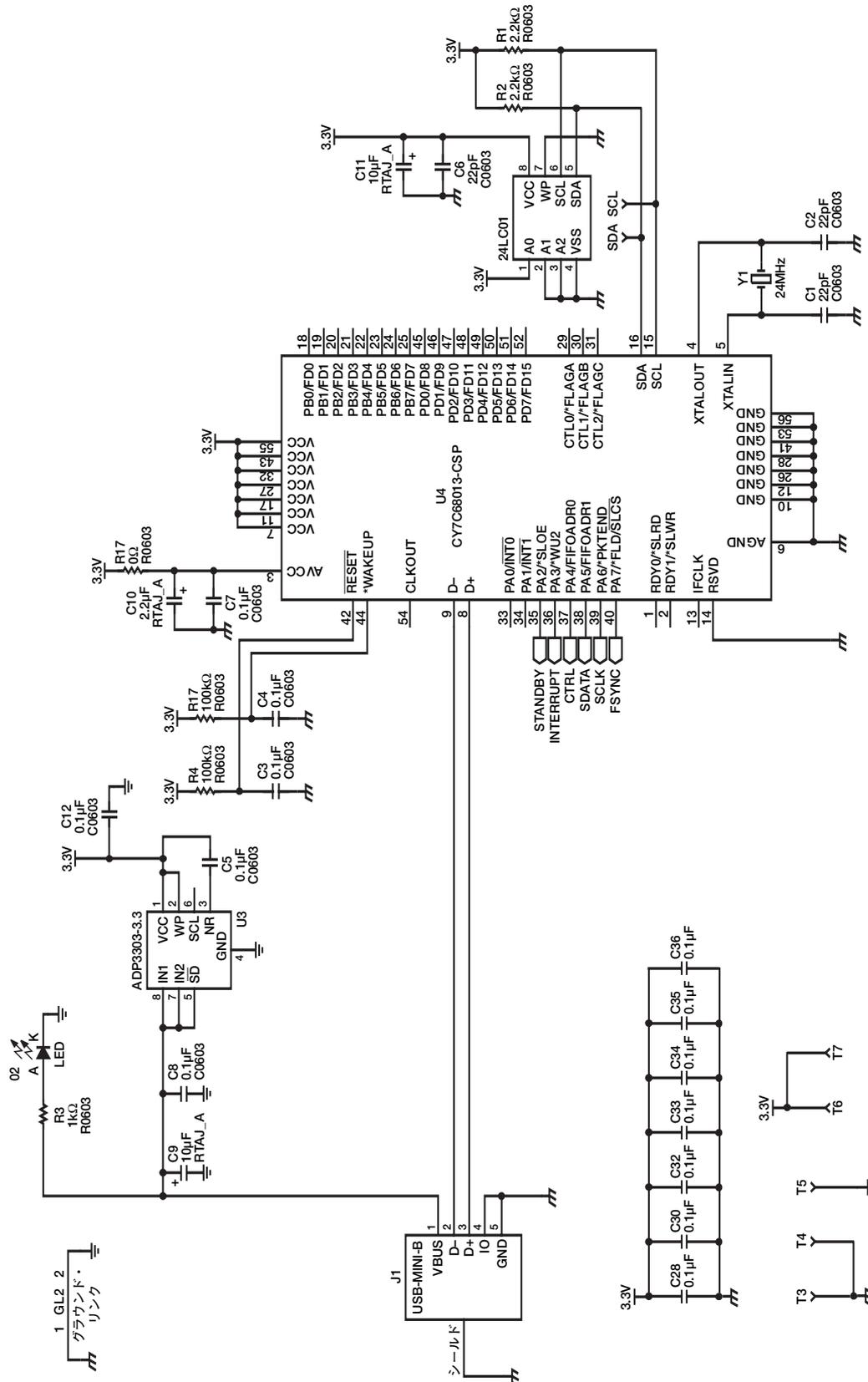


図40. EVAL-AD5930EBの回路図 (ページ1)

05335-023

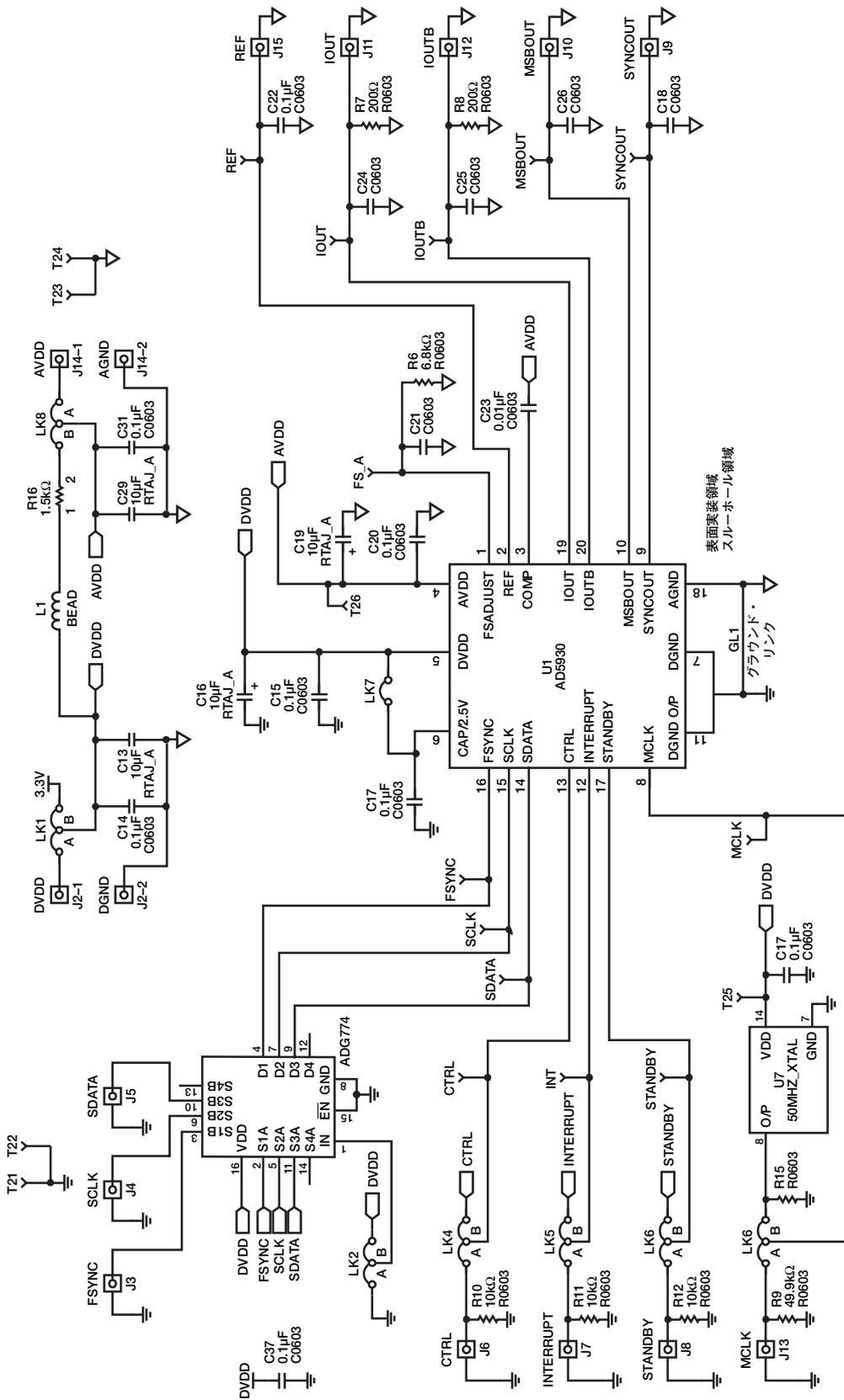
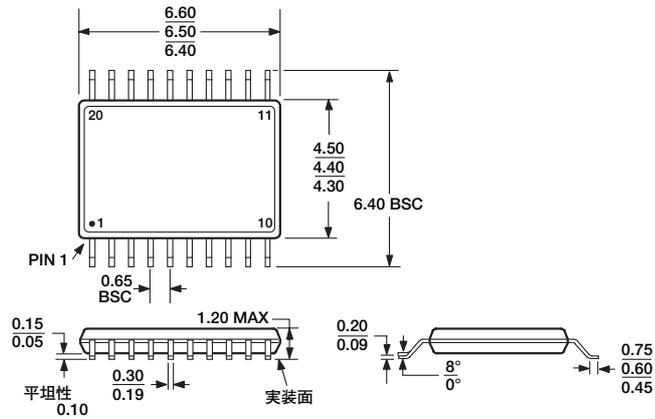


図41. EVAL-AD5930EBの回路図 (ページ2)

05333-024

## 外形寸法



JEDEC規格MO-153-ACに準拠

図42. 20ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]  
(RU-20)  
寸法単位：mm

## オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD5930YRUZ <sup>1</sup>	-40～+105℃	20ピン薄型シュリンク・スモール・アウトライン・パッケージ (TSSOP)	RU-20
AD5930YRUZ-REEL7 <sup>1</sup>	-40～+105℃	20ピン薄型シュリンク・スモール・アウトライン・パッケージ (TSSOP)	RU-20
EVAL-AD5930EB		評価用ボード	

<sup>1</sup> Z=鉛フリー製品