正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2010 年 1 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2011 年 04 月 18 日
製品名：AD5724/AD5734/AD5754
対象となるデータシートのリビジョン(Rev)：Rev.0
訂正箇所：
P.21

日本語データシートの **AD5724/AD5734/AD5754** の設定の部分で「電源を AD5724/AD5734/ AD5754 に加えると、パワーオン・リセット回路により、すべてのレジスタがデフォルトの 0 に設定されます。」と記述がありますが、正しくは「電源を AD5724/AD5734/ AD5754 に加えると、コントロールレジスタの CLAMP ENABLE ビットはパワーオン･リセットにより“1”にセットされます。」です。

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1
ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー
電話 06（6350）6868

シリアル入力ユニポーラ/バイポーラ電圧出力 12/14/16ビット・クワッド DAC

AD5724/AD5734/AD5754

特長

12/14/16 ビットのクワッド D/A コンバータ(DAC)
単電源および両電源で動作
出力範囲がソフトウェアから設定可能
+5 V、+10 V、+10.8 V、±5 V、±10 V、±10.8 V
INL 誤差:最大±16 LSB、DNL 誤差:最大±1 LSB
総合未調整誤差(TUE):最大 0.1% FSR
セトリング・タイム: 10 µs (typ)
リファレンス電圧バッファを内蔵
パワーアップ/ブローンアウト時の出力制御
$\overline{\text{LDAC}}$による同時更新
ゼロ・スケールまたはミッドスケールへの非同期$\overline{\text{CLR}}$
DSP/マイクロコントローラ互換のシリアル・インターフェース
24 ピン TSSOP を採用
動作温度範囲: −40°C～+85°C
*i*CMOS プロセス技術を採用 [1]

アプリケーション

工業用オートメーション
クローズド・ループ・サーボ制御、プロセス制御
車両のテストおよび測定
プログラマブルなロジック・コントローラ

概要

AD5724/AD5734/AD5754 は、12/14/16 ビットのシリアル入力クワッド電圧出力 D/A コンバータです。これらのデバイスは、+4.5 V～+16.5 V の単電源電圧または±4.5 V～±16.5 V の両電源電圧で動作します。公称フル・スケール出力範囲は、+5 V、+10 V、+10.8 V、±5 V、±10 V、または±10.8 V にソフトウェアから設定することができます。また、出力アンプ、リファレンス電圧バッファ、当社独自のパワーアップ/パワーダウン制御回路も内蔵しています。

単調性、最大±16 LSB の積分非直線性(INL)、ローノイズ、最大 10 µs のセトリング・タイムを保証しています。

AD5724/AD5734/AD5754 は、最大 30 MHz のクロック・レートで動作し、DSP およびマイクロコントローラ・インターフェース規格と互換性を持つシリアル・インターフェースを採用しています。ダブル・バッファリングの採用により、同時に全 DAC の更新が可能です。入力コーディングは、バイポーラ出力に対しては 2 の補数またはオフセット・バイナリ(BIN/$\overline{\text{2sComp}}$ピンの状態で指定)を、ユニポーラ出力に対してはストレート・バイナリを、それぞれ選択することができます。非同期クリア機能により、すべての DAC レジスタをゼロ・スケールまたはミッドスケール出力にクリアすることができます。このデバイスは 24 ピン TSSOP パッケージを採用し、−40°C～+85°C の工業温度範囲で仕様を保証します。

機能ブロック図

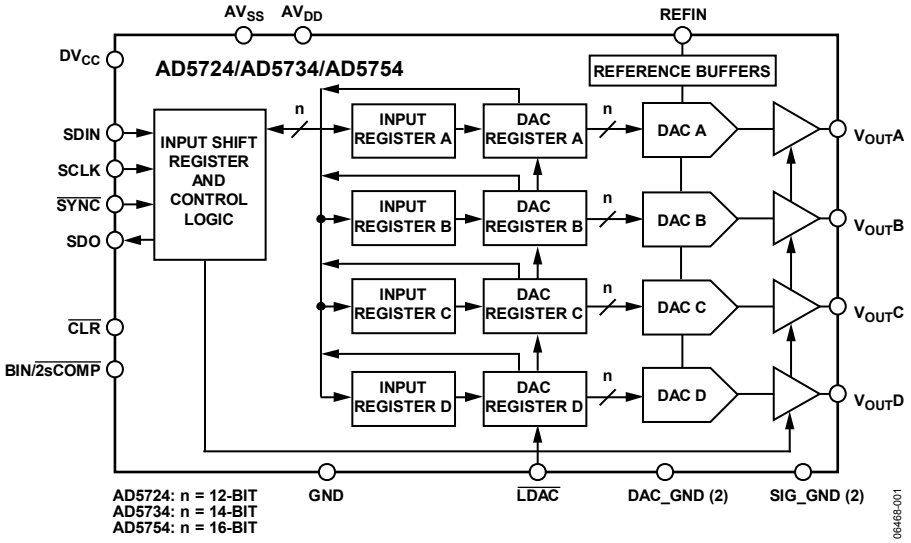


図 1.

[1] 高い電圧レベルで高性能ICを必要とする工業用/計装装置OEMのアナログ・システム設計者にとって、*i*CMOS®は耐圧30 Vで±15 V電源で動作し、かつ消費電力とパッケージ・サイズを大幅に小さくし、AC性能とDC性能を強化したアナログICの開発を可能にする技術プラットフォームになります。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1　ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36　新大阪 MT ビル 2 号
電話 06（6350）6868

目次

特長 1
アプリケーション 1
概要 1
機能ブロック図 1
改訂履歴 2
仕様 3
AC 性能特性 5
タイミング特性 5
タイミング図 6
絶対最大定格 8
ESD の注意 8
ピン配置およびピン機能説明 9
代表的な性能特性 11
用語 17
動作原理 19
アーキテクチャ 19
シリアル・インターフェース 19
ロード DAC ($\overline{\text{LDAC}}$) 21
非同期クリア($\overline{\text{CLR}}$) 21
AD5724/AD5734/AD5754 の設定 21
伝達関数 21
入力シフトレジスタ 25
DAC レジスタ 25
出力範囲選択レジスタ 26
コントロール・レジスタ 26
電源コントロール・レジスタ 27
特長 28
アナログ出力制御 28
パワーダウン・モード 28
過電流保護 28
サーマル・シャットダウン 28
アプリケーション情報 29
+5 V/±5 V 動作 29
レイアウトのガイドライン 29
電流絶縁型インターフェース 29
リファレンス電圧の選択 29
マイクロプロセッサ・インターフェース 30
外形寸法 31
オーダー・ガイド 31

改訂履歴

8/08—Revision 0: Initial Version

仕様

AV_{DD} = 4.5 V[1]～16.5 V、AV_{SS} = −4.5 V～−16.5 V または 0 V、GND = 0 V、REFIN= 2.5 V、DV_{CC} = 2.7 V～5.5 V、R_{LOAD} = 2 kΩ、C_{LOAD} = 200 pF、すべての仕様は T_{MIN}～T_{MAX}。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ACCURACY					Outputs unloaded
Resolution					
AD5754	16			Bits	
AD5734	14			Bits	
AD5724	12			Bits	
Total Unadjusted Error (TUE)					
A Version	−0.3		+0.3	% FSR	
B Version	−0.1		+0.1	% FSR	
Relative Accuracy (INL)[2]					
AD5754	−16		+16	LSB	
AD5734	−4		+4	LSB	
AD5724	−1		+1	LSB	
Differential Nonlinearity (DNL)	−1		+1	LSB	All models, all versions, guaranteed monotonic
Bipolar Zero Error	−6		+6	mV	T_A = 25°C, error at other temperatures obtained using bipolar zero error TC
Bipolar Zero Error TC[3]		±4		ppm FSR/°C	
Zero-Scale Error	−6		6	mV	T_A = 25°C, error at other temperatures obtained using zero-scale error TC
Zero-Scale Error TC[3]		±4		ppm FSR/°C	
Offset Error	−6		+6	mV	T_A = 25°C, error at other temperatures obtained using offset error TC
Offset Error TC[3]		±4		ppm FSR/°C	
Gain Error	−0.025		+0.025	% FSR	±10 Vrange, T_A = 25°C, error at other temperatures obtained using gain error TC
Gain Error[3]	−0.065		0	% FSR	+10 V and +5 Vranges, T_A = 25°C, error at other temperatures obtained using gain error TC
Gain Error[3]	0		+0.08	% FSR	±5 Vrange, T_A = 25°C, error at other temperatures obtained using gain error TC
Gain Error TC[3]		±8		ppm FSR/°C	
DC Crosstalk[3]			120	µV	
REFERENCE INPUT[3]					
Reference Input Voltage		2.5		V	±1% for specified performance
DC Input Impedance	1	5		MΩ	
Input Current	−2	±0.5	+2	µA	
Referencerange	2		3	V	
OUTPUT CHARACTERISTICS[3]					
Output Voltagerange	−10.8		+10.8	V	AV_{DD}/AV_{SS} = ±11.7 V min, REFIN = +2.5 V
	−12		+12	V	AV_{DD}/AV_{SS} = ±12.9 V min, REFIN = +3 V
Headroom Required		0.5	0.9	V	
Output Voltage TC		±4		ppm FSR/°C	
Short-Circuit Current		20		mA	
Load	2			kΩ	For specified performance
Capacitive Load Stability			4000	pF	
DC Output Impedance		0.5		Ω	
DIGITAL INPUTS[3]					DV_{CC} = 2.7 V to 5.5 V, JEDEC compliant
Input High Voltage, V_{IH}	2			V	
Input Low Voltage, V_{IL}			0.8	V	
Input Current			±1	µA	Per pin
Pin Capacitance		5		pF	Per pin
DIGITAL OUTPUTS (SDO)[3]					
Output Low Voltage, V_{OL}			0.4	V	DV_{CC} = 5 V ± 10%, sinking 200 µA

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Output High Voltage, V_{OH}	DV_{CC} − 1			V	DV_{CC} = 5 V ± 10%, sourcing 200 µA
Output Low Voltage, V_{OL}			0.4	V	DV_{CC} = 2.7 V to 3.6 V, sinking 200 µA
Output High Voltage, V_{OH}	DV_{CC} − 0.5			V	DV_{CC} = 2.7 V to 3.6 V, sourcing 200 µA
High Impedance Leakage Current	−1		+1	µA	
High Impedance Output Capacitance		5		pF	
POWER REQUIREMENTS					
AV_{DD}	4.5		16.5	V	
AV_{SS}	−4.5		−16.5	V	
DV_{CC}	2.7		5.5	V	
Power Supply Sensitivity[3]					
$\Delta V_{OUT}/\Delta AV_{DD}$		−65		dB	
AI_{DD}			2.5	mA/channel	Outputs unloaded
			1.75	mA/channel	AV_{SS} = 0 V, outputs unloaded
AI_{SS}			2.2	mA/channel	Outputs unloaded
DI_{CC}		0.5	3	µA	$V_{IH} = DV_{CC}$, V_{IL} = GND
Power Dissipation		310		mW	±16.5 V operation, outputs unloaded
		115		mW	16.5 V operation, AV_{SS} = 0 V, outputs unloaded
Power-Down Currents					
AI_{DD}		40		µA	
AI_{SS}		40		µA	
DI_{CC}		300		nA	

[1] 規定性能に対して、最大ヘッドルーム条件は 0.9 V。

[2] AD5754、AD5734、AD5724 の INL は、それぞれコード 512、コード 128、コード 32 から測定。

[3] 設計上保証しますが、出荷テストは行いません。

AC 性能特性

AV_{DD} = 4.5 V[1]～16.5 V、AV_{SS} = −4.5 V～−16.5 Vまたは0 V、GND = 0 V、REFIN= 2.5 V、DV_{CC} = 2.7 V～5.5 V、R_{LOAD} = 2 kΩ、C_{LOAD} = 200 pF、すべての仕様はT_{MIN}～T_{MAX}。

表 2.

Parameter[2]	A, B Version Min	Typ	Max	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE					
Output Voltage Settling Time		10	12	µs	20 V step to ±0.03% FSR
		7.5	8.5	µs	10 V step to ±0.03% FSR
			5	µs	512 LSB step settling (16-bit resolution)
Slew Rate		3.5		V/µs	
Digital-to-Analog Glitch Energy		13		nV-sec	
Glitch Impulse Peak Amplitude		35		mV	
Digital Crosstalk		10		nV-sec	
DAC-to-DAC Crosstalk		10		nV-sec	
Digital Feedthrough		0.6		nV-sec	
Output Noise					
0.1 Hz to 10 Hz Bandwidth)		15		µV p-p	0x8000 DAC code
100 kHz Bandwidth		80		µV rms	
Output Noise Spectral Density		320		nV/√Hz	Measured at 10 kHz, 0x8000 DAC code

[1] 規定性能に対して、最大ヘッドルーム条件は 0.9 V。

[2] デザインとキャラクタライゼーションにより保証します。出荷テストは実施しません。

タイミング特性

特に指定がない限り、AV_{DD} = 4.5 V～16.5 V、AV_{SS} = −4.5 V～−16.5 Vまたは0 V、GND = 0 V、REFIN= 2.5 V、DV_{CC} = 2.7 V～5.5 V、R_{LOAD} = 2 kΩ、C_{LOAD} = 200 pF、すべての仕様はT_{MIN}～T_{MAX}。

表 3.

Parameter[1, 2, 3]	Limit at t_{MIN}, t_{MAX}	Unit	Description
t_1	33	ns min	SCLK cycle time
t_2	13	ns min	SCLK high time
t_3	13	ns min	SCLK low time
t_4	13	ns min	$\overline{SYNC}$ falling edge to SCLK falling edge setup time
t_5	13	ns min	SCLK falling edge to $\overline{SYNC}$ rising edge
t_6	100	ns min	Minimum $\overline{SYNC}$ high time (write mode)
t_7	5	ns min	Data setup time
t_8	0	ns min	Data hold time
t_9	20	ns min	$\overline{LDAC}$ falling edge to $\overline{SYNC}$ falling edge
t_{10}	20	ns min	$\overline{SYNC}$ rising edge to $\overline{LDAC}$ falling edge
t_{11}	20	ns min	$\overline{LDAC}$ pulse width low
t_{12}	10	µs typ	DAC output settling time
t_{13}	20	ns min	$\overline{CLR}$ pulse width low
t_{14}	2.5	µs max	$\overline{CLR}$ pulse activation time
t_{15}[4]	13	ns min	$\overline{SYNC}$ rising edge to SCLK rising edge
t_{16}	40	ns max	SCLK rising edge to SDO valid ($C_{L\ SDO}$[5] = 15 pF)
t_{17}	200	ns min	Minimum $\overline{SYNC}$ high time (readback/daisy-chain mode)

[1] 設計上保証しますが、出荷テストは行いません。

[2] すべての入力信号は $t_R = t_F$ = 5 ns (DV_{CC} の 10%から 90%)で規定し、1.2 V の電圧レベルからの時間とします。

[3] 図 2、図 3、図 4 を参照してください。

[4] ディジーチェーン・モードとリードバック・モード。

[5] $C_{L\ SDO}$ =SDO 出力の負荷容量。

タイミング図

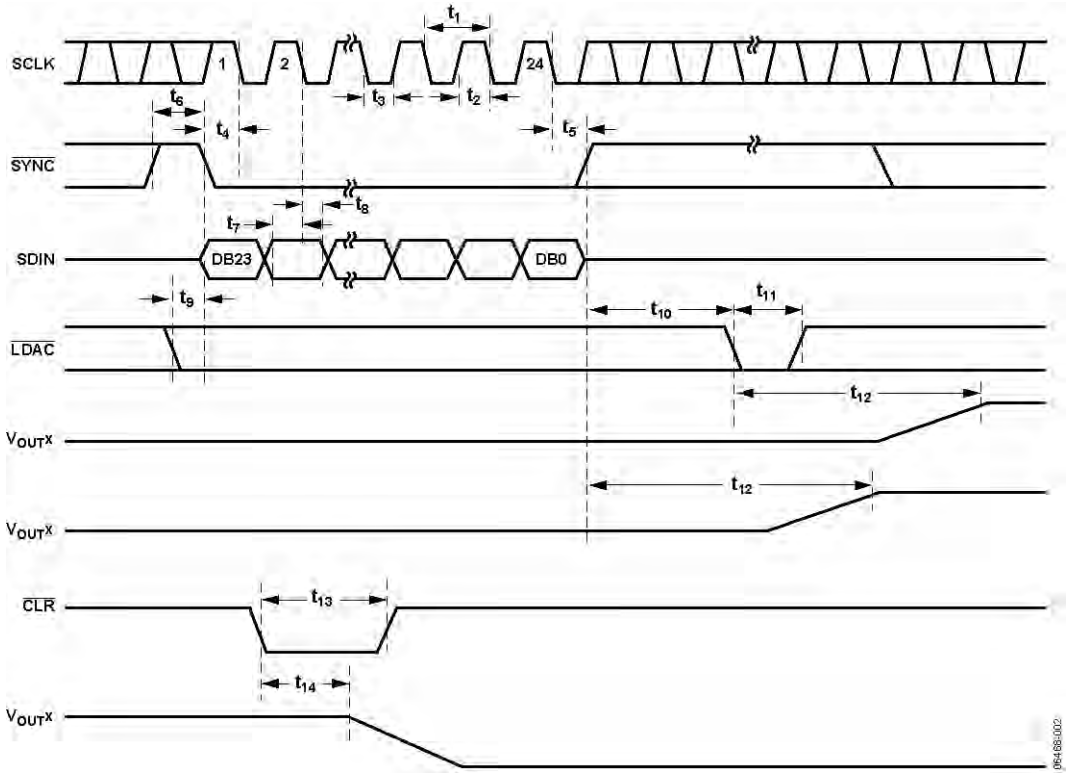


図 2.シリアル・インターフェースのタイミング図

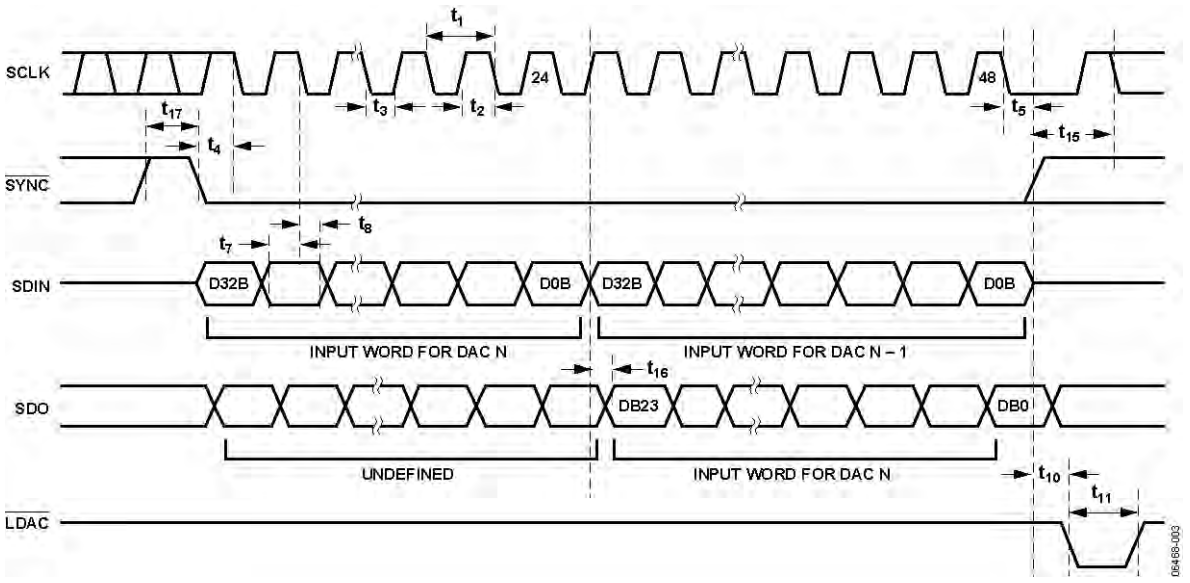


図 3.ディジーチェーン・タイミング図

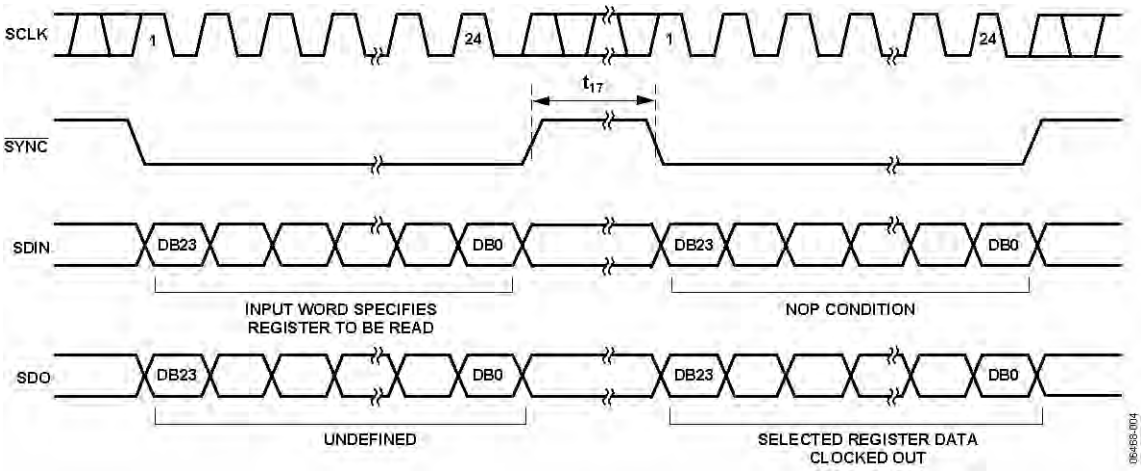


図 4.リードバック・タイミング図

絶対最大定格

特に指定のない限り、T_A = 25℃。最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

表 4.

Parameter	Rating
AV_{DD} to GND	−0.3 V to +17 V
AV_{SS} to GND	+0.3 V to −17 V
DV_{CC} to GND	−0.3 V to +7 V
Digital Inputs to GND	−0.3 V to DV_{CC} + 0.3 V or 7 V (whichever is less)
Digital Outputs to GND	−0.3 V to DV_{CC} + 0.3 V or 7 V (whichever is less)
REFIN to GND	−0.3 V to +5 V
$V_{OUT}A$, $V_{OUT}B$, $V_{OUT}C$, $V_{OUT}D$ to GND	AV_{SS} to AV_{DD}
DAC_GND to GND	−0.3 V to +0.3 V
SIG_GND to GND	−0.3 V to +0.3 V
Operating Temperature range, T_A	
Industrial	−40°C to +85°C
Storage Temperature range	−65°C to +150°C
Junction Temperature, T_J max	105°C
24-Lead TSSOP Package	
θ_{JA} Thermal Impedance	42°C/W
θ_{JC} Thermal Impedance	9°C/W
Power Dissipation	$(T_J \text{ max} - T_A)/ \theta_{JA}$
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020
ESD (Human Body Model)	3.5 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

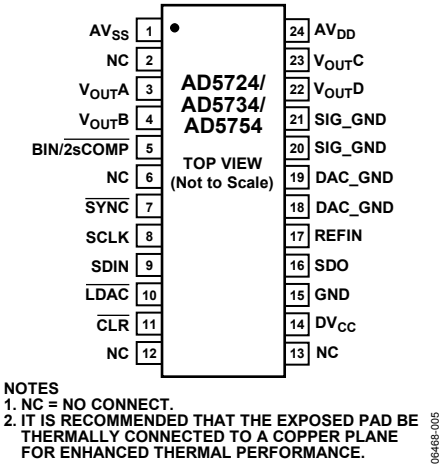


図 5.ピン配置

表 5.ピン機能の説明

ピン番号	記号	説明
1	AV_{SS}	負のアナログ電源。電圧範囲は−4.5 V～−16.5 V。出力範囲がユニポーラの場合、このピンは 0 V に接続できます。
2、6、12、13	NC	これらのピンは接続しないでください。
3	$V_{OUT}A$	DAC A からのアナログ出力電圧。出力アンプは、グラウンドへ接続した 2 kΩ、4000 pF の負荷を駆動することができます。
4	$V_{OUT}B$	DAC B からのアナログ出力電圧。出力アンプは、グラウンドへ接続した 2 kΩ、4000 pF の負荷を駆動することができます。
5	BIN/$\overline{2sCOMP}$	バイポーラ出力範囲の DAC コーディングを指定。このピンは、DV_{CC} または GND へ固定接続する必要があります。DV_{CC} へ接続すると、入力コーディングはオフセット・バイナリになります。GND へ接続すると、入力コーディングは 2 の補数になります。(ユニポーラ出力範囲の場合、コーディングは常にストレート・バイナリになります)。
7	$\overline{SYNC}$	アクティブ・ローの入力。これは、シリアル・インターフェースのフレーム同期信号です。$\overline{SYNC}$がロー・レベルのとき、データは SCLK の立ち下がりエッジで転送されます。データは、$\overline{SYNC}$の立ち上がりエッジでラッチされます。
8	SCLK	シリアル・データ入力。データは、SCLK の立ち下がりエッジでシフトレジスタに入力されます。最大 30 MHz のクロック速度で動作します。
9	SDIN	シリアル・データ入力。データは、SCLK の立ち下がりエッジで有効である必要があります。
10	$\overline{LDAC}$	ロード DAC、ロジック入力。DAC レジスタの更新に使われ、DAC レジスタが更新されるとアナログ出力が変化します。このピンをロー・レベルに固定すると、アドレス指定された DAC レジスタが$\overline{SYNC}$の立ち上がりエッジで更新されます。書込みサイクルで$\overline{LDAC}$をハイ・レベルにすると、DAC 入力レジスタが更新されますが、出力の更新は$\overline{LDAC}$の立ち下がりエッジまで待たされます。このモードでは、$\overline{LDAC}$の立ち下がりエッジで、すべてのアナログ出力を同時に更新することができます。 $\overline{LDAC}$ピンは解放のままにしないでください。
11	$\overline{CLR}$	アクティブ・ローの入力。このピンをアサートすると、DAC レジスタがゼロ・スケール・コードまたはミッドスケール・コード(ユーザー指定可能)に設定されます。
14	DV_{CC}	デジタル電源。電圧範囲は 2.7 V～5.5 V。
15	GND	グラウンド基準。
16	SDO	シリアル・データ出力。ディジーチェーン・モードまたはリードバック・モードでシリアル・レジスタからのデータを駆動するときに使います。データは SCLK の立ち上がりエッジで出力され、SCLK の立ち下がりエッジで有効。
17	REFIN	外部リファレンス電圧入力。リファレンス電圧入力範囲は 2 V～3 V。規定性能に対しては REFIN = 2.5 V。
18、19	DAC_GND	4 個の D/A コンバータのグラウンド基準電圧。
20、21	SIG_GND	4 個の出力アンプのグラウンド基準電圧。
22	$V_{OUT}D$	DAC D からのアナログ出力電圧。出力アンプは、グラウンドへ接続した 2 kΩ、4000 pF の負荷を駆動することができます。
23	$V_{OUT}C$	DAC C からのアナログ出力電圧。出力アンプは、グラウンドへ接続した 2 kΩ、4000 pF の負荷を駆動することが

		できます。
24	AV_{DD}	正のアナログ電源。電圧範囲は 4.5 V～16.5 V。
露出パドル	AV_{SS}	負のアナログ電源接続。電圧範囲は-4.5 V～-16.5 V。出力範囲がユニポーラの場合、このパドルは 0 V に接続できます。電源接続が AV_{SS} ピンで行われる場合は、このパドルを電気的に接続しないでおくことができます。熱性能強化のために、パドルを銅プレーンへ熱的に接続することが推奨されます。

代表的な性能特性

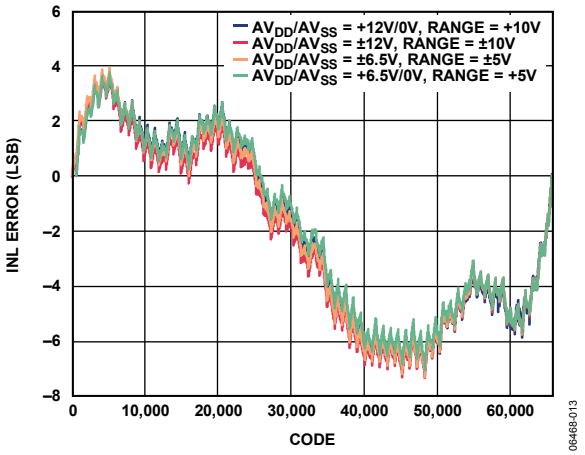


図 6.AD5754 積分非直線性誤差対コード

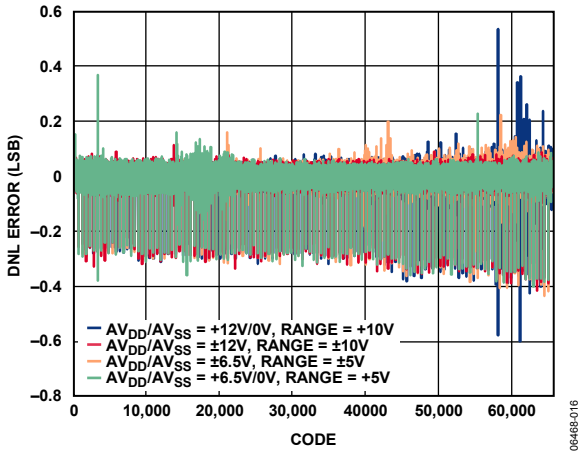


図 9.AD5754 差動非直線性誤差対コード

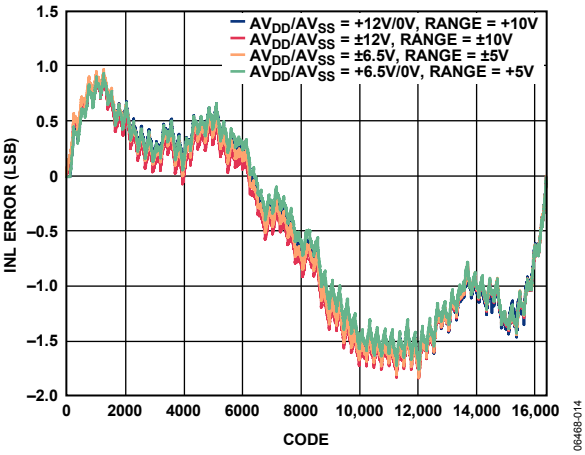


図 7.AD5734 積分非直線性誤差対コード

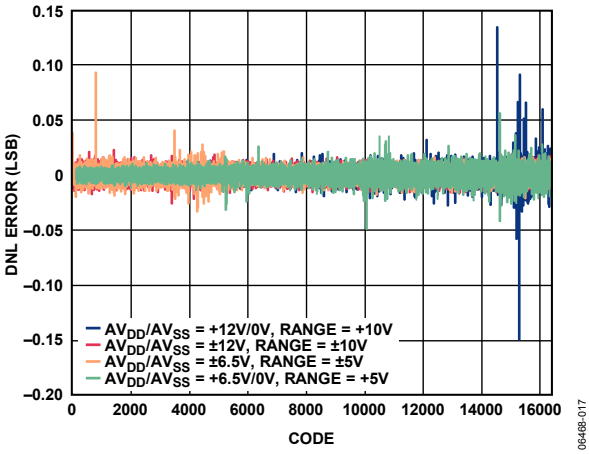


図 10.AD5734 差動非直線性誤差対コード

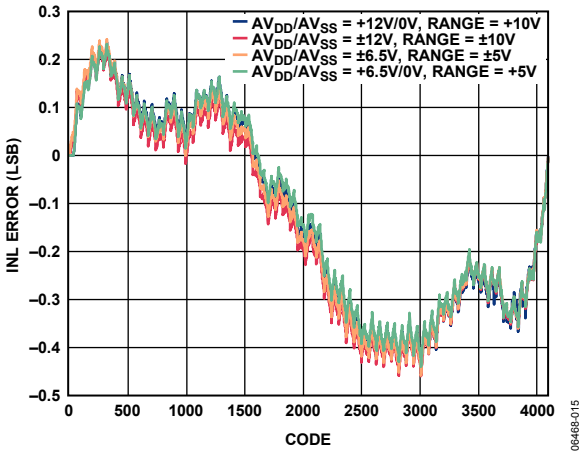


図 8.AD5724 積分非直線性誤差対コード

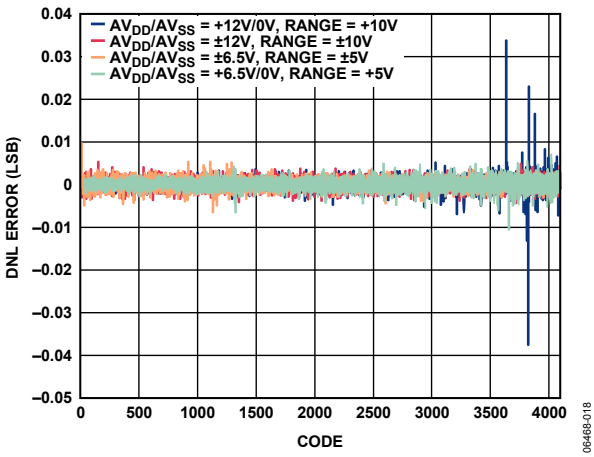


図 11.AD5724 差動非直線性誤差対コード

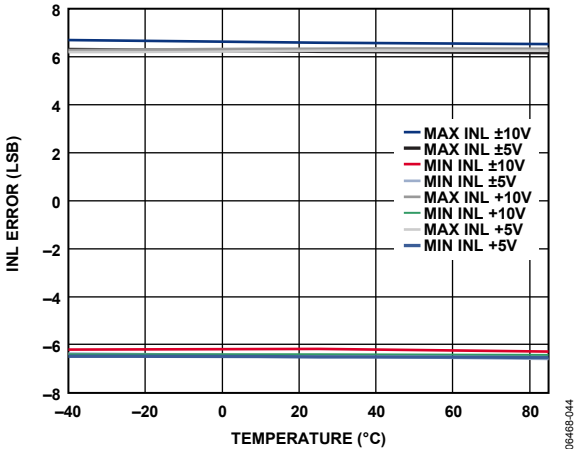


図 12.AD5754 積分非直線性誤差の温度特性

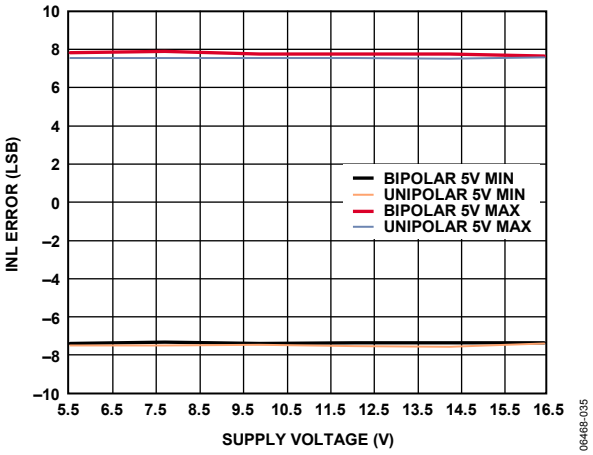


図 15.AD5754 積分非直線性誤差対電源電圧

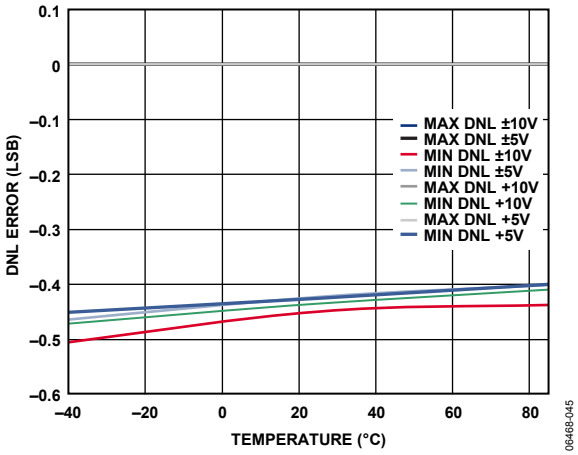


図 13.AD5754 差動非直線性誤差の温度特性

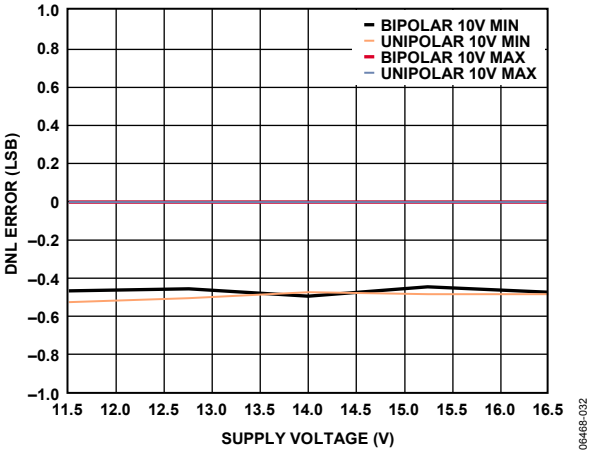


図 16.AD5754 差動非直線性誤差対電源電圧

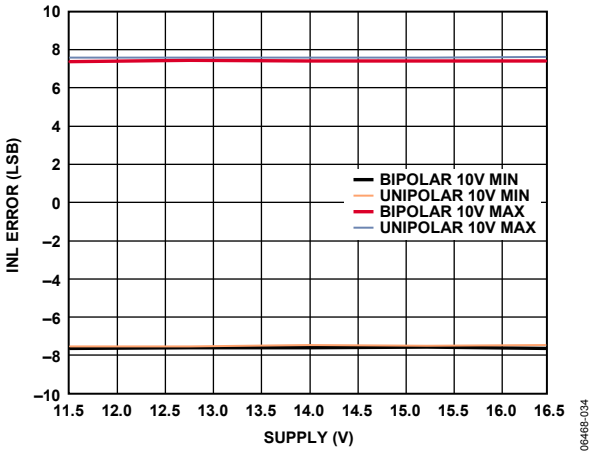


図 14.AD5754 積分非直線性誤差対電源電圧

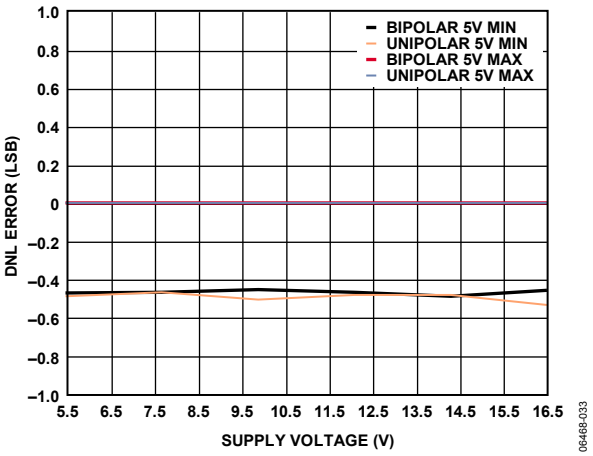


図 17.AD5754 差動非直線性誤差対電源電圧

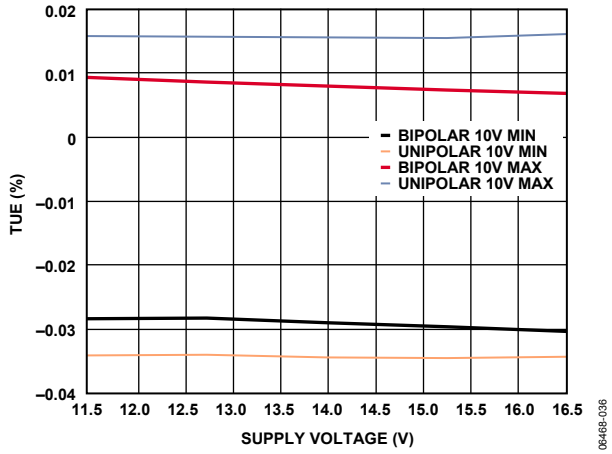


図 18.AD5754 総合未調整誤差対電源電圧

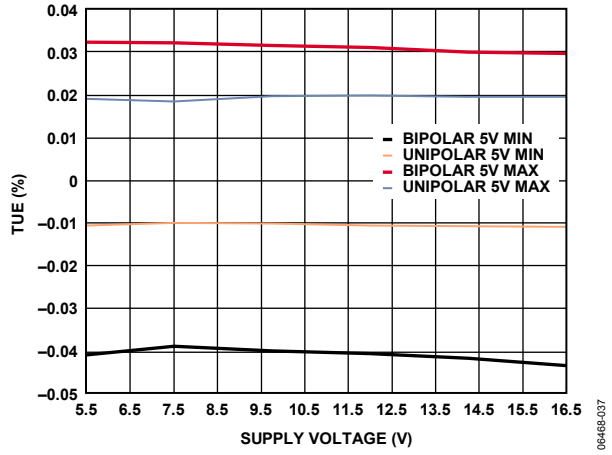


図 19.AD5754 総合未調整誤差対電源電圧

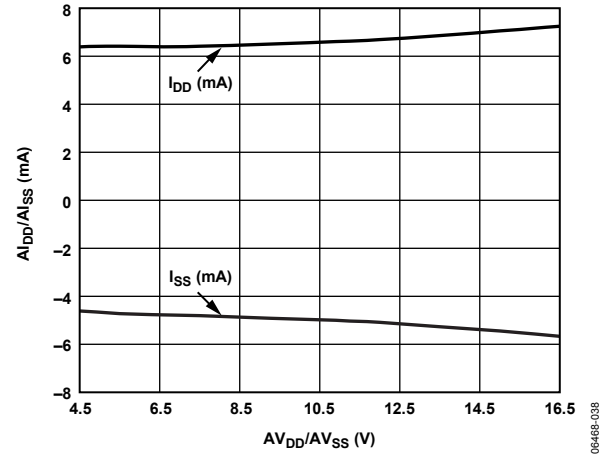


図 20.電源電流対電源電圧(両電源)

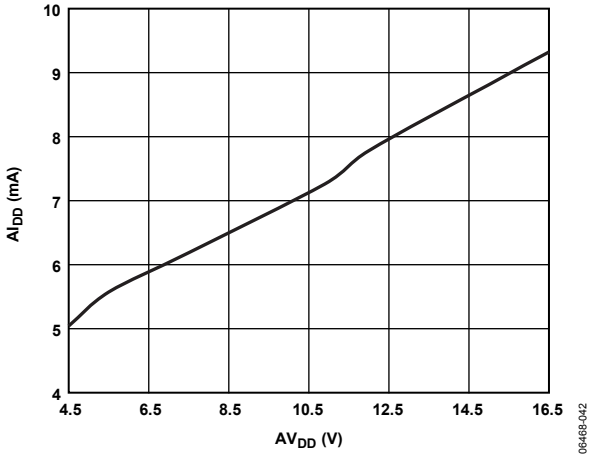


図 21.電源電流対電源電圧(単電源)

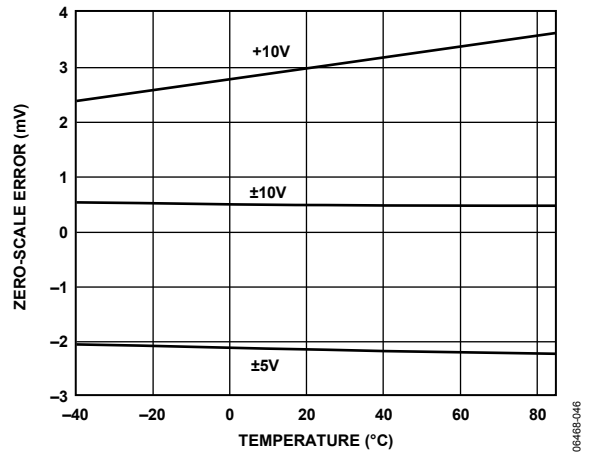


図 22.ゼロ・スケール誤差の温度特性

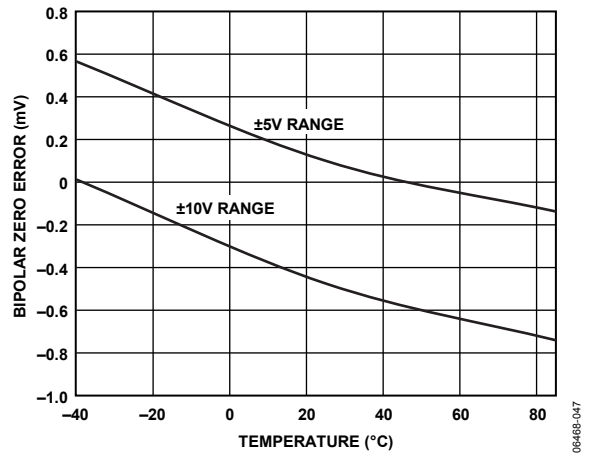


図 23.バイポーラ・ゼロ誤差の温度特性

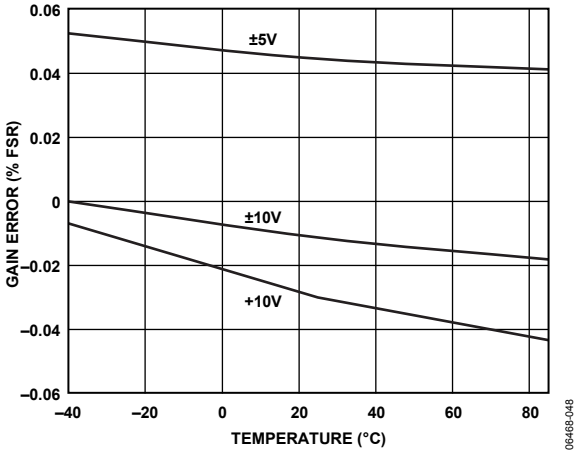


図 24.ゲイン誤差の温度特性

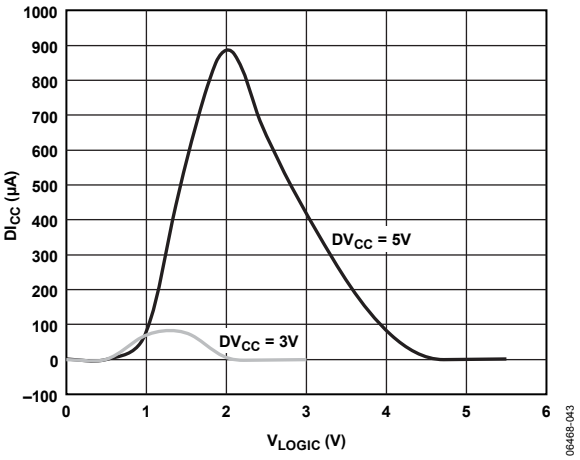


図 25.デジタル電流対ロジック入力電圧

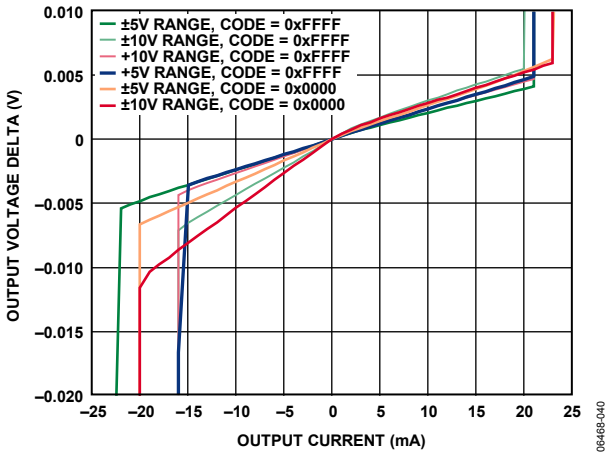


図 26.出力ソース/シンク能力

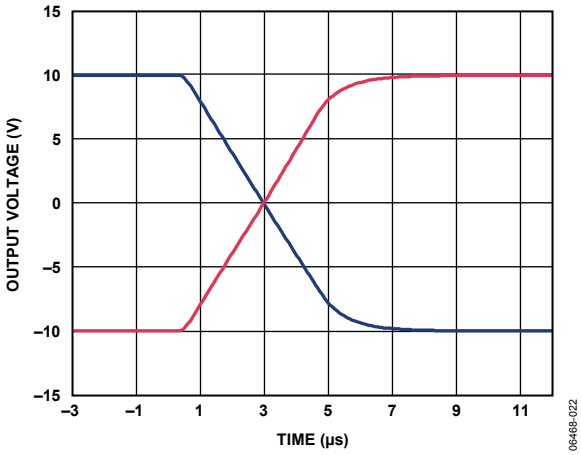


図 27.フル・スケール・セトリング・タイム、±10 V レンジ

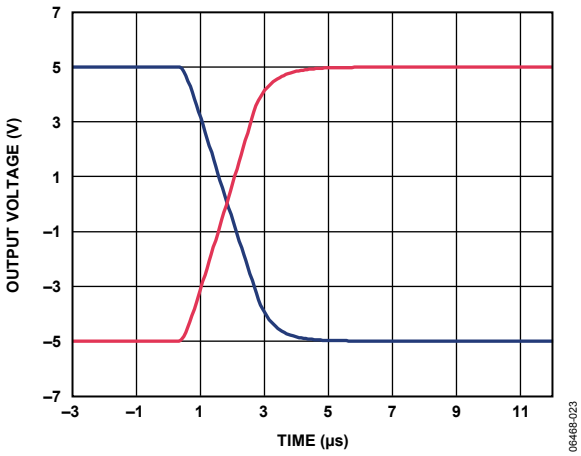


図 28.フル・スケール・セトリング・タイム、±5 V レンジ

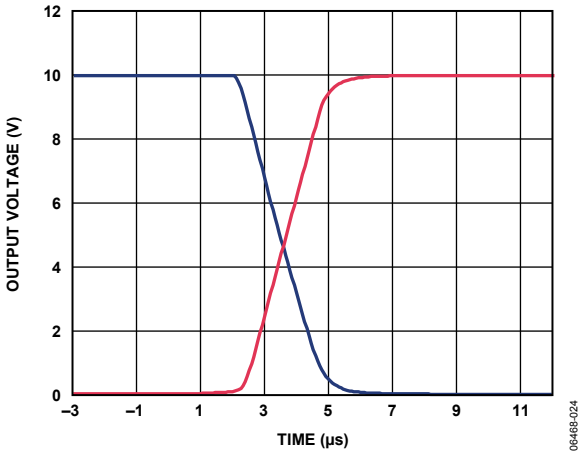


図 29.フル・スケール・セトリング・タイム、+10 V レンジ

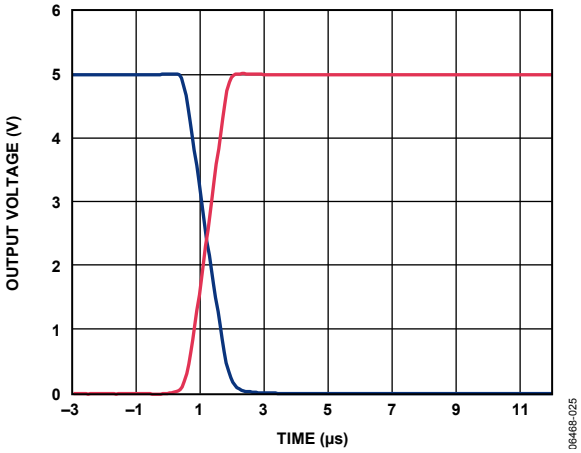


図 30.フル・スケール・セトリング・タイム、+5 V レンジ

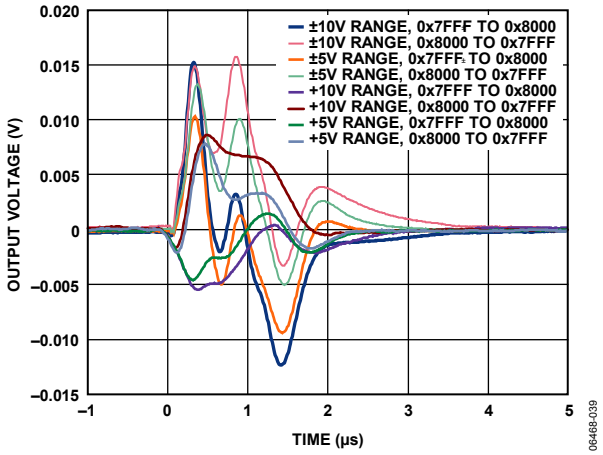


図 31.デジタル/アナログ・グリッチ・エネルギ

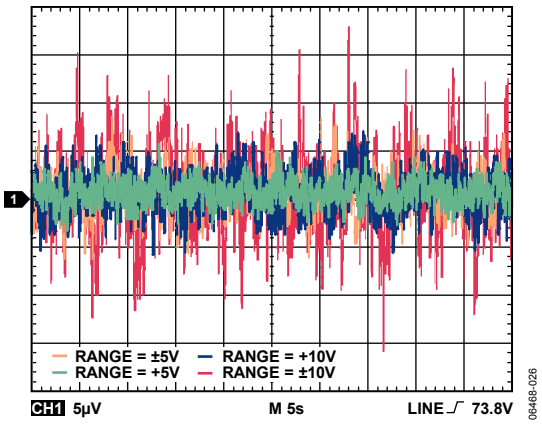


図 32.ピーク to ピーク・ノイズ、0.1 Hz～10 Hz 帯域幅

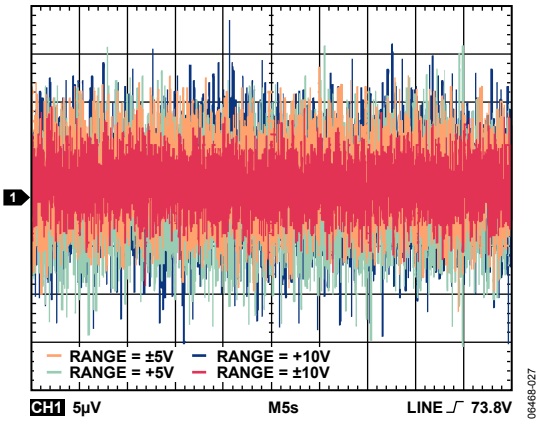


図 33.ピーク to ピーク・ノイズ、100 kHz 帯域幅

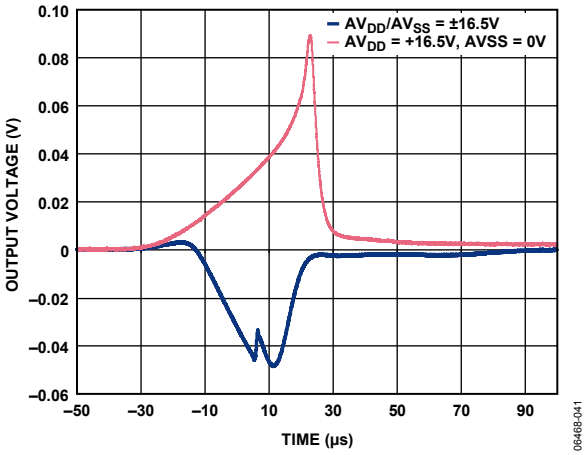


図 34.パワーアップ時の出力グリッチ

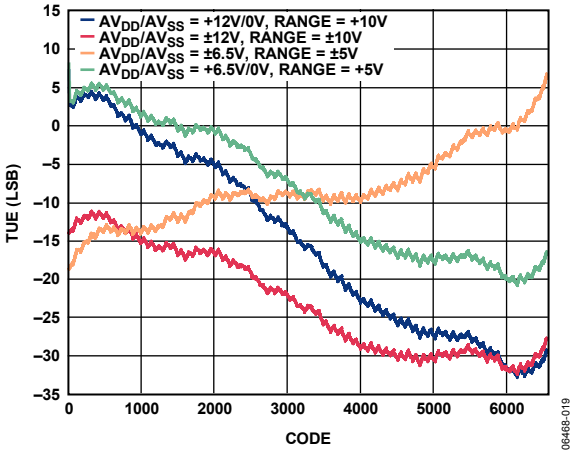


図 35.AD5754 総合未調整誤差対コード

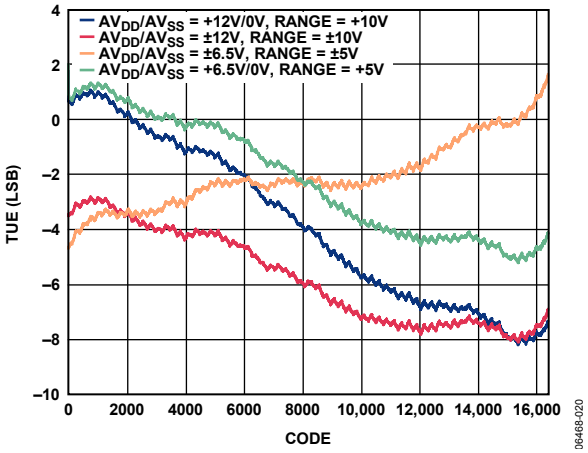


図 36.AD5734 総合未調整誤差対コード

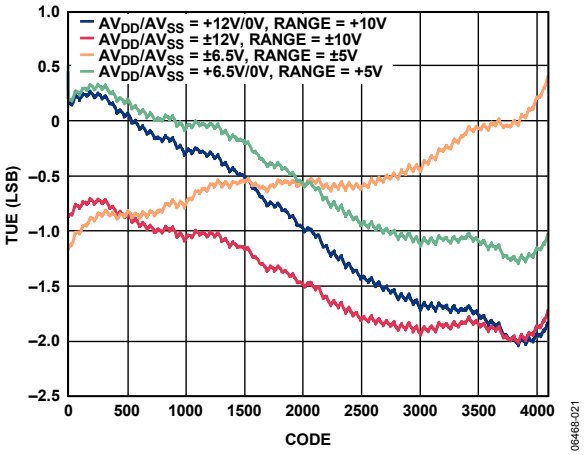


図 37.AD5724 総合未調整誤差対コード

用語

相対精度または積分非直線性(INL)
DAC の場合、相対精度すなわち積分非直線性は、DAC 伝達関数の上下両端を結ぶ直線からの最大乖離(LSB 数で表示)を表します。代表的な INL 対コードについては図 6 を参照してください。

微分非直線性(DNL)
微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大 1 LSB の微分非直線性の仕様は、単調性を保証するものです。この DAC はデザインにより単調性を保証しています。代表的な DNL 対コードについては図 9 を参照してください。

単調性
デジタル入力コードを増加させたとき、出力が増加するか不変である場合に、DAC は単調であるといいます。AD5724/AD5734/AD5754 は全動作温度範囲で単調です。

バイポーラ・ゼロ誤差
バイポーラ・ゼロ誤差は、DAC レジスタに 0x8000 (ストレート・バイナリ・コーディング)または 0x0000 (2 の補数コーディング)をロードしたときの、0 V の理論ハーフ・スケール出力からのアナログ出力の差を意味します。バイポーラ・ゼロ誤差の温度特性を図 23 に示します。

バイポーラ・ゼロ TC
バイポーラ・ゼロ TC は、温度変化に対するバイポーラ・ゼロ誤差の変化を表し、ppm FSR/°C で表されます。

ゼロ・スケール誤差または負のフル・スケール誤差
ゼロ・スケール誤差は、0x0000 (ストレート・バイナリ・コーディング)または 0x8000 (2 の補数コーディング)を DAC レジスタにロードしたときの、DAC 出力電圧の誤差を意味します。理論的には、出力電圧は負のフル・スケール− 1 LSB である必要があります。ゼロ・スケール誤差の温度特性を図 22 に示します。

ゼロ・スケール TC
ゼロ・スケール TC は、温度変化に対するゼロ・スケール誤差の変化を意味し、ppm FSR/°C で表されます。

出力電圧セトリング・タイム
フル・スケール入力変化に対して、出力が規定のレベルまでに安定するために要する時間を表します。フル・スケール・セトリング・タイムを図 27 に示します。

スルーレート
デバイスのスルー・レートは、出力電圧の変化率の限界値を表します。電圧出力 DAC の出力スルー・レートは一般に、出力で使用されるアンプのスルー・レートで制限されます。スルー・レートは出力信号の 10%から 90%までで測定され、V/µs で表されます。

ゲイン誤差
ゲイン誤差は DAC のスパン誤差を表します。理論 DAC 伝達特性傾斜からの変位を表し、DAC 出力の%FSR で表示されます。ゲイン誤差の温度特性を図 24 に示します。

ゲイン TC
ゲイン TC は、温度変化に対するゲイン誤差の変化を表し、ppm FSR/°C で表されます。

総合未調整誤差(TUE)
総合未調整誤差は、種々のすべての誤差を考慮した出力誤差、すなわち INL 誤差、オフセット誤差、ゲイン誤差、電源、温度、時間に対する出力ドリフトを表し、% FSR で表されます。

デジタルからアナログへのグリッチ・インパルス
デジタルからアナログへのグリッチ・インパルスは、出力電圧を変化させずに DAC レジスタ内の入力コードを変化させたときに、アナログ出力に混入するインパルスを表します。通常、nV-sec で表すグリッチの面積として規定され、主要なキャリ変化時に(0x7FFF から 0x8000)、デジタル・コードが 1 LSB だけ変化したときに測定されます。 図 31 を参照してください。

グリッチ・インパルスのピーク振幅
デジタルからアナログへのグリッチ・インパルスのピーク振幅は、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。mV で表す振幅として規定され、主要なキャリ変化(0x7FFF から 0x8000)時に、デジタル・コードが 1 LSB だけ変化したときに測定されます。 図 31 を参照してください。

デジタル・フィードスルー
デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。nV-sec で規定され、データ・バス上のフル・スケール・コード変化を使って測定されます。

電源感度
電源電圧変化の DAC 出力に対する影響を表します。電源電圧に 50 Hz/60 Hz の 200 mV p-p 正弦波を重畳して、出力に現れる正弦波部分を測定します。

DC クロストーク
別の DAC 出力でのフル・スケール変化に起因する 1 つの DAC の出力レベルでの DC 変化。1 つの DAC をモニターしながら、別の DAC 上でのフル・スケール出力変化を使って測定し、LSB 数で表します。

デジタル・クロストーク

デジタル・クロストークは、DAC 出力の更新が行われていないときに、1 つの DAC のデジタル入力から別 DAC のアナログ出力に注入されるインパルスを表します。nV-sec で規定され、データ・バス上のフル・スケール・コード変化を使って測定されます。

DAC 間クロストーク
デジタル・コードの変化とそれに続く DAC の出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルス。これには、デジタル・クロストークとアナログ・クロストークの両方が含まれます。 $\overline{\text{LDAC}}$ピンをロー・レベルに設定して、DAC の 1 つにフル・スケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)をロードして、別の DAC 出力をモニターすることにより測定します。グリッチのエネルギは nV-sec で表示します。

動作原理

AD5724/AD5734/AD5754 は、12/14/16 ビット、シリアル入力、ユニポーラ/バイポーラ、クワッド電圧出力 DAC です。これらのデバイスは、+4.5 V～+16.5 V の単電源電圧または±4.5 V～±16.5 V の両電源電圧で動作します。さらに、ソフトウェアから選択可能な+5 V、+10 V、+10.8 V、±5 V、±10 V、±10.8 V の入力範囲を持っています。データは、3 線式シリアル・インターフェースを使って 24 ビットのワード・フォーマットで AD5724/AD5734/AD5754 に書込まれます。このデバイスには、ディジーチェーン接続またはリードバックを可能にする SDO ピンもあります。

AD5724/AD5734/AD5754 はパワーオン・リセット回路を内蔵しているため、DAC レジスタに 0x0000 をロードした状態で確実にパワーアップすることができます。パワーアップ時、出力は低インピーダンス・パスを介して 0 V にクランプされます。

アーキテクチャ

DAC アーキテクチャは、ストリング DAC とそれに続く出力アンプから構成されています。図 38 に、DAC アーキテクチャのブロック図を示します。リファレンス電圧入力はバッファされた後に DAC に加えられます。

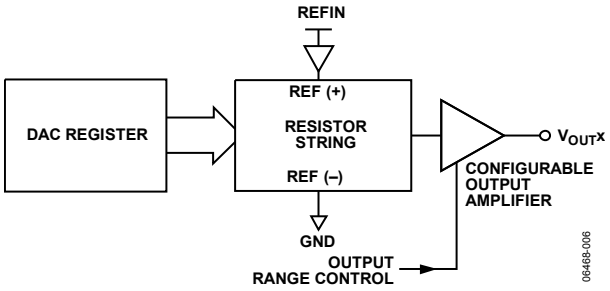


図 38.DAC アーキテクチャのブロック図

抵抗ストリング構造を図 39 に示します。各値が R の抵抗ストリングから構成されています。DAC レジスタにロードされるコードにより、ストリングのどのノードから電圧を分割して出力アンプへ供給するかが指定されます。スイッチの内の 1 つが閉じてストリングがアンプに接続されて、電圧が取り出されます。抵抗のストリングであるため、単調整が保証されます。

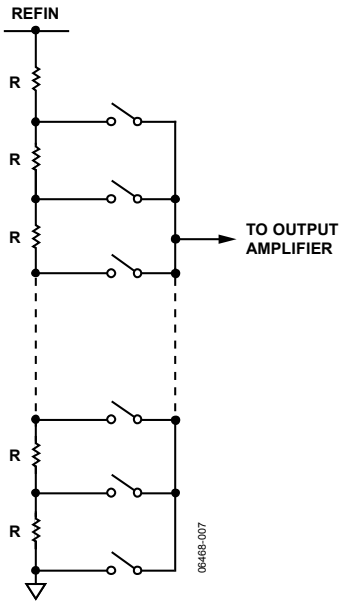


図 39.抵抗ストリング構造

出力アンプ

出力アンプは、ユニポーラとバイポーラの出力電圧を発生することができます。GND に接続された 2 kΩ と、これに並列接続された 4000 pF の負荷を駆動することができます。図 26 に、出力アンプのソース能力とシンク能力を示します。スルーレートは 3.5 V/μs であり、フル・スケールでのセトリング・タイムは 10μs です。

リファレンス電圧バッファ

AD5724/AD5734/AD5754 は、外部リファレンス電源を必要とします。リファレンスの入力範囲は 2 V～3 V で、仕様性能は 2.5 V で規定しています。リファレンス電圧はバッファされた後に DAC に加えられます。

シリアル・インターフェース

AD5724/AD5734/AD5754 は、最大 30 MHz のクロック・レートで動作する多機能 3 線式シリアル・インターフェースを介して制御されます。このインターフェースは、SPI、QSPI™、MICROWIRE™、DSP 規格と互換性を持っています。

入力シフトレジスタ

入力シフトレジスタは 24 ビット幅です。データは、シリアル・クロック入力 SCLK の制御のもとで 24 ビット・ワードとして MSB ファーストでデバイスに入力されます。入力レジスタは、1 ビットのリード/ライト、3 ビットのレジスタ・セレクト、3 ビットの DAC アドレス、16 ビットのデータから構成されています。図 2 に、動作タイミング図を示します。

スタンドアロン動作

このシリアル・インターフェースは、連続および非連続シリアル・クロックで動作します。正しいクロック・サイクル数間、SYNCをロー・レベルに維持することが可能な場合にのみ、連続 SCLK ソースを使用することができます。ゲーティド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後にSYNCをハイ・レベルにしてデータをラッチする必要があります。SYNCの最初の立ち下がりエッジで書込みサイクルが開始されます。SYNCをハイ・レベルに戻す前に、24 個の立ち下がりクロック・エッジを SCLK に入力する必要があります。24 番目の立ち下がり SCLK エッジの前にSYNCをハイ・レベルにすると、書込まれたデータは無効になります。SYNCをハイ・レベルにする前に、24 個より多くの立ち下がりクロック・エッジを入力した場合も、入力データは無効になります。アドレス指定された入力レジスタは、SYNCの立ち上がりエッジで更新されます。次のシリアル転送を行うときは、SYNCをロー・レベルに戻す必要があります。シリアル・データ転送の終了後、データは自動的に入力シフトレジスタからアドレス指定されたレジスタへ転送されます。

データがドレス指定された DAC の選択されたレジスタへ転送されたときに、SYNCがハイ・レベルの間にLDACをロー・レベルにすると、すべての DAC レジスタと出力を更新することができます。

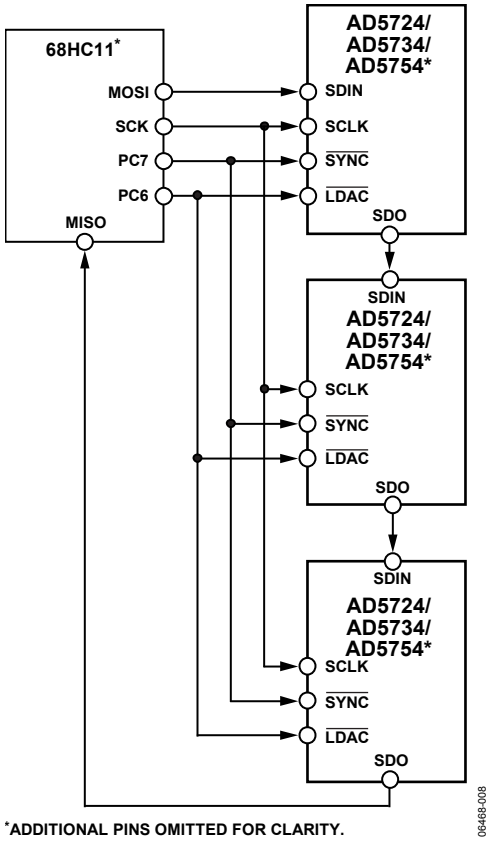


図 40.AD5724/AD5734/AD5754 のディジーチェーン接続

ディジーチェーン動作

複数のデバイスを使うシステムでは、SDOピンを使って複数のデバイスをディジーチェーン接続することができます。このディジーチェーン・モードは、システム診断とシリアル・インターフェースのライン数の削減に有効です。SYNCの最初の立ち下がりエッジで書込みサイクルが開始されます。SCLKはSYNCがロー・レベルのとき、連続的に入力シフトレジスタに入力されます。24個を超えるクロック・パルスが入力されると、データはシフトレジスタからはみ出して、SDOピンに出力されます。データはSCLKの立ち上がりエッジで出力され、SCLKの立ち下がりエッジで有効になります。最初のデバイスのSDOをチェーン内にある次のデバイスのSDIN入力に接続すると、複数デバイスのインターフェースが構成されます。システム内の各デバイスは、24個のクロック・パルスを必要とします。したがって、必要な合計クロック・サイクル数は24×Nになります。ここで、Nはチェーン内の合計AD5724/AD5734/AD5754のデバイス数です。すべてのデバイスに対するシリアル転送が完了したら、SYNCをハイ・レベルにします。この動作により、ディジーチェーン内にある各デバイス内の入力データがラッチされて、入力シフトレジスタにさらにデータが入力されるのを防止します。シリアル・クロックとしては、連続クロックまたは不連続クロックが可能です。

正しいクロック・サイクル数間、SYNCをロー・レベルに維持することが可能な場合にのみ、連続SCLKソースを使用することができます。ゲーティド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後にSYNCをハイ・レベルにしてデータをラッチする必要があります。

リードバック動作

シリアル入力レジスタへの書込みで、R/$\overline{W}$ビット= 1 を設定すると、リードバック・モードが開始されます(SDO 出力をコントロール・レジスタの SDO ディスエーブル・ビットを使ってディスエーブルすると、再度ディスエーブルされた後に、読み出し動作中自動的にイネーブルされます)。R/$\overline{W}$ = 1 のとき、ビット REG2～ビット REG0 ビットに対応するビット A2～ビット A0 を使って、読み出し対象レジスタを選択します。書込みシーケンス内の残りのデータ・ビットは無視されます。次の SPI への書込み時に SDO に出力されるデータに、前にアドレス指定したレジスタのデータが含まれています。1 個のレジスタを読み出すときは、選択したレジスタのデータを SDO へシフト出力する際に NOP コマンドを使うことができます。図 4 に、リードバック・シーケンスを示します。たとえば、チャンネル A の DAC レジスタをリードバックするときは、次のシーケンスを使うことができます。

1. 0x800000 を AD5724/AD5734/AD5754 入力レジスタに書き込みます。この動作により、デバイスが読み出しモードに設定され、チャンネル A の DAC レジスタが選択されます。データ・ビット DB15～DB0 は無視されることに注意してください。
2. 次に、2 番目の書込みで NOP 状態 0x180000 を書込みます。この書き込みで、レジスタからのデータが SDO ラインへ出力されます。

ロード DAC ($\overline{LDAC}$)

データが DAC の入力レジスタへ転送された後、DAC レジスタと DAC 出力を更新する方法は 2 つあります。 SYNCとLDACの状態に応じて、個別 DAC の更新またはすべての DAC の同時更新から更新モードを選択します。

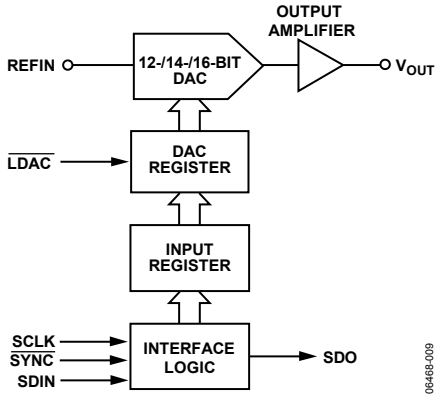


図 41.1 個の DAC についての入力ロード回路の簡略化した図

個別 DAC の更新

このモードでは、データを入力シフトレジスタへ入力中にLDACをロー・レベルにします。アドレス指定された DAC 出力は、SYNCの立ち上がりエッジで更新されます。

すべての DAC の同時更新

このモードでは、データを入力シフトレジスタへ入力中にLDACをハイ・レベルにします。SYNCをハイ・レベルにした後にLDACをロー・レベルにすると、すべての DAC 出力が非同期的に更新されます。更新は、LDACの立ち下がりエッジで行われるようになります。

非同期クリア($\overline{CLR}$)

$\overline{CLR}$ はアクティブ・ローのクリアであり、出力をゼロ・スケール・コードまたはミッドスケール・コードにクリアすることができます。クリア・コード値は、コントロール・レジスタの CLR セレクト・ビットを使って選択することができます(コントロール・レジスタのセクション参照)。動作を完了するためには、$\overline{CLR}$を最小時間ロー・レベルに維持する必要があります(図 2 参照)。 CLR信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します。 $\overline{CLR}$ピンがロー・レベルの間、出力は新しい値で更新できません。また、クリア動作はコントロール・レジスタのクリア・コマンドを使って実行することもできます。

AD5724/AD5734/AD5754 の設定

電源を AD5724/AD5734/ AD5754 に加えると、パワーオン・リセット回路により、すべてのレジスタがデフォルトの 0 に設定されます。これにより、すべてのチャンネルがパワーダウン・モードになります。AD5724/AD5734/AD5754 に対する最初の通信では、出力範囲セレクト・レジスタに書込みを行って、すべてのチャンネルでの所要出力範囲を設定する必要があります(デフォルト範囲は 5 V のユニポーラ範囲)。次に、電源コントロール・レジスタへ書込みを行って、所要チャンネルをパワーアップさせます。チャンネルの出力値を設定するためには、そのチャンネルを先にパワーアップさせる必要があります。パワーダウン・モード中のチャンネルに対する書込みは無視されます。AD5724/ AD5734/AD5754 は、広い電源範囲で動作します。デバイスに接続する電源は、選択した出力範囲をサポートするために十分なヘッドルームを持つことが重要です。

伝達関数

表 7 ～ 表 15 に、それぞれ AD5754、AD5734、AD5724 について、すべての出力電圧範囲に対する入力コードと出力電圧の理論的な関係を示します。ユニポーラ出力範囲の場合、コーディングはストレート・バイナリになります。バイポーラ出力の場合、BIN/2sCOMP ピンを使って、オフセット・バイナリまたは 2 の補数のデータ・コーディックを選択することができます。

ユニポーラ出力範囲の場合、出力電圧は次式で表されます。

$$V_{OUT} = V_{REFIN} \times Gain\left[\frac{D}{2^N}\right]$$

バイポーラ出力範囲の場合、出力電圧は次式で表されます。

$$V_{OUT} = V_{REFIN} \times Gain\left[\frac{D}{2^N}\right] - \frac{Gain \times V_{REFIN}}{2}$$

ここで、D は、DAC にロードされるコードの１０進数表示。N は DAC の分解能。V_{REFIN}は、REFIN ピンに入力されるリファレンス電圧。*Gain* は内部ゲイン。この値はユーザーが選択する出力範囲に依存します(表 6 参照)。

表 6.内部ゲインの値

Output Range (V)	Gain Value
+5	2
+10	4
+10.8	4.32
±5	4
±10	8
±10.8	8.64

理論出力電圧と入力コードの関係—AD5754

表 7.バイポーラ出力、オフセット・バイナリ・コーディング

Digital Input				Analog Output		
MSB			**LSB**	**±5 V Output Range**	**±10 V Output Range**	**±10.8 V Output Range**
1111	1111	1111	1111	+2 × REFIN × (32,767/32,768)	+4 × REFIN × (32,767/32,768)	+4.32 × REFIN × (32,767/32,768)
1111	1111	1111	1110	+2 × REFIN × (32,766/32,768)	+4 × REFIN × (32,766/32,768)	+4.32 × REFIN × (32,766/32,768)
…	…	…	…	…	…	…
1000	0000	0000	0001	+2 × REFIN × (1/32,768)	+4 × REFIN × (1/32,768)	+4.32 × REFIN × (1/32,768)
1000	0000	0000	0000	0 V	0 V	0 V
0111	1111	1111	1111	−2 × REFIN × (1/32,768)	−4 × REFIN × (1/32,768)	−4.32 × REFIN × (32,766/32,768)
…	…	…	…	…	…	…
0000	0000	0000	0001	−2 × REFIN × (32,766/32,768)	−4 × REFIN × (32,766/32,768)	−4.32 × REFIN × (32,766/32,768)
0000	0000	0000	0000	−2 × REFIN × (32,767/32,768	−4 × REFIN × (32,767/32,768)	−4.32 × REFIN × (32,767/32,768)

表 8.バイポーラ出力、2 の補数コーディング

Digital Input				Analog Output		
MSB			**LSB**	**±5 V Output Range**	**±10 V Output Range**	**±10.8 V Output Range**
0111	1111	1111	1111	+2 × REFIN × (32,767/32,768)	+4 × REFIN × (32,767/32,768)	+4.32 × REFIN × (32,767/32,768)
0111	1111	1111	1110	+2 × REFIN × (32,766/32,768)	+4 × REFIN × (32,766/32,768)	+4.32 × REFIN × (32,766/32,768)
…	…	…	…	…	…	…
0000	0000	0000	0001	+2 × REFIN × (1/32,768)	+4 × REFIN × (1/32,768)	+4.32 × REFIN × (1/32,768)
0000	0000	0000	0000	0 V	0 V	0 V
1111	1111	1111	1111	−2 × REFIN × (1/32,768)	−4 × REFIN × (1/32,768)	−4.32 × REFIN × (1/32,768)
…	…	…	…	…	…	…
1000	0000	0000	0001	−2 × REFIN × (32,766/32,768)	−4 × REFIN × (32,766/32,768)	−4.32 × REFIN × (32,766/32,768)
1000	0000	0000	0000	−2 × REFIN × (32,767/32,768)	−4 × REFIN × (32,767/32,768)	−4.32 × REFIN × (32,767/32,768)

表 9.ユニポーラ出力、ストレート・バイナリ・コーディング

Digital Input				Analog Output		
MSB			**LSB**	**+5 V Output Range**	**+10 V Output Range**	**+10.8 V Output Range**
1111	1111	1111	1111	+2 × REFIN × (65,535/65,536)	+4 × REFIN × (65,535/65,536)	+4.32 × REFIN × (65,535/65,536)
1111	1111	1111	1110	+2 × REFIN × (65,534/65,536)	+4 × REFIN × (65,534/65,536)	+4.32 × REFIN × (65,534/65,536)
…	…	…	…	…	…	…
1000	0000	0000	0001	+2 × REFIN × (32,769/65,536)	+4 × REFIN × (32,769/65,536)	+4.32 × REFIN × (32,769/65,536)
1000	0000	0000	0000	+2 × REFIN × (32,768/65,536)	+4 × REFIN × (32,768/65,536)	+4.32 × REFIN × (32,768/65,536)
0111	1111	1111	1111	+2 × REFIN × (32,767/65,536)	+4 × REFIN × (32,767/65,536)	+4.32 × REFIN × (32,767/65,536)
…	…	…	…	…	…	…
0000	0000	0000	0001	+2 × REFIN × (1/65,536)	+4 × REFIN × (1/65,536)	+4.32 × REFIN × (1/65,536)
0000	0000	0000	0000	0 V	0 V	0 V

理論出力電圧と入力コードの関係—AD5734

表 10.バイポーラ出力、オフセット・バイナリ・コーディング

Digital Input				Analog Output		
MSB			LSB	±5 V Output Range	±10 V Output Range	±10.8 V Output Range
11	1111	1111	1111	+2 × REFIN × (8191/8192)	+4 × REFIN × (8191/8192)	+4.32 × REFIN × (8191/8192)
11	1111	1111	1110	+2 × REFIN × (8190/8192)	+4 × REFIN × (8190/8192)	+4.32 × REFIN × (8190/8192)
…	…	…	…	…	…	…
10	0000	0000	0001	+2 × REFIN × (1/8192)	+4 × REFIN × (1/8192)	+4.32 × REFIN × (1/8192)
10	0000	0000	0000	0 V	0 V	0 V
01	1111	1111	1111	−2 × REFIN × (1/8192)	−4 × REFIN × (1/8192)	−4.32 × REFIN × (1/8192)
…	…	…	…	…	…	…
00	0000	0000	0001	−2 × REFIN × (8190/8192)	−4 × REFIN × (8190/8192)	−4.32 × REFIN × (8190/8192)
00	0000	0000	0000	−2 × REFIN × (8191/8191)	−4 × REFIN × (8191/8192)	−4.32 × REFIN × (8191/8192)

表 11.バイポーラ出力、2 の補数コーディング

Digital Input				Analog Output		
MSB			LSB	±5 V Output Range	±10 V Output Range	±10.8 V Output Range
01	1111	1111	1111	+2 × REFIN × (8191/8192)	+4 × REFIN × (8191/8192)	+4.32 × REFIN × (8191/8192)
01	1111	1111	1110	+2 × REFIN × (8190/8192)	+4 × REFIN × (8190/8192)	+4.32 × REFIN × (8190/8192)
…	…	…	…	…	…	…
00	0000	0000	0001	+2 × REFIN × (1/8192)	+4 × REFIN × (1/8192)	+4.32 × REFIN × (1/8192)
00	0000	0000	0000	0 V	0 V	0 V
11	1111	1111	1111	−2 × REFIN × (1/8192)	−4 × REFIN × (1/8192)	−4.32 × REFIN × (1/8192)
…	…	…	…	…	…	…
10	0000	0000	0001	−2 × REFIN × (8190/8192)	−4 × REFIN × (8190/8192)	−4.32 × REFIN × (8190/8192)
10	0000	0000	0000	−2 × REFIN × (8191/8192)	−4 × REFIN × (8191/8192)	−4.32 × REFIN × (8191/8192)

表 12.ユニポーラ出力、ストレート・バイナリ・コーディング

Digital Input				Analog Output		
MSB			LSB	+5 V Output Range	+10 V Output Range	+10.8 V Output Range
11	1111	1111	1111	+2 × REFIN × (16,383/16,384)	+4 × REFIN × (16,383/16,384)	+4.32 × REFIN × (16,383/16,384)
11	1111	1111	1110	+2 × REFIN × (16,382/16,384)	+4 × REFIN × (16,382/16,384)	+4.32 × REFIN × (16,382/16,384)
…	…	…	…	…	…	…
10	0000	0000	0001	+2 × REFIN × (8193/16,384)	+4 × REFIN × (8193/16,384)	+4.32 × REFIN × (8193/16,384)
10	0000	0000	0000	+2 × REFIN × (8192/16,384)	+4 × REFIN × (8192/16,384)	+4.32 × REFIN × (8192/16,384)
01	1111	1111	1111	+2 × REFIN × (8191/16,384)	+4 × REFIN × (8191/16,384)	+4.32 × REFIN × (8191/16,384)
…	…	…	…	…	…	…
00	0000	0000	0001	+2 × REFIN × (1/16,384)	+4 × REFIN × (1/16,384)	+4.32 × REFIN × (1/16,384)
00	0000	0000	0000	0 V	0 V	0 V

理論出力電圧と入力コードの関係—AD5724

表 13.バイポーラ出力、オフセット・バイナリ・コーディング

Digital Input			Analog Output		
MSB		**LSB**	**±5 V Output Range**	**±10 V Output Range**	**±10.8 V Output Range**
1111	1111	1111	+2 × REFIN × (2047/2048)	+4 × REFIN × (2047/2048)	+4.32 × REFIN × (2047/2048)
1111	1111	1110	+2 × REFIN × (2046/2048)	+4 × REFIN × (2046/2048)	+4.32 × REFIN × (2046/2048)
…	…	…	…	…	…
1000	0000	0001	+2 × REFIN × (1/2048)	+4 × REFIN × (1/2048)	+4.32 × REFIN × (1/2048)
1000	0000	0000	0 V	0 V	0 V
0111	1111	1111	−2 × REFIN × (1/2048)	−4 × REFIN × (1/2048)	−4.32 × REFIN × (1/2048)
…	…	…	…	…	…
0000	0000	0001	−2 × REFIN × (2046/2048)	−4 × REFIN × (2046/2048)	−4.32 × REFIN × (2046/2048)
0000	0000	0000	−2 × REFIN × (2047/2047)	−4 × REFIN × (2047/2048)	−4.32 × REFIN × (2047/2048)

表 14.バイポーラ出力、2 の補数コーディング

Digital Input			Analog Output		
MSB		**LSB**	**±5 V Output Range**	**±10 V Output Range**	**±10.8 V Output Range**
0111	1111	1111	+2 × REFIN × (2047/2048)	+4 × REFIN × (2047/2048)	+4.32 × REFIN × (2047/2048)
0111	1111	1110	+2 × REFIN × (2046/2048)	+4 × REFIN × (2046/2048)	+4.32 × REFIN × (2046/2048)
…	…	…	…	…	…
0000	0000	0001	+2 × REFIN × (1/2048)	+4 × REFIN × (1/2048)	+4.32 × REFIN × (1/2048)
0000	0000	0000	0 V	0 V	0 V
1111	1111	1111	−2 × REFIN × (1/2048)	−4 × REFIN × (1/2048)	−4.32 × REFIN × (1/2048)
…	…	…	…	…	…
1000	0000	0001	−2 × REFIN × (2046/2048)	−4 × REFIN × (2046/2048)	−4.32 × REFIN × (2046/2048)
1000	0000	0000	−2 × REFIN × (2047/2048)	−4 × REFIN × (2047/2048)	−4.32 × REFIN × (2047/2048)

表 15.ユニポーラ出力、ストレート・バイナリ・コーディング

Digital Input			Analog Output		
MSB		**LSB**	**+5 V Output Range**	**+10 V Output Range**	**+10.8 V Output Range**
1111	1111	1111	+2 × REFIN × (4095/4096)	+4 × REFIN × (4095/4096)	+4.32 × REFIN × (4095/4096)
1111	1111	1110	+2 × REFIN × (4094/4096)	+4 × REFIN × (4094/4096)	+4.32 × REFIN × (4094/4096)
…	…	…	…	…	…
1000	0000	0001	+2 × REFIN × (2049/4096)	+4 × REFIN × (2049/4096)	+4.32 × REFIN × (2049/4096)
1000	0000	0000	+2 × REFIN × (2048/4096)	+4 × REFIN × (2048/4096)	+4.32 × REFIN × (2048/4096)
0111	1111	1111	+2 × REFIN × (2047/4096)	+4 × REFIN × (2047/4096)	+4.32 × REFIN × (2047/4096)
…	…	…	…	…	…
0000	0000	0001	+2 × REFIN × (1/4096)	+4 × REFIN × (1/4096)	+4.32 × REFIN × (1/4096)
0000	0000	0000	0 V	0 V	0 V

入力シフトレジスタ

入力シフトレジスタは 24 ビット幅であり、リード/ライト・ビット(R/$\overline{W}$)、常に 0 せ設定する必要のある予約済みビット(0)、3 ビットのレジスタ・セレクト(REG0、REG1、REG2)、3 ビットの DAC アドレス(A2、A1、A0)、16 ビットのデータから構成されています。レジスタ・データは SDIN ピンから MSB ファーストで入力されます。表 16 にレジスタ・フォーマットを、表 17 にレジスタの各ビットの機能説明を、それぞれ示します。すべてのレジスタはリード/ライト可能レジスタです。

表 16.入力レジスタのフォーマット

MSB **LSB**

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15 to DB0
R/$\overline{W}$	Zero	REG2	REG1	REG0	A2	A1	A0	Data

表 17.入力レジスタのビット機能

Bit Mnemonic	Description			
R/$\overline{W}$	Indicates a read from or a write to the addressed register.			
REG2, REG1, REG0	Used in association with the address bits to determine if a write operation is to the DAC register, the output range select register, the power control register, or the control register.			
	REG2	**REG1**	**REG0**	**Function**
	0	0	0	DAC register
	0	0	1	Output range select register
	0	1	0	Power control register
	0	1	1	Control register
A2, A1, A0	These DAC address bits are used to decode the DAC channels.			
	A2	**A1**	**A0**	**Channel Address**
	0	0	0	DAC A
	0	0	1	DAC B
	0	1	0	DAC C
	0	1	1	DAC D
	1	0	0	All four DACs
DB15 to DB0	Data bits.			

DAC レジスタ

3 ビットの REG ビットを 000 に設定すると、DAC レジスタがアドレス指定されます。DAC アドレス・ビットは、データ転送を行う DAC チャンネルを選択します(表 17 参照)。データ・ビットは、AD5754 では DB15～DB0 に(表 18)、AD5734 では DB15～DB2 に(表 19)、AD5724 では DB15～DB4 に(表 20)、それぞれ配置されています。

表 18.AD5754 DAC レジスタの設定

MSB **LSB**

R/$\overline{W}$	Zero	REG2	REG1	REG0	A2	A1	A0	DB15 to DB0
0	0	0	0	0	DAC address			16-bit DAC data

表 19.AD5734 DAC レジスタの設定

MSB **LSB**

R/$\overline{W}$	Zero	REG2	REG1	REG0	A2	A1	A0	DB15 to DB2	DB1	DB0
0	0	0	0	0	DAC address			14-bit DAC data	X	X

表 20.AD5724 DAC レジスタの設定

MSB **LSB**

R/$\overline{W}$	Zero	REG2	REG1	REG0	A2	A1	A0	DB15 to DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	DAC address			12-bit DAC data	X	X	X	X

出力範囲選択レジスタ

3 ビットの REG ビットを 001 に設定すると、出力範囲選択レジスタがアドレス指定されます。DAC アドレス・ビットは DAC チャンネルを、範囲ビット(R2、R1、R0)は所要出力範囲を、それぞれ選択します(表 21 と表 22 参照)。

表 21.所要出力範囲の設定

MSB											LSB
R/$\overline{W}$	**Zero**	**REG2**	**REG1**	**REG0**	**A2**	**A1**	**A0**	**DB15 to DB3**	**DB2**	**DB1**	**DB0**
0	0	0	0	1	DAC address			Don't care	R2	R1	R0

表 22.出力範囲の選択肢

R2	R1	R0	Output Range (V)
0	0	0	+5
0	0	1	+10
0	1	0	+10.8
0	1	1	±5
1	0	0	±10
1	0	1	±10.8

コントロール・レジスタ

3 ビットの REG ビットを 011 に設定すると、コントロール・レジスタがアドレス指定されます。アドレス・ビットとデータ・ビットに書き込まれた値により、選択する制御機能が指定されます。表 23 と表 24 に、コントロール・レジスタのオプションを示します。

表 23.コントロール・レジスタの設定

MSB											LSB
R/$\overline{W}$	**Zero**	**REG2**	**REG1**	**REG0**	**A2**	**A1**	**A0**	**DB15 to DB4**	**DB3**	**DB2**	**DB1**	**DB0**
0	0	0	1	1	0	0	0	NOP, data = don't care				
0	0	0	1	1	0	0	1	Don't care	TSD enable	Clamp enable	CLR select	SDO disable
0	0	0	1	1	1	0	0	Clear, data = don't care				
0	0	0	1	1	1	0	1	Load, data = don't care				

表 24.コントロール・レジスタ・オプションの説明

Option	Description
NOP	No operation instruction used in readback operations.
Clear	Addressing this function sets the DAC registers to the clear code and updates the outputs.
Load	Addressing this function updates the DAC registers and, consequently, the DAC outputs.
SDO Disable	Set by the user to disable the SDO output. Cleared by the user to enable the SDO output (default).
CLR Select	See Table 25 for a description of the CLR select operation.
Clamp Enable	Set by the user to enable the current-limit clamp. The channel does not power down upon detection of an overcurrent; the current is clamped at 20 mA (default). Cleared by the user to disable the current-limit clamp. The channel powers down upon detection of an overcurrent.
TSD Enable	Set by the user to enable the thermal shutdown feature. Cleared by the user to disable the thermal shutdown feature (default).

表 25.CLR セレクトのオプション

	Output CLR Value	
CLR Select Setting	**Unipolar Output Range**	**Bipolar Output Range**
0	0 V	0 V
1	Midscale	Negative full scale

電源コントロール・レジスタ

3 ビットの REG ビットを 010 に設定すると、電源コントロール・レジスタがアドレス指定されます。このレジスタを使うと、AD5724/AD5734/AD5754 の消費電力と熱的状態を制御することができます。表 26 と表 27 に、電源コントロール・レジスタ・オプションを示します。

表 26.電源コントロール・レジスタの設定

MSB **LSB**

R/$\overline{W}$	Zero	REG 2	REG 1	REG 0	A2	A1	A0	DB15 to DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	1	0	0	0	0	X	OC_D	OC_C	OC_B	OC_A	0	TSD	0	PU_D	PU_C	PU_B	PU_A

表 27.電源コントロール・レジスタの機能

Option	Description
PU_A	DAC A power-up. When set, this bit places DAC A in normal operating mode. When cleared, this bit places DAC A in power-down mode (default). If the clamp enable bit of the control register is cleared, DAC A powers down automatically upon detection of an overcurrent and PU_A is cleared to reflect this.
PU_B	DAC B power-up. When set, this bit places DAC B in normal operating mode. When cleared, this bit places DAC B in power-down mode (default). If the clamp enable bit of the control register is cleared, DAC B powers down automatically upon detection of an overcurrent and PU_B is cleared to reflect this.
PU_C	DAC C power-up. When set, this bit places DAC C in normal operating mode. When cleared, this bit places DAC C in power-down mode (default). If the clamp enable bit of the control register is cleared, DAC C powers down automatically upon detection of an overcurrent and PU_C is cleared to reflect this.
PU_D	DAC D power-up. When set, this bit places DAC D in normal operating mode. When cleared, this bit places DAC D in power-down mode (default). If the clamp enable bit of the control register is cleared, DAC D powers down automatically upon detection of an overcurrent and PU_D is cleared to reflect this.
TSD	Thermal shutdown alert. Read-only bit. In the event of an overtemperature situation, the four DACs are powered down and this bit is set.
OC_A	DAC A overcurrent alert. Read-only bit. In the event of an overcurrent situation on DAC A, this bit is set.
OC_B	DAC B overcurrent alert. Read-only bit. In the event of an overcurrent situation on DAC B, this bit is set.
OC_C	DAC C overcurrent alert. Read-only bit. In the event of an overcurrent situation on DAC C, this bit is set.
OC_D	DAC D overcurrent alert. Read-only bit. In the event of an overcurrent situation on DAC D, this bit is set.

特長

アナログ出力制御

多くの工業用プロセス制御アプリケーションでは、パワーアップ時に出力電圧を制御することが不可欠です。パワーアップ時に電源電圧が変化すると、V_{OUT} ピンが低インピーダンス・パス(約 4 kΩ)を介して 0 V にクランプされます。この間に出力アンプが 0 V に短絡されるのを防止するため、送信ゲート G1 もオープンになります(図 42 参照)。これらの状態は、電源が安定して、有効なワードが DAC レジスタへ書き込まれるまで維持されます。この時点で、G2 がオープンし、G1 がクローズします。

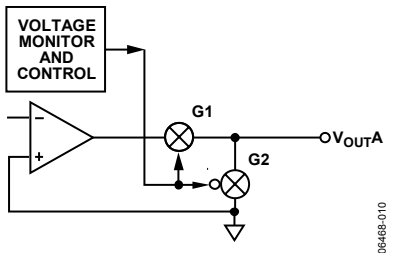


図 42.アナログ出力の制御回路

パワーダウン・モード

AD5724/AD5734/AD5754 の各 DAC チャンネルは個別にパワーダウンさせることができます。デフォルトでは、すべてのチャンネルがパワーダウン・モードにあります。電源の状態は、電源コントロール・レジスタから制御されます(詳細については、**表 26** と**表 27** を参照してください)。チャンネルがパワーダウン・モードになると、その出力ピンが約 4 kΩ の抵抗を介してグラウンドにクランプされるため、アンプの出力は出力ピンから切り離されます。

過電流保護

AD5724/AD5734/AD5754 の各 DAC チャンネルは、個別に過電流保護機能を持っています。過電流保護機能には、一定電流クランプまたは自動チャンネル・パワーダウンの 2 つのオプション設定があります。過電流保護機能の設定は、コントロール・レジスタのクランプ・イネーブル・ビットを使って選択します。

一定電流クランプ(クランプ・イネーブル= 1)

この設定で短絡が発生すると、電流は 20 mA にクランプされます。このイベントは、電源コントロール・レジスタの該当する過電流(OC_X)ビットをセットすることにより、ユーザーに通知されます。短絡故障状態がなくなると、OC_X ビットがクリアされます。

自動チャンネル・パワーダウン(クランプ・イネーブル= 0)

この設定で短絡が発生すると、短絡したチャンネルがパワーダウンして、出力が約 4 kΩ の抵抗を介してグラウンドへクランプされます。この時点で、アンプ出力は出力ピンから切り離されます。短絡イベントは過電流(OC_X)ビットを使ってユーザーに通知され、パワーアップ(PU_X)ビットはパワーダウンした DAC を表示します。故障がなくなった後に PU_X ビットをセットして、チャンネルを再度パワーアップすることができます。

サーマル・シャットダウン

AD5724/AD5734/AD5754 は、コア温度が約 150°C を超えると、デバイスを自動的にシャットダウンさせるサーマル・シャットダウン機能を内蔵しています。デフォルトでサーマル・シャットダウン機能は、ディスエーブルされており、コントロール・レジスタの TSD イネーブル・ビットを使ってイネーブルすることができます。サーマル・シャットダウンが発生すると、電源コントロール・レジスタの TSD ビットがセットされます。

アプリケーション情報

+5 V/±5 V 動作

+5 V の単電源または±5 V の両電源で動作する場合、出力アンプの十分なヘッドルームが確保できないため、+5 V または±5 V の出力範囲は実現できません。この場合には、小さいリファレンス電圧を使用することができます。たとえば、2 V のリファレンス電圧で+4 V または±4 V の出力範囲が得られるため、フル動作に十分な 1 V のヘッドルームが確保できます。2.048 V の標準値のリファレンス電圧を使うと、+4.096 V と±4.096 V の出力範囲を得ることができます。

レイアウトのガイドライン

精度が重要な回路では、電源とグラウンド・リターンのレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5724/AD5734/AD5754 を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するように、デザインする必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD5724/AD5734/AD5754 を使用する場合は、この接続は 1 ヵ所行う必要があります。デバイスのできるだけ近くに星型のグラウンド・ポイントを構成する必要があります。

AD5724/AD5734/AD5754 の各電源に対しては、10µF と 0.1µF の並列接続により十分な電源バイパスをパッケージのできるだけ近くの電源に、理想的にはデバイスに直接接続する必要があります。10µF コンデンサはタンタルのビーズ型を使います。0.1µF コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESI)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

AD5724/AD5734/AD5754 の電源ラインには、できるだけ太いパターンを使って低インピーダンス・パスを実現して、電源ライン上でのグリッチの効果を削減する必要があります。データ・クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドして、ボード上の他の部品へノイズを放出しないようにし、リファレンス入力の近くを通らないようにします。SDIN ラインと SCLK ラインの間にグラウンド・ラインを配線すると、これらの間のクロストークを小さくすることに役立ちます(多層ボードには別のグラウンド・プレーンがあるので必要ありませんが、これらのラインを離すことは役立ちます)。不要な信号が DAC 出力へ混入するので、REFIN ラインのノイズを小さくすることは重要です。

デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置します。これにより、ボードを通過するフイードスルーの効果を削減することができます。マイクロストリップ技術の使用は最善の方法ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配置されます。

電流絶縁型インターフェース

多くのプロセス制御アプリケーションでは、コントローラと被制御対象のユニットとの間にアイソレーション障壁を設けて、危険な同相モード電圧から制御回路を保護してアイソレーションすることが必要です。アナログ・デバイセズの *i*Coupler®製品ファミリーは、2.5 kV を超える電圧アイソレーションを提供します。AD5724/AD5734/AD5754 はシリアル・ローディング方式を採用しているため、インターフェース・ライン数が最小になっているので、絶縁インターフェース向けに最適です。図 43 に、ADuM1400 を使用して構成した、AD5724/AD5734/AD5754 への 4 チャンネル絶縁型インターフェースを示します。詳細については、http://www.analog.com/icouplers をご覧ください。

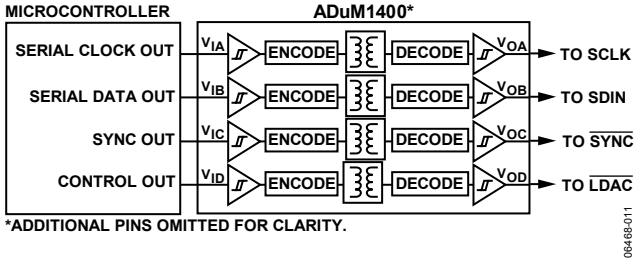


図 43.絶縁型インターフェース

リファレンス電圧の選択

フル動作温度範囲で AD5724/AD5734/ AD5754 の最適性能を実現するためには、高精度のリファレンス電圧を使う必要があります。高精度リファレンス電圧の選択には注意が必要です。リファレンス入力に加えられる電圧は、DAC コアのバッファされた正と負のリファレンス電圧を提供するために使われます。このため、リファレンス電圧の誤差はデバイスの出力に影響を与えます。

高精度アプリケーションに対するリファレンス電圧の選択で考慮すべき誤差原因としては、初期精度、出力電圧の温度係数、長時間ドリフト、出力電圧ノイズの 4 つがあります。

- 外部リファレンスの出力電圧の初期精度誤差により、DAC 内でフル・スケール誤差が発生します。これらの誤差の誤差を小さくするため、初期精度誤差の小さいリファレンス電圧の使用が望まれます。ADR421 のような出力調整機能を持つリファレンス電圧を選択すると、リファレンス電圧を公称値以外の電圧に設定することにより、システム誤差を調節することができます。この調整機能は、温度により生ずる誤差の調整にも使用することができます。

- リファレンス出力電圧の温度係数は、INL、DNL、TUE に影響を与えます。DAC 出力電圧の周囲条件に対する温度依存性を小さくするためには、厳しい温度係数仕様を持つリファレンス電圧を選択する必要があります。

- 長時間ドリフトは、リファレンス電圧の時間的なドリフト性能を表します。厳しい長時間ドリフト仕様を持つリファレンス電圧を使うと、ソリューション全体が製品寿命を通して比較的安定します。

- 比較的低いノイズが要求される高精度アプリケーションでは、リファレンス電圧の出力ノイズを考慮する必要があります。システム・ノイズ分解能に対して実用的な程度に出力ノイズ電圧が小さいリファレンス電圧を選択することは重要です。ADR431 (XFET®デザイン)のような高精度リフ

ァレンス電圧は、0.1～10 Hz の領域で低い出力ノイズ・レベルを持っています。ただし、回路帯域幅が広くなると、出力ノイズを小さくするために、リファレンス出力にフィルタが必要になることがあります。

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5724/AD5734/AD5754 とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つ標準プロトコルを使うシリアル・バスを使って行います。この通信チャンネルは、クロック信号、データ信号、同期信号から構成される 3(最小)線式インターフェースです。AD5724/ AD5734/AD5754 では 24 ビット・ワードを使い、データは SCLK の立ち下がりエッジで有効になります。

すべてのインターフェースで、すべてのデータが入力されたとき、DAC 出力の更新を自動的に開始できます。あるいは、$\overline{\text{LDAC}}$による制御のもとに行うこともできます。レジスタの値は、リードバック機能を使って読み出すことができます。

AD5724/AD5734/AD5754 と Blackfin® DSP とのインターフェース

図 44 に、AD5724/AD5734/AD5754 とアナログ・デバイセズの Blackfin DSP とのインターフェース方法を示します。Blackfin は、AD5724/AD5734/AD5754 の SPI ピンへ直接接続できる SPI ポートと、$\overline{\text{LDAC}}$ピンのようなデジタル入力の状態を設定するときに使用できるプログラマブルな I/O ピンを内蔵しています。

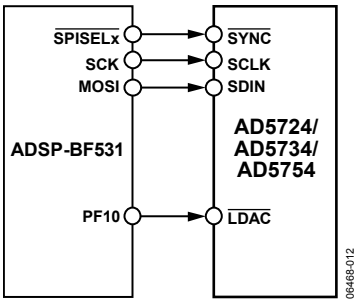
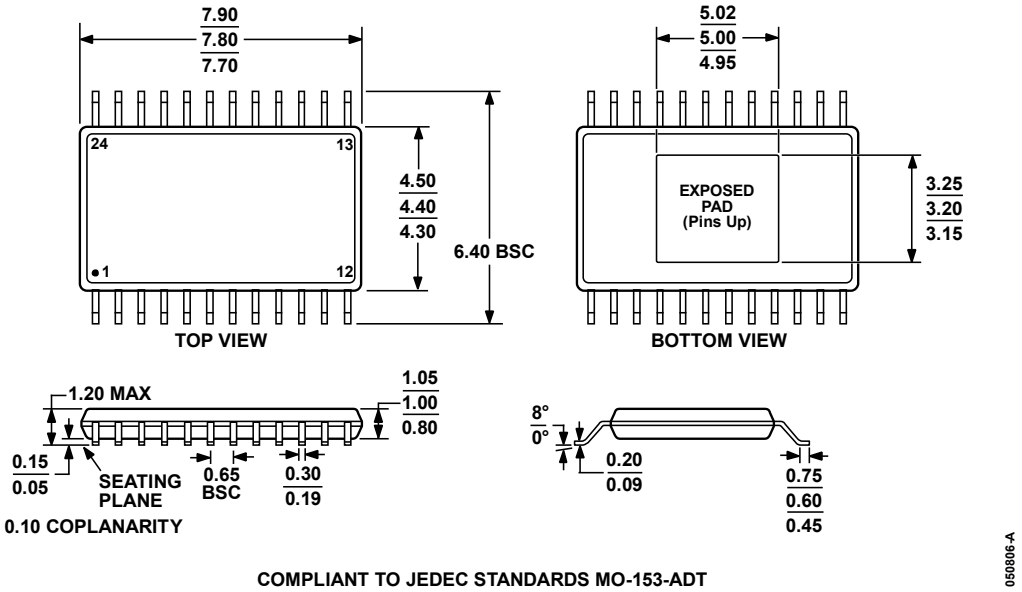


図 44.AD5724/AD5734/AD5754 と Blackfin とのインターフェース

表 28.AD5724/AD5734/AD5754 に使用できる推奨高精度リファレンス電圧

Part No.	Initial Accuracy (mV max)	Long-Term Drift (ppm typ)	Temp Drift (ppm/°C max)	0.1 Hz to 10 Hz Noise (µV p-p typ)
ADR431	±1	40	3	3.5
ADR421	±1	50	3	1.75
ADR03	±2.5	50	3	6
ADR291	±2	50	8	8
AD780	±1	20	3	4

外形寸法



D06468-0-8/08(0)-J

図 45.24 ピン薄型シュリンク・スモール・アウトライン・パッケージ、露出パッド[TSSOP_EP]
(RE-24)
寸法: mm

オーダー・ガイド

Model	Resolution (Bits)	Temperature Range	TUE	INL	Package Description	Package Option
AD5724AREZ[1]	12	−40°C to +85°C	0.3% FSR	±1 LSB	24-Lead TSSOP_EP	RE-24
AD5724AREZ-REEL7[1]	12	−40°C to +85°C	0.3% FSR	±1 LSB	24-Lead TSSOP_EP	RE-24
AD5734AREZ[1]	14	−40°C to +85°C	0.3% FSR	±4 LSB	24-Lead TSSOP_EP	RE-24
AD5734AREZ-REEL7[1]	14	−40°C to +85°C	0.3% FSR	±4 LSB	24-Lead TSSOP_EP	RE-24
AD5754AREZ[1]	16	−40°C to +85°C	0.3% FSR	±16 LSB	24-Lead TSSOP_EP	RE-24
AD5754AREZ-REEL7[1]	16	−40°C to +85°C	0.3% FSR	±16 LSB	24-Lead TSSOP_EP	RE-24
AD5754BREZ[1]	16	−40°C to +85°C	0.1% FSR	±16 LSB	24-Lead TSSOP_EP	RE-24
AD5754BREZ-REEL7[1]	16	−40°C to +85°C	0.1% FSR	±16 LSB	24-Lead TSSOP_EP	RE-24

[1] Z = RoHS 準拠製品