



2 ppm/°C リファレンス、I²Cインターフェース 内蔵の12ビット・デュアル nanoDAC+

データシート

AD5697R

特長

2 ppm/°C (typ)の低ドリフト 2.5 V リファレンスを内蔵
小型パッケージ: 3 mm × 3 mm の 16 ピン LFCSP
総合未調整誤差(TUE): フルスケール・レンジ(FSR)の最大
±0.1%

オフセット誤差: 最大±1.5 mV
ゲイン誤差: FSR の最大±0.1%
高い駆動能力: 20 mA、電源レールから 0.5 V
ユーザー設定可能なゲイン: 1 または 2 (GAIN ピン)
ゼロスケールまたはミッドスケールへのリセット(RSTSEL ピン)
1.8 V ロジックに互換
低グリッチ: 0.5 nV-sec
400 kHz の I²C 互換シリアル・インターフェース
強固な 3.5 kV HBM および 1.5 kV FICDM ESD 定格
低消費電力: 3 V で 3.3 mW
2.7~5.5 V 電源で動作
温度範囲: -40°C~+105°C

アプリケーション

基地局用パワー・アンプ
プロセス制御 (プログラマブル・ロジック・コントローラ [PLC]
I/O カード)
工業用オートメーション
データ・アキュイジション・システム

概要

nanoDAC+™ファミリーに属する AD5697R は、低消費電力のバッファ付き 12 ビット電圧出力デュアル D/A コンバータ(DAC)です。このデバイスは、2.5 V の 2 ppm/°C リファレンス電圧 (デフォルトでイネーブル)と、2.5 V (ゲイン= 1)または 5 V (ゲイン= 2)のフルスケール出力を選択するゲイン選択ピンを内蔵しています。AD5697R は 2.7 V~5.5 V の単電源で動作し、デザインにより単調性が保証され、FSR ゲイン誤差性能は 0.1% 以下でオフセット誤差性能は 1.5 mV です。これらのデバイスは、3 mm × 3 mm LFCSP パッケージまたは TSSOP パッケージを採用しています。

また、AD5697Rはパワーオン・リセット回路と RSTSEL ピンも内蔵しています。この RSTSELピンを使うと、DAC 出力がゼロスケールまたはミッドスケールでパワーアップし、有効な書込みが行われるまでその状態を維持させることができます。このデバイスは、チャンネルごとのパワーダウン機能を内蔵しています。この機能はパワーダウン・モードのデバイス消費電流を 3 V で 4 μA へ削減します。

AD5697R は、最大 400 kHz のクロック・レートで動作する多機能な 2 線式シリアル・インターフェースを採用し、1.8 V/3 V/5 V V_{Logic}用の V_{Logic}ピンを内蔵しています。

機能ブロック図

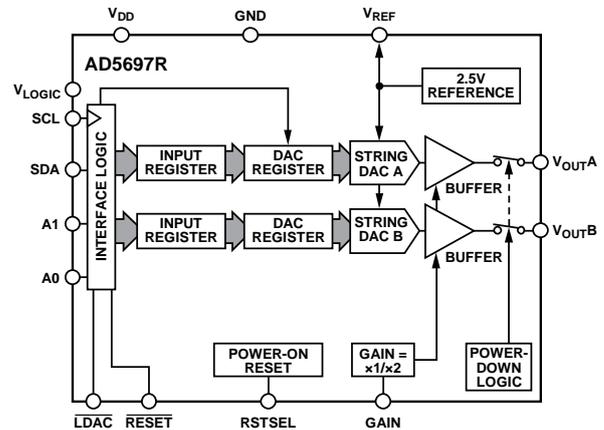


図 1.

表 1.デュアル nanoDAC+ デバイス

Interface	Reference	16-Bit	12-Bit
SPI	Internal	AD5689R	AD5687R
	External	AD5689	AD5687
I ² C	Internal		AD5697R
	External		

製品のハイライト

- 優れた DC 性能。
TUE: ±0.1% of FSR 最大
オフセット誤差: 最大±1.5 mV
ゲイン誤差: FSR の最大±0.1%
- 低ドリフトの 2.5 V リファレンス電圧を内蔵。
温度係数: 2 ppm/°C (typ)
最大温度係数: 5 ppm/°C
- 2 種類のパッケージ・オプション。
3 mm × 3 mm の 16 ピン LFCSP
16 ピン TSSOP

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2013 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	シリアル動作.....	19
アプリケーション.....	1	書込み動作.....	19
機能ブロック図.....	1	読出し動作.....	20
概要.....	1	複数 DAC のリードバック・シーケンス.....	20
製品のハイライト.....	1	パワーダウン動作.....	21
改訂履歴.....	2	DAC のロード(ハードウェア $\overline{\text{LDAC}}$ ピン).....	22
仕様.....	3	$\overline{\text{LDAC}}$ マスク・レジスタ.....	22
AC 特性.....	5	ハードウェア・リセット($\overline{\text{RESET}}$).....	23
タイミング特性.....	6	リセット選択ピン($\overline{\text{RSTSEL}}$).....	23
絶対最大定格.....	7	内蔵リファレンスのセットアップ.....	23
ESD の注意.....	7	ハンダ加熱リフロー.....	23
ピン配置およびピン機能説明.....	8	長時間温度ドリフト.....	23
代表的な性能特性.....	9	熱ヒステリシス.....	24
用語.....	15	アプリケーション情報.....	25
動作原理.....	17	マイクロプロセッサ・インターフェース.....	25
D/A コンバータ.....	17	AD5697R と ADSP-BF531 とのインターフェース.....	25
伝達関数.....	17	レイアウトのガイドライン.....	25
DAC アーキテクチャ.....	17	電流絶縁型インターフェース.....	25
シリアル・インターフェース.....	18	外形寸法.....	26
書込コマンドと更新コマンド.....	18	オーダー・ガイド.....	26

改訂履歴

2/13—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$; $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$; すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。 $R_L = 2\text{ k}\Omega$; $C_L = 200\text{ pF}$ 。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
STATIC PERFORMANCE¹					
Resolution	12			Bits	
Relative Accuracy		± 0.12	± 1	LSB	
Differential Nonlinearity			± 1	LSB	Guaranteed monotonic by design
Zero-Code Error		0.4	1.5	mV	All 0s loaded to DAC register
Offset Error		+0.1	± 1.5	mV	
Full-Scale Error		+0.01	± 0.1	% of FSR	All 1s loaded to DAC register
Gain Error		± 0.02	± 0.1	% of FSR	
Total Unadjusted Error		± 0.01	± 0.1	% of FSR	External reference; gain = 2; TSSOP
			± 0.2	% of FSR	Internal reference; gain = 1; TSSOP
Offset Error Drift ²		± 1		$\mu\text{V}/^\circ\text{C}$	
Gain Temperature Coefficient ²		± 1		ppm	Of FSR/ $^\circ\text{C}$
DC Power Supply Rejection Ratio ²		0.15		mV/V	DAC code = midscale; $V_{DD} = 5\text{ V} \pm 10\%$
DC Crosstalk ²			± 2	μV	Due to single channel, full-scale output change
			± 3	$\mu\text{V}/\text{mA}$	Due to load current change
			± 2	μV	Due to powering down (per channel)
OUTPUT CHARACTERISTICS²					
Output Voltage Range	0		V_{REF}	V	Gain = 1
	0		$2 \times V_{REF}$	V	Gain = 2, see Figure 26
Capacitive Load Stability		2		nF	$R_L = \infty$
		10		nF	$R_L = 1\text{ k}\Omega$
Resistive Load ³	1			k Ω	
Load Regulation		80		$\mu\text{V}/\text{mA}$	$5\text{ V} \pm 10\%$, DAC code = midscale; $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		80		$\mu\text{V}/\text{mA}$	$3\text{ V} \pm 10\%$, DAC code = midscale; $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
Short-Circuit Current ⁴		40		mA	
Load Impedance at Rails ⁵		25		Ω	See Figure 26
Power-Up Time		2.5		μs	Coming out of power-down mode; $V_{DD} = 5\text{ V}$
REFERENCE OUTPUT					
Output Voltage ⁶	2.4975		2.5025	V	At ambient
Reference Temperature Coefficient ^{7, 8}		2	5	ppm/ $^\circ\text{C}$	See the Terminology section
Output Impedance ²		0.04		Ω	
Output Voltage Noise ²		12		$\mu\text{V p-p}$	0.1 Hz to 10 Hz
Output Voltage Noise Density ²		240		nV/ $\sqrt{\text{Hz}}$	At ambient; $f = 10\text{ kHz}$, $C_L = 10\text{ nF}$
Load Regulation Sourcing ²		20		$\mu\text{V}/\text{mA}$	At ambient
Load Regulation Sinking ²		40		$\mu\text{V}/\text{mA}$	At ambient
Output Current Load Capability ²		± 5		mA	$V_{DD} \geq 3\text{ V}$
Line Regulation ²		100		$\mu\text{V}/\text{V}$	At ambient
Long-Term Stability/Drift ²		12		ppm	After 1000 hours at 125°C
Thermal Hysteresis ²		125		ppm	First cycle
		25		ppm	Additional cycles
LOGIC INPUTS²					
Input Current			± 2	μA	Per pin
Input Low Voltage, V_{INL}			$0.3 \times V_{LOGIC}$	V	
Input High Voltage, V_{INH}	$0.7 \times V_{LOGIC}$			V	
Pin Capacitance		2		pF	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC OUTPUTS (SDA)²					
Output Low Voltage, V_{OL}			0.4	V	$I_{SINK} = 3 \text{ mA}$
Floating State Output Capacitance		4		pF	
POWER REQUIREMENTS					
V_{LOGIC}	1.8		5.5	V	
I_{LOGIC}			3	μA	
V_{DD}	2.7		5.5	V	Gain = 1
	$V_{REF} + 1.5$		5.5	V	Gain = 2
I_{DD}					$V_{IH} = V_{DD}$, $V_{IL} = \text{GND}$, $V_{DD} = 2.7 \text{ V to } 5.5 \text{ V}$
Normal Mode ⁹		0.59	0.7	mA	Internal reference off
		1.1	1.3	mA	Internal reference on, at full scale
All Power-Down Modes ¹⁰		1	4	μA	$-40^\circ\text{C to } +85^\circ\text{C}$
			6	μA	$-40^\circ\text{C to } +105^\circ\text{C}$

¹ 特に指定がない限り、DC仕様は出力無負荷でテスト。上側デッドバンド = 10 mV で、これは $V_{REF} = V_{DD}$ かつゲイン = 1 の場合、または $V_{REF}/2 = V_{DD}$ かつゲイン = 2 の場合のみ存在します。直線性は、縮小コード範囲 12~4080 を使って計算。

² デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

³ チャンネル A の出力電流は最大 30 mA です。同様に、チャンネル B は、ジャンクション温度 100°C までで最大 30 mA の出力電流を持つことができます。

⁴ $V_{DD} = 5 \text{ V}$ 。このデバイスは、一時的過負荷状態でデバイスを保護することを目的とした電流制限機能を内蔵しています。電流制限時にはジャンクション温度を超えることができます。規定の最大動作ジャンクション温度より上での動作はデバイスの信頼性を損なう可能性があります。

⁵ いずれかの電源レールから負荷電流を取り出すとき、その電源レールに対する出力電圧のヘッドルームは、出力デバイスのチャンネル抵抗 25 Ω (typ) により制限されます。例えば、1 mA のシンク電流の場合、最小出力電圧 = $25 \Omega \times 1 \text{ mA} = 25 \text{ mV}$ となります (図 26 参照)。

⁶ 前処理ハンダ・リフローでの初期精度は $\pm 750 \mu\text{V}$ です。出力電圧は前処理でのドリフトの影響を含みます。内蔵リファレンスのセットアップのセクションを参照してください。

⁷ リファレンス電圧は 2 点の温度で調整/テストし、キャラクタライゼーションは $-40^\circ\text{C} \sim +105^\circ\text{C}$ で行います。

⁸ リファレンス電圧の温度係数はボックス法に準拠して計算します。詳細については、用語のセクションを参照してください。

⁹ インターフェースは非アクティブ状態。両 DAC はアクティブ状態。DAC 出力は無負荷。

¹⁰ 両 DAC はパワーダウン。

AC 特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$; $R_L = 2\text{ k}\Omega$ (GNDへ接続); $C_L = 200\text{ pF}$ (GNDへ接続); $1.8\text{ V} \leq V_{\text{LOGIC}} \leq 5.5\text{ V}$; すべての仕様は $T_{\text{MIN}} \sim T_{\text{MAX}}$ で規定。デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

表 3.

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments ²
Output Voltage Settling Time		5	7	μs	1/4 to 3/4 scale settling to $\pm 2\text{ LSB}$
Slew Rate		0.8		$\text{V}/\mu\text{s}$	
Digital-to-Analog Glitch Impulse		0.5		$\text{nV}\cdot\text{sec}$	1 LSB change around major carry
Digital Feedthrough		0.13		$\text{nV}\cdot\text{sec}$	
Digital Crosstalk		0.1		$\text{nV}\cdot\text{sec}$	
Analog Crosstalk		0.2		$\text{nV}\cdot\text{sec}$	
DAC-to-DAC Crosstalk		0.3		$\text{nV}\cdot\text{sec}$	
Total Harmonic Distortion (THD) ³		-80		dB	At ambient, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{\text{OUT}} = 1\text{ kHz}$
Output Noise Spectral Density		300		$\text{nV}/\sqrt{\text{Hz}}$	DAC code = midscale, 10 kHz; gain = 2
Output Noise		6		$\mu\text{V p-p}$	0.1 Hz to 10 Hz
Signal-to-Noise Ratio (SNR)		90		dB	At ambient, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{\text{OUT}} = 1\text{ kHz}$
Spurious-Free Dynamic Range (SFDR)		83		dB	At ambient, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{\text{OUT}} = 1\text{ kHz}$
Signal-to-Noise-and-Distortion Ratio (SINAD)		80		dB	At ambient, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{\text{OUT}} = 1\text{ kHz}$

¹用語のセクションを参照してください。

²温度範囲 (typ)は、25°C で-40°C~+105°Cです。

³デジタル的に発生した 1 kHz の正弦波。

タイミング特性

特に指定がない限り、 $V_{DD} = 2.5\text{ V} \sim 5.5\text{ V}$; $1.8\text{ V} \leq V_{\text{LOGIC}} \leq 5.5\text{ V}$;すべての仕様は $T_{\text{MIN}} \sim T_{\text{MAX}}$ で規定。図 2 を参照してください。

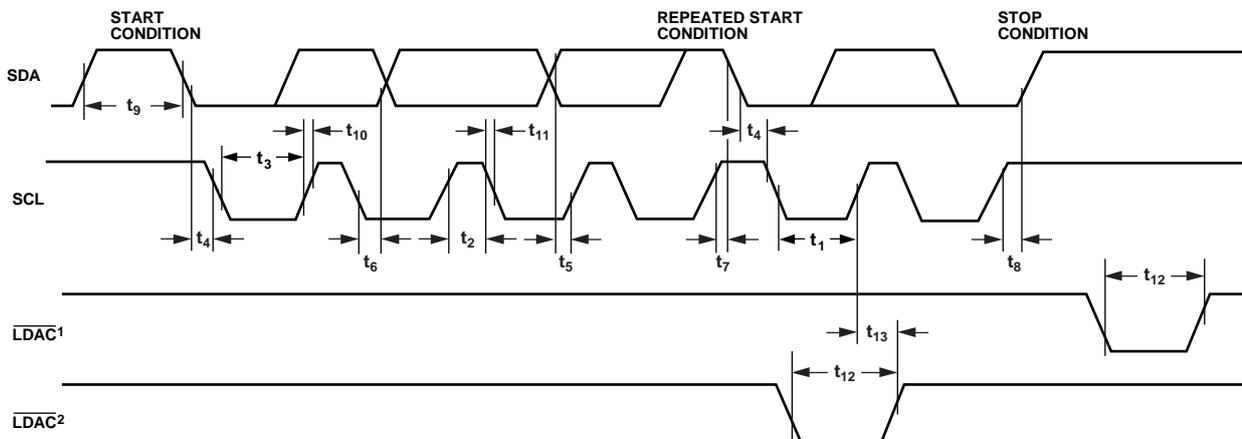
表 4.

Parameter ¹	Min	Max	Unit	Test Conditions/Comments
t_1	2.5		μs	SCL cycle time
t_2	0.6		μs	SCL high time, t_{HIGH}
t_3	1.3		μs	SCL low time, t_{LOW}
t_4	0.6		μs	Start/repeated start condition hold time, $t_{\text{HD,STA}}$
t_5	100		ns	Data setup time, $t_{\text{SU,DAT}}$
t_6^2	0	0.9	μs	Data hold time, $t_{\text{HD,DAT}}$
t_7	0.6		μs	Setup time for repeated start, $t_{\text{SU,STA}}$
t_8	0.6		μs	Stop condition setup time, $t_{\text{SU,STO}}$
t_9	1.3		μs	Bus free time between a stop and a start condition, t_{BUF}
t_{10}	0	300	ns	Rise time of SCL and SDA when receiving, t_{R}
t_{11}	$20 + 0.1C_B^3$	300	ns	Fall time of SDA and SCL when transmitting/receiving, t_{F}
t_{12}	20		ns	$\overline{\text{LDAC}}$ pulse width
t_{13}	400		ns	SCL rising edge to $\overline{\text{LDAC}}$ rising edge
C_B^3		400	pF	Capacitive load for each bus line

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² SCL の立下がりエッジの不定領域を避けるため、マスター・デバイスは、SDA 信号に対して最小 300 ns のホールド・タイムを確保する必要があります(SCL 信号の $V_{\text{IH min}}$ を基準として)。

³ C_B は 1 本のバス・ラインの合計容量(pF)です。 t_{R} と t_{F} は、 $0.3V_{\text{DD}}$ と $0.7V_{\text{DD}}$ との間で測定。



NOTES
¹ASYNCHRONOUS $\overline{\text{LDAC}}$ UPDATE MODE.
²SYNCHRONOUS $\overline{\text{LDAC}}$ UPDATE MODE.

11253-002

図 2.2 線式シリアル・インターフェースのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 5.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{LOGIC} to GND	-0.3 V to +7 V
V_{OUT} to GND	-0.3 V to $V_{DD} + 0.3$ V
V_{REF} to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND ¹	-0.3 V to $V_{LOGIC} + 0.3$ V
SDA and SCL to GND	-0.3 V to +7 V
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	125°C
16-Lead TSSOP, θ_{JA} Thermal Impedance, 0 Airflow (4-Layer Board)	112.6°C/W
16-Lead LFCSP, θ_{JA} Thermal Impedance, 0 Airflow (4-Layer Board)	70°C/W
Reflow Soldering Peak Temperature, Pb Free (J-STD-020)	260°C
ESD ²	3.5 kV
FICDM	1.5 kV

¹ SDA と SCL は除きます。

² 人体モデル (HBM) 分類。

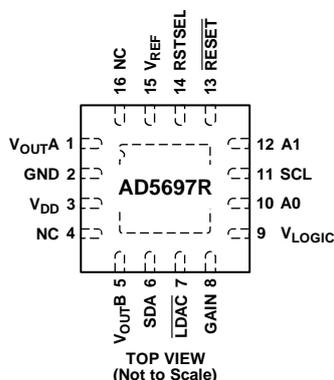
上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



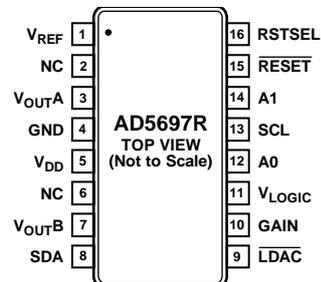
ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されずにそのまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
 1. THE EXPOSED PAD MUST BE TIED TO GND.
 2. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.

図 3.16 ピン LFCSP のピン配置



NOTES
 1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.

図 4.16 ピン TSSOP のピン配置

表 6. ピン機能の説明

ピン番号		記号	説明
LFCSP	TSSOP		
1	3	V _{OUTA}	DAC A からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
16	2	NC	未接続。このピンは接続しないでください。
2	4	GND	デバイス上の全回路に対するグラウンド基準電圧ポイント。
3	5	V _{DD}	電源入力。このデバイスは 2.7 V~5.5 V で動作します。電源は 10 μF のコンデンサと 0.1 μF のコンデンサの並列接続により GND へデカップリングしてください。
4	6	NC	未接続。このピンは接続しないでください。
5	7	V _{OUTB}	DAC B のアナログ電圧出力。出力アンプはレール to レールの動作を行います。
6	8	SDA	シリアル・データ入力。このピンは、24 ビット入力シフトレジスタにデータを入力する SCL ラインと組み合わせて使います。SDA は双方向のオープン・ドレイン・データラインであるため、外付け抵抗で電源にプルアップする必要があります。
7	9	LDAC	LDAC は、非同期と同期の 2 つのモードで動作することができます。入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを入力すると、一方または両方の DAC レジスタが更新されます。この信号を使うと、両 DAC 出力を同時に更新することができます。あるいは、このピンをロー・レベルに固定することができます。
8	10	GAIN	ゲイン選択ピン。このピンを GND に接続すると、両 DAC 出力の振幅は 0 V~V _{REF} になります。このピンを V _{LOGIC} に接続すると、両 DAC 出力の振幅は 0 V~2 × V _{REF} になります。
9	11	V _{LOGIC}	デジタル電源。電圧範囲は 1.8 V~5.5 V。
10	12	A0	アドレス入力。7 ビット・スレーブ・アドレスの先頭の LSB を設定します。
11	13	SCL	シリアル・クロック・ライン。このピンは、24 ビット入力レジスタにデータを入力する SDA ラインと組み合わせて使います。
12	14	A1	アドレス入力。7 ビット・スレーブ・アドレスの 2 番目の LSB を設定します。
13	15	RESET	非同期リセット入力。RESET 入力は、立下がりエッジ検出です。RESET がロー・レベルのときは、すべての LDAC パルスが無視されます。RESET がロー・レベルになると、入力レジスタと DAC レジスタが RSTSEL ピンの状態に応じてゼロスケールまたはミッドスケールで更新されます。
14	16	RSTSEL	パワーオン・リセット選択ピン。このピンを GND に接続すると、両 DAC はゼロスケールでパワーアップします。このピンを V _{LOGIC} に接続すると、両 DAC はミッドスケールでパワーアップします。
15	1	V _{REF}	リファレンス電圧。AD5697R には共通のリファレンスピンがあります。内蔵リファレンス電圧を使用する場合、このピンがリファレンス出力ピンになります。外付けリファレンスを使用する場合は、このピンはリファレンス入力ピンになります。このピンは、デフォルトでリファレンス出力になります。
17	—	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは GND に接続する必要があります。

代表的な性能特性

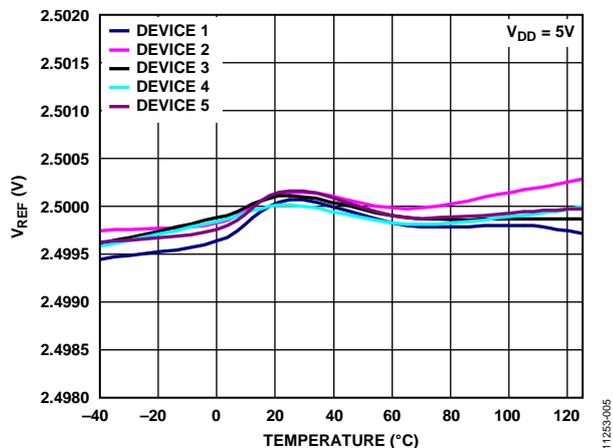


図 5.内蔵リファレンス電圧の温度特性

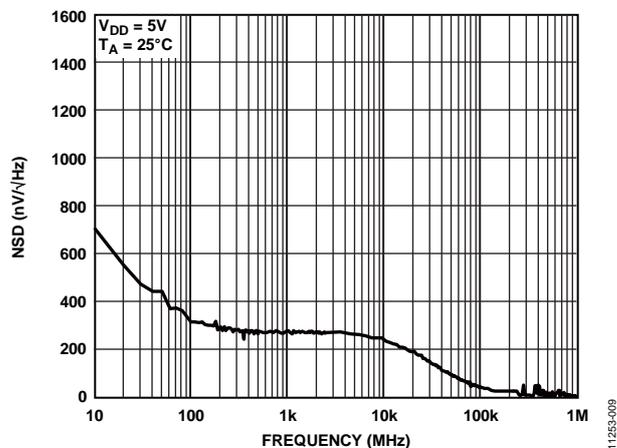


図 8.内蔵リファレンス・ノイズ・スペクトル密度の周波数特性

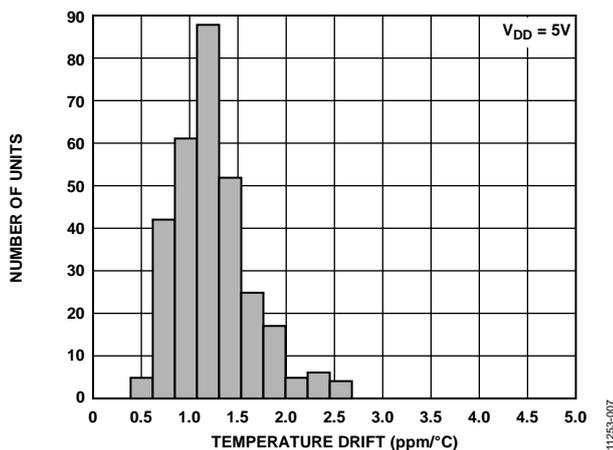


図 6.リファレンス出力温度ドリフトのヒストグラム

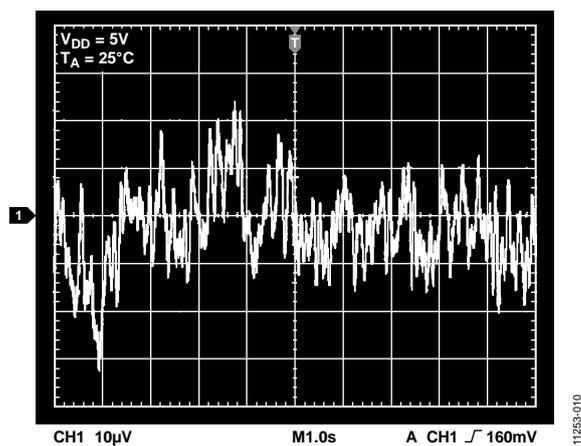


図 9.内蔵リファレンスのノイズ、0.1 Hz~10 Hz

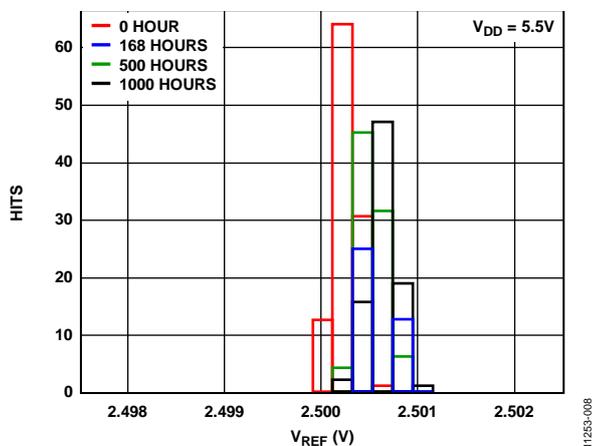


図 7.リファレンスの長時間安定性/ドリフト

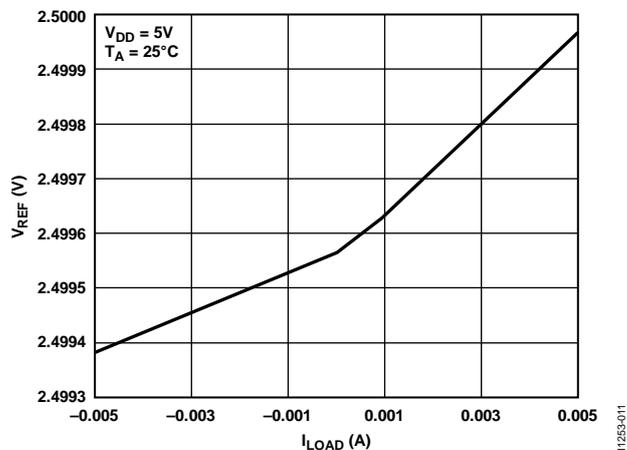


図 10.負荷電流対内蔵リファレンス電圧

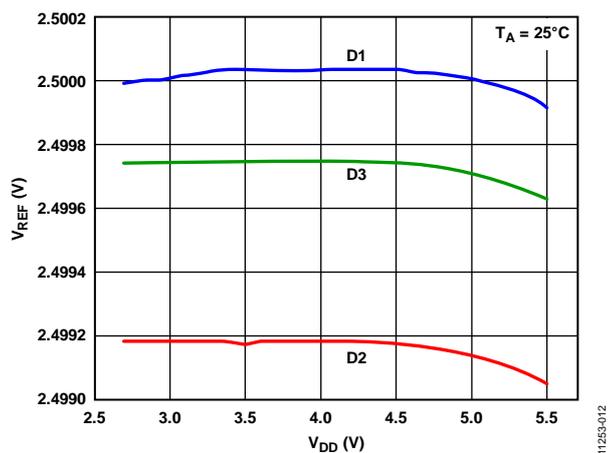


図 11.電源電圧対内蔵リファレンス電圧

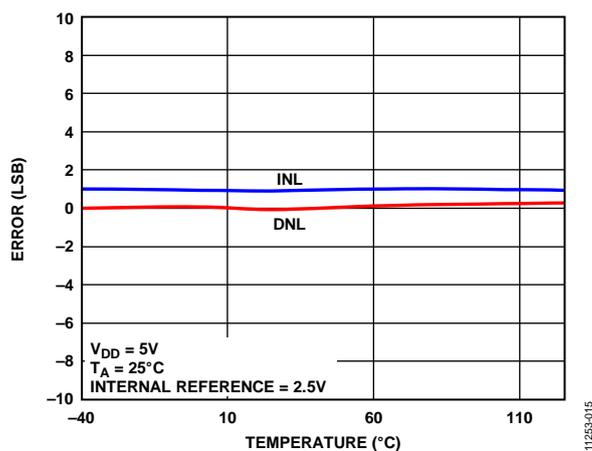


図 14.INL 誤差と DNL 誤差の温度特性

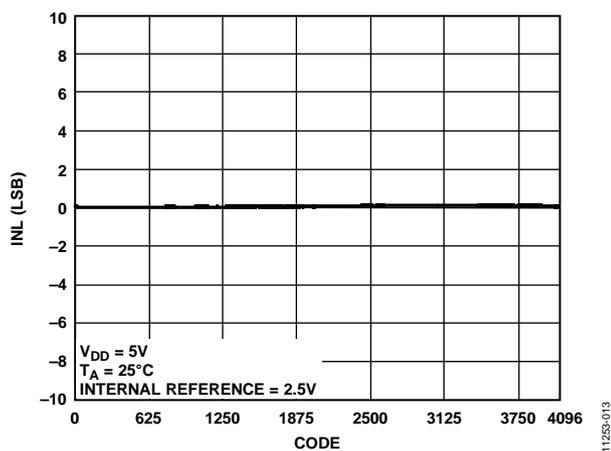


図 12.コード対積分非直線性 (INL)

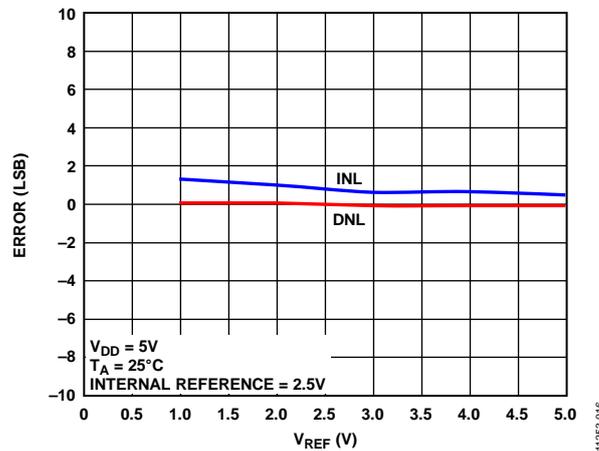


図 15.VREF 対 INL 誤差および DNL 誤差

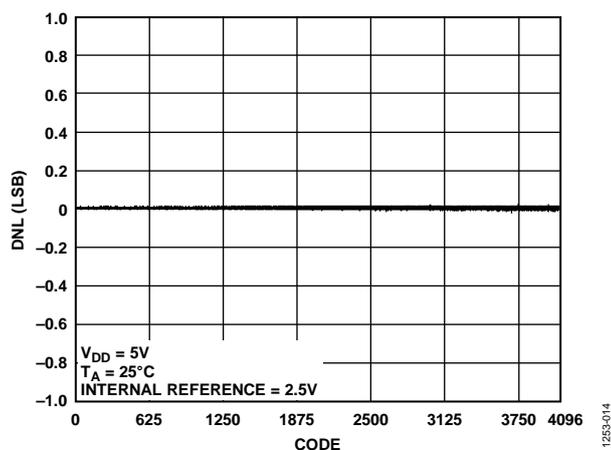


図 13.コード対微分非直線性 (DNL)

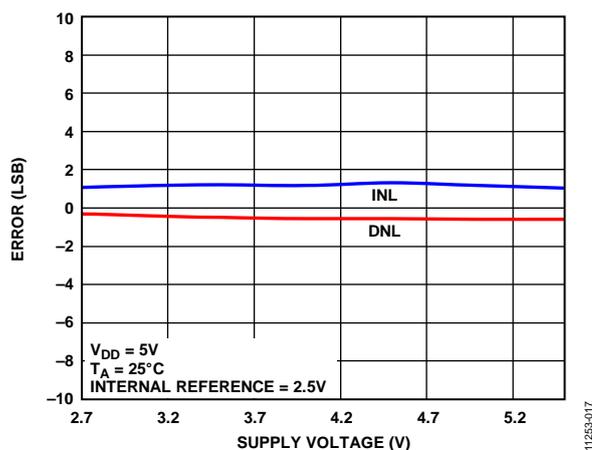


図 16.電源電圧対 INL 誤差および DNL 誤差

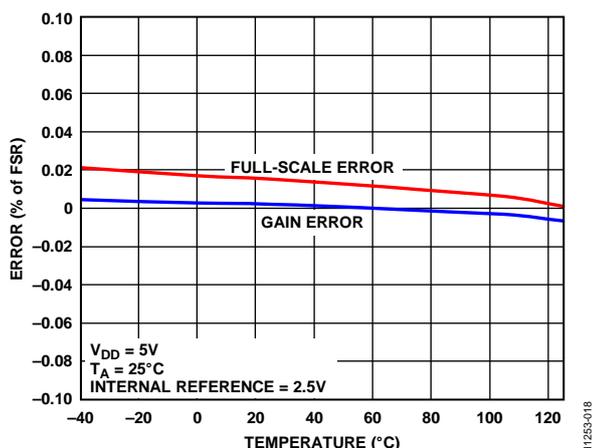


図 17.ゲイン誤差とフルスケール誤差の温度特性

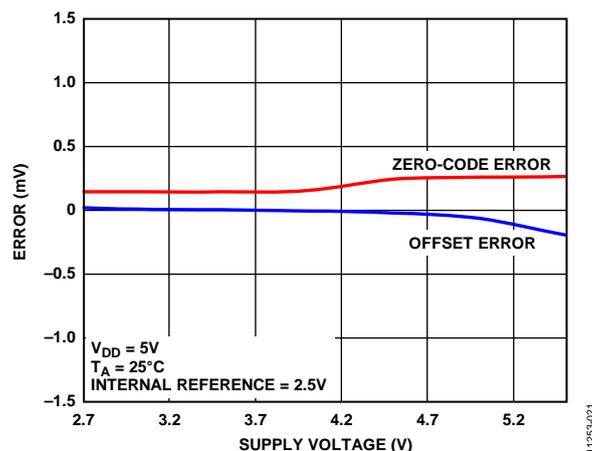


図 20.電源電圧対ゼロ・コード誤差およびオフセット誤差

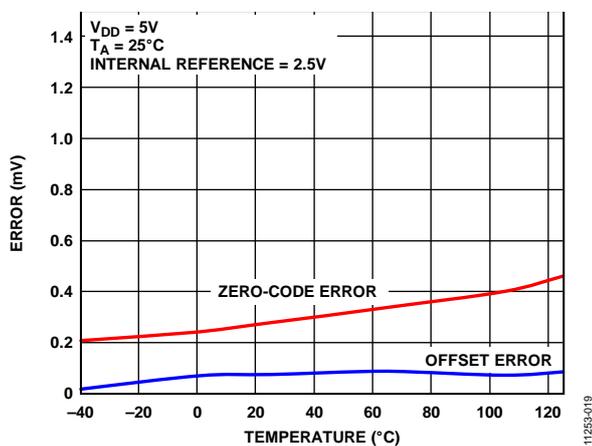


図 18.ゼロ・コード誤差とオフセット誤差の温度特性

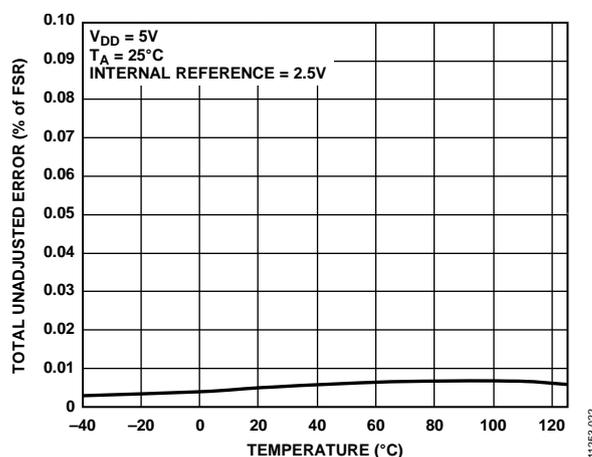


図 21.総合未調整誤差の温度特性

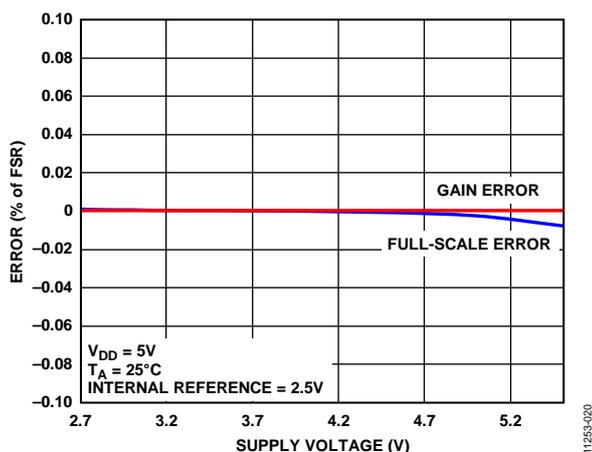


図 19.電源電圧対ゲイン誤差およびフルスケール誤差

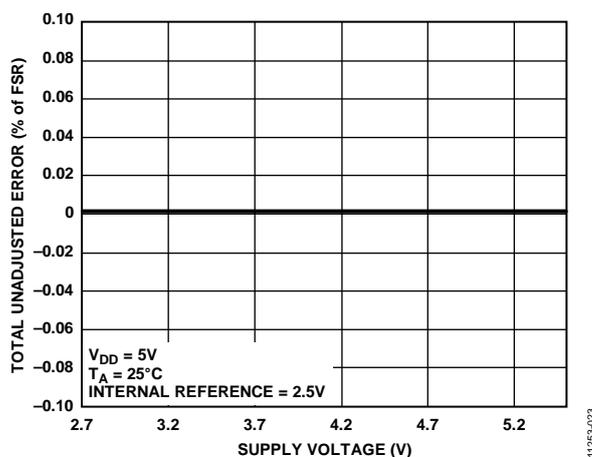


図 22.電源電圧対総合未調整誤差、ゲイン = 1

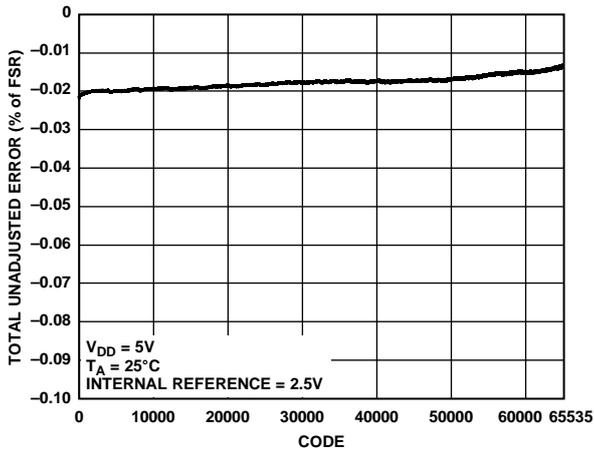


図 23.コード対総合未調整誤差

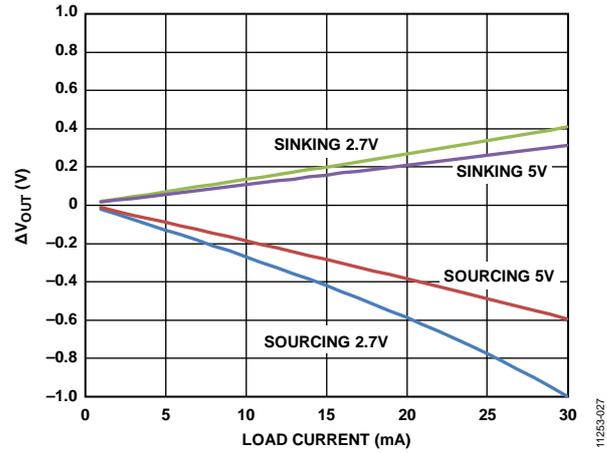


図 26.負荷電流対ヘッドルーム/フットルーム

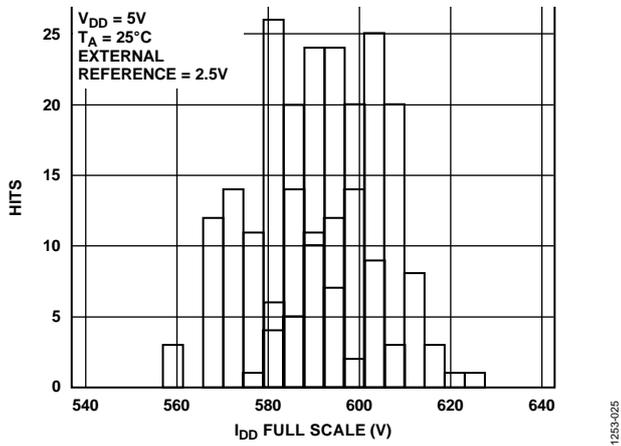


図 24. I_{DD} ヒストグラム—外付けリファレンス電圧

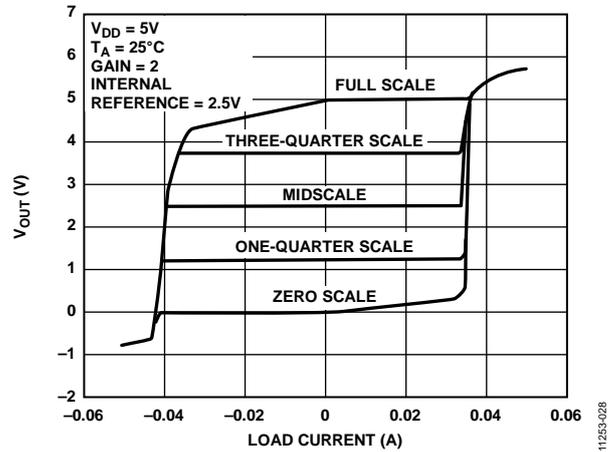


図 27. $V_{DD} = 5V$ でのソース能力とシンク能力

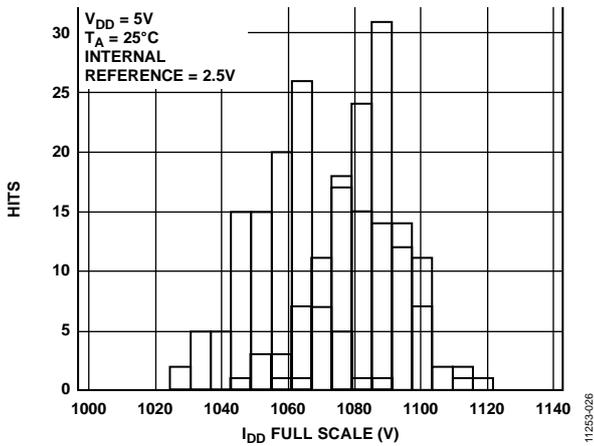


図 25.内蔵リファレンス電圧での I_{DD} ヒストグラム
 $V_{REFOUT} = 2.5V$ 、ゲイン=2

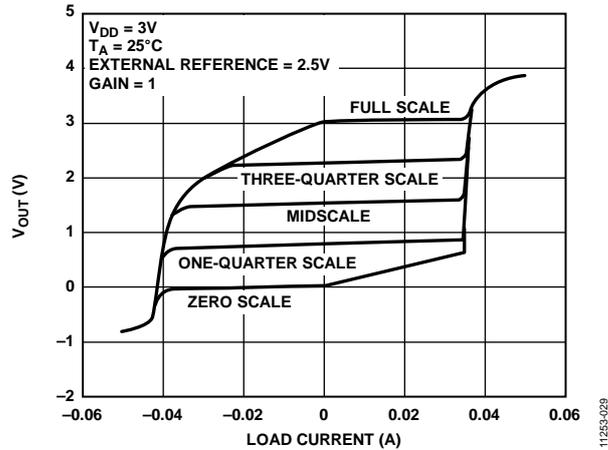


図 28. $V_{DD} = 3V$ でのソース能力とシンク能力

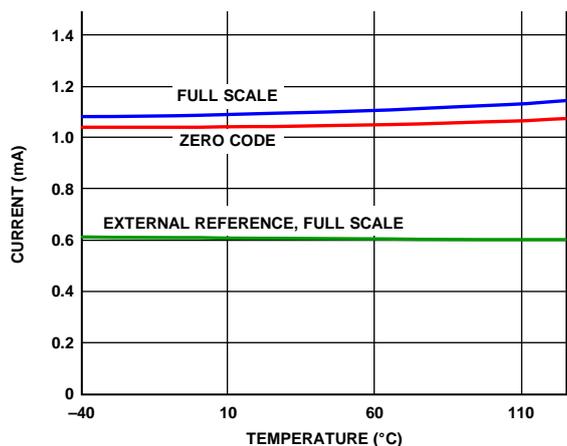


図 29.電源電流の温度特性

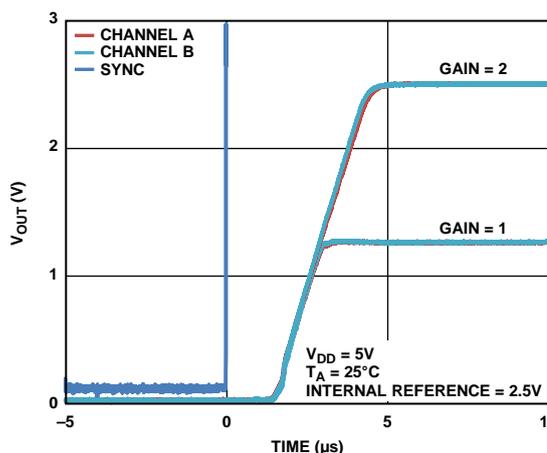


図 32.パワーダウン終了時のミドスケール出力

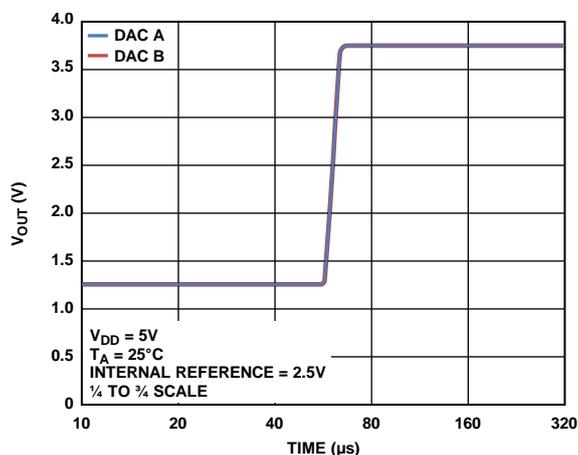


図 30.セトリング・タイム

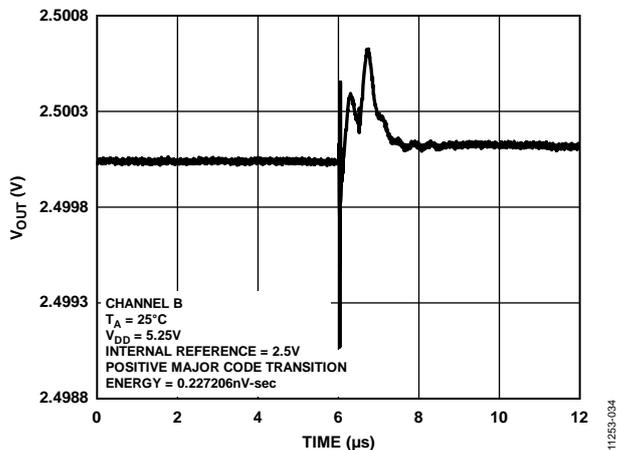


図 33.デジタルからアナログへのグリッチ・インパルス

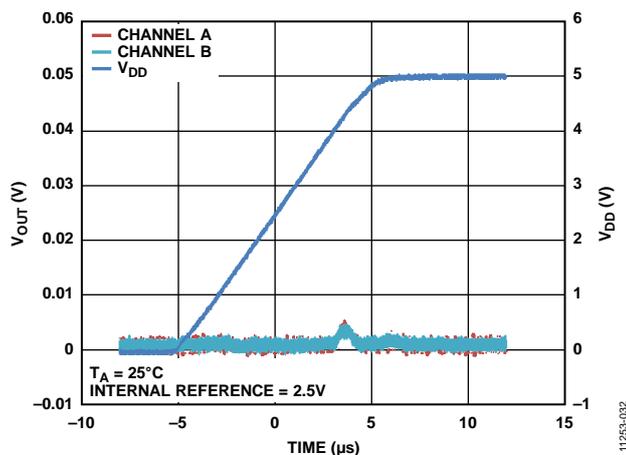


図 31.0 V へのパワーオン・リセット

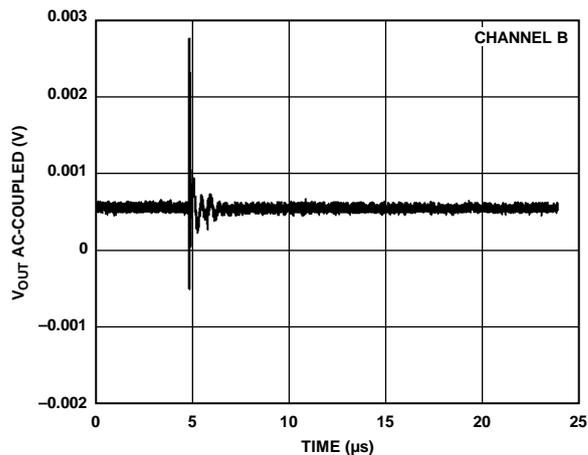


図 34.アナログ・クロストーク、チャンネル A

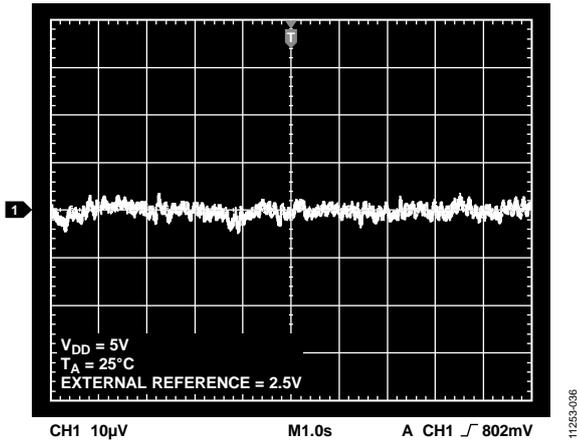


図 35. 0.1 Hz~10 Hzでの出力ノイズ・プロット
外付けリファレンス電圧

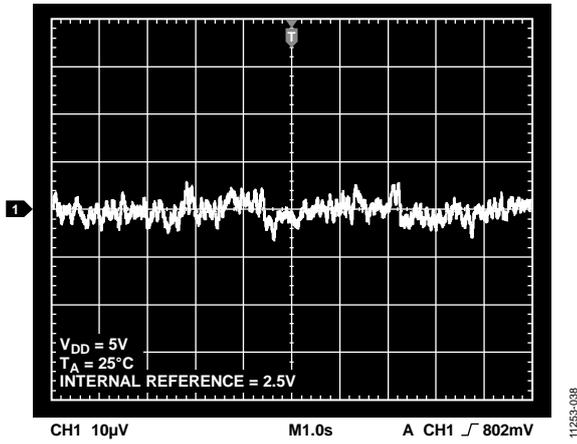


図 36. 0.1 Hz~10 Hz 出力ノイズ・プロット
2.5 V 内蔵リファレンス電圧

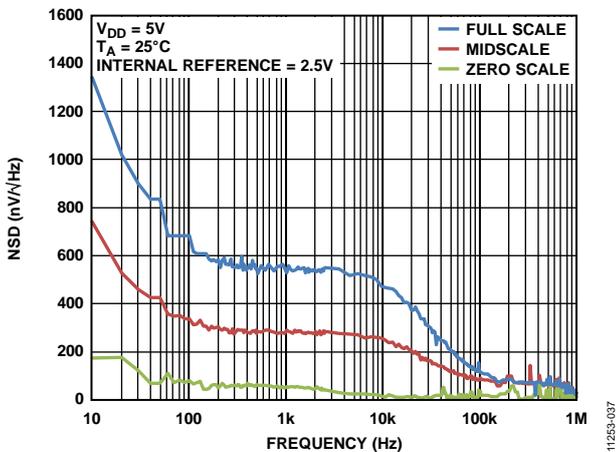


図 37. ノイズ・スペクトル密度

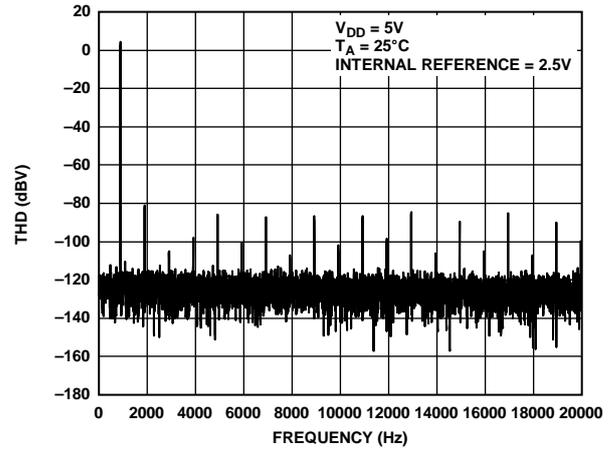


図 38. 全高調波歪み、1 kHz

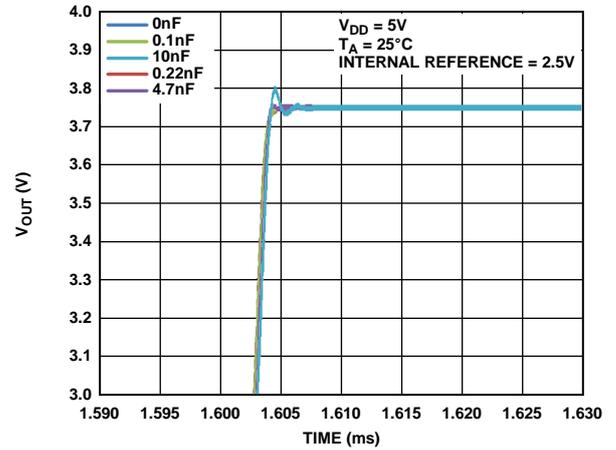


図 39. 容量負荷対セトリング・タイム

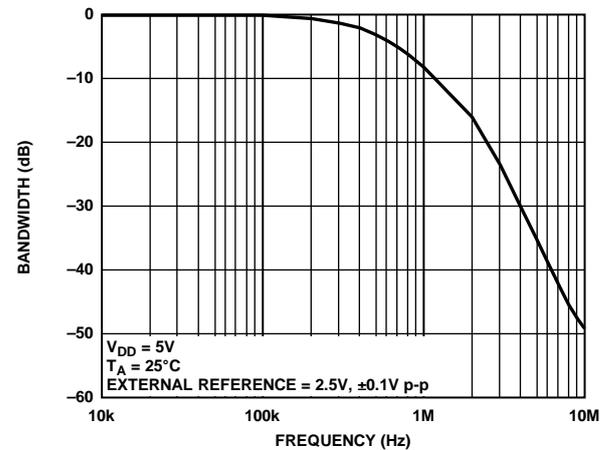


図 40. 乗算帯域幅
外付けリファレンス電圧 = 2.5 V、±0.1 V p-p、10 kHz~10 MHz

用語

相対精度または積分非直線性(INL)

DACの場合、相対精度すなわち積分非直線性は、DAC伝達関数の上下両端を結ぶ直線からの最大乖離(LSB数で表示)を表します。INL(typ)対コードのプロットを図12に示します。

微分非直線性(DNL)

微分非直線性(DNL)は、隣接する2つのコードの間における測定された変化と理論的な1LSB変化との差をいいます。最大 ± 1 LSBの微分非直線性の規定により、単調性が保証されます。このDACはデザインにより単調性を保証しています。代表的なDNL対コードについては図13を参照してください。

ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コード(0x0000)をDACレジスタにロードしたときの出力誤差として測定されます。理論的には、出力が0Vである必要があります。ゼロ・コード誤差はAD5697Rでは常に正です。これは、DACと出力アンプのオフセット誤差の組み合わせによってDAC出力が0Vより低くなることができないためです。ゼロ・コード誤差はmVで表します。ゼロ・コード誤差の温度特性を図18に示します。

フルスケール誤差

フルスケール誤差は、フルスケール・コードをDACレジスタにロードしたときの出力誤差として測定されます。理論的には出力は $V_{DD} - 1$ LSBである必要があります。フルスケール誤差はフルスケール範囲のパーセント値(FSRの%)で表します。フルスケール誤差の温度特性を図17に示します。

ゲイン誤差

DACのスパン誤差を表します。理論DAC伝達特性傾斜からの変位を表し、FSRの%で表示されます。

オフセット誤差ドリフト

オフセット誤差の温度変化を表し、 $\mu\text{V}/^\circ\text{C}$ で表されます。

ゲイン温度係数

これは、温度変化によるゲイン誤差の変化の測定値で、FSR/ $^\circ\text{C}$ のppmで表されます。

オフセット誤差

オフセット誤差は、伝達関数の直線領域での V_{OUT} (実測値)と V_{OUT} (理論)の差を表し、mVで表示されます。オフセット誤差は、AD5697RのDACレジスタにコード512をロードして測定されています。この誤差は正または負になります。

DC電源除去比(PSRR)

電源電圧変化のDAC出力に対する影響を表します。PSRRは、DACフルスケール出力での、 V_{OUT} 変化の V_{DD} 変化に対する比です。これはmV/Vで測定されます。 V_{REF} を2Vに維持して、 V_{DD} を $\pm 10\%$ 変化させます。

出力電圧セトリング・タイム

1/4フルスケールから3/4フルスケールへの入力変化に対して、DAC出力が規定のレベルまでに安定するために要する時間を表します。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DACレジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-secで表すグリッチの面積として規定され、主要なキャリ変化時に(0x7FFFから0x8000)、デジタル入力コードが1LSBだけ変化したときに測定されます(図33参照)。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。nV-secで規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット0から全ビット1への変化、またはその逆の変化のときに測定されます。

リファレンス・フィードスルー

DAC出力に変化がない時のDAC出力における信号振幅のリファレンス入力に対する比であり、dBで表されます。

ノイズ・スペクトル密度

これは、内部で発生されたランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度(nV/ $\sqrt{\text{Hz}}$)としてキャラクタライズされます。DACにミッドスケールを入力し、出力のノイズを測定してnV/ $\sqrt{\text{Hz}}$ で表します。ノイズ・スペクトル密度のプロットを図37に示します。

DCクロストーク

別のDAC出力での変化に起因する1つのDACの出力レベルでのDC変化。1つのミッドスケールに維持したDACをモニタしながら、別のDAC上でのフルスケール出力変化(またはソフト・パワーダウンとパワーアップ)を使って測定し、 μV で表されます。

負荷電流変化に起因するDCクロストークは、1つのDACの負荷電流変化がミッドスケールに設定された別のDACへ与える影響を表し、 $\mu\text{V}/\text{mA}$ で表わされます。

デジタル・クロストーク

1のDACの入力レジスタにおけるフルスケール・コード変化(全ビット0から全ビット1への変化、およびその逆変化)から、ミッドスケールにある別のDACの出力に混入したグリッチ・インパルス。スタンドアロン・モードで測定し、nV-secで表されます。

アナログ・クロストーク

DACの出力変化に起因して、別のDAC出力に混入するグリッチ・インパルス。入力レジスタの1つにフルスケール・コード変化(全ビット0から全ビット1への変化、およびその逆の変化)をロードして測定します。次に、ソフトウェアLDACを実効して、デジタル・コードが変化しないDACの出力をモニタします。グリッチの面積はnV-secで表示します。

DAC 間クロストーク

これは、デジタル・コードの変化とそれに続く DAC のアナログ出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルスです。書込コマンドと更新コマンドを使って、DAC の 1 つにフルスケール・コード変化 (全ビット 0 から全ビット 1 への変化、およびその逆変化) をロードして、この間にミッドスケールにある別の DAC 出力をモニタすることにより測定します。グリッチのエネルギーは nV-sec で表示します。

乗算帯域幅

DAC 内のアンプは有限な帯域幅を持っています。乗算帯域幅はこれを表します。入力された基準正弦波 (DAC にフルスケール・コードをロード) は、出力に現われます。乗算帯域幅は、出力振幅が入力より 3 dB 小さくなる周波数で表します。

全高調波歪み (THD)

THD は、理論正弦波と DAC を使ったために減衰したその正弦波との差を表します。DAC に対してリファレンスとして正弦波を使ったときに、DAC 出力に現われる高調波が THD になります。dB 値で表示します。

リファレンス電圧温度係数 (TC)

温度変化に対するリファレンス出力電圧の変化を意味し、リファレンス TC はボックス法を使って計算されます。この方法では、与えられた温度範囲でのリファレンス出力の最大変化として TC を定義し、次式のように ppm/°C で表わします。

$$TC = \left[\frac{V_{REFmax} - V_{REFmin}}{V_{REFnom} \times TempRange} \right] \times 10^6$$

ここで、

V_{REFmax} は全温度範囲で測定した最大リファレンス出力。

V_{REFmin} は全温度範囲で測定した最小リファレンス出力。

V_{REFnom} は公称リファレンス出力電圧 2.5 V。

$TempRange$ は規定の温度範囲 (-40°C ~ +105°C)。

動作原理

D/A コンバータ

AD5697R は、リファレンス電圧を内蔵した、シリアル入力、電圧出力のデュアル 12 ビット DAC です。このデバイスは 2.7 V～5.5 V の電源電圧で動作します。データは、2 線式シリアル・インターフェースを使用して 24 ビット・ワード・フォーマットで AD5697R へ書込まれます。AD5697R は、パワーオン・リセット回路を内蔵しており、この回路により、パワーアップ時に DAC 出力を既知出力状態に維持することができます。このデバイスは、消費電流を 4 μA (typ) まで減少させるソフトウェア・パワーダウン・モードも持っています。

伝達関数

内蔵リファレンスはデフォルトでオンになっています。外付けリファレンスを使うときは、非リファレンス・オプションのみが使用できます。DAC への入力コーディングはストレート・バイナリを使っているため、外付けリファレンスを使う場合、理論出力電圧は次式で与えられます。

$$V_{OUT} = V_{REF} \times Gain \left[\frac{D}{2^N} \right]$$

ここで、

Gain は、出力アンプのゲインで、デフォルトで 1 に設定されます。この値は、ゲイン選択ピンを使って $\times 1$ または $\times 2$ に設定することができます。このピンを GND に接続すると、両 DAC 出力の振幅は $0\text{ V} \sim V_{REF}$ になります。このピンを V_{LOGIC} に接続すると、両 DAC 出力の振幅は $0\text{ V} \sim 2 \times V_{REF}$ になります。

D は DAC レジスタにロードされるバイナリ・コードの 10 進数表示です。12 ビット・デバイスの場合 $0 \sim 4,095$ 。

N は、DAC の分解能です。

DAC アーキテクチャ

DAC アーキテクチャは、ストリング DAC とそれに続く出力アンプから構成されています。図 41 に、DAC アーキテクチャのブロック図を示します。

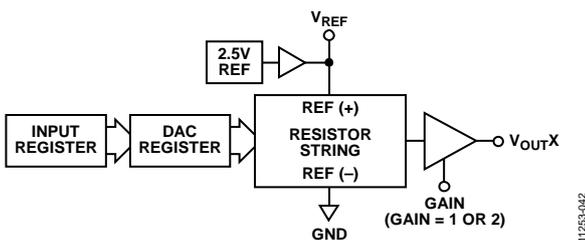


図 41. DAC 1 チャンネルあたりのアーキテクチャのブロック図

抵抗ストリング構造を図 42 に示します。各値が *R* の抵抗ストリングから構成されています。DAC レジスタにロードされるコードにより、ストリングのどのノードから電圧を分割して出力アンプへ供給するかが指定されます。スイッチの内の 1 つが閉じてストリングがアンプに接続されて、電圧が取り出されます。抵抗のストリングであるため、単調整が保証されます。

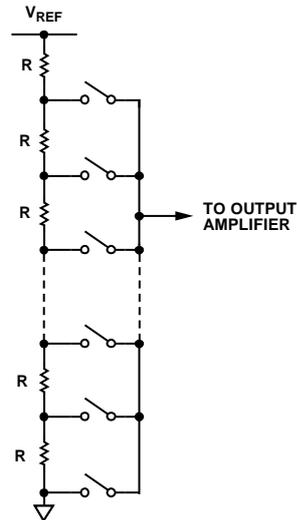


図 42. 抵抗ストリング構造

内蔵リファレンス

AD5697R の内蔵リファレンスはパワーアップ時にオンになりますが、コントロール・レジスタへの書き込みによりディスエーブルすることができます。詳細については、内蔵リファレンスのセットアップのセクションを参照してください。

AD5697R は、2.5 V、2 ppm/°C のリファレンス電圧を内蔵し、GAIN ピンの状態に応じてフルスケール出力 2.5 V または 5 V になります。デバイスの内蔵リファレンス電圧は V_{REF} ピンに出力されます。このバッファ付きリファレンス電圧は、最大 10 mA の外部負荷を駆動することができます。

出力アンプ

出力バッファアンプは、出力でレール to レール電圧を発生することができます。0 V～ V_{DD} の出力範囲になります。実際の範囲は、 V_{REF} の値、GAIN ピン、オフセット誤差、ゲイン誤差に依存します。GAIN ピンで出力のゲインを選択します。

- GAIN ピンを GND に接続すると、両 DAC の出力ゲインは 1 で、出力範囲は $0\text{ V} \sim V_{REF}$ になります。
- GAIN ピンを V_{LOGIC} に接続すると、両 DAC の出力ゲインは 2 で、出力範囲は $0\text{ V} \sim 2 \times V_{REF}$ になります。

これらのアンプは、GND へ接続した 1 kΩ と 2 nF の並列接続負荷を駆動することができます。スルーレートは 0.8 V/μs であり、1/4 スケールから 3/4 スケールまでのセトリング・タイムは 5 μs です。

シリアル・インターフェース

AD5697R は 2 線式 I²C 互換シリアル・インターフェースを内蔵しています(Philips Semiconductor 社の「I²C-Bus Specification」Version 2.1, January 2000 を参照してください)。図 2 に、代表的な書込みシーケンスのタイミング図を示します。AD5697Rは、マスター・デバイスから制御されるスレーブ・デバイスとして I²C バスに接続することができます。AD5697Rは、標準(100 kHz)と高速(400 kHz)のデータ転送モードをサポートしています。12 ビット・アドレッシングとジェネラル・コール・アドレッシングはサポートされていません。

入カシフトレジスタ

AD5697R の入カシフトレジスタは 24 ビット幅です。データは、シリアル・クロック入力 SCL の制御のもとで 24 ビット・ワードとしてデバイスに入力されます。上位 8 ビットがコマンド・バイトです。先頭の 4 ビットはコマンド・ビット(C3、C2、C1、C0)で、デバイスの動作モードを制御します(詳細については表 7 参照)。先頭バイトの最後の 4 ビットは、アドレス・ビットです(DAC B、0、0、DAC A、表 8 を参照)。

データワードは 12 ビット入力コードとそれに続く AD5697R に対する 4 個の don't care ビットで構成されています。これらのデータビットは、SCL の 24 個の立下がりエッジで入カレジスタへ転送されます。

コマンドは、選択したアドレス・ビットに応じて、個別 DAC チャンネル、または両 DAC チャンネルに対して実行することができます。

表 7. コマンドの定義

Command				Description
C3	C2	C1	C0	
0	0	0	0	No operation
0	0	0	1	Write to Input Register n (dependent on LDAC)
0	0	1	0	Update DAC Register n with contents of Input Register n
0	0	1	1	Write to and update DAC Channel n
0	1	0	0	Power down/power up DAC
0	1	0	1	Hardware LDAC mask register
0	1	1	0	Software reset (power-on reset)
0	1	1	1	Internal reference setup register
1	0	0	0	Reserved

...	Reserved
1	1	1	1	Reserved

表 8. アドレス・コマンド

Address (n)				
DAC B	0	0	DAC A	Description
0	0	0	1	DAC A
1	0	0	0	DAC B
1	0	0	1	DAC A and DAC B

書込コマンドと更新コマンド

入カレジスタ n への書込(LDACに依存)

コマンド 0001 を使うと、各 DAC の専用入カレジスタへ個別に書込みを行うことができます。LDAC がロー・レベルのとき、入カレジスタはトランスペアレントになります(LDAC マスク・レジスタから制御されていない場合)。

入カレジスタ n の値による DAC レジスタ n の更新

コマンド 0010 は、選択した入カレジスタ値を DAC レジスタ/出力へロードして DAC 出力を直接更新します。

DAC チャンネル n への書込と更新(LDAC非依存)

コマンド 0011 を使うと、DAC レジスタへ書込みを行なって、DAC 出力を直接更新することができます。

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	DAC B	0	0	DAC A	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE				DATA HIGH BYTE								DATA LOW BYTE											

図 43. 入カシフトレジスタ値

シリアル動作

AD5697Rは7ビットのスレーブ・アドレスを持っています。上位5ビットは00011で、下位2ビット(A1と A0)はアドレス・ピン(A0とA1)の状態を設定されます。A0とA1をハード・ワイヤー接続で変更する機能を使うと、表9に示すように、1つのバスにこれらのデバイスを最大4個接続することができます。

表 9. デバイス・アドレスの指定

A0 Pin Connection	A1 Pin Connection	A0	A1
GND	GND	0	0
V _{LOGIC}	GND	1	0
GND	V _{LOGIC}	0	1
V _{LOGIC}	V _{LOGIC}	1	1

2線式シリアル・バス・プロトコルは、次のように動作します。

1. マスターはスタート条件を設定してデータ転送を開始します。このスタート条件は、SCL がハイ・レベルの間に SDA ラインがハイ・レベルからロー・レベルへ変化することと定義されます。次のバイトはアドレス・バイトで、7 ビットのスレーブ・アドレスから構成されています。送信されたアドレスに該当するスレーブ・アドレスは 9 番目のクロック・パルスで、SDA をロー・レベルにして応答します(これはアクノリッジ・ビットと呼ばれます)。選択されたデバイスがシフトレジスタに読み書きするデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。
2. データは、9 個のクロック・パルスで 8 ビットのデータとそれに続くアクノリッジ・ビットの順にシリアル・バス上

を伝送します。SDA ラインは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります。

3. 全データビットの読出または書込みが終了すると、ストップ条件が設定されます。書込みモードでは、マスターが 10 番目のクロック・パルスで SDA ラインをハイ・レベルにプルアップして、ストップ状態を設定します。読出しモードでは、マスターは 9 番目のクロック・パルスでアクノリッジを発行しません(SDA ラインがハイ・レベルを維持)。この後、マスターは SDA ラインをロー・レベルにして、10 番目のクロック・パルスがハイ・レベルになるときストップ条件を設定します。

書込み動作

AD5697Rへ書込みを行うときは、まずスタート・コマンドを送信し、続いてアドレス・バイト(R/W = 0)を送信します。その後DAC は SDA をロー・レベルにして、データ受信の準備ができたことを通知します。AD5697R は、DAC と種々の DAC 機能を制御するコマンド・バイト用の 2 バイトのデータを必要とします。このため、3バイトのデータをDACに書込む必要があります。すなわち、コマンド・バイト、その後ろに上位データバイトと下位データバイトが続きます(図 44 参照)。これらの全データバイトは、AD5697Rによりアクノリッジされます。この後に、ストップ条件が続きます。

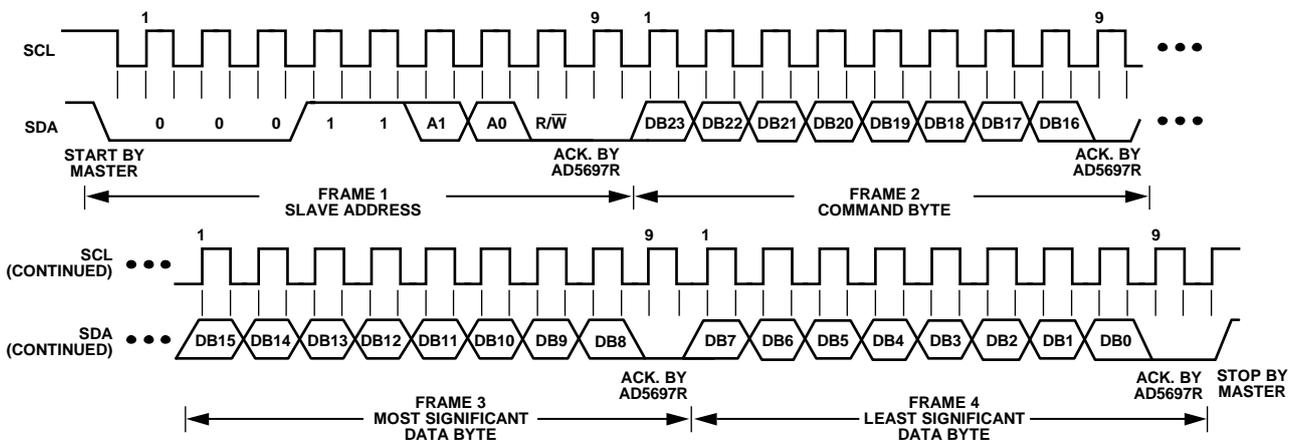


図 44. I²C の書込み動作

読出し動作

AD5697RのDACから読出しを行うときは、まずアドレス・バイト($R/\bar{W} = 0$)を送信します。その後、DACはSDAをロー・レベルにして、データ受信の準備ができたことを通知します。このアドレス・バイトの後ろには、コントロール・バイトが続く必要があります。このコントロール・バイトは、後続の読出しコマンドと読出し対象のポインタ・アドレスを指定します。これもDACからアクノリッジされます。ユーザーはリードバック対象チャンネルを指定し、コントロール・バイトを使ってリードバック・コマンドをアクティブに設定します。この後、マスターからスタート条件が繰り返され、アドレスが $R/\bar{W} = 1$ で再送されます。これはDACからアクノリッジされて、データ送信の準備ができたことが通知されます。次に、2バイトのデータがDACから読出されます(図45参照)。マスターからのNACK条件の後ろにSTOP条件が続いて、読出しシーケンスが完了します。両DACが選択された場合、デフォルトのリードバックはチャンネルAです。

複数 DAC のリードバック・シーケンス

まずアドレス・バイト($R/\bar{W} = 0$)を送信します。その後にDACはSDAをロー・レベルにして、データ受信の準備ができたことを通知します。このアドレス・バイトの後ろにはコントロール・バイトが続く必要があり、これに対してもDACはアクノリッジします。ユーザーはコントロール・バイトを使ってリードバックを開始するチャンネルを設定します。この後、マスターからスタート条件が繰り返され、アドレスが $R/\bar{W} = 1$ で再送されます。これはDACからアクノリッジされて、データ送信の準備ができたことが通知されます。そこで、最初の2バイトのデータが、コントロール・バイトで選択されたDAC入力レジスタAから、MSBファーストで読出されます(図45参照)。読出された次の4バイトのデータは don't care バイトで、次の2バイトのデータはDAC入力レジスタBの値です。DAC入力レジスタからのデータ読出しはオートインクリメント方式で続き、NACKの後ろにストップ条件が続くと停止します。DAC入力レジスタBを読出す場合、読出したデータの次のバイトは、DAC入力レジスタAから読出したデータになります。

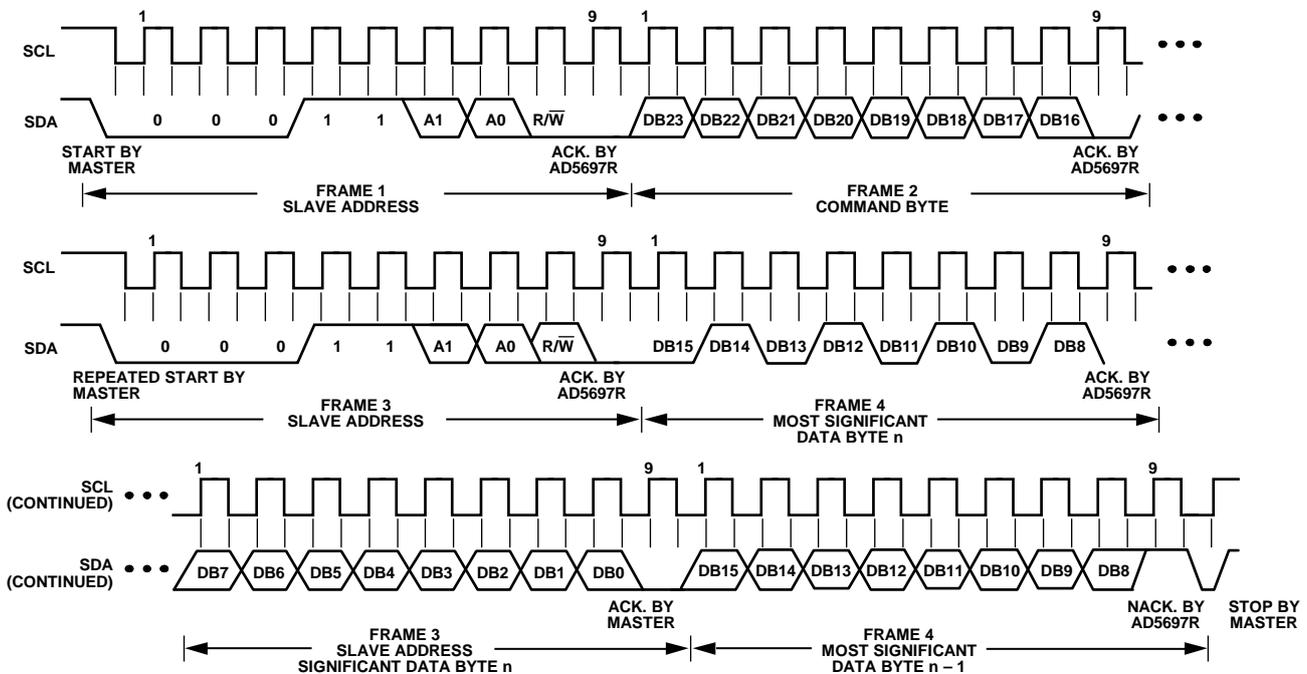


図 45. I²C の読出し動作

パワーダウン動作

AD5697R には 3 種類のパワーダウン・モードがあります。コマンド 0100 は、パワーダウン機能に割り当てられています(表 7 参照)。これらのパワーダウン・モードは、シフトレジスタの 8 ビット(ビット DB7~ビット DB0)を設定することにより、ソフトウェアから設定することができます。各 DAC チャンネルに対応した 2 ビットがあります。表 10 に、2 ビットの状態とデバイスの動作モードとの対応を示します。

表 10.動作モード

Operating Mode	PDx1	PDx0
Normal Operation	0	0
Power-Down Modes		
1 kΩ to GND	0	1
100 kΩ to GND	1	0
Three-State	1	1

対応するビットをセットすることにより、DAC (DAC B または DAC A の一方または両方)を選択したモードにパワーダウンさせることができます。パワーダウン/パワーアップ動作時の入力シフトレジスタ値については表 11 を参照してください。

入力シフトレジスタのビット PDx1 とビット PDx0 (ここで x は選択したチャンネル)を 0 に設定すると、デバイスは通常の消費電力(5 V で 4 mA)で通常動作しますが、3 つのパワーダウン・モードでは、電源電流は 5 V で 4 μA に減少します。電源電流が減少するだけでなく、出力ステージも内部でアンプ出力から既知値の抵抗回路へ切り替えられます。これは、デバイスの出力インピーダンスが既知であると同時にデバイスがパワーダウン・モードになるという利点を持っています。3 種類のパワーダウ

ン・オプションがあります。すなわち、出力が内部で 1 kΩ または 100 kΩ 抵抗を介して GND に接続されるか、あるいはオープン(スリー・ステート)になります。出力ステージを図 46 に示します。

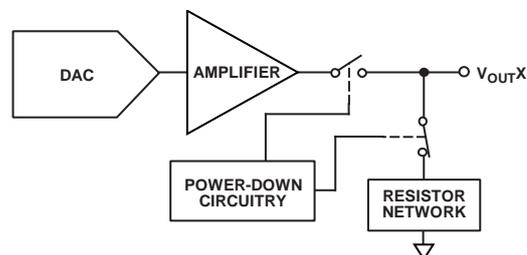


図 46.パワーダウン時の出力ステージ

パワーダウン・モードのときは、バイアス・ジェネレータ、出力アンプ、抵抗ストリング、およびその他の関係するリニア回路はシャットダウンされます。ただし、DAC レジスタの値はパワーダウン・モードで影響を受けることはありません。デバイスがパワーダウン・モードのとき、DAC レジスタを更新することができます。パワーダウンから抜け出すために要する時間は、 $V_{DD} = 5\text{ V}$ で $4.5\ \mu\text{s}$ (typ) です。

消費電流をさらに減らすときは、内蔵リファレンスをパワーオフさせることができます。内蔵リファレンスのセットアップのセクションを参照してください。

表 11.パワーダウン/パワーアップ動作の 24 ビット入力シフトレジスタ値¹

DB23 (MSB)	DB22	DB21	DB20	DB19 to DB16	DB15 to DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0 (LSB)
0	1	0	0	X	X	PDB1	PDB0	1	1	1	1	PDA1	PDA0
Command bits (C3 to C0)				Address bits, don't care			Power-down, select DAC B					Power-down, select DAC A	

¹ X = don't care.

DAC のロード(ハードウェアLDACピン)

AD5697Rの DAC は、入力レジスタと DAC レジスタの 2つのレジスタ・バンクで構成されているダブルバッファ化されたインターフェースを内蔵しています。入力レジスタの任意の組み合わせへ書込みを行うことができます。DAC レジスタの更新は、LDACピンから制御されます。

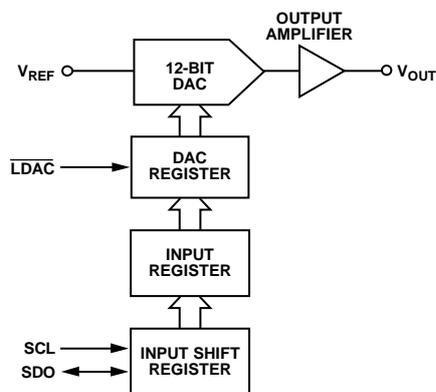


図 47.1 個の DAC についての入力ロード回路の簡略化した図

DAC の瞬時更新(LDACをロー・レベルに維持)

コマンド 0001 を使ってデータを入力レジスタへ入力する間 LDACをロー・レベルに維持します。アドレス指定された入力レジスタと DAC レジスタが 24 番目のクロックで更新されて、出力が変化を開始します(表 14 参照)。

DAC の遅延更新(LDACへ立上がりパルスを入力)

コマンドを使ってデータを入力レジスタへ入力する間 LDACをハイ・レベルに維持します。24 番目のクロックの後に LDACをロー・レベルにすると、両 DAC 出力が非同期的に更新されます。更新は、LDACの立上がりエッジで行われるようになります。

表 13.LDAC 動作に対する 24 ビット入力シフトレジスタ値¹

DB23 (MSB)	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DBB15 to DB4	DB3	DB2	DB1	DB0 (LSB)
0	0	0	1	X	X	X	X	X	DAC B	0	0	DAC A
Command bits (C3 to C0)				Address bits, don't care				Don't care	Setting LDAC to 1 overrides the LDAC pin			

¹ X = don't care.

表 14.書込コマンドと LDACピンの真理値表¹

Command	Description	Hardware LDAC Pin State	Input Register Contents	DAC Register Contents
0001	Write to Input Register n (dependent on LDAC)	V _{LOGIC}	Data update	No change (no update)
		GND ²	Data update	Data update
0010	Update DAC Register n with contents of Input Register n	V _{LOGIC}	No change	Updated with input register contents
		GND	No change	Updated with input register contents
0011	Write to and update DAC Channel n	V _{LOGIC}	Data update	Data update
		GND	Data update	Data update

¹ ハードウェアLDACピンのハイ・レベルからロー・レベルへの変化により、常に DAC レジスタ値が、LDACマスク・レジスタでマスクされていないチャンネルの入力レジスタ値で更新されます。

² LDACをロー・レベルに固定すると、LDACマスク・ビットは無視されます。

LDAC マスク・レジスタ

コマンド 0101 は、アドレス・ビットを無視させるソフトウェア LDAC マスク機能用に予約されています。コマンド 0101 を使って DAC へ書込を行うと、4 ビットの LDACレジスタ(DB3~DB0)がロードされます。各チャンネルのデフォルト値は 0、すなわち LDACピンは通常動作になります。ビットを 1 に設定すると、ハードウェア LDACピンの状態に無関係に、この DAC チャンネルは LDAC ピンでの変化を無視します。この柔軟性は、LDACピンに対応させてチャンネルを選択するアプリケーションで役立ちます。

表 12.LDAC 上書きの定義

Load LDAC Register		LDAC Operation
LDAC Bits (DB3 or DB0)	LDAC Pin	
0	1 or 0	Determined by the LDAC pin.
1	X ¹	DAC channels update and override the LDAC pin. DAC channels see LDAC pin as 1.

¹ X = don't care

この LDACレジスタを使うと、ハードウェア LDACピンを柔軟に制御することができます(表 12 参照)。ある DAC チャンネルに対して LDACビット(DB3 または DB0)を 0 に設定することは、チャンネルの更新がハードウェア LDACピンから制御されることを意味します。

ハードウェア・リセット(RESET)

RESET はアクティブ・ローのリセットで、出力をゼロスケールまたはミッドスケールへクリアできるようにします。クリア・コード値は、パワーオン・リセット・セレクト・ピン(RSTSEL)を使って選択することができます。動作を完了するためには、RESETを最小時間ロー・レベルに維持する必要があります。RESET信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します。RESETピンがロー・レベルの間、出力は新しい値で更新できません。このデバイスには、DAC をパワーオン・リセット・コードにリセットする、ソフトウェアからのリセット機能もあります。コマンド 0110 は、このソフトウェア・リセット機能に割り当てられています(表 7 参照)。パワーオン・リセット時の LDACまたは RESETの動作はすべて無視されます。

リセット選択ピン(RSTSEL)

AD5697R は、パワーアップ時に出力電圧を制御するパワーオン・リセット回路を内蔵しています。RSTSEL ピンをロー・レベルにすると、出力はゼロスケールでパワーアップします。これは DAC のリニア領域の外側にあることに注意してください。RSTSEL ピンをハイ・レベルにすると、V_{OUT} はミッドスケールでパワーアップします。出力はこのレベルでパワーアップを維持し、有効な書込みシーケンスが DAC に実行されるまでこの状態が維持されます。

内蔵リファレンスのセットアップ

コマンド 0111 は、この内蔵リファレンスの設定に予約されています(表 7 参照)。内蔵リファレンスはパワーアップ時にデフォルトでオンになっています。電源電流を減少させるときは、ソフトウェアから設定可能なビット DB0 をセットすることにより、このリファレンスをターンオフさせることができます(表 16 参照)。表 15 に、ビットの状態と動作モードの対応を示します。

表 15. リファレンス・セットアップ・レジスタ

Internal Reference Setup Register (DB0)	Action
0	Reference on (default)
1	Reference off

表 16. 内蔵リファレンス・セットアップ・コマンドに対する 24 ビット入力シフトレジスタ値¹

DB23 (MSB)	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15 to DB1	DB0 (LSB)
0	1	1	1	X	X	X	X	X	0/1
Command bits (C3 to C0)				Address bits (A3 to A0)				Don't care	Reference setup register

¹ X = don't care.

ハンダ加熱リフロー

すべての IC リファレンス電圧回路と同様に、リファレンス値がハンダ処理でシフトすることがあります。アナログ・デバイセズは、デバイスをボードへハンダ付けする影響を模倣する、プリコンディションと呼ばれる信頼性テストを実施しています。表 2 の出力電圧仕様には、この信頼性テストの影響が含まれません。

図 48 に、この信頼性テスト(プリコンディション)で測定したハンダ加熱リフロー(SHR)の影響を示します。

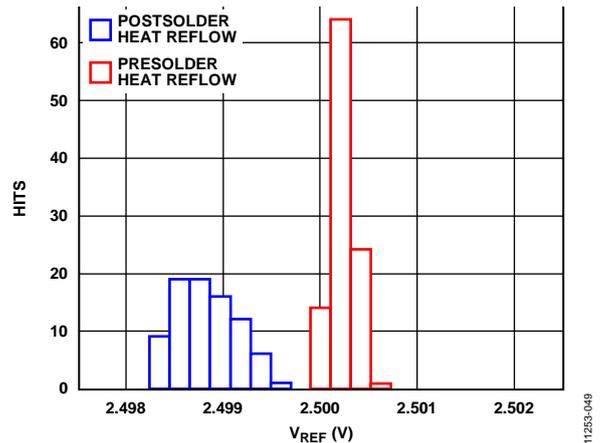


図 48. SHR でのリファレンス電圧シフト

長時間温度ドリフト

図 49 に、150°C の寿命テストにおける 1000 時間後の V_{REF} 値変化を示します。

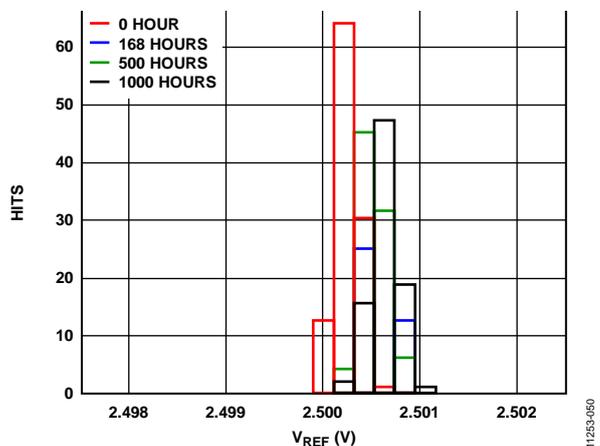


図 49. 1000 時間でのリファレンス電圧ドリフト

熱ヒステリシス

熱ヒステリシスは、周囲温度→低温→高温→周囲温度で温度変化させた場合にリファレンス電圧に発生する電圧差です。

熱ヒステリシス・データを図 50 に示します。このデータは、周囲温度→-40°C→+105°C→周囲温度で温度変化させて測定したものです。そこで、 V_{REF} の変化分を 2 つの周囲温度の間で測定し、図 50 に青で示します。同じ温度変化と測定を直ちに繰り返す、その結果を図 50 に赤で示します。

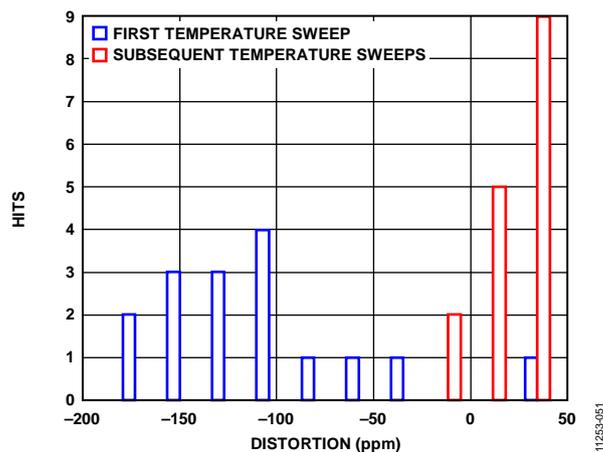


図 50.熱ヒステリシス

アプリケーション情報

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5697R とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つ標準プロトコルを使うシリアル・バスを使って行います。この通信チャンネルは、クロック信号とデータ信号から構成される 2 線式インターフェースです。

AD5697R と ADSP-BF531 とのインターフェース

AD5697R の I²C インターフェースは、業界標準の DSP とマイクロコントローラに容易に接続できるようにデザインされています。図 51 に、AD5697R とアナログ・デバイゼスの Blackfin[®] DSP (ADSP-BF531) との接続方法を示します。Blackfin は、AD5697R の I²C ピンへ直接接続できる I²C ポートを内蔵しています。

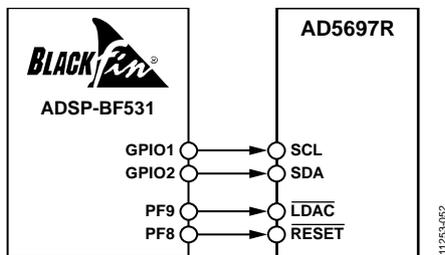


図 51. ADSP-BF531 と AD5697R とのインターフェース

レイアウトのガイドライン

高精度が重要となる回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5697R を実装する PCB は、AD5697R をアナログ・プレーン上に配置するようにデザインする必要があります。

AD5697R に対しては、10 μ F と 0.1 μ F の並列接続により十分な電源バイパスをパッケージのできるだけ近くに、理想的にはデバイスに直接に、接続する必要があります。10 μ F コンデンサはタantalのビーズ型を使います。0.1 μ F コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESI)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

1 枚のボード上に多くのデバイスを実装するシステムでは、ヒート・シンク能力を設けて電力の消費を容易にすることが有効であることがあります。

AD5697R の LFCSP モデルには、デバイスの底にエクスポーズド・パッドが設けてあります。このパッドをデバイスの GND へ接続してください。最適性能を得るためには、マザーボードのデザインに特別な注意を払って、パッケージを実装してください。熱的性能、電気的性能、ボード・レベルの性能を強化するため、パッケージ底面のエクスポーズド・パッドは対応する PCB のサーマル・ランド・パッドにハンダ付けしてください。PCB ランド・パッド領域にサーマル・ビアを配置するようにデザインしてさらに熱放散を強化してください。

自然なヒート・シンク効果を提供するため、デバイス上の GND プレーンを大きくすることができ(図 52 参照)。

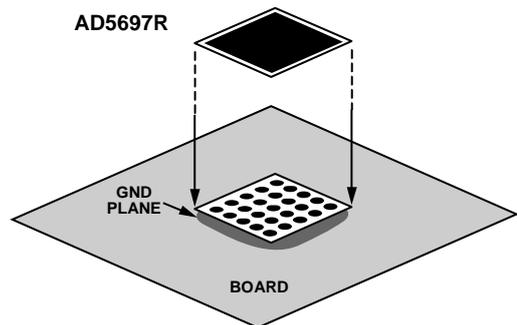
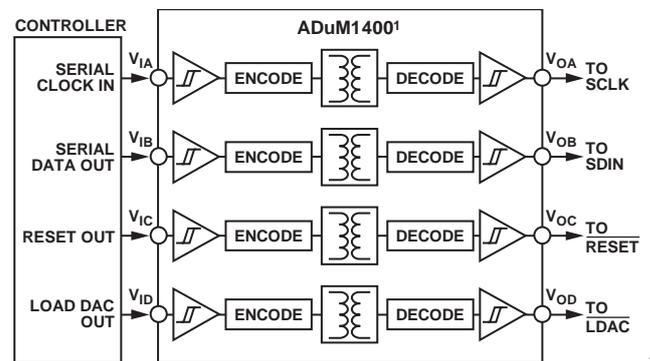


図 52. パッドとボードの接続

電流絶縁型インターフェース

多くのプロセス制御アプリケーションでは、コントローラと被制御対象のユニットとの間にアイソレーション障壁を設けて、危険な同相モード電圧から制御回路を保護してアイソレーションすることが必要です。アナログ・デバイゼスの iCoupler[®]製品は、2.5 kV を超える電圧アイソレーションを提供します。AD5697R はシリアル・ローディング方式を採用しているため、インターフェース・ライン数が最小になっているので、絶縁インターフェース向けに最適です。図 53 に、ADuM1400 を使用して構成した、AD5697R への 4 チャンネル絶縁型インターフェースを示します。詳細については、<http://www.analog.com/icouplers> をご覧ください。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

図 53. 絶縁型インターフェース

外形寸法

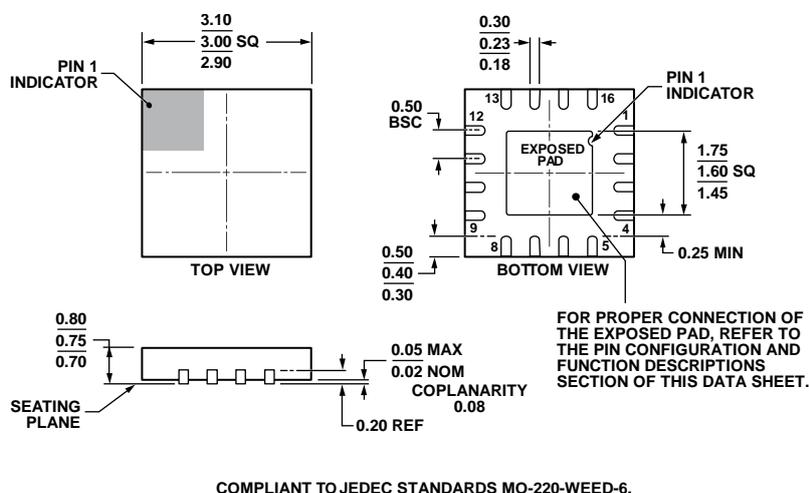


図 54.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
3 mm x 3 mm ボディ、極薄クワッド
(CP-16-22)
寸法: mm

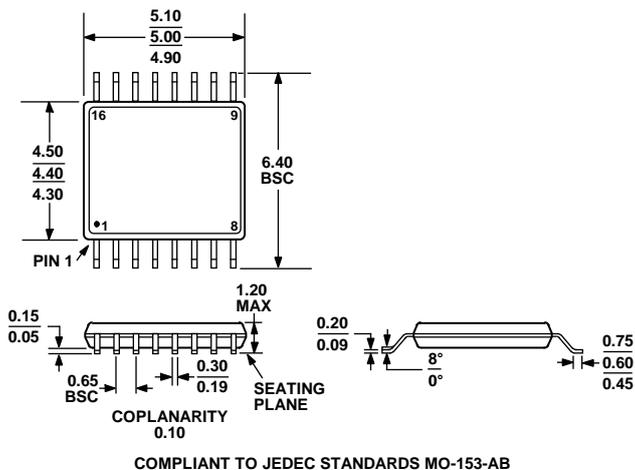


図 55.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-16)
寸法: mm

オーダー・ガイド

Model ¹	Resolution	Temperature Range	Accuracy	Reference Temperature Coefficient (ppm/°C)	Package Description	Package Option	Branding
AD5697RBCPZ-RL7	12 Bits	-40°C to +105°C	±1 LSB INL	±5 (max)	16-Lead LFCSP_WQ	CP-16-22	DKY
AD5697RBRUZ	12 Bits	-40°C to +105°C	±1 LSB INL	±5 (max)	16-Lead TSSOP	RU-16	
AD5697RBRUZ-RL7	12 Bits	-40°C to +105°C	±1 LSB INL	±5 (max)	16-Lead TSSOP	RU-16	
EVAL-AD5697RSDZ					Evaluation Board		

¹ Z = RoHS 準拠製品。