



I²Cインターフェース付きの 16/12ビット・クワッド nanoDAC+

データシート

AD5696/AD5694

特長

高い相対精度(INL): 16ビットで最大±2 LSB
小型パッケージ: 3 mm × 3 mm の 16 ピン LFCSP
総合未調整誤差(TUE): FSR の最大±0.1%

オフセット誤差: 最大±1.5 mV
ゲイン誤差: FSR の最大±0.1%
高い駆動能力: 20 mA、電源レールから 0.5 V
ユーザー設定可能なゲイン: 1 または 2 (GAIN ピン)
ゼロスケールまたはミッドスケールへのリセット(RSTSEL ピン)
1.8 V ロジックに互換
400 kHz の I²C 互換シリアル・インターフェース
4 個の I²C アドレスが使用可能
低グリッチ: 0.5 nV-sec
強固な 3.5 kV HBM および 1.5 kV FICDM ESD 定格
低消費電力: 3 V 電源で 1.8 mW
電源電圧: 2.7 V~5.5 V
温度範囲: -40°C~+105°C

アプリケーション

ゲインとオフセットのデジタル調整
プログラマブルな減衰器
プロセス制御(PLC I/O カード)
工業用オートメーション
データ・アキュイジション・システム

概要

nanoDAC+™ファミリーに属する AD5696/AD5694 は、低消費電力 16/12 ビットのバッファ付き電圧出力クワッド DAC です。これらのデバイスは、2.5 V (ゲイン=1) または 5 V (ゲイン=2) のフルスケール出力を選択するゲイン選択ピンを内蔵しています。デバイスは 2.7 V~5.5 V の単電源で動作し、デザインにより単調性が保証され、ゲイン誤差は 0.1% FSR 以下でオフセット誤差性能は 1.5 mV です。これらのデバイスは、3 mm × 3 mm LFCSP パッケージまたは TSSOP パッケージを採用しています。

また、AD5696/AD5694 はパワーオン・リセット回路と RSTSEL ピンも内蔵しています。この RSTSEL ピンを使うと、DAC 出力がゼロスケールまたはミッドスケールでパワーアップし、有効な書き込みが行われるまでその状態を維持させることができます。各デバイスは、チャンネルごとのパワーダウン機能を内蔵しています。この機能はパワーダウン・モードのデバイス消費電流を 3 V で 4 μA へ削減します。

AD5696/AD5694 は、最大 400 kHz のクロック・レートで動作する多機能な 2 線式シリアル・インターフェースを採用し、1.8 V/3 V/5 V ロジック用の V_{LOGIC} ピンを内蔵しています。

機能ブロック図

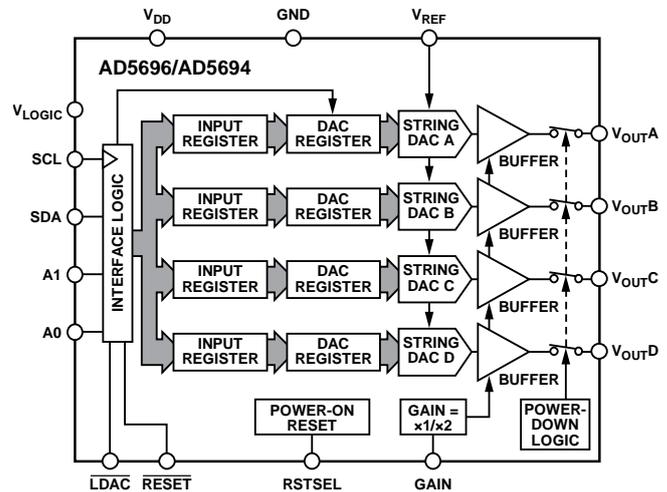


図 1.

表 1. クワッド nanoDAC+ デバイス

Interface	Reference	16-Bit	14-Bit	12-Bit
SPI	Internal	AD5686R	AD5685R	AD5684R
	External	AD5686		AD5684
I ² C	Internal	AD5696R	AD5695R	AD5694R
	External	AD5696		AD5694

製品のハイライト

- 高い相対精度(INL)。
AD5696 (16 ビット): 最大±2 LSB
AD5694 (12 ビット): 最大±1 LSB
- 優れた DC 性能。
総合未調整誤差: FSR の最大±0.1%
オフセット誤差: 最大±1.5 mV
ゲイン誤差: FSR の最大±0.1%
- 2 種類のパッケージ・オプション。
3 mm × 3 mm、16 ピン LFCSP
16 ピン TSSOP

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2012 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	シリアル・インターフェース	17
アプリケーション	1	書込コマンドと更新コマンド	18
機能ブロック図	1	I ² C スレーブ・アドレス	18
概要	1	シリアル動作	18
製品のハイライト	1	書込み動作	18
改訂履歴	2	読出し動作	19
仕様	3	複数 DAC のリードバック・シーケンス	19
AC 特性	5	パワーダウン動作	20
タイミング特性	6	DAC のロード (ハードウェア $\overline{\text{LDAC}}$ ピン)	20
絶対最大定格	7	$\overline{\text{LDAC}}$ マスク・レジスタ	21
熱抵抗	7	ハードウェア・リセット・ピン ($\overline{\text{RESET}}$)	21
ESD の注意	7	リセット選択ピン ($\overline{\text{RSTSEL}}$)	21
ピン配置およびピン機能説明	8	アプリケーション情報	22
代表的な性能特性	9	マイクロプロセッサ・インターフェース	22
用語	14	AD5696/AD5694 と ADSP-BF531 とのインターフェース	22
動作原理	16	レイアウトのガイドライン	22
D/A コンバータ	16	電流絶縁型インターフェース	22
伝達関数	16	外形寸法	23
DAC アーキテクチャ	16	オーダー・ガイド	24

改訂履歴

7/12—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$; $V_{REF} = 2.5\text{ V}$; $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$; $R_L = 2\text{ k}\Omega$; $C_L = 200\text{ pF}$; すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 2.

Parameter	A Grade			B Grade			Unit	Test Conditions/Comments ¹
	Min	Typ	Max	Min	Typ	Max		
STATIC PERFORMANCE ²								
AD5696								
Resolution	16			16			Bits	
Relative Accuracy		± 2	± 8		± 1	± 2	LSB	Gain = 2
		± 2	± 8		± 1	± 3	LSB	Gain = 1
Differential Nonlinearity			± 1			± 1	LSB	Guaranteed monotonic by design
AD5694								
Resolution	12			12			Bits	
Relative Accuracy		± 0.12	± 2		± 0.12	± 1	LSB	
Differential Nonlinearity			± 1			± 1	LSB	Guaranteed monotonic by design
Zero-Code Error		0.4	4		0.4	1.5	mV	All 0s loaded to DAC register
Offset Error		+0.1	± 4		+0.1	± 1.5	mV	
Full-Scale Error		+0.01	± 0.2		+0.01	± 0.1	% of FSR	All 1s loaded to DAC register
Gain Error		± 0.02	± 0.2		± 0.02	± 0.1	% of FSR	
Total Unadjusted Error		± 0.01	± 0.25		± 0.01	± 0.1	% of FSR	Gain = 2
			± 0.25			± 0.2	% of FSR	Gain = 1
Offset Error Drift ³		± 1			± 1		$\mu\text{V}/^\circ\text{C}$	
Gain Temperature Coefficient ³		± 1			± 1		ppm	Of FSR/ $^\circ\text{C}$
DC Power Supply Rejection Ratio ³		0.15			0.15		mV/V	DAC code = midscale; $V_{DD} = 5\text{ V} \pm 10\%$
DC Crosstalk ³		± 2			± 2		μV	Due to single channel, full-scale output change
		± 3			± 3		$\mu\text{V}/\text{mA}$	Due to load current change
		± 2			± 2		μV	Due to power-down (per channel)
OUTPUT CHARACTERISTICS ³								
Output Voltage Range	0		V_{REF}	0		V_{REF}	V	Gain = 1
	0		$2 \times V_{REF}$	0		$2 \times V_{REF}$	V	Gain = 2 (see Figure 20)
Capacitive Load Stability		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 1\text{ k}\Omega$
Resistive Load ⁴	1			1			k Ω	
Load Regulation		80			80		$\mu\text{V}/\text{mA}$	DAC code = midscale $5\text{ V} \pm 10\%$; $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		80			80		$\mu\text{V}/\text{mA}$	$3\text{ V} \pm 10\%$; $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
Short-Circuit Current ⁵		40			40		mA	
Load Impedance at Rails ⁶		25			25		Ω	See Figure 20
Power-Up Time		2.5			2.5		μs	Coming out of power-down mode; $V_{DD} = 5\text{ V}$
REFERENCE INPUT								
Reference Current		90			90		μA	$V_{REF} = V_{DD} = 5.5\text{ V}$, gain = 1
		180			180		μA	$V_{REF} = V_{DD} = 5.5\text{ V}$, gain = 2
Reference Input Range	1		V_{DD}	1		V_{DD}	V	Gain = 1
	1		$V_{DD}/2$	1		$V_{DD}/2$	V	Gain = 2
Reference Input Impedance		16			16		k Ω	Gain = 2
		32			32		k Ω	Gain = 1

Parameter	A Grade			B Grade			Unit	Test Conditions/Comments ¹
	Min	Typ	Max	Min	Typ	Max		
LOGIC INPUTS ³								
Input Current			±2			±2	μA	Per pin
Input Low Voltage, V_{INL}			$0.3 \times V_{LOGIC}$			$0.3 \times V_{LOGIC}$	V	
Input High Voltage, V_{INH}	$0.7 \times V_{LOGIC}$			$0.7 \times V_{LOGIC}$			V	
Pin Capacitance		2			2		pF	
LOGIC OUTPUTS (SDA) ³								
Output Low Voltage, V_{OL}			0.4			0.4	V	$I_{SINK} = 3 \text{ mA}$
Output High Voltage, V_{OH}	$V_{LOGIC} - 0.4$			$V_{LOGIC} - 0.4$			V	$I_{SOURCE} = 3 \text{ mA}$
Floating State Output Capacitance		4			4		pF	
POWER REQUIREMENTS								
V_{LOGIC}	1.8		5.5	1.8		5.5	V	
I_{LOGIC}			3			3	μA	
V_{DD}	2.7		5.5	2.7		5.5	V	Gain = 1
I_{DD}	$V_{REF} + 1.5$		5.5	$V_{REF} + 1.5$		5.5	V	Gain = 2
Normal Mode ⁷		0.59	0.7		0.59	0.7	mA	$V_{IH} = V_{DD}, V_{IL} = \text{GND}, V_{DD} = 2.7 \text{ V to } 5.5 \text{ V}$
All Power-Down Modes ⁸		1	4		1	4	μA	-40°C to +85°C
			6			6	μA	-40°C to +105°C

¹ 温度範囲は -40°C ~ +105°C。

² 特に指定がない限り、DC仕様は出力無負荷でテスト。上側デッドバンド = 10 mV で、これは $V_{REF} = V_{DD}$ かつゲイン = 1 の場合、または $V_{REF}/2 = V_{DD}$ かつゲイン = 2 の場合にのみ存在します。直線性は、縮小コード範囲 256 ~ 65,280 (AD5696)、12 ~ 4080 (AD5694) を使って計算。

³ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

⁴ チャンネル A とチャンネル B は、最大 30 mA の組み合わせ出力電流を持つことができます。同様に、チャンネル C とチャンネル D は、ジャンクション温度 110°C までで最大 30 mA の組み合わせ出力電流を持つことができます。

⁵ $V_{DD} = 5 \text{ V}$ 。このデバイスは、一時的過負荷状態でデバイスを保護することを目的とした電流制限機能を内蔵しています。電流制限時にはジャンクション温度を超えることができます。規定の最大ジャンクション温度より上での動作はデバイスの信頼性を損なう可能性があります。

⁶ いずれかの電源レールから負荷電流を取り出すとき、その電源レールに対する出力電圧のヘッドルームは、出力デバイスのチャンネル抵抗 25 Ω (typ) により制限されます。例えば、1 mA のシンク電流の場合、最小出力電圧 = $25 \Omega \times 1 \text{ mA} = 25 \text{ mV}$ となります (図 20 参照)。

⁷ インターフェースは非アクティブ状態。すべての DAC はアクティブ状態。DAC 出力は無負荷。

⁸ すべての DAC がパワーダウン。

AC 特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$; $V_{REF} = 2.5\text{ V}$; $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$; $R_L = 2\text{ k}\Omega$; $C_L = 200\text{ pF}$; すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 3.

Parameter ^{1,2}	Min	Typ	Max	Unit	Test Conditions/Comments ³	
Output Voltage Settling Time					1/4 to 3/4 scale settling to ± 2 LSB	
AD5696		5	8	μs		
AD5694		5	7	μs		
Slew Rate		0.8		V/ μs	1 LSB change around major carry transition	
Digital-to-Analog Glitch Impulse		0.5		nV-sec		
Digital Feedthrough		0.13		nV-sec		
Multiplying Bandwidth		500		kHz		
Digital Crosstalk		0.1		nV-sec		
Analog Crosstalk		0.2		nV-sec		
DAC-to-DAC Crosstalk		0.3		nV-sec		
Total Harmonic Distortion ⁴		-80		dB		At T_A , BW = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
Output Noise Spectral Density		100		nV/ $\sqrt{\text{Hz}}$		DAC code = midscale, 10 kHz, gain = 2
Output Noise		6		$\mu\text{V p-p}$		0.1 Hz to 10 Hz
Signal-to-Noise Ratio (SNR)		90		dB	At T_A , BW = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$	
Spurious-Free Dynamic Range (SFDR)		83		dB	At T_A , BW = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$	
Signal-to-Noise-and-Distortion Ratio (SINAD)		80		dB	At T_A , BW = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$	

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² 用語のセクションを参照してください。

³ 温度範囲 (typ)は、25°Cで-40°C~+105°Cです。

⁴ デジタル的に発生した 1 kHz の正弦波。

タイミング特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$; $1.8\text{ V} \leq V_{\text{LOGIC}} \leq 5.5\text{ V}$;すべての仕様は $T_{\text{MIN}} \sim T_{\text{MAX}}$ で規定。

表 4.

Parameter ^{1,2}	Min	Max	Unit	Description
t_1	2.5		μs	SCL cycle time
t_2	0.6		μs	t_{HIGH} , SCL high time
t_3	1.3		μs	t_{LOW} , SCL low time
t_4	0.6		μs	$t_{\text{HD,STA}}$, start/repeated start hold time
t_5	100		ns	$t_{\text{SU,DAT}}$, data setup time
t_6^3	0	0.9	μs	$t_{\text{HD,DAT}}$, data hold time
t_7	0.6		μs	$t_{\text{SU,STA}}$, repeated start setup time
t_8	0.6		μs	$t_{\text{SU,STO}}$, stop condition setup time
t_9	1.3		μs	t_{BUF} , bus free time between a stop condition and a start condition
t_{10}^4	0	300	ns	t_{R} , rise time of SCL and SDA when receiving
$t_{11}^{4,5}$	$20 + 0.1C_{\text{B}}$	300	ns	t_{F} , fall time of SCL and SDA when transmitting/receiving
t_{12}	20		ns	LDAC pulse width
t_{13}	400		ns	SCL rising edge to LDAC rising edge
t_{SP}^6	0	50	ns	Pulse width of suppressed spike
C_{B}^5		400	pF	Capacitive load for each bus line

¹ 図 2 参照。

² デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

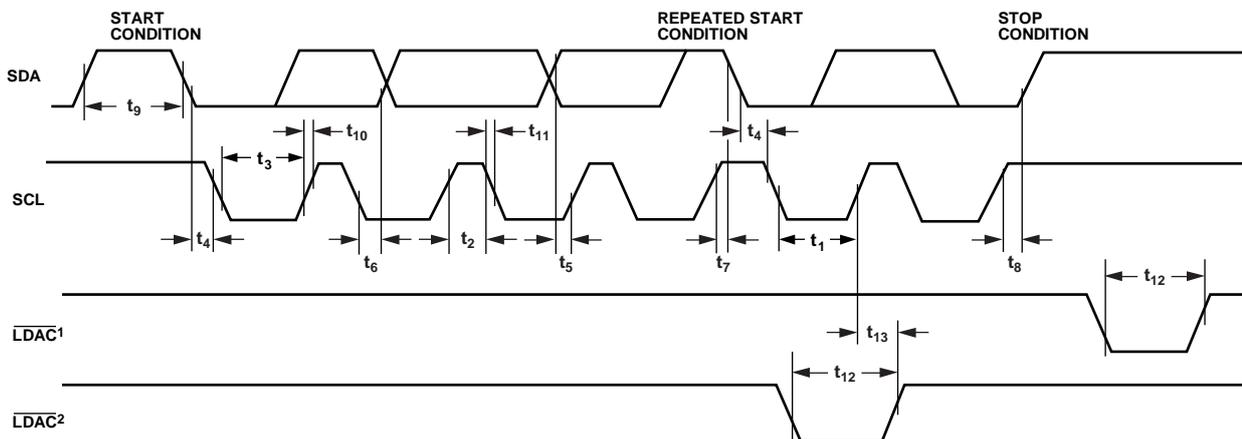
³ SCL の立下がりエッジの不定領域を避けるため、マスター・デバイスは、SDA 信号に対して最小 300 ns のホールド・タイムを保証する必要があります(SCL 信号の $V_{\text{IH min}}$ を基準として)。

⁴ t_{R} と t_{F} は、 $0.3 \times V_{\text{DD}}$ から $0.7 \times V_{\text{DD}}$ の間で測定。

⁵ C_{B} は、1 本のバス・ラインの合計容量(pF)です。

⁶ SCL と SDA の入力フィルタリングにより、ノイズ・スパイクを 50 ns 以下に抑圧。

タイミング図



NOTES
¹ ASYNCHRONOUS LDAC UPDATE MODE.
² SYNCHRONOUS LDAC UPDATE MODE.

10799-002

図 2.2 線式シリアル・インターフェースのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 5.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{LOGIC} to GND	-0.3 V to +7 V
V_{OUT} to GND	-0.3 V to $V_{DD} + 0.3$ V
V_{REF} to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND ¹	-0.3 V to $V_{LOGIC} + 0.3$ V
SDA and SCL to GND	-0.3 V to +7 V
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	125°C
Reflow Soldering Peak Temperature, Pb Free (J-STD-020)	260°C
ESD	
Human Body Model (HBM)	3.5 kV
Field-Induced Charged Device Model (FICDM)	1.5 kV

¹ SDA と SCL は除きます。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。この値は、JEDEC 標準 4 層ボードを使用して自然空冷で測定しています。LFCSP パッケージの場合、エクスポーズド・パッドは GND へ接続する必要があります。

表 6.熱抵抗

Package Type	θ_{JA}	Unit
16-Lead LFCSP	70	°C/W
16-Lead TSSOP	112.6	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

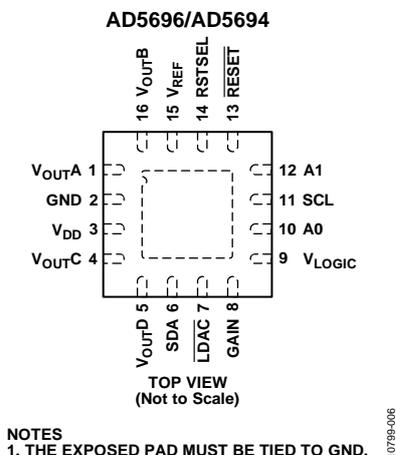


図 3.16 ピン LFCSP のピン配置

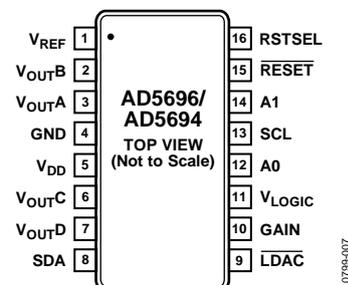


図 4.16 ピン TSSOP のピン配置

表 7. ピン機能の説明

ピン番号		記号	説明
LFCSP	TSSOP		
1	3	V _{OUTA}	DAC A からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
2	4	GND	デバイス上の全回路に対するグラウンド基準電圧ポイント。
3	5	V _{DD}	電源入力。これらのデバイスは 2.7 V ~ 5.5 V で動作し、電源は 10 μF のコンデンサと 0.1 μF のコンデンサとの並列接続により GND へデカップリングする必要があります。
4	6	V _{OUTC}	DAC C のアナログ出力電圧。出力アンプはレール to レール動作。
5	7	V _{OUTD}	DAC D のアナログ電圧出力。出力アンプはレール to レールの動作。
6	8	SDA	シリアル・データ入力。このピンは、24 ビット入力シフトレジスタにデータを入出力する SCL ラインと組み合わせて使います。SDA は双方向のオープン・ドレイン・データラインであるため、外付け抵抗で電源にプルアップする必要があります。
7	9	LDAC	LDAC は、非同期更新モードと同期更新モードの 2 つのモードで動作することができます。入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを入力すると、任意またはすべての DAC レジスタが更新されます。すべての DAC 出力が同時に更新されます。あるいは、このピンをロー・レベルに固定することができます。
8	10	GAIN	ゲイン選択ピン。このピンを GND に接続すると、4 個すべての DAC 出力の振幅は 0 V ~ V _{REF} になります。このピンを V _{DD} に接続すると、4 個すべての DAC 出力の振幅は 0 V ~ 2 × V _{REF} になります。
9	11	V _{LOGIC}	デジタル電源。電圧範囲は 1.8 V ~ 5.5 V。
10	12	A0	アドレス入力。7 ビット・スレーブ・アドレスの先頭の LSB を設定します。
11	13	SCL	シリアル・クロック・ライン。このピンは、24 ビット入力シフトレジスタにデータを入出力する SDA ラインと組み合わせて使います。
12	14	A1	アドレス入力。7 ビット・スレーブ・アドレスの 2 番目の LSB を設定します。
13	15	RESET	非同期リセット入力。RESET 入力は、立下がりエッジ検出です。RESET がロー・レベルになると、入力レジスタと DAC レジスタが RSTSEL ピンの状態に応じてゼロスケールまたはミッドスケールで更新されます。RESET がロー・レベルのときは、すべての LDAC パルスが無視されます。
14	16	RSTSEL	パワーオン・リセット・ピン。このピンを GND に接続すると、4 個すべての DAC はゼロスケールでパワーアップします。このピンを V _{DD} に接続すると、4 個すべての DAC はミッドスケールでパワーアップします。
15	1	V _{REF}	リファレンス電圧入力。
16	2	V _{OUTB}	DAC B のアナログ電圧出力。出力アンプはレール to レールの動作を行います。
17	N/A	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは GND に接続する必要があります。

代表的な性能特性

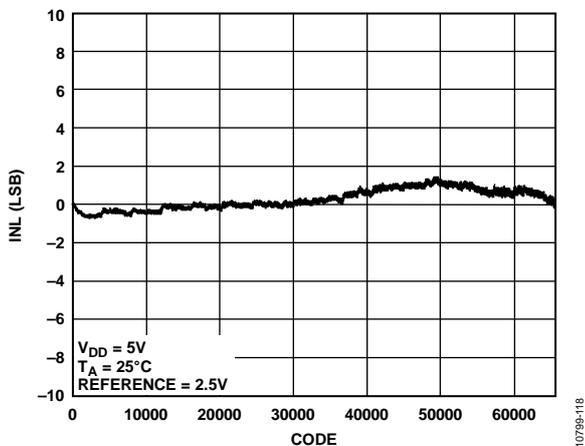


図 5.AD5696 INL

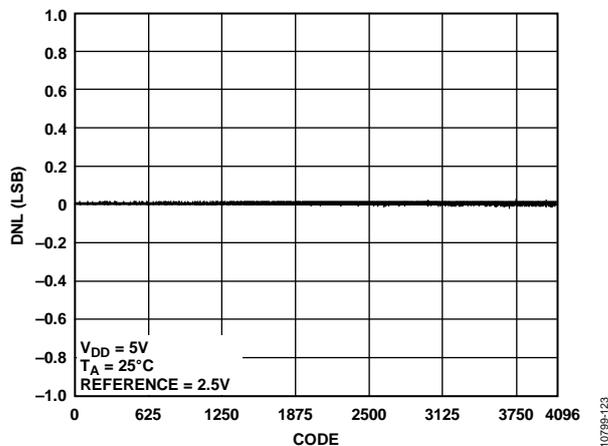


図 8.AD5694 DNL

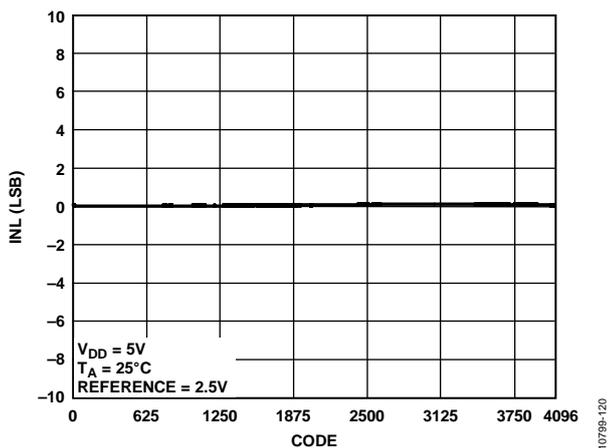


図 6.AD5694 INL

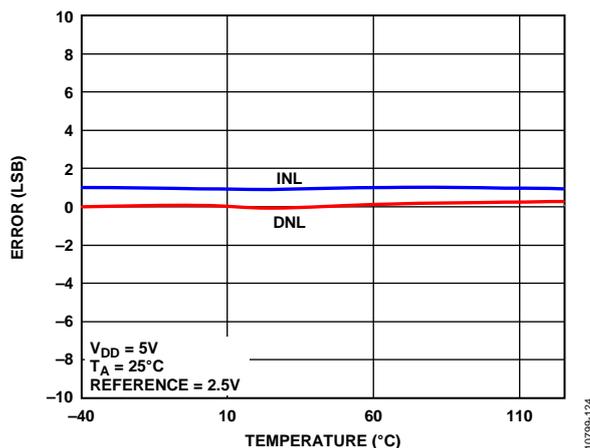


図 9.INL 誤差と DNL 誤差の温度特性

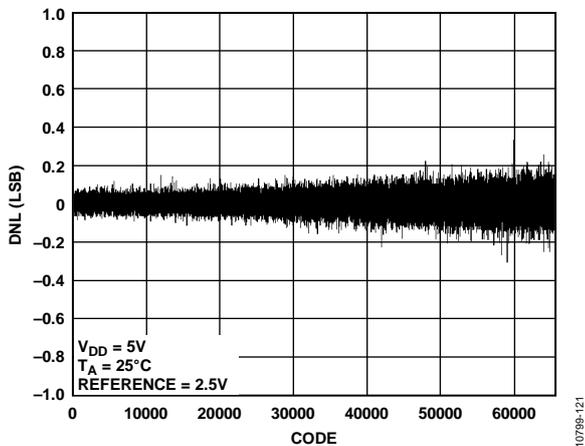


図 7.AD5696 DNL

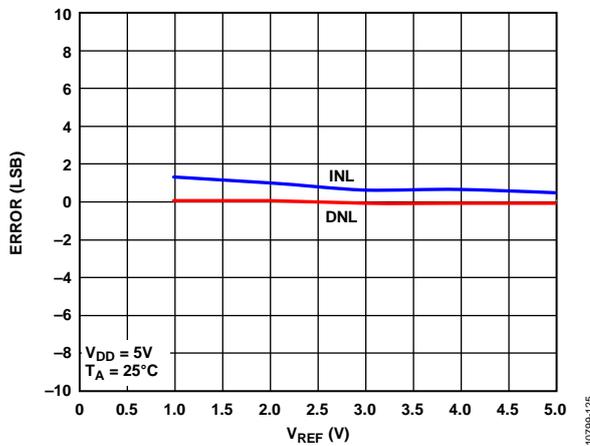


図 10.VREF 対 INL 誤差および DNL 誤差

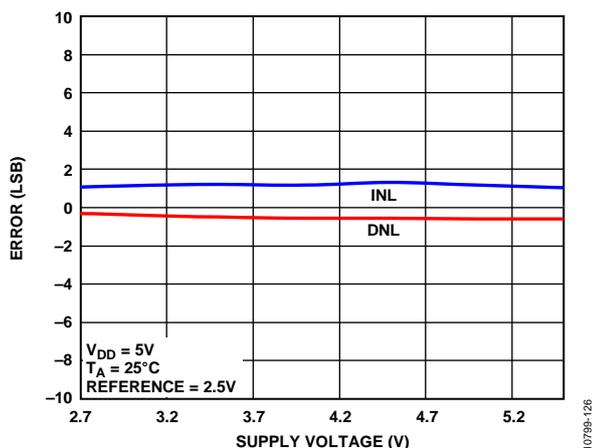


図 11.電源電圧対 INL 誤差および DNL 誤差

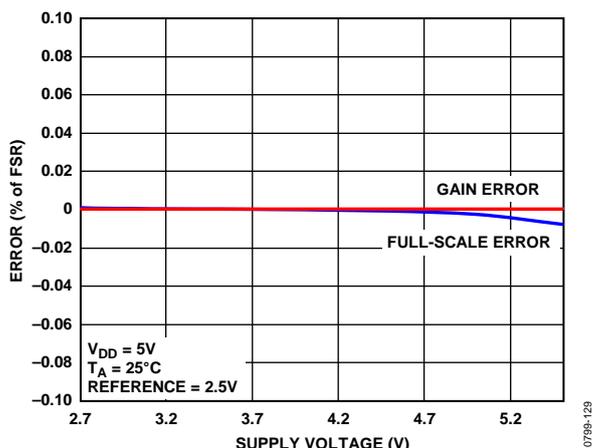


図 14.電源電圧対ゲイン誤差およびフルスケール誤差

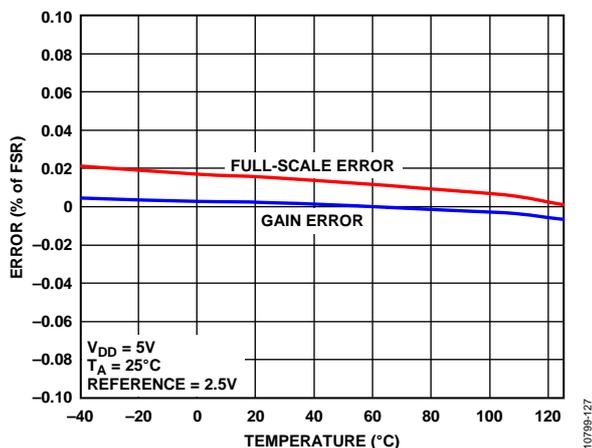


図 12.ゲイン誤差とフルスケール誤差の温度特性

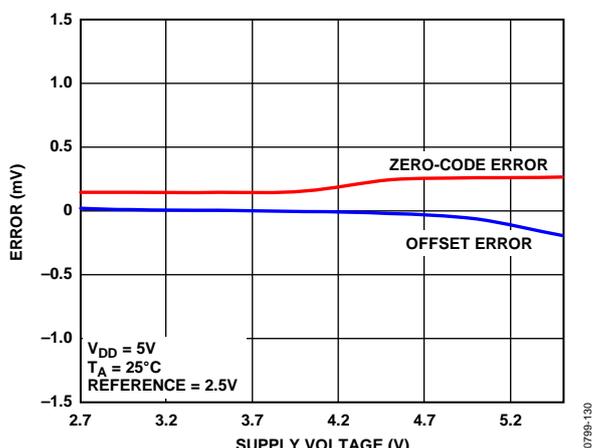


図 15.電源電圧対ゼロ・コード誤差およびオフセット誤差

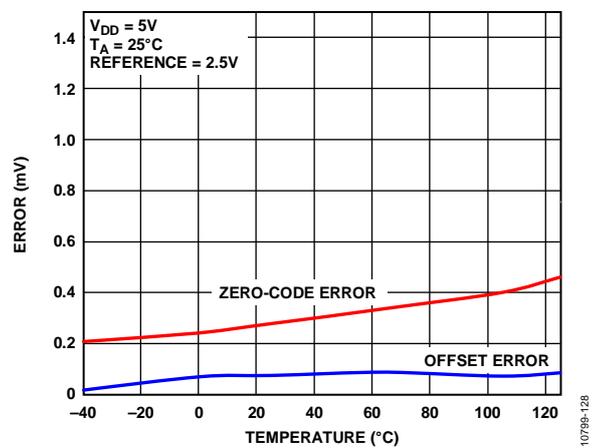


図 13.ゼロ・コード誤差とオフセット誤差の温度特性

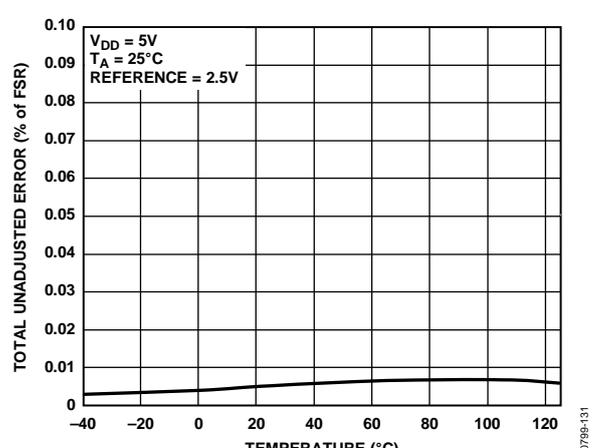


図 16.TUE の温度特性

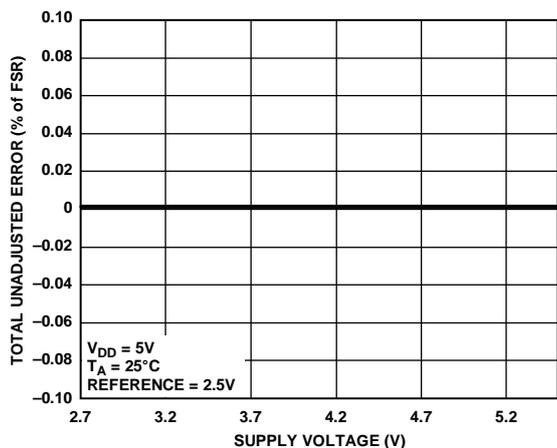


図 17.電源電圧対 TUE、ゲイン = 1

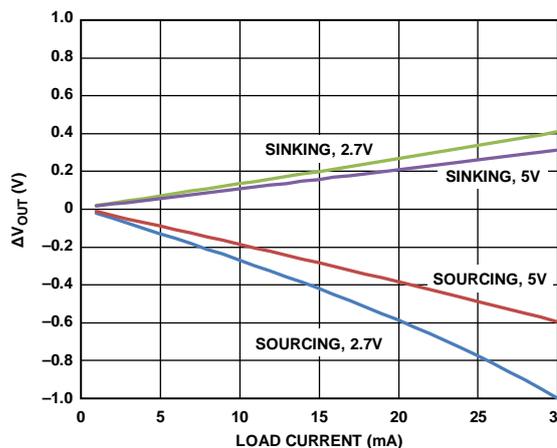


図 20.負荷電流対ヘッドルーム/フットルーム

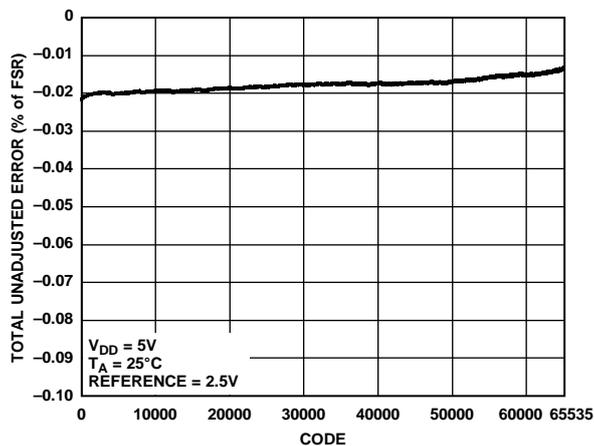


図 18.コード対 TUE、AD5696

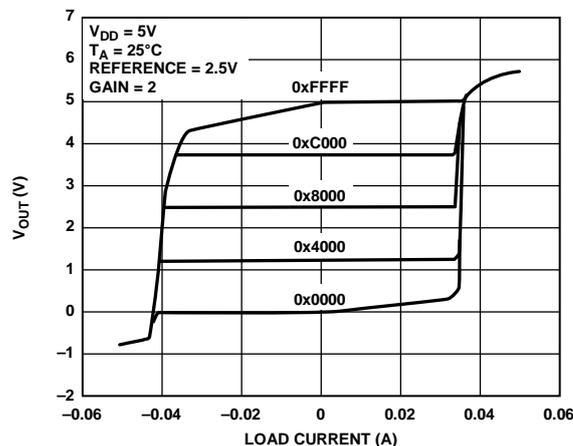


図 21.5 V でのソース能力とシンク能力

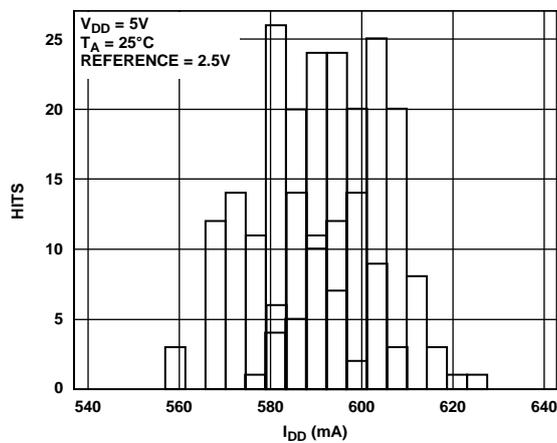


図 19. I_{DD} のヒストグラム、5 V

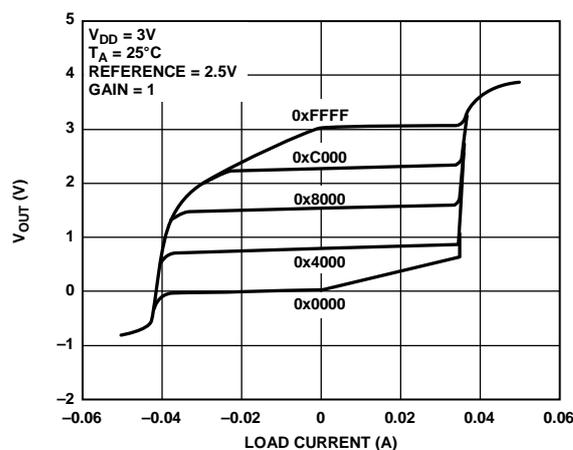


図 22.3 V でのソース能力とシンク能力

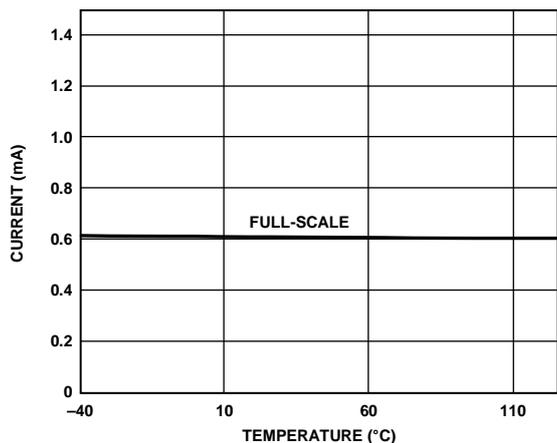


図 23.電源電流の温度特性

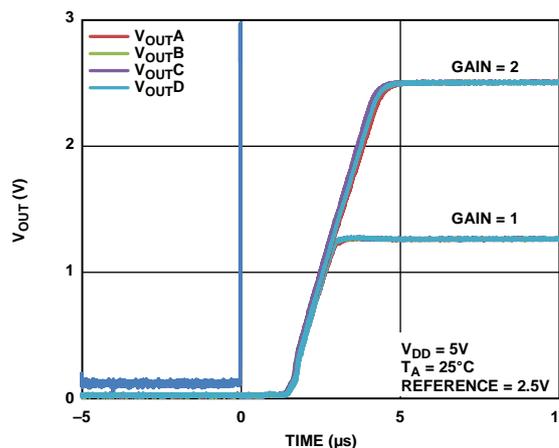


図 26.パワーダウン終了時のミッドスケール出力

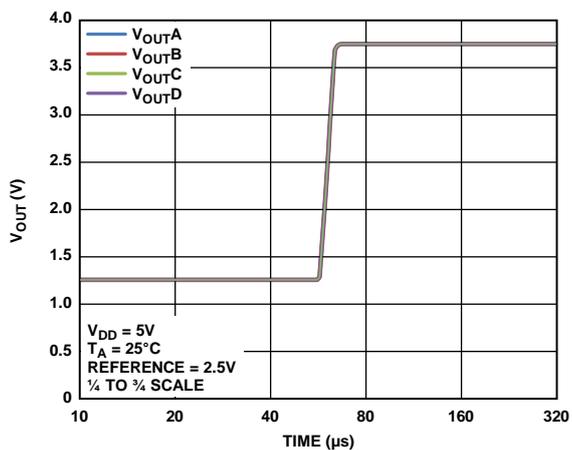


図 24.セトリング・タイム

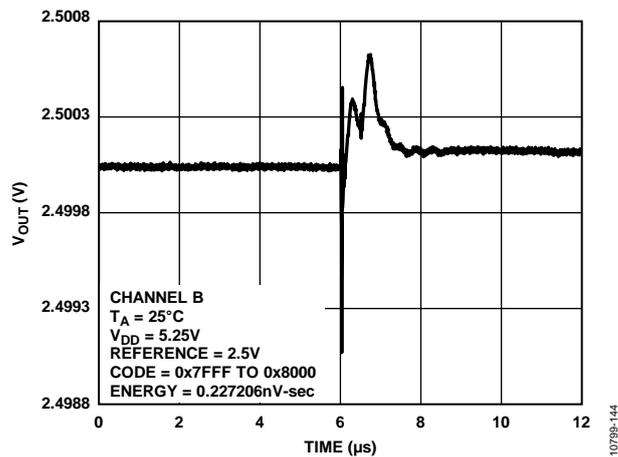


図 27.デジタルからアナログへのグリッチ・インパルス

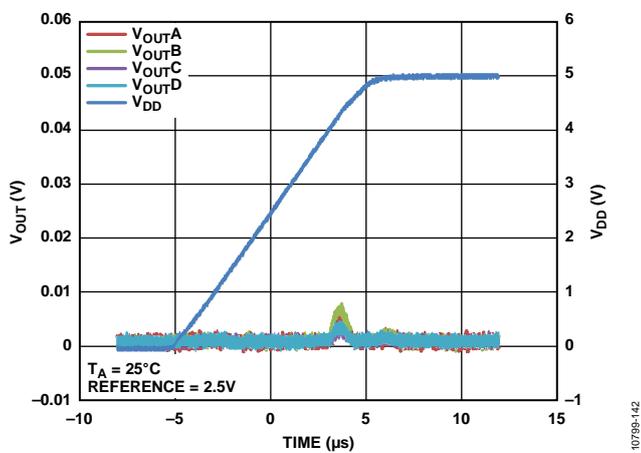


図 25.0 V へのパワーオン・リセット

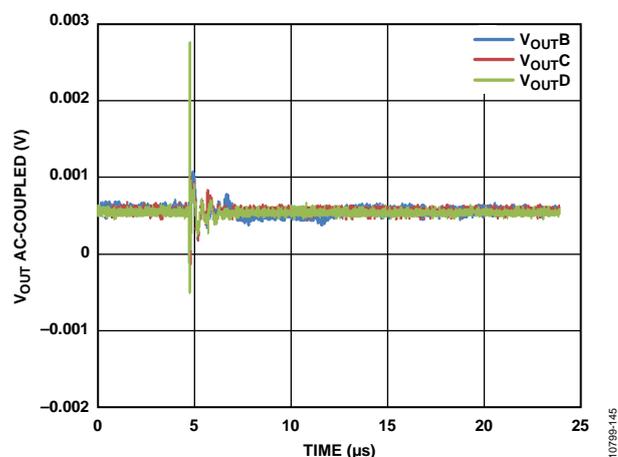


図 28.アナログ・クロストーク、V_{OUT}A

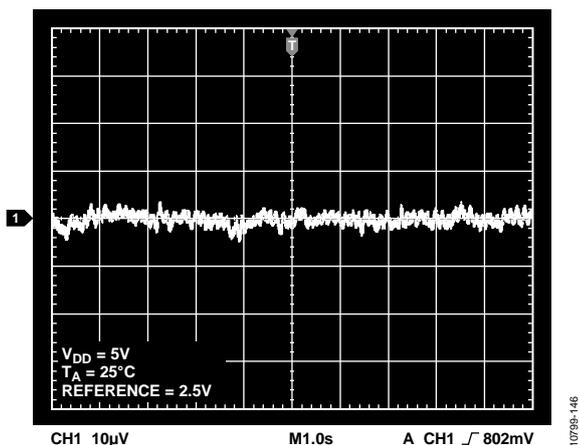


図 29. 0.1 Hz~10 Hz での出力ノイズ・プロット

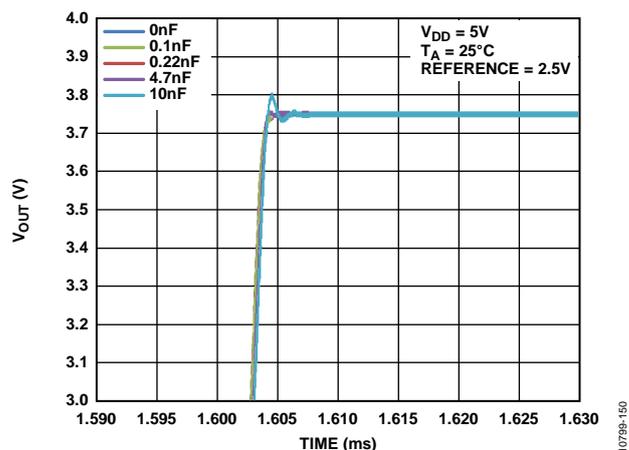


図 31. 容量負荷対セトリング・タイム

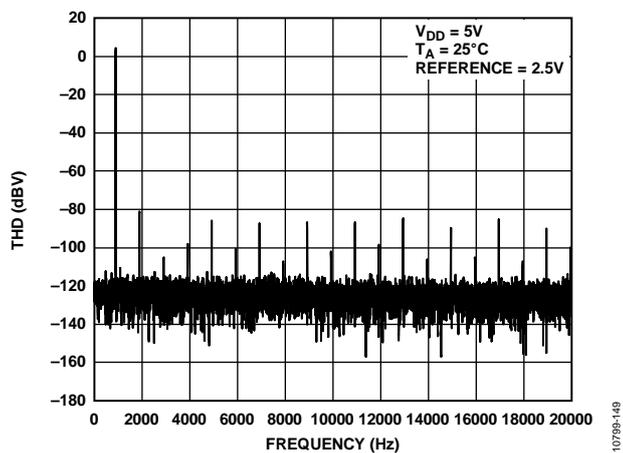


図 30. 総合高調波歪み、1 kHz

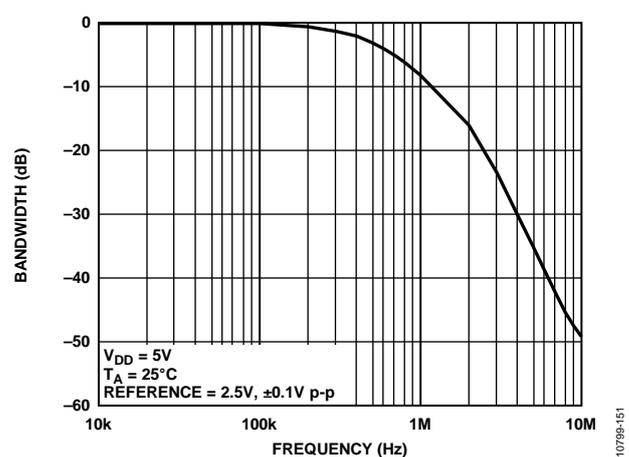


図 32. 乗算帯域幅

用語

相対精度または積分非直線性(INL)

相対精度すなわち積分非直線性は、DAC 伝達関数の上下両端を結ぶ直線からの最大乖離(LSB 数で表示)を表します。図 5、図 6 に、コード対 INL (typ)を示します。

微分非直線性(DNL)

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大 ± 1 LSB の微分非直線性の規定により、単調性が保証されます。AD5696/AD5694 はデザインにより単調性を保証しています。図 7 と図 8 に、コード対 DNL (typ)を示します。

ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コード(0x0000)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には、出力が 0 V である必要があります。ゼロ・コード誤差は AD5696/AD5694 では常に正です。これは、DAC と出力アンプのオフセット誤差の組み合わせによって DAC 出力が 0 V より低くなることができないためです。ゼロ・コード誤差は mV で表します。図 13 にゼロ・コード誤差の温度特性を示します。

フルスケール誤差

フルスケール誤差は、フルスケール・コード(0xFFFF)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には出力は $V_{DD} - 1$ LSB である必要があります。フルスケール誤差はフルスケール範囲のパーセント値(% FSR)で表します。図 12 にフルスケール誤差の温度特性を示します。

ゲイン誤差

ゲイン誤差は、DAC 振幅誤差の測定値です。理論 DAC 伝達特性傾斜からの変位を表し、DAC 出力の%FSR で表示されます。

ゲイン温度係数

ゲイン温度係数は、温度変化に対するゲイン誤差の変化を表し、FSR/°C の ppm で表されます。

オフセット誤差

オフセット誤差は、伝達関数の直線領域での V_{OUT} (実測値)と V_{OUT} (理論)の差を表し、mV で表示されます。この誤差は正または負になります。

オフセット誤差ドリフト

オフセット誤差ドリフトは、温度変化によるオフセット誤差の変化を表し、 $\mu V/^\circ C$ で表されます。

DC 電源除去比(PSRR)

DC PSRR は、電源電圧変化の DAC 出力に対する影響を表します。PSRR は、DAC ミッドスケール出力での、 V_{OUT} 変化の V_{DD} 変化に対する比です。これは mV/V で測定されます。 V_{REF} を 2.5 V に維持して、 V_{DD} を $\pm 10\%$ 変化させます。

出力電圧セトリング・タイム

1/4 フルスケールから 3/4 フルスケールへの入力変化に対して、DAC 出力が規定のレベルまでに安定するために要する時間を表します。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-sec で表すグリッチの面積として規定され、主要なキャリ変化時に(0x7FFF から 0x8000)、デジタル入力コードが 1 LSB だけ変化したときに測定されます(図 27 参照)。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。nV-sec で規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

ノイズ・スペクトル密度(NSD)

ノイズ・スペクトル密度は、内部で発生するランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度(nV/ \sqrt{Hz})としてキャラクタライズされます。DAC にミッドスケールを入力し、出力のノイズを測定して nV/ \sqrt{Hz} で表します。

DC クロストーク

別の DAC 出力での変化に起因する 1 つの DAC の出力レベルでの DC 変化。1 つのミッドスケールに維持した DAC をモニタしながら、別の DAC 上でのフルスケール出力変化(またはソフト・パワーダウンとパワーアップ)を使って測定し、 μV で表されます。

負荷電流変化に起因する DC クロストークは、1 つの DAC の負荷電流変化がミッドスケールに設定された別の DAC へ与える影響を表し、 $\mu V/mA$ で表わされます。

デジタル・クロストーク

1 の DAC の入力レジスタにおけるフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)から、ミッドスケール・レベルにある別の DAC の出力に混入したグリッチ・インパルスを表し、nV-sec で表示します。

アナログ・クロストーク

DAC の出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルスを表し、アナログ・クロストークを測定するときは、入力レジスタの 1 つにフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、及びその逆)をロードし、次にソフトウェア LDAC を実行し、デジタル・コードが変化しない DAC の出力をモニタします。グリッチの面積は nV-sec で表示します。

DAC 間クロストーク

デジタル・コードの変化とそれに続く別の DAC のアナログ出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルス。書込コマンドと更新コマンドを使って、DAC の 1 つにフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)をロードして、この間にミッドスケールにある別のチャンネル出力をモニタすることにより測定します。グリッチのエネルギーは nV-sec で表示します。

乗算帯域幅

DAC 内のアンプは有限な帯域幅を持っています。乗算帯域幅はこれを表します。入力された基準正弦波(DAC にフルスケール・コードをロード)は、出力に現われます。乗算帯域幅は、出力振幅が入力より 3 dB 小さくなる周波数で表します。

全高調波歪み(THD)

THD は、理論正弦波と DAC を使ったために減衰したその正弦波との差を表します。DAC に対してリファレンスとして正弦波を使ったときに、DAC 出力に現われる高調波が THD になります。dB 値で表示します。

動作原理

D/A コンバータ

AD5696/AD5694 は、シリアル入力の 16/12 ビット電圧出力ワード DAC で、2.7 V~5.5 V の電源で動作します。データは、2 線式シリアル・インターフェースを使って 24 ビットのワード・フォーマットで AD5696/AD5694 に書込まれます。AD5696/AD5694 は、パワーオン・リセット回路を内蔵しており、この回路により、パワーアップ時に DAC 出力を既知出力状態に維持することができます。これらのデバイスは、消費電流を 4 μ A まで減少させるソフトウェア・パワーダウン・モードも持っています。

伝達関数

DAC への入力コーディングは自然 2 進を使っているため、理論出力電圧は次式で与えられます。

$$X_{QWV} = X_{TGH} \times I_{ckp} \left[\frac{F}{2^P} \right]$$

ここで、

V_{REF} は、外付けリファレンスの値です。

Gain は、出力アンプのゲインで、デフォルトで 1 に設定されます。ゲインは、ゲイン選択ピンを使って 1 または 2 に設定することができます。GAIN ピンを GND に接続すると、4 個すべての DAC 出力の振幅は 0 V~ V_{REF} になります。このピンを V_{DD} に接続すると、4 個すべての DAC 出力の振幅は 0 V~ $2 \times V_{REF}$ になります。

D は DAC レジスタにロードされるバイナリ・コードの 10 進数表示です。

12 ビット AD5694 の場合 0~4095

16 ビット AD5696 の場合 0~65,535

N は DAC の分解能(12 ビットまたは 16 ビット)です。

DAC アーキテクチャ

DAC アーキテクチャは、ストリング DAC とそれに続く出力アンプから構成されています。図 33 に、DAC アーキテクチャのブロック図を示します。

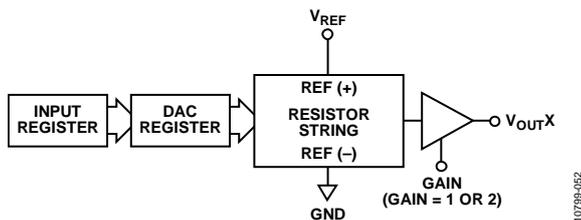


図 33. DAC 1 チャンネルあたりのアーキテクチャのブロック図

抵抗ストリング構造を図 34 に示します。各値が R の抵抗ストリングから構成されています。DAC レジスタにロードされるコードにより、ストリングのどのノードから電圧を分割して出力アンプへ供給するかが指定されます。スイッチの内の 1 つが閉じてストリングがアンプに接続されて、電圧が取り出されます。AD5696/AD5694 は抵抗のストリングであるため、単調整が保証されます。

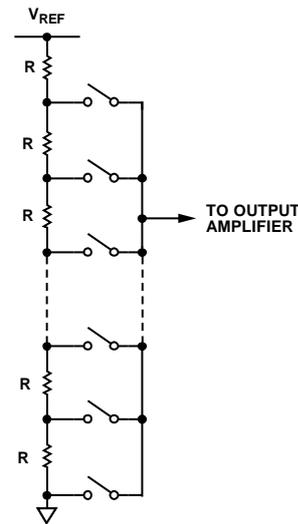


図 34. 抵抗ストリング構造

出力アンプ

出力バッファアンプは、出力でレール to レール電圧を発生することができ、0 V~ V_{DD} の出力範囲になります。実際の範囲は、 V_{REF} の値、GAIN ピン、オフセット誤差、ゲイン誤差に依存します。GAIN ピンで出力のゲインを選択します。

- このピンを GND に接続すると、4 個すべての出力のゲインは 1 になり、出力範囲は 0 V~ V_{REF} になります。
- このピンを V_{DD} に接続すると、4 個すべての出力のゲインは 2 になり、出力範囲は 0 V~ $2 \times V_{REF}$ になります。

出力アンプは、GND へ接続した 1 k Ω と 2 nF の並列接続負荷を駆動することができます。スルーレートは 0.8 V/ μ s であり、1/4 スケールから 3/4 スケールまでのセトリング・タイムは 5 μ s です。

シリアル・インターフェース

AD5696/AD5694 は 2 線式 I²C 互換シリアル・インターフェースを内蔵しています(Philips Semiconductor 社の I²C-Bus Specification, Version 2.1, January 2000 を参照してください)。図 2 に、代表的な書込みシーケンスのタイミング図を示します。AD5696/AD5694 は、マスター・デバイスから制御を受けるスレーブ・デバイスとして I²C バスに接続することができます。AD5696/AD5694 は、標準(100 kHz)と高速(400 kHz)のデータ転送モードをサポートしています。10 ビット・アドレッシングまたはジェネラル・コール・アドレッシングはサポートされていません。

入力シフトレジスタ

AD5696/AD5694 の入力シフトレジスタは 24 ビット幅です。データは、シリアル・クロック入力 SCL の制御のもとで 24 ビット・ワードとして MSB ファーストでデバイスに入力されます。上位 8 ビットがコマンド・バイトです(図 35 と図 36 参照)。

- 先頭の 4 ビットはコマンド・ビット(C3、C2、C1、C0)で、デバイスの動作モードを制御します(詳細については表 8 参照)。
- コマンド・バイトの最後の 4 ビットはアドレス・ビット(DAC D、DAC C、DAC B、DAC A)で、コマンドで動作する DAC を指定します(表 9 参照)。

8 ビットのコマンド・バイトの後ろには、データ 2 バイトが続き、これらがデータワードになります。AD5696 の場合、データワードは 16 ビット入力コードで構成され(図 35 参照)ます。AD5694 の場合、データワードは 12 ビット入力コードとそれに続く 4 ビットの don't care ビットで構成されます(図 36 参照)。これらのデータビットは、SCL の 24 個の立下がりエッジで入力シフトレジスタへ転送されます。

コマンドは、選択したアドレス・ビットに応じて、1 つの DAC チャンネルに対して、任意の 2 つまたは 3 つの DAC チャンネルに対して、または 4 つの全 DAC チャンネルに対して実行することができます(表 9 参照)。

表 8.コマンドの定義

Command Bits				Command
C3	C2	C1	C0	
0	0	0	0	No operation
0	0	0	1	Write to Input Register n (dependent on LDAC)
0	0	1	0	Update DAC Register n with contents of Input Register n
0	0	1	1	Write to and update DAC Channel n
0	1	0	0	Power down/power up DAC
0	1	0	1	Hardware LDAC mask register
0	1	1	0	Software reset (power-on reset)
0	1	1	1	Reserved
1	X ¹	X ¹	X ¹	Reserved

¹ X = don't care

表 9.アドレス・ビットと選択される DAC

Address Bits				Selected DAC Channels ¹
DAC D	DAC C	DAC B	DAC A	
0	0	0	1	DAC A
0	0	1	0	DAC B
0	0	1	1	DAC A and DAC B
0	1	0	0	DAC C
0	1	0	1	DAC A and DAC C
0	1	1	0	DAC B and DAC C
0	1	1	1	DAC A, DAC B, and DAC C
1	0	0	0	DAC D
1	0	0	1	DAC A and DAC D
...
1	1	1	1	All DACs

¹ DAC チャンネルの任意の組み合わせを、アドレス・ビットを使って選択することができます。

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	DAC D	DAC C	DAC B	DAC A	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE				DAC ADDRESS				DATA HIGH BYTE								DATA LOW BYTE							

図 35.AD5696 入力シフトレジスタ値

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	DAC D	DAC C	DAC B	DAC A	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE				DAC ADDRESS				DATA HIGH BYTE								DATA LOW BYTE							

図 36.AD5694 入力シフトレジスタ値

書込コマンドと更新コマンド

LDAC 機能の詳細については、ロードDAC (ハードウェア LDAC ピン) のセクションを参照してください。

入力レジスタ n への書込(LDACに依存)

コマンド 0001 を使うと、各DACの専用入力レジスタへ個別に書込みを行うことができます。LDACがロー・レベルのとき、入力レジスタはトランスペアレントになります(LDACマスク・レジスタから制御されていない場合)。

入力レジスタ n の値による DAC レジスタ n の更新

コマンド 0010 は、アドレス・ビットで選択した入力レジスタ値を DAC レジスタ/出力へロードして(表 9 参照)、DAC 出力を直接更新します。

DAC チャンネル n への書込と更新(LDACに非依存)

コマンド 0011 を使うと、LDACピンの状態に無関係に、DAC レジスタへ書込みを行なって、DAC出力を直接更新することができます。

I²C スレーブ・アドレス

AD5696/AD5694 は、7 ビットの I²C スレーブ・アドレスを持っています。上位 5 ビットは 00011 で、下位 2 ビット(A1 と A0)はアドレス・ピン(A0 と A1)の状態で設定されます。A0 と A1 をハード・ワイヤー接続で変更する機能を使うと、表 10 に示すように、1 つのバスに AD5696/AD5694 デバイスを最大 4 個接続することができます。

表 10. デバイス・アドレスの指定

A1 Pin Connection	A0 Pin Connection	A1 Bit	A0 Bit
GND	GND	0	0
GND	V _{LOGIC}	0	1
V _{LOGIC}	GND	1	0
V _{LOGIC}	V _{LOGIC}	1	1

シリアル動作

2 線式 I²C シリアル・バス・プロトコルは、次のように動作します。

1. マスターはスタート条件を設定してデータ転送を開始します。このスタート条件は、SCL がハイ・レベルの間に SDA ラインがハイ・レベルからロー・レベルへ変化することと定義されます。次のバイトはアドレス・バイトで、7 ビットのスレーブ・アドレスから構成されています。
2. 送信されたアドレスに該当するスレーブ・デバイスは 9 番目のクロック・パルスで、SDA ラインをロー・レベルにして応答します(これはアクノリッジ・ビットと呼ばれます)。選択されたデバイスが入力シフトレジスタに読み書きするデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。
3. データは、9 個のクロック・パルスで 8 ビットのデータとそれに続くアクノリッジ・ビットの順にシリアル・バス上を伝送します。SDA ラインは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります。
4. 全データビットの読み出しまたは書込みが終了すると、ストップ条件が設定されます。書込みモードでは、マスターが 10 番目のクロック・パルスで SDA ラインをハイ・レベルにプルアップして、ストップ状態を設定します。読み出しモードでは、マスターは 9 番目のクロック・パルスでアクノリッジを発行しません(SDA ラインがハイ・レベルを維持)。その後、マスターは SDA ラインをロー・レベルにして、10 番目のクロック・パルスが再度ハイ・レベルになるときストップ条件を設定します。

書込み動作

AD5696/AD5694 へ書込みを行うときは、まずスタート・コマンドを送信し、続いてアドレス・バイト(R/W = 0)を送信します。その後にDACはSDAをロー・レベルにして、データ受信の準備ができたことを通知します。AD5696/AD5694 は、DAC用の 2 バイトのデータと種々の DAC 機能を制御するコマンド・バイトを必要とします。このため、3 バイトのデータをDACに書込む必要があります。すなわち、コマンド・バイト、その後ろに上位データバイトと下位データバイトが続きます(図 37 参照)。これらの全データバイトは、AD5696/AD5694 によりアクノリッジされます。この後に、ストップ条件が続きます。

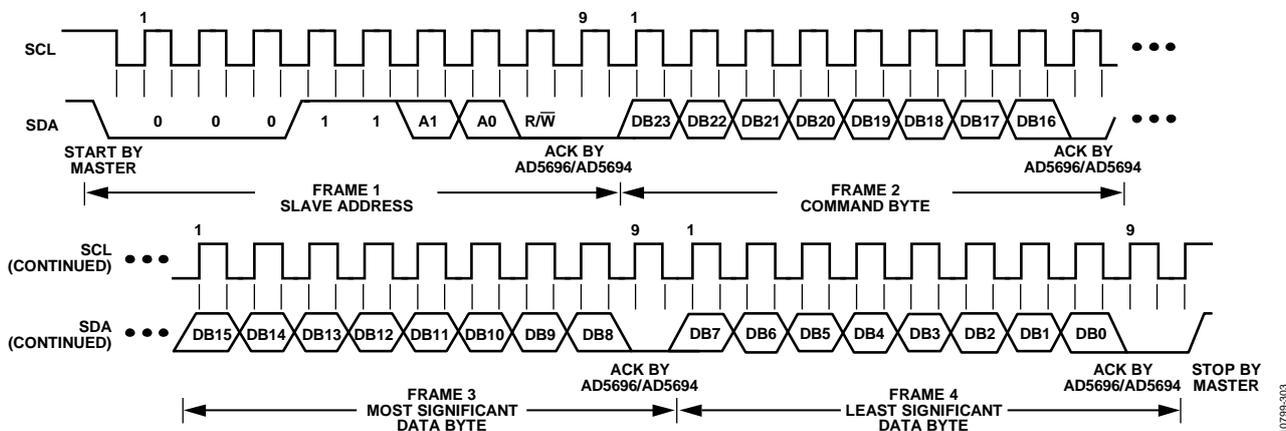


図 37. I²C の書込み動作

読出し動作

AD5696/AD5694 からデータの読出しを行うときは、まずスタート・コマンドを送信し、続いてアドレス・バイト(R/W = 0)を送信します。その後DACはSDAをロー・レベルにして、データ受信の準備ができたことを通知します。アドレス・バイトの後ろには、コマンド・バイトが続く必要があります。このコマンド・バイトは、後続の読出しコマンドと読出し対象のポインタ・アドレスを指定します。これもDACからアクノリッジされます。ユーザーは1個または複数のDACレジスタ値をリードバックする対象チャンネルを設定し、コマンド・バイトを使ってリードバック・コマンドをアクティブに設定します。

この後、マスターからスタート条件が繰り返され、アドレスがR/W = 1 で再送されます。これはDACからアクノリッジされて、データ送信の準備ができたことが通知されます。次に、2 バイトのデータがDACから読出されます(図 38 参照)。マスターからのNACK条件の後ろにSTOP条件が続いて、読出しシーケンスが完了します。複数のDACが選択されると、チャンネル Aがデフォルトでリードバックされます。

複数 DAC のリードバック・シーケンス

複数のAD5696/AD5694 DACから読出しを行うときは、まずアドレス・バイト(R/W = 0)を送信します。その後、DACはSDAをロー・レベルにして、データ受信の準備ができたことを通知します。このアドレス・バイトの後ろにはコマンド・バイトが続く必要があります。これに対してもDACはアクノリッジします。ユーザーはコマンド・バイトを使ってリードバックを開始するチャンネルを選択します。

この後、マスターからスタート条件が繰り返され、アドレスがR/W = 1 で再送されます。これはDACからアクノリッジされて、データ送信の準備ができたことが通知されます。そこで、最初の2 バイトのデータが、コマンド・バイトで選択されたDAC入力レジスタnから、MSBファーストで読出されます(図 38 参照)。次の2 バイトのデータが、DAC入力レジスタn + 1 から読出され、次のバイトがDAC入力レジスタn + 2 から読出されます。DAC入力レジスタからのデータ読出しはオートインクリメント方式で続き、NACKの後ろにストップ条件が続くと停止します。DAC入力レジスタDを読出すと、読出したデータの次の2 バイトは、DAC入力レジスタAから読出したデータになります。

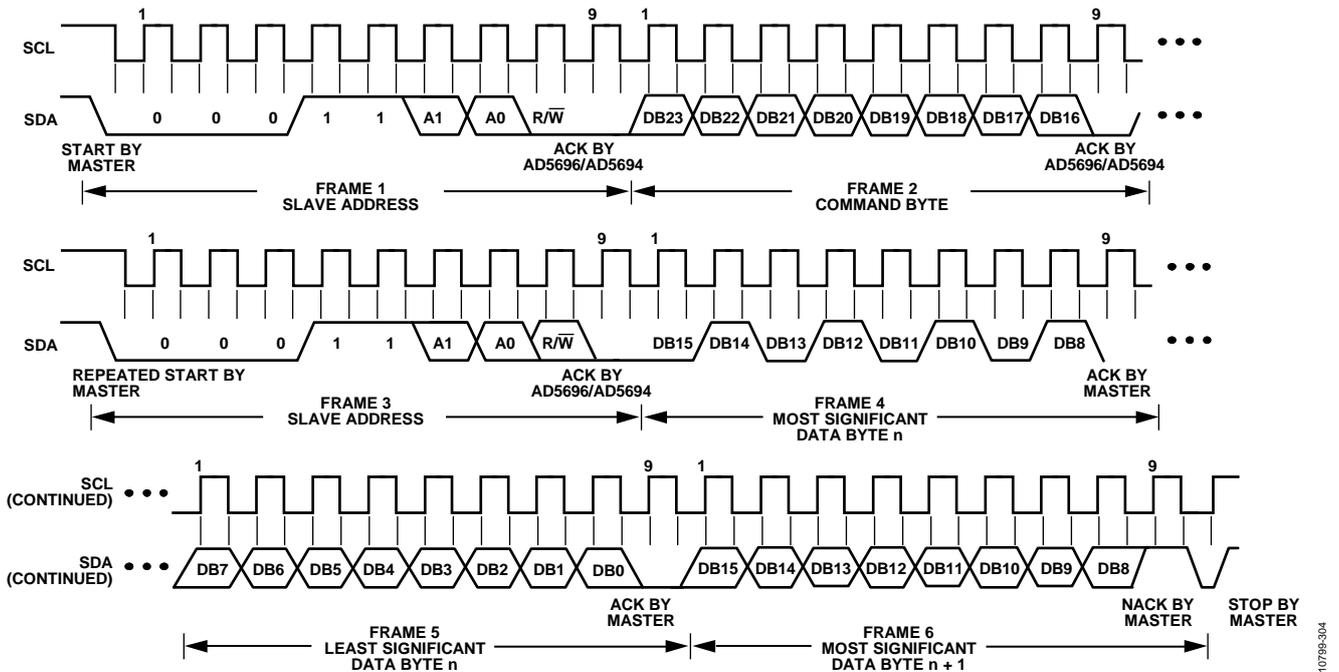


図 38. I²C の読出し動作

10799-304

パワーダウン動作

コマンド 0100 は、パワーダウン機能に割り当てられています。AD5696/AD5694 には 3 種類のパワーダウン・モードがあります (表 11 参照)。これらのパワーダウン・モードは、入力シフトレジスタのビット DB7~ビット DB0 を設定することにより、ソフトウェアから設定することができます。各 DAC チャンネルに対応した 2 ビットがあります。表 11 に、2 ビットの状態とデバイスの動作モードとの対応を示します。

表 11.動作モード

Operating Mode	PDx1	PDx0
Normal Operation	0	0
Power-Down Modes		
1 kΩ to GND	0	1
100 kΩ to GND	1	0
Three-State	1	1

入力シフトレジスタの対応するビットをセットすることにより、任意またはすべての DAC (DAC A~DAC D) を選択したモードでパワーダウンさせることができます。パワーダウン/パワーアップ動作時の入力シフトレジスタ値については表 12 を参照してください。

入力シフトレジスタの PDx1 と PDx0 の両ビット(x は選択した DAC) を 0 に設定すると、デバイスは 5 V で 0.59 mA の消費電流でノーマル動作します。PDx1 ビット、PDx0 ビット、または PDx1 と PDx0 の両ビットが 1 に設定されると、デバイスはパワーダウン・モードになります。パワーダウン・モードでは、電源電流は 5 V で 4 μA に減少します。

パワーダウン・モードでは、出力ステージが内部的にアンプ出力から切り離されて既知の値を持つ抵抗回路に接続されます。この方法には、パワーダウン・モードでデバイスの出力インピーダンスが既知になるという利点があります。

表 11 に 3 種類のパワーダウン・オプションを示します。すなわち、出力が内部で 1 kΩ または 100 kΩ 抵抗を介して GND に接続されるか、あるいはオープン(スリー・ステート)になります。出力ステージを図 39 に示します。

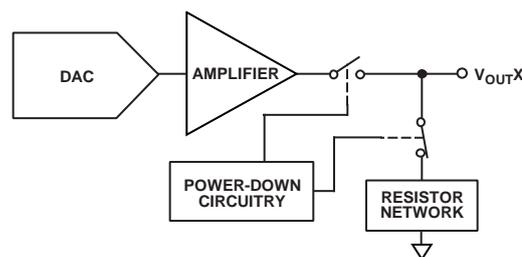


図 39.パワーダウン時の出力ステージ

パワーダウン・モードのときは、バイアス・ジェネレータ、出力アンプ、抵抗ストリング、およびその他の関係するリニア回路はシャットダウンされます。ただし、DAC レジスタ値はパワーダウン・モードで影響を受けないため、デバイスのパワーダウン・モード中でも DAC レジスタを更新することができます。パワーダウンから抜け出すために要する時間は、V_{DD} = 5 V で 2.5 μs (typ) です。

DAC のロード(ハードウェアLDACピン)

AD5696/AD5694 のDACは、入力レジスタとDACレジスタの 2 つのレジスタ・バンクで構成されているダブルバッファ化されたインターフェースを内蔵しています。入力レジスタの任意の組み合わせへ書込みを行うことができます (表 9 参照)。DACレジスタの更新は、LDACピンから制御されます。

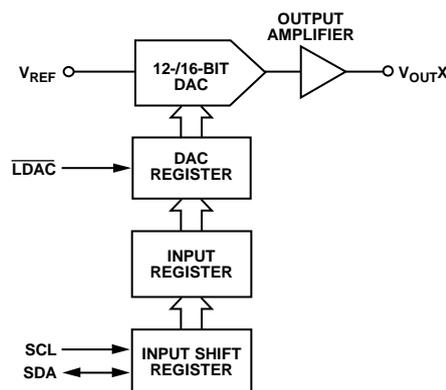


図 40.1 個の DAC についての入力ロード回路の簡略化した図

表 12.パワーダウン/パワーアップ動作の 24 ビット入力シフトレジスタ値¹

DB23 (MSB)	DB22	DB21	DB20	DB19 to DB16	DB15 to DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0 (LSB)
0	1	0	0	X	X	PDD1	PDD0	PDC1	PDC0	PDB1	PDB0	PDA1	PDA0
Command bits (C3 to C0)				Address bits (don't care)	Don't care	Power-down select, DAC D		Power-down select, DAC C		Power-down select, DAC B		Power-down select, DAC A	

¹ X = don't care.

DACの瞬時更新(LDACをロー・レベルに維持)

DACの瞬時更新の場合、コマンド 0001 を使ってデータを入力レジスタへ入力する間LDACをロー・レベルに維持します。アドレス指定された入力レジスタとDACレジスタが 24 番目のクロックで更新されて、出力が変化を開始します。

DACの遅延更新(LDACへ立下がリパルスを入力)

DACの遅延更新の場合、コマンド 0001 を使ってデータを入力レジスタへ入力する間LDACをハイ・レベルに維持します。24 番目のクロックの後にLDACをロー・レベルにすると、すべてのDAC出力が非同期に更新されます。更新は、LDACの立下がリエッジで行われます。

LDAC マスク・レジスタ

コマンド 0101 は、このソフトウェアLDAC機能に予約されています。このコマンドが実行される時、アドレス・ビットは無視されます。コマンド 0101 を使ってDACへ書込を行うと、4 ビットのLDAC マスク・レジスタ (DB3～DB0) がロードされます。LDAC マスク・レジスタのビット DB3はDAC Dに、ビット DB2はDAC Cに、ビット DB1はDAC Bに、ビット DB0はDAC Aに、それぞれ対応します。

これらのビットのデフォルト値は 0、すなわちLDACピンは通常動作になります。これらのいずれかのビットを 1 に設定すると、ハードウェアLDACピンの状態に関係なく、このDACチャンネルはLDACピンでの変化を無視します。この柔軟性は、LDACピンに対応させてチャンネルを選択するアプリケーションで役立ちます。

このLDACマスク・レジスタを使うと、ハードウェアLDACピンを柔軟に制御することができます(表 13 参照)。あるDACチャンネルに対してLDACビット(DB3～DB0)を 0 に設定することは、このチャンネルの更新がハードウェアLDACピンから制御されることを意味します。

表 13.LDAC 上書きの定義

Load LDAC Register		LDAC Operation
LDAC Bit (DB3 to DB0)	LDAC Pin	
0	1 or 0	Determined by the LDAC pin.
1	X ¹	DAC channels are updated. (DAC channels see LDAC pin as 1.)

¹ X = don't care

ハードウェア・リセット・ピン(RESET)

RESET はアクティブ・ローのリセットで、出力をゼロスケールまたはミッドスケールへクリアできるようにします。クリア・コード値は、セレクト・ピン(RSTSEL)を使って選択することができます。動作を完了するためには、RESETを最小 30 ns間ロー・レベルに維持する必要があります。

RESET信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します。RESETピンがロー・レベルの間、出力は新しい値で更新できません。

これらのデバイスには、DACをパワーオン・リセット・コードにリセットする、ソフトウェアからのリセット機能もあります。コマンド 0110 は、このソフトウェア・リセット機能に割り当てられています(表 8 参照)。パワーオン・リセット時のLDACまたはRESETの動作はすべて無視されます。

リセット選択ピン(RSTSEL)

AD5696/AD5694 は、パワーアップ時に出力電圧を制御するパワーオン・リセット回路を内蔵しています。RSTSEL ピンを GND へ接続すると、出力はゼロスケールでパワーアップします (これは DAC リニア領域の外側であることに注意してください)。RSTSEL ピンを V_{DD} に接続すると、出力はミッドスケールでパワーアップします。出力は RSTSEL で設定されたレベルでパワーアップしてこれを維持し、有効な書込みシーケンスが実行されるまでこの状態が維持されます。

表 14.書込コマンドとLDACピンの真理値表¹

Command	Description	Hardware LDAC Pin State	Input Register Contents	DAC Register Contents
0001	Write to Input Register n (dependent on LDAC)	V _{LOGIC}	Data update	No change (no update)
		GND ²	Data update	Data update
0010	Update DAC Register n with contents of Input Register n	V _{LOGIC}	No change	Updated with input register contents
		GND	No change	Updated with input register contents
0011	Write to and update DAC Channel n	V _{LOGIC}	Data update	Data update
		GND	Data update	Data update

¹ ハードウェアLDACピンのハイ・レベルからロー・レベルへの変化により、常に DAC レジスタ値が、LDACマスク・レジスタでマスクされていないチャンネルの入力レジスタ値で更新されます。

² LDACをロー・レベルに固定すると、LDACマスク・ビットは無視されます。

アプリケーション情報

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5696/AD5694 とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つ標準プロトコルを使うシリアル・バスを使って行います。この通信チャンネルは、クロック信号とデータ信号から構成される 2 線式インターフェースです。

AD5696/AD5694 と ADSP-BF531 とのインターフェース

AD5696/AD5694 の I²C インターフェースは、業界標準の DSP とマイクロコントローラに容易に接続できるようにデザインされています。図 41 に、AD5696/AD5694 とアナログ・デバイゼスの Blackfin® プロセッサとの接続方法を示します。Blackfin プロセッサは、AD5696/AD5694 の I²C ピンへ直接接続できる I²C ポートを内蔵しています。

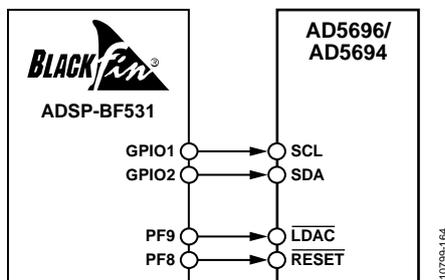


図 41. AD5696/AD5694 と ADSP-BF531 とのインターフェース

レイアウトのガイドライン

高精度が重要となる回路では、電源とグラウンド・リターンとのレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5696/AD5694 を実装する PCB は、AD5696/AD5694 をアナログ・プレーン上に配置するようにデザインする必要があります。

AD5696/AD5694 に対しては、10 μ F と 0.1 μ F の並列接続により十分な電源バイパスをパッケージのできるだけ近くに、理想的にはデバイスに直接に、接続する必要があります。10 μ F コンデンサはタンタルのビーズ型を使います。0.1 μ F コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESI)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

1 枚のボード上に多くのデバイスを実装するシステムでは、熱放散を容易にするヒート・シンク能力を設けることが有効な場合があります。

AD5696/AD5694 の LFCSP モデルには、デバイスの底にエクスポーズド・パッドが設けてあります。このパッドをデバイスの GND へ接続してください。最適性能を得るためには、マザーボードのデザインに特別な注意を払って、パッケージを実装してください。

熱的性能、電気的性能、ボード・レベルの性能を強化するため、LFCSP パッケージ底面のエクスポーズド・パッドは対応する PCB のサーマル・ランド・パッドにハンダ付けしてください。PCB ランド・パッド領域にサーマル・ビアを配置するようにデザインしてさらに熱放散を強化してください。

自然なヒート・シンク効果を提供するため、デバイス上の GND プレーンを大きくすることができます(図 42 参照)。

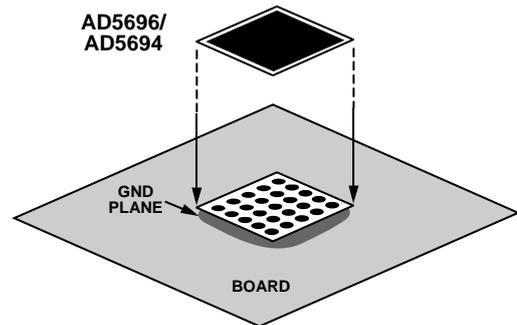


図 42. パッドとボードの接続

電流絶縁型インターフェース

多くのプロセス制御アプリケーションでは、コントローラと被制御対象のユニットとの間にアイソレーション障壁を設けて、危険な同相モード電圧から制御回路を保護してアイソレーションすることが必要です。

アナログ・デバイゼズの iCoupler® 製品は、2.5 kV を超える電圧アイソレーションを提供します。AD5696/AD5694 はシリアル・ローディング方式を採用しているため、インターフェース・ライン数が最小になっているので、絶縁インターフェース向けに最適です。図 43 に、ADuM1400 を使用して構成した、AD5696/AD5694 への 4 チャンネル絶縁型インターフェースを示します。詳細については、弊社ウェブサイト「iCoupler® デジタル・アイソレーション比類なき性能と集積化」をご覧ください。

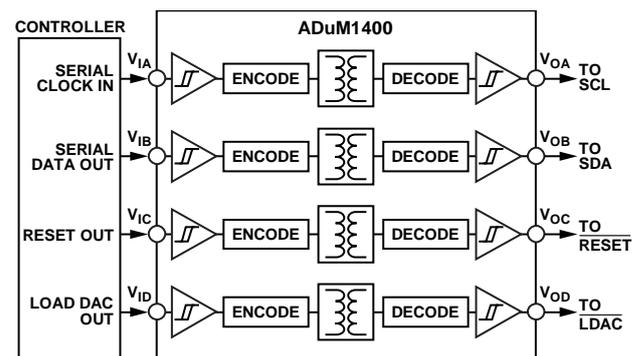


図 43. 絶縁型インターフェース

外形寸法

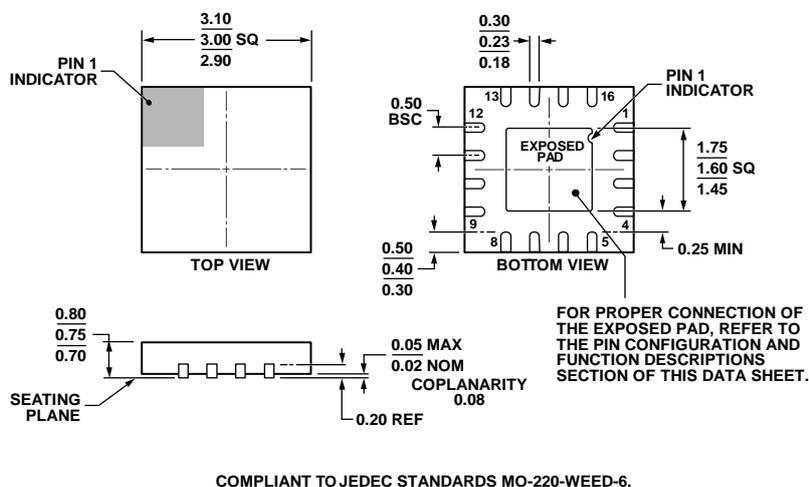


図 44.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
 3 mm x 3 mm ボディ、極薄クワッド
 (CP-16-22)
 寸法: mm

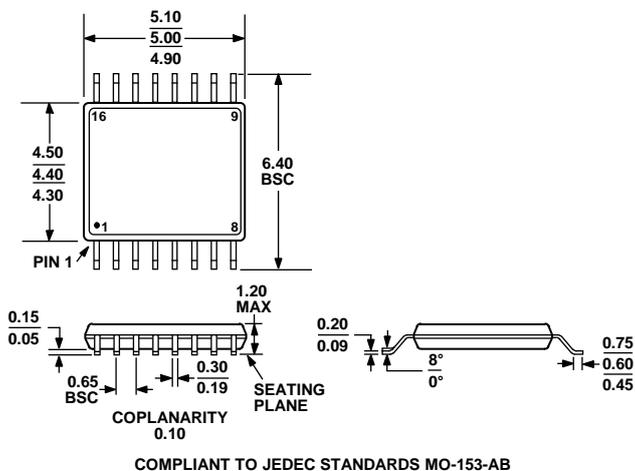


図 45.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
 (RU-16)
 寸法: mm

オーダー・ガイド

Model ¹	Resolution	Temperature Range	Accuracy (INL)	Package Description	Package Option	Branding
AD5696ACPZ-RL7	16 Bits	-40°C to +105°C	±8 LSB	16-Lead LFCSP_WQ	CP-16-22	DJ8
AD5696BCPZ-RL7	16 Bits	-40°C to +105°C	±2 LSB	16-Lead LFCSP_WQ	CP-16-22	DJ9
AD5696ARUZ	16 Bits	-40°C to +105°C	±8 LSB	16-Lead TSSOP	RU-16	
AD5696ARUZ-RL7	16 Bits	-40°C to +105°C	±8 LSB	16-Lead TSSOP	RU-16	
AD5696BRUZ	16 Bits	-40°C to +105°C	±2 LSB	16-Lead TSSOP	RU-16	
AD5696BRUZ-RL7	16 Bits	-40°C to +105°C	±2 LSB	16-Lead TSSOP	RU-16	
AD5694BCPZ-RL7	12 Bits	-40°C to +105°C	±1 LSB	16-Lead LFCSP_WQ	CP-16-22	DJQ
AD5694ARUZ	12 Bits	-40°C to +105°C	±2 LSB	16-Lead TSSOP	RU-16	
AD5694ARUZ-RL7	12 Bits	-40°C to +105°C	±2 LSB	16-Lead TSSOP	RU-16	
AD5694BRUZ	12 Bits	-40°C to +105°C	±1 LSB	16-Lead TSSOP	RU-16	
AD5694BRUZ-RL7	12 Bits	-40°C to +105°C	±1 LSB	16-Lead TSSOP	RU-16	
EVAL-AD5696RSDZ				AD5696 TSSOP Evaluation Board		
EVAL-AD5694RSDZ				AD5694 TSSOP Evaluation Board		

¹ Z = RoHS 準拠製品。

I²C は、Philips Semiconductors 社(現在の NXP Semiconductors 社)が制定した通信プロトコルです。