

AD5629R/AD5669R

特長

低消費電力の8チャンネルDAC

AD5629R: 12ビット

AD5669R: 16ビット

16ピンLFCSPまたは16ピンTSSOPパッケージを採用

1.25/2.5V、5 ppm/°Cのリファレンス電圧を内蔵

パワーダウン: 5Vで400 nA、3Vで200 nAまで

電源電圧: 2.7V~5.5V

単調性をデザインにより保証

パワーオン・リセットでゼロスケールまたはミッドスケールに設定

3種類のパワーダウン機能

ハードウェアのLDAC機能とCLR機能

I²C互換シリアル・インターフェースをサポート: スタンダード・モード(100 kHz)とファースト・モード(400 kHz)

アプリケーション

プロセス制御

データ・アキュイジション・システム

携帯型バッテリー駆動の計装機器

ゲインとオフセットのデジタル調整

プログラマブルな電圧源と電流源

機能ブロック図

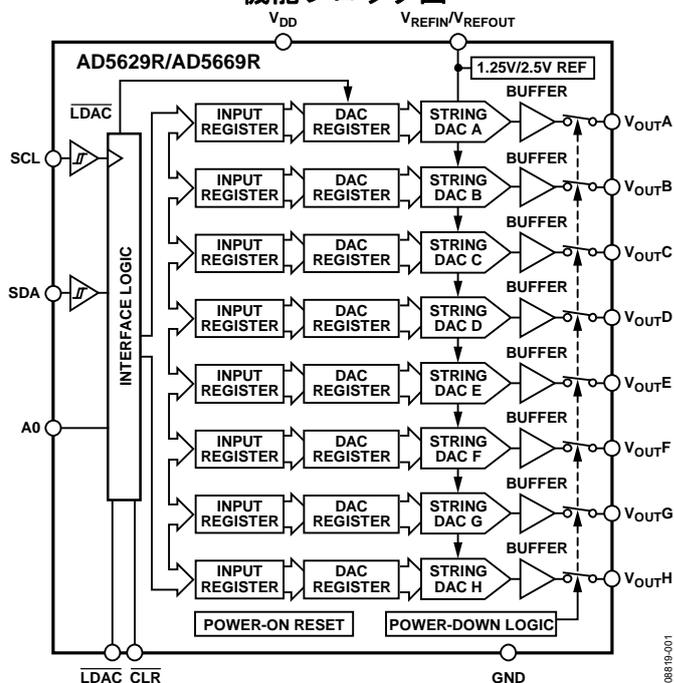


図 1.

概要

AD5629R/AD5669R デバイスは、8チャンネル低消費電力12/16ビットのバッファ付き電圧出力DACです。これらのデバイスはデザインにより単調性を保証しています。

AD5629R/AD5669Rは、内部ゲイン=2のリファレンス電圧も内蔵しています。AD5629R-1/AD5669R-1は、1.25V、5 ppm/°Cのリファレンス電圧を内蔵し、2.5Vのフルスケール出力範囲を持っています。AD5629R-2/AD5629R-3とAD5669R-2/AD5669R-3は、2.5V、5 ppm/°Cのリファレンス電圧を内蔵し、5Vのフルスケール出力範囲を持っています。デバイスで1.25Vリファレンス電圧を選択すると、2.7V~5.5Vの単電源で動作します。デバイスで2.5Vリファレンス電圧を選択すると、4.5V~5.5Vの電源で動作します。内蔵リファレンス電圧はパワーアップ時にオフであるため、外付けリファレンス電圧を使用することができます。内蔵リファレンス電圧は、ソフトウェア書込みによりイネーブルされます。

これらのデバイスはパワーオン・リセット回路を内蔵しているため、DAC出力は0V(AD5629R-1/AD5629R-2、AD5669R-1/AD5669R-2)で、またはミッドスケール(AD5629R-3/AD5669R-3)でパワーアップし、有効な書込みがあるまでこのレベルを維持します。これらのデバイスはデバイス消費電流を5Vで400 nAへ削減するパワーダウン機能を内蔵しているため、任意またはすべてのDACチャンネルに対して、パワーダウン・モード中の出力負荷をソフトウェアから選択することができます。

製品のハイライト

1. 12/16ビットの8チャンネルDAC。
2. 1.25V/2.5V、5 ppm/°Cリファレンス電圧を内蔵。
3. 16ピンのLFCSPまたはTSSOPパッケージを採用。
4. 0Vまたはミッドスケールへのパワーオン・リセット。
5. パワーダウン機能を内蔵。パワーダウン時のDAC消費電流(tp): 3Vで200 nA、5Vで400 nA。

目次

特長	1	内蔵リファレンス電圧	20
アプリケーション	1	出力アンプ	21
機能ブロック図	1	シリアル・インターフェース	21
概要	1	書込み動作	21
製品のハイライト	1	読出し動作	21
改訂履歴	2	入力シフトレジスタ	22
仕様	3	複数バイト動作	22
AC特性	6	内蔵リファレンス・レジスタ	23
I ² C タイミング特性	7	パワーオン・リセット	23
絶対最大定格	9	パワーダウン・モード	24
ESDの注意	9	クリア・コード・レジスタ	24
ピン配置およびピン機能説明	10	$\overline{\text{LDAC}}$ 機能	26
代表的な性能特性	11	電源のバイパスとグラウンド接続	26
用語	18	外形寸法	27
動作原理	20	オーダー・ガイド	28
D/Aコンバータ (DAC) セクション	20		
抵抗ストリング	20		

改訂履歴

12/10—Rev. 0 to Rev. A

Changes to Features, General Description, and Product Highlights Sections	1
Changes to AD5629R Relative Accuracy Parameter, Reference Output (1.25 V) Reference Input Range Parameter, and Reference Output (2.5 V) Reference Input Range Parameter (Table 1)	3
Changes to Relative Accuracy Parameter, Reference Temperature Parameter (Table 2)	5
Changes to Output Voltage Settling Time Parameter (Table 3)	6
Changes to Table 5	9
Changes to $\overline{\text{CLR}}$ Pin Description (Table 6)	10
Added Figure 32 and Figure 33	15
Added Figure 46	17
Changes to Internal Reference Section	20
Changes to Power-On Reset Section	23
Changes to Clear Code Register Section	24
Updated Outline Dimensions	27
Changes to Ordering Guide	28

10/10—Revision 0: Initial Version

仕様

$V_{DD} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ (GNDへ接続)、 $C_L = 200\text{ pF}$ (GNDへ接続)、 $V_{REFIN} = V_{DD}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 1.

Parameter	A Grade ¹			B Grade ¹			Unit	Test Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
STATIC PERFORMANCE ²								
AD5629R								
Resolution	12			12			Bits	
Relative Accuracy		±0.5	±4		±0.5	±1	LSB	See Figure 6
Differential Nonlinearity			±0.25			±0.25	LSB	Guaranteed monotonic by design (see Figure 8)
AD5669R								
Resolution	16			16			Bits	
Relative Accuracy		±8	±32		±8	±16	LSB	See Figure 5
Differential Nonlinearity			±1			±1	LSB	Guaranteed monotonic by design (see Figure 7)
Zero-Code Error		6	19		6	19	mV	All 0s loaded to DAC register (see Figure 18)
Zero-Code Error Drift		±2			±2		μV/°C	
Full-Scale Error		-0.2	-1		-0.2	-1	% FSR	All 1s loaded to DAC register (see Figure 19)
Gain Error			±1			±1	% FSR	
Gain Temperature Coefficient		±2.5			±2.5		ppm	Of FSR/°C
Offset Error		±6	±19		±6	±19	mV	
DC Power Supply Rejection Ratio		-80			-80		dB	$V_{DD} \pm 10\%$
DC Crosstalk (External Reference)		10			10		μV	Due to full-scale output change, $R_L = 2\text{ k}\Omega$ to GND or V_{DD}
		5			5		μV/mA	Due to load current change
		10			10		μV	Due to powering down (per channel)
DC Crosstalk (Internal Reference)		25			25		μV	Due to full-scale output change, $R_L = 2\text{ k}\Omega$ to GND or V_{DD}
		10			10		μV/mA	Due to load current change
OUTPUT CHARACTERISTICS ³								
Output Voltage Range	0		V_{DD}	0		V_{DD}	V	
Capacitive Load Stability		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 2\text{ k}\Omega$
DC Output Impedance		0.5			0.5		Ω	
Short-Circuit Current		30			30		mA	$V_{DD} = 5\text{ V}$
Power-Up Time		4			4		μs	Coming out of power-down mode, $V_{DD} = 5\text{ V}$
REFERENCE INPUTS								
Reference Current		40	50		40	50	μA	$V_{REFIN} = V_{DD} = 5.5\text{ V}$ (per DAC channel)
Reference Input Range	0		V_{DD}	0		V_{DD}	V	
Reference Input Impedance		14.6			14.6		kΩ	

Parameter	A Grade ¹			B Grade ¹			Unit	Test Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
REFERENCE OUTPUT (1.25 V)								
Output Voltage	1.247		1.253	1.247		1.253	μA	T _A = 25°C
Reference Input Range		±15			±5	±15	ppm/°C	
Output Impedance		7.5			7.5		kΩ	
REFERENCE OUTPUT (2.5 V)								
Output Voltage	2.495		2.505	2.495		2.505	μA	T _A = 25°C
Reference Input Range		±15			±5	±10	ppm/°C	
Output Impedance		7.5			7.5		kΩ	
LOGIC INPUTS ³								
Input Current			±3			±3	μA	All digital inputs
Input Low Voltage, V _{INL}			0.8			0.8	V	V _{DD} = 5 V
Input High Voltage, V _{INH}	2			2			V	V _{DD} = 5 V
Pin Capacitance		3			3		pF	
POWER REQUIREMENTS								
V _{DD}	4.5		5.5	4.5		5.5	V	All digital inputs at 0 or V _{DD} , DAC active, excludes load current
I _{DD} (Normal Mode) ⁴								V _{IH} = V _{DD} and V _{IL} = GND
V _{DD} = 4.5 V to 5.5 V		1.3	1.8		1.3	1.8	mA	Internal reference off
		2	2.5		2	2.5	mA	Internal reference on
I _{DD} (All Power-Down Modes) ⁵								
V _{DD} = 4.5 V to 5.5 V		0.4	1		0.4	1	μA	V _{IH} = V _{DD} and V _{IL} = GND

¹ 温度範囲 (typ)は、25°Cで-40°C~+105°Cです。

² 直線性はコード 32~コード 4064 (AD5629R)およびコード 512~コード 65,024 (AD5669R)の縮小したコード範囲で計算。出力は無負荷。

³ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

⁴ インターフェースは非アクティブ状態。すべてのDACはアクティブ状態。DAC出力は無負荷。

⁵ 全DACがパワーダウン。

$V_{DD} = 2.7\text{ V} \sim 3.6\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ (GNDへ接続)、 $C_L = 200\text{ pF}$ (GNDへ接続)、 $V_{REFIN} = V_{DD}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 2.

Parameter	A Grade ¹			B Grade ¹			Unit	Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
STATIC PERFORMANCE ²								
AD5629R								
Resolution	12			12			Bits	
Relative Accuracy		±0.5	±4		±0.5	±1	LSB	See Figure 6
Differential Nonlinearity			±0.25			±0.25	LSB	Guaranteed monotonic by design (see Figure 8)
AD5669R								
Resolution	16			16			Bits	
Relative Accuracy		±8	±32		±8	±16	LSB	See Figure 5
Differential Nonlinearity			±1			±1	LSB	Guaranteed monotonic by design (see Figure 7)
Zero-Code Error		6	19		6	19	mV	All 0s loaded to DAC register (see Figure 18)
Zero-Code Error Drift		±2			±2		μV/°C	
Full-Scale Error		-0.2	-1		-0.2	-1	% FSR	All 1s loaded to DAC register (see Figure 19)
Gain Error			±1			±1	% FSR	
Gain Temperature Coefficient		±2.5			±2.5		ppm	Of FSR/°C
Offset Error		±6	±19		±6	±19	mV	
DC Power Supply Rejection Ratio		-80			-80		dB	$V_{DD} \pm 10\%$
DC Crosstalk (External Reference)		10			10		μV	Due to full-scale output change, $R_L = 2\text{ k}\Omega$ to GND or V_{DD}
		5			5		μV/mA	Due to load current change
		10			10		μV	Due to powering down (per channel)
DC Crosstalk (Internal Reference)		25			25		μV	Due to full-scale output change, $R_L = 2\text{ k}\Omega$ to GND or V_{DD}
		10			10		μV/mA	Due to load current change
OUTPUT CHARACTERISTICS ³								
Output Voltage Range	0		V_{DD}	0		V_{DD}	V	
Capacitive Load Stability		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 2\text{ k}\Omega$
DC Output Impedance		0.5			0.5		Ω	
Short-Circuit Current		30			30		mA	$V_{DD} = 3\text{ V}$
Power-Up Time		4			4		μs	Coming out of power-down mode, $V_{DD} = 3\text{ V}$
REFERENCE INPUTS								
Reference Current		40	50		40	50	μA	$V_{REFIN} = V_{DD} = 3.6\text{ V}$ (per DAC channel)
Reference Input Range	0		V_{DD}	0		V_{DD}		
Reference Input Impedance		14.6			14.6		kΩ	
REFERENCE OUTPUT								
Output Voltage								
AD5629R/AD5669R	1.247		1.253	1.247		1.253	V	$T_A = 25^\circ\text{C}$
Reference Tempco ³		±15			±5	±15	ppm/°C	
Reference Output Impedance		7.5			7.5		kΩ	
LOGIC INPUTS ³								
Input Current			±3			±3	μA	All digital inputs
Input Low Voltage, V_{INL}			0.8			0.8	V	$V_{DD} = 3\text{ V}$
Input High Voltage, V_{INH}	2			2			V	$V_{DD} = 3\text{ V}$
Pin Capacitance		3			3		pF	

Parameter	A Grade ¹			B Grade ¹			Unit	Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
POWER REQUIREMENTS								
V _{DD}	2.7		3.6	2.7		3.6	V	All digital inputs at 0 or V _{DD} , DAC active, excludes load current
I _{DD} (Normal Mode) ⁴								V _{IH} = V _{DD} and V _{IL} = GND
V _{DD} = 2.7 V to 3.6 V		1.0	1.5		1.0	1.5	mA	Internal reference off
		1.8	2.25		1.7	2.25	mA	Internal reference on
I _{DD} (All Power-Down Modes) ⁵								
V _{DD} = 2.7 V to 3.6 V		0.2	1		0.2	1	μA	V _{IH} = V _{DD} and V _{IL} = GND

¹ 温度範囲 (typ)は、25°Cで-40°C~+105°Cです。

² 直線性はコード 32~コード 4064 (AD5629R)およびコード 512~コード 65,024 (AD5669R)の縮小したコード範囲で計算。出力は無負荷。

³ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

⁴ インターフェースは非アクティブ状態。すべてのDACはアクティブ状態。DAC出力は無負荷。

⁵ 全DACがパワーダウン。

AC特性

V_{DD} = 2.7 V~5.5 V、R_L = 2 kΩ (GNDへ接続)、C_L = 200 pF (GNDへ接続)、V_{REFIN} = V_{DD}。特に指定のない限り、すべての仕様はT_{MIN}~T_{MAX}で規定。

表 3.

Parameter ^{1, 2}	Min	Typ	Max	Unit	Conditions/Comments ³
Output Voltage Settling Time		2.5	7	μs	¼ to ¾ scale settling to ±2 LSB
Slew Rate		1.2		V/μs	
Digital-to-Analog Glitch Impulse		4		nV-s	1 LSB change around major carry (see Figure 34)
		19		nV-s	From Code 59904 to Code 59903
Digital Feedthrough		0.1		nV-s	
Reference Feedthrough		-90		dB	V _{REFIN} = 2 V ± 0.1 V p-p, frequency = 10 Hz to 20 MHz
Digital Crosstalk		0.2		nV-s	
Analog Crosstalk		0.4		nV-s	
DAC-to-DAC Crosstalk		0.8		nV-s	
Multiplying Bandwidth		320		kHz	V _{REFIN} = 2 V ± 0.2 V p-p
Total Harmonic Distortion		-80		dB	V _{REFIN} = 2 V ± 0.1 V p-p, frequency = 10 kHz
Output Noise Spectral Density		120		nV/√Hz	DAC code = 0x8400, 1 kHz
		100		nV/√Hz	DAC code = 0x8400, 10 kHz

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² 用語のセクションを参照してください。

³ 温度範囲 (typ)は、25°Cで-40°C~+105°Cです。

I²C タイミング特性

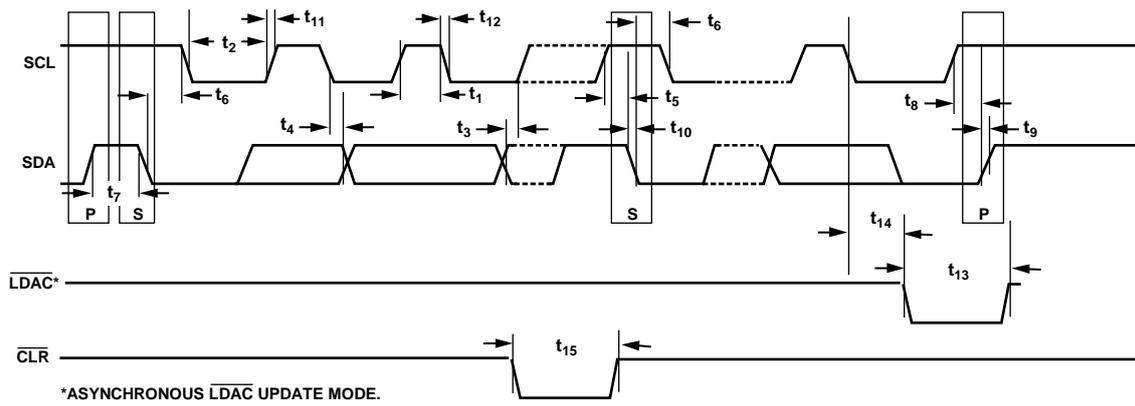
特に指定のない限り、 $V_{DD} = 2.7 \sim 5.5$ V、すべての仕様は $T_{MIN} \sim T_{MAX}$ 、 $f_{SCL} = 400$ kHz で規定。

表 4.

Parameter	Conditions	Min	Max	Unit	Description
f_{SCL} ¹	Standard mode		100	kHz	Serial clock frequency
	Fast mode		400	kHz	
t_1	Standard mode	4		μ s	t_{HIGH} , SCL high time
	Fast mode	0.6		μ s	
t_2	Standard mode	4.7		μ s	t_{LOW} , SCL low time
	Fast mode	1.3		μ s	
t_3	Standard mode	250		ns	$t_{SU,DAT}$, data setup time
	Fast mode	100		ns	
t_4	Standard mode	0	3.45	μ s	$t_{HD,DAT}$, data hold time
	Fast mode	0	0.9	μ s	
t_5	Standard mode	4.7		μ s	$t_{SU,STA}$, setup time for a repeated start condition
	Fast mode	0.6		μ s	
t_6	Standard mode	4		μ s	$t_{HD,STA}$, hold time (repeated) start condition
	Fast mode	0.6		μ s	
t_7	Standard mode	4.7		μ s	t_{BUF} , bus-free time between a stop and a start condition
	Fast mode	1.3		μ s	
t_8	Standard mode	4		μ s	$t_{SU,STO}$, setup time for a stop condition
	Fast mode	0.6		μ s	
t_9	Standard mode		1000	ns	t_{RDA} , rise time of SDA signal
	Fast mode		300	ns	
t_{10}	Standard mode		300	ns	t_{FDA} , fall time of SDA signal
	Fast mode		300	ns	
t_{11}	Standard mode		1000	ns	t_{RCL} , rise time of SCL signal
	Fast mode		300	ns	
t_{11A}	Standard mode		1000	ns	t_{RCL} , rise time of SCL signal after a repeated start condition and after an acknowledge bit
	Fast mode		300	ns	
t_{12}	Standard mode		300	ns	t_{FCL} , fall time of SCL signal
	Fast mode		300	ns	
t_{13}	Standard mode	10		ns	\overline{LDAC} pulse width low
	Fast mode	10		ns	
t_{14}	Standard mode	300		ns	Falling edge of ninth SCL clock pulse of last byte of a valid write to the LDAC falling edge
	Fast mode	300		ns	
t_{15}	Standard mode	20		ns	\overline{CLR} pulse width low
	Fast mode	20		ns	
t_{SP} ²	Fast mode	0	50	ns	Pulse width of spike suppressed

¹ SDA と SCL のタイミングは、入力フィルタをイネーブルして測定。入力フィルタを切り離すと、転送レートは向上しますが、デバイスの EMC 動作に悪影響があります。

² SCL と SDA の入力フィルタにより、ノイズ・スパイクをファースト・モードで 50 ns 以下に、ハイスピード・モードで 50 ns 以下に抑圧します。



2009-01-18/80

図 2. シリアル書き込み動作

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 5.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
Digital Input Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
V_{OUT} to GND	-0.3 V to $V_{DD} + 0.3$ V
V_{REFIN}/V_{REFOUT} to GND	-0.3 V to $V_{DD} + 0.3$ V
Operating Temperature Range	
Industrial	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature ($T_{J\text{ MAX}}$)	+150°C
Power Dissipation	$(T_{J\text{ MAX}} - T_A)/\theta_{JA}$
Thermal Impedance, θ_{JA}	
16-Lead TSSOP (4-Layer Board)	112.6°C/W
16-Lead LFCSP (4-Layer Board)	30.4°C/W
Reflow Soldering Peak Temperature	
Pb Free	260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

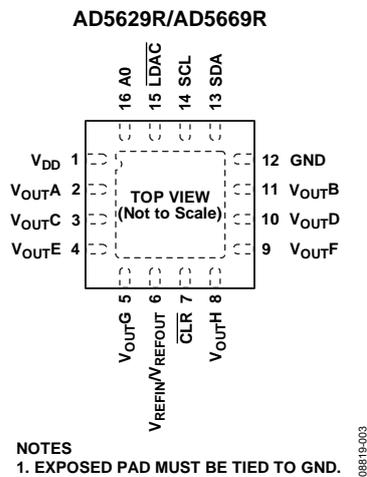


図 3.16 ピン LFCSP (CP-16-17)

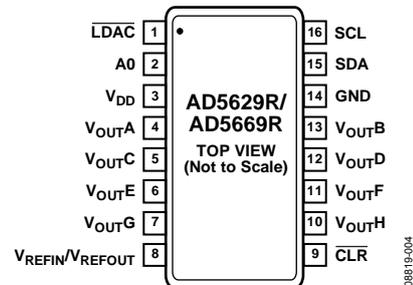


図 4.16 ピン TSSOP (RU-16)

表 6. ピン機能の説明

ピン番号		記号	説明
16-Lead LFCSP	16-Lead TSSOP		
15	1	LDAC	入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを入力すると、すべての DAC レジスタが更新されます。この信号を使うと、全 DAC 出力を同時に更新することができます。あるいは、このピンをロー・レベルに固定することができます。
16	2	A0	アドレス入力。7 ビット・スレーブ・アドレスの下位ビットを設定します。
1	3	V _{DD}	電源入力。これらのデバイスは 2.7 V ~ 5.5 V で動作します。電源は 10 μF のコンデンサと 0.1 μF のコンデンサの並列接続により GND ヘドカップリングしてください。
2	4	V _{OUTA}	DAC A のアナログ電圧出力。出力アンプはレール to レール動作。
3	5	V _{OUTC}	DAC C のアナログ出力電圧。出力アンプはレール to レール動作。
4	6	V _{OUTE}	DAC E のアナログ出力電圧。出力アンプはレール to レール動作。
5	7	V _{OUTG}	DAC G のアナログ出力電圧。出力アンプはレール to レール動作。
6	8	V _{REFIN} /V _{REFOUT}	AD5629R/AD5669R には、リファレンス入力とリファレンス出力に対するコモン・ピンがあります。内蔵リファレンス電圧を使用する場合、このピンがリファレンス出力ピンになります。外付けリファレンスを使用する場合は、このピンはリファレンス入力ピンになります。デフォルトでは、このピンはリファレンス入力になっています。
7	9	CLR	非同期のクリア入力。CLR 入力、立下がりエッジ検出です。CLR がロー・レベルのときは、すべての LDAC パルスが無視されます。CLR が入力されると、入力レジスタと DAC レジスタは CLR コード・レジスタの値(ゼロスケール、ミッドスケール、またはフルスケール)で更新されます。デフォルト設定では、出力が 0 V にクリアされます。
8	10	V _{OUTH}	DAC H のアナログ出力電圧。出力アンプはレール to レール動作。
9	11	V _{OUTF}	DAC F のアナログ出力電圧。出力アンプはレール to レールの動作。
10	12	V _{OUTD}	DAC D のアナログ出力電圧。出力アンプはレール to レールの動作。
11	13	V _{OUTB}	DAC B のアナログ出力電圧。出力アンプはレール to レールの動作。
12	14	GND	デバイス上の全回路に対するグラウンド基準電圧ポイント。
13	15	SDA	シリアル・データ入力。このピンは、32 ビット入力シフトレジスタにデータを入出力する SCL ラインと組み合わせて使います。双方向のオープン・ドレイン・データラインであるため、外付け抵抗で電源にプルアップする必要があります。
14	16	SCL	シリアル・クロック・ライン。このピンは、32 ビット入力シフトレジスタにデータを入出力する SDA ラインと組み合わせて使います。
17	N/A	エクスポーズド・パッド (EPAD)	エクスポーズド・パッドは GND に接続する必要があります。

代表的な性能特性

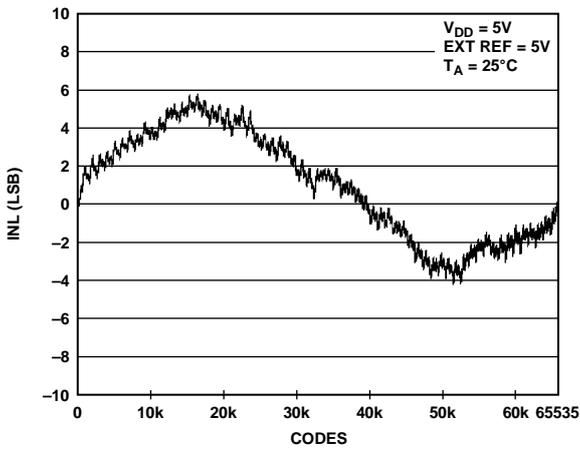


図 5. INL AD5669R—外付けリファレンス電圧

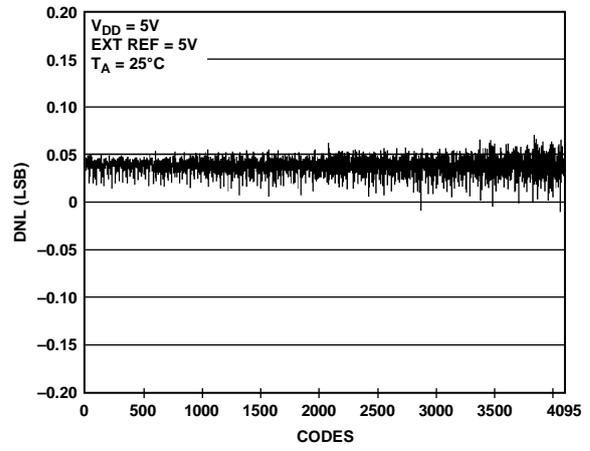


図 8. DNL AD5629R—外付けリファレンス電圧

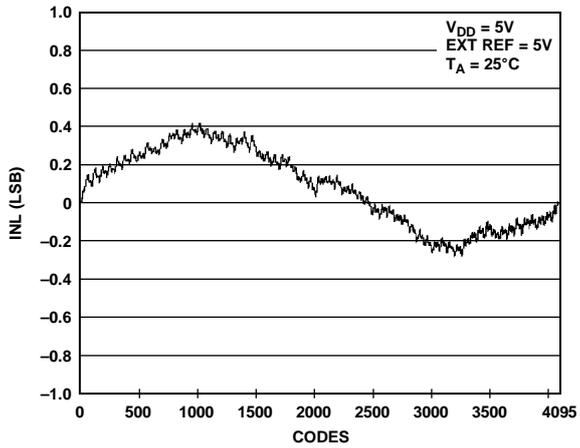


図 6. INL AD5629R—外付けリファレンス電圧

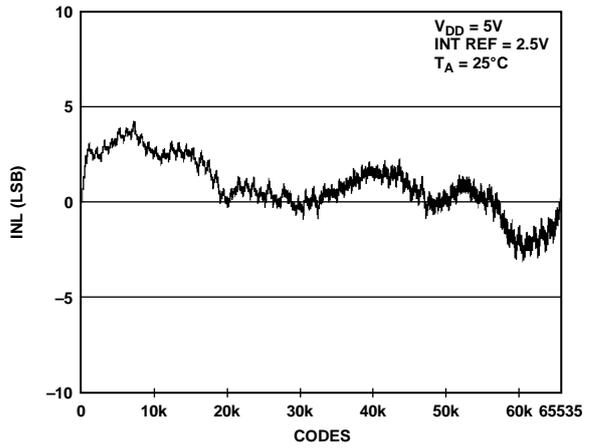


図 9. INL AD5669R-2—内蔵リファレンス電圧

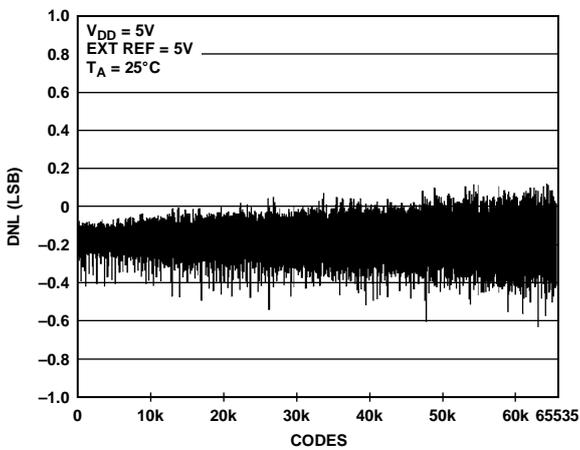


図 7. DNL AD5669R—外付けリファレンス電圧

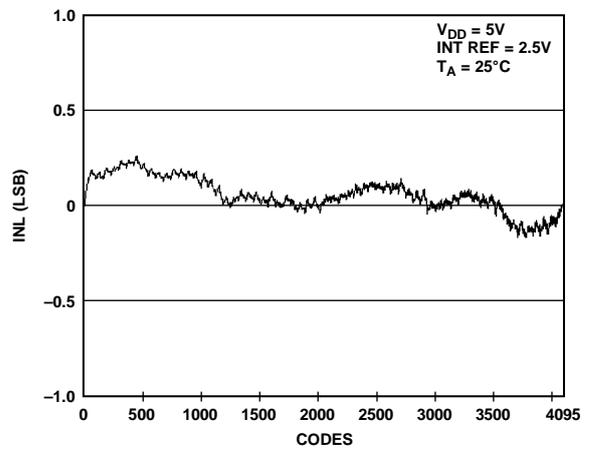


図 10. INL AD5629R-2—内蔵リファレンス電圧

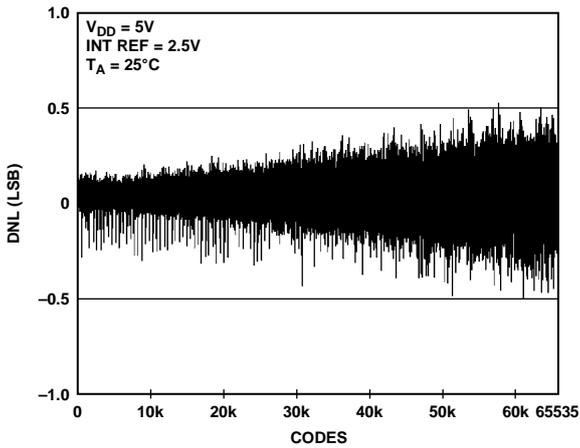


図 11.DNL AD5669R-2—内蔵リファレンス電圧

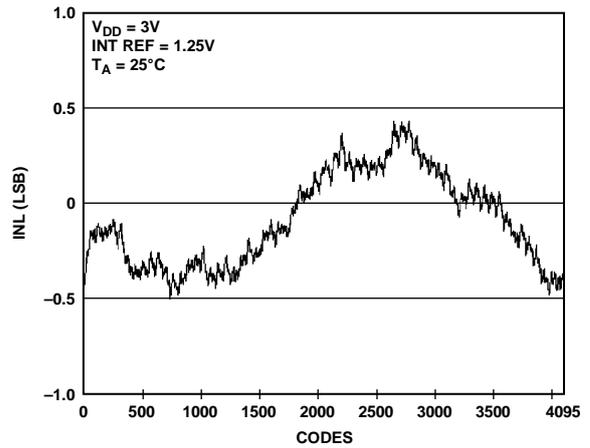


図 14.INL AD5629R-1—内蔵リファレンス電圧

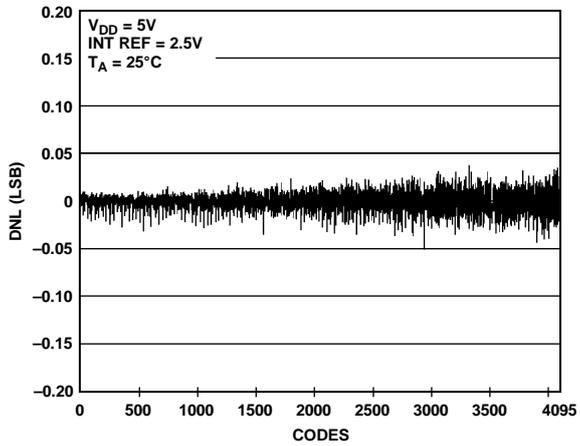


図 12.DNL AD5629R-2—内蔵リファレンス電圧

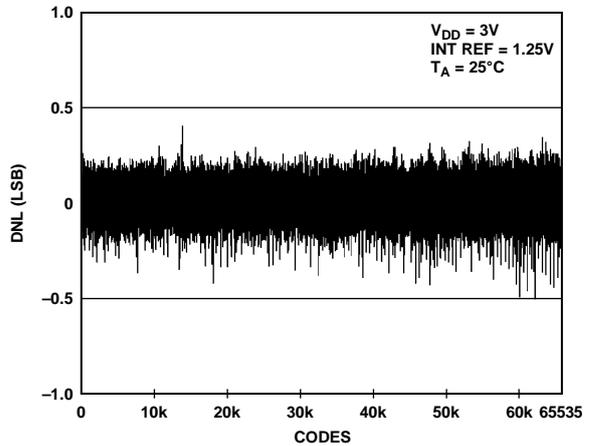


図 15.DNL AD5669R-1—内蔵リファレンス電圧

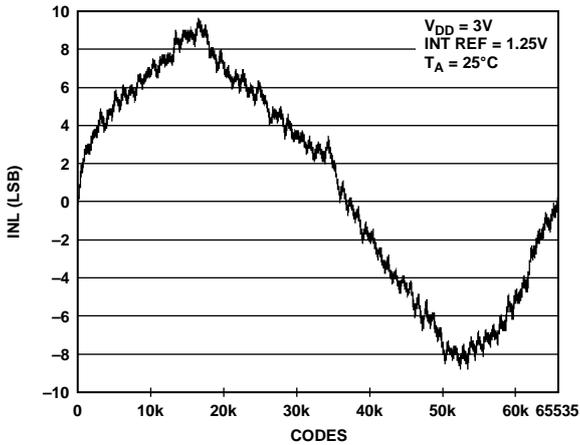


図 13.INL AD5669R-1—内蔵リファレンス電圧

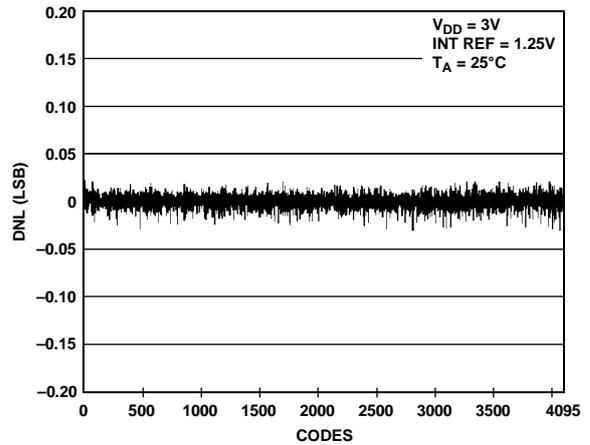


図 16.DNL AD5629R-1—内蔵リファレンス電圧

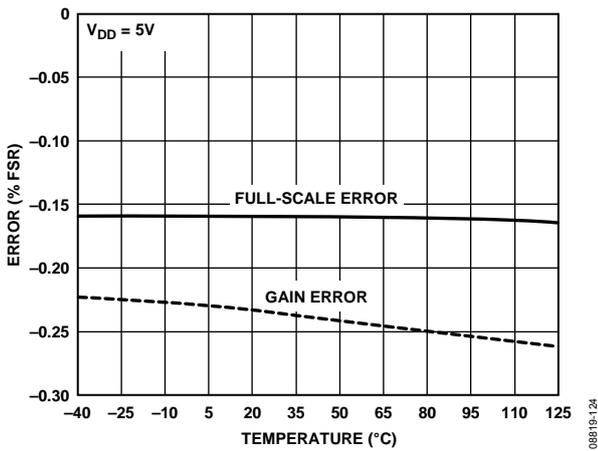


図 17. ゲイン誤差とフルスケール誤差の温度特性

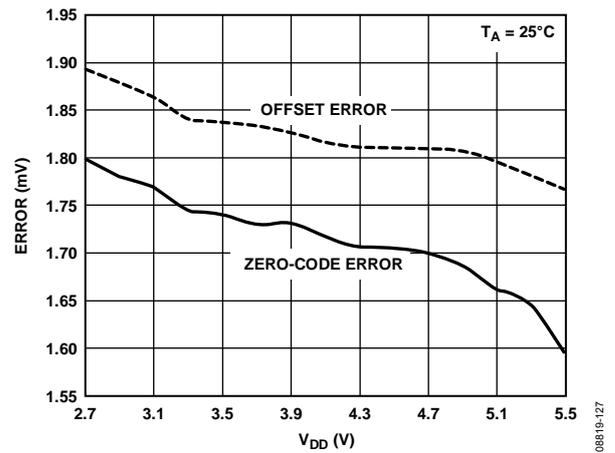


図 20. 電源電圧対ゼロ・コード誤差およびオフセット誤差

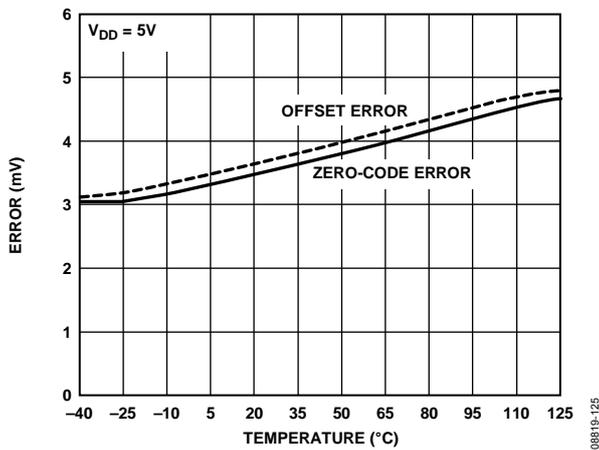


図 18. ゼロ・コード誤差とオフセット誤差の温度特性

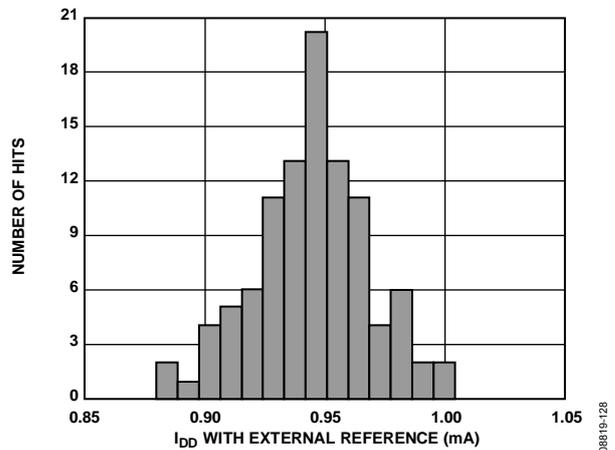


図 21. I_{DD} ヒストグラム—外付けリファレンス電圧

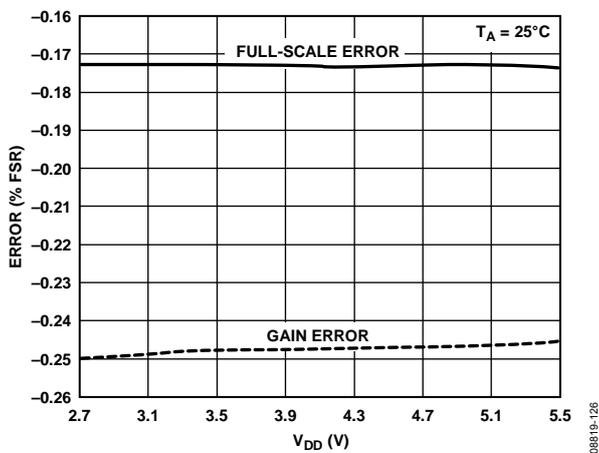


図 19. 電源電圧対ゲイン誤差およびフルスケール誤差

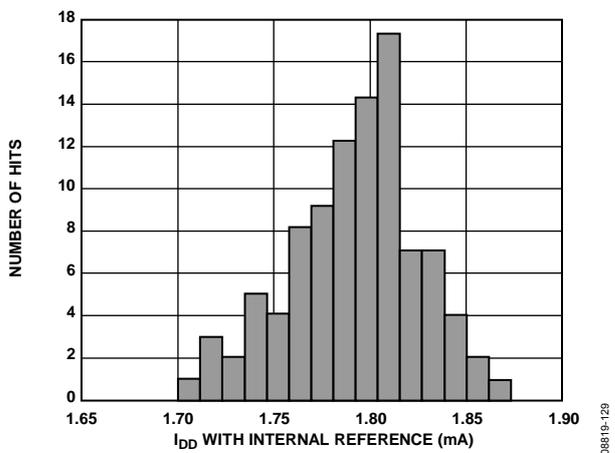


図 22. I_{DD} ヒストグラム—内蔵リファレンス電圧

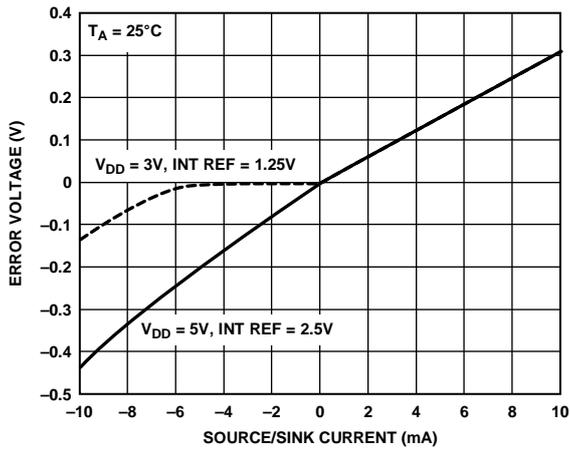


図 23. ソース/シンク対電源でのヘッドルーム

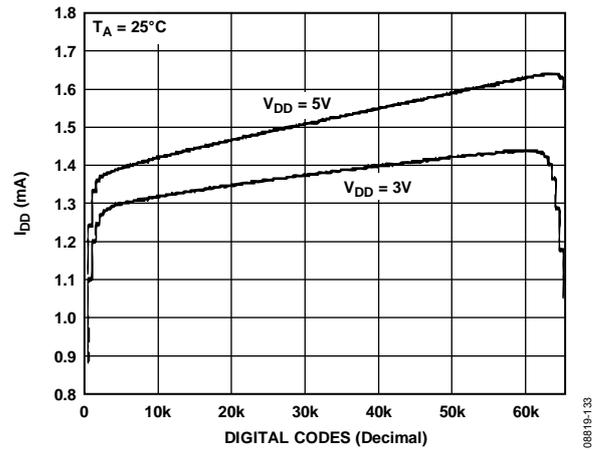


図 26. コード対電源電流

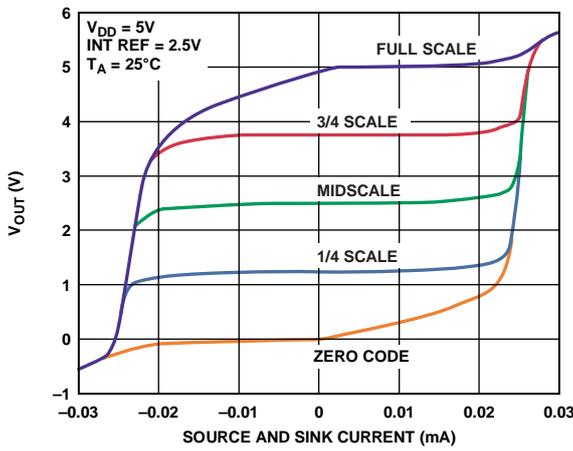


図 24. AD5669R-2 ソース/シンク能力

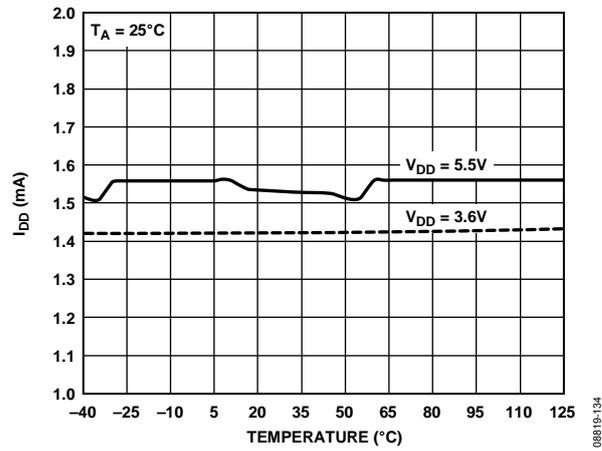


図 27. 電源電流の温度特性

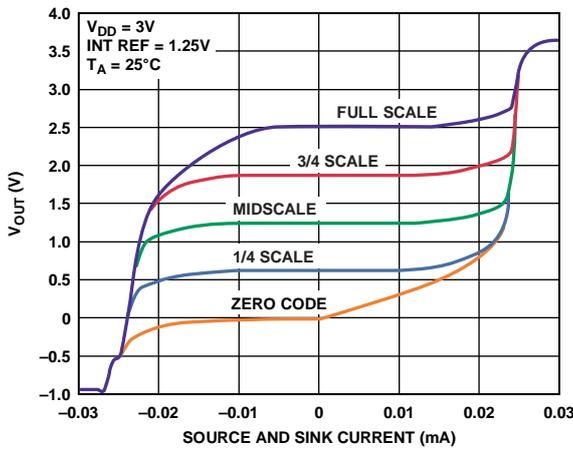


図 25. AD5669R-1 ソース/シンク能力

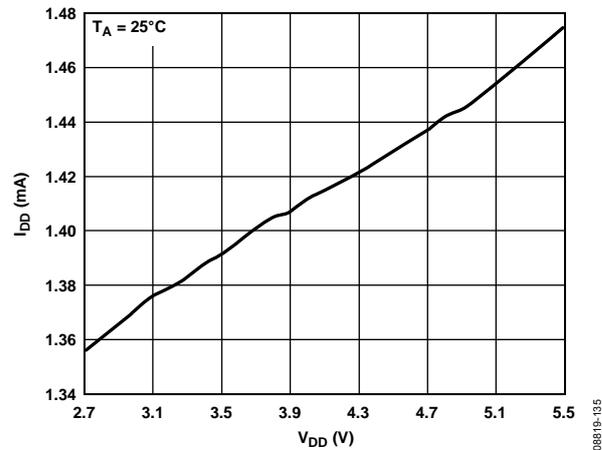


図 28. 電源電圧対電源電流

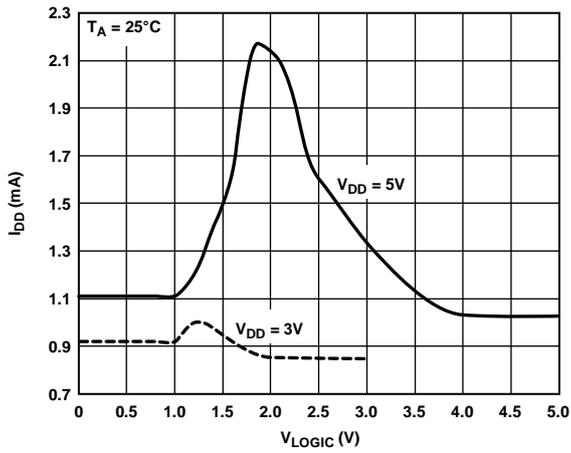


図 29.ロジック入力電圧対電源電流

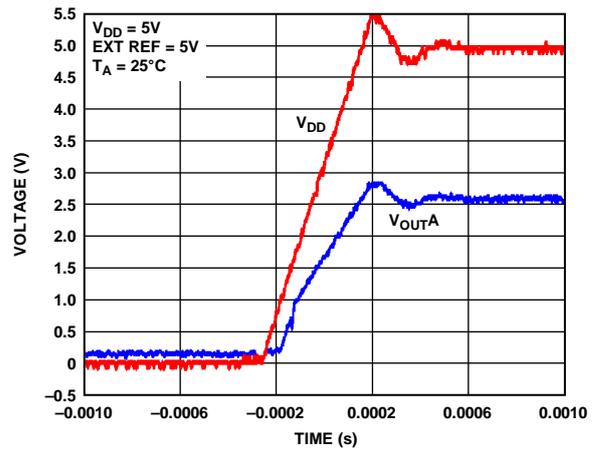


図 32.ミッドスケールへのパワーオン・リセット

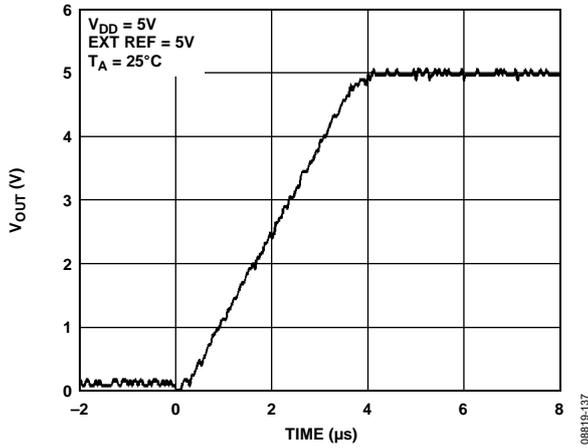


図 30.フルスケール・セトリング・タイム、5V

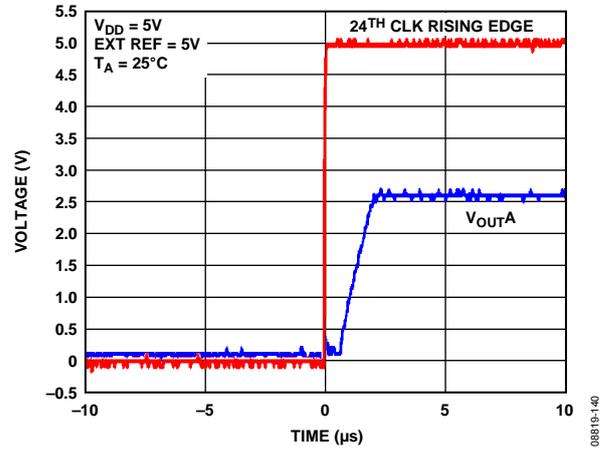


図 33.パワーダウン終了時のミッドスケール出力

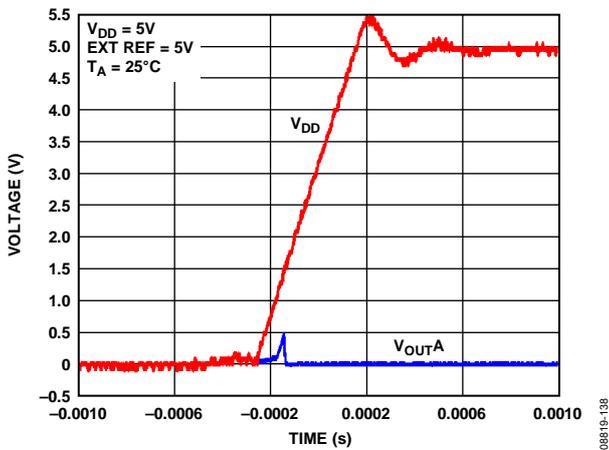


図 31.0Vへのパワーオン・リセット

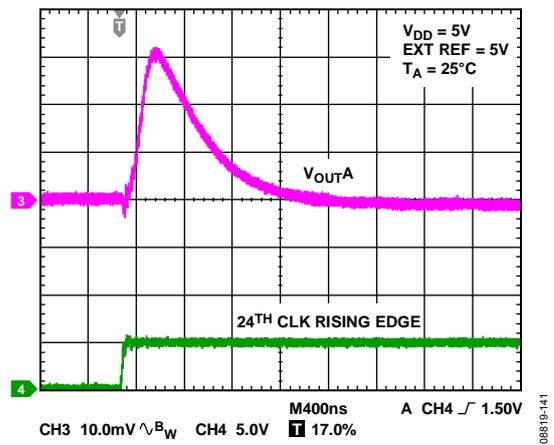


図 34.デジタルからアナログへのグリッチ・インパルス(負)

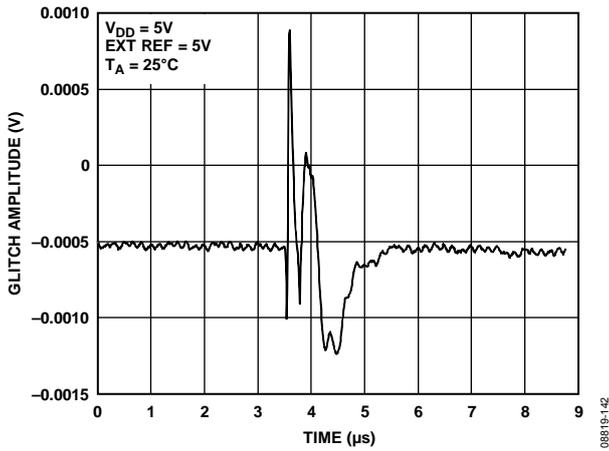


図 35. アナログ・クロストーク

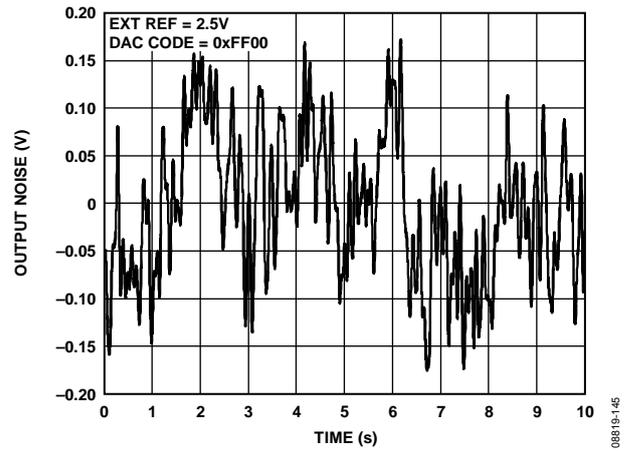


図 38. 0.1 Hz~10 Hz での出力ノイズ・プロット
内蔵リファレンス電圧

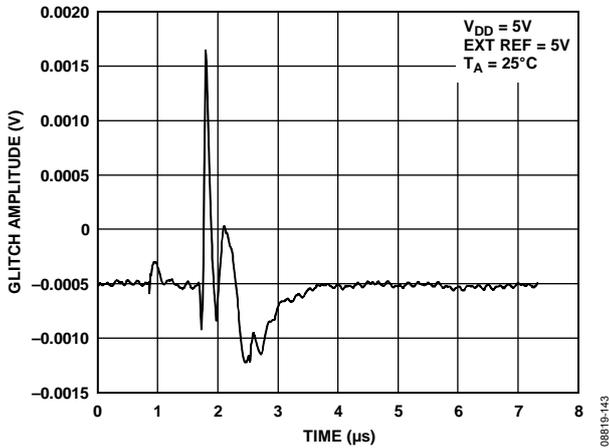


図 36. DAC 間クロストーク

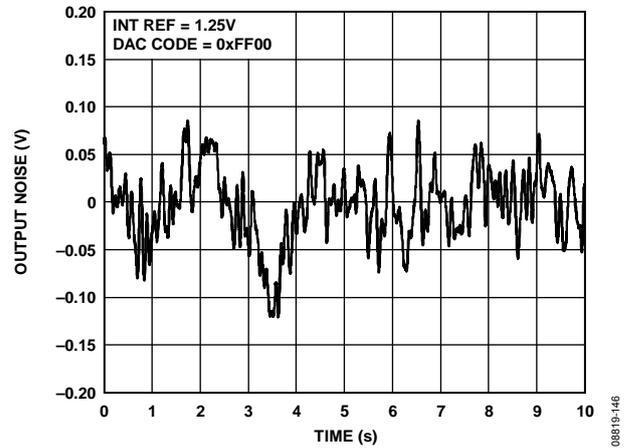


図 39. 0.1 Hz~10 Hz での出力ノイズ・プロット
内蔵リファレンス電圧

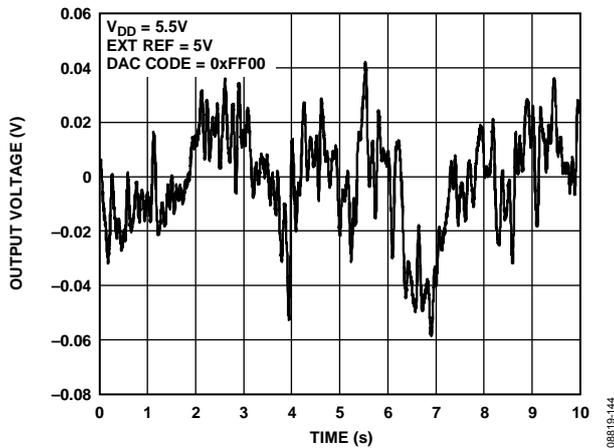


図 37. 0.1 Hz~10 Hz での出力ノイズ・プロット
外付けリファレンス電圧

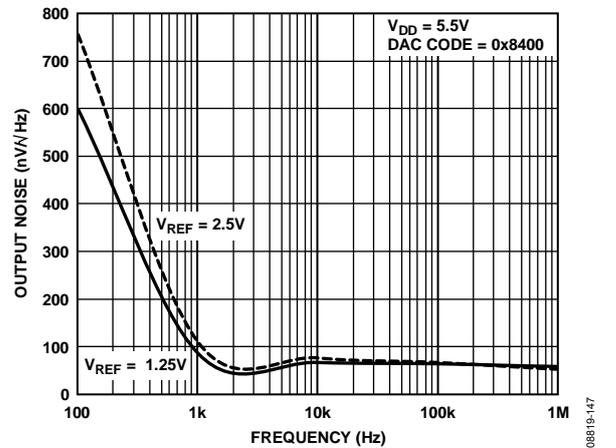


図 40. ノイズ・スペクトル密度
内蔵リファレンス電圧

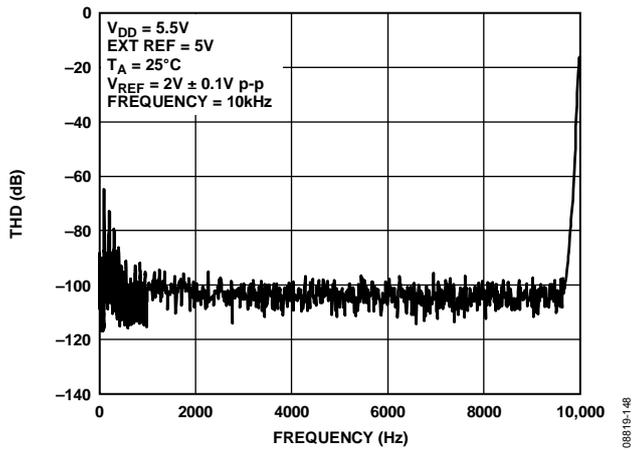


図 41. 総合高調波歪み

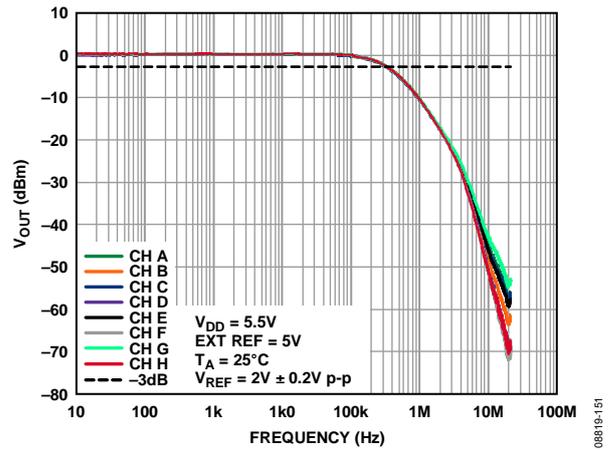


図 44. 乗算帯域幅

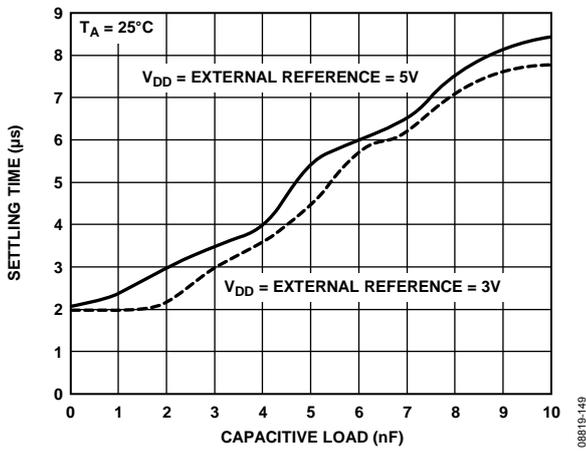


図 42. 容量負荷対セッティング・タイム

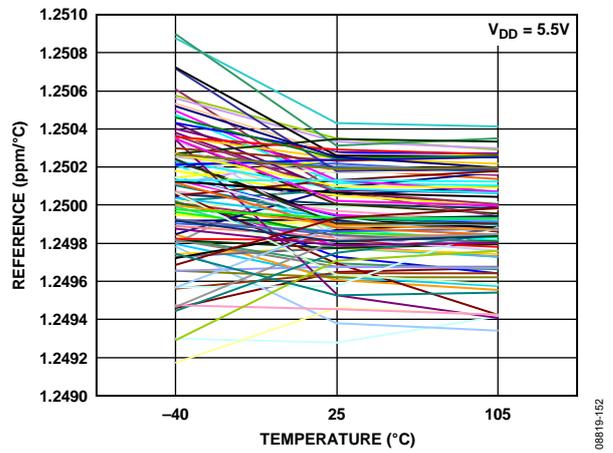


図 45. 1.25 V リファレンス電圧温度係数の温度特性

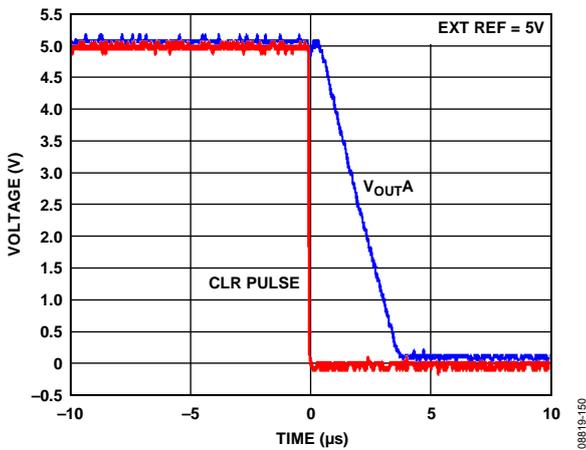


図 43. ハードウェア \overline{CLR}

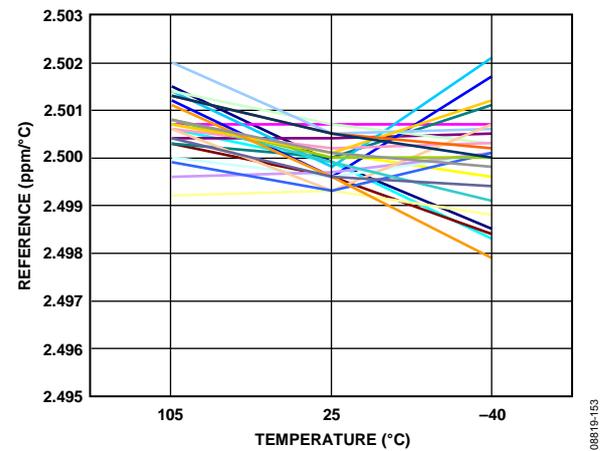


図 46. 2.5 V リファレンス電圧温度係数の温度特性

用語

相対精度

DACの場合、相対精度すなわち積分非直線性(INL)は、DAC伝達関数の上下両端を結ぶ直線からの最大乖離(LSB数で表示)を表します。図 5、図 6、図 9、図 10、図 13、図 14 に、INL (typ)対コードを示します。

微分非直線性

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差を表します。最大 ± 1 LSB の微分非直線性の仕様は、単調性を保証するものです。この DAC はデザインにより単調性を保証しています。図 7、図 8、図 11、図 12、図 15、図 16 に、DNL (typ)対コードのプロットを示します。

オフセット誤差

オフセット誤差は、伝達関数の直線領域での V_{OUT} (実測値)と V_{OUT} (理論)の差を表し、mV で表示されます。オフセット誤差は、AD5669R の DAC レジスタにコード 512 とコード 65024 をロードして測定されています。mV で表され、正または負の値になりません。

ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コード(0x0000)をDACレジスタにロードしたときの出力誤差として測定されます。理論的には出力は 0V である必要があります。DAC 出力が 0 V を下回ることができないため、ゼロ・コード誤差は常に正です。これは、DAC と出力アンプのオフセット誤差の組み合わせによりゼロ・コード誤差が発生するためです。ゼロ・コード誤差は mV で表します。図 18 にゼロ・コード誤差の温度特性を示します。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。理論値からの実際の DAC 伝達特性の傾きの差をフルスケール範囲のパーセント値で表したものです。

ゼロ・コード誤差ドリフト

ゼロ・コード誤差ドリフトは、温度変化によるゼロ・コード誤差の変化を表し、 $\mu\text{V}/^\circ\text{C}$ で表されます。

ゲイン誤差ドリフト

ゲイン誤差ドリフトは、温度変化によるゲイン誤差の変化を表し、(フルスケール範囲の ppm)/ $^\circ\text{C}$ で表示します。

フルスケール誤差

フルスケール誤差は、フルスケール・コード(0xFFFF)をDACレジスタにロードしたときの出力誤差として測定されます。理論的には出力は $V_{REF} - 1$ LSB である必要があります。フルスケール誤差はフルスケール範囲のパーセント値で表します。図 17 にフルスケール誤差の温度特性を示します。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-sec で表すグリッチの面積として規定され、主要なキャリ変化時に(0x7FFF から 0x8000)、デジタル入力コードが 1 LSB だけ変化したときに測定されます。図 34 に、デジタルからアナログへのグリッチ・インパルス(typ)のプロットを示します。

DC 電源除去比(PSRR)

PSRR は、電源電圧変化の DAC 出力に対する影響を表します。PSRR は、DAC フルスケール出力での、 V_{OUT} 変化の V_{DD} 変化に対する比です。 V_{REF} を 2 V に固定して、 V_{DD} を $\pm 10\%$ 変化させます。dB 値で表示します。

DC クロストーク

別の DAC 出力でのフルスケール変化に起因する 1 つの DAC の出力レベルでの DC 変化。1 つのミッドスケールに維持した DAC をモニタしながら、別の DAC 上でのフルスケール出力変化(またはソフト・パワーダウンとパワーアップ)を使って測定し、 μV で表示します。

負荷電流変化に起因する DC クロストークは、1 つの DAC の負荷電流変化がミッドスケールに設定された別の DAC へ与える影響を表し、 $\mu\text{V}/\text{mA}$ で表示します。

デジタル・フィードスルー

DAC 出力に書き込みが行われていないときの、デバイスのデジタル入力ピンから DAC のアナログ出力に注入されるインパルスを表し、nV-sec で規定され、デジタル入力ピンでのフルスケール変化、たとえば全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

デジタル・クロストーク

1 の DAC の入力レジスタにおけるフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)から、ミッドスケール・レベルにある別の DAC の出力に混入したグリッチ・インパルスを表し、スタンダアロン・モードで測定し、nV-s で表されます。

アナログ・クロストーク

DAC の出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルスを表し、LDAC ピンをハイ・レベルに設定して、DAC の 1 つにフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)をロードして、次に LDAC ピンにロー・レベル・パルスを入力して、デジタル・コードに変化のない別の DAC 出力をモニタすることにより測定します。グリッチの面積は nV-sec で表示します。

DAC 間クロストーク

デジタル・コードの変化とそれに続くDACの出力変化に起因して、別のDAC出力に混入するグリッチ・インパルス。これには、デジタル・クロストークとアナログ・クロストークの両方が含まれます。LDACピンをロー・レベルに設定して、DACの1つにフルスケール・コード変化(全ビット0から全ビット1への変化、およびその逆変化)をロードして、別のDAC出力をモニタすることにより測定します。グリッチのエネルギーはnV-secで表示します。

乗算帯域幅

DAC内のアンプは有限な帯域幅を持っています。乗算帯域幅はこれを表します。入力された基準正弦波(DACにフルスケール・コードをロード)は、出力に現われます。乗算帯域幅は、出力振幅が入力より3 dB小さくなる周波数で表します。

総合高調波歪み(THD)

理論正弦波とDACを使ったために減衰したその正弦波との差。DACに対してリファレンスとして正弦波を使ったときに、DAC出力に現われる高調波がTHDになります。dB値で表示します。

動作原理

D/Aコンバータ (DAC) セクション

このAD5629R/AD5669Rは、CMOSプロセスを使って製造されています。このアーキテクチャは、ストリングDACとそれに続く出力バッファ・アンプから構成されています。各デバイスは内部ゲイン=2の1.25 V/2.5 V、5 ppm/°C リファレンス電圧を内蔵しています。図 47 と図 48 に、DACアーキテクチャのブロック図を示します。

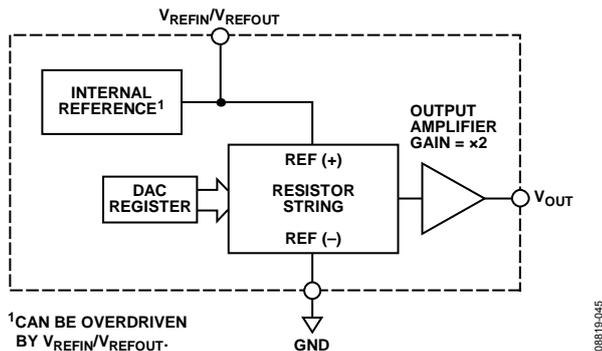


図 47. 内蔵リファレンス電圧構成の DAC アーキテクチャ

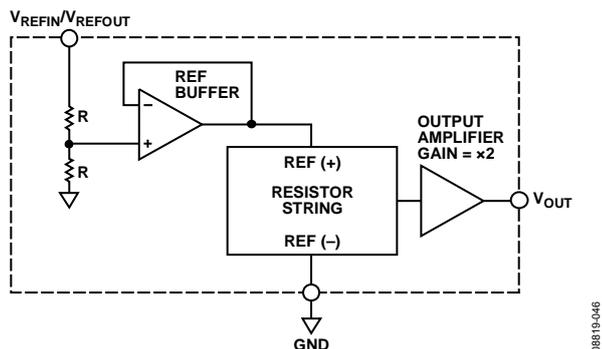


図 48. 外付けリファレンス電圧構成の DAC アーキテクチャ

DAC への入力コーディングはストレート・バイナリを使っているため、外付けリファレンスを使う場合、理論出力電圧は次式で与えられます。

$$V_{OUT} = V_{REFIN} \times \left(\frac{D}{2^N} \right)$$

内蔵リファレンス電圧を使用する場合の理論出力電圧は次式で与えられます。

$$V_{OUT} = 2 \times V_{REFOUT} \times \left(\frac{D}{2^N} \right)$$

ここで、

D は DAC レジスタにロードされるバイナリ・コードの 10 進数表示で、次の通りです。

12 ビット AD5629R の場合 0~4095

16 ビット AD5669R の場合 0~65,535

N は DAC 分解能。

抵抗ストリング

抵抗ストリング・セクションを図 49 に示します。DAC は各値が R の抵抗ストリングから構成されています。DAC レジスタにロードされるコードにより、ストリングのどのノードから電圧を分割して出力アンプへ供給するかが指定されます。スイッチの内の 1 つが閉じてストリングがアンプに接続されて、電圧が取り出されます。抵抗のストリングであるため、単調調整が保証されます。

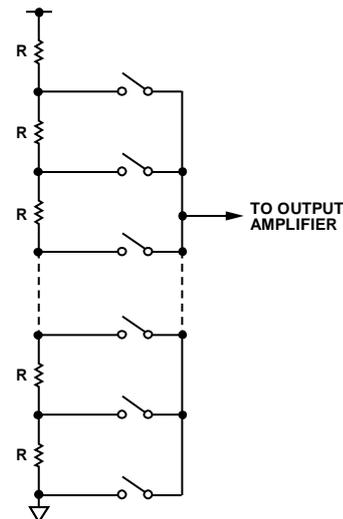


図 49. 抵抗ストリング

内蔵リファレンス電圧

AD5629R/AD5669Rには、内部ゲイン=2のリファレンス電圧も内蔵されています。AD5629R-1/AD5669R-1 は 1.25 V、5 ppm/°C のリファレンス電圧を内蔵しフルスケール出力は 2.5 V であり、AD5629R-2/AD5629R-3/AD5669R-2/AD5629R-3 は 2.5 V、5 ppm/°C のリファレンス電圧を内蔵し、4.5 V~5.5 V 電源で動作してフルスケール出力は 5 V です。内蔵リファレンス電圧はパワーアップ時にオフであるため、外付けリファレンス電圧を使用することができます。コントロール・レジスタへの書込みにより、内蔵リファレンス電圧をイネーブルします (表 8 参照)。

各デバイスの内蔵リファレンス電圧は V_{REFOUT} ピンから出力されます。リファレンス出力を使って外部負荷を駆動するときはバッファが必要です。内蔵リファレンス電圧を使用する場合、リファレンス電圧を安定させるため、リファレンス出力と GND の間に 100 nF のコンデンサを接続することが推奨されます。

内蔵リファレンス電圧の使用、個別のチャンネル・パワーダウンはサポートされていません。

出力アンプ

出力バッファアンプは、出力でレールtoレール電圧を発生することができます。0 V~V_{DD}の出力範囲になります。GNDに接続された 2 kΩと、これに並列接続された 1000 pFの負荷を駆動することができます。図 24 と 図 24 に、出力アンプのソース能力とシンク能力を示します。スルーレートは 1.5 V/μsであり、1/4 スケールから 3/4 スケールまでのセトリング・タイムは 10μsです。

シリアル・インターフェース

AD5629R/AD5669Rは2線式 I²C互換シリアル・インターフェースを内蔵しています (Philips Semiconductor 社の The I²C-Bus Specification, Version 2.1, January 2000を参照してください)。AD5629R/AD5669Rは、マスター・デバイスから制御を受けるスレーブ・デバイスとして I²Cバスに接続することができます。図 2 に、代表的な書込みシーケンスのタイミング図を示します。

AD5629R/AD5669R は、スタンダード・モード (100 kHz)とファースト・モード (400 kHz) をサポートしています。高速動作は、選択したモデルでのみ使用することができます。モデルの一覧については、オーダー・ガイドを参照してください。10 ビット・アドレスングとジェネラル・コール・アドレスングはサポートされていません。

各 AD5629R/AD5669R は 7 ビットのスレーブ・アドレスを持っています。スレーブ・アドレスの上位 5 ビットは 10101 で、下位 2 ビットは A0 アドレス・ピンの状態により指定されます。この A0 アドレス・ピンは、A0 アドレス・ビットと A1 アドレス・ビットの状態を指定します。

A0 ピンをハード・ワイヤー接続で固定接続に変更する機能を使うと、表 7 に示すように、1 つのバスにこれらのデバイスを最大 3 個接続することができます。

表 7.ADDR ピン設定

A0 Pin Connection	A1	A0
V _{DD}	0	0
NC	1	0
GND	1	1

2線式シリアル・バス・プロトコルは、次のように動作します。

1. マスターはスタート条件を設定してデータ転送を開始します。このスタート条件は、SCL がハイ・レベルの間に SDA ラインがハイ・レベルからロー・レベルへ変化することと定義されます。次のバイトはアドレス・バイトで、7 ビットのスレーブ・アドレスから構成されています。送信されたアドレス

に該当するスレーブ・アドレスは 9 番目のクロック・パルスで、SDA ラインをロー・レベルにして応答します(これはアクノリッジ・ビットと呼ばれます)。選択されたデバイスがソフトレジスタに読み書きするデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。

2. データは、9 個のクロック・パルスで 8 ビットのデータとそれに続くアクノリッジ・ビットの順にシリアル・バス上を伝送します。SDA ラインは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります。
3. 全データビットの読みまたは書込みが終了すると、ストップ条件が設定されます。書込みモードでは、マスターが 10 番目のクロック・パルスで SDA ラインをハイ・レベルにプルアップして、ストップ状態をアサートします。読みモードでは、マスターは 9 番目のクロック・パルスでアクノリッジを発行しません(SDA ラインがハイ・レベルを維持)。その後、マスターは SDA ラインをロー・レベルにして、10 番目のクロック・パルスがハイ・レベルになるとストップ条件を設定します。

書込み動作

AD5629R/AD5669Rへ書込みを行うときは、まずスタート・コマンドを送信し、続いてアドレス・バイト(R/W = 0)を送信します。その後DACはSDAをロー・レベルにして、データ受信の準備ができたことを通知します。AD5629R/AD5669Rは、DACと種々のDAC機能を制御するコマンド・バイト用の2バイトのデータを必要とします。このため、3 バイトのデータを DACに書込む必要があります。すなわち、コマンド・バイト、その後ろに上位データバイトと下位データバイトが続きます(図 50 参照)。AD5629R/AD5669Rによりこれらのデータバイトがアクノリッジされた後に、ストップ条件が続きます。

読み出し動作

AD5629R/AD5669Rからデータを読み出すときは、スタート・コマンド、その後ろにアドレス・バイト (R/W = 1)を続けます。その後DACは SDAをロー・レベルにしてデータ送信の準備ができたことをアクノリッジします。そこで、2 バイトのデータがDACから読み出され、これらがマスターからアクノリッジされます(図 51 参照)。この後に、ストップ条件が続きます。

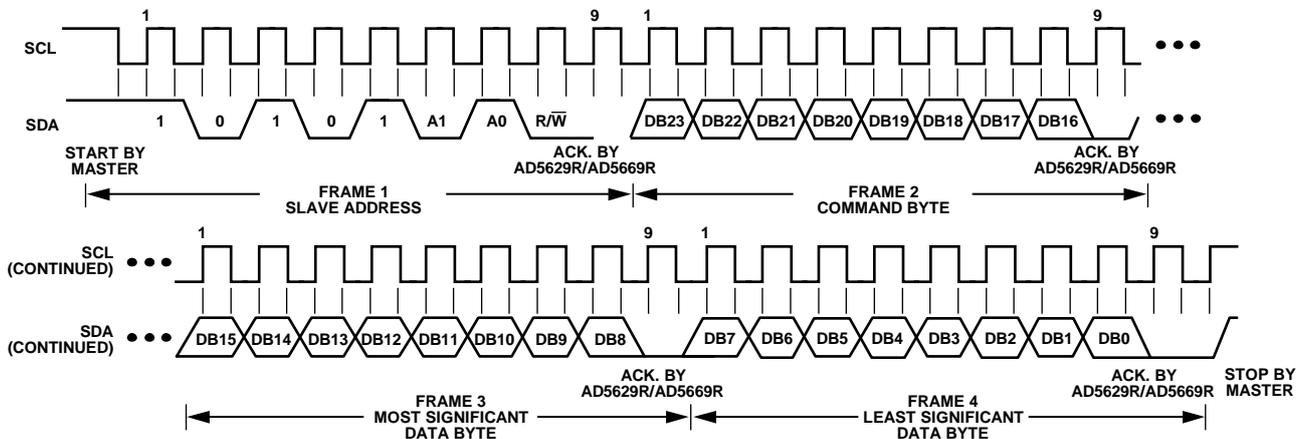


図 50.I²C の書込み動作

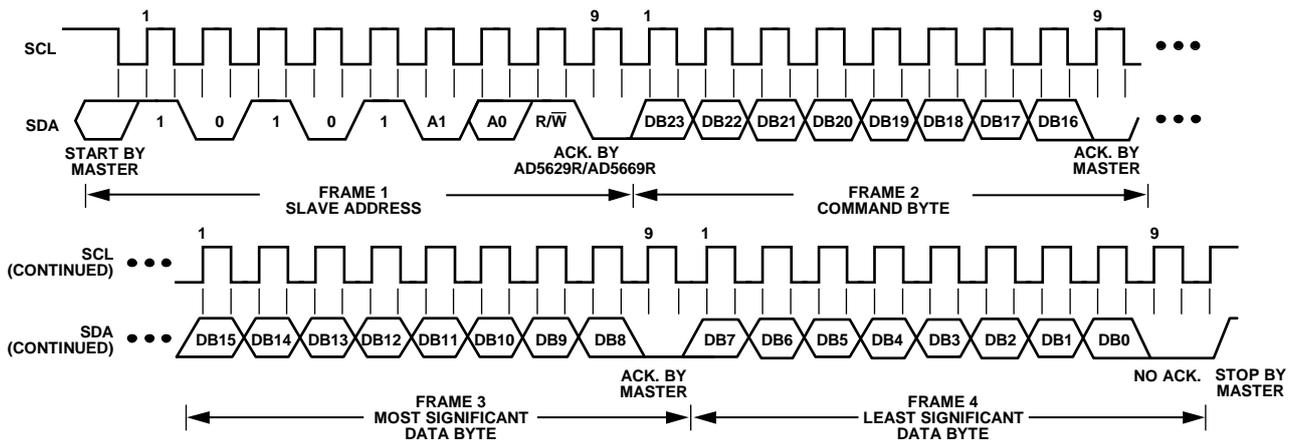


図 51. I²C の読出し動作

表 8. コマンドの定義

Command				Description
C3	C2	C1	C0	
0	0	0	0	Write to Input Register n
0	0	0	1	Update DAC Register n
0	0	1	0	Write to Input Register n; update all (software LDAC)
0	0	1	1	Write to and update DAC Channel n
0	1	0	0	Power down/power up DAC
0	1	0	1	Load clear code register
0	1	1	0	Load LDAC register
0	1	1	1	Reset (power-on reset)
1	0	0	0	Set up internal REF register
1	0	0	1	Enable multiple byte mode
1	0	1	0	Reserved
-	-	-	-	Reserved
1	1	1	1	Reserved

表 9. アドレス・コマンド

Address (n)				Selected DAC Channel
A3	A2	A1	A0	
0	0	0	0	DAC A
0	0	0	1	DAC B
0	0	1	0	DAC C
0	0	1	1	DAC D
0	1	0	0	DAC E
0	1	0	1	DAC F
0	1	1	0	DAC G
0	1	1	1	DAC H
1	1	1	1	All DACs

入カシフトレジスタ

入カシフトレジスタは 24 ビット幅です。データは、シリアル・クロック入力 SCL の制御のもとで 24 ビット・ワードとしてデバイスに入力されます。この動作の入カレジスタ値を 図 52 と 図 53 に示します。上位 8 ビットがコマンド・バイトです。DB23~DB20 はコマンド・ビット C3、C2、C1、C0 で、デバイスの動作モードを制御します (詳細については 表 9 参照)。先頭バイトの最後の 4 ビットはアドレス・ビット A3、A2、A1、A0 です (詳細については 表 9 参照)。残りのビットは 16/12 ビットのデータ・ワードです。

AD5669R のデータ・ワードは 16 ビット入カコード (図 52 参照) で、AD5629R のデータ・ワードは 12 ビットとその後に続く 4 ビットの don't cares (図 53 参照) で、それぞれ構成されています。

複数バイト動作

AD5629R/AD5669R では複数バイト動作をサポートしています。コマンド 1001 は複数バイト動作 (表 8 参照) 用に予約されています。2 バイト動作は、DAC の高速更新を必要とし、かつコマンド・バイトの変更を必要としないアプリケーションに有効です。コマンド・レジスタの S ビット (DB22) に 1 を設定して、2 バイト動作モードにすることができます。コマンド・バイトの S ビット (DB22) に 0 を設定すると、標準の 3 バイト動作と 4 バイト動作になります。

内蔵リファレンス・レジスタ

リファレンス電圧はすべてのバージョンに内蔵されています。内蔵リファレンスはパワーアップ時にデフォルトでオフにされます。内蔵リファレンス電圧は、ユーザから設定可能な内部 REF レジスタを使ってオン/オフすることができます。ビット DB0 をハイ・レベルまたはロー・レベルに設定します(表 10 参照)。DB1 を使って内蔵リファレンス電圧値を選択します。コマンド 1000 は内部 REF レジスタ(表 8 参照)の設定用に予約されています。表 11 に、入力シフトレジスタのビットの状態とデバイスの動作モードの対応を示します。

パワーオン・リセット

AD5629R/AD5669R は、パワーアップ時に出力電圧を制御するパワーオン・リセット回路を内蔵しています。AD5629R/ AD5669R DAC 出力は 0 V でパワーアップし、AD5669R-3 DAC 出力はミッドスケールでパワーアップします。出力はこのレベルでパワーアップを維持し、DACに有効な書込みシーケンスが実行されるまでこの状態が維持されます。この機能は、パワーアップ時のDAC出力状態が既知である必要のあるアプリケーションで特に便利です。これらのデバイスには、DACをパワーオン・リセット・コードにリセットする、ソフトウェアからのリセット機能もあります。コマンド 0111 はこのリセット機能に予約されています(表 8 参照)。パワーオン・リセット時のLDAC または CLR の動作はすべて無視されます。

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

08B19-050

図 52.AD5669R 入力レジスタ値

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	A3	A2	A1	A0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

08B19-052

図 53.AD5629R 入力レジスタ値

パワーダウン・モード

AD5629R/AD5669Rには、4種類の動作モードがあります。コマンド 0100 はパワーダウン機能として予約されています(表 8 参照)。これらのモードは、コントロール・レジスタの 2 ビット(ビット DB9 とビット DB8)を設定することによりソフトウェアから設定可能です。

表 12 に、ビットの状態と対応するデバイスの動作モードを示します。任意またはすべての DAC (DAC H~DAC A)を、対応する 8 ビット(DB7~DB0)に 1 を設定することにより、選択されたモードにパワーダウンさせることができます。パワーダウン/パワーアップ動作時の入力レジスタ値については 表 13 を参照してください。

両ビットを 0 に設定すると、デバイスは 5 V で 1.3 mA のノーマル消費電流で動作します。ただし、3 種類のパワーダウン・モードでは、電源電流が 5 V で 0.4 μ A(3 V で 0.2 μ A)に減少します。電源電流が減少するだけでなく、出力ステージも内部的にアンプ出力から切り離されて既知の値を持つ抵抗回路に接続されます。これは、デバイスの出力インピーダンスが既知であると同時にデバイスがパワーダウン・モードになるという利点を持っています。次の 3 つのオプションがあります。すなわち、出力が内部で 1 k Ω または 100 k Ω 抵抗を介して GND に接続されるか、あるいはオープン(スリー・ステート)になります。出力ステージを 図 54 に示します。

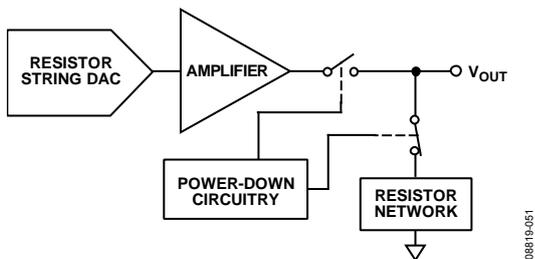


図 54.パワーダウン時の出力ステージ

表 10.内蔵リファレンス・レジスタ

Internal REF Register (DB0)	Action
0	Reference off (default)
1	Reference on

表 11.リファレンス電圧セットアップ・コマンド用の 32 ビット入力シフトレジスタ値

MSB								LSB	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15 to DB1	DB0
1	0	0	0	X	X	X	X	X	1/0
Command bits (C3 to C0)				Address bits (A3 to A0)—don't cares				Don't cares	Internal REF on/off

パワーダウン・モードでは、選択された DAC のバイアス・ジェネレータ、出力アンプ、抵抗ストリング、その他の関連するリニア回路がシャットダウンされます。すべてのチャンネルがパワーダウンしたときのみ、内蔵リファレンス電圧がパワーダウンします。ただし、DAC レジスタの値はパワーダウン・モードで影響を受けることはありません。パワーダウン・モードから抜け出す時間は、 $V_{DD} = 5$ V および $V_{DD} = 3$ V のとき 4 μ s (typ)です。

PD1 = 0 と PD0 = 0 の設定(ノーマル動作)により、DAC の任意の組み合わせをパワーアップさせることができます。出力は、入力レジスタ値(LDAC =ロー・レベル)またはパワーダウン前の DAC レジスタ値(LDAC =ハイ・レベル)でパワーアップします。

クリア・コード・レジスタ

AD5629R/AD5669Rには、非同期クリア入力のハードウェア CLR ピンがあります。CLR 入力は、立下がりエッジ検出です。CLR ラインをロー・レベルにすると、入力レジスタと DAC レジスタにユーザ設定可能な CLR レジスタ内のデータがロードされて、この値に基づきアナログ出力が設定されます。この機能は、ゼロスケール、ミッドスケールまたはフルスケールを全チャンネルにロードするイン・システム・キャリブレーションで使うことができます。これらのクリア・コード値は、CLR コントロール・レジスタのビット DB1 とビット DB0 を設定することにより、指定することができます(表 15 参照)。デフォルト設定では出力を 0 V にクリアします。コマンド 0101 はクリア・コード・レジスタのロードに予約されています(表 8 参照)。

デバイスは、デバイスへの次の有効な書込みの終わりでクリア・コード・モードから抜け出します。書込みシーケンス中に CLR が入力されると、書込みは中止されます。

CLR パルスのアクチベーション・タイム(CLR の立下がりエッジから出力が変化を開始するまでの時間)は、280 ns (typ)です。ただし、DAC リニア領域の外側では、出力が変化を開始するためには、CLR を実行した後に 520 ns (typ)が必要です(図 43 参照)。

クリア・コード・レジスタのロード動作時の入力シフトレジスタ値については 表 14 を参照してください。

表 12. パワーダウン動作モード

DB9	DB8	Operating Mode
0	0	Normal operation Power-down modes
0	1	1 k Ω to GND
1	0	100 k Ω to GND
1	1	Three-state

表 13. パワーダウン/パワーアップ機能用の 32 ビット入カシフトレジスタ値

MSB									LSB	
DB23	DB22	DB21	DB20	DB19 to DB16	DB15 to DB10	DB9	DB8	DB7 to DB1	DB0	
0	1	0	0	X	X	PD1	PD0	DACH to DAC B	DAC A	
Command bits (C3 to C0)				Address bits (A3 to A0)— don't cares		Don't cares		Power-down mode		Power-down/power-up channel selection— set bit to 1 to select

表 14. クリア・コード機能用の 32 ビット入カシフトレジスタ値

MSB									LSB		
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15 to DB2	DB1	DB0	
0	1	0	1	X	X	X	X	X	CR1	CR0	
Command bits (C3 to C0)				Address bits (A3 to A0)—don't cares				Don't cares		Clear code register	

表 15. クリア・コード・レジスタ

Clear Code Register		Clears to Code
DB1	DB0	
CR1	CR0	
0	0	0x0000
0	1	0x8000
1	0	0xFFFF
1	1	No operation

LDAC 機能

すべての DAC 出力は、ハードウェア $\overline{\text{LDAC}}$ ピンを使って同時に更新することができます。

同期 $\overline{\text{LDAC}}$

DAC レジスタは、新しいデータを受け取った後に更新されます。 $\overline{\text{LDAC}}$ はロー・レベルに固定することができます(図 2 参照)。

非同期 $\overline{\text{LDAC}}$

出力は、入力レジスタが書込まれると同時に更新されません。 $\overline{\text{LDAC}}$ がロー・レベルになると、DAC レジスタが入力レジスタ値で更新されます。

あるいは、入力レジスタ n に書き込みを行ってすべての DAC レジスタを更新することにより、すべての DAC 出力をソフトウェア機能を使って同時に更新することができます。コマンド 0011 は、このソフトウェア $\overline{\text{LDAC}}$ 機能に予約されています。

この $\overline{\text{LDAC}}$ レジスタを使うと、ハードウェア $\overline{\text{LDAC}}$ ピンを柔軟に制御することができます。ある DAC チャンネルに対して $\overline{\text{LDAC}}$ ビット・レジスタを 0 に設定することは、このチャンネルの更新が $\overline{\text{LDAC}}$ ピンから制御されることを意味します。このビットに 1 を設定すると、このチャンネルは非同期に更新されます。すなわち、 $\overline{\text{LDAC}}$ ピンの状態に無関係に、データが読み込まれた後に、DAC レジスタが更新されます。これは実質的に $\overline{\text{LDAC}}$ ピンがロー・レベルに固定されていると見なします。 $\overline{\text{LDAC}}$ レジスタの動作モードについては表 16 を参照してください。

この柔軟性は、残りのチャンネルが同期して更新されているときに、選択したチャンネルを同時に更新することが必要なアプリケーションで便利です。コマンド 0110 を使って DAC に書き込みを行うと、8 ビット $\overline{\text{LDAC}}$ レジスタ (DB7~DB0) がロードされます。各チャンネルのデフォルト値は 0、すなわち $\overline{\text{LDAC}}$ ピンは通常動作になります。このビットに 1 を設定することは、 $\overline{\text{LDAC}}$ ピンの状態に無関係に DAC チャンネルが更新されることを意味します。ロード $\overline{\text{LDAC}}$ レジスタ動作モード時の入力シフトレジスタ値については、表 17 を参照してください。

表 16. $\overline{\text{LDAC}}$ レジスタ

Load DAC Register		$\overline{\text{LDAC}}$ Operation
$\overline{\text{LDAC}}$ Bits (DB7 to DB0)	$\overline{\text{LDAC}}$ Pin	
0	1/0	Determined by $\overline{\text{LDAC}}$ pin.
1	X—don't care	DAC channels update, overriding the $\overline{\text{LDAC}}$ pin. DAC channels see $\overline{\text{LDAC}}$ as 0.

表 17. $\overline{\text{LDAC}}$ レジスタ機能用の 32 ビット入力シフトレジスタ値

MSB									LSB								
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15 to DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	1	1	0	X	X	X	X	X	DAC H	DAC G	DAC F	DAC E	DAC D	DAC C	DAC B	DAC A	
Command bits (C3 to C0)				Address bits (A3 to A0)—don't cares					Don't cares	Setting $\overline{\text{LDAC}}$ bit to 1 overrides $\overline{\text{LDAC}}$ pin							

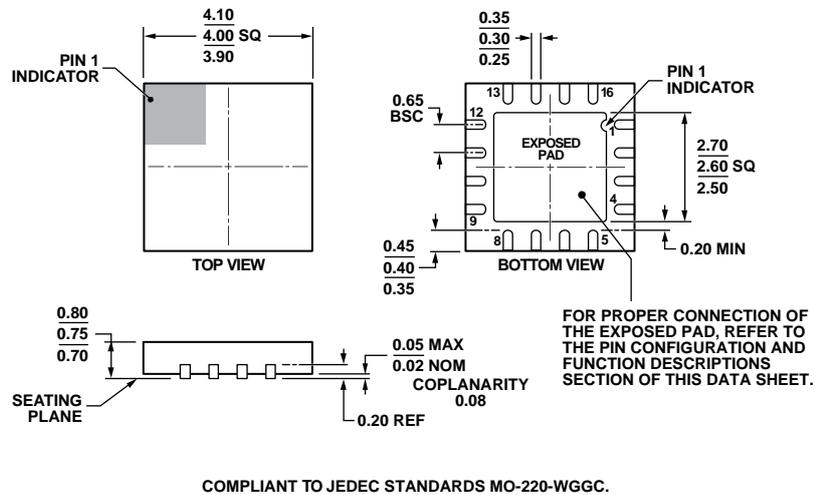
電源のバイパスとグラウンド接続

高精度が重要な回路では、ボード上の電源とグラウンド・リターン・レイアウトを注意深く行うことが役立ちます。AD5629R/AD5669R を実装するプリント回路ボードでは、アナログ部とデジタル部を分離する必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD5629R/AD5669R を使用する場合は、この接続は 1 ヶ所で行う必要があります。グラウンド・ポイントは AD5629R/AD5669R のできるだけ近くに配置する必要があります。

AD5629R/AD5669R の電源は、10 μF と 0.1 μF のコンデンサでバイパスする必要があります。コンデンサはデバイスのできるだけ近くに配置し、0.1 μF のコンデンサは理想的にはデバイスの直近に配置することが望まれます。10 μF のコンデンサはタンタルのビーズ型を使います。0.1 μF コンデンサは、セラミック型コンデンサのような実効直列抵抗 (ESR) が小さく、かつ実効直列インダクタンス (ESI) が小さいものを使う必要があります。この 0.1 μF のコンデンサは、内部ロジックのスイッチングにより発生する過渡電流に起因する高周波に対してグラウンドへの低インピーダンス・パスを提供します。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を軽減させるようにします。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを使ってボード上の他の部分からシールドする必要があります。デジタル信号とアナログ信号の交差は、できるだけ回避する必要があります。ボードの反対側のパターンは、互いに直角度となるように配置してボードを通過するフィードスルー効果を減少させます。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンはハンダ面に配置するマイクロストリップ技術ですが、2 層ボードでは常に可能とは限りません。

外形寸法



08-16-2010-C

図 55.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
 4 mm x 4 mm ボディ、極薄クワッド
 (CP-16-17)
 寸法: mm

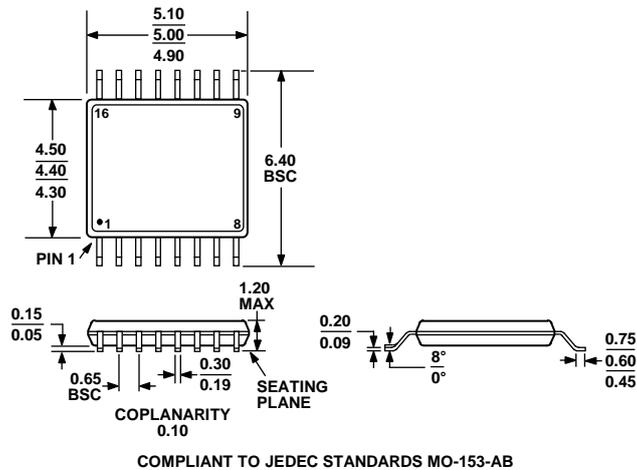


図 56.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
 (RU-16)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Power-On Reset to Code	Accuracy	Internal Reference
AD5629RARUZ-1	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±4 LSB INL	1.25 V
AD5629RARUZ-1-RL7	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±4 LSB INL	1.25 V
AD5629RBRUZ-2	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±1 LSB INL	2.5 V
AD5629RBRUZ-2-RL7	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±1 LSB INL	2.5 V
AD5629RACPZ-2-RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±4 LSB INL	2.5 V
AD5629RACPZ-3-RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Midscale	±4 LSB INL	2.5 V
AD5629RBCPZ-1-RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±1 LSB INL	1.25 V
AD5629RBCPZ-2-RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±1 LSB INL	2.5 V
AD5669RARUZ-1	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±32 LSB INL	1.25 V
AD5669RARUZ-1-RL7	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±32 LSB INL	1.25 V
AD5669RBRUZ-2	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±16 LSB INL	2.5 V
AD5669RBRUZ-2-RL7	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±16 LSB INL	2.5 V
AD5669RACPZ-2-RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±32 LSB INL	2.5 V
AD5669RACPZ-3-RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Midscale	±32 LSB INL	2.5 V
AD5669RBCPZ-1-RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±16 LSB INL	1.25 V
AD5669RBCPZ-2-RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±16 LSB INL	2.5 V
AD5669RBCPZ-1500R7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±16 LSB INL	1.25 V
AD5669RBCPZ-2500R7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±16 LSB INL	2.5 V
EVAL-AD5629REBRZ		Evaluation Board				
EVAL-AD5669REBRZ		Evaluation Board				

¹ Z = RoHS 準拠製品。

¹C は、Philips Semiconductors 社(現在の NXP Semiconductors 社)が制定した通信プロトコルです。