



8/10/12ビット、高帯域、乗算型D/Aコンバータ

AD5424/AD5433/AD5445*

特長

2.5~5.5V電源で動作

高速パラレル・インターフェース（書き込みサイクル17ns）

10MHz乘算帶域幅

±10Vリファレンス入力

拡張工業用温度範囲 (3) : $-40 \sim +125^{\circ}\text{C}$

20ピンTSSOPおよびチップ・スケール（4mm×4mm）パッケージ

8/10/12ビット電流出力DAC

AD7524/AD7533/AD7545のアップグレード品

チップ・スケールでピン互換の8/10/12ビットDAC

単調増加性保証

4象限乗算

電圧低下検知付きパワーオン・リセット

リードバック機能

消費電力：0.4μA (typ)

アプリケーション

バッテリー駆動のポータブル・アプリケーション

波形發生器

アナログ信号処理

計測機器アプリケーション

プログラマブル・アンプおよび減衰器

デジタル制御式キャリブレーション

プログラマブル・フィルタおよび発振器

コンポジット・ビデオ

超音波機器

ゲイン、オフセット、電圧トリミング

概要

AD5424/AD5433/AD5445は、それぞれ8/10/12ビットのCMOS電流出力D/Aコンバータ（DAC）です。

これらのデバイスは2.5~5.5Vの電源で動作し、バッテリー駆動のアプリケーションのほか、数多くのアプリケーションに適しています。

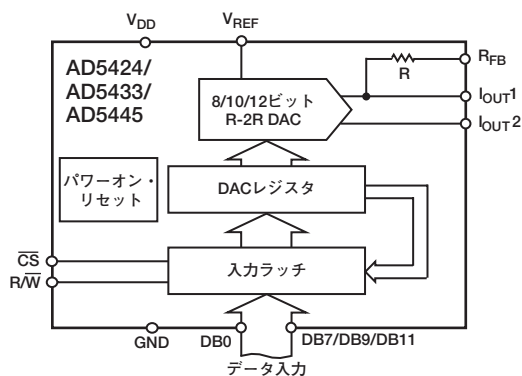
これらのDACにはデータ・リードバック機能があり、ユーザはDBピンからDACレジスタの内容を読み出すことができます。パワーアップ時に内部レジスタとラッチに0がセットされ、DAC出力はゼロスケールになります。

CMOSサブミクロン・プロセスで製造されているため、優れた4象限乗算特性があり、大信号乗算帯域幅は最高10MHzになります。

パラレル・インターフェース付き

8/10/12ビット、高帯域、乗算型D/Aコンバータ

機能ブロック図



フルスケール出力電流は、印加する外部リファレンス入力電圧 (V_{REF}) によって決まります。内蔵の帰還抵抗 (R_{FB}) を外付けの I/V 変換用高精度アンプと組み合わせることで、温度トラッキングが良好なフルスケール電圧出力が得られます。

これらのデバイスは乗算帯域幅性能においてAD7524/AD7533/AD7545のアップグレード品となっていますが、インターフェース内蔵のため、トランスペアレント・モードでは使用できません。

AD5424は、小型の20ピンLFCSPと16ピンTSSOPのパッケージを採用しています。AD5433/AD5445 DACには、小型20ピンのLFCSPおよびTSSOPのパッケージがあります。

* 米国特許番号 5,689,257

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

© 2003 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイスズ株式会社

本社／〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402) 8200

大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350) 6868 (代)

AD5424/AD5433/AD5445 — 仕様¹

($V_{DD}=2.5\sim 5.5V$ 、 $V_{REF}=10V$ 、 $I_{OUT2}=0V$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ 。特に指定のない限り、DC性能はOP1177、AC性能はAD8038で測定。)

パラメータ	Min	Typ	Max	単位	条件
静的性能					
AD5424					
分解能			8	ビット	
相対精度 (積分非直線性)			± 0.25	LSB	
微分非直線性			± 0.5	LSB	単調増加性保証
AD5433					
分解能			10	ビット	
相対精度 (積分非直線性)			± 0.5	LSB	
微分非直線性			± 1	LSB	単調増加性保証
AD5445					
分解能			12	ビット	
相対精度 (積分非直線性)			± 1	LSB	
微分非直線性			$-1/+2$	LSB	単調増加性保証
ゲイン誤差			± 10	mV	
ゲイン誤差温度係数 ²		± 5		ppm FSR/°C	
出力リーク電流 ²			± 10	nA	データ=0000h、 $T_A=25^\circ\text{C}$ 、 I_{OUT1}
			± 20	nA	データ=0000h、 I_{OUT1}
リファレンス入力²					
リファレンス入力レンジ		± 10		V	
V_{REF} 入力抵抗	8	10	12	k Ω	入力抵抗TC= $-50\text{ppm}/^\circ\text{C}$
R_{FB} 抵抗	8	10	12	k Ω	入力抵抗TC= $-50\text{ppm}/^\circ\text{C}$
入力容量					
オール0のコード		3	6	pF	
オール1のコード		5	8	pF	
デジタル入出力²					
ハイレベル入力電圧 (V_{IH})	1.7			V	
ローレベル入力電圧 (V_{IL})			0.6	V	
入力リーク電流 (I_{IL})			1	μA	
入力容量		4	10	pF	
$V_{DD}=4.5\sim 5.5V$					
ローレベル出力電圧 (V_{OL})			0.4	V	$I_{SINK}=200\mu\text{A}$
ハイレベル出力電圧 (V_{OH})	$V_{DD}-1$			V	$I_{SOURCE}=200\mu\text{A}$
$V_{DD}=2.5\sim 3.6V$					
ローレベル出力電圧 (V_{OL})			0.4	V	$I_{SINK}=200\mu\text{A}$
ハイレベル出力電圧 (V_{OH})	$V_{DD}-0.5$			V	$I_{SOURCE}=200\mu\text{A}$
動的性能²					
リファレンス入力乗算帯域幅		10		MHZ	$V_{REF}=\pm 3.5V$; DACにオール1をロード
出力電圧セトリング・タイム					$V_{REF}=10V$ 、 $R_{LOAD}=100\Omega$ 、 $C_{LOAD}=15\text{pF}$
AD5424		30	60	ns	フルスケールの $\pm 16\text{mV}$ まで測定
AD5433		35	70	ns	フルスケールの $\pm 4\text{mV}$ まで測定
AD5445		80	120	ns	フルスケールの $\pm 1\text{mV}$ まで測定
デジタル遅延		20	40	ns	インターフェース遅延時間
10~90%のセトリング・タイム		15	30	ns	立上がり／立下がり時 $V_{REF}=10V$ 、 $R_{LOAD}=100\Omega$
デジタル/アナログ・グリッチ・インパルス		2		nV-s	メジャー・キャリーを中心として1LSBの変化、 $V_{REF}=0V$
乗算フィードスルー誤差					DACラッチにオール0をロード。 $V_{REF}=\pm 3.5V$
		70		dB	リファレンス=1MHz
		48		dB	リファレンス=10MHz

AD5424/AD5433/AD5445

パラメータ	Min	Typ	Max	単位	条件
出力容量					
I_{OUT2}		22	25	pF	オール0をロード
		10	12	pF	オール1をロード
I_{OUT1}		12	17	pF	オール0をロード
		25	30	pF	オール1をロード
デジタル・フィードスルー		1		nV-s	オール0とオール1のオルタネート・ロードと $\overline{CS}$ ハイレベルによるDAC出力へのフィードスルー
全高調波歪み (THD)		-81		dB	$V_{REF}=3.5V$ pk-pk ; オール1のロード、 $f=100kHz$
デジタル全高調波歪み					
クロック=10MHz					
50kHz f_{OUT}		65		dB	
出力ノイズ・スペクトル密度		25		nV/ $\sqrt{Hz}$	@ 1kHz
SFDR性能 (広帯域)					AD5445、65kコード、 $V_{REF}=3.5V$
クロック=10MHz					
500kHz f_{OUT}		55		dB	
100kHz f_{OUT}		63		dB	
50kHz f_{OUT}		65		dB	
クロック=25MHz					
500kHz f_{OUT}		50		dB	
100kHz f_{OUT}		60		dB	
50kHz f_{OUT}		62		dB	
SFDR性能 (狭帯域)					AD5445、65kコード、 $V_{REF}=3.5V$
クロック=10MHz					
500kHz f_{OUT}		73		dB	
100kHz f_{OUT}		80		dB	
50kHz f_{OUT}		87		dB	
クロック=25MHz					
500kHz f_{OUT}		70		dB	
100kHz f_{OUT}		75		dB	
50kHz f_{OUT}		80		dB	
相互変調歪み					AD5445、65kコード、 $V_{REF}=3.5V$
クロック=10MHz					
$f_1=400kHz$ 、 $f_2=500kHz$		65		dB	
$f_1=40kHz$ 、 $f_2=50kHz$		72		dB	
クロック=25MHz					
$f_1=400kHz$ 、 $f_2=500kHz$		51		dB	
$f_1=40kHz$ 、 $f_2=50kHz$		65		dB	
電源条件					
電源電圧範囲	2.5		5.5	V	
I_{DD}			0.6	μA	$T_A=25^\circ C$ 、ロジック入力=0Vまたは V_{DD}
		0.4	5	μA	ロジック入力=0Vまたは V_{DD}

注

¹ 温度範囲 (Yバージョン) : -40~+125°C

² 設計により保証。出荷テストは行っていない。

仕様は予告なく変更されることがあります。

AD5424/AD5433/AD5445

タイミング仕様^{1、2} ($V_{REF}=5V$ 、 $I_{OUT2}=0V$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$)

パラメータ	$V_{DD}=2.5 \sim 5.5V$	$V_{DD}=4.5 \sim 5.5V$	単位	条件／備考
t_1	0	0	ns (min)	$R/\overline{W} \sim \overline{CS}$ のセットアップ・タイム
t_2	0	0	ns (min)	$R/\overline{W} \sim \overline{CS}$ のホールド・タイム
t_3	10	10	ns (min)	$\overline{CS}$ のローレベル時間（書込みサイクル）
t_4	6	6	ns (min)	データ・セットアップ・タイム
t_5	0	0	ns (min)	データ・ホールド・タイム
t_6	5	5	ns (min)	$R/\overline{W}$ ハイレベル $\sim \overline{CS}$ ローレベル
t_7	9	7	ns (min)	$\overline{CS}$ の最小ハイレベル時間
t_8	20	10	ns (typ)	データ・アクセス時間
	40	20	ns (max)	
t_9	5	5	ns (typ)	バス開放時間
	10	10	ns (max)	

注

¹ 図1を参照。温度範囲（Yバージョン）：-40～+125℃。設計と特性によって保証しており、出荷テストは行っていません。

² すべての入力信号は、 $t_r=t_f=1ns$ （ V_{DD} の10～90%）で仕様規定され、 $(V_{IL}+V_{IH})/2$ の電圧レベルからタイミングをとります。デジタル出力タイミングは、図2の負荷回路で測定しています。

仕様は予告なく変更されることがあります。

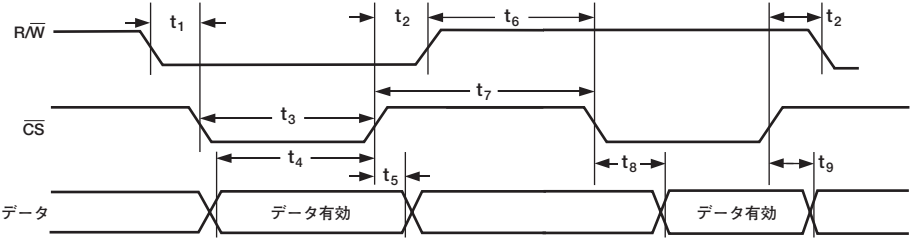


図1. タイミング図

絶対最大定格¹(特に指定のない限り、 $T_A=25^\circ\text{C}$)GNDに対する V_{DD} $-0.3\sim+7\text{V}$ GNDに対する V_{REF} 、 R_{FB} $-12\sim+12\text{V}$ GNDに対する I_{OUT1} 、 I_{OUT2} $-0.3\sim+7\text{V}$ ロジック入力および出力²..... $-0.3\text{V}\sim V_{DD}+0.3\text{V}$

動作温度範囲

拡張工業用 (Yバージョン)..... $-40\sim+125^\circ\text{C}$ 保存温度範囲..... $-65\sim+150^\circ\text{C}$ ジャンクション温度..... 150°C 16ピンTSSOP θ_{JA} 熱抵抗..... $150^\circ\text{C}/\text{W}$ 20ピンTSSOP θ_{JA} 熱抵抗..... $143^\circ\text{C}/\text{W}$ 20ピンLFCSP θ_{JA} 熱抵抗..... $135^\circ\text{C}/\text{W}$ リードピン温度、ハンダ処理 (10秒)..... 300°C IRリフロー、ピーク温度 (<20秒)..... 235°C

注

¹ 上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上のデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。適用できる絶対最大定格は一度に1つの値のみです。

² 内部ダイオードが、DBx、CS、R/Wでの過電圧をクランプします。

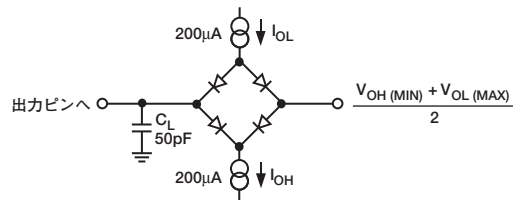


図2. データ出力タイミング仕様規定のための負荷回路

オーダー・ガイド

モデル	分解能 (ビット)	INL (LSB)	温度範囲	パッケージ	パッケージ・ オプション
AD5424YRU	8	± 0.25	$-40\sim+125^\circ\text{C}$	TSSOP (薄型シュリリンクSOP)	RU-16
AD5424YRU-REEL	8	± 0.25	$-40\sim+125^\circ\text{C}$	TSSOP (薄型シュリリンクSOP)	RU-20
AD5424YRU-REEL7	8	± 0.25	$-40\sim+125^\circ\text{C}$	TSSOP (薄型シュリリンクSOP)	RU-20
AD5424YCP	8	± 0.25	$-40\sim+125^\circ\text{C}$	LFCSP (チップ・スケール・パッケージ)	CP-20
AD5424YCP-REEL	8	± 0.25	$-40\sim+125^\circ\text{C}$	LFCSP (チップ・スケール・パッケージ)	CP-20
AD5424YCP-REEL7	8	± 0.25	$-40\sim+125^\circ\text{C}$	LFCSP (チップ・スケール・パッケージ)	CP-20
AD5433YRU	10	± 0.5	$-40\sim+125^\circ\text{C}$	TSSOP (薄型シュリリンクSOP)	RU-20
AD5433YRU-REEL	10	± 0.5	$-40\sim+125^\circ\text{C}$	TSSOP (薄型シュリリンクSOP)	RU-20
AD5433YRU-REEL7	10	± 0.5	$-40\sim+125^\circ\text{C}$	TSSOP (薄型シュリリンクSOP)	RU-20
AD5433YCP	10	± 0.5	$-40\sim+125^\circ\text{C}$	LFCSP (チップ・スケール・パッケージ)	CP-20
AD5433YCP-REEL	10	± 0.5	$-40\sim+125^\circ\text{C}$	LFCSP (チップ・スケール・パッケージ)	CP-20
AD5433YCP-REEL7	10	± 0.5	$-40\sim+125^\circ\text{C}$	LFCSP (チップ・スケール・パッケージ)	CP-20
AD5445YRU	12	± 1	$-40\sim+125^\circ\text{C}$	TSSOP (薄型シュリリンクSOP)	RU-20
AD5445YRU-REEL	12	± 1	$-40\sim+125^\circ\text{C}$	TSSOP (薄型シュリリンクSOP)	RU-20
AD5445YRU-REEL7	12	± 1	$-40\sim+125^\circ\text{C}$	TSSOP (薄型シュリリンクSOP)	RU-20
AD5445YCP	12	± 1	$-40\sim+125^\circ\text{C}$	LFCSP (チップ・スケール・パッケージ)	CP-20
AD5445YCP-REEL	12	± 1	$-40\sim+125^\circ\text{C}$	LFCSP (チップ・スケール・パッケージ)	CP-20
AD5445YCP-REEL7	12	± 1	$-40\sim+125^\circ\text{C}$	LFCSP (チップ・スケール・パッケージ)	CP-20
EVAL-AD5424EB				評価用キット	
EVAL-AD5433EB				評価用キット	
EVAL-AD5445EB				評価用キット	

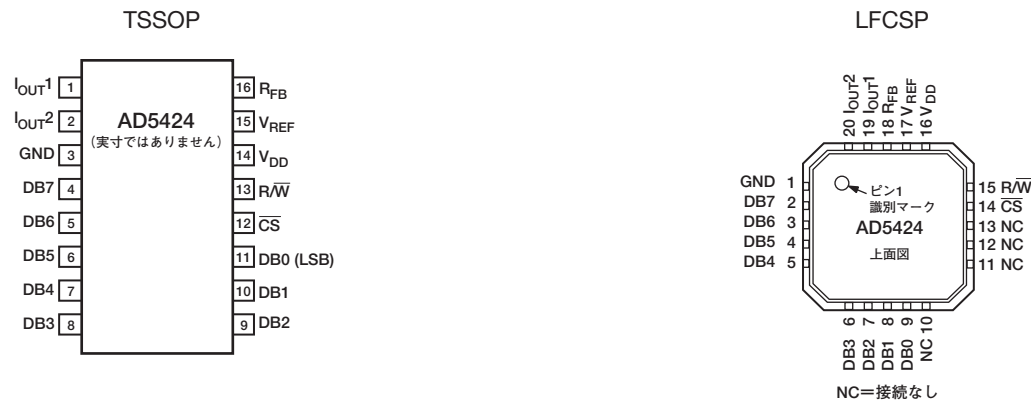
注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD5424/AD5433/AD5445

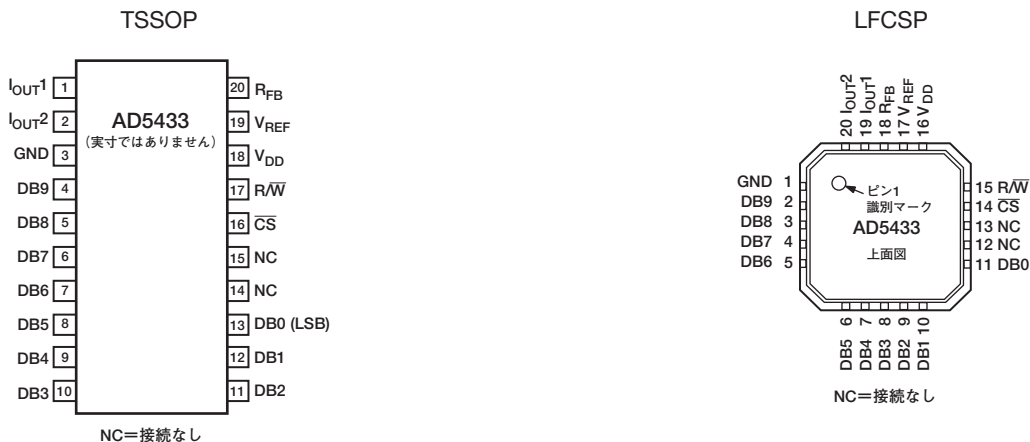
ピン配置



AD5424ピン機能の説明

ピン番号		記号	機能
TSSOP	LFCSP		
1	19	I_{OUT1}	DAC電流出力
2	20	I_{OUT2}	DACアナログ・グラウンド。通常、このピンはシステムのアナログ・グラウンドに接続してください。
3	1	GND	グラウンド
4～11	2～9	DB7～DB0	パラレル・データビット7～0
	10～13	NC	内部接続なし。
12	14	$\overline{CS}$	チップ・セレクト入力。アクティブ・ロー。 $R/\overline{W}$ とともに使用し、入力ラッチにパラレル・データをロードしたり、DACレジスタからデータを読み出します。 $\overline{CS}$ の立上がりエッジでデータをロードします。
13	15	$R/\overline{W}$	読出し／書込み。ローレベルのとき、 $\overline{CS}$ とともに使用してパラレル・データをロードします。ハイレベルのとき、 $\overline{CS}$ とともに使用してDACレジスタの内容を読み出します。
14	16	V_{DD}	正電源入力。デバイスは2.5～5.5Vの電源で動作します。
15	17	V_{REF}	DACリファレンス電圧入力端子
16	18	R_{FB}	DAC帰還抵抗ピン。外付けアンプ出力に接続することで、DACの電流出力を電圧に変換します。

ピン配置

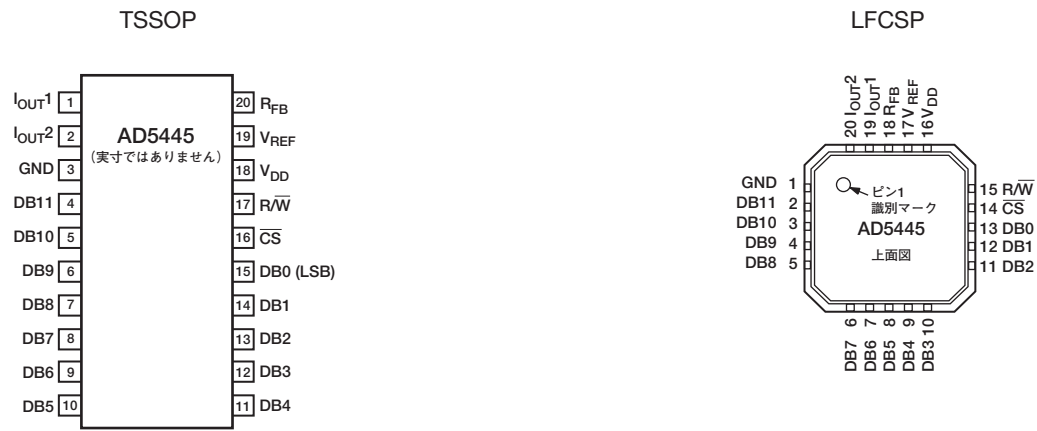


AD5433ピン機能の説明

ピン番号		記号	機能
TSSOP	LFCSP		
1	19	I_{OUT1}	DAC電流出力
2	20	I_{OUT2}	DACアナログ・グラウンド。通常、このピンはシステムのアナログ・グラウンドに接続してください。
3	1	GND	グラウンド
4～13	2～11	DB9～DB0	パラレル・データビット9～0
14、15	12、13	NC	内部接続なし。
16	14	$\overline{CS}$	チップ・セレクト入力。アクティブ・ロー。 $R/\overline{W}$ とともに使用し、入力ラッチにパラレル・データをロードしたり、DACレジスタからデータを読み出します。 $\overline{CS}$ の立上がりエッジでデータをロードします。
17	15	$R/\overline{W}$	読出し／書込み。ローレベルのとき、 $\overline{CS}$ とともに使用してパラレル・データをロードします。ハイレベルのとき、 $\overline{CS}$ とともに使用してDACレジスタの内容を読み出します。
18	16	V_{DD}	正電源入力。デバイスは2.5～5.5Vの電源で動作します。
19	17	V_{REF}	DACリファレンス電圧入力端子
20	18	R_{FB}	DAC帰還抵抗ピン。外付けアンプ出力に接続することで、DACの電流出力を電圧に変換します。

AD5424/AD5433/AD5445

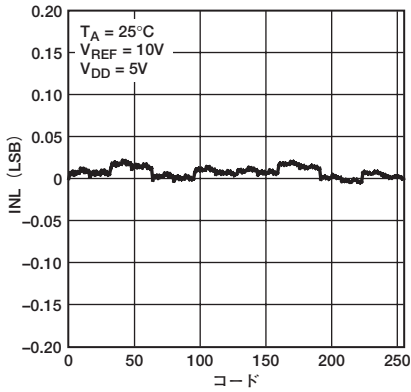
ピン配置



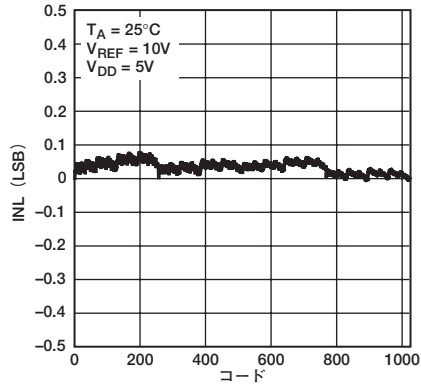
AD5445ピン機能の説明

ピン番号		記号	機能
TSSOP	LFCSP		
1	19	I _{OUT1}	DAC電流出力
2	20	I _{OUT2}	DACアナログ・グラウンド。通常、このピンはシステムのアナログ・グラウンドに接続してください。
3	1	GND	グラウンド・ピン
4～15	2～13	DB11～DB0	パラレル・データビット11～0
16	14	CS	チップ・セレクト入力。アクティブ・ロー。CSの立上がりエッジでデータをロードします。R/Wとともに使用し、入力ラッチにパラレル・データをロードしたり、DACレジスタからデータを読み出します。
17	15	R/W	読出し／書込み。ローレベルのとき、CSとともに使用してパラレル・データをロードします。ハイレベルのとき、CSとともに使用してDACレジスタの内容を読み出します。
18	16	V _{DD}	正電源入力。デバイスは+2.5～+5.5Vの電源で動作します。
19	17	V _{REF}	DACリファレンス電圧入力端子
20	18	R _{FB}	DAC帰還抵抗ピン。外付けアンプ出力に接続することで、DACの電流出力を電圧に変換します。

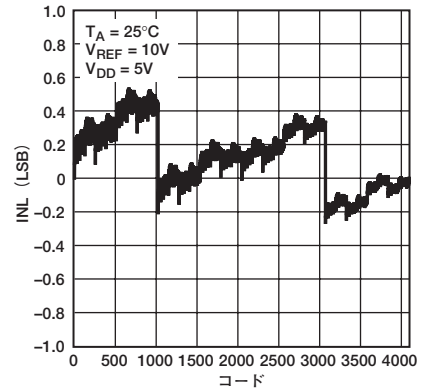
代表的な性能特性



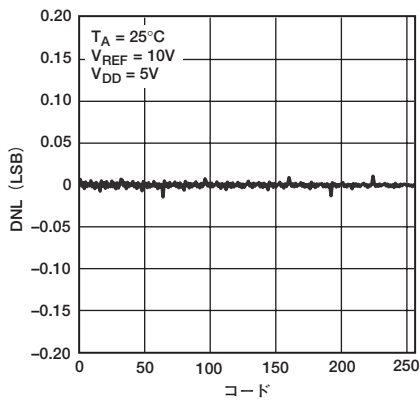
特性 1. コード対 INL
(8ビットDAC)



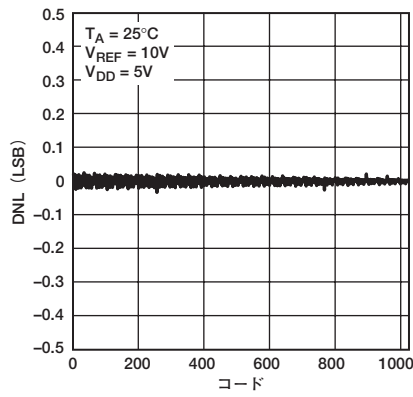
特性 2. コード対 INL
(10ビットDAC)



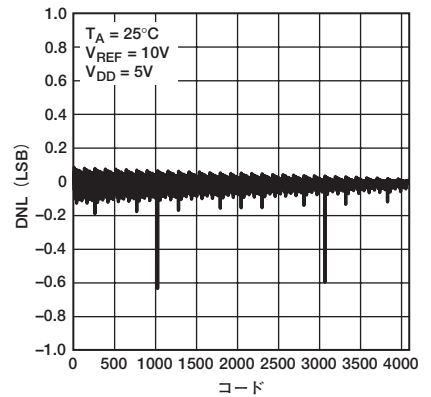
特性 3. コード対 INL
(12ビットDAC)



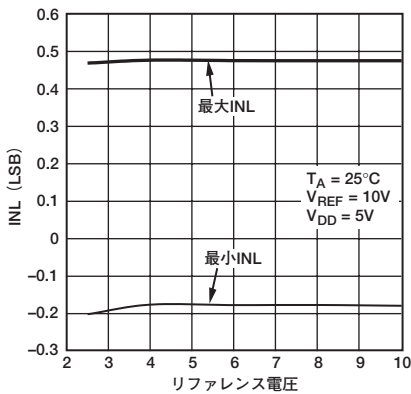
特性 4. コード対 DNL
(8ビットDAC)



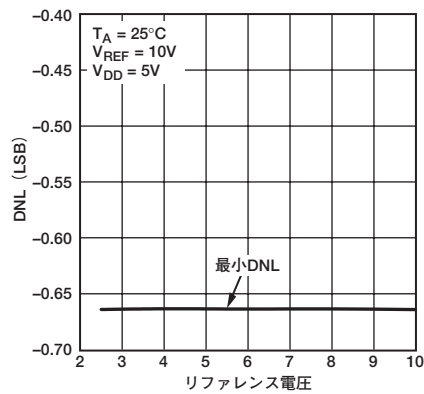
特性 5. コード対 DNL
(10ビットDAC)



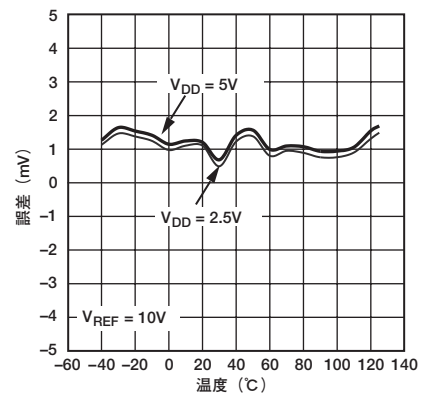
特性 6. コード対 DNL
(12ビットDAC)



特性 7. リファレンス電圧対 INL
(AD5445)

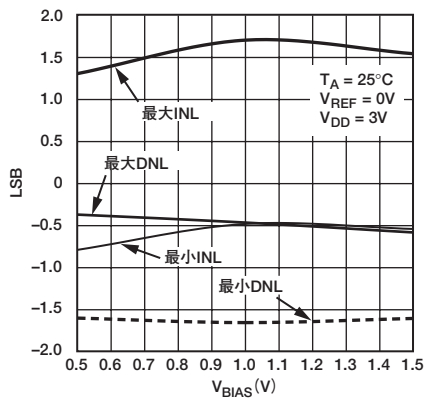


特性 8. リファレンス電圧対
DNL (AD5445)

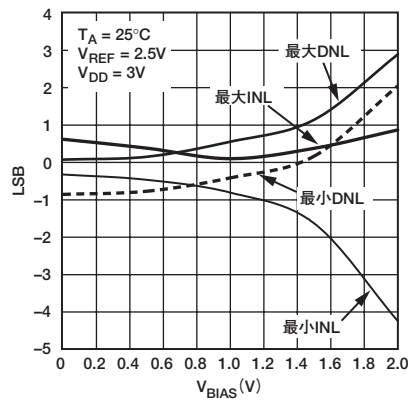


特性 9. ゲイン誤差の温度特性

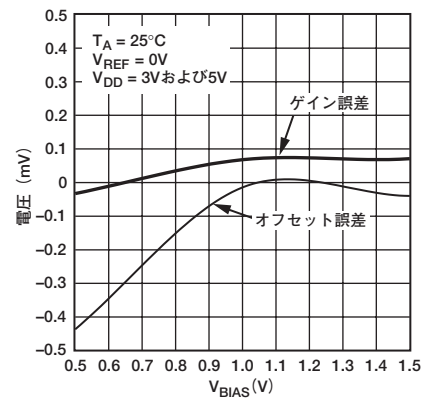
AD5424/AD5433/AD5445



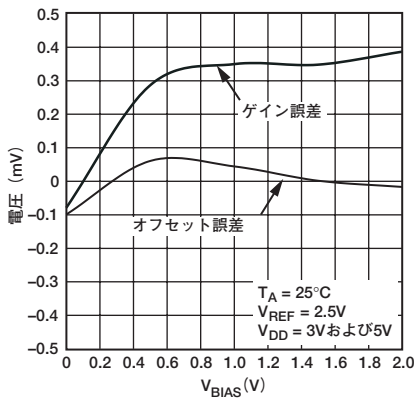
特性 10. I_{OUT2} に印加した V_{BIAS} 電圧 対 直線性 (AD5445)



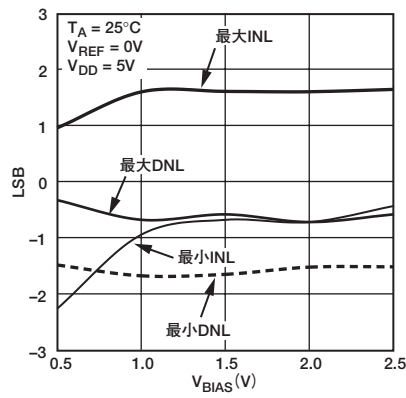
特性 11. I_{OUT2} に印加した V_{BIAS} 電圧 対 直線性 (AD5445)



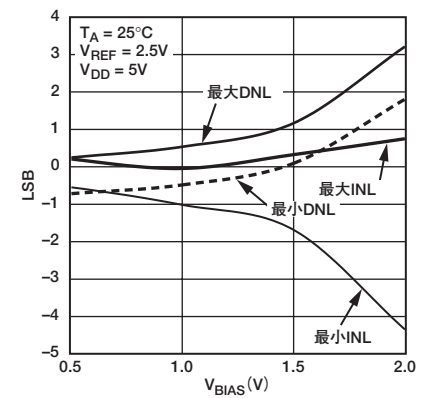
特性 12. I_{OUT2} に印加した V_{BIAS} 電圧 対 ゲイン誤差とオフセット誤差



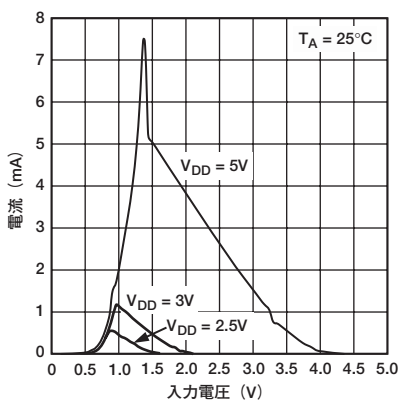
特性 13. I_{OUT2} に印加した V_{BIAS} 電圧 対 ゲイン誤差とオフセット誤差



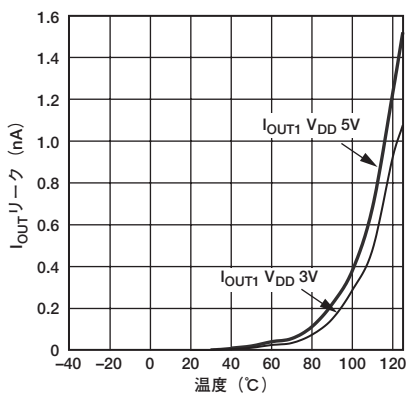
特性 14. I_{OUT2} に印加した V_{BIAS} 電圧 対 直線性 (AD5445)



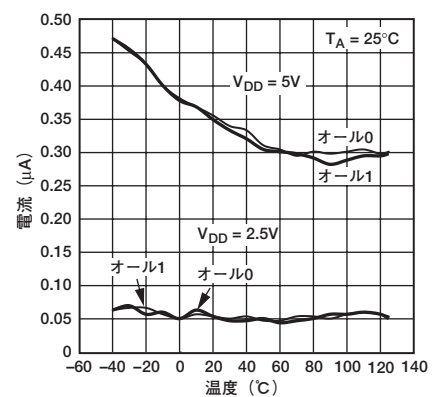
特性 15. I_{OUT2} に印加した V_{BIAS} 電圧 対 直線性 (AD5445)



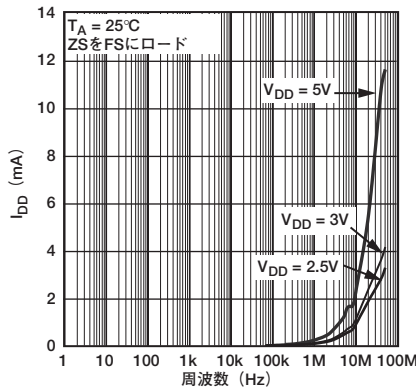
特性 16. ロジック入力電圧 対 電源電流 (DB0~DB11を駆動、他のすべてのデジタル入力は電源電圧)



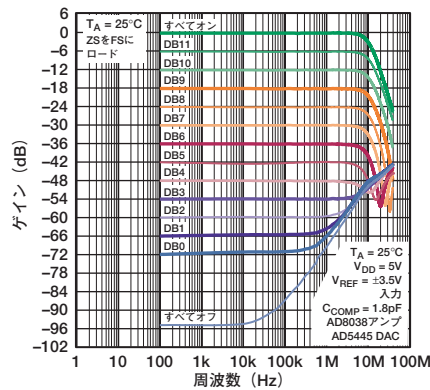
特性 17. I_{OUT1} リーク電流の温度特性



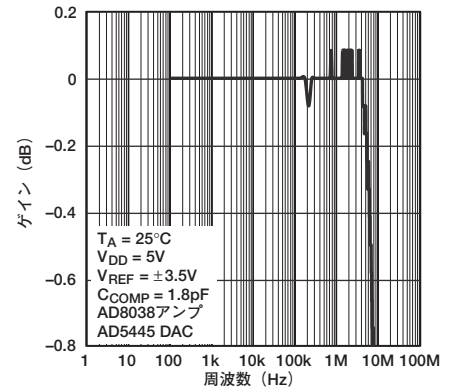
特性 18. 電源電流の温度特性



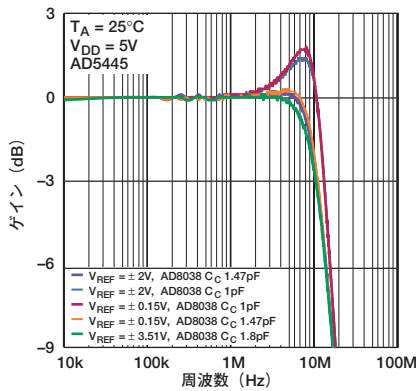
特性 19. 電源電流 対 更新レート



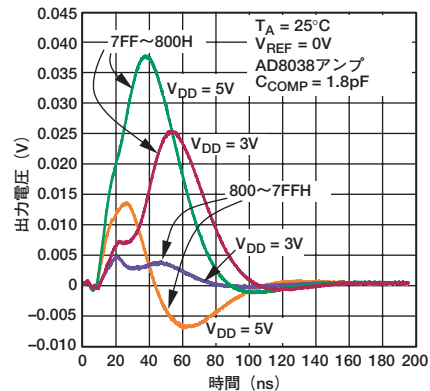
特性 20. リファレンス乗算帯域幅 対 周波数とコード



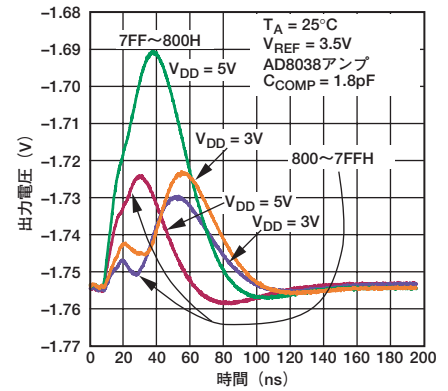
特性 21. リファレンス乗算帯域幅 —デジタルデータ：オール1



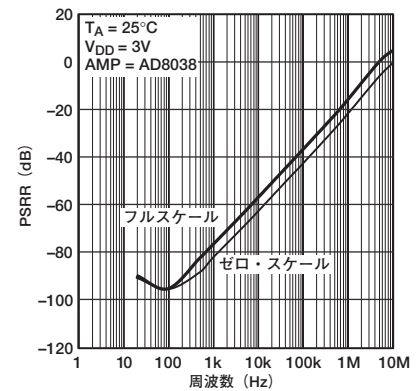
特性 22. リファレンス乗算帯域幅 対 周波数と補償コンデンサ



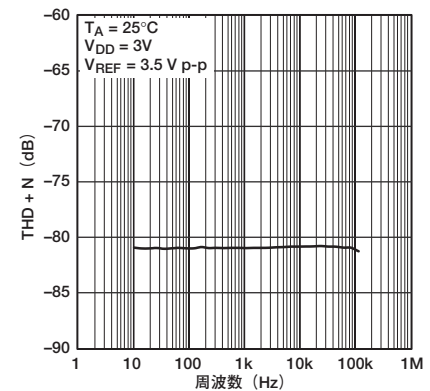
特性 23. ミッドスケール遷移、 $V_{REF}=0V$



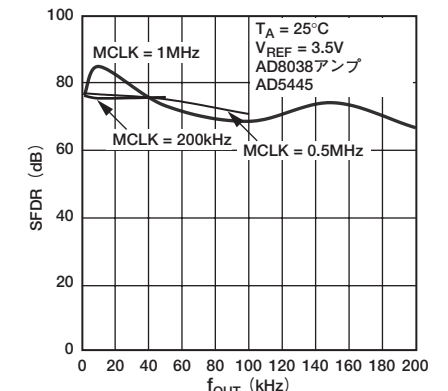
特性 24. ミッドスケール遷移、 $V_{REF}=3.5V$



特性 25. 電源電圧変動除去比の周波数特性

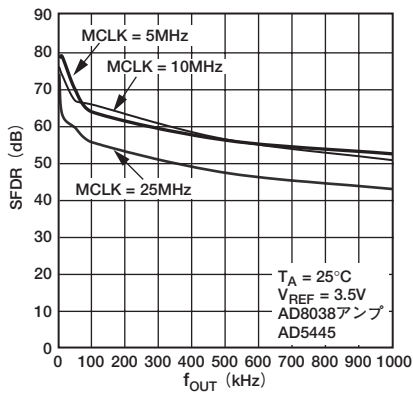


特性 26. 全高調波歪みとノイズ 対 周波数

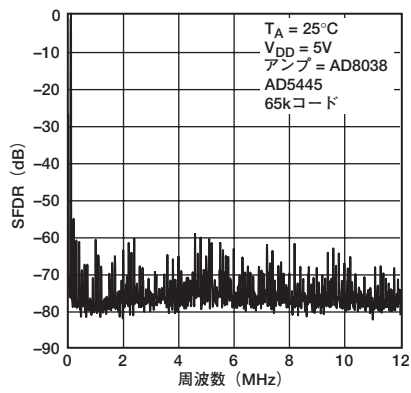


特性 27. 広帯域SFDR 対 f_{OUT} 周波数

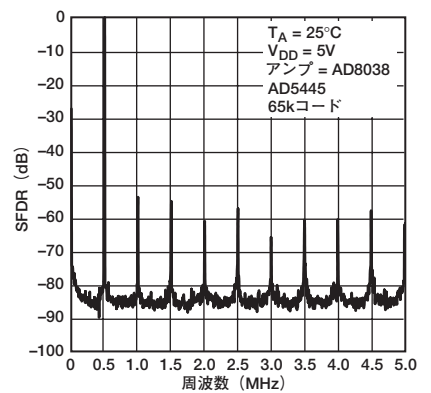
AD5424/AD5433/AD5445



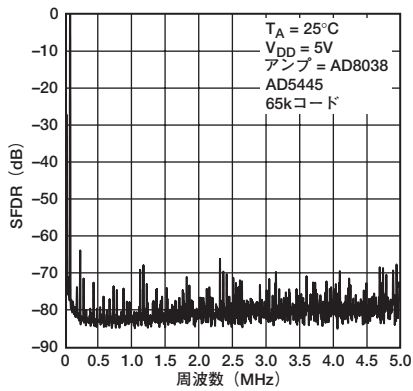
特性 28. f_{OUT} 周波数 対
広帯域SFDR



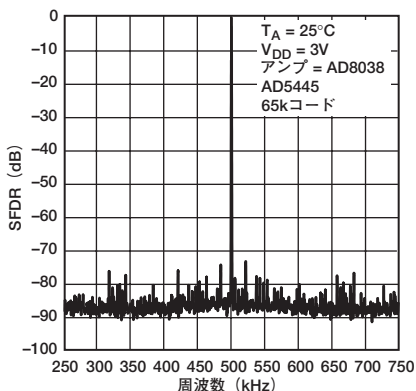
特性 29. 広帯域SFDR、
 $f_{OUT}=100\text{kHz}$ 、
クロック=25MHz



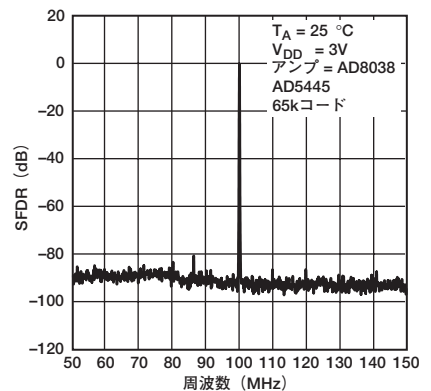
特性 30. 広帯域SFDR、
 $f_{OUT}=500\text{kHz}$ 、
クロック=10MHz



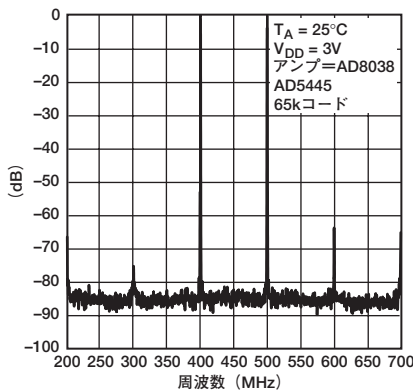
特性 31. 広帯域SFDR、
 $f_{OUT}=50\text{kHz}$ 、
クロック=10MHz



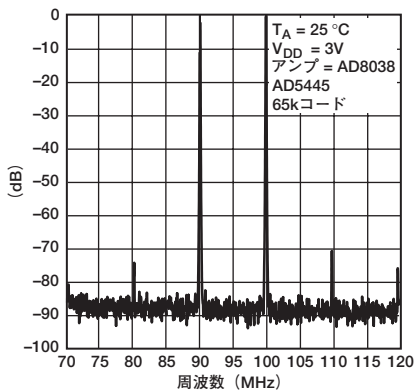
特性 32. 狭帯域スペクトル特性、
 $f_{OUT}=500\text{kHz}$ 、
クロック=25MHz



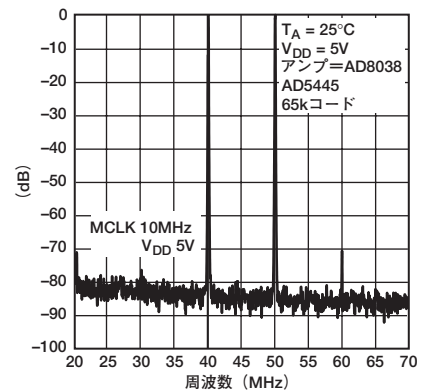
特性 33. 狭帯域SFDR、
 $f_{OUT}=100\text{kHz}$ 、
MCLK=25MHz



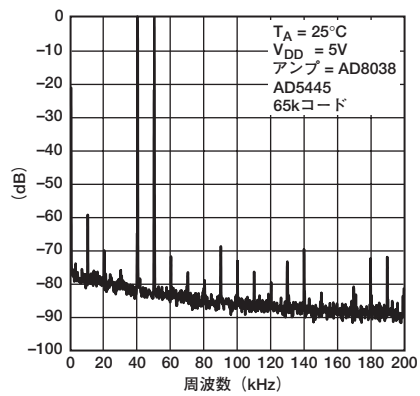
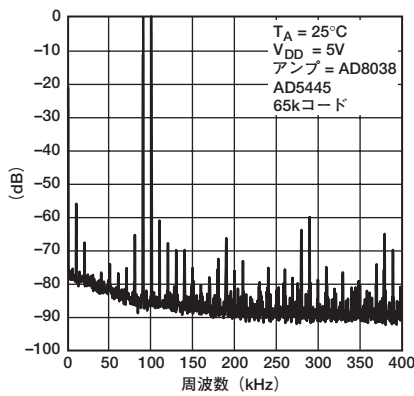
特性 34. 狭帯域相互変調歪み、
 $f_{OUT}=400\text{kHz}$ 、
500kHz、
クロック=10MHz



特性 35. 狭帯域相互変調歪み、
 $f_{OUT}=90\text{kHz}$ 、
100kHz、
クロック=10MHz



特性 36. 狭帯域相互変調歪み、
 $f_{OUT}=40\text{kHz}$ 、
50kHz、
クロック=10MHz



AD5424/AD5433/AD5445

用語集

相対精度（積分非直線性、INL）

相対精度またはエンドポイント非直線性とは、DAC伝達関数のエンドポイントを結ぶ直線からの最大偏差を示す値です。0とフルスケールの調整後に測定し、通常はLSB単位またはフルスケール値のパーセンテージで表します。

微分非直線性（DNL）

微分非直線性とは、任意の2つの隣接コード間で測定した変化と理想的な1LSB変化との差です。動作温度範囲で最大-1LSBの規定された微分非直線性によって単調増加性が保証されます。

ゲイン誤差（フルスケール誤差）

ゲイン誤差またはフルスケール誤差とは、理想的なDACと実際のデバイス出力との間の出力誤差を示しています。これらのDACの場合、理想的な最大出力は $V_{REF}-1LSB$ です。DACのゲイン誤差は、外付け抵抗によって0に調節できます。

出力リーク電流

出力リーク電流とは、DACラダー・スイッチをオフにしたときに、これらのスイッチに流入する電流です。 I_{OUT1} 端子の場合、DACにオール0をロードして I_{OUT1} 電流を測定します。DACにオール1をロードすると、 I_{OUT2} ラインに最小電流が流れます。

出力容量

I_{OUT1} または I_{OUT2} からAGNDへの容量です。

出力電流セトリング・タイム

フルスケール入力変化に対して、出力が規定のレベルに整定するために要する時間です。これらのデバイスの場合、グラウンドに接続した100Ω抵抗で仕様規定されています。

セトリング・タイム仕様には、CS立上がりエッジからフルスケール出力変更までのデジタル遅延が含まれます。

デジタル/アナログ・グリッチ・インパルス

入力によって状態が変化したとき、デジタル入力からアナログ出力に注入される電荷の量。これは通常、グリッチが電流として測定されるか電圧信号として測定されるかに応じて、pA-secまたはnV-secの単位で表されるグリッチの領域として仕様規定されます。

デジタル・フィードスルー

デバイスが選択されていないとき、デバイス・デジタル入力での高周波ロジック動作がデバイスを通して容量的に結合され、 I_{OUT} ピンでのノイズとして現われ、これに続く回路に入り込むことがあります。このノイズがデジタル・フィードスルーです。

乗算フィードスルー誤差

DACにオール0がロードされた場合の、DACリファレンス入力からDAC I_{OUT1} 端子への容量性フィードスルーによる誤差です。

全高調波歪み（THD）

このDACは、ACリファレンス駆動が可能です。全高調波歪みとは、DAC出力の高調波のrms値合計と基本波の値との比率です。通常、2次～5次などの低次の高調波だけが含まれています。

$$THD = 20 \log \frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2)}}{V_1}$$

デジタル相互変調歪み

2次相互変調歪み（IMD）の大きさは、DACによってデジタル生成されたfaおよびfbトーンと、2fa-fbと2fb-faでの2次積との相対的大きさです。

スプリアスフリー・ダイナミック・レンジ（SFDR）

スプリアス・ノイズが基本波信号を妨害したり歪ませたりする前の、DACで使用できるダイナミック・レンジです。SFDRは、DCからフル・ナイキスト帯域幅（DACサンプリング・レートの半分、つまり $f_s/2$ ）までの高調波あるいは非高調波に係する最大のスプリアスと基本波との間の振幅差を示しています。狭帯域SFDRは、任意のウィンドウ・サイズでのSFDRであり、この場合は基本波の50%です。デジタルSFDRは、信号がデジタル生成されたサイン波の場合にDACで使用できるダイナミック・レンジです。

DAC部

AD5424、AD5433、AD5445は、8/10/12ビットの電流出力DACであり、標準の反転R-2Rラダーで構成されています。図3に、8ビットAD5424の簡略図を示します。マッチング帰還抵抗 R_{FB} の値は R です。 R の値は、標準で10k Ω （最小8k Ω 、最大12k Ω ）です。 I_{OUT1} と I_{OUT2} が同じ電位に保持された場合、デジタル入力コードとは無関係に、各ラダーの枝に一定の電流が流れ込みます。このため、 V_{REF} での入力抵抗はつねに一定であり、抵抗の公称値は R になります。DAC出力（ I_{OUT} ）はコードに依存し、さまざまな抵抗と容量を生成します。外付けアンプを選択するときは、アンプの反転入力ノードでDACによって生じるインピーダンスの変動を考慮に入れてください。

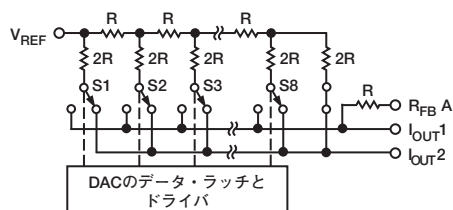


図3. ラダーの簡略図

DACの V_{REF} 、 R_{FB} 、 I_{OUT1} 、 I_{OUT2} の端子にアクセスできるため、デバイスはきわめて多機能になり、さまざまな動作モードに設定することができます。たとえば、ユニポーラ出力を提供したり、バイポーラ・モードでの4象限乗算や単電源動作モードに設定できます。内蔵の R_{FB} には他のスイッチと同じマッチング・スイッチが直列に付加されています。ユーザが R_{FB} を測定するには、 V_{DD} に電源を接続して連続性を維持する必要があります。

パラレル・インターフェース

データは、8/10/12ビットのパラレル・ワードのフォーマットでAD5424/33/45にロードします。制御ライン $\overline{CS}$ と $R/\overline{W}$ によって、DACレジスタととの間のデータの読出し／書き込みを行います。 $\overline{CS}$ と $R/\overline{W}$ がローレベルになると、書き込みイベントが発生します。データ・ライン上にあるデータがレジスタに入れられ、 $\overline{CS}$ の立上がりエッジでデータがラッチされ、ラッチされたデータワードがDACレジスタに転送されます。DACラッチはトランスペアレントではありません。このため、データがDACレジスタにロードされて、対応するアナログ値がDAC出力に反映されるように、 $\overline{CS}$ の立上がり／立上がりエッジで書き込みシーケンスを構成する必要があります。

$R/\overline{W}$ がハイレベルに保持され、 $\overline{CS}$ がローレベルになると、読出しイベントが発生します。今度はデータがDACレジスタから入力レジスタに戻され、データ・ラインに送られます。ここから、コントローラにデータを読み出し、確認や診断を行うことができます。

回路動作

ユニポーラ・モード

オペアンプを1つ使用し、図4に示すように、2象限乗算動作やユニポーラ出力電圧振幅が得られるようにデバイスを簡単に構成できます。

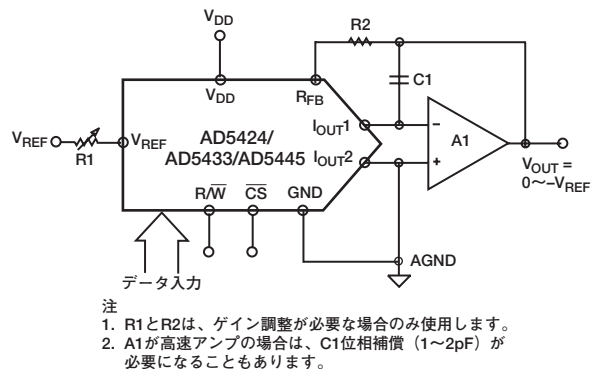


図4. ユニポーラ動作

出力アンプがユニポーラ・モードで接続されているとき、次式で出力電圧を求めることができます。

$$V_{OUT} = -V_{REF} \times \frac{D}{2^n}$$

ここで、 D はDACにロードされたデジタル・コードの整数値、 n はDACの分解能です。

$D=0 \sim 255$ (8ビットAD5424)
 $=0 \sim 1023$ (10ビットAD5433)
 $=0 \sim 4095$ (12ビットAD5445)

なお、出力電圧極性は、DCリファレンス電圧の V_{REF} の反対の極性です。

これらのDACは、負または正のリファレンス電圧で動作するように設計されています。 V_{DD} 電源ピンは、DACスイッチのオン／オフ状態を駆動するために内部デジタル・ロジックで使用するだけです。

これらのDACは、 $-10 \sim +10V$ の範囲でACリファレンス入力信号にも対応するように設計されています。

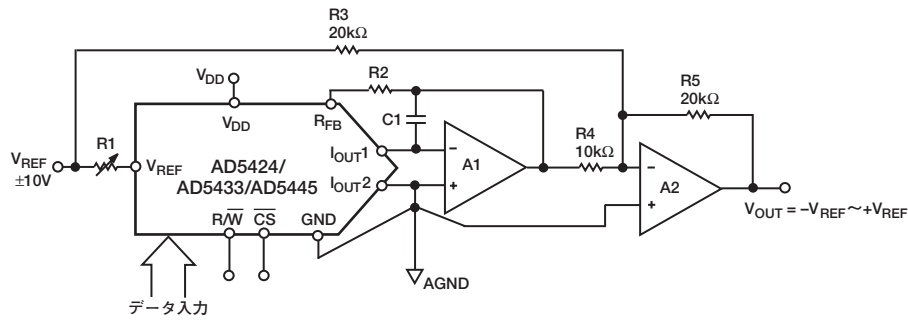
固定の10Vリファレンスでは、図4に示す回路から $0 \sim -10V$ のユニポーラ出力電圧振幅が得られます。 V_{IN} がAC信号のとき、この回路は2象限乗算を実行します。

表Iに、ユニポーラ動作におけるデジタル・コードと予測される出力電圧との関係を示します（AD5424、8ビット・デバイス）。

表I. ユニポーラ・コード表

デジタル入力	アナログ出力 (V)
1111 1111	$-V_{REF}$ (255/256)
1000 0000	$-V_{REF}$ (128/256) = $-V_{REF}/2$
0000 0001	$-V_{REF}$ (1/256)
0000 0000	$-V_{REF}$ (0/256) = 0

AD5424/AD5433/AD5445



- 注
1. R1とR2は、ゲイン調整が必要な場合のみ使用します。コード10000000をDACにロードして $V_{OUT}=0V$ になるようにR1を調整してください。
 2. 抵抗ペアR3とR4にはマッチングとトラッキングが不可欠です。
 3. A1/A2が高速アンプの場合は、C1位相補償 (1~2pF) が必要になることもあります。

図5. バイポーラ動作 (4象限乗算)

バイポーラ動作

アプリケーションによっては、フル4象限乗算動作やバイポーラ出力振幅が必要になることがあります。これは、図5に示すように、もう1つの外付けアンプといくつかの外付け抵抗を使用すれば簡単に実現できます。この回路では、2番目のアンプA2がゲイン2に設定されています。リファレンス電圧からのオフセットで外付けアンプにバイアスをかけると、フル4象限乗算動作になります。この回路の伝達関数から、入力データ (D) がコード・ゼロ ($V_{OUT}=-V_{REF}$) からミッドスケール ($V_{OUT}=0V$)、フル・スケール ($V_{OUT}=+V_{REF}$) にインクリメントするにつれて、負と正の両方の出力電圧が得られることがわかります。

$$V_{OUT} = (V_{REF} \times D/2^{n-1}) - V_{REF}$$

ここで、 D はDACにロードされるデジタル・コードの整数値、 n はDACの分解能です。

D=0~255 (8ビットAD5424)
 =0~1023 (10ビットAD5433)
 =0~4095 (12ビットAD5445)

V_{IN} がAC信号のとき、この回路は4象限乗算を実行します。

表IIに、バイポーラ動作におけるデジタル・コードと予測される出力電圧との関係を示します (AD5426、8ビット・デバイス)。

表II. バイポーラ・コード表

デジタル入力	アナログ出力 (V)
1111 1111	$+V_{REF}$ (127/128)
1000 0000	0
0000 0001	$-V_{REF}$ (127/128)
0000 0000	$-V_{REF}$ (128/128)

安定性

I/V変換の構成では、DACの I_{OUT} とオペアンプの反転ノードをできるだけ短い配線で接続する必要があります。正しいPCボードのレイアウト技術を使わなければなりません。各コード変化がステップ関数に対応するため、オペアンプのゲイン帯域積 (GBP) が制限されていて反転ノードの寄生容量が大きい場合は、ゲイン・ピーキングが発生することがあります。この寄生容量からオープンループ応答に極が生じ、クローズド・ループ・アプリケーションでのリングングや不安定性の原因になることがあります。

図4と図5に示すように、安定性を得るために、オプションで補償コンデンサC1を R_{FB} と並列に配置することができます。C1の値が小さすぎると出力にリングングを生じ、値が大きすぎるとセトリング・タイムに悪影響を及ぼすことがあります。C1の値は経験的に求めることができますが、一般には1~2pFで十分な補償が得られます。

単電源アプリケーション

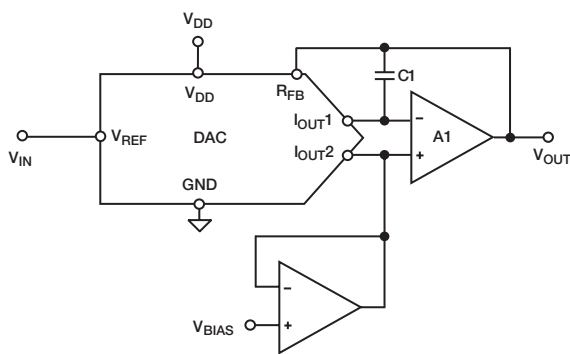
電流モード動作

図6に、2.5～5V単電源による動作のための代表的な回路を示します。図6の電流モード回路では、 I_{OUT2} と I_{OUT1} が V_{BIAS} に印可される量だけ正にバイアスされます。この構成では、次式から出力電圧が得られます。

$$V_{OUT} = \{D \times (R_{FB}/R_{DAC}) \times (V_{BIAS} - V_{IN})\} + V_{BIAS}$$

Dが0～255 (AD5424)、0～1023 (AD5433)、0～4095 (AD5445) に変化するにつれて、出力電圧が $V_{OUT} = V_{BIAS}$ から $V_{OUT} = 2V_{BIAS} - V_{IN}$ まで変化します。

V_{BIAS} は、 I_{OUT2} 端子での電流のあらゆる変動をシンク/ソースできる低インピーダンス源にしてください。



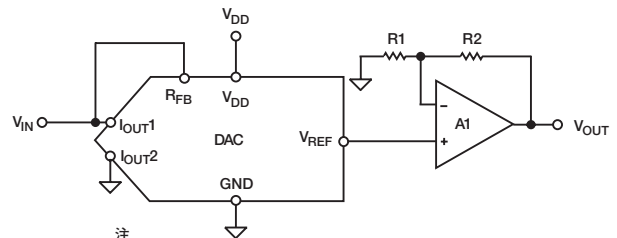
- 注
1. わかりやすくするために他のピンは省略しています。
 2. A1が高速アンプの場合は、C1位相補償 (1～2pF) が必要になることもあります。

図6. 単電源の電流モード動作

電圧スイッチング動作モード

図7に、電圧スイッチング・モードで動作するDACを示します。リファレンス電圧 V_{IN} が I_{OUT1} ピンに印加され、 I_{OUT2} がAGNDに接続され、出力電圧が V_{REF} 端子から得られます。この構成では、正のリファレンス電圧から正の出力電圧が得られ、単電源動作が可能になります。DACからの出力は一定のインピーダンス (DACラダー抵抗) の電圧であり、オペアンプによって出力電圧をバッファリングする必要があります。リファレンス入力では、一定の入力インピーダンスではなく、コードとともに変化する入力インピーダンスが生じます。このため、電圧入力は低インピーダンス源から駆動してください。

DACラダー内のスイッチに同じソースドレイン駆動電圧がなく、 V_{IN} が低電圧に制限されることに注意してください。その結果、それらのオン抵抗が異なり、DACの直線性が低下します。特性10～15を参照してください。また、 V_{IN} が0.3Vを上回る負の値にならないようにしてください。0.3Vを超えると、内部ダイオードがオンになり、デバイスの最大定格を超えてしまいます。この種のアプリケーションでは、DACのフルレンジの乗算機能は得られません。

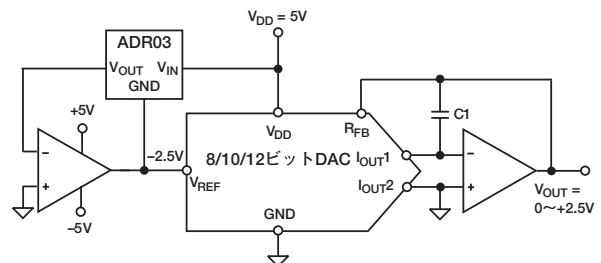


- 注
1. わかりやすくするために他のピンは省略しています。
 2. A1が高速アンプの場合は、C1位相補償 (1～2pF) が必要になることもあります。

図7. 単電源の電圧スイッチング動作モード

正の出力電圧

出力電圧の極性は、DCリファレンス電圧の V_{REF} 極性の反対になります。正の電圧出力を得るには、抵抗許容誤差が存在するため、反転アンプによる出力反転ではなく、DACの入力に負のリファレンスを接続する方法を選ぶほうがよいでしょう。負のリファレンスを生成するには、図8に示すように、リファレンス回路の V_{OUT} ピンとGNDピンがそれぞれ仮想グラウンドとー2.5Vになるように、オペアンプを使ってリファレンスをレベル・シフトします。



- 注
1. わかりやすくするために他のピンは省略しています。
 2. A1が高速アンプの場合は、C1位相補償 (1～2pF) が必要になることもあります。

図8. 最少の部品による正の電圧出力

AD5424/AD5433/AD5445

ゲインの増加

出力電圧を V_{IN} より大きくしなければならないアプリケーションでは、外付けアンプをもうひとつ追加してゲインを増やすか、1段だけでゲイン増加を行います。DACの薄膜抵抗の温度係数の影響を考慮に入れることが大切です。抵抗を R_{FB} 抵抗と直列に置くだけでは、温度係数のミスマッチが生じて、大きなゲイン温度係数誤差が生じてしまいます。回路のゲインを増やすには、図9の回路のように別の方法をとることを推奨します。 R_1 、 R_2 、 R_3 はすべて同じような温度係数にしなければなりません。1を超えるゲインが必要な回路では、この方法を推奨します。

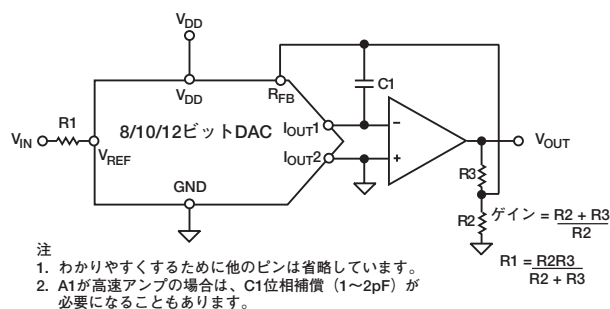


図9. 電流出力DACのゲインの増大

DACをデバイダまたはプログラマブル・ゲイン素子として使用する場合

電流スイッチング型のDACは非常にフレキシブルであり、さまざまなアプリケーションで活用できます。図10に示すように、このタイプのDACをオペアンプの帰還素子として接続し、 R_{FB} を入力抵抗として使用する場合、出力電圧はデジタル入力値 D に逆比例します。 $D=1-2^n$ の場合、出力電圧は次のとおりです。

$$V_{OUT} = -V_{IN}/D = -V_{IN}/(1-2^{-n})$$

D が減少するにつれて、出力電圧が増大します。デジタル値 D の値が小さい場合は、アンプが飽和しないことと、必要な精度を満たすことが大切です。たとえば、図10の回路で2進コード10h (00010000)、すなわち10進数の16で駆動する8ビットDACでは、出力電圧が $16 \times V_{IN}$ になります。しかし、DACに±0.5LSBの直線性仕様がある場合、 D には実際上15.5/256~16.5/256の範囲で重みがあるため、可能な出力電圧が15.5~16.5 V_{IN} の範囲になり、たとえDACそのものの最大誤差が0.2%であっても、誤差は+3%になります。

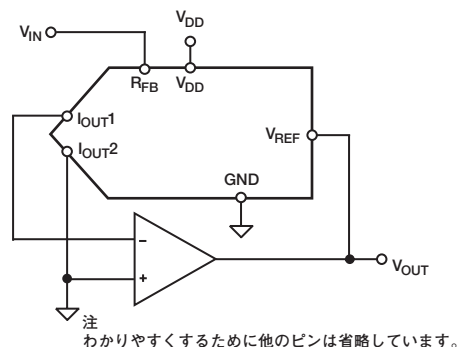


図10. デバイダまたはプログラマブル・ゲイン素子として使用する電流スイッチング型DAC

表III. AD5424/AD5433/AD5445 DACと使用できるアナログ・デバイセズの推奨高精度リファレンス

部品番号	出力電圧	初期公差	温度ドリフト	0.1~10Hzノイズ	パッケージ
ADR01	10V	0.1%	3ppm/°C	20μVp-p	SC70、TSOT、SOIC
ADR02	5V	0.1%	3ppm/°C	10μVp-p	SC70、TSOT、SOIC
ADR03	2.5V	0.2%	3ppm/°C	10μVp-p	SC70、TSOT、SOIC
ADR425	5V	0.04%	3ppm/°C	3.4μVp-p	MSOP、SOIC

表IV. AD5424/AD5433/AD5445 DACとの使用に適したアナログ・デバイセズの高精度オペアンプ

部品番号	最大電源電圧 (V)	V_{OS} (max) (μV)	I_B (max) (nA)	GBP (MHz)	スルーレート (V/μs)
OP97	±20	25	0.1	0.9	0.2
OP1177	±18	60	2	1.3	0.7
AD8551	+6	5	0.05	1.5	0.4

表V. AD5424/AD5433/AD5445 DACとの使用に適したアナログ・デバイセズの高速オペアンプ

部品番号	最大電源電圧 (V)	A_{CL} でのBW (MHz)	スルーレート (V/μs)	V_{OS} (max) (μV)	I_B (max) (nA)
AD8065	±12	145	180	1500	0.01
AD8021	±12	200	100	1000	1000
AD8038	±5	350	425	3000	0.75
AD9631	±5	320	1300	10000	7000

DACリーク電流もディバイダ回路の潜在的な誤差源になります。DACを通じてオペアンプから供給する逆向きの電流によって、リーク電流を平衡させる必要があります。 V_{REF} 端子はDに依存する電流だけが I_{OUT1} 端子に来るため、出力電圧は次のように変化する必要があります。

$$\text{DACリークによる出力誤差電圧} = (\text{リーク} \times R) / D$$

ここで、 R は V_{REF} 端子でのDAC抵抗です。10nAのDACリーク電流、 $R=10\text{k}\Omega$ 、ゲイン（つまり $1/D$ ）が16の場合、誤差電圧は1.6mVになります。

リファレンスの選択

AD5424シリーズの電流出力DACで使用するリファレンスを選択するときは、リファレンスの出力電圧温度係数の仕様に注意してください。このパラメータはフルスケール誤差に影響を及ぼすだけでなく、直線性（INLとDNL）性能にも影響することがあります。リファレンスの温度係数がシステム精度の仕様と矛盾しないようにする必要があります。たとえば、温度範囲0～50℃にわたって1LSB以内にその仕様全体を維持しなければならない8ビット・システムの場合、温度による最大システム・ドリフトは78ppm/℃未満にしてください。同じ温度範囲で仕様全体を2LSB以内に維持しなければならない12ビット・システムでは、最大ドリフトを10ppm/℃にする必要があります。この誤差源を最小に抑えるには、低出力温度係数の高精度リファレンスを選択します。表IIIに、この範囲の電流出力DACで使用できるアナログ・デバイスサイズのリファレンス製品をいくつか示します。

アンプの選択

電流スイッチング型モードで最も重要な条件は、低入力バイアス電流と低入力オフセット電圧のアンプです。オペアンプの入力オフセット電圧は、回路の（DACのコード依存性出力抵抗による）可変ゲインによって増幅されます。2つの隣接するデジタル値間でこのノイズ・ゲインが変化すると、アンプの入力オフセット電圧によって出力電圧にステップ変化が生じます。この出力電圧変化が2つのコード間の出力の希望する変化に重なり、微分直線性誤差が生じます。この誤差がかなり大きいと、DACの単調増加性が失われます。一般に、コードを1ステップずつ実行するとき単調増加性動作を維持するには、入力オフセット電圧を $<1/4\text{LSB}$ にしてください。

オペアンプの入力バイアス電流からも、帰還抵抗 R_{FB} にバイアス電流が流入する結果、電圧出力にオフセットが生じます。大部分のオペアンプは入力バイアス電流が十分に低いので、12ビット・アプリケーションで重大な誤差が生じることはありません。

オペアンプのコモン・モード除去特性は回路の電圧出力でコード依存性誤差を生じさせるため、これも電圧スイッチング回路では重要です。大部分のオペアンプには、8/10/12ビット分解能での使用に適した十分なコモン・モード除去性能があります。

真の広帯域低インピーダンス源（ V_{IN} とAGND）からDACスイッチを駆動する場合、スイッチは短時間で整定します。このため、電圧スイッチングDAC回路のスルーレートとセトリング・タイムは、主として出力オペアンプによって決まります。この構成で最小のセトリング・タイムを得るには、DACの V_{REF} ノード（このアプリケーションでは電圧出力ノード）の容量を最小にすることが重要です。そのためには、低入力容量のバッファ・アンプを使用するとともに、ボードの設計に注意する必要があります。

大部分の単電源回路にはアナログ信号レンジの一部としてグラウンドが含まれていますが、これによりレールtoレール信号を処理できるアンプが必要になります。アナログ・デバイスでは、さまざまな単電源アンプを用意しています。

PCボードのレイアウトと電源デカップリング

精度が重要な回路ではつねに、定格の性能を得るために電源とグラウンド・リターンのレイアウトに十分注意する必要があります。AD5424/AD5433/AD5445を実装するプリント回路ボードでは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計してください。複数のデバイスがAGNDとDGNDの接続を必要とするシステム内でDACを使用する場合は、接続は1か所のみで行います。デバイスのできるだけ近くにスター結線してください。

これらのDACでは、パッケージにできるだけ近い所（理想的にはデバイスの真上）に10μFと0.1μFのコンデンサを並列接続することによって十分な電源パイパスを持たせてください。0.1μFのコンデンサは、高周波でグラウンドに低インピーダンス・パスを提供する一般的なセラミック・タイプのように、低い等価直列抵抗（ESR）と等価直列インダクタンス（ESI）があるものにしてください。これによって、内部ロジック切替えに起因する過渡電流を処理できます。電源にはESRが小さい1～10μFのタンタルまたは電解コンデンサも接続して、過渡電圧を抑え、低周波リップルを除去する必要があります。

クロックなどの高速のスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分にノイズを拡散しないようにします。また、リファレンス入力の近くに高速のスイッチング信号を通さないようにします。

デジタル信号とアナログ信号は交差しないようにしてください。ボードの反対側のパターンが、互いに直角になるように配置します。これによってボードを通過するフィードスルーの影響を低減することができます。マイクロストリップ技術は最善の方法ですが、両面ボードでは必ずしも使用できるとは限りません。この技術を使用する場合、ボードの部品面をグラウンド・プレーン専用にし、信号をハンダ面に配線します。

配線を最短にした小型のPCBレイアウト・デザインにするのがよいでしょう。入力までの配線をできるだけ短くして、IR電圧降下と浮遊インダクタンスを小さくする必要があります。

V_{REF} と R_{FB} の間のPCBメタル・パターンも、ゲイン誤差を小さくするためにマッチングさせる必要があります。最大の高周波性能を得るには、1/Vアンプをできるだけデバイスの近くに配置します。

AD5424/AD5433/AD5445の評価用ボード

評価用ボードは、12ビットのAD5445と電流／電圧アンプAD8065で構成されています。評価用ボードには10VのリファレンスADR01が内蔵されています。SMB入力を介して外部リファレンスも印加できます。

評価用キットは、DACを制御するための自己インストール型PCソフトウェアを備えたCD-ROMで構成されています。このソフトウェアを使って、ユーザはデバイスにコードを書き込むことができます。

評価用ボードの操作

電源

このボードには±12Vと+5Vの電源が必要です。+12Vの V_{DD} と V_{SS} を使用して出力アンプに電源を供給し、+5VによってDAC（ V_{DD1} ）とトランシーバ（ V_{CC} ）に電源を供給します。

いずれの電源も、10μFのタンタル・コンデンサと0.1μFのセラミック・コンデンサでそれぞれのグラウンド・プレーンにデカップリングされています。

内蔵リファレンス（ADR01）とJ2から印加する外部リファレンスのいずれかを選択するために、Link1（LK1）が用意されています。

AD5424/AD5433/AD5445

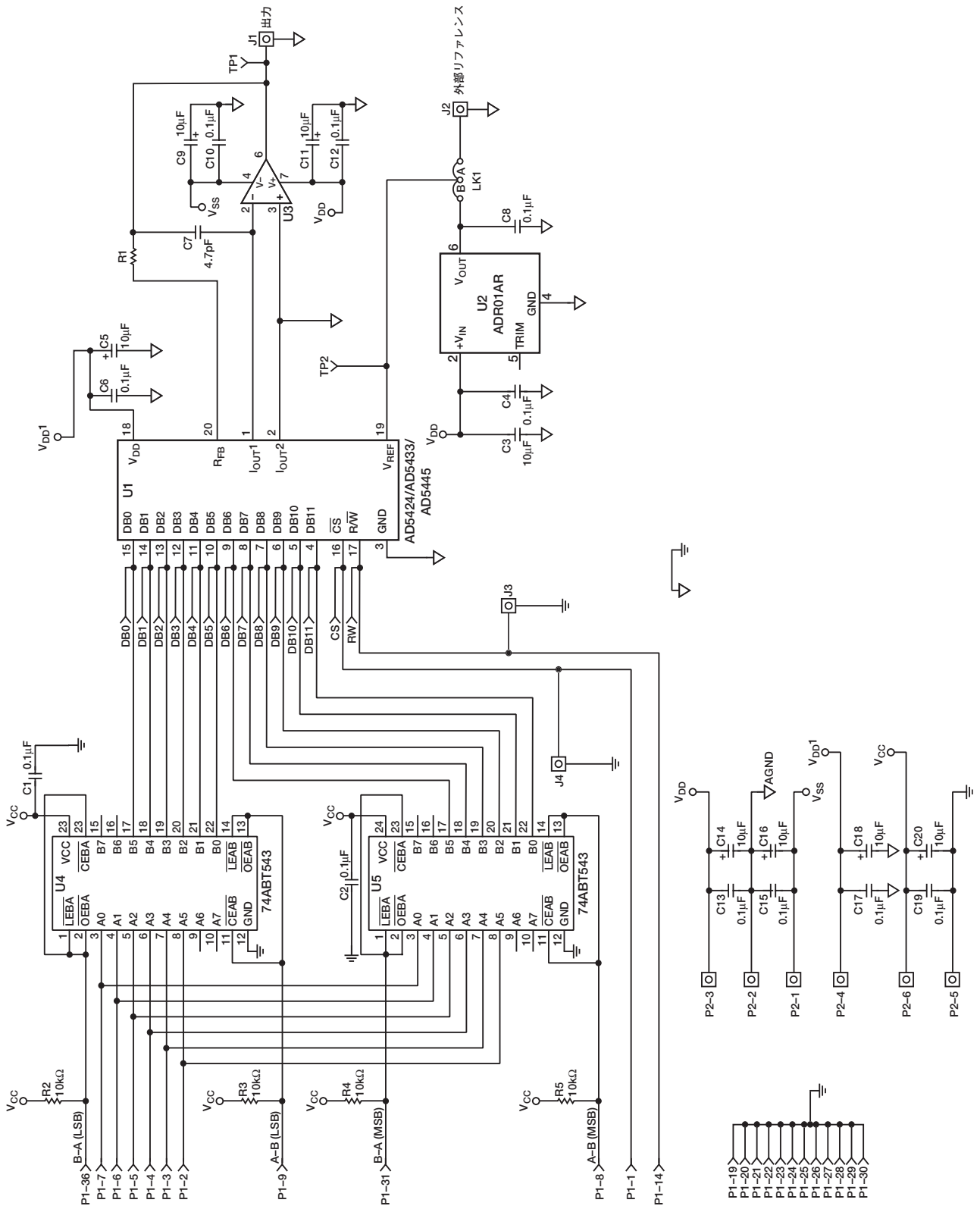


図11. 評価用ボードの回路図

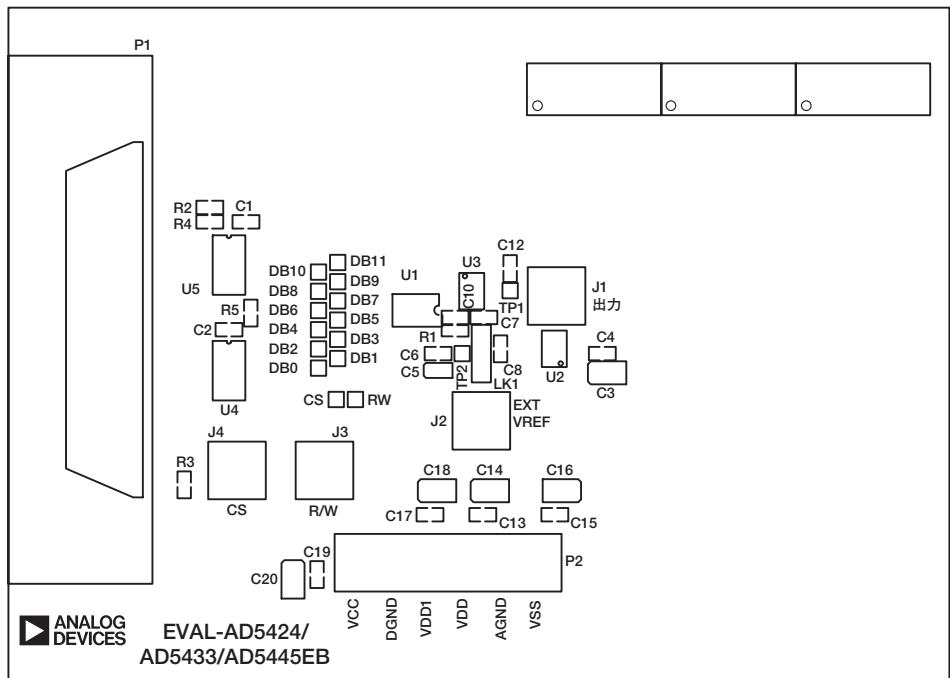


図12. シルクスクリーン—部品実装側

AD5424/AD5433/AD5445

表VI. AD5424/AD5433/AD5445評価用ボードの部品表

名前	パーツの内容	値	公称誤差	PCB転写マーク	在庫コード
C1、C2、C4、C6、C8	X7Rセラミック・コンデンサ	0.1μF	10%	0603	FEC 499-675
C10、C12、C13、C15	X7Rセラミック・コンデンサ	0.1μF	10%	0603	FEC 499-675
C3、C5、C9、C11、C14	タンタル・コンデンサ — Tajシリーズ	10μF 20V	10%	CAP\TAJ_B	FEC 197-427
C17、C19	X7Rセラミック・コンデンサ	0.1μF	10%	0603	FEC 499-675
C16、C18、C20	タンタル・コンデンサ — Tajシリーズ	10μF 10V	10%	CAP\TAJ_A	FEC 197-130
C7	X7Rセラミック・コンデンサ	4.7pF	10%	0603	
CS	TESTPOINT			TESTPOINT	FEC 240-345 (パック)
DB0~DB11	赤のテストポイント			TESTPOINT	FEC 240-345 (パック)
J1~J4	SMBソケット			SMB	FEC 310-682
LK1	3ピン・ヘッダー (3×1)			LINK-3P-	FEC 511-717、150-411
P1	36ピン・セントロニクス・コネクタ			36WAY	FEC 147-753
P2	6ピン端子ブロック			CON\POWER6	FEC 151-792
R1	1/16W抵抗			0603	装着なし
R2、R3、R4、R5	1/16W抵抗	10KΩ	1%	0603	FEC 911-355
RW、TP1、TP2	赤のテストポイント			TESTPOINT	FEC 240-345 (パック)
U1	AD5445			TSSOP20	AD5445BRU
U2*	ADR425/ADR01/ADR02/ADR03			SO8NB	ADR01AR
U3*	AD8065			SO8NB	AD8065AR
U4	74ABT543			TSSOP24	Fairchild 74ABT543CMTC
U5	74ABT543			TSSOP24	Fairchild 74ABT543CMTC
各コーナー	ゴム製貼り付け脚				FEC 148-922

* アンブとリファレンスの選択に関するセクションを参照してください。

FEC - Farnell Electronic Components, Units 4 and 5 Gofton Court, Jamestown Road, Finglas, Dublin 11, Ireland. Tel. Int +353 (0)1 8309277 www.farnell.com

AD5424/AD5433/AD5445

AD54xxデバイスの概要

部品番号	分解能	DACの数	INL	t _s (max)	インターフェース	パッケージ	機能
AD5403*	8	2	±0.25	60ns	パラレル	CP-40	10MHz帯域幅 10ns $\overline{CS}$ パルス幅、 4象限乗算抵抗
AD5410*	8	1	±0.25	100ns	シリアル	RU-16	10MHz帯域幅、50MHzシリアル、 4象限乗算抵抗
AD5413*	8	2	±0.25	100ns	シリアル	RU-24	10MHz帯域幅、50MHzシリアル、 4象限乗算抵抗
AD5424	8	1	±0.25	60ns	パラレル	RU-16、 CP-20	10MHz帯域幅、 17ns $\overline{CS}$ パルス幅
AD5425	8	1	±0.25	100ns	シリアル	RM-10	バイト・ロード、10MHz帯域幅、 50MHzシリアル
AD5426	8	1	±0.25	100ns	シリアル	RM-10	10MHz帯域幅、50MHzシリアル
AD5428	8	2	±0.25	60ns	パラレル	RU-20	10MHz帯域幅、17ns $\overline{CS}$ パルス幅
AD5429	8	2	±0.25	100ns	シリアル	RU-10	10MHz帯域幅、50MHzシリアル
AD5450	8	1	±0.25	100ns	シリアル	RJ-8	10MHz帯域幅、50MHzシリアル
AD5404*	10	2	±0.5	70ns	パラレル	CP-40	10MHz帯域幅、17ns $\overline{CS}$ パルス幅、 4象限乗算抵抗
AD5411*	10	1	±0.5	110ns	シリアル	RU-16	10MHz帯域幅、50MHzシリアル、 4象限乗算抵抗
AD5414*	10	2	±0.5	110ns	シリアル	RU-24	10MHz帯域幅、50MHzシリアル、 4象限乗算抵抗
AD5432	10	1	±0.5	110ns	シリアル	RM-10	10MHz帯域幅、50MHzシリアル
AD5433	10	1	±0.5	70ns	パラレル	RU-20、 CP-20	10MHz帯域幅、17ns $\overline{CS}$ パルス幅
AD5439	10	2	±0.5	110ns	シリアル	RU-16	10MHz帯域幅、50MHzシリアル
AD5440	10	2	±0.5	70ns	パラレル	RU-24	10MHz帯域幅、17ns $\overline{CS}$ パルス幅
AD5451	10	1	±0.25	110ns	シリアル	RJ-8	10MHz帯域幅、50MHzシリアル
AD5405	12	2	±1	120ns	パラレル	CP-40	10MHz帯域幅、17ns $\overline{CS}$ パルス幅、 4象限乗算抵抗
AD5412*	12	1	±1	160ns	シリアル	RU-16	10MHz帯域幅、50MHzシリアル、 4象限乗算抵抗
AD5415	12	2	±1	160ns	シリアル	RU-24	10MHz帯域幅、50MHzシリアル、 4象限乗算抵抗
AD5443	12	1	±1	160ns	シリアル	RM-10	10MHz帯域幅、50MHzシリアル
AD5445	12	1	±1	120ns	パラレル	RU-20、 CP-20	10MHz帯域幅、17ns $\overline{CS}$ パルス幅
AD5447	12	2	±1	120ns	パラレル	RU-24	10MHz帯域幅、17ns $\overline{CS}$ パルス幅
AD5449	12	2	±1	160ns	シリアル	RU-16	10MHz帯域幅、17ns $\overline{CS}$ パルス幅
AD5452	12	1	±0.5	160ns	シリアル	RJ-8、 RM-8	10MHz帯域幅、50MHzシリアル
AD5453	14	1	±2	180ns	シリアル	RJ-8、 RM-8	10MHz帯域幅、50MHzシリアル

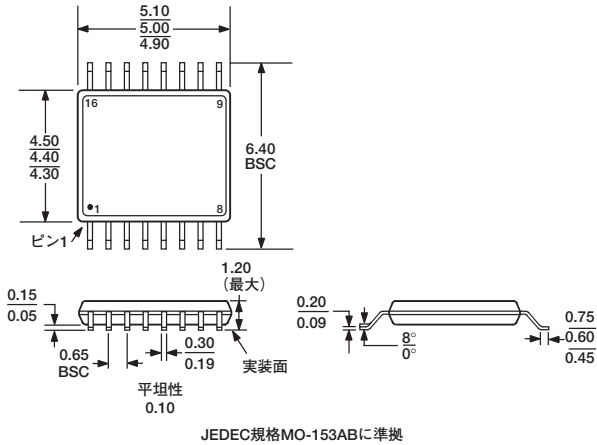
* 将来の部品です。入手については工場にお問い合わせください。

AD5424/AD5433/AD5445

外形寸法

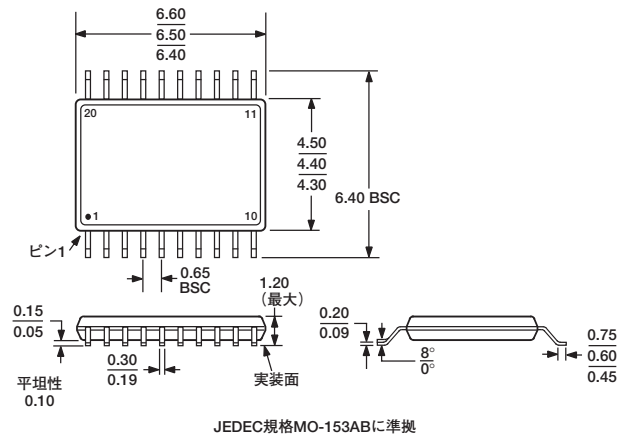
16ピン薄型シュリンク・スモール・
アウトライン・パッケージ [TSSOP]
(RU-16)

寸法単位：mm



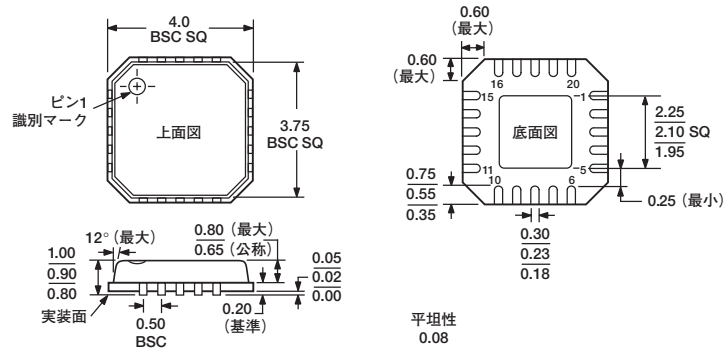
20ピン薄型シュリンク・スモール・
アウトライン・パッケージ [TSSOP]
(RU-20)

寸法単位：mm



20ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
(CP-20)

寸法単位：mm



JEDEC規格MO-153ABに準拠

C03160-0-10/03(0)-J