

### 特長

- 12/16ビットの分解能と単調性
- 電流出力範囲: 4 mA~20 mA、0 mA~20 mA、または 0 mA~24 mA
- 総合未調整誤差 (TUE):  $\pm 0.01\%$  FSR (typ)
- 出力ドリフト:  $\pm 3$  ppm/ $^{\circ}\text{C}$  (typ)
- 柔軟なシリアル・デジタル・インターフェース
- 出力故障検出機能を内蔵
- リファレンス電圧 (最大 10 ppm/ $^{\circ}\text{C}$ ) を内蔵
- 非同期クリア機能
- 電源範囲 ( $\text{AV}_{\text{DD}}$ )
  - 10.8 V~40 V; AD5410AREZ/AD5420AREZ
  - 10.8 V~60 V; AD5410ACPZ/AD5420ACPZ
- $\text{AV}_{\text{DD}} - 2.5$  V までの出力ループ・コンプライアンス
- 温度範囲:  $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$
- 24ピン TSSOP または 40ピン LFCSP パッケージを採用

### アプリケーション

- プロセス制御
- アクチュエータ制御
- PLC

### 概要

AD5410/AD5420 は、工業用プロセス制御アプリケーションの要求を満たすようにデザインされたプログラマブルな電流源出力を提供する低価格高精度フル統合の 12/16 ビット・コンバータです。出力電流範囲は、4 mA~20 mA、0 mA~20 mA または オーバーレンジ機能の 0 mA~24 mA に設定することができます。出力には断線保護機能が内蔵されています。このデバイスは 10.8 V~60 V の電源範囲で動作します。出力ループ・コンプライアンスは 0 V~ $\text{AV}_{\text{DD}} - 2.5$  V です。

柔軟なシリアル・インターフェース SPI、MICROWIRE™、QSPI™、DSP 互換を内蔵しており、3 線式モードで動作可能なため、絶縁型アプリケーションで必要とされるデジタル・アイソレーションを小型化できます。

また、このデバイスは既知状態でのデバイス・パワーアップを確実にするパワーオン・リセット機能と、出力を選択した電流範囲の下限に設定する非同期 CLEAR ピンも内蔵しています。

総合未調整誤差は $\pm 0.01\%$  FSR (typ)です。

### 機能ブロック図

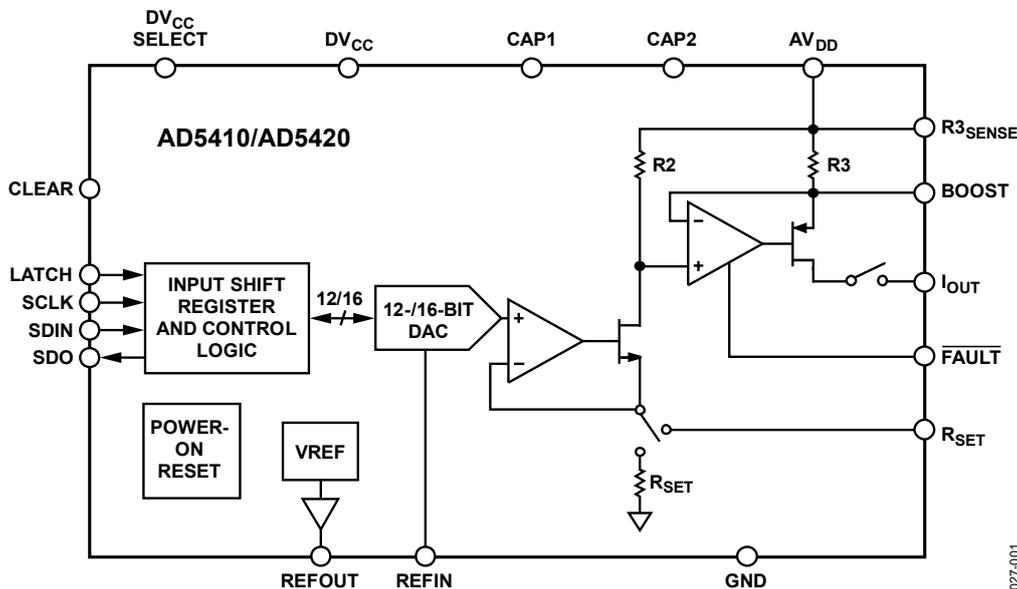


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2009–2010 Analog Devices, Inc. All rights reserved.

## 目次

特長.....	1	AD5410/AD5420 の機能.....	20
アプリケーション.....	1	故障警告.....	20
概要.....	1	非同期クリア (CLEAR).....	20
機能ブロック図.....	1	内蔵リファレンス電圧.....	20
改訂履歴.....	2	電流設定外付け抵抗.....	20
仕様.....	3	デジタル電源.....	20
AC 性能特性.....	5	外付けブースト機能.....	20
タイミング特性.....	5	デジタル・スルーレートの制御.....	21
絶対最大定格.....	7	I <sub>OUT</sub> のフィルタリング・コンデンサ.....	22
ESD の注意.....	7	出力電流の帰還/モニタリング.....	23
ピン配置およびピン機能説明.....	8	アプリケーション情報.....	25
代表的な性能特性.....	10	誘導負荷の駆動.....	25
用語.....	15	過渡電圧保護.....	25
動作原理.....	16	レイアウトのガイドライン.....	25
アーキテクチャ.....	16	電流絶縁型インターフェース.....	25
シリアル・インターフェース.....	16	マイクロプロセッサ・インターフェース.....	26
パワーオン状態.....	18	熱と電源についての考慮事項.....	26
伝達関数.....	18	工業用アナログ出力アプリケーション.....	27
データ・レジスタ.....	18	外形寸法.....	28
コントロール・レジスタ.....	18	オーダー・ガイド.....	28
リセット・レジスタ.....	19		
ステータス・レジスタ.....	19		

## 改訂履歴

### 2/10—Rev. A to Rev. B

Changes to Figure 46.....	23
---------------------------	----

### 8/09—Rev. 0 to Rev. A

Changes to Features and General Description.....	1
Changes to Table 1.....	3
Changes to Table 2.....	5
Changes to Introduction to Table 4 and to Table 4.....	7
Added Figure 6, Changes to Figure 5 and Table 5.....	8
Added Feedback/Monitoring of Output Current Section, Including Figure 45 to Figure 47; Renumbered Subsequent Figures.....	23
Changes to Thermal and Supply Considerations Section and Table 21.....	26
Updated Outline Dimensions.....	28
Changes to Ordering Guide.....	28

### 3/09—Revision 0: Initial Version

## 仕様

特に指定がない限り、 $AV_{DD} = 10.8\text{ V} \sim 26.4\text{ V}$ 、 $GND = 0\text{ V}$ 、 $REFIN = 5\text{ V}$  外部;  $DV_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $R_{LOAD} = 300\ \Omega$ ; すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 1.

Parameter <sup>1</sup>	Min	Typ	Max	Unit	Test Conditions/Comments
OUTPUT CURRENT RANGES	0		24	mA	
	0		20	mA	
	4		20	mA	
ACCURACY, INTERNAL $R_{SET}$					
Resolution	16			Bits	AD5420
	12			Bits	AD5410
Total Unadjusted Error (TUE)	-0.3		+0.3	% FSR	AD5420
	-0.13	±0.08	+0.13	% FSR	AD5420, $T_A = 25^\circ\text{C}$
	-0.5		+0.5	% FSR	AD5410
	-0.3	±0.15	+0.3	% FSR	AD5410, $T_A = 25^\circ\text{C}$
Relative Accuracy (INL) <sup>2</sup>	-0.024		+0.024	% FSR	AD5420
	-0.032		+0.032	% FSR	AD5410
Differential Nonlinearity (DNL)	-1		+1	LSB	Guaranteed monotonic
Offset Error	-0.27		+0.27	% FSR	
Offset Error Temperature Coefficient (TC) <sup>3</sup>	-0.12	±0.08	+0.12	% FSR	$T_A = 25^\circ\text{C}$
		±16		ppm	
Gain Error	-0.18		+0.18	% FSR	AD5420
	-0.03	±0.006	+0.03	% FSR	AD5420, $T_A = 25^\circ\text{C}$
	-0.22		+0.22	% FSR	AD5410
	-0.06	±0.012	+0.06	% FSR	AD5410, $T_A = 25^\circ\text{C}$
Gain Error Temperature Coefficient (TC) <sup>3</sup>		±10		ppm	
				FSR/ $^\circ\text{C}$	
Full-Scale Error	-0.2		+0.2	% FSR	
	-0.1	±0.08	+0.1	% FSR	$T_A = 25^\circ\text{C}$
Full-Scale Error Temperature Coefficient (TC) <sup>3</sup>		±12		ppm	
				FSR/ $^\circ\text{C}$	
ACCURACY, EXTERNAL $R_{SET}$					Assumes an ideal 15 k $\Omega$ resistor
Resolution	16			Bits	AD5420
	12			Bits	AD5410
Total Unadjusted Error (TUE)	-0.15		+0.15	% FSR	AD5420
	-0.06	±0.01	+0.06	% FSR	AD5420, $T_A = 25^\circ\text{C}$
	-0.3		+0.3	% FSR	AD5410
	-0.1	±0.02	+0.1	% FSR	AD5410, $T_A = 25^\circ\text{C}$
Relative Accuracy (INL) <sup>2</sup>	-0.012		+0.012	% FSR	AD5420
	-0.032		+0.032	% FSR	AD5410
Differential Nonlinearity (DNL)	-1		+1	LSB	Guaranteed monotonic
Offset Error	-0.1		+0.1	% FSR	
Offset Error Temperature Coefficient (TC) <sup>3</sup>	-0.03	±0.006	+0.03	% FSR	$T_A = 25^\circ\text{C}$
		±3		ppm	
				FSR/ $^\circ\text{C}$	
Gain Error	-0.08		+0.08	% FSR	
	-0.05	±0.003	+0.05	% FSR	$T_A = 25^\circ\text{C}$
Gain Error Temperature Coefficient (TC) <sup>3</sup>		±4		ppm	
				FSR/ $^\circ\text{C}$	
Full-Scale Error	-0.15		+0.15	% FSR	
	-0.06	±0.01	+0.06	% FSR	$T_A = 25^\circ\text{C}$
Full-Scale Error Temperature Coefficient (TC) <sup>3</sup>		±7		ppm	
				FSR/ $^\circ\text{C}$	
OUTPUT CHARACTERISTICS <sup>3</sup>					
Current Loop Compliance Voltage	0		$AV_{DD} - 2.5$	V	
Output Current Drift vs. Time		50		ppm FSR	Internal $R_{SET}$ , drift after 1000 hours at $125^\circ\text{C}$
		20		ppm FSR	External $R_{SET}$ , drift after 1000 hours at $125^\circ\text{C}$
Resistive Load			1200	$\Omega$	

Parameter <sup>1</sup>	Min	Typ	Max	Unit	Test Conditions/Comments
Inductive Load		50		mH	T <sub>A</sub> = 25°C
DC Power Supply Rejection Ratio (PSRR)			1	μA/V	
Output Impedance		50		MΩ	
Output Current Leakage		60		pA	Output disabled
R3 Resistor Value	36	40	44	Ω	T <sub>A</sub> = 25°C
R3 Resistor Temperature Coefficient (TC)		30		ppm/°C	
I <sub>BIAS</sub> Current	399	444	489	μA	
I <sub>BIAS</sub> Current Temperature Coefficient (TC)		30		ppm/°C	
REFERENCE INPUT/OUTPUT					
Reference Input <sup>3</sup>					
Reference Input Voltage	4.95	5	5.05	V	For specified performance
DC Input Impedance	25	30		kΩ	
Reference Output					
Output Voltage	4.995	5.000	5.005	V	T <sub>A</sub> = 25°C
Reference TC <sup>3, 4</sup>		1.8	10	ppm/°C	
Output Noise (0.1 Hz to 10 Hz) <sup>3</sup>		18		μV p-p	
Noise Spectral Density <sup>3</sup>		100		nV/√Hz	@ 10 kHz
Output Voltage Drift vs. Time <sup>3</sup>		50		ppm	Drift after 1000 hours, T <sub>A</sub> = 125°C
Capacitive Load <sup>3</sup>		600		nF	
Load Current <sup>3</sup>		5		mA	
Short-Circuit Current <sup>3</sup>		7		mA	
Load Regulation <sup>3</sup>		95		ppm/mA	
DIGITAL INPUTS <sup>3</sup>					
Input High Voltage, V <sub>IH</sub>	2			V	JEDEC compliant
Input Low Voltage, V <sub>IL</sub>			0.8	V	
Input Current	-1		+1	μA	Per pin
Pin Capacitance		10		pF	Per pin
DIGITAL OUTPUTS <sup>3</sup>					
SDO					
Output Low Voltage, V <sub>OL</sub>			0.4	V	Sinking 200 μA
Output High Voltage, V <sub>OH</sub>	DV <sub>CC</sub> - 0.5			V	Sourcing 200 μA
High Impedance Leakage Current	-1		+1	μA	
High Impedance Output Capacitance		5		pF	
FAULT					
Output Low Voltage, V <sub>OL</sub>			0.4	V	10 kΩ pull-up resistor to DV <sub>CC</sub>
Output Low Voltage, V <sub>OL</sub>		0.6		V	2.5 mA load current
Output High Voltage, V <sub>OH</sub>	3.6			V	10 kΩ pull-up resistor to DV <sub>CC</sub>
POWER REQUIREMENTS					
AV <sub>DD</sub>	10.8		40	V	TSSOP package
	10.8		60	V	LFCSP package
DV <sub>CC</sub>					
Input Voltage	2.7		5.5	V	Internal supply disabled
Output Voltage		4.5		V	DV <sub>CC</sub> can be overdriven up to 5.5 V
Output Load Current <sup>3</sup>		5		mA	
Short-Circuit Current <sup>3</sup>		20		mA	
AI <sub>DD</sub>			3	mA	Output disabled
			4	mA	Output enabled
DI <sub>CC</sub>			1	mA	V <sub>IH</sub> = DV <sub>CC</sub> , V <sub>IL</sub> = GND
Power Dissipation		144		mW	AV <sub>DD</sub> = 40 V, I <sub>OUT</sub> = 0 mA
		50		mW	AV <sub>DD</sub> = 15 V, I <sub>OUT</sub> = 0 mA

<sup>1</sup> 温度範囲は-40°C~+85°Cです。typ値は+25°Cの値です。

<sup>2</sup> 0 mA~20 mAと0 mA~24 mAの範囲に対して、AD5420ではコード256から、AD5410ではコード16から、それぞれINLを測定します。

<sup>3</sup> デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

<sup>4</sup> 内蔵リファレンス電圧は製造時に25°Cと85°Cで調整/テストし、キャラクタライゼーションは-40°C~+85°Cで行います。

## AC性能特性

特に指定がない限り、 $AV_{DD} = 10.8\text{ V} \sim 26.4\text{ V}$ 、 $GND = 0\text{ V}$ 、 $REFIN = 5\text{ V}$  外部;  $DV_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $R_{LOAD} = 300\ \Omega$ ; すべての仕様  $T_{MIN} \sim T_{MAX}$ 。

表 2.

Parameter <sup>1</sup>	Min	Typ	Max	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE					
Output Current Settling Time <sup>2</sup>		10		$\mu\text{s}$	16 mA step, to 0.1% FSR
		40		$\mu\text{s}$	16 mA step, to 0.1% FSR, $L = 1\text{ mH}$
AC PSRR		-75		dB	200 mV, 50 Hz/60 Hz sine wave superimposed on power supply voltage

<sup>1</sup> デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

<sup>2</sup> デジタル・スルーレート制御機能をディスエーブルし、 $CAP1 = CAP2 = \text{オープン}$ 。

## タイミング特性

特に指定がない限り、 $AV_{DD} = 10.8\text{ V} \sim 26.4\text{ V}$ 、 $GND = 0\text{ V}$ 、 $REFIN = 5\text{ V}$  外部;  $DV_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $R_{LOAD} = 300\ \Omega$ ; すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 3.

Parameter <sup>1, 2, 3</sup>	Limit at $T_{MIN}$ , $T_{MAX}$	Unit	Description
WRITE MODE			
$t_1$	33	ns min	SCLK cycle time
$t_2$	13	ns min	SCLK low time
$t_3$	13	ns min	SCLK high time
$t_4$	13	ns min	LATCH delay time
$t_5$	40	ns min	LATCH high time
$t_5$	5	$\mu\text{s}$ min	LATCH high time after a write to the control register
$t_6$	5	ns min	Data setup time
$t_7$	5	ns min	Data hold time
$t_8$	40	ns min	LATCH low time
$t_9$	20	ns min	CLEAR pulse width
$t_{10}$	5	$\mu\text{s}$ max	CLEAR activation time
READBACK MODE			
$t_{11}$	90	ns min	SCLK cycle time
$t_{12}$	40	ns min	SCLK low time
$t_{13}$	40	ns min	SCLK high time
$t_{14}$	13	ns min	LATCH delay time
$t_{15}$	40	ns min	LATCH high time
$t_{16}$	5	ns min	Data setup time
$t_{17}$	5	ns min	Data hold time
$t_{18}$	40	ns min	LATCH low time
$t_{19}$	35	ns max	Serial output delay time ( $C_{LSDO} = 50\text{ pF}$ ) <sup>4</sup>
$t_{20}$	35	ns max	LATCH rising edge to SDO tristate
DAISY-CHAIN MODE			
$t_{21}$	90	ns min	SCLK cycle time
$t_{22}$	40	ns min	SCLK low time
$t_{23}$	40	ns min	SCLK high time
$t_{24}$	13	ns min	LATCH delay time
$t_{25}$	40	ns min	LATCH high time
$t_{26}$	5	ns min	Data setup time
$t_{27}$	5	ns min	Data hold time
$t_{28}$	40	ns min	LATCH low time
$t_{29}$	35	ns max	Serial output delay time ( $C_{LSDO} = 50\text{ pF}$ ) <sup>4</sup>

<sup>1</sup> キャラクタライゼーションにより保証しますが、出荷テストは行いません。

<sup>2</sup> すべての入力信号は  $t_r = t_f = 5\text{ ns}$  ( $DV_{CC}$  の 10% から 90%) で規定し、1.2 V の電圧レベルからの時間とします。

<sup>3</sup> 図 2~図 4 を参照。

<sup>4</sup>  $C_{LSDO}$  = SDO 出力の容量負荷。

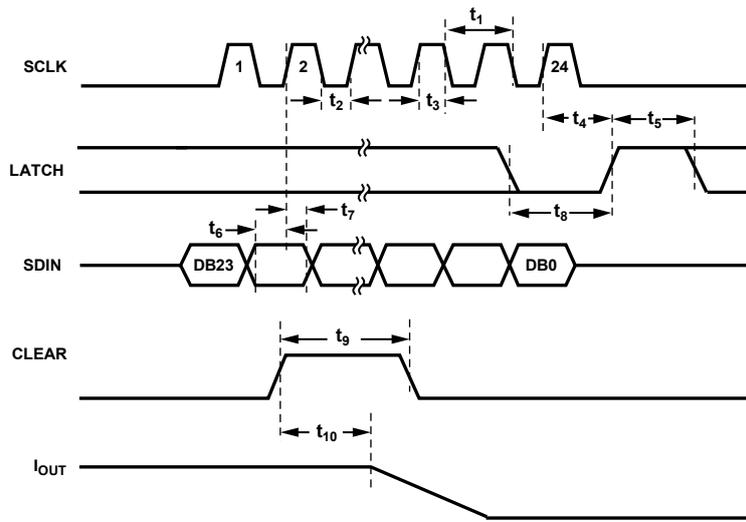


図 2.書き込みモードのタイミング図

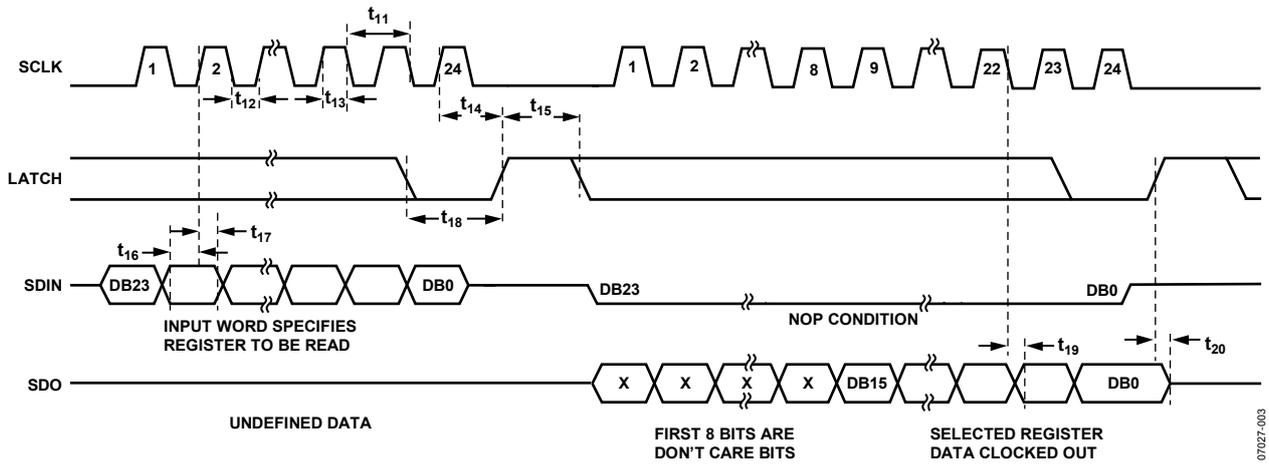


図 3.リードバック・モードのタイミング図

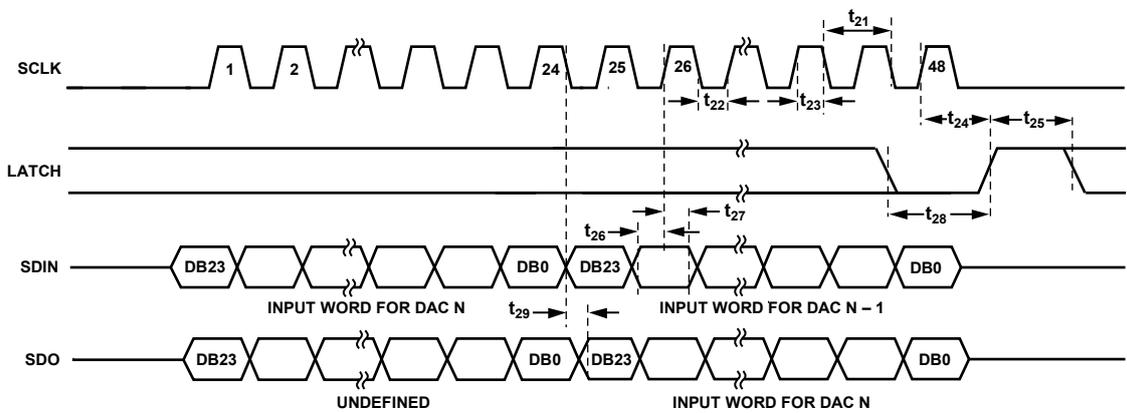


図 4.デジチェーン・モードのタイミング図

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。最大 80 mA までの過渡電流では SCR ラッチ・アップは生じません。

表 4.

Parameter	Rating
$AV_{DD}$ to GND	-0.3 V to +60 V
$DV_{CC}$ to GND	-0.3 V to +7 V
Digital Inputs to GND	-0.3 V to $DV_{CC} + 0.3$ V or +7 V (whichever is less)
Digital Outputs to GND	-0.3 V to $DV_{CC} + 0.3$ V or +7 V (whichever is less)
REFIN, REFOUT to GND	-0.3 V to +7 V
$I_{OUT}$ to GND	-0.3 V to $AV_{DD}$
Operating Temperature Range	
Industrial	$-40^\circ\text{C}$ to $+85^\circ\text{C}$ <sup>1</sup>
Storage Temperature Range	$-65^\circ\text{C}$ to $+150^\circ\text{C}$
Junction Temperature ( $T_J$ max)	$125^\circ\text{C}$
24-Lead TSSOP Package	
Thermal Impedance, $\theta_{JA}$	$42^\circ\text{C}/\text{W}$
Thermal Impedance, $\theta_{JC}$	$9^\circ\text{C}/\text{W}$
40-Lead LFCSP Package	
Thermal Impedance, $\theta_{JA}$	$28^\circ\text{C}/\text{W}$
Thermal Impedance, $\theta_{JC}$	$4^\circ\text{C}/\text{W}$
Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020
ESD (Human Body Model)	2 kV

<sup>1</sup> チップ内の消費電力を抑えて、ジャンクション温度を  $125^\circ\text{C}$  以下に維持する必要があります。最大消費電力状態とは、4 mA のチップ電流時に、 $AV_{DD}$  からグラウンドへ 24 mA を流している状態とします。

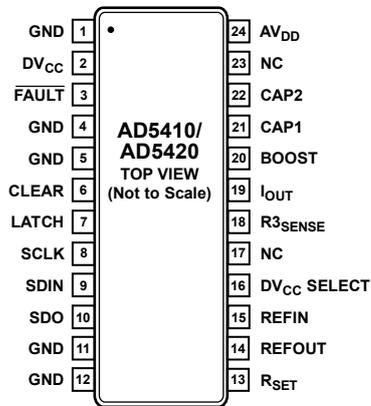
上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

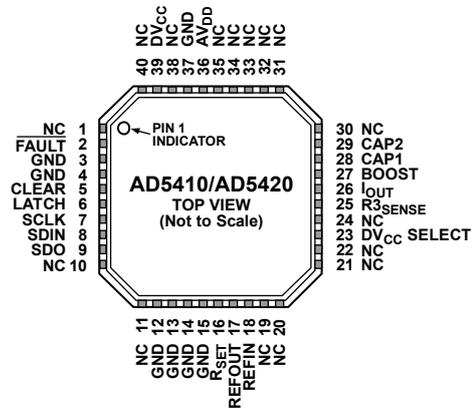


## NOTES

1. NC = NO CONNECT.
2. GROUND REFERENCE CONNECTION. IT IS RECOMMENDED THAT THE EXPOSED PAD BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

07027-005

図 5. TSSOP のピン配置



## NOTES

1. NC = NO CONNECT.
2. GROUND REFERENCE CONNECTION. IT IS RECOMMENDED THAT THE EXPOSED PAD BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

07027-053

図 6. LFCSP のピン配置

表 5. ピン機能の説明

TSSOP ピン番号	LFCSP ピン番号	記号	説明
1、4、5、12	3、4、14、15、37	GND	これらのピンはグラウンドに接続する必要があります。
2	39	DV <sub>CC</sub>	デジタル電源ピン。電圧範囲は 2.7 V～5.5 V。
3	2	FAULT	故障警告。I <sub>OUT</sub> とGNDの間で断線が検出されたとき、または温度上昇が検出されたとき、このピンがアサートされます。FAULT ピンはオープン・ドレイン出力であるため、プルアップ抵抗 (10 kΩ (typ))を介してDV <sub>CC</sub> へ接続する必要があります。
6	5	CLEAR	アクティブ・ハイ入力。このピンをアサートすると、出力電流がゼロスケール値に設定されます。このゼロスケール値は、設定された出力範囲(0 mA～20 mA、0 mA～24 mA、4 mA～20 mA)に応じて 0 mA または 4 mA になります。
7	6	LATCH	正エッジ検出ラッチ。立上がりエッジで、入力シフトレジスタのデータが対応するレジスタへパラレル・ロードされます。データ・レジスタの場合、出力電流も更新されます。
8	7	SCLK	シリアル・クロック入力。データは、SCLK の立上がりエッジで入力シフトレジスタに入力されます。最大 30 MHz のクロック速度で動作します。
9	8	SDIN	シリアル・データ入力。データは、SCLK の立ち上がりエッジで有効である必要があります。
10	9	SDO	シリアル・データ出力。このピンは、ディジーチェーン・モードまたはリードバック・モードでデバイスからデータを出力するときに使います。データはSCLKの立下がりエッジで出力されます。図 3 と図 4 を参照してください。
11	12、13	GND	グラウンド基準ピン。
13	16	R <sub>SET</sub>	外付けの高精度低ドリフト 15 kΩ 電流設定抵抗をこのピンに接続して、デバイスの全体性能を向上させることができます。仕様とAD5410/AD5420の機能のセクションを参照してください。
14	17	REFOUT	内蔵リファレンス電圧出力。T <sub>A</sub> = 25°C で V <sub>REFOUT</sub> = 5 V ± 5 mV。温度ドリフトは 1.8 ppm/°C (typ)。
15	18	REFIN	外部リファレンス電圧入力。規定性能に対して V <sub>REFIN</sub> = 5 V ± 50 mV。
16	23	DV <sub>CC</sub> SELECT	このピンをGNDに接続すると、内蔵電源がディスエーブルされるため、外付け電源をDV <sub>CC</sub> ピンに接続する必要があります。このピンを未接続のままにすると、内蔵電源がイネーブルされます。AD5410/AD5420の機能のセクションを参照してください。

TSSOP ピン番号	LFCSP ピン番号	記号	説明
17、23	1、10、11、19、 20、21、22、 24、30、31、 32、33、34、 35、38、40	NC	これらのピンは接続しないでください。
18	25	R3 <sub>SENSE</sub>	このピンとBOOSTピンの間で測定される電圧は出力電流に比例するため、モニタ/帰還機能として使用することができます。このピンから電流を取り出すことはできません。AD5410/AD5420の機能のセクションを参照してください。
19	26	I <sub>OUT</sub>	電流出力ピン。
20	27	BOOST	オプションの外付けトランジスタの接続。外付けトランジスタを接続すると、AD5410/AD5420の消費電力が削減されます。AD5410/AD5420の機能のセクションを参照してください。
21	28	CAP1	オプションの出力フィルタ・コンデンサの接続。AD5410/AD5420の機能のセクションを参照してください。
22	29	CAP2	オプションの出力フィルタ・コンデンサの接続。AD5410/AD5420の機能のセクションを参照してください。
24	36	AV <sub>DD</sub>	正のアナログ電源ピン。電圧範囲は 10.8 V~40 V。
25 (EPAD)	41 (EPAD)	Exposed pad	グラウンド基準接続。熱性能強化のために、エクスポーズド・パッドを銅プレーンへ熱的に接続することが推奨されます。

## 代表的な性能特性

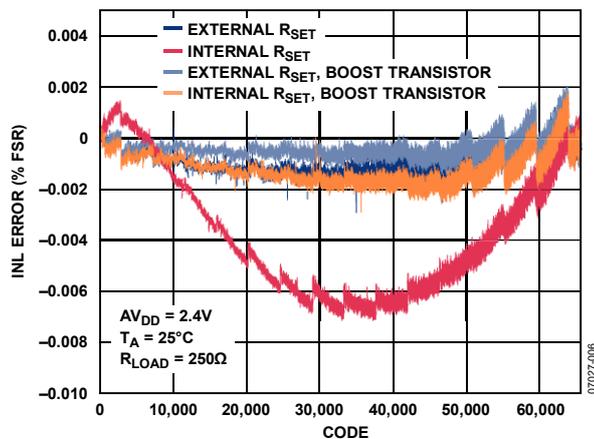


図 7.コード対積分非直線性誤差

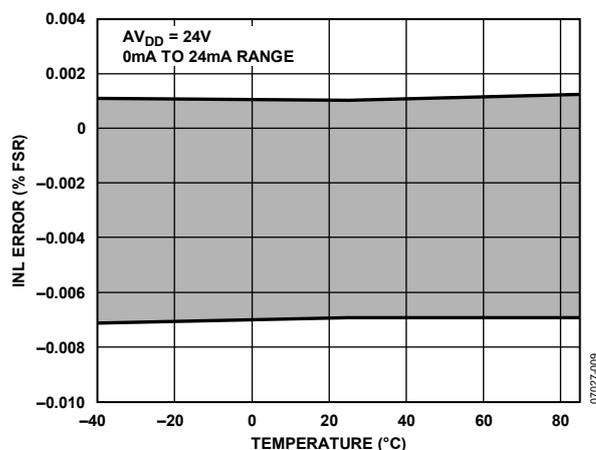


図 10.積分非直線性誤差の温度特性、内蔵 RSET

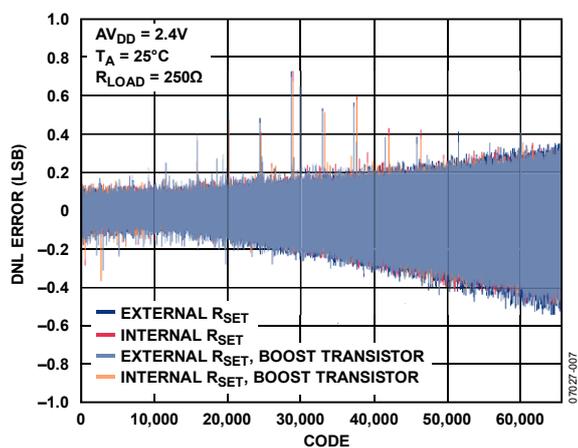


図 8.コード対微分非直線性誤差

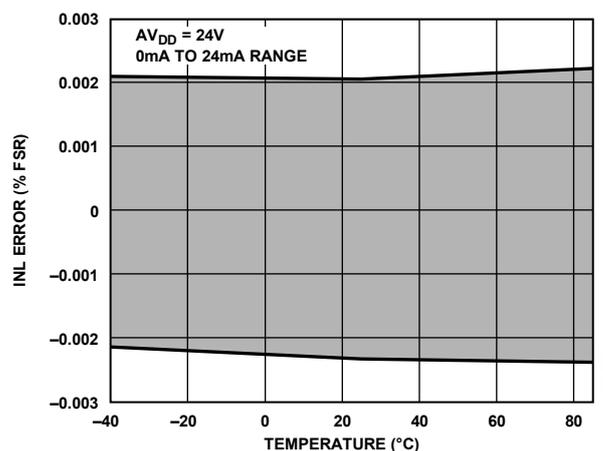


図 11.積分非直線性誤差の温度特性、外付け RSET

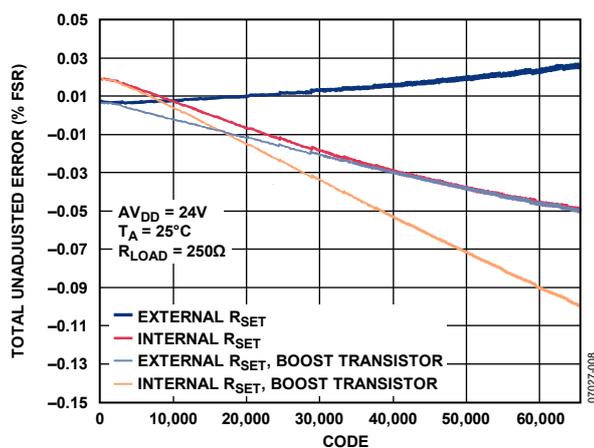


図 9.コード対総合未調整誤差

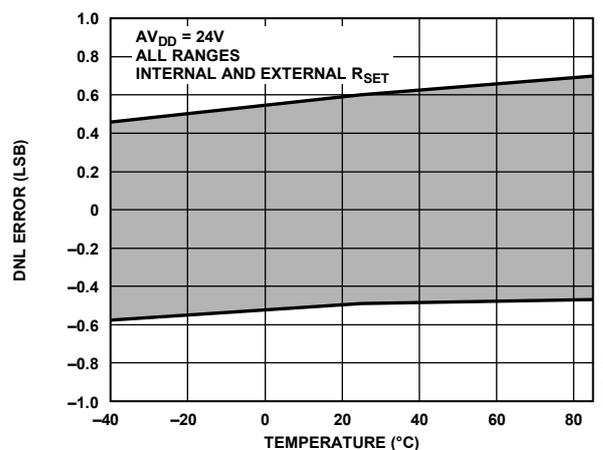


図 12.微分非直線性誤差の温度特性

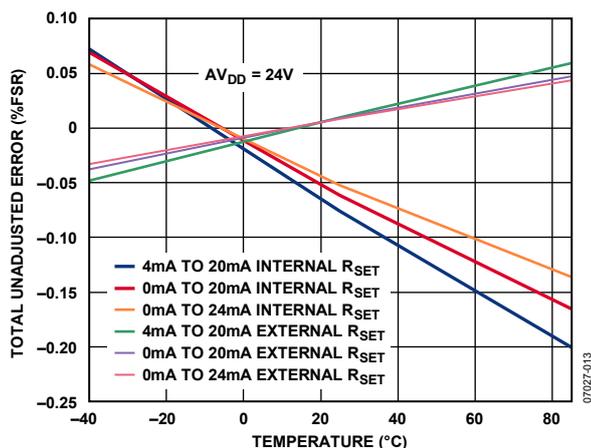


図 13.総合未調整誤差の温度特性

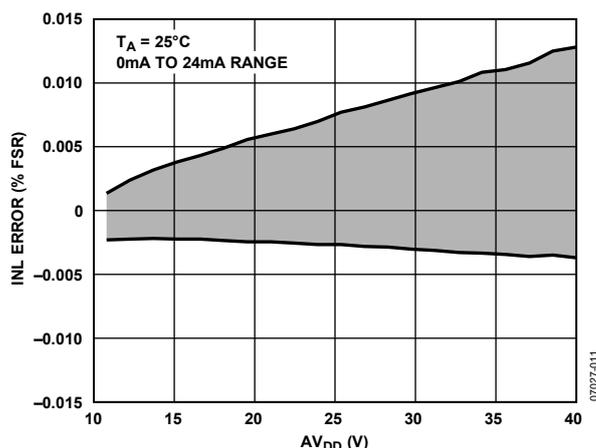


図 16.AV<sub>DD</sub> 対積分非直線性誤差、外付け R<sub>SET</sub>

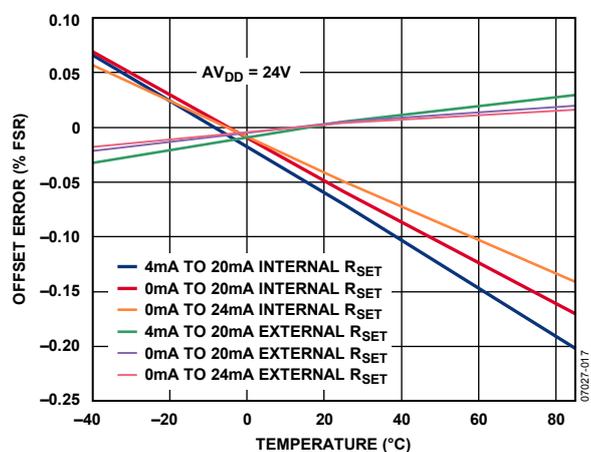


図 14.オフセット誤差の温度特性

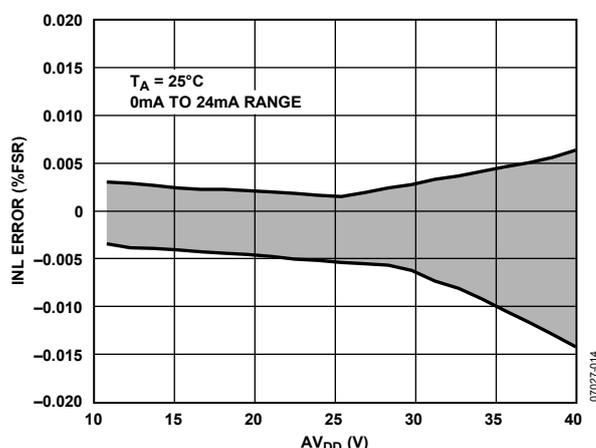


図 17.AV<sub>DD</sub> 対積分非直線性誤差、内蔵 R<sub>SET</sub>

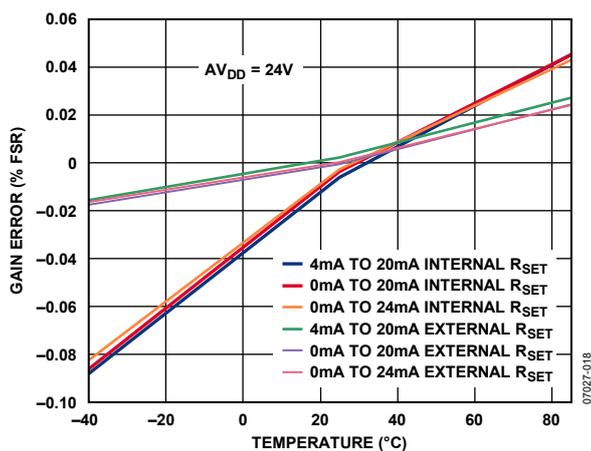


図 15.ゲイン誤差の温度特性

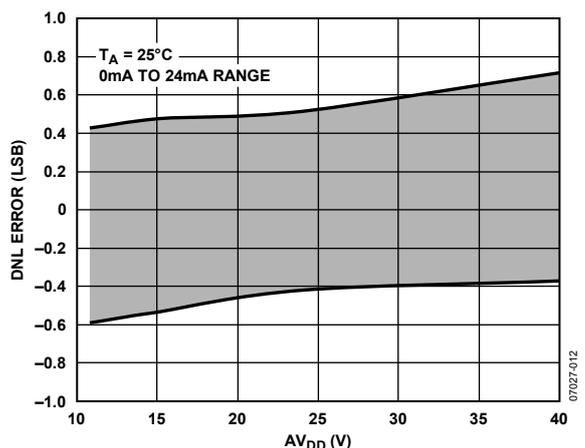


図 18.AV<sub>DD</sub> 対微分非直線性誤差、外付け R<sub>SET</sub>

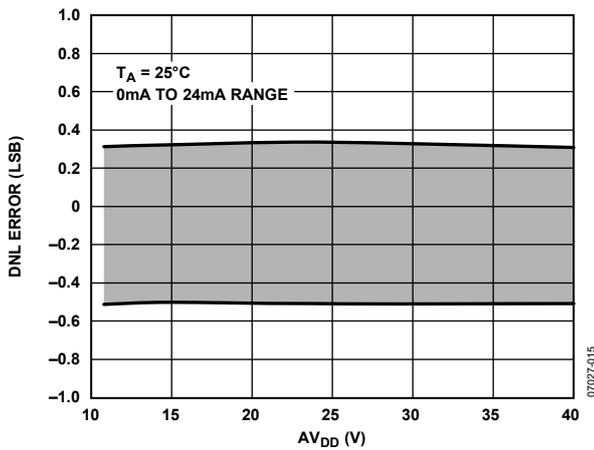


図 19. AV<sub>DD</sub> 対微分非直線性誤差、内蔵 R<sub>SET</sub>

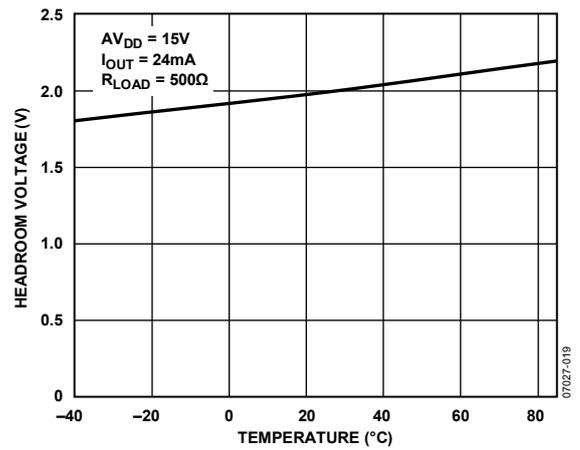


図 22. コンプライアンス電圧ヘッドルームの温度特性

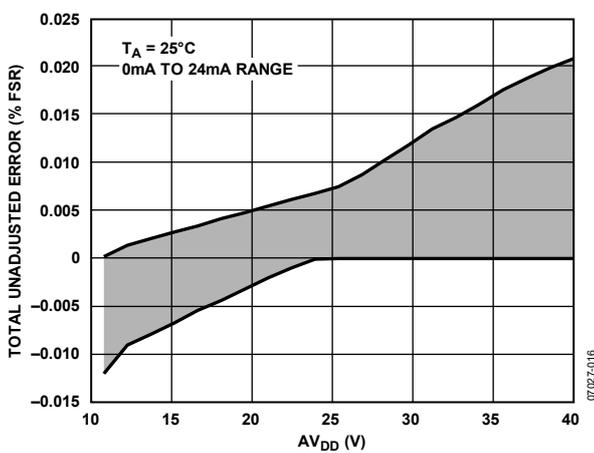


図 20. AV<sub>DD</sub> 対総合未調整誤差、外付け R<sub>SET</sub>

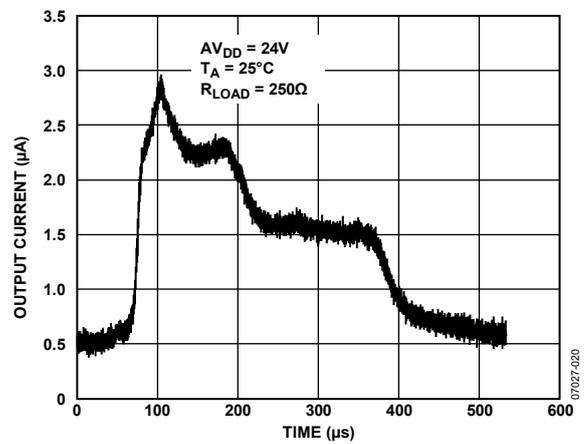


図 23. パワーアップ時間対出力電流

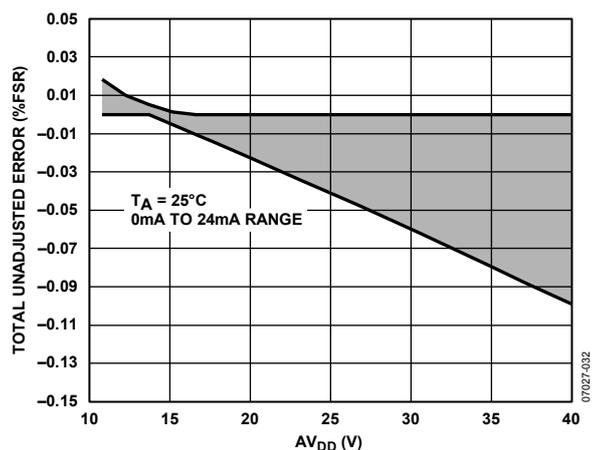


図 21. AV<sub>DD</sub> 対総合未調整誤差、内蔵 R<sub>SET</sub>

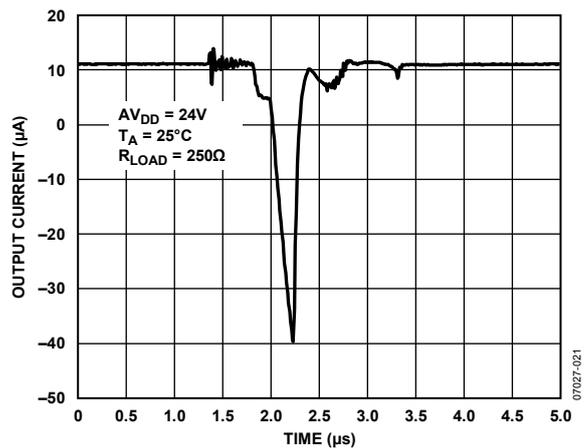


図 24. 出力イネーブル時間対出力電流

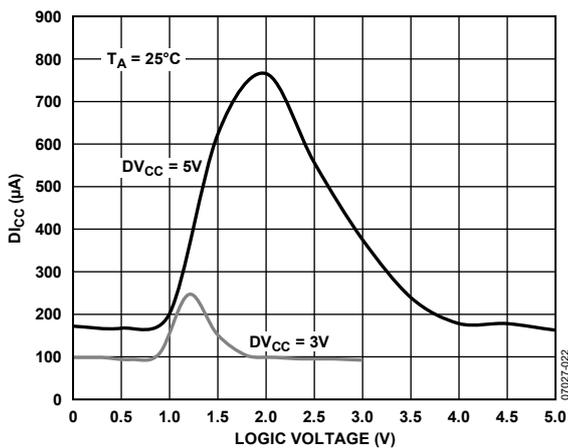


図 25. ロジック入力電圧対  $D_{I_{CC}}$

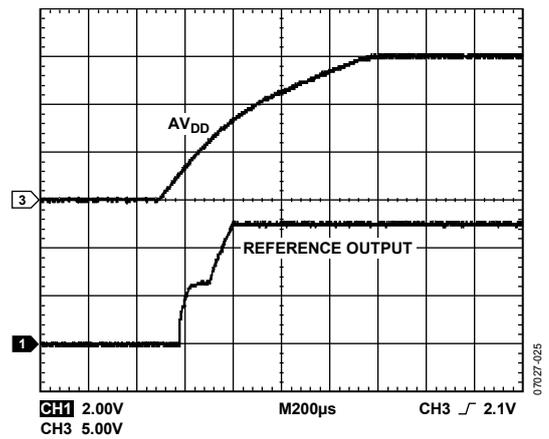


図 28. リファレンス電圧のターンオン過渡

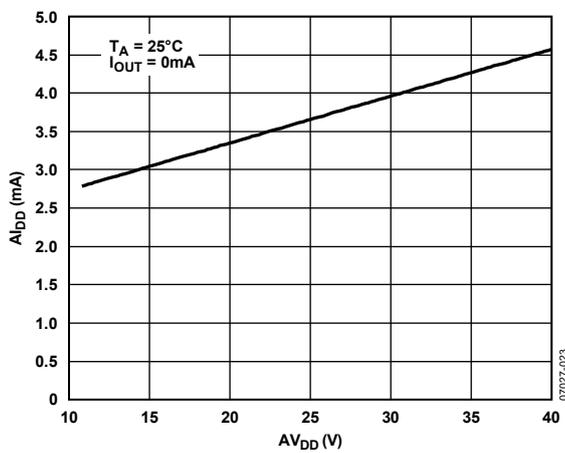


図 26.  $AV_{DD}$  対  $A_{I_{DD}}$

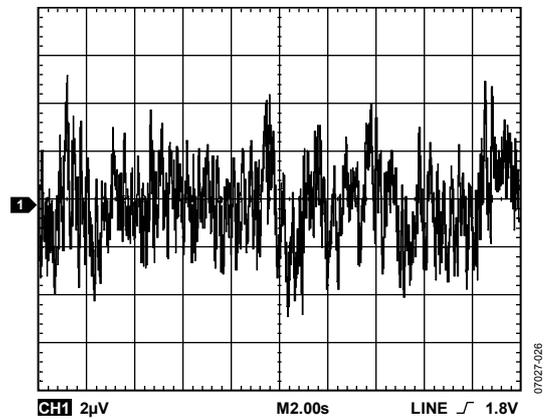


図 29. リファレンス電圧ノイズ (0.1 Hz ~ 10 Hz 帯域幅)

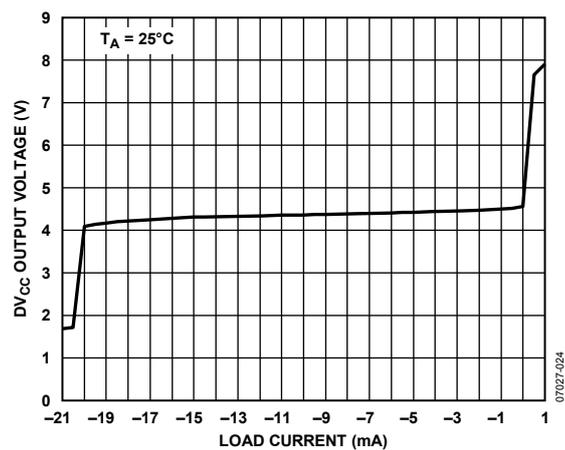


図 27. 負荷電流対  $DV_{CC}$  出力電圧

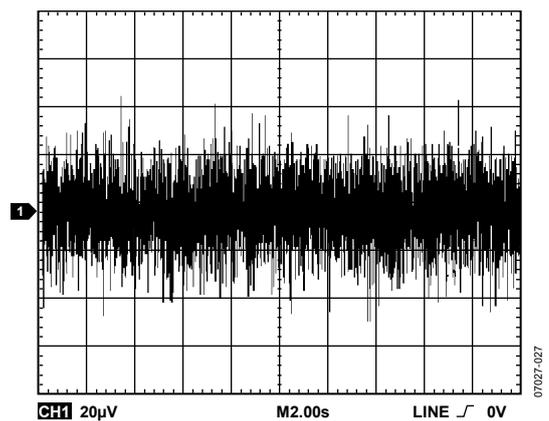


図 30. リファレンス電圧ノイズ (100 kHz 帯域幅)

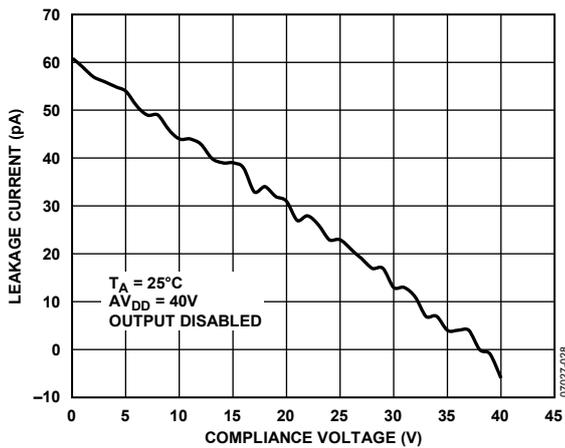


図 31.コンプライアンス電圧対出力リーク電流

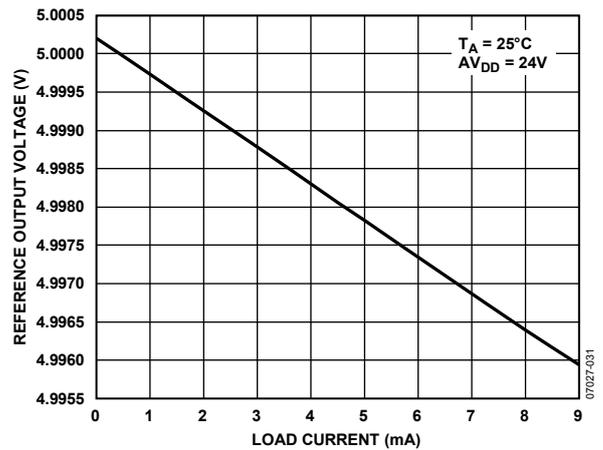


図 34.負荷電流対リファレンス出力電圧

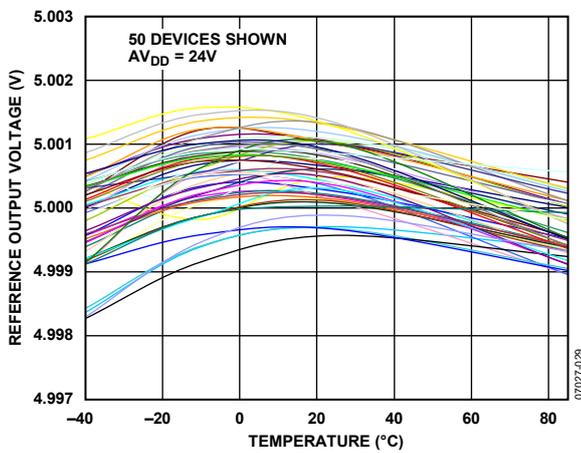


図 32.リファレンス出力電圧の温度特性

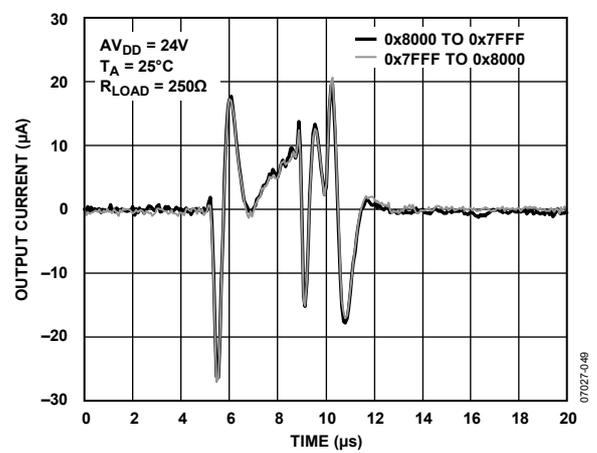


図 35.D/A グリッチ

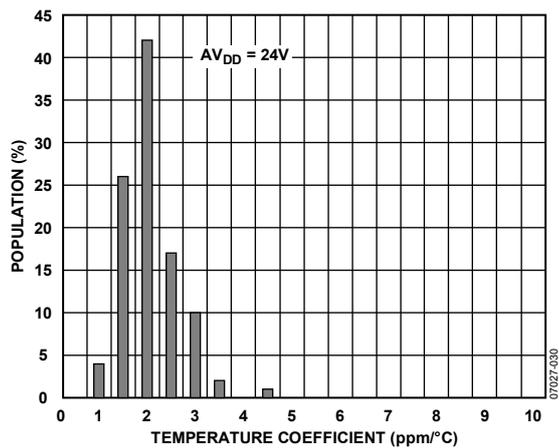


図 33.リファレンス電圧温度係数のヒストグラム

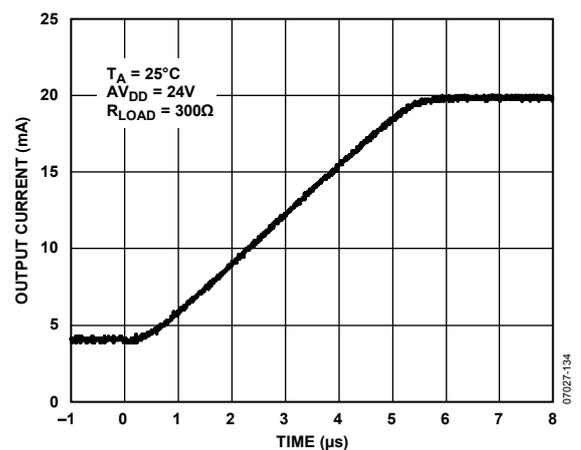


図 36.4 mA から 20 mA への出力電流ステップ

## 用語

### 相対精度または積分非直線性(INL)

DACの場合、相対精度すなわち積分非直線性(INL)は、DAC伝達関数の上下両端を結ぶ直線からの最大乖離(%FSRで表示)を表します。INL(typ)対コードのプロットを図7に示します。

### 微分非直線性(DNL)

微分非直線性(DNL)は、隣接する2つのコードの間における測定された変化と理論的な1LSB変化との差をいいます。最大±1LSBの微分非直線性の仕様は、単調性を保証するものです。このDACはデザインにより単調性を保証しています。代表的なDNL対コードについては図8を参照してください。

### 総合未調整誤差(TUE)

総合未調整誤差(TUE)は、すべての誤差を考慮した出力誤差、すなわちINL誤差、オフセット誤差、ゲイン誤差、電源と温度に対する出力ドリフトを表し、%FSRで表されます。代表的なコード対TUEについては図9を参照してください。

### 単調性

デジタル入力コードを増加させたとき、出力が増加するか不変である場合に、DACは単調であるといえます。AD5410/AD5420は全動作温度範囲で単調です。

### フルスケール誤差

フルスケール誤差は、フルスケール・コードをデータ・レジスタにロードしたときの出力誤差として測定されます。理論的には出力はフルスケール-1LSBである必要があります。フルスケール誤差はフルスケール範囲のパーセント値(%FSR)で表します。

### フルスケール誤差温度係数(TC)

フルスケール誤差の温度変化を表します。フルスケール誤差TCはppmFSR/°Cで表わされます。

### ゲイン誤差

DACのスパン誤差を表します。理論DAC伝達特性傾斜からの変位を表し、DAC出力の%FSRで表示されます。ゲイン誤差の温度特性を図15に示します。

### ゲイン誤差温度係数(TC)

ゲイン誤差の温度変化を表します。ppmFSR/°Cで表されます。

### 電流ループ・コンプライアンス電圧

出力電流が設定値に一致するときのI<sub>OUT</sub>ピンの最大電圧です。

### 電源除去比(PSRR)

PSRRは、電源電圧変化のDAC出力に対する影響を表します。

### リファレンス電圧温度係数(TC)

温度変化に対するリファレンス出力電圧の変化を意味し、リファレンス電圧TCはボックス法を使って計算されます。この方法では、与えられた温度範囲でのリファレンス出力の最大変化としてTCを定義し、次式のようにppm/°Cで表わします。

$$TC = \left[ \frac{V_{REFmax} - V_{REFmin}}{V_{REFnom} \times TempRange} \right] \times 10^6$$

ここで、

$V_{REFmax}$  は全温度範囲で測定した最大リファレンス出力。

$V_{REFmin}$  は全温度範囲で測定した最小リファレンス出力。

$V_{REFnom}$  は公称リファレンス出力電圧、5V。

$TempRange$  は規定の温度範囲、-40°C~+85°C。

### リファレンス負荷レギュレーション

負荷レギュレーションは負荷電流の規定された変化による出力リファレンス電圧の変化を意味し、ppm/mAで表わされます。

## 動作原理

AD5410/AD5420 は、工業用制御アプリケーションの要求を満たすようにデザインされた高精度デジタルを電流ループ出力に変換するコンバータです。電流ループ信号を発生する、高精度フル統合低価格のシングルチップ・ソリューションです。電流範囲は、0 mA~20 mA、0 mA~24 mA、4 mA~20 mA です。出力構成はコントロール・レジスタを使って選択することができます。

### アーキテクチャ

AD5410/AD5420 のDACコアのアーキテクチャは、2 つの一致したDACセクションから構成されています。簡略化した回路図を図 37 に示します。12 ビットまたは 16 ビットのデータ・ワードの上位 4 ビットはデコードされて、15 個のスイッチ(E1~E15)を駆動します。これらの各スイッチは、15 個の一致した抵抗の 1 つをグラウンドまたはリファレンス・バッファ出力に接続します。データ・ワードの残りの 8/12 ビットは、8/12 ビット電圧モード R-2R ラダー回路のスイッチ S0~S7 またはスイッチ S0~S11 を駆動します。

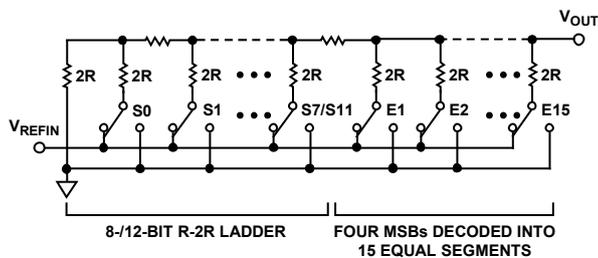


図 37. DAC のラダー構造

DAC コアの電圧出力は電流に変換されます(図 38)。次に、アプリケーションからグラウンドに対する電流源出力として見えるように、電源レールにミラーされます。

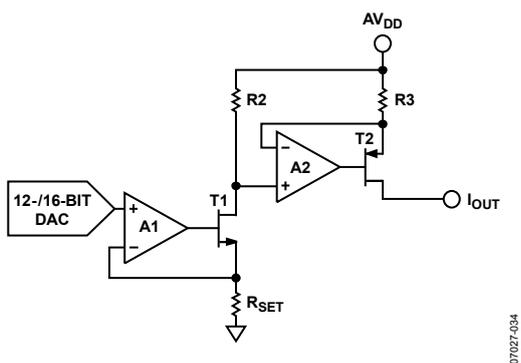


図 38. 電圧/電流変換回路

### シリアル・インターフェース

AD5410/AD5420 は、最大 30 MHz のクロック・レートで動作する多機能 3 線式シリアル・インターフェースを介して制御されます。このインターフェースは、SPI、QSPI、MICROWIRE、DSP 規格と互換性を持っています。

### 入力シフトレジスタ

入力シフトレジスタは 24 ビット幅です。データは、シリアル・クロック入力 SCLK の制御のもとで 24 ビット・ワードとして MSB ファーストでデバイスに入力されます。データは SCLK の立上がりエッジで入力されます。入力シフトレジスタは、8 ビ

ットのアドレス・ビットと 16 ビットのデータビットで構成されています(表 6 参照)。24 ビット・ワードは、LATCH の立上がりエッジで無条件にラッチされます。データは、LATCH の状態に無関係に連続して入力されます。LATCH の立上がりエッジで、入力シフトレジスタへデータがラッチされます。すなわち、LATCH の立上がりエッジの前に入力される直前の 24 ビットがラッチされるデータです。図 2 に、動作タイミング図を示します。

### スタンドアロン動作

このシリアル・インターフェースは、連続および非連続の SCLK で動作します。正しい数のデータ・ビットを入力した後に、LATCH をハイ・レベルに維持することが可能な場合にのみ、連続 SCLK ソースを使用することができます。ゲートド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、データをラッチする最後のクロックの後に LATCH をハイ・レベルにしてデータをラッチする必要があります。データ・ワードの MSB を入力する SCLK の最初の立上がりエッジにより、書込みサイクルの開始を表示します。LATCH をハイ・レベルにする前に、24 個の立ち上がりクロック・エッジを SCLK に入力する必要があります。24 番目の立上がり SCLK エッジの前に LATCH をハイ・レベルにすると、書込まれたデータは無効になります。LATCH をハイ・レベルにする前に、24 個より多くの立上がり SCLK エッジを入力した場合も、入力データは無効になります。

表 6. 入力シフトレジスタのフォーマット

MSB		LSB
DB23 to DB16	DB15 to DB0	
Address byte	Data-word	

表 7. アドレス・バイトの機能

Address Byte	Function
00000000	No operation (NOP)
00000001	Data register
00000010	Readback register value as per read address (see Table 8)
01010101	Control register
01010110	Reset register

### ディジーチェーン動作

複数のデバイスを使うシステムでは、SDO ピンを使って複数のデバイスをディジーチェーン接続することができます(図 39 参照)。このディジーチェーン・モードは、システム診断とシリアル・インターフェースのライン数の削減に有効です。ディジーチェーン・モードは、コントロール・レジスタの DCEN ビットをセットしてイネーブルします。データ・ワードの MSB を入力する SCLK の最初の立上がりエッジにより、書込みサイクルの開始を表示します。SCLK は、連続的に入力シフトレジスタに入力されます。24 個を超えるクロック・パルスが入力されると、データは入力シフトレジスタからはみ出して、SDO ピンに出力されます。このデータは前の立上がり SCLK エッジで出力され、SCLK の立上がりエッジで有効になります。最初のデバイスの SDO をチェーン内にある次のデバイスの SDIN 入力に接続すると、複数デバイスのインターフェースが構成されます。システム内の各デバイスは、24 個のクロック・パルスを必要とします。したがって、必要な合計クロック・サイクル数は  $24 \times N$  になります。ここで、N はチェーン内の AD5410/AD5420 の合計デバイス数です。すべてのデバイスに対するシリアル転送が完了したら、LATCH をハイ・レベルにします。これにより、入力データがデ

イジーチェーン内の各デバイスにラッチされます。シリアル・クロックとしては、連続クロックまたは不連続クロックが可能です。

正しいクロック・サイクル数間、LATCHをハイ・レベルに維持することが可能な場合にのみ、連続SCLKソースを使用することができます。ゲートド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、データをラッチする最後のクロックの後にLATCHをハイ・レベルにしてデータをラッチする必要があります。タイミング図については図4を参照してください。

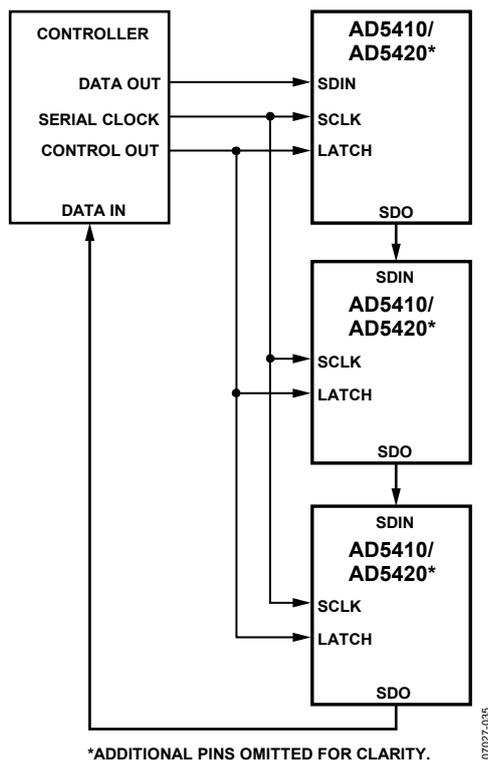


図 39. AD5410/AD5420 のディジーチェーン接続

### リードバック動作

入力シフトレジスタに書込む際に表9と表8に示すように、アドレス・バイトと読出しアドレスを設定すると、リードバック・モードが開始されます。AD5410/AD5420 に対する次の書込みは NOP コマンドである必要があります。このコマンドは、前にアドレス指定されたレジスタからデータを出力します (図3参照)。デフォルトで、SDO ピンはディスエーブルされています。AD5410/AD5420 をアドレス指定して読出し動作にした後、LATCHの立上がりエッジで、データが出力されていると見なしてSDO ピンがイネーブルされます。データがSDOに出力された後、LATCHの立上がりエッジでSDO ピンが再度ディスエーブル (スリー・ステート) されます。データ・レジスタをリードバックするときは、例えば、次のシーケンスを実行します。

1. AD5410/AD5420 入力シフトレジスタに 0x020001 を書込みます。この動作により、デバイスが読出しモードに設定され、データ・レジスタが選択されます。
2. 次に、2番目の書込みで NOP 状態 0x000000 を書込みます。この書込みで、データ・レジスタからのデータが SDO ラインへ出力されます。

表 8. 読出しアドレスのデコーディング

Read Address	Function
00	Read status register
01	Read data register
10	Read control register

表 9. 読出し動作での入力シフト・レジスタ値

MSB											LSB	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15 to DB2			DB1	DB0
0	0	0	0	0	0	1	0	X <sup>1</sup>			Read address	

<sup>1</sup> X = don't care.

## パワーオン状態

AD5410/AD5420 がパワーオンすると、パワーオン・リセット回路により、すべてのレジスタにゼロ・コードがロードされます。このため、出力がディスエーブルされます(スリー・ステート)。またパワーオン時に、内蔵キャリブレーション・レジスタが読出され、データが内蔵キャリブレーション回路へ入力されます。信頼度の高い読出し動作のためには、DV<sub>CC</sub> 電源のパワーアップにより読出しイベントがトリガされたとき、AV<sub>DD</sub> 電源に十分な電圧が存在する必要があります。AV<sub>DD</sub> 電源の後に DV<sub>CC</sub> 電源を上げると、これが保証されます。DV<sub>CC</sub> と AV<sub>DD</sub> が同時にパワーアップする場合、または内部 DV<sub>CC</sub> がイネーブルされる場合、電源は 500 V/sec (typ) または 50 ms あたり 24 V 以上のレートでパワーアップする必要があります。これを実現できない場合は、パワーオン後に AD5410/AD5420 へリセット・コマンドを発行してください。これによりパワーオン・リセット・イベントが実行されて、キャリブレーション・レジスタが読出され、AD5410/AD5420 の規定の動作が確実に実行されます。

## 伝達関数

0 mA ~ 20 mA、0 mA ~ 24 mA、4 mA ~ 20 mA の電流出力範囲に対して、それぞれの出力電流は次のように表わされます。

$$I_{OUT} = \left[ \frac{20 \text{ mA}}{2^N} \right] \times D$$

$$I_{OUT} = \left[ \frac{24 \text{ mA}}{2^N} \right] \times D$$

$$I_{OUT} = \left[ \frac{16 \text{ mA}}{2^N} \right] \times D + 4 \text{ mA}$$

ここで、  
D は、DAC にロードされるコードの 10 進数表示。  
N は DAC の分解能。

表 12. AD5410 データ・レジスタの書き込み

MSB													LSB			
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
12-bit data-word													X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>

<sup>1</sup> X = don't care

表 13. AD5420 データ・レジスタの書き込み

MSB													LSB			
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
16-bit data-word																

表 14. コントロール・レジスタの設定

MSB													LSB			
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	REXT	OUTEN	SR clock					SR step			SREN	DCEN	R2	R1	R0

## データ・レジスタ

入力シフトレジスタのアドレス・バイトに 0x01 を設定すると、データ・レジスタがアドレス指定されます。データ・レジスタに書込まれたデータは、AD5410 では DB15 ~ DB4 に、AD5420 では DB15 ~ DB0 に、それぞれ入力されます(それぞれ表 12 と表 13 参照)。

## コントロール・レジスタ

入力シフトレジスタのアドレス・バイトに 0x55 を設定すると、コントロール・レジスタがアドレス指定されます。コントロール・レジスタへ書込まれたデータは DB15 ~ DB0 に入力されます(表 14 参照)。コントロール・レジスタ・ビットの機能を表 10 に示します。

表 10. コントロール・レジスタ・ビットの機能

Bit	Description
REXT	Setting this bit selects the external current setting resistor. See the AD5410/AD5420 Features section for further details.
OUTEN	Output enable. This bit must be set to enable the output.
SR Clock	Digital slew rate control. See the AD5410/AD5420 Features section.
SR Step	Digital slew rate control. See the AD5410/AD5420 Features section.
SREN	Digital slew rate control enable.
DCEN	Daisy-chain enable.
R2, R1, R0	Output range select. See Table 11.

表 11. 出力範囲の選択肢

R2	R1	R0	Output Range Selected
1	0	1	4 mA to 20 mA current range
1	1	0	0 mA to 20 mA current range
1	1	1	0 mA to 24 mA current range

## リセット・レジスタ

入力シフトレジスタのアドレス・バイトに 0x56 を設定すると、リセット・レジスタがアドレス指定されます。リセット・レジスタには、1 ビットのリセット・ビット(DB0)があります(表 16 参照)。このビットにロジック・ハイを書込むと、リセット動作が実行されて、デバイスはパワーオン状態に戻されます。

## ステータス・レジスタ

ステータス・レジスタは読出し専用レジスタです。ステータス・レジスタのビット機能を表 15 と表 17 に示します。

表 16. リセット・レジスタの書込み

MSB														LSB	
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Reserved															Reset

表 17. ステータス・レジスタのデコーディング

MSB													LSB		
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Reserved													I <sub>OUT</sub> fault	Slew active	Overtemp

表 15. ステータス・レジスタ・ビットの機能

Bit	Description
I <sub>OUT</sub> Fault	This bit is set if a fault is detected on the I <sub>OUT</sub> pin.
Slew Active	This bit is set while the output value is slewing (slew rate control enabled).
Overtemp	This bit is set if the AD5410/AD5420 core temperature exceeds approximately 150°C.

## AD5410/AD5420の機能

### 故障警告

AD5410/AD5420 には  $\overline{\text{FAULT}}$  ピンがあります。このオープン・ドレイン出力ピンを使うと、複数のAD5410/AD5420 デバイスを1本のプルアップ抵抗で接続してグローバル故障検出行うことができます。次の故障時に  $\overline{\text{FAULT}}$  ピンはアクティブになります。

- 断線または不十分な電源電圧のために  $I_{\text{OUT}}$  の電圧がコンプライアンス範囲を超えようとしている。  $I_{\text{OUT}}$  電流は、PMOS トランジスタと内蔵アンプから制御されます(図 38 参照)。故障出力を発生する内部回路では、ウィンドウ制限機能を持つコンパレータの使用を回避しています。これを使用すると、実際にエラーが出力されてしまった後に  $\overline{\text{FAULT}}$  出力がアクティブになるためです。その代わりに、出力ステージの内蔵アンプが駆動能力の約 1V 下になったとき(出力 PMOS トランジスタのゲートがグラウンドに近づいたとき)、信号を発生します。このため、 $\overline{\text{FAULT}}$  出力はコンプライアンス規定値に到達する少し前にアクティブになります。出力アンプの帰還ループ内で比較が行われるため、出力精度はオープン・ループ・ゲインにより維持されるので、 $\overline{\text{FAULT}}$  出力がアクティブになる前に出力エラーが発生されることはありません。
- AD5410/AD5420 のコア温度が約 150°C を超える。

$I_{\text{OUT}}$  故障、ステータス・レジスタの  $\overline{\text{Overtemp}}$  ビット、 $\overline{\text{FAULT}}$  ピンとの組み合わせを使って、 $\overline{\text{FAULT}}$  ピンのアサート原因となった故障状態が通知されます。表 17 と表 15 を参照してください。

### 非同期クリア (CLEAR)

CLEAR はアクティブ・ハイのクリアで、電流出力を設定された範囲の下限に設定します。動作を完了するためには、CLEAR を最小時間ハイ・レベルに維持する必要があります(図 2 参照)。CLEAR 信号がロー・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します。データを入力せずに LATCH にロー・パルス信号を入力すると、プリクリア値に戻すことができます。CLEAR ピンがロー・レベルに戻るまで、新しい値を書込むことはできません。

### 内蔵リファレンス電圧

AD5410/AD5420 は +5 V のリファレンス電圧を内蔵しています。初期精度は最大  $\pm 5$  mV で温度ドリフト係数は最大 10 ppm/°C です。このリファレンス電圧は外部でバッファすると、システム内で使用することができます。内蔵リファレンス電圧の負荷レギュレーションのグラフについては、図 34 を参照してください。

### 電流設定外付け抵抗

図 38 に示す  $R_{\text{SET}}$  は、電圧/電流変換回路の一部を構成する内蔵検出抵抗です。温度に対する出力電流の安定性は、 $R_{\text{SET}}$  値の安定性に依存します。外付けの高精度 15 k $\Omega$  低ドリフト抵抗を AD5410/AD5420 の  $R_{\text{SET}}$  ピンとグラウンドの間に接続することができます。これにより、AD5410/AD5420 の全体性能を向上させることができます。外付け抵抗は、コントロール・レジスタを使って選択することができます。図 56 を参照してください。

### デジタル電源

デフォルトでは、 $DV_{\text{CC}}$  ピンは 2.7 V ~ 5.5 V の電源を受け付けます。代わりに、 $DV_{\text{CC}} \text{ SELECT}$  ピンを使って内蔵 4.5 V 電源を  $DV_{\text{CC}}$  ピンに出力させて、システム内の他のデバイスのデジタル電源として、またはプルアップ抵抗の終端として使用することができます。この機能には、アイソレーション障壁を超えてデジタル電源を持ち込まなくて済む利点があります。 $DV_{\text{CC}} \text{ SELECT}$  ピンを未接続のままにすることにより、内蔵電源をイネーブリングすることができます。内蔵電源をディスエーブルするときは、 $DV_{\text{CC}} \text{ SELECT}$  を 0 V に接続します。 $DV_{\text{CC}}$  は最大 5 mA の電流を供給することができます。負荷レギュレーションのグラフについては、図 27 を参照してください。

### 外付けブースト機能

外付けブースト・トランジスタを使うと(図 40 参照)、内蔵出力トランジスタに流入する電流を減らすことにより、AD5410/AD5420 内の消費電力を削減することができます。ブレークダウン電圧  $BV_{\text{CEO}}$  が 40 V より大きいディスクリット NPN トランジスタを使うことができます。

外付けブースト機能は、AD5410/AD5420 を電源電圧、負荷電流、温度範囲の限界で使用したいユーザのために開発されました。ブースト・トランジスタは、デバイス内で発生する温度ドリフトを削減するためにも使用することができます。これにより内蔵リファレンス電圧の温度ドリフトが小さくなるため、ドリフトと直線性が改善されます。

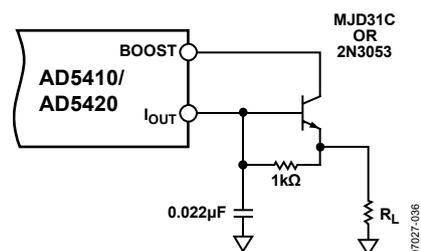


図 40. 外付けブースト構成

## デジタル・スルーレートの制御

AD5410/AD5420 のスルーレート制御機能により、出力電流が変化するレートを制御することができます。スルーレート制御機能をディスエーブルすると、出力電流は 10  $\mu$ s で約 16 mA のレートで変化します (図 36 参照)。これは負荷条件により変わります。スルーレートを小さくするときは、スルーレート制御機能をイネーブルします。コントロール・レジスタの SREN ビットを使ってこの機能をイネーブルすると (表 14 参照)、出力は直接 2 つの値の間で変化する代わりに、コントロール・レジスタを使ってアクセスされる 2 つのパラメータで指定されるレートでデジタル的にステップします (表 14 参照)。このパラメータは SR クロックと SR ステップです。SR クロックはデジタル・スルーが更新されるレートを指定し、SR ステップは各更新で出力値が変化する大きさを指定します。両パラメータの組み合わせで、出力電流の変化するレートが指定されます。表 18 と表 19 に、SR クロック・パラメータと SR ステップ・パラメータの値の範囲を示します。図 41 に、10 ms、50 ms、100 ms のランプ時間に対する出力電流の変化を示します。

表 18. スルーレート更新クロックの値

SR Clock	Update Clock Frequency (Hz)
0000	257,730
0001	198,410
0010	152,440
0011	131,580
0100	115,740
0101	69,440
0110	37,590
0111	25,770
1000	20,160
1001	16,030
1010	10,290
1011	8280
1100	6900
1101	5530
1110	4240
1111	3300

表 19. スルーレート・ステップ・サイズ・オプション

SR Step	AD5410 Step Size (LSB)	AD5420 Step Size (LSB)
000	1/16	1
001	1/8	2
010	1/4	4
011	1/2	8
100	1	16
101	2	32
110	4	64
111	8	128

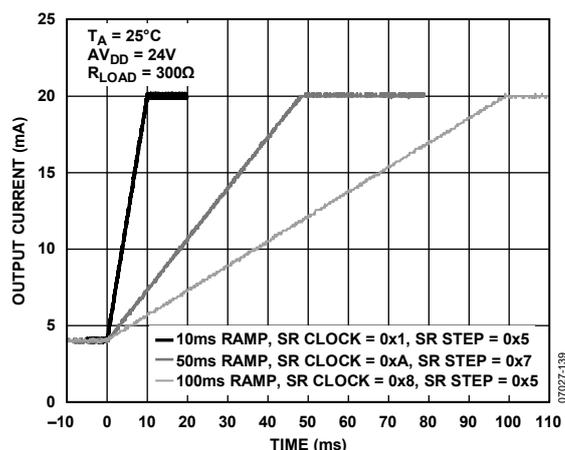


図 41. デジタル・スルーレート制御機能から制御される出力電流変化

与えられた出力範囲で出力電流の変化に要する時間は次のように表わされます。

$$\text{Slew Time} = \frac{\text{Output Change}}{\text{Step Size} \times \text{Update Clock Frequency} \times \text{LSB Size}} \quad (1)$$

ここで、

Slew Time の単位は sec。

Output Change の単位はアンペア。

スルーレート制御機能をイネーブルすると、すべての出力変化が設定されたスルーレートで変化します。CLEAR ピンがアサートされると、出力は設定されたスルーレートでゼロスケール値へ変化します。コントロール・レジスタに対する書込みにより、出力電流値を保持させることができます。出力変化の停止を避けるときは、Slew active ビットを讀出して、任意の AD5410/AD5420 レジスタに対する書込みの前に変化が完了していたか否かをチェックすることができます (表 17 参照)。与えられた値に対する更新クロック周波数は、すべての出力範囲に対して同じです。ただし、ステップ・サイズはステップ・サイズの与えられた値に対して出力範囲により変わります。これは LSB サイズが各出力範囲に対して異なるためです。表 20 に、任意の出力範囲でのフルスケール変化に対するプログラマブルな変化時間の範囲を示します。表 20 の値は、式 1 を使って求めたものです。デジタル・スルーレート制御機能により、電流出力で階段が形成されます (図 45 参照)。図 45 に、CAP1 ピンと CAP2 ピンに、コンデンサを接続することにより階段を除去する方法を示します ( $I_{OUT}$  のフィルタリング・コンデンサのセクションの説明参照)。

表 20. 任意の出力範囲でのフルスケール変化に対するプログラマブルな変化時間値(sec)

Update Clock Frequency (Hz)	Step Size (LSBs)							
	1	2	4	8	16	32	64	128
257,730	0.25	0.13	0.06	0.03	0.016	0.008	0.004	0.0020
198,410	0.33	0.17	0.08	0.04	0.021	0.010	0.005	0.0026
152,440	0.43	0.21	0.11	0.05	0.027	0.013	0.007	0.0034
131,580	0.50	0.25	0.12	0.06	0.031	0.016	0.008	0.0039
115,740	0.57	0.28	0.14	0.07	0.035	0.018	0.009	0.0044
69,440	0.9	0.47	0.24	0.12	0.06	0.03	0.015	0.007
37,590	1.7	0.87	0.44	0.22	0.11	0.05	0.03	0.014
25,770	2.5	1.3	0.64	0.32	0.16	0.08	0.04	0.020
20,160	3.3	1.6	0.81	0.41	0.20	0.10	0.05	0.025
16,030	4.1	2.0	1.0	0.51	0.26	0.13	0.06	0.03
10,290	6.4	3.2	1.6	0.80	0.40	0.20	0.10	0.05
8280	7.9	4.0	2.0	1.0	0.49	0.25	0.12	0.06
6900	9.5	4.8	2.4	1.2	0.59	0.30	0.15	0.07
5530	12	5.9	3.0	1.5	0.74	0.37	0.19	0.09
4240	15	7.7	3.9	1.9	0.97	0.48	0.24	0.12
3300	20	9.9	5.0	2.5	1.24	0.62	0.31	0.16

### I<sub>OUT</sub>のフィルタリング・コンデンサ

CAP1 とAV<sub>DD</sub>の間およびCAP2 とAV<sub>DD</sub>の間にコンデンサを接続することができます(図 42参照)。

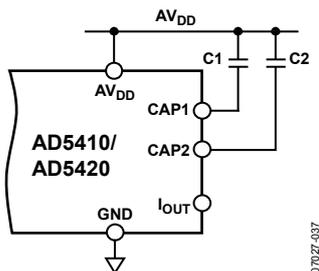


図 42. I<sub>OUT</sub>のフィルタリング・コンデンサ

このコンデンサは電流出力回路にフィルタを形成します(図 43参照)。図 44 に、出力電流のスルー・レートに対するこのコンデンサの効果を示します。変化レートを大幅に低下させるためには、非常に大きなコンデンサ値が必要で、アプリケーションによっては適さない場合があります。この場合には、デジタル・スルーレート制御機能を使用する必要があります。コンデンサとデジタル・スルーレート制御機能の組み合わせを使って、デジタル・コードのインクリメントから発生するステップを滑らかにすることができます(図 45参照)。

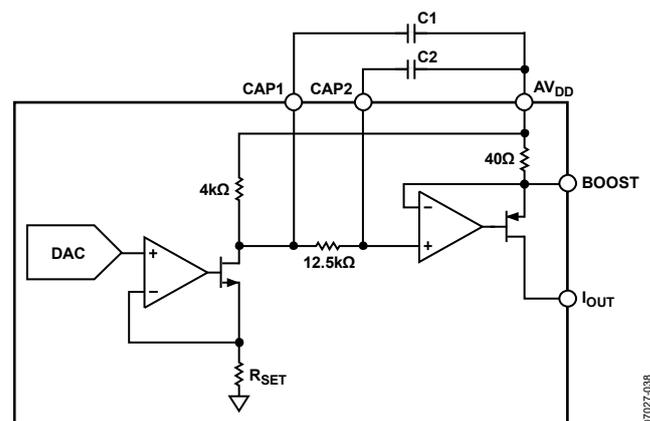


図 43. I<sub>OUT</sub>のフィルタ回路

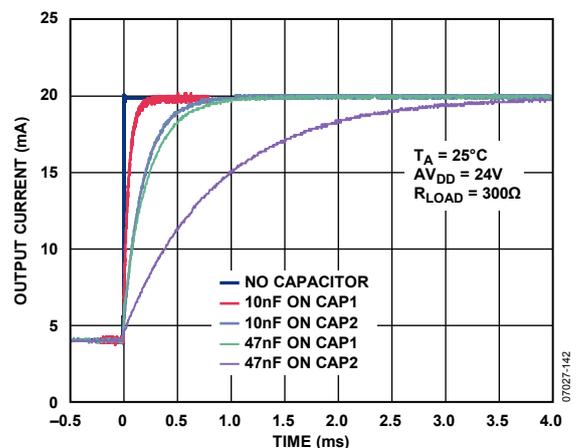


図 44. 外付けコンデンサを CAP1 ピンと CAP2 ピンに使用して変化を制御した 4 mA から 20 mA への出力電流ステップ

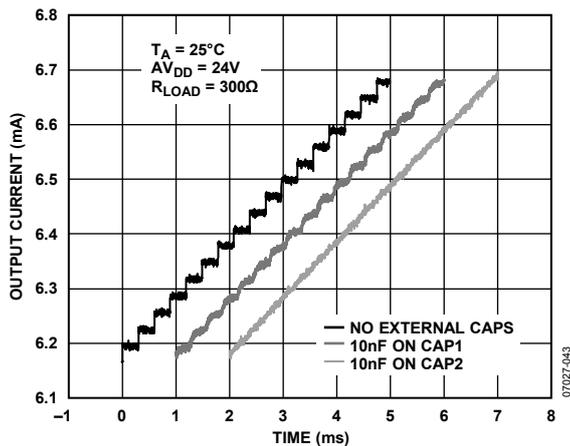


図 45. デジタル・スルーレート制御機能により発生したステップの平滑化

## 出力電流の帰還/モニタリング

出力電流値の帰還またはモニタリングの場合、 $I_{OUT}$  出力ピンに直列に検出抵抗を接続してその両端の電圧降下を測定することができます。抵抗は追加部品ですが、必要とされるコンプライアンス電圧を大きくします。もう 1 つの方法は、既に存在する抵抗を使う方法です。R3 はこのような抵抗であり、AD5410/AD5420 の内部にあります(図 46 参照)。R3<sub>SENSE</sub> ピンと BOOST ピンの間の電圧を測定すると、出力電流値を次のように計算することができます。

$$I_{OUT} = \frac{V_{R3}}{R3} - I_{BIAS} \quad (2)$$

ここで、 $V_{R3}$  は R3<sub>SENSE</sub> ピンと BOOST ピンの間で測定した R3 の電圧降下。 $I_{BIAS}$  は R3 を流れる一定のバイアス電流で値は 444  $\mu$ A (typ)。 $R3$  は抵抗 R3 の抵抗値で値は 40  $\Omega$  (typ)。

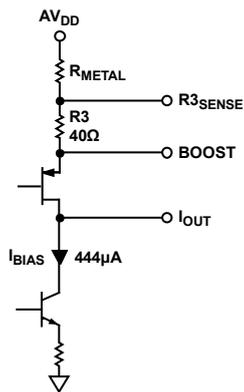


図 46. 電流出力回路の構造

R3 と  $I_{BIAS}$  の偏差は  $\pm 10\%$  で、温度係数は 30 ppm/ $^{\circ}$ C です。AV<sub>DD</sub> ではなく R3<sub>SENSE</sub> に接続すると、大きな温度係数を持ち大きな誤差を発生する R3 内部メタル接続に組込まれるのを回避することができます。周囲温度対 R3 のプロットについては図 47 を、出力電流対 R3 のプロットについては図 48 を、それぞれ参照してください。

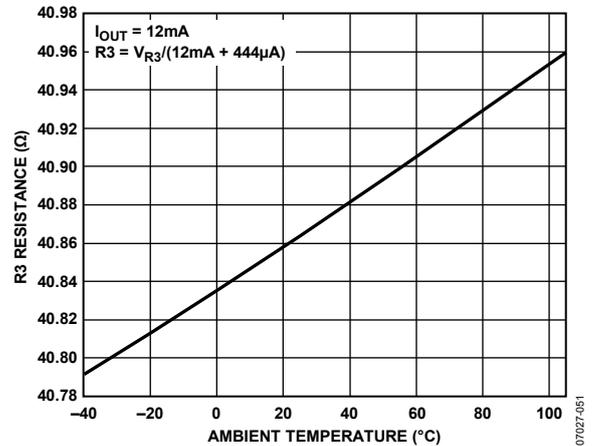


図 47. R3 抵抗値の温度特性

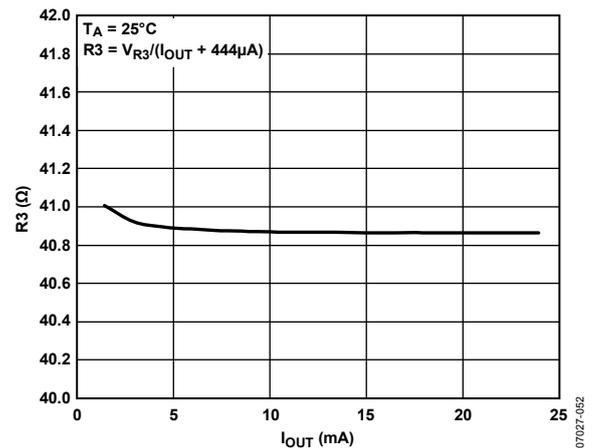


図 48.  $I_{OUT}$  対 R3 抵抗値

R3 と  $I_{BIAS}$  の偏差から生ずる誤差をなくするためには、2 つの測定キャリブレーションを次の例のように実行することができます。

1. コード 0x1000 を設定して、 $I_{OUT}$  と  $V_{R3}$  を測定します。この例では、測定値は、  
 $I_{OUT} = 1.47965$  mA  
 $V_{R3} = 79.55446$  mV  
 になります。
2. コード 0xF000 を設定して、 $I_{OUT}$  と  $V_{R3}$  を測定します。この測定値は、  
 $I_{OUT} = 22.46754$  mA  
 $V_{R3} = 946.39628$  mV  
 になります。

この情報と式 2 を使うと、2 つの連立方程式ができ、これから  $R3$  と  $I_{BIAS}$  の値を次のように計算することができます。

$$I_{OUT} = \frac{V_{R3}}{R3} - I_{BIAS}$$
$$\Rightarrow I_{BIAS} = \frac{V_{R3}}{R3} - I_{OUT}$$

連立方程式 1

$$I_{BIAS} = \frac{0.07955446}{R3} - 0.00147965$$

連立方程式 2

$$I_{BIAS} = \frac{0.94639628}{R3} - 0.02246754$$

これらの 2 式から、

$$R3 = 41.302 \text{ } \Omega \text{ および } I_{BIAS} = 446.5 \mu\text{A}$$

さらに式 2 は次のようになります。

$$I_{OUT} = \frac{V_{R3}}{41.302} - 446.5 \mu\text{A}$$

## アプリケーション情報

### 誘導負荷の駆動

誘導負荷または低品質負荷を駆動する場合は、 $I_{OUT}$  と GND の間に  $0.01 \mu\text{F}$  のコンデンサを接続してください。これにより、 $50 \text{ mH}$  を超える負荷での安定性が強化されます。最大容量の制限はありません。負荷の容量成分によりセトリングが低速になることがあります。代わりに、CAP1 および/または CAP2 と  $AV_{DD}$  との間にコンデンサを接続して、電流のスルーレートを小さくすることができます。また、デジタル・スルーレート制御機能もこれに対して有効なこともあります。

### 過渡電圧保護

AD5410/AD5420 は ESD 保護ダイオードを内蔵して、通常の取り扱による損傷を防止していますが、工業用制御環境では、I/O 回路が大きな過渡電圧に遭遇することがあります。高い過渡電圧から AD5410/AD5420 を保護するため、外付けパワー・ダイオードやサージ電流制限抵抗が必要となることがあります(図 49 参照)。抵抗値の条件は、通常動作で  $I_{OUT}$  の出力電圧レベルが  $AV_{DD} - 2.5 \text{ V}$  の電圧コンプライアンス規定値以内にあることです。さらに 2 個の保護ダイオードと抵抗が適切な電力定格を持つことです。過渡電圧サプレッサ (TVS) またはトランソープでさらに保護を強化することができます。これらは単方向サプレッサ (正の高電圧過渡に対する保護) と双方向サプレッサ (正と負の高電圧過渡に対する保護) として提供されており、スタンドオフとブレイクダウンの広範囲な電圧定格があります。すべてのフィールドの接続ノードを保護することが推奨されます。

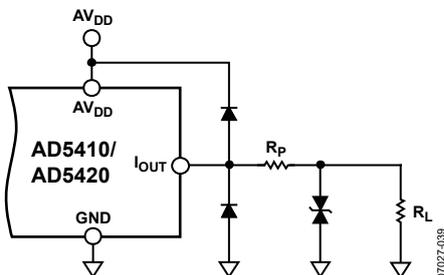


図 49. 出力過渡電圧保護機能

### レイアウトのガイドライン

精度が重要な回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5410/AD5420 を実装するプリント回路ボード (PCB) は、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するように、デザインする必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD5410/AD5420 を使用する場合は、この接続は 1 ヶ所行う必要があります。デバイスのできるだけ近くに星型のグラウンド・ポイントを構成する必要があります。

AD5410/AD5420 に対しては、 $10 \mu\text{F}$  と  $0.1 \mu\text{F}$  の並列接続により十分な電源バイパスをパッケージのできるだけ近くの電源に、理想的にはデバイスに直接に、接続する必要があります。 $10 \text{ nF}$  コンデンサはタンタルのビーズ型を使います。 $0.1 \mu\text{F}$  コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗 (ESR) が小さく、かつ実効直列インダクタンス (ESI) が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

AD5410/AD5420 の電源ラインには、できるだけ太いパターンを使って低インピーダンス・パスを実現して、電源ライン上でのグリッチの効果を削減する必要があります。クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドして、ボード上の他の部品へノイズを放出しないようにし、リファレンス入力の近くを通らないようにします。SDIN ラインと SCLK ラインの間にグラウンド・ラインを配線すると、これらの間のクロストークを小さくすることに役立ちます (多層ボードには別のグラウンド・プレーンがあるので必要ありませんが、これらのラインを離すことは役立ちます)。ノイズが DAC 出力へ混入するので、REFIN ラインのノイズを小さくすることは重要です。

デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置します。これにより、ボードを通過するフィードスルーの効果を削減することができます。マイクロストリップ技術の使用は最善の方法ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配置されます。

### 電流絶縁型インターフェース

多くのプロセス制御アプリケーションでは、コントローラと被制御対象のユニットとの間にアイソレーション障壁を設けて、危険な同相モード電圧から制御回路を保護するアイソレーションが必要です。アナログ・デバイセズの iCoupler® 製品ファミリーは、 $2.5 \text{ kV}$  を超える電圧アイソレーションを提供します。AD5410/AD5420 はシリアル・ローディング方式を採用しているため、インターフェース・ライン数が最小になっているので、絶縁インターフェース向けに最適です。図 50 に、ADuM1400 を使用した、AD5410/AD5420 に対する 4 チャンネル絶縁型インターフェースを示します。詳細については、<http://www.analog.com/jp/interface/digital-isolators> をご覧ください。

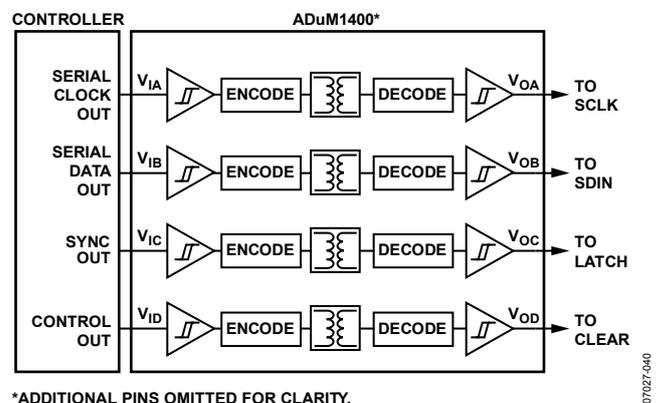


図 50. 絶縁型インターフェース

## マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5410/AD5420 とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つプロトコルを使うシリアル・バスを使って行います。この通信チャンネルは、クロック信号、データ信号、ラッチ信号から構成される 3(最小)線式インターフェースです。AD5410/AD5420 では、24 ビット・データ・ワードを使用し、SCLK の立上がりエッジでデータが有効である必要があります。

すべてのインターフェースで、DAC 出力更新は LATCH の立上がりエッジで開始されます。レジスタの値は、リードバック機能を使って読出すことができます。

## 熱と電源についての考慮事項

AD5410/AD5420 は 125°C の最大ジャンクション温度で動作するようにデザインされています。ジャンクション温度がこの値を超える条件でデバイスを動作させないことが重要です。最大 AV<sub>DD</sub> で AD5410/AD5420 を動作させ、グラウンドへ最大電流 (24 mA) を駆動すると、ジャンクション温度を超えます。この場合、周囲温度を制御するか、または AV<sub>DD</sub> を下げる必要があります。

最大周囲温度 85°C で、24 ピン TSSOP では 950 mW 消費でき、40 ピン LFCSP では 1.42 W 消費できます。

ジャンクション温度が 125°C を超えないようにし、かつグラウンドへ 24 mA の最大電流を直接駆動しないようにするためには (また内部電流 4 mA を追加しないためには)、AV<sub>DD</sub> を最大定格より低くして、パッケージの消費電力が前述の電力を超えないようにする必要があります (表 21、図 51、図 52 参照)。

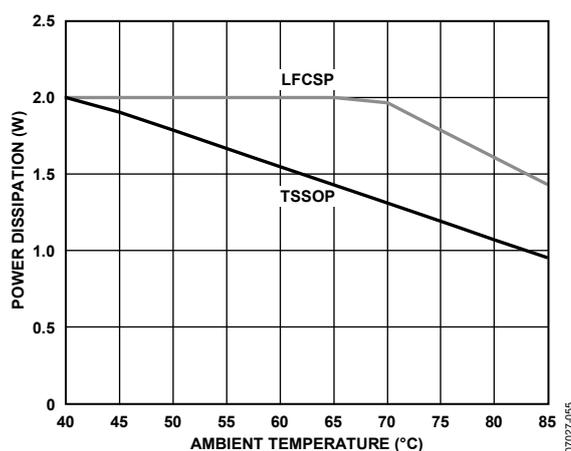


図 51. 周囲温度対最大消費電力

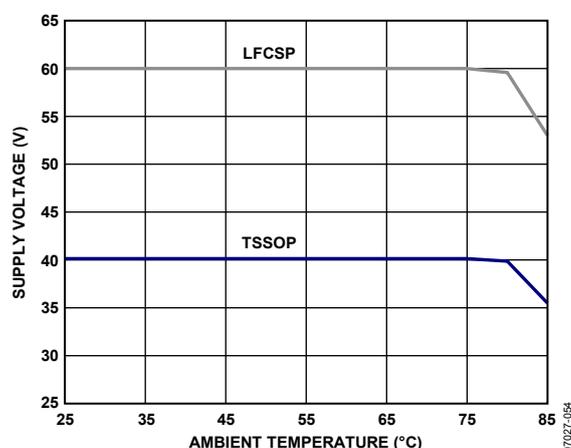


図 52. 最大電源電圧対周囲温度

表 21. 熱と電源についての考慮事項

Consideration	TSSOP	LFCSP
Maximum Allowed Power Dissipation When Operating at an Ambient Temperature of 85°C	$\frac{T_J \text{ max} - T_A}{\Theta_{JA}} = \frac{125 - 85}{42} = 950 \text{ mW}$	$\frac{T_J \text{ max} - T_A}{\Theta_{JA}} = \frac{125 - 85}{28} = 1.42 \text{ W}$
Maximum Allowed Ambient Temperature When Operating from a Supply of 40 V/60 V and Driving 24 mA Directly to Ground	$T_J \text{ max} - P_D \times \Theta_{JA} = 125 - (40 \times 0.028) \times 42 = 78^\circ\text{C}$	$T_J \text{ max} - P_D \times \Theta_{JA} = 125 - (60 \times 0.028) \times 28 = 78^\circ\text{C}$
Maximum Allowed Supply Voltage When Operating at an Ambient Temperature of 85°C and Driving 24 mA Directly to Ground	$\frac{T_J \text{ max} - T_A}{AI_{DD} \times \Theta_{JA}} = \frac{125 - 85}{0.028 \times 42} = 34 \text{ V}$	$\frac{T_J \text{ max} - T_A}{AI_{DD} \times \Theta_{JA}} = \frac{125 - 85}{0.028 \times 28} = 51 \text{ V}$

## 工業用アナログ出力アプリケーション

多くの工業用制御アプリケーションでは、正確に制御された電流出力信号が要求されるため、AD5410/ AD5420 はこのようなアプリケーションに最適です。図 53 に、特に工業用制御アプリケーションを対象とした出力モジュール回路デザインでの AD5410/AD5420 を示します。このデザインは電流出力を提供します。このモジュールは、フィールド電源 24 V から電源を入力します。この電源は直接 AV<sub>DD</sub> に接続します。過渡過電圧保護のため、過渡電圧サプレッサ (TVS) を I<sub>OUT</sub> 接続とフィールド電源接続に使用しています。24 V TVS を I<sub>OUT</sub> 接続に、36 V TVS をフィールド電源入力に、それぞれ使用しています。保護機能を強化するため、クランピング・ダイオードを I<sub>OUT</sub> ピンと AV<sub>DD</sub> ピンおよび GND ピンとの間に接続しています。AD5410/AD5420 とバック・プレーン回路との間のアイソレーションは、ADuM1400 お

よび ADuM1200 iCoupler デジタル・アイソレータにより提供しています。iCoupler 製品の詳細については、<http://www.analog.com/jp/interface/digital-isolators> をご覧ください。AD5410/ AD5420 の内部で発生されるデジタル電源は、デジタル・アイソレータのフィールド側に電源を供給するため、アイソレーション障壁のフィールド側でデジタル電源を発生する必要はありません。AD5410/AD5420 のデジタル電源出力は最大 5 mA を供給するため、この値は最大 1 MHz のロジック信号周波数で動作する ADuM1400 と ADuM1200 の電源要求 2.8 mA を十分満たします。所要アイソレータ数を減らすためには、CLEAR のような不要な信号は GND に接続し、FAULT や SDO は未接続のままにして、アイソレーション要求を 3 本の信号だけに減らすことができます。ただし、このようにすると、デバイスの故障警告機能がディスエーブルされてしまいます。

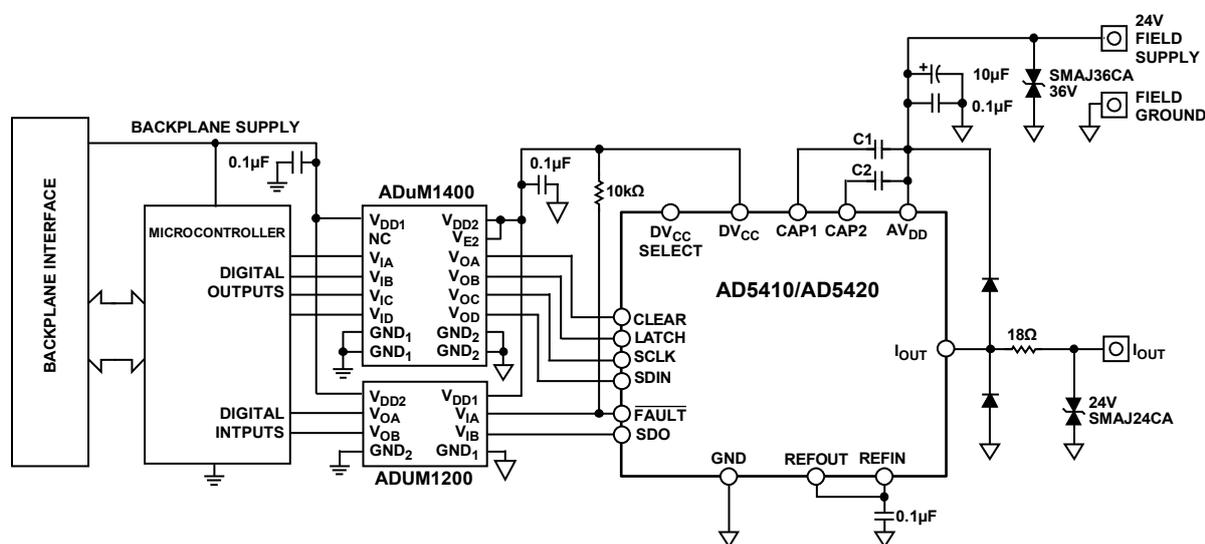


図 53. 工業用アナログ出力アプリケーションでの AD5410/AD5420

07027-048

## 外形寸法

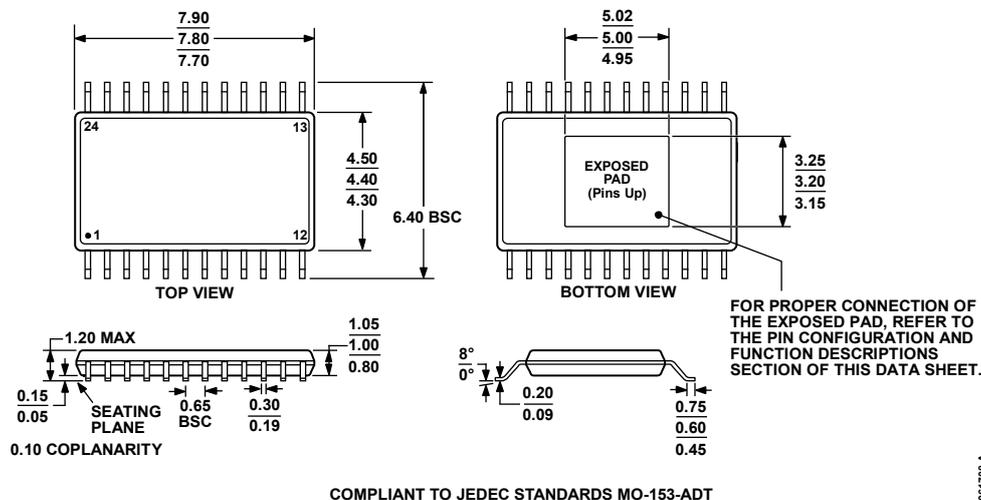


図 54.24 ピン薄型シュリンク・スモール・アウトライン・パッケージ、エクスポーズド・パッド付き [TSSOP\_EP] (RE-24)  
寸法: mm

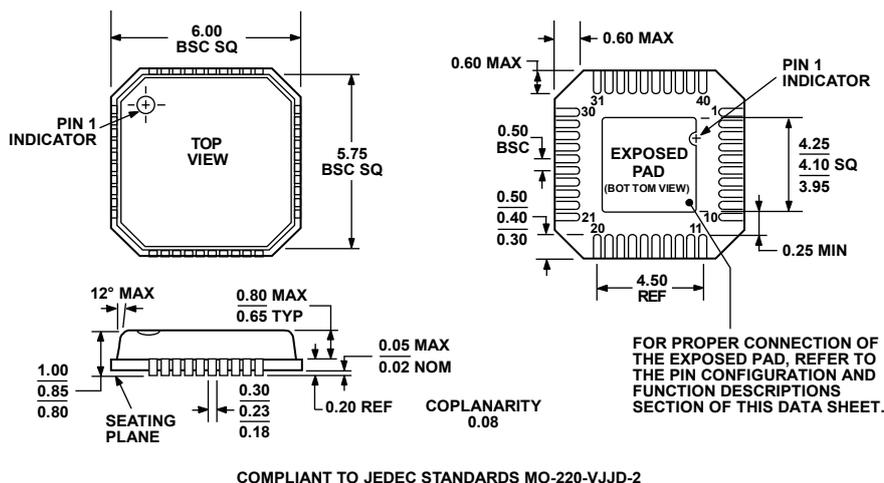


図 55.40 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP\_VQ]  
6 mm × 6 mm ボディ、極薄クワッド  
(CP-40-1)  
寸法: mm

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Resolution	TUE	Package Description	Package Option
AD5410AREZ	-40°C to +85°C	12 Bits	0.3% Max	24-Lead TSSOP_EP	RE-24
AD5410AREZ-REEL7	-40°C to +85°C	12 Bits	0.3% Max	24-Lead TSSOP_EP	RE-24
AD5410ACPZ-REEL	-40°C to +85°C	12 Bits	0.3% Max	40-Lead LFCSP_VQ	CP-40-1
AD5410ACPZ-REEL7	-40°C to +85°C	12 Bits	0.3% Max	40-Lead LFCSP_VQ	CP-40-1
AD5420AREZ	-40°C to +85°C	16 Bits	0.15% Max	24-Lead TSSOP_EP	RE-24
AD5420AREZ-REEL7	-40°C to +85°C	16 Bits	0.15% Max	24-Lead TSSOP_EP	RE-24
AD5420ACPZ-REEL	-40°C to +85°C	16 Bits	0.15% Max	40-Lead LFCSP_VQ	CP-40-1
AD5420ACPZ-REEL7	-40°C to +85°C	16 Bits	0.15% Max	40-Lead LFCSP_VQ	CP-40-1
EVAL-AD5420EBZ				Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。