



24ビット ADC 搭載の 工業用プロセス制御システム向け 汎用入力アナログ・ フロント・エンド

データシート

AD4110-1

特長

2つのソフトウェア・プログラマブル入力端子

最大電流: $\pm 20\text{mA}$

最大電圧: $\pm 10\text{V}$

熱電対

RTD

既存の3端子ソリューションからの置き換えが可能

ループ駆動電流センサー用フィールド電源

$\pm 30\text{V}$ までのHV入力過電圧保護機能

電流検出抵抗内蔵

外付け電流検出抵抗も使用可能

無電源時でも入力電流を制限

オーバーレンジおよび断線検出用の診断機能

柔軟な高速出力データ・レート: $5\text{SPS} \sim 125\text{kSPS}$

ノイズ・フリー・ビット数: 62kSPS で16ビット

ノイズ・フリー・ビット数: 2.5kSPS で18ビット

ノイズ・フリー・ビット数: $50\text{SPS}/60\text{SPS}$ で20ビット

50Hzと60Hzの同時除去

設定および診断用シリアル・インターフェース

SPI[®]、QSPI[™]、MICROWIRE[®]、およびDSP互換の

4線式インターフェース

電源: $\pm 12\text{V} \sim 20\text{V}$ 、 $+5\text{V}$

動作温度: $-40^\circ\text{C} \sim +105^\circ\text{C}$

パッケージ: 40ピン、6mm × 6mm LFCSP

アプリケーション

プロセス制御および工業用オートメーション

リモート制御システムと分散型制御システム

計測器および測定

センサーおよびデータ・アキュジション

概要

AD4110-1は全機能内蔵型のシングルチャンネル、汎用入力のア/Dフロント・エンドで、センサー・タイプの柔軟性が求められる工業用プロセス制御システムに適しています。

その高電圧入力は、ソフトウェアだけで電流信号用または電圧信号用に設定でき、 $\pm 20\text{mA}$ 、 $\pm 4\text{mA} \sim \pm 20\text{mA}$ 、 $\pm 10\text{V}$ 、すべての熱電対タイプなど、標準的なすべての工業用アナログ信号源に直接インターフェースできます。また、フィールド電源はループ駆動電流出力センサーに給電できます。更に、測温抵抗体 (RTD) センサーおよびその他の抵抗センサー用に様々な励起電流源を備えています。内蔵の完全差動型プログラマブル・ゲイン・アンプ (PGA) は、0.2から24までの16通りのゲイン設定が可能です。

高電圧入力は、電圧モードまたは電流モードのどちらかで起動するようにプログラムできます。電流モード用にプログラムしたときは、システム・モジュール電源がない場合でも、独自の入力回路アーキテクチャがループ電流用のパスを提供します。

AD4110-1は、過電圧、低電圧、断線、過電流、過熱状態を検出するフロント・エンド診断機能を内蔵しています。また、高電圧入力は過熱、過電流、過電圧に対する保護機能を備えています。

AD4110-1には高精度の24ビットシグマ・デルタ ($\Sigma\text{-}\Delta$) A/Dコンバータ (ADC) が組み込まれており、 $5\text{SPS} \sim 125\text{kSPS}$ の変換レートと50Hzおよび60Hz同時のノイズ除去機能を実現しています。

機能ブロック図

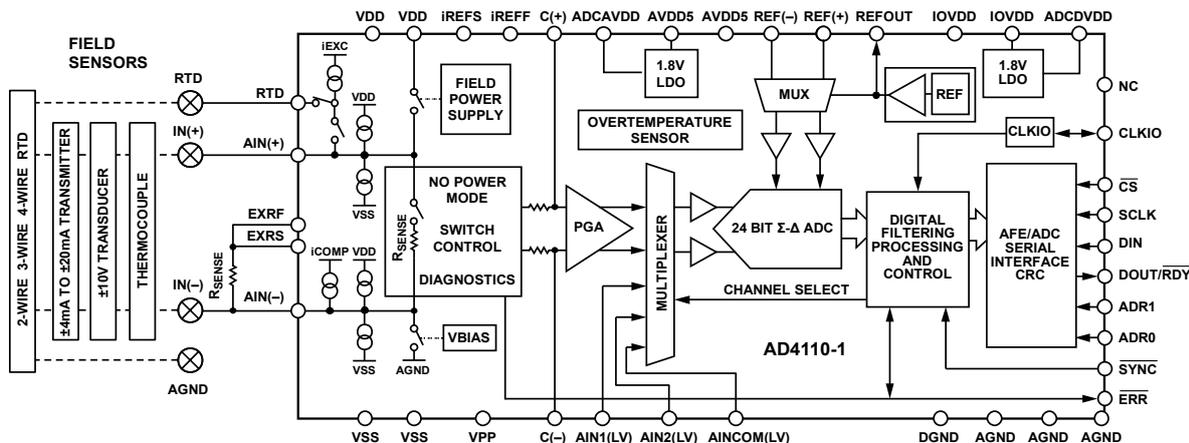


図 1. 機能ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	入力自動シーケンシング	21
アプリケーション	1	シングル変換モード	22
概要	1	ADCの変換遅延	22
機能ブロック図	1	バイアス電圧発生器	22
改訂履歴	3	アンチエイリアシング・フィルタ回路	23
仕様	4	電流モード	24
タイミング仕様	9	電圧および熱電対モード	27
絶対最大定格	10	RTDモード	30
熱抵抗	10	フィールド電源モード	35
ESDに関する注意	10	無電源モード	36
ピン配置およびピン機能の説明	11	ゲイン・キャリブレーション・データ・レジスタ	38
代表的な性能特性	13	電圧モードのゲイン・キャリブレーション	38
動作原理	17	電流モードのゲイン・キャリブレーション	38
電源シーケンス	18	スケールリング・ファクタ	38
保護ダイオード	18	自動キャリブレーション・モード	39
アナログ入力	18	アプリケーション例	40
プルアップ/プルダウン電流	18	診断と保護	41
アンチエイリアシング・フィルタ	18	診断フラグ	41
RTD励起電流	18	エラー・ピン	41
フィールド電源モード	18	過熱の検出とサーマル・シャットダウン	41
無電源モード	18	過電圧と低電圧の検出	42
バイアス電圧発生器	18	過電圧保護	42
PGA	18	過電圧状態と低電圧状態の診断	43
キャリブレーション・レジスタ	18	断線検出機能	44
シリアル・インターフェース	18	RTD測定の診断とRTDフラグ	44
クロック	18	ノイズ、セトリング時間、およびデジタル・フィルタリング	45
ADC	18	デジタル・フィルタ	45
ADCフィルタ・レジスタ	18	sinc5 + sinc1 フィルタ	45
ADCゲイン・レジスタとオフセット・レジスタ	18	sinc3 フィルタ	45
ノイズ性能と分解能	19	50Hzと60Hzを除去するエンハンスト・フィルタ	48
動作モード	20	RTDモードのノイズ性能	50
パワーアップ時のデフォルト動作モード	20	シリアル・ペリフェラル・インターフェース	51
次回以降のパワーアップ・サイクルにおけるデフォルト動作 モードの変更	20	AD4110-1のリセット	51
電源条件	20	コミュニケーション・レジスタへのSPIコマンド	51
システム・クロック条件	20	DOUT/RDYピン	52
バイポーラ出力とユニポーラ出力	21	書込み動作	52
補助低電圧入力	21	読出し動作	53
デジタル・フィルタ	21	SPIバス上の複数デバイス	54
連続変換モード	21	CRCチェックサム	55
		CRCチェックサムの方法	55

レジスタの詳細.....	58	ADC レジスタの詳細説明	67
AFE レジスタ・マップ	58	外形寸法.....	74
AFE レジスタの説明.....	59	オーダー・ガイド	74
ADC レジスタ・マップ	66		

改訂履歴

3/2019—Revision 0: Initial Version

仕様

特に指定のない限り、VDD = +12V~20V、VSS = -12V~-20V、AVDD5 = +5V、IOVDD = +5V、AGND = DGND = 0V、VBIAS 機能 = オフ、REFIN (+) = 2.5V (外部リファレンス)、REFIN (-) = 0V、MCLK = 8MHz (内部 ADC クロック)、TA = -40°C~+105°C、すべてのゲイン。

表 1.

パラメータ	Min.	Typ.	Max.	単位	テスト条件/コメント
HIGH VOLTAGE ANALOG INPUTS, AIN(±) Pins					
Differential Input Voltage Range, Reference Voltage (V _{REF}) ≤ 2.5 V	-V _{REF} /Gain		+V _{REF} /Gain	V	仕様規定された性能で、ゲイン > 0.2 の場合
	-10		+10	V	仕様規定された性能ではゲイン = 0.2
	-12.5		+12.5	V	機能範囲、ゲイン = 0.2
Absolute AIN Voltage	VSS + 3		VDD - 3	V	仕様指定された性能の場合
Overvoltage Protection ^{1,2} AIN(+)-AGND, AIN(-)-AGND, AIN(+)-AIN(-) Pins			±30	V	抵抗 (R) = 10Ω、0.5W、コンデンサ (C) = 47nF 50V、VDD/VSS ≤ ±15V の入力抵抗コンデンサ (RC) ローパス・フィルタを使用
VOLTAGE INPUT MODE					
Gain Error					
Before Calibration ³	-1		+1	%	TA = 25°C
Using Calibration Coefficient ⁴	-0.03		+0.03	%	TA = 25°C、VDD/VSS = ±15V
Gain Drift vs. Temperature ²	-3		+3	ppm/°C	ゲイン = 1 を除くすべてのゲイン
	-8		+8	ppm/°C	ゲイン = 1
Gain Drift vs. Time ⁵		±30		ppm	1000 時間超
Input Offset Error ⁶	-350/Gain		+350/Gain	μV	ゲイン = 0.2~3
	-100		+100	μV	ゲイン = 4~24
Input Offset Drift vs. Temperature ²		2	14	μV/°C	ゲイン = 0.2、入力基準
		0.2	0.5	μV/°C	ゲイン = 24、入力基準
Input Offset Drift vs. Time ⁵		±50		μV	ゲイン = 0.2、1000 時間超
		±25		μV	ゲイン = 1、1000 時間超
		±4		μV	ゲイン = 24、1000 時間超
Integral Nonlinearity		6		ppm/FSR	ゲイン = 0.2、フルスケール・レンジ (FSR) = 2×フルスケール (FS)
		25	75	ppm/FSR	ゲイン = 24
Input Bias Current, AIN(+), AIN(-) Pins ²	-0.5		+0.5	μA	
Input Bias Current, AIN(+) Pin	-0.25	-0.15	-0.05	μA	AIN (+) - AIN (-) < ±100mV、AIN (-) = 0V、VBIAS オン/オフ、ゲイン = 24、ソース・インピーダンス < 5kΩ
Input Bias Current Drift ²		1	2.5	nA/°C	AIN (+) および AIN (-)
Input Offset Current ²	-100		+100	nA	
Input Impedance ⁷		>1		GΩ	ΔV _{IN} ÷ ΔI _{IN}
Input Voltage Noise and Resolution ²					表 16 ~ 表 21 を参照
Input Common-Mode Rejection, DC		125		dB	ゲイン = 24
		100		dB	ゲイン = 0.2
Input Common-Mode Rejection, AC		130		dB	50Hz/60Hz
Power Supply Rejection, DC ⁸		120		dB	VSS と VDD に関係
		83		dB	AVDD5 に関係、ゲイン = 1、V _{IN} = 1V
Normal Mode Rejection, 50 Hz/60 Hz		40		dB	sinc5 + sinc1 フィルタ、±0.5Hz、外部クロック
		100		dB	sinc3 フィルタ、±1Hz

パラメータ	Min.	Typ.	Max.	単位	テスト条件/コメント
CURRENT INPUT MODE USING INTERNAL SENSE RESISTOR⁹					
Input Current Range ¹⁰	-20		+20	mA	ゲイン = 4 仕様規定された性能範囲
	-24		+24	mA	機能範囲
Transimpedance Gain		96		mV/mA	ゲイン = 4、検出抵抗 (R_{SENSE}) = 24 Ω
Gain Error					
Before Calibration ³		± 30		%	
Using Calibration Coefficient ⁴	-0.1		+0.1	%	$T_A = 25^\circ\text{C}$ 、 $I_{IN} = 20\text{mA}$
Gain Drift vs. Temperature ²	-50		+50	ppm/ $^\circ\text{C}$	リファレンス・ドリフトを除外、 R_{SENSE} 抵抗ドリフトを包含
Gain Drift vs. Time ⁵		250		ppm	1000 時間超
Input Offset Error	-5		+5	μA	
Input Offset Drift vs. Temperature ²			50	nA/ $^\circ\text{C}$	
Input Offset Drift vs. Time ⁵		± 200		nA	1000 時間超
Integral Nonlinearity		25	75	ppm/FSR	FSR = 2 \times FS
Input Overcurrent Detection		± 35		mA	
Input Current Internal Limit ¹⁰		± 40		mA	過電流自己保護
Input Impedance ^{2,11}	30	45	60	Ω	入力電流 < $\pm 24\text{mA}$
Input Current Noise and Resolution					表 16 ~ 表 21 を参照
Input Common-Mode Rejection, DC		0.15		$\mu\text{A}/\text{V}$	
Power Supply Rejection, DC ⁸		0.01		$\mu\text{A}/\text{V}$	VDD と VSS に関係
CURRENT INPUT MODE USING EXTERNAL SENSE RESISTOR^{12,13}					
Input Current Range ⁷	-20		+20	mA	外付け検出抵抗 (R_{EXT}) = 200 Ω 、ゲイン = 0.5 仕様規定された性能範囲
	-24		+24	mA	機能範囲
Input Overcurrent Detection		± 35		mA	
Input Current Internal Limit ⁷		± 40		mA	過電流自己保護
Gain Drift vs. Temperature ²			2.5	ppm/ $^\circ\text{C}$	リファレンス・ドリフトと外付け検出抵抗ドリフトを除外
ADC SPEED AND PERFORMANCE					
Output Data Rate ²	5		125,000	SPS	
No Missing Codes ²	24			Bits	sinc5 + sinc1 フィルタ設定
Resolution					表 16 ~ 表 21 を参照
NO POWER SUPPLY MODE					
Input Voltage Drop		5		V	電流モード、入力電流 = 24mA
Input Current Internal Limit ²		± 55	± 70	mA	電流モード、過電流自己保護
Input Current Loss		70		μA	電流モード、24mA、GND 接続
Input Current in Voltage Mode		± 0.5		mA	電圧モード
FIELD POWER SUPPLY MODE					
Output Voltage, AIN(+) Pin ²	VDD - 2.5	VDD - 1.5		V	出力電流 = 24mA
		VDD - 0.1	VDD	V	無負荷
Output Current, AIN(+) Pin			-24	mA	
Output Current Limit, AIN(+) Pin ²	-35	-45	-55	mA	過電流自己保護
Voltage, AIN(-) Pin ²		VSS + 3.6	VSS + 4.2	V	AIN (-) 24mA、VSS ダイオードなし
	VSS + 2.2	VSS + 2.7		V	無負荷、VSS ダイオードなし
Input Current Limit, AIN(-) Pin		+40		mA	

パラメータ	Min.	Typ.	Max.	単位	テスト条件/コメント
RTD EXCITATION CURRENTS¹⁴					
Current Outputs		0.1 to 1		mA	外部リファレンス電圧 (V_{REF}) = 2.5V ± 0%
Initial Error, Internal Reference Resistor	-0.3		+0.3	%	プログラマブル (表 30 参照)
Initial Drift	-1		+1	%	電流 ≥ 400μA, $T_A = 25^\circ\text{C}$
Drift vs. Temperature ²		130		ppm	電流 = 100μA, $T_A = 25^\circ\text{C}$
	-45		+45	ppm/°C	図 44 と図 45 参照
	-18		+18	ppm/°C	内蔵リファレンス抵抗 (リファレンス抵抗ドリフトを包含)
Drift vs. Time ^{5, 15}		150		ppm	外付けリファレンス抵抗 (リファレンス抵抗ドリフトを除外)
		150		ppm	内蔵抵抗、1000 時間超
Load Regulation ²			0.01	%/V	外付け抵抗、1000 時間超
Line Regulation ²		4		ppm/V	VSS と VDD に関係
Noise ²	See Table 22 and Table 23				$T_A = 25^\circ\text{C}$
Current Matchin ¹⁵		0.05		%	AIN (+) ピンと AIN (-) ピン、100μA を除外
Current Matching Drift		0.0002		%/°C	AIN (+) ピンと AIN (-) ピン、100μA を除外
Compliance			VDD - 5	V	
REFERENCE VOLTAGE (INPUT)					
Reference Voltage Input, V_{REF} ^{2, 14}	1	2.5	AVDD5 - 1.6	V	REFIN (+) - REFIN (-) = V_{REF}
	2.45	2.5	2.55	V	RTD モードを無効
V_{REF} Input Current		200		nA	RTD モードを有効
		100		μA	V_{REF} +リファレンス・バッファをオン
		36		μA/V	V_{REF} -リファレンス・バッファをオン
		75		μA/V	V_{REF} +リファレンス・バッファをオフ
V_{REF} Input Current Drift		1.3		nA/°C	V_{REF} -リファレンス・バッファをオフ
		-3.5		nA/°C	V_{REF} +リファレンス・バッファをオン
		10		nA/V/°C	V_{REF} -リファレンス・バッファをオン
		10		nA/V/°C	V_{REF} +リファレンス・バッファをオフ
Absolute REFIN Voltage Limits	AGND - 0.05		AVDD5 + 0.05	V	V_{REF} -リファレンス・バッファをオフ
	AGND		AVDD5	V	リファレンス・バッファをオン
Common-Mode Rejection		95		dB	
REFERENCE VOLTAGE (OUTPUT)					
Output Voltage		2.5		V	REFOUT ピン
Initial Accuracy ²	-0.16		+0.16	V	$T_A = 25^\circ\text{C}$
Temperature Coefficient ²		10	50	ppm/°C	
Long Term Stability ⁵		600		ppm	1000 時間超
Reference Load Current, I_{LOAD}			10	mA	
Power Supply Rejection		93		dB	
Load Regulation		75		μV/mA	
VBIAS					
Voltage		AGND		V	
Output Current Limit		±50		μA	AGND を基準とする AIN (-) ピンの電位に応じてソースまたはシンク
OPEN WIRE DETECTION CURRENTS					
Current Output	±0.71	±1	±1.45	μA	
		±100		μA	
Compliance	VSS + 2		VDD - 2	V	

パラメータ	Min.	Typ.	Max.	単位	テスト条件/コメント
INPUT OVERVOLTAGE DETECTION					
Positive Overvoltage Threshold		VDD - 2.0	VDD - 2.8	V	
Negative Overvoltage Threshold		VSS + 2.0	VSS + 2.8	V	
OVERTEMPERATURE PROTECTION					
Overtemperature Detection Threshold		120		°C	ジャンクション温度
Thermal Shutdown Threshold		145		°C	ジャンクション温度
Thermal Shutdown Hysteresis		30		°C	
ANTI_ALIASING_FILTER_RESISTOR					
AIN(±) to C(±) Resistance		1600		Ω	内部スイッチ抵抗を包含
Resistance Variation ²			±35	%	
Mismatch		0.2		%	チャンネルあたりの抵抗ペア
LOW VOLTAGE ANALOG INPUTS, AIN1(LV), AIN2(LV), AND AINCOM(LV)					
Differential Input Range		±V _{REF}		V	
Absolute Voltage Limit	AGND		AVDD5	V	
Input Current		±65		nA	
Input Current Drift		±75		pA/°C	
		±1		nA/°C	(AGND + 0.2V) ~ (AVDD5 - 0.2V)
High Voltage (HV) to Low Voltage (LV) Channel Crosstalk ¹⁶		-120		dB	AGND ~ AVDD5
Input Common-Mode Rejection, DC		95		dB	入力周波数 (f _{IN}) = 1kHz、ゲイン (HV チャンネル) = 1
Input Common-Mode Rejection, AC		120		dB	50Hz/60Hz、V _{IN} = 1V
DIGITAL INPUTS					
Input High Voltage, V _{IH} ²	0.7 × IOVDD			V	IOVDD = 2V ~ 5.5V
Input Low Voltage, V _{IL} ²			0.8	V	IOVDD = 3.3V ~ 5.5V
			0.4	V	IOVDD = 2V
Hysteresis		100		mV	
Input Leakage Current	-10		+10	μA	
Input Pin Capacitance		10		pF	
DIGITAL OUTPUTS					
V _{OH} ²	0.8 × IOVDD			V	IOVDD = 5V、ソース電流 (I _{SOURCE}) = 1mA
	0.8 × IOVDD			V	IOVDD = 3.3V、I _{SOURCE} = 500μA
	0.8 × IOVDD			V	IOVDD = 2V、I _{SOURCE} = 500μA
V _{OL} ²			0.4	V	IOVDD = 5V、シンク電流 (I _{SINK}) = 2mA
			0.4	V	IOVDD = 3.3V、I _{SINK} = 1mA
			0.4	V	IOVDD = 2V、I _{SINK} = 1mA
Floating State Leakage Current	-10		+10	μA	
Floating State Output Capacitance		12		pF	
ERROR OUTPUT (OPEN DRAIN)					
Output Low Voltage, V _{OL}			0.4	V	I _{SINK} = -100μA
Output High Leakage Current, I _{OH}	-10		+10	μA	出力電圧 (V _{OUT}) = 5V
CLOCK INPUT/OUTPUT					
Internal Oscillator		8		MHz	
Internal Oscillator Accuracy	-3.5		+3.5	%	ADC クロック
Clock Input Frequency		8		MHz	
Duty Cycle, External Clock ²	45	50	55	%	
V _{IH} ²	0.8 × IOVDD			V	
V _{OH}	0.8 × IOVDD			V	
V _{OL}			0.4	V	
V _{IL} ²			0.4	V	

パラメータ	Min.	Typ.	Max.	単位	テスト条件/コメント
Input Leakage Current	-10		+10	μA	
Pin Capacitance		12		pF	
Duty Cycle, Internal Clock		50		%	
POWER REQUIREMENTS					電源シーケンスのセクションを参照
VDD – VSS Voltage	24	30	40	V	
AGND Voltage		(VDD – VSS)/2		V	
AVDD5 – AGND Voltage	4.5	5	5.5	V	
DGND Voltage		AGND		V	
IOVDD – DGND Voltage	2.0	5	5.5	V	
VDD Supply Current					
Field Power Supply Off		5.5	8	mA	すべての電流源をオフしてディスエーブル
		7.5	10	mA	RTD 電流源をオン、その他の電流源をオフ、VBIAS をオフ
Field Power Supply On ²		29.5		mA	フィールド電源電流 = 24mA ~ AGND、すべての電流源をオフしてディスエーブル、VBIAS をオフ
VSS Supply Current					
Field Power Supply Off		-5.5	-8	mA	すべての電流源をオフしてディスエーブル
		-5.5	-10	mA	RTD 電流源をオン、その他の電流源をオフ、VBIAS をオフ
Field Power Supply On ²		-5.8		mA	フィールド電源電流 = 24mA ~ AGND、すべての電流源をオフしてディスエーブル、VBIAS をオフ
AVDD5 Supply Current		10	12	mA	
IOVDD Supply Current		2.5	3.5	mA	

¹ このデバイスは、どの AIN (±) ピンでも (VSS + 3V) ~ (VDD - 3V) で動作するように仕様規定されています。デバイスは、AIN (+) ピンと AIN (-) ピンの ±30V (AGND 電源基準) までの過電圧に対して保護されています。VDD = (VSS ± 15V) の制限は、フィールド電源モードが無効になっている場合のみ適用されます。システム負電源の電位より低い (マイナス値が大きい) 負電位を持つ高電圧ピンに電圧を加える場合は、必ず外付けダイオードを VSS ピンからシステム負電源に接続した上で行ってください (図 29 を参照)。いかなる場合も絶対最大定格値を超えないようにしてください (表 3 を参照)。

² これらの値に対する出荷テストは行われていませんが、設計および/または量産開始時の特性評価データでサポートされています。

³ ソフトウェア誤差補正アルゴリズム適用前のゲイン誤差。ゲイン・キャリブレーション・データ・レジスタのセクションを参照してください。

⁴ ソフトウェア誤差補正アルゴリズム適用後のゲイン誤差。ゲイン・キャリブレーションの適用例のセクションを参照してください。

⁵ 以下のテスト方法に基づくデータ: - 非ハーメチック・ソリッドステート表面実装デバイスの湿度/リフロー感度 (MSL) 分類、および高温動作寿命 (HTOL)。

⁶ 電圧モードで入力に生じるオフセット電圧。RTD 電流は、IC または PCB のパターン抵抗の不整合によって、 $I \times R$ で表されるオフセット電圧 (±V) が追加発生する原因となる点に留意してください。RTD の励起電流レベルや補償電流レベルを変更した場合は、システム・キャリブレーションを行う必要があります。

⁷ DC 入力インピーダンスは、入力電圧の変化に対する入力電流の変化 ($\Delta V_{IN} \div \Delta I_{IN}$) を測定することによって求められます。

⁸ 入力基準。

⁹ 内蔵検出抵抗使用時の電流入力モードに関係するすべての仕様は、PGA ゲイン = 4 における値。

¹⁰ 仕様規定された性能を十分に発揮するには、電流入力モードの入力電流は、±20mA 以内である必要があります。デバイスは ±24mA まで機能します。内部保護機能は約 40mA までの入力過電流を制限します。

¹¹ 電流モード入力インピーダンスは AIN (+) ピンと AIN (-) ピン間の合計インピーダンスで、これにはオンチップ検出抵抗、オンチップ電流モード・スイッチ、およびその他のオンチップ回路が含まれます。アナログ入力電流とアナログ出力電圧の関係は、ゲインとオフセットの仕様によって表されます。

¹² 外付け検出抵抗使用時の電流入力モードに関係するすべての仕様は、 $R_{EXT} = 200\Omega$ 、ゲイン = 0.5 における値。

¹³ 外付け抵抗は、このモードで追加される信号処理のために入力電流を電圧に変換します。AD4110-1 の仕様では、外付け抵抗の抵抗値変化の影響は除外されています。このモードでシステム性能を評価するには、外付け抵抗の性能を考慮する必要があります。

¹⁴ AD4110-1 の RTD 励起電流は、2.5V のリファレンス電圧で動作するように設計されています。AD4110-1 の RTD 励起電流値は、 V_{REF} 入力電圧のわずかな変化に比例して増減します。AD4110-1 の RTD 励起電流仕様では、 V_{REF} 入力電圧のあらゆる変化の影響が除外されています。

¹⁵ RTD 電流源がイネーブルされて電流が連続的に流れているものとします。

¹⁶ この仕様は、最も厳しい条件下での高電圧チャンネルと低電圧チャンネルのペアに対する値を示しています。20Vp-p、1kHz の HV チャンネル正弦波入力、他方の LV チャンネルでこの量だけ減衰します。干渉信号は選択されていないチャンネルに加わります。C (+) と C (-) に接続されるフィルタ回路は、図 29 に示すように実装されます。入力端子に実装されたフィルタ回路はありません。

タイミング仕様

特に指定のない限り、IOVDD = 2V~5.5V、AGND = DGND = 0V、C_{LOAD} = 20pF、T_A = -40°C~+105°C。

表 2.

パラメータ	T _{MIN} 、T _{MAX} でのリミット	単位	説明 ^{1、2}
t ₃	50	ns min	SCLK ハイ・パルス幅
t ₄	50	ns min	SCLK ロー・パルス幅
READ OPERATION			
t ₁	0	ns min	\overline{CS} の立下がりエッジから $\overline{DOUT/RDY}$ のアクティブ化までの時間
	15	ns max	IOVDD = 4.5V~5.5V
	20	ns max	IOVDD = 3.0V~3.6V
	40	ns max	IOVDD = 2.0V
t ₂ ³	0	ns min	SCLK のアクティブ・エッジからデータ有効化までの遅延 ⁴
	15	ns max	IOVDD = 4.5V~5.5V
	20	ns max	IOVDD = 3.0V~3.6V
	40	ns max	IOVDD = 2.0V
t ₅ ⁵	20	ns max	\overline{CS} の非アクティブ・エッジ後のバス放棄時間
t ₆	0	ns min	SCLK の非アクティブ・エッジから \overline{CS} の非アクティブ・エッジまで
WRITE OPERATION			
t ₈	0	ns min	\overline{CS} の立下がりエッジから SCLK のアクティブ・エッジ・セットアップまでの時間 ⁴⁴
t ₉	8	ns min	データが有効になってから SCLK のエッジ・セットアップまでの時間
t ₁₀	8	ns min	データが有効になってから SCLK のエッジ保持までの時間
t ₁₁	10	ns min	\overline{CS} の立下がりエッジから SCLK のエッジ保持までの時間

¹ 初期リリース時のサンプル・テストによって適合性が確保されています。

² 図 2 および図 3 を参照。

³ t₂は、出力が V_{OL}リミットもしくは V_{OH}リミットを横切るために要する時間です。

⁴ SCLK のアクティブ・エッジは SCLK の立下がりエッジです。

⁵ $\overline{DOUT/RDY}$ はデータ・レジスタの読出し後にハイ・レベルに戻ります。シングル変換モードおよび連続変換モードで、 $\overline{DOUT/RDY}$ がハイ・レベルの間に、必要ならば同一データを再度読み出すことができますが、2回目以降の読出しは、次の出力更新が近いところで行わないように注意してください。

タイミング図

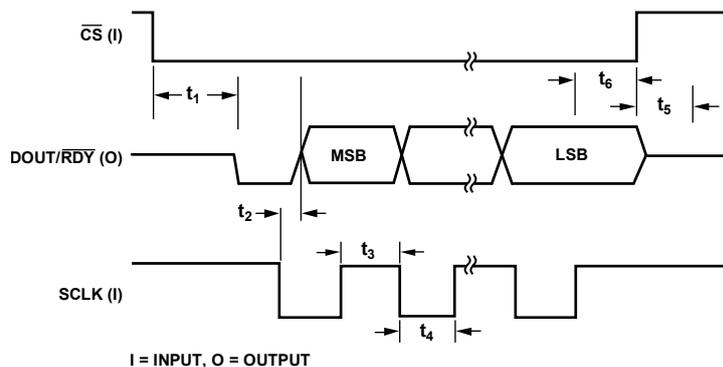


図 2. データ読出しタイミング図

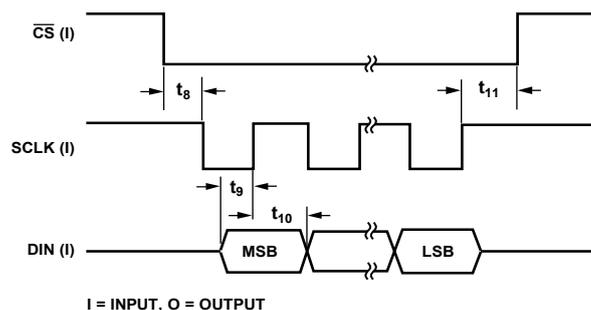


図 3. データ書込みタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
Any HV Pin to VSS ^{1,2}	-0.3 V to +60 V
VDD to VSS ³	-0.3 V to +50 V
AIN(+) to AIN(-) ⁴	±50 V
AVDD5 to AGND, DGND ^{3,5}	-0.3 V to +6.5 V
IOVDD to AGND, DGND ^{3,5}	-0.3 V to +6.5 V
AGND to DGND ⁵	-0.3 V to +0.3 V
AGND to VSS	AGND \geq VSS - 0.3 V
AVDD5 to VDD	AVDD5 \leq VDD + 0.3 V
REFIN(+), REFIN(-), AIN1(LV), AIN2(LV), AINCOM(LV) to AGND	-0.3 V to AVDD5 + 0.3 V
Digital Inputs and Outputs to DGND	-0.3 V to IOVDD + 0.3 V
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature	150°C
Electrostatic Discharge (ESD), Human Body Model	700 V
Field Induced Charge Device Model (FICDM)	1250 V
Reflow Soldering (Pb-Free) Peak Temperature	JEDEC J-STD-020 260°C
Time at Peak Temperature	10 sec to 40 sec

¹ HV ピンは、AIN (+)、AIN (-)、RTD、EXRS、および EXRF ピンです。

² システム負電源の電位より低い（マイナス値が大きい）負電位を持つ HV ピンに電圧を加える場合は、必ず外付けダイオードを VSS ピンからシステム負電源に接続した上で行ってください。（図 29 を参照）。

³ 同じ名前のピンは互いに短絡させる必要があります。

⁴ $R = 10\Omega$ 、 0.5W の抵抗と $C = 47\text{nF}$ 、 50V のコンデンサからなる入力 RC ローパス・フィルタを使用します。

⁵ AGND ピンと DGND ピンは、デバイスにできるだけ近い位置で互いに短絡させることを推奨します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

表 4. 熱抵抗

Package Type	θ_{JA}	Unit
CP-40-15 ¹	35	°C/W

¹ θ_{JA} は、サーマル・ビアが 16 個ある表面実装パッケージ用の JEDEC 4 層テスト・ボードにハンダ付けされたデバイスで仕様規定されています。表 4 にリストされた値はシミュレートされたデータに基づく値です。

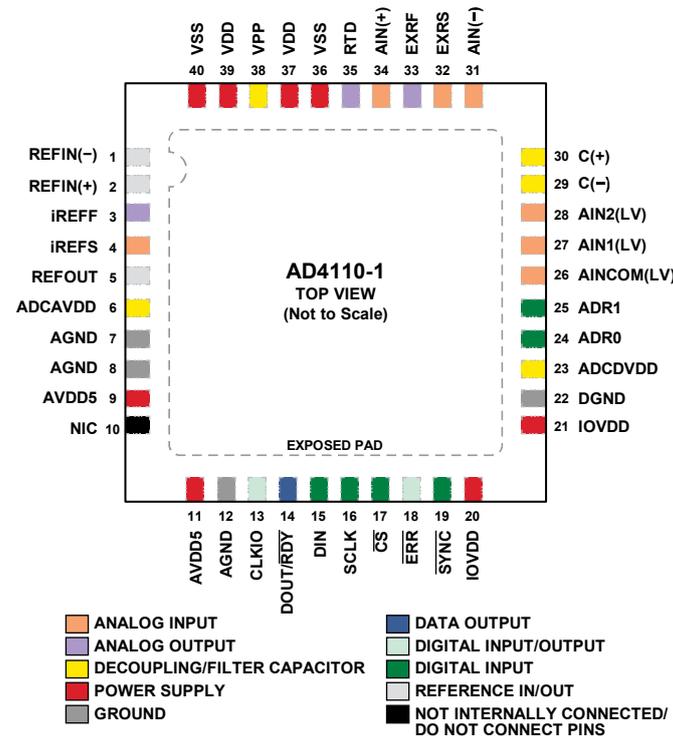
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. NIC = NOT INTERNALLY CONNECTED.
 2. EXPOSED PAD. SOLDER THE EXPOSED PAD TO A PAD ON THE PCB TO CONFER MECHANICAL STRENGTH TO THE PACKAGE. THE EXPOSED PAD MUST BE CONNECTED TO VSS.

16289-004

図 4. ピン配置

表 5. ピン機能の説明¹

ピン番号	記号	説明
1	REFIN(-)	リファレンス入力、負。このピンは REFIN (+) ピンと共に機能します。AGND に接続してください。
2	REFIN(+)	リファレンス入力、正。REFIN (+) ピンと REFIN (-) ピンの間に外部リファレンス電圧を接続してください。RTD 励起電流機能は 2.5V リファレンスでのみ動作します。
3	iREFF	RTD 励起電流外付けリファレンス抵抗強制ピン。このピンは、RTD 励起電流を生成するためのリファレンスとして外付けの高精度抵抗が必要なときに使用します。このピンは、外付け抵抗の両端に REFIN (+) 電圧を発生させます。このピンと iREFS ピンを、外付けの高精度抵抗の先端にスター接続してください。ピンの容量を最小限に抑えるために、高精度抵抗は iREFS ピンと iREFF ピンのできるだけ近くに配置する必要があります。詳細については RTD モードのセクションを参照してください。他の回路接続を行うことはできません。
4	iREFS	RTD 励起電流外付けリファレンス抵抗検出ピン。このピンは、RTD 励起電流を生成するためのリファレンスとして外付けの高精度抵抗が必要なときに使用します。このピンは、外付け抵抗を流れる RTD リファレンス電流を検出します。このピンと iREFF ピンを、外付けの高精度抵抗の先端にスター接続してください。ピンの容量を最小限に抑えるために、高精度抵抗は iREFS ピンと iREFF ピンのできるだけ近くに配置する必要があります。詳細については RTD モードのセクションを参照してください。他の回路接続を行うことはできません。
5	REFOUT	内蔵 2.5V リファレンス出力ピン。内部リファレンスを選択した場合は、100nF のコンデンサを使ってこのピンを GND とデカップリングします。REFIN (+) ピンと REFIN (-) ピンに外部リファレンスを加えてデバイスを使用する場合、このピンは未接続のままにしてください。
6	ADCAVDD	内部リニア・レギュレータ出力のデカップリング・ノード。このピンは、1μF のコンデンサを使って AGND (ピン 7) とデカップリングします。
7	AGND	アナログ・グラウンド (0V)。ADC コア用のグラウンド。AGND ピンと DGND ピンは、デバイスにできるだけ近い位置で互いに短絡させることを推奨します。
8	AGND	アナログ・グラウンド (0V)。アナログ・フロント・エンド (AFE) 用のグラウンド。AGND ピンと DGND ピンは、デバイスにできるだけ近い位置で互いに短絡させることを推奨します。
9	AVDD5	アナログ電源 (5V)。ADC コア用の電源。
10	NIC	内部では未接続
11	AVDD5	アナログ電源 (5V)。AFE 用の電源。
12	AGND	アナログ・グラウンド (0V)。AFE 用のグラウンド。AGND ピンと DGND ピンは、デバイスにできるだけ近い位置で互いに短絡させることを推奨します。

ピン番号	記号	説明
13	CLKIO	クロック入出力。このピンは、外部クロックの入力または内蔵クロックの出力として使用します。
14	DOUT/RDY	シリアル・インターフェース・データ出力 (DOUT)。このピンは、ADC の出力レジスタにアクセスするためのシリアル・データ出力として機能します。データは SCLK の立下がりエッジ後に DOUT/RDY ピンに出力され、SCLK の立上がりエッジで有効になります。CS がハイ・レベルのとき、DOUT/RDY 出力はスリーステートになります。 データ・レディ出力 (RDY)。CS がロー・レベルのとき、DOUT/RDY はデータ・レディ・ピンとして機能し、変換完了をロー・レベルで示します。変換後にデータが読み出されない場合、次の更新が行われる前にこのピンはハイ・レベルになります。DOUT/RDY の立下がりエッジはプロセッサに対する割込みとして使用でき、有効なデータが準備できていることを示します。
15	DIN	シリアル・インターフェース・データ入力。デジタル入力。
16	SCLK	シリアル・インターフェース・クロック。デジタル入力。
17	CS	シリアル・インターフェースのチップ・セレクト/フレーム。デジタル入力。
18	ERR	エラー入出力。オープンドレイン・デジタル出力。
19	SYNC	ADC 同期入力。SYNC がローになると ADC は実行中の ADC 変換を中断し、RDY がハイになります。SYNC がハイになると、ADC は一定のクロック・サイクル数のうちに新しい変換を開始します。複数の ADC チャンネルがイネーブルされている場合は、シーケンスの最初のチャンネルから変換が再開されます。
20, 21	IOVDD	デジタル電源 (2V~5V)。デジタル入力および出力用の電源。
22	DGND	デジタル・グラウンド (0V)。デジタル入力および出力用のリファレンス・グラウンド。AGND ピンと DGND ピンは、デバイスにできるだけ近い位置で互いに短絡させることを推奨します。
23	ADCDVDD	内部リニア・レギュレータ出力のデカップリング・ノード。このピンは、1μF のコンデンサを使って DGND (ピン 22) とデカップリングします。
24, 25	ADR0, ADR1	シリアル・インターフェース・アドレス。デジタル入力。
26	AINCOM(LV)	低電圧アナログ入力。デバイスを疑似差動モードに設定した場合、AIN1 (LV) と AIN2 (LV) はこのピンを基準とします。
27	AIN1(LV)	低電圧アナログ入力。この入力は、AIN2 (LV) を使用する完全差動入力として設定するか、AINCOM (LV) を使用するシングルエンド入力または疑似差動入力として設定できます。
28	AIN2(LV)	低電圧アナログ入力。この入力は、AIN1 (LV) を使用する完全差動入力として設定するか、AINCOM (LV) を使用するシングルエンド入力または疑似差動入力として設定できます。
29	C(-)	負のコンデンサ端子。フィルタ・コンデンサは、このピンと C (+) の間やこのピンとアナログ・グラウンド (AGND) の間に接続できます。他の回路接続を行うことはできません。
30	C(+)	正のコンデンサ端子。フィルタ・コンデンサは、このピンと C (-) の間、もしくはこのピンとアナログ・グラウンド (AGND) の間に接続できます。他の回路接続を行うことはできません。
31	AIN(-)	負のアナログ入力。電圧モードではこのピンは負入力です。3 線式 RTD 接続では、この端子から RTD 補償電流が流れ出します。このピンは、電流モードにおける外付け検出抵抗の負の検出電圧端子としても機能します。
32	EXRS	外付け抵抗検出。電流モードにおける外付け検出抵抗用の検出 (電圧) 端子。
33	EXRF	外付け抵抗強制端子。電流モードにおける外付け検出抵抗用の強制 (電流) 端子。 そのアプリケーションで外付け検出抵抗を使用していない場合、電流モード動作時はこのピンを AIN (-) ピンに接続する必要があります。つまり、外付け抵抗を短絡接続するか、0Ω 抵抗に置き換える必要があります。
34	AIN(+)	正のアナログ入力。電圧モードと電流モードではこのピンは正入力です。3 線式 RTD 接続では、この端子から RTD 励起電流が流れ出します。このピンは、フィールド電源モードでは正のフィールド電源出力としても機能します。
35	RTD	測温抵抗体 (RTD) ピン。4 線式 RTD 接続では、この端子から RTD 励起電流が流れ出します。
36	VSS ²	負の電源 (-12V~-20V)。10μF のデカップリング・コンデンサを推奨します。
37	VDD	正の電源 (12V~20V)。10μF のデカップリング・コンデンサを推奨します。
38	VPP	内部 5V ノード。このピンにはデカップリング・コンデンサを接続する必要があります。他の回路接続をすることはできません。VPP ピンと VSS ピンの間に 0.1μF のコンデンサを接続してください。
39	VDD	正の電源 (12V~20V)。
40	VSS ²	負の電源 (-12V~-20V)。
EPAD	VSS ²	露出パッド。露出パッドは、パッケージの機械的強度を高めるため PCB 上のパッドにハンダ付けします。露出パッドは VSS に接続してください。

¹ 同じ名前のピンは互いに短絡させる必要があります。

² システム負電源の電位より低い (マイナス値が大きい) 負電位を持つ HV ピンに電圧を加える場合は、必ず外付けダイオードを VSS ピンからシステム負電源に接続した上で行ってください。接続図については図 29 を参照してください。

代表的な性能特性

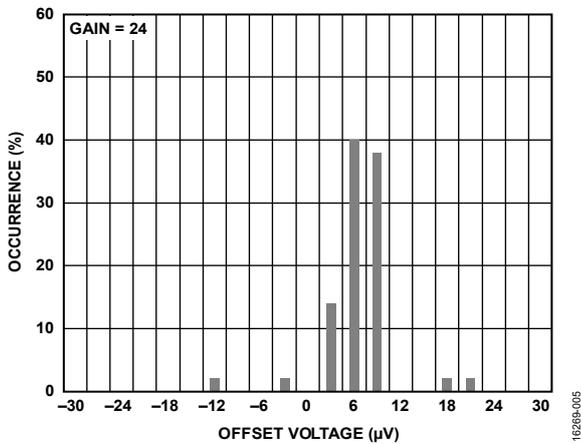


図 5. 電圧モード、オフセット電圧分布 (ゲイン = 24)

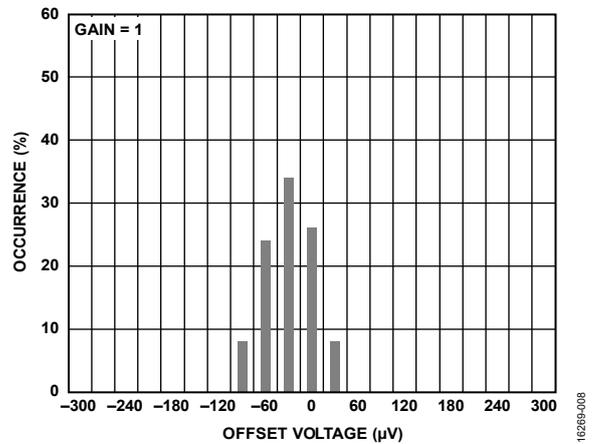


図 8. 電圧モード、オフセット電圧分布 (ゲイン = 1)

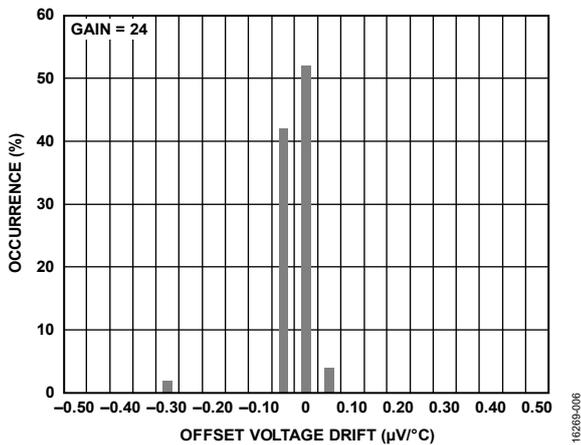


図 6. 電圧モード、オフセット電圧ドリフト分布 (ゲイン = 24)

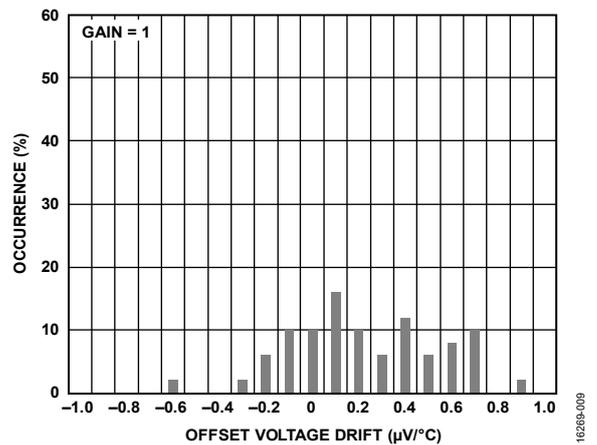


図 9. 電圧モード、オフセット電圧ドリフト分布 (ゲイン = 1)

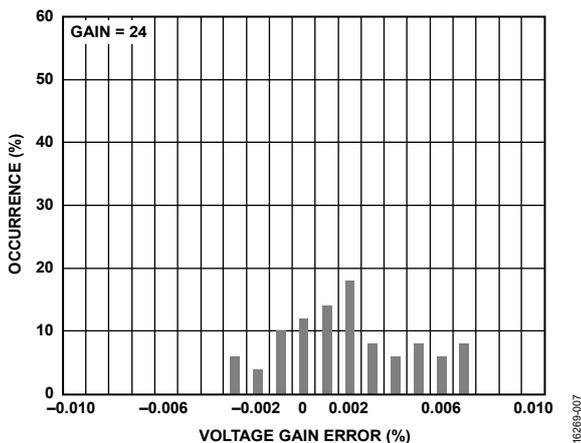


図 7. 電圧モード、ゲイン誤差分布 (ゲイン = 24)

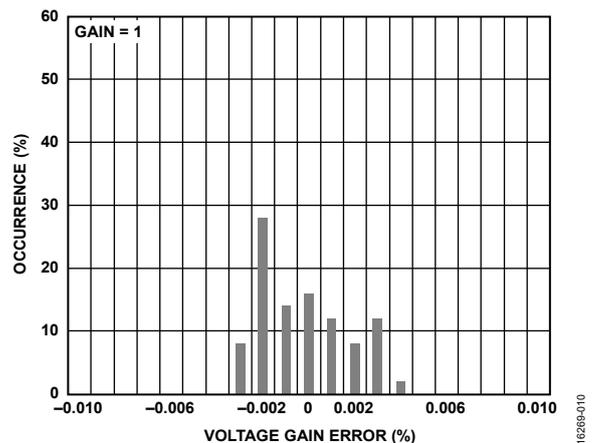


図 10. 電圧モード、ゲイン誤差分布 (ゲイン = 1)

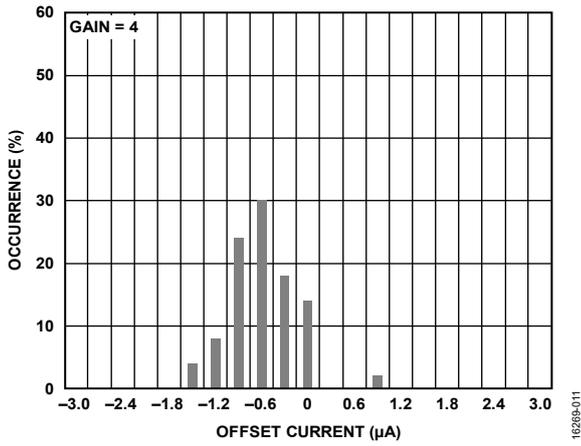


図 11. 電流モード、オフセット電流分布 (ゲイン = 4)

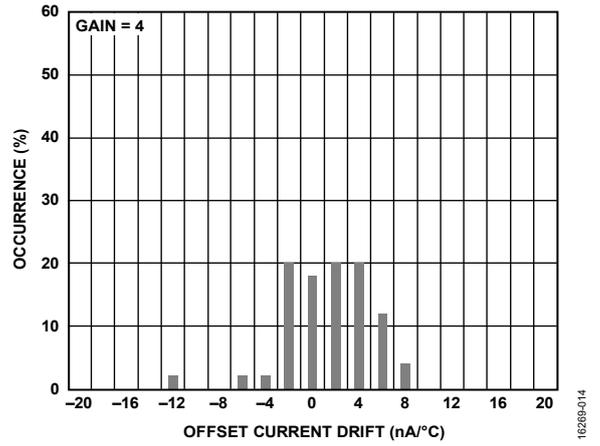


図 14. 電流モード、オフセット電流ドリフト分布 (ゲイン = 4)

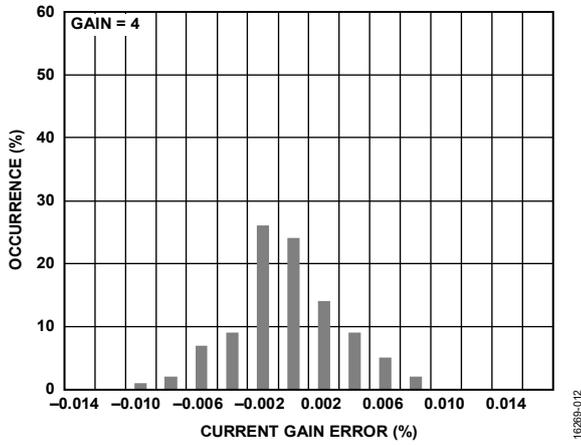


図 12. 電流モード、ゲイン誤差分布 (ゲイン = 4)

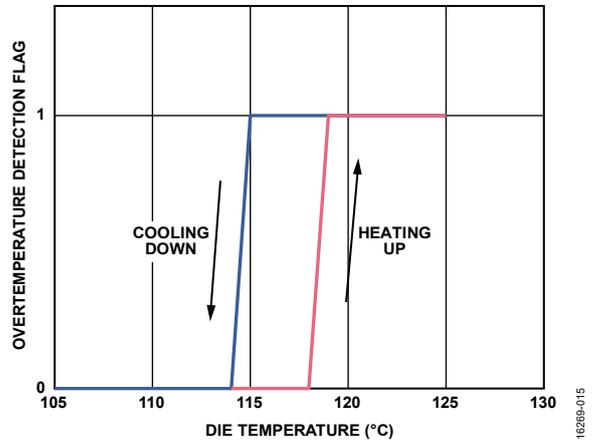


図 15. 過熱検出

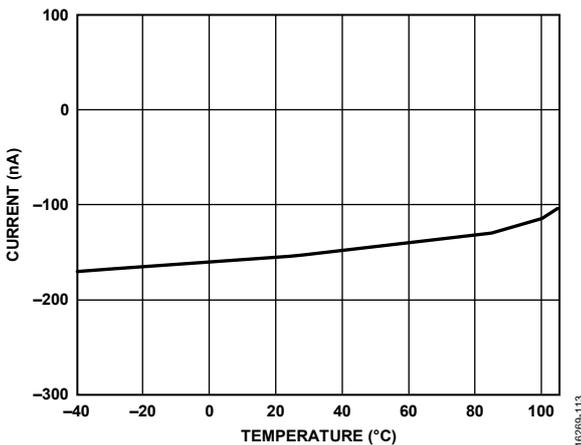


図 13. 入力バイアス電流 (ゲイン = 24)

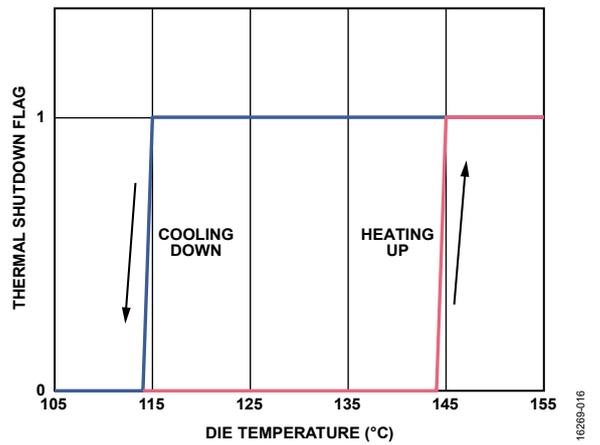


図 16. サーマル・シャットダウン

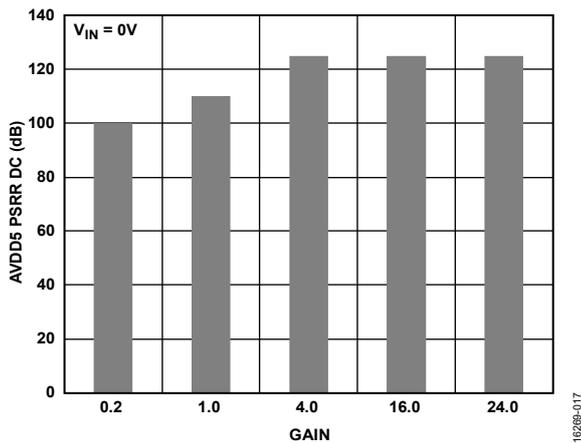


図 17. DC 電源電圧変動除去比 (PSRR)、AVDD5 のみ

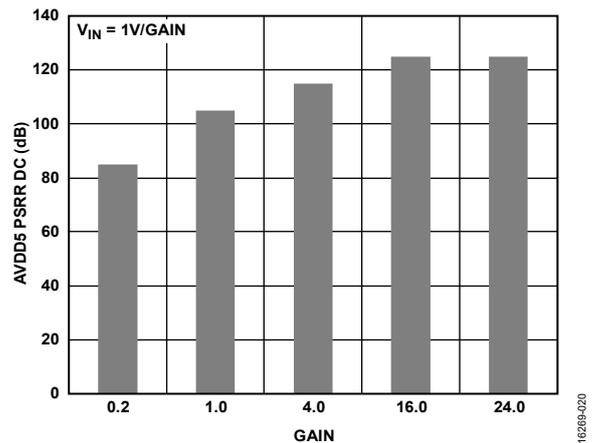


図 20. DC PSRR (AVDD5 のみ)

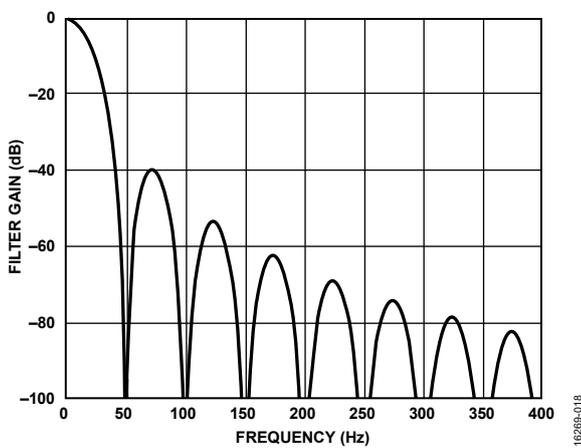


図 18. ノーマルモード除去、sinc3 フィルタ、出力データ・レート = 50SPS

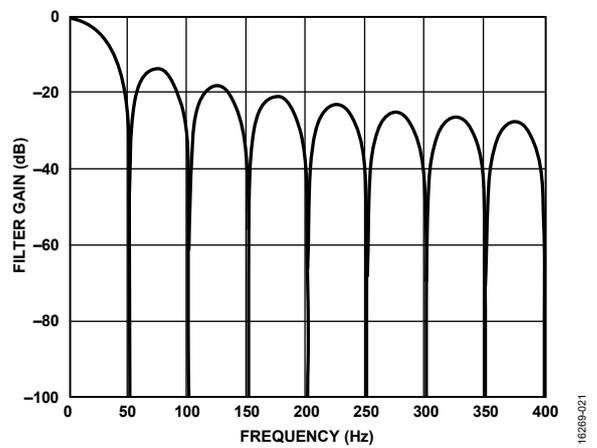


図 21. ノーマルモード除去、sinc5+sinc1 フィルタ、出力データ・レート = 49.92SPS

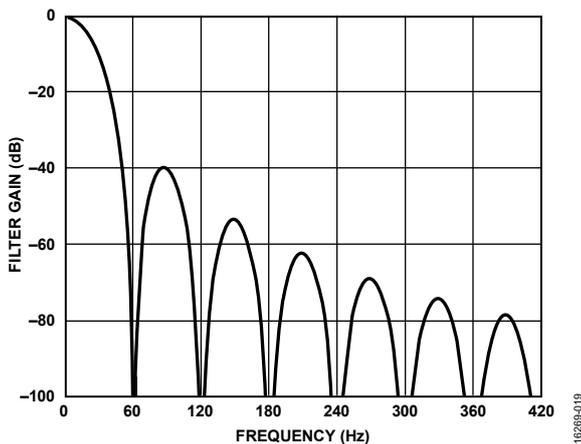


図 19. ノーマルモード除去、sinc3 フィルタ、出力データ・レート = 60SPS

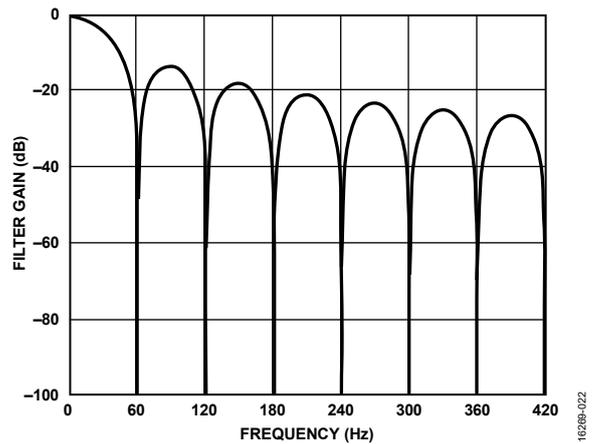


図 22. ノーマルモード除去、sinc5+sinc1 フィルタ、出力データ・レート = 59.9SPS

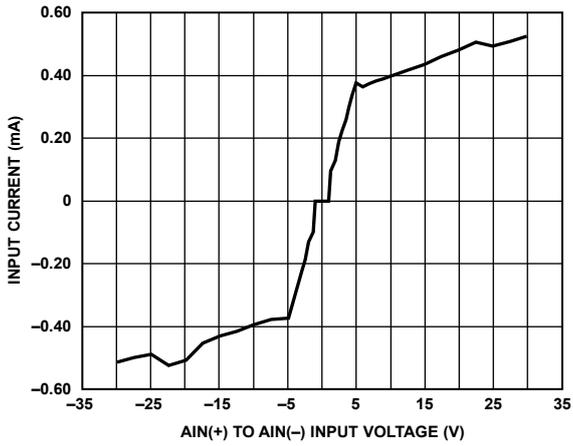


図 23. 無電源モード、電圧モード時の入力電流

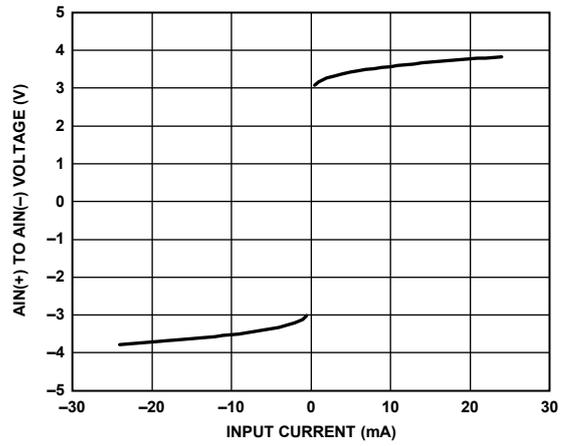


図 26. 無電源モード、電流モード時の AIN (+) ~AIN (-) 間電圧降下

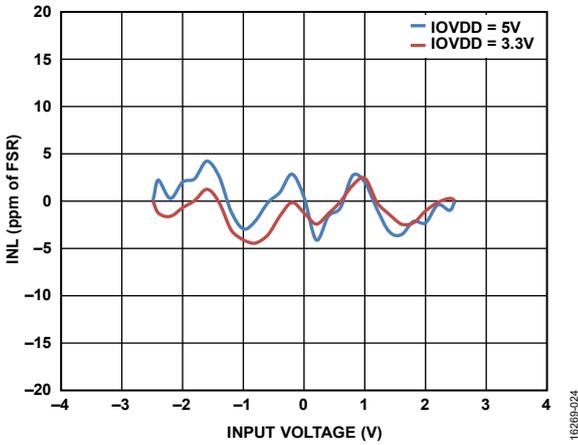


図 24. 積分非直線性 (INL)、電圧モード、ゲイン = 1

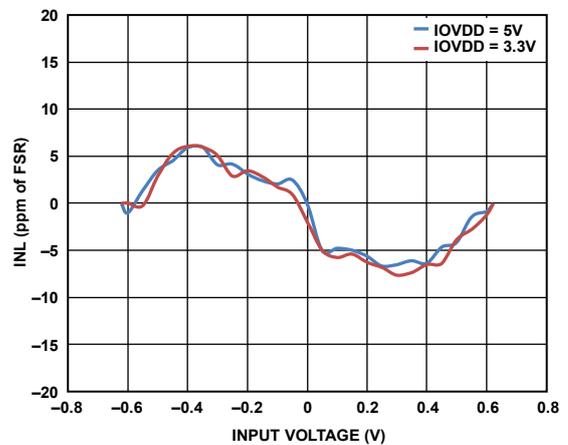


図 27. INL、電圧モード、ゲイン = 4

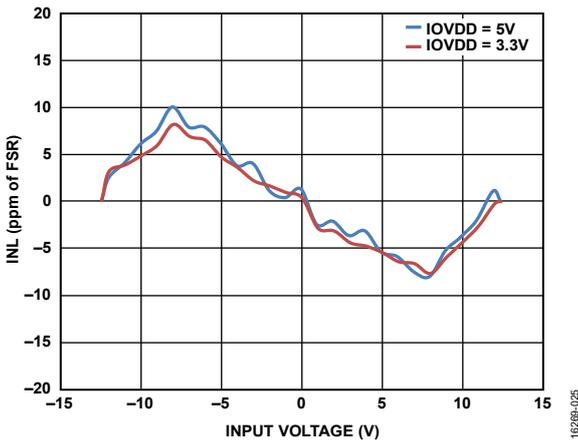


図 25. INL、電圧モード、ゲイン = 0.2

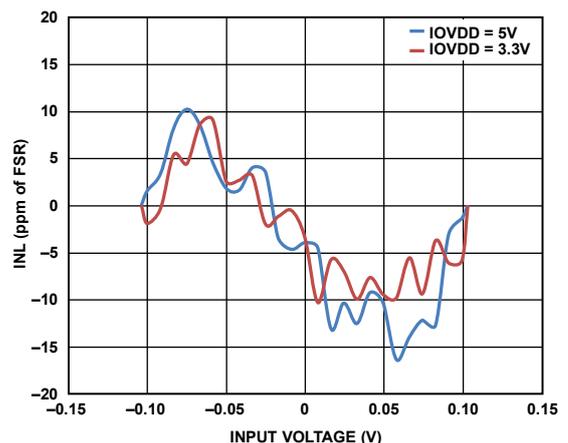


図 28. INL、電圧モード、ゲイン = 24

動作原理

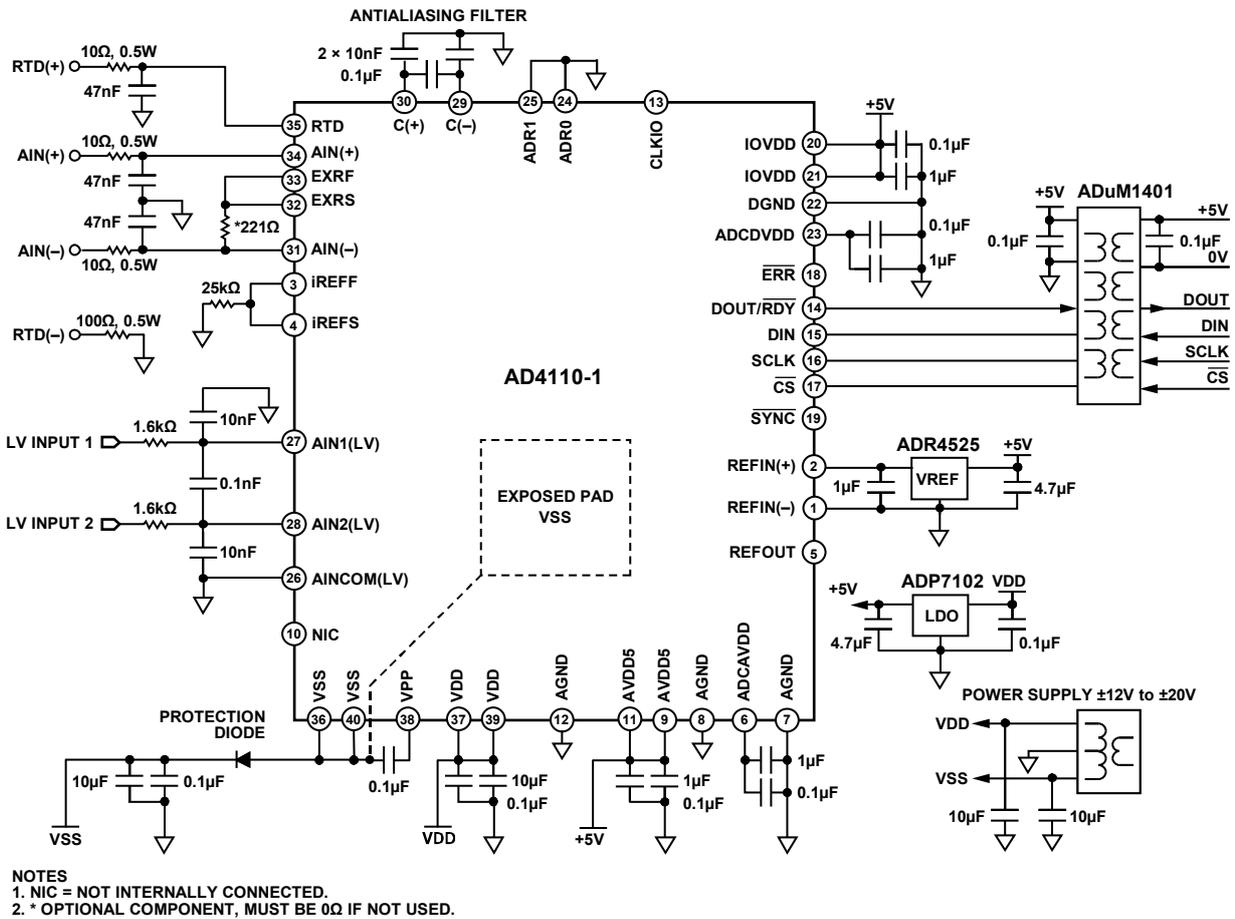


図 29. 代表的アプリケーション

AD4110-1 は、工業用プロセス制御システム向けの全機能内蔵型アナログ・フロント・エンドです。AD4110-1 は高電圧保護された単一のアナログ入力チャンネルを備えており、2つの入力端子に電圧信号または電流信号を加えることができます。

その高電圧入力、ソフトウェアだけで電流範囲用または電圧範囲用に設定でき、±4mA～±20mA のループ、電圧出力センサー、熱電対、RTD など、標準的なすべての工業用アナログ信号源と直接インターフェースすることができます。このデバイスは、RTD およびその他の抵抗センサー用の励起電流源も備えています。

デバイスを動作させるために必要な基本的接続方法は図 29 の通りです。電流入力用にデバイスを設定した場合は、モジュール電源がなくても独自の回路アーキテクチャがループ電流用のパスを提供します。

設計の特徴は PGA を使用していることです。PGA は増大する可能性のある同相信号を除去してから、入力信号を増幅するか減衰させます。このコンディショニング済み信号は、フル・バッファの 24 ビット $\Sigma\Delta$ ADC により最大出力データ・レート 125kSPS で変換されます。

低電圧入力 AINCOM (LV)、AIN1 (LV)、および AIN2 (LV) を使用すれば、ADC 入力マルチプレクサに信号を直接送ることができます。これらの低電圧入力チャンネルは高電圧から保護されておらず、AIN (+) および AIN (-) 高電圧入力とは最大定格値が異なります。低電圧入力チャンネルは、熱電対入力の冷接点補償が必要とされるアプリケーションに適しています。

AD4110-1 の主な特長としては、内部フロント・エンド診断機能や電流および電圧モード用の保護メカニズムなどが挙げられます。これらの機能には、過電流状態、過電圧状態、過熱状態の表示機能と自動シャットダウン機能が含まれています。また、システムレベル診断機能を使用すれば、断線やコンプライアンス範囲外の電流源を検出できます。AD4110-1 は、50Hz/60Hz ノイズ除去のためのエンハンスト・デジタル・フィルタ動作モードや高精度オンチップ電圧リファレンスの他、ADC へのフル・バッファ・アナログ入力とリファレンス入力を備えています。

16289-029

電源シーケンス

AD4110-1 には推奨電源シーケンスがあります。表 6 を参照してください。すべての電源が安定したら、デバイスをリセットする必要があります。AD4110-1 のリセットのセクションを参照してください。

保護ダイオード

システム負電源の電位より低い（マイナス値が大きい）負電位を持つ HV ピンに電圧を加える場合は、必ず外付けダイオードを VSS ピンからシステム負電源に接続した上で行ってください。ダイオードは、逆方向リーク電流の極めて小さいものを使用するようにしてください。接続図については図 29 を参照してください。

アナログ入力

AD4110-1 には高電圧差動入力が 1 つあり、電圧または電流を入力するように設定できます。入力が電流の場合は、内蔵抵抗 (R_{SENSE}) を使って電流を電圧に変換できます。あるいは高精度の外付け抵抗を使用することも可能です。

プルアップ/プルダウン電流

AD4110-1 の各高電圧入力ピンは、プルアップ電流またはプルダウン電流を使用できます。これらの電流の値は $1\mu\text{A}$ または $100\mu\text{A}$ とすることができ、断線の存在を検出するために使用します。

アンチエイリアシング・フィルタ

AD4110-1 の入力ピンは、公称値 $1.6\text{k}\Omega$ の直列抵抗によって内蔵 PGA の入力に接続されています。C (±) ピンに接続した外付けコンデンサを使用すれば、1 次アンチエイリアシング・フィルタを実装することができます。差動コンデンサとグラウンドに接続した $0.01\mu\text{F}$ のコンデンサによって -3dB カットオフ周波数が約 500Hz になるので、 $0.1\mu\text{F}$ のコンデンサの使用を推奨します。

RTD 励起電流

AD4110-1 の高電圧入力は、2 線式、3 線式、および 4 線式の RTD センサーに接続できます。このデバイスでは 2 つの整合された励起電流を使用でき、これらは $100\mu\text{A}$ 、 $400\mu\text{A}$ 、 $500\mu\text{A}$ 、またはこれらの値の任意の組み合わせに設定することができます。

フィールド電源モード

AD4110-1 には、AIN (+) 端子と AIN (-) 端子の間に接続された外付け電流出力センサーに、最大 24mA の電源を供給するオプションがあります。

無電源モード

AD4110-1 を電流モードでパワーアップするように設定した状態で VDD/VSS に電源が接続されていない場合、AD4110-1 は、その $\pm 4\text{mA}$ ~ $\pm 20\text{mA}$ のループから自らに電源を供給することができます。ただし、この場合は一部の機能が使用できなくなります。ループを通過する電流パスとループ過電流検出機能は、共に使用可能です。

バイアス電圧発生器

AD4110-1 にはバイアス電圧発生器 (VBIAS) が組み込まれており、これを AIN (-) ピンを AGND に接続するために使用できます。等価回路図については図 34 を参照してください。この機能はソフトウェアで選択でき、センサー出力信号がフロート状態になっているアプリケーション用に組み込まれています。

PGA

PGA は、増大する可能性のある同相信号を除去してから入力信号を増幅または減衰して、ADC の変換分解能を最大限まで高めます。

キャリブレーション・レジスタ

AD4110-1 には複数のゲイン・キャリブレーション・レジスタがあり、電圧モードにおける 16 種類のゲインを設定するためのゲイン補正係数が格納されています。電流モード用のゲイン・キャリブレーション・レジスタは 1 個で、ゲインを 4 に設定するゲイン補正係数が格納されています。

シリアル・インターフェース

AD4110-1 は 4 線式のシリアル・ペリフェラル・インターフェース (SPI) を備えています。内蔵レジスタには、シリアル・インターフェース経由でアクセスします。1 本の SPI バスには最大 4 個のデバイスを接続できます。AD4110-1 には、各デバイスのアドレス設定用に 2 つのアドレス・ピン (ADR0 と ADR1) があります。

クロック

AD4110-1 は 8MHz の内部クロックを 2 つ備えています。仕様規定された性能を得るには、ADC クロックを使って AFE を駆動することを推奨します。内部クロックは CLKIO ピンに出力され、外部クロックも CLKIO ピンに接続できます。

ADC

高電圧アナログ・フロント・エンドの出力は、ADC の入力マルチプレクサに接続します。24 ビット ADC はフル・バッファ入力 (アナログ入力とリファレンス入力)、最大出力データ・レートは 125kSPS です。

$\Sigma\text{-}\Delta$ モジュレータ出力はデジタル・フィルタを備えており、AD4110-1 では 3 種類のデジタル・フィルタを使用できます。アプリケーションに応じて、以下のフィルタ応答のいずれか 1 つが選択されます。

- 高速チャンネル・スイッチング用の $\text{sinc5} + \text{sinc1}$ アベレージャ
- 干渉を最大限除去する sinc3 フィルタ応答
- 最大限の $50\text{Hz}/60\text{Hz}$ 同時除去と最小限のセトリング時間を実現するエンハンスト・フィルタ・セット

ADC フィルタ・レジスタ

AD4110-1 には 4 つのフィルタ・レジスタがあり、これらのレジスタを使用して 1 つの高電圧チャンネルと 3 つの低電圧チャンネル用に異なる出力データ・レートを選択することができます。これらのフィルタ・レジスタは同じメモリ・アドレスを共有します。したがって、フィルタ・レジスタへの書き込み時は、ADC_CONFIG レジスタでイネーブルされたそれぞれのチャンネルに対応するフィルタ・レジスタに内容がコピーされます。

ADC ゲイン・レジスタとオフセット・レジスタ

AD4110-1 には、4 つのチャンネル (1 つの高電圧チャンネルと 3 つの低電圧チャンネル) のそれぞれに対応するゲイン・レジスタとオフセット・レジスタのセットが 4 つあります。

ノイズ性能と分解能

様々な出力データ・レートとフィルタ設定に対し、サンプル数 1000 個で求めた AD4110-1 の代表的実効値ノイズ分解能とノイズ・フリー（ピーク to ピーク）分解能を図 30~図 33 に示します。ここに示した値は、2.5V の外部リファレンスを使用するバイポーラ入力範囲の場合です。これらの代表値は、ADC が連続変換しているときに 0V の差動入力を使って得られた値です。

両入力は、VBIAS をオンにしてデバイス・ピン位置で互いに短絡されています。ピーク to ピーク分解能はピーク to ピーク・ノイズを基に計算されます。このピーク to ピーク分解能は、コード・フリッカが生じない分解能を表します。

ノイズ性能および分解能の詳細については、ノイズ、セトリング時間、およびデジタル・フィルタリングのセクションを参照してください。

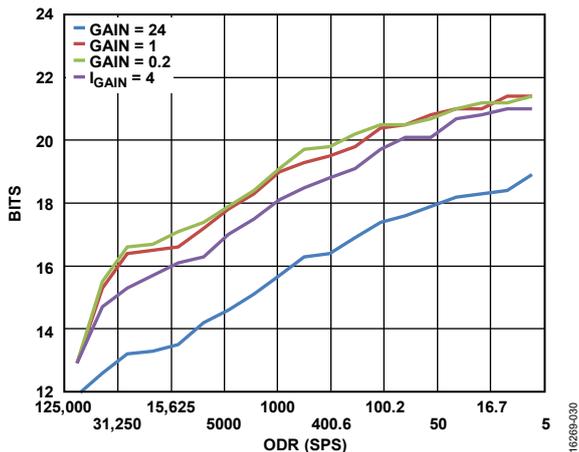


図 30. sinc3 フィルタのノイズ・フリー分解能

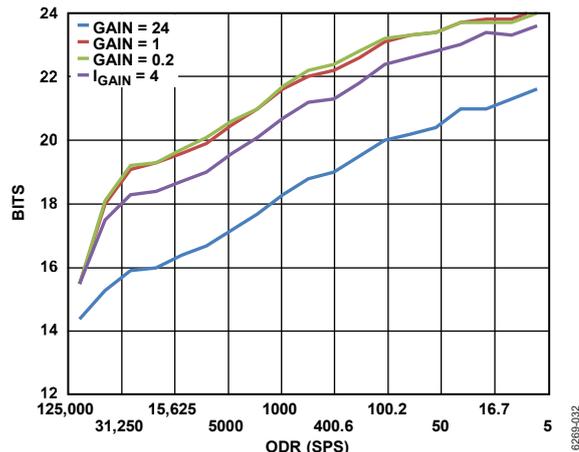


図 32. sinc3 フィルタの実効値ノイズ分解能

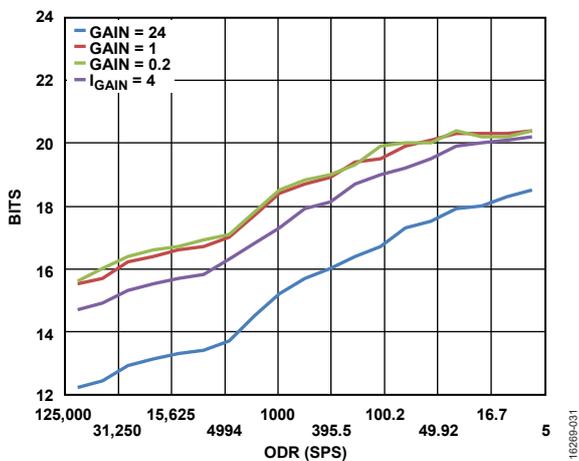


図 31. sinc5+sinc1 フィルタのノイズ・フリー分解能

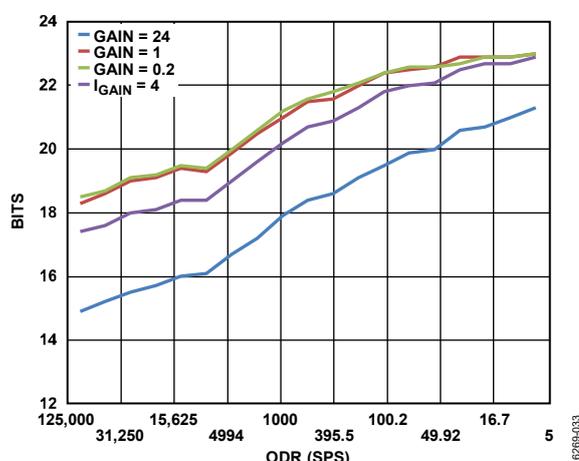


図 33. sinc5+sinc1 フィルタの RMS ノイズ分解能

動作モード

パワーアップ時のデフォルト動作モード

AD4110-1の入力ピン AIN (+) と AIN (-) は、電圧入力または電流入力用に設定することができます。出荷時設定の動作モードは電流モードです。パワーアップ時のデバイスは、測定用の低インピーダンス検出抵抗を通す経路で入力電流を受け入れます。

パワーアップ時のデフォルト・モードは、無電源モード状態で作られる動作モードでもあります（無電源モードのセクションを参照）。高電圧チャンネル用のパワーアップ・モードはプログラム可能です。

次回以降のパワーアップ・サイクルにおけるデフォルト動作モードの変更

出荷時に設定されたデフォルト動作モードはメモリに保存されており、次回パワーアップ時に以降にデバイスが高電圧チャンネルを電流モードまたは電圧モードのどちらでパワーアップするかは、アプリケーションによってプログラムし直すことができます。

±4mA～±20mA の電流ループを扱うときは、パワーアップ時のデフォルトを電流モードに設定するほうが有利です。AD4110-1 は、±4mA～±20mA のループに接続された状態で AD4110-1 への電源に異常が生じたとしても、電流ループと入力保護機能の両方が維持されるように設計されています。一方、パワーアップ時のデフォルトを電圧モードに設定する利点は、入力が高インピーダンス入力として動作することです。

デフォルトの動作モードを変更するには、以下のステップに従ってください。

- AFE_CNTRL2 レジスタ（アドレス 0x4）の IMODE ビット（ビット 1）を設定します。値 1 の場合は電流モードが選択され、値 0 の場合は電圧モードが選択されます（表 7 と表 29 を参照）。
- NO_PWR_DEFAULT_SEL レジスタ（アドレス 0xE、表 8 を参照）に値 0x00B1 を書き込みます。
- 新しいカウント値が正しくロードされるように、NO_PWR_DEFAULT_SEL レジスタに対して直ちにリフレッシュ・コマンド（0x00A1）を發します。

パワーアップ時のデフォルト動作モードの変更に必要なレジスタのビットの説明を、表 7 と表 8 に示します。更に、AD4110-1 への電源接続が何らかの理由で解除された場合も、デバイスはこのパワーアップ時のデフォルト動作モードに戻ります。

表 7. AFE_CNTRL2 レジスタのビットの説明

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x4	AFE_CNTRL2	[15:8]	AINN_DN100	AINN_DN1	AINN_UP100	AINN_UP1	AINP_DN100	AINP_DN1	AINP_UP100	AINP_UP1
		[7:0]	VBIAS		Reserved		EN_FLD_PWR	EXT_R_SEL	IMODE	Reserved

表 8. NO_PWR_DEFAULT_SEL レジスタと NO_PWR_DEFAULT_STATUS レジスタのビットの説明

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0xE	NO_PWR_DEFAULT_SEL	[15:8]	Reserved							
		[7:0]	D_MODE							
0xF	NO_PWR_DEFAULT_STATUS	[15:8]	Reserved							COMM_ERR
		[7:0]	Count							

アプリケーションは、プログラムされたデフォルト動作モードを NO_PWR_DEFAULT_STATUS レジスタから読み出すことができます。このレジスタの値が偶数の場合はデフォルトのパワーアップ・モードが電圧モードであることを意味し、奇数の場合はデフォルトのパワーアップ・モードが電流モードであることを意味します。

デフォルト動作モードを変更できる回数は 100 回だけです。NO_PWR_DEFAULT_STATUS レジスタのビット [7:0] には、デフォルトの動作モードを変更できる残りの回数が格納されません。

電源条件

電源シーケンスは、以下のいずれかとすることを推奨します（表 6 を参照）。すべての電源が安定した後は、デバイスをリセットする必要があります（AD4110-1 のリセットのセクションを参照）。

表 6. 電源シーケンス

Sequence	1 st	2 nd	3 rd	4 th
1	VSS	VDD	AVDD5	IOVDD
2	VDD	VSS	AVDD5	IOVDD
3	VDD	AVDD5	VSS	IOVDD
4	VDD	AVDD5	IOVDD	VSS

システム・クロック条件

AD4110-1 は 8MHz の内部クロックを 2 つ備えています。仕様規定された性能を得るには、ADC クロックを使って AFE を駆動することを推奨します。パワーアップ時、デフォルトでは AFE と ADC はそれぞれ固有の内部クロックで動作します。したがってアプリケーション・ソフトウェアは、ADC クロックが CLKIO ピンに出力されるように設定し直すと共に、AFE クロックが CLKIO ピンをそのクロック源として使用するよう設定し直す必要があります（表 28 と表 39 を参照）。

- ADC_MODE レジスタのビット [3:2] を 01 に設定します。
- AFE_CLK_CTRL レジスタのビット [4:3] を 10 に設定します。

外部クロック源使用時は、ADC クロックが CLKIO ピンをそのクロック源として使用するよう設定し直す必要があります。

- ADC_MODE レジスタのビット [3:2] を 10 に設定します。

バイポーラ出力とユニポーラ出力

AD4110-1 には、完全差動、疑似差動、およびシングルエンドの入力信号を使用できます。アプリケーションは、ADC_CONFIG レジスタを使用することにより、バイポーラまたはユニポーラを選択して ADC の出力コーディングを選択できます。デフォルトの出力モードはバイポーラです (表 41 を参照)。

ADC 入力に現れる電圧は次式で表されます。

$$(AIN (+) - AIN (-)) \times PGA \text{ ゲイン}$$

バイポーラ・モードでは、ADC に正負両方の差動入力電圧を使用できます。出力コーディングはオフセット・バイナリで、LSB サイズは次式で表されます。

$$LSB = (2 \times V_{REF} \div 2^{24}) \div PGA \text{ ゲイン}$$

ユニポーラ・モードの場合、ADC は正の差動電圧のみに対応します。出力コーディングはストレート・バイナリで、LSB サイズは次式で表されます。

$$LSB = (V_{REF} \div 2^{24}) \div PGA \text{ ゲイン}$$

ユニポーラ・モードを使用する前に、負の PGA 入力オフセット電圧のために ADC 差動入力に負の値となることがあり、その場合は、ADC によって 0V に変換されることを考慮してください。

補助低電圧入力

AD4110-1 では、アプリケーションは 3 つの補助低電圧入力チャンネルを使用できます。これらの低電圧チャンネルは ADC の入力マルチプレクサに直接接続して、メインの高電圧チャンネル (チャンネル 0) による変換シーケンスの一部として選択することができます。

- チャンネル 1 : AIN1 (LV) - AIN2 (LV)
- チャンネル 2 : AIN1 (LV) - AINCOM (LV)
- チャンネル 3 : AIN2 (LV) - AINCOM (LV)

デフォルトでは、これらの補助チャンネルはディスエーブルされています。補助チャンネルをイネーブルするには、ADC_CONFIG レジスタのビット [3:1] を設定します (表 41 を参照)。各チャンネルには、ゲイン・レジスタ、オフセット・レジスタ、フィルタ・レジスタのセットが割り当てられています。これらのレジスタは、メインの高電圧チャンネル用のレジスタとは別にプログラムすることができます。

デジタル・フィルタ

AD4110-1 には 4 つのデジタル・フィルタ・レジスタがあり、これらを使用して 1 つの高電圧チャンネルと 3 つの低電圧チャンネルに異なる出力データ・レートを選択することができます (表 43 を参照)。これらのフィルタ・レジスタは同じメモリ・アドレスを共有しているので、フィルタ・レジスタへの書き込み時は、ADC_CONFIG レジスタでイネーブルされたそれぞれのチャンネルに対応するフィルタ・レジスタに内容がコピーされます。

表 9. ADC_INTERFACE レジスタのビットの説明

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x2	ADC_INTERFACE	[15:8]	Reserved							
		[7:0]	Reserved	DATA_STAT	Reserved	CRC_EN	Reserved	Reserved	WL16	

連続変換モード

パワーアップ後の ADC のデフォルトの動作モードは、高電圧チャンネルでの連続変換モードです。

AD4110-1 は連続的に変換を行い、変換が完了するたびにステータス・レジスタの RDY ビットがロー・レベルになります。CS がロー・レベルの場合は、変換が完了すると DOUT/RDY ラインもロー・レベルになります。変換結果を読み出すには、コミュニケーション・レジスタに書込みを行って、次の動作がデータ・レジスタからの読出しであることを指定します。データ・レジスタからデータワードが読み出されると、DOUT/RDY がハイ・レベルになります。アプリケーションは、必要に応じてこのレジスタの内容を何回も読み出すことができます。ただし、次の変換の完了時に、データ・レジスタへのアクセスが実行中でないようにする必要があります。そうしないと、新しい変換ワードが失われます。

ADC の変換制御ロジックと SPI インターフェースは同期されていないので、CS がローになった後に ADC 結果レジスタを読み出す場合は注意する必要があります (詳細については、シリアル・ペリフェラル・インターフェースのセクションの DOUT/RDY に関する説明を参照してください)。

入力自動シーケンシング

複数のチャンネルをイネーブルした場合、ADC は各チャンネルのシーケンシングを自動的に行って変換結果を生成します。全チャンネルの変換が終了すると、最初のチャンネルからシーケンスを再開します。チャンネルは、イネーブルされた最も番号の小さいチャンネルから、最も番号の大きいチャンネルへ順に変換されます。データ・レジスタは、変換結果が読出し可能になると、直ちに更新されます。DOUT/RDY ビンは新しい変換結果が得られるたびに、ロー・レベルに移行します。次いで、ADC がイネーブルされた次のチャンネルの変換を行っている間に、変換結果を読み出すことができます。

ADC データ・レジスタの変換結果にチャンネル ID は含まれていません。したがって、複数のチャンネルをイネーブルした場合は、ADC ステータス・レジスタの内容を ADC データ・レジスタに追加する必要があります。これは、ADC_INTERFACE レジスタのビット 6 をセットすることにより設定します (表 9 と表 40 を参照)。

フィルタのセトリング時間はスイッチング・チャンネルに関連付けられています。したがって、AD4110-1 の出力データ・レートは、選択したチャンネルの数に応じて低下します。チャンネルのフィルタ・セトリング時間とスイッチング・レートについては、表 16~表 21 を参照してください。

入力チャンネルはマルチプレクス型なので、ADC が変換プロセスを開始する前に入力をセトリングさせる時間が必要になることがあります。AD4110-1 は ADC 変換の遅延機能を備えています。ADC の変換遅延のセクションを参照してください。

シングル変換モード

シングル変換モードの場合、AD4110-1 はシングル変換を行い、変換が終了するとスタンバイ・モードになります。このとき、変換が完了したことを示すために DOUT/RDYがロー・レベルになります。データ・レジスタからデータワードが読み出されると、DOUT/RDYがハイ・レベルになります。DOUT/RDYピンがハイ・レベルになっても、データ・レジスタの内容は必要に応じて複数回読み出すことができます。

シングル変換モードを有効にするには、ADC_MODE レジスタの MODE ビットを 001 に設定します。MODE ビットの詳細については、表 10 と表 39 を参照してください。

複数のチャンネルがイネーブルされていると、ADC はイネーブルされたチャンネルを自動的にシーケンス処理し、各チャンネルの変換を行います。変換が開始されると DOUT/RDYはハイ・レベルに移行し、有効な変換結果が得られて CSがロー・レベルになるまでハイ・レベルを維持します。変換結果が得られると、DOUT/RDYがロー・レベルに移行します。続いてADCは次のチャンネルを選択して変換を開始します。アプリケーションは、次の変換を実行している間に現在の変換結果を読み出すことができます。次の変換が完了すると、データ・レジスタが更新されます。したがって、変換結果の読出しに使用できる時間は限られています。ADC は、選択した各チャンネルのシングル変換を完了すると、スタンバイ・モードに戻ります。

ADC の変換遅延

AFE の設定が変更された場合や、複数のチャンネルがイネーブルされて ADC が自動的に各チャンネルのシーケンシングを行うようにプログラムされている場合は、ADC が変換プロセスの開始前に入力信号をセトリングさせる時間が必要になることがあります。AD4110-1 では、8 μ s~2ms の変換遅延をプログラムできます（プログラミング・オプションについては表 39 を参照）。

出力データ・レートが 10.39kSPS 以下の場合、遅延を設定しても変換結果の分解能にはわずかな影響しか与えずに ADC のデータ・レートを必要な更新レートに維持できます。遅延は、実行する平均計算の回数を減らすことによって、フィルタに効果的に吸収されます。出力データ・レートに対して適切な遅延値

を選択すれば、分解能への影響が最小限に抑えられます。遅延を吸収できるのは、要求される遅延が元のセトリング時間の半分未満の場合に限られます。出力データ・レートが 10.39kSPS を超える場合は、全体的な変換時間に遅延時間が加算されます。

この遅延機能は、sinc3 フィルタ使用時や、16.7Hz、50Hz、60Hz、および 400Hz の干渉除去時には無効になります。

バイアス電圧発生器

AD4110-1 にはバイアス電圧発生器 (VBIAS) が組み込まれており、これを使って AIN (-) ピンを AGND に接続することができます。この機能はソフトウェアで選択でき、センサー出力信号がフロート状態になっているアプリケーション用に組み込まれています。

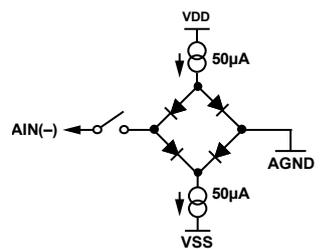


図 34. VBIAS 等価回路図

VBIAS 発生器は、AGND を基準とする 0V 電圧源として機能します。等価回路図は図 34 を参照してください。これは、AIN (+) ピンと AIN (-) ピンに接続したセンサー・デバイスから、最大で 50 μ A の電流をソースまたはシンクすることができます。

AD4110-1 の入力に接続されているセンサー出力がフロート状態の場合は、センサーと AD4110-1 の測定システムが同じグラウンドを共有できるよう、センサー出力をバイアスするために VBIAS 機能が使われます。フローティング出力を持つセンサーの代表例が熱電対です（図 35 参照）。

VBIAS 機能は、AFE_CNTRL2 レジスタのビット [7:6] によって制御されます（表 7 と表 29 を参照）。デフォルトでは、VBIAS 機能は無効化されています。

表 10. ADC_MODE レジスタのビットの説明

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x1	ADC_MODE	[15:8]	REF_EN	Reserved			DELAY			
		[7:0]	Reserved	MODE			CLK_SEL		Reserved	

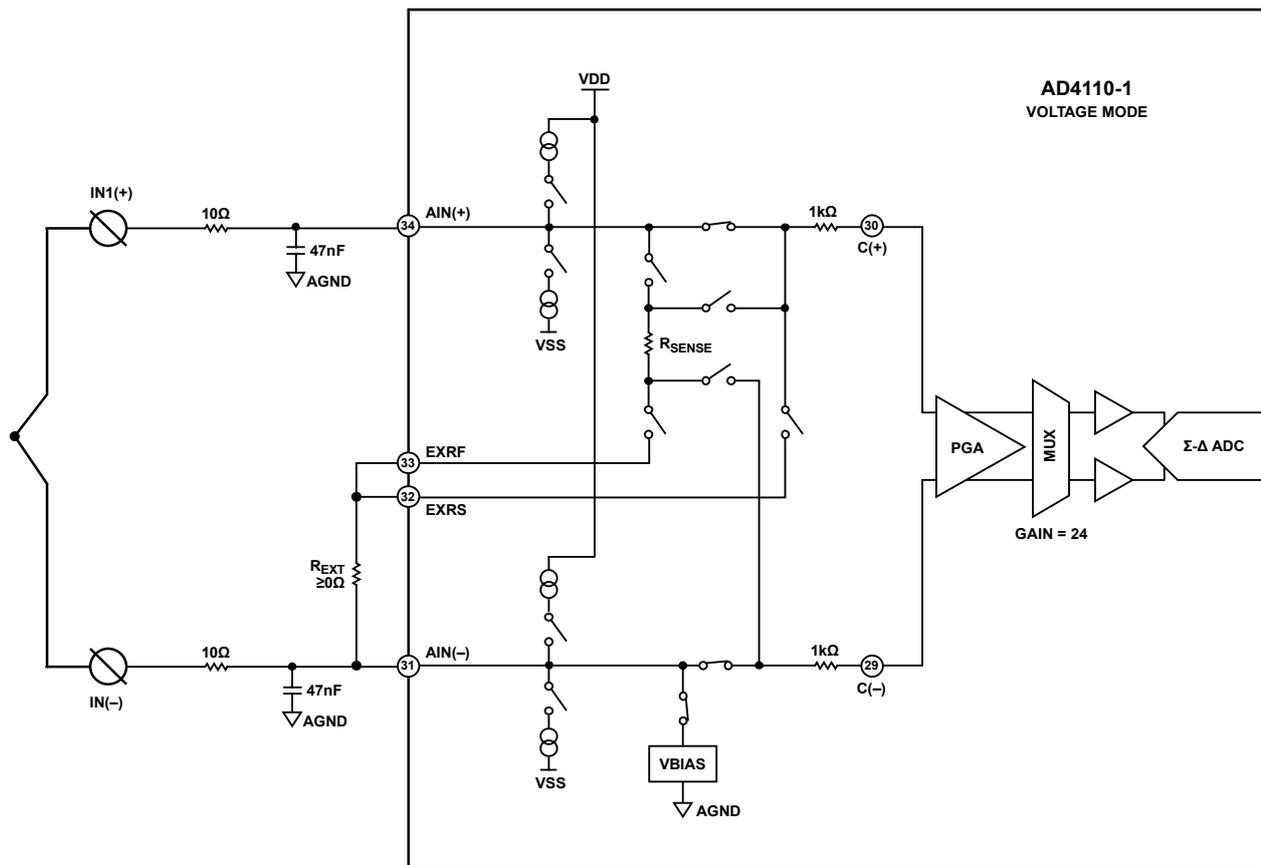


図 35. 熱電対の接続

アンチエイリアシング・フィルタ回路

アンプを使用するデバイス・レベル・アプリケーション向けアンチエイリアシング・フィルタリングの汎用的な手法を図 36 に示します。

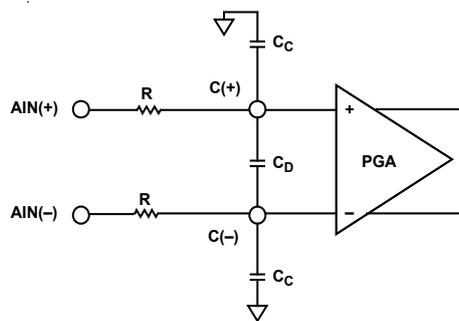


図 36. アンチエイリアシング・フィルタ、 C_C と C_D は外付け部品

AD4110-1 の AIN (+) 入力ピンと AIN (-) 入力ピンは、公称値 $1.6\text{k}\Omega$ の直列抵抗によって内部 PGA の入力に接続されています。外付けコンデンサを使用し、コンデンサを C (+) ピンと C (-) ピンに接続することによって、1 次アンチエイリアシング・フィルタを実装することができます。

このタイプのフィルタでは、同相モードから差動モードへの変換によるスプリアス差動信号の発生を防ぐために、少なくとも C_C の 10 倍の容量を持つ C_D を選ぶ必要があります。これらのスプリアス信号は、2 つの時定数 (RC_C) の不整合によって発生することがあります。フィルタリング手法の詳細については、チュートリアル MT-070 を参照してください。

同相信号におけるローパス・フィルタのコーナ周波数 (Filter Frequency_{CM}) は、次式を使って計算します。

$$\text{Filter Frequency}_{CM} = \frac{1}{2\pi RC_C}$$

また、差動信号におけるローパス・フィルタのコーナ周波数 (Filter Frequency_{DIFF}) は、次式を使って計算します。

$$\text{Filter Frequency}_{DIFF} = \frac{1}{2\pi R (2C_D + C_C)}$$

ここでは、 $C_D \geq 10 C_C$ とすることを推奨します。

計算結果は以下のとおりです。

$$\begin{aligned} R &= 1.6\text{k}\Omega \\ C_C &= 0.01\mu\text{F} \\ C_D &= 0.1\mu\text{F} \\ \text{Filter Frequency}_{DIFF} &\approx 500\text{Hz} \end{aligned}$$

電流モード

電流モードは、AFE_CNTRL2 レジスタの IMODE ビットを 1 に設定することによって選択します (表 7 と表 29 を参照)。

AD4110-1 のアナログ入力 AIN (+) と AIN (-) は、0mA ~ +20mA、±4mA ~ ±20mA、または ±20mA 出力の電流ループとして動作する標準的な産業用アナログ・センサーと直接インターフェースできます。

トランスミッタ・モジュール端子の電流ループは、AD4110-1 の差動アナログ入力に直接接続します。ループ電流は、図 37 に示すように内部スイッチ、内部検出抵抗 R_{SENSE} 、外部検出抵抗 R_{EXT} の順番に流れていきます。

R_{SENSE} で生じる電圧降下は入力電流に比例しますが、これはアナログ RC フィルタによって除去されます。AIN (+) 入力ピンと AIN (-) 入力ピンは、公称値 1.6k Ω の直列抵抗によって内部 PGA の入力に接続されています。外付けコンデンサを使用し、コンデンサを C (+) ピンと C (-) ピンに接続することによって、1 次アンチエイリアシング・フィルタを実装することができます。差動コンデンサには 0.1 μ F のコンデンサを使用するこ

とを推奨します。また、グラウンドに接続した 0.01 μ F のコンデンサによって、-3dB カットオフ周波数は約 500Hz となります (アンチエイリアシング・フィルタのセクションを参照)。

得られる電圧はオンチップ PGA によって増幅され、PGA のアナログ出力はマルチプレクサを通して ADC のバッファ付き入力に送られます。24 ビット Σ - Δ ADC の分解能を最大限まで高めるために、PGA のゲインは PGA の出力電圧が ±2.5V 以内となるように設定します。

内部 R_{SENSE} 抵抗使用時は、EXRF ピンから AIN (-) ピンへのパスを接続する必要があります。この接続は、これらのピンを短絡するか、抵抗 R_{EXT} を 0 Ω リンクとして組み込むことによって実現できます。

AD4110-1 は、 R_{SENSE} 抵抗を通して流れる電流を連続的にモニタします。この電流が指定リミットに達すると、AFE_DETAIL_STATUS レジスタに過電流フラグ (AIN_OC) がセットされます (表 32 参照)。

AD4110-1 には、デバイスに流れる電流を制限する自己保護回路が組み込まれています。

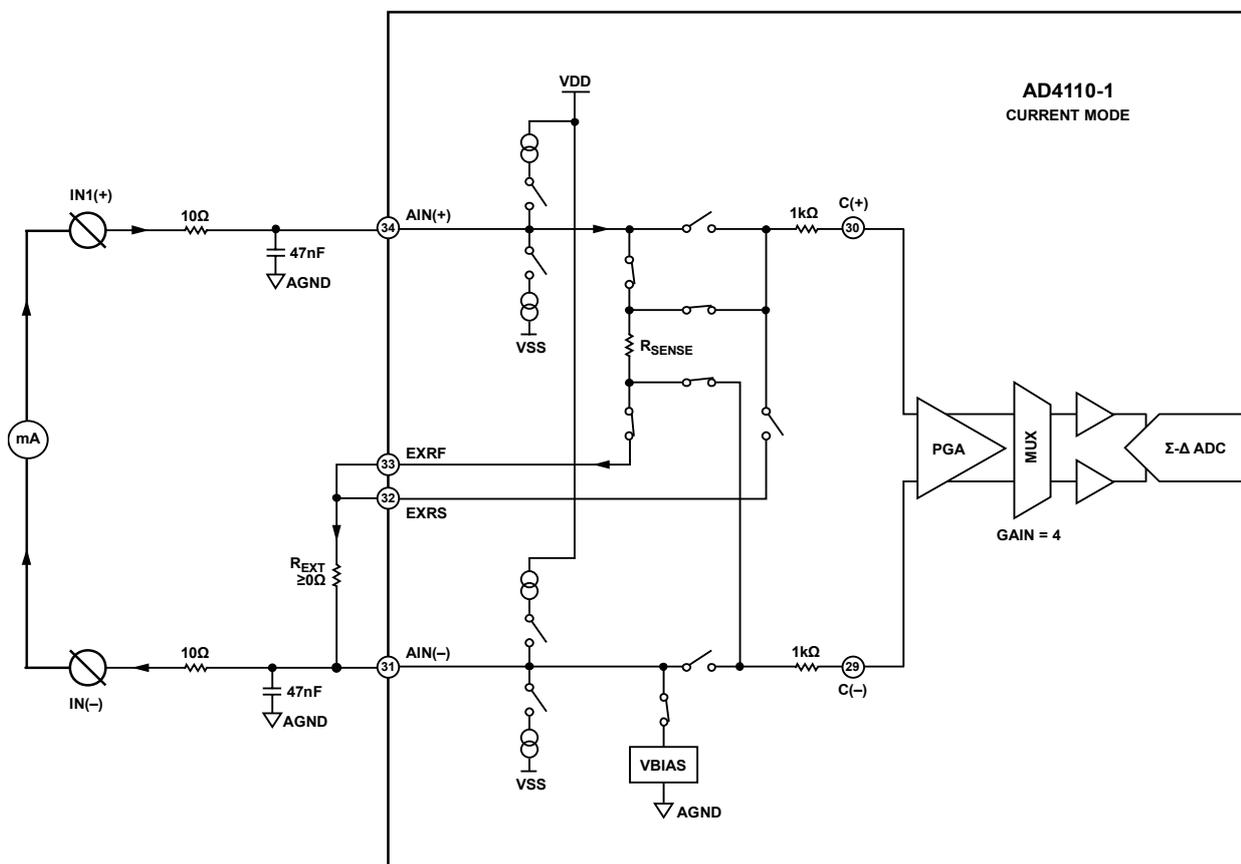


図 37. 電流入力モード、内蔵検出抵抗、ゲイン = 4

16299-037

トランスインピーダンス・ゲイン

内部検出抵抗使用時は、内部抵抗 R_{SENSE} の値と PGA 用に選択したゲインによってトランスインピーダンス・ゲインを設定します。

内蔵抵抗 R_{SENSE} の代表値は 24Ω です。AD4110-1 の電流入力モードの仕様既定値は、ゲイン 4 のみです。ゲイン 4 に $R_{SENSE} = 24\Omega$ を乗じると、 96Ω という値が得られます。これは、 R_{SENSE} を流れる電流 1mA あたりの PGA 出力が 96mV であることを意味します。

入力を $\pm 20\text{mA}$ とし、ゲイン 4 に合わせて R_{SENSE} を選択したときの、PGA 出力から ADC へのスケーリングと ADC コードの出力範囲を図 38 に示します。

表 1 に仕様規定した性能に対する入力範囲は $\pm 20\text{mA}$ 、機能範囲は $\pm 24\text{mA}$ です。

外付け検出抵抗の使用

特別な電流検出抵抗が必要な場合は、AD4110-1 に外付け抵抗を接続することができます (図 39 を参照)。 25Ω の内蔵検出抵抗をより大きい値の外付け検出抵抗に変更するときは、共通モード電圧の増加が表 1 に仕様規定された絶対入力電圧を超えないように注意してください。外付け抵抗を使用するようにデバイスを設定するには、AFE_CNTRL2 レジスタの EXT_R_SEL ビットをセットします。

過電流検出フラグと電流制限回路が内蔵検出抵抗使用時と同様に動作するように、内蔵抵抗 R_{SENSE} には引き続きループ電流が流れます。PGA は外付け検出抵抗で発生する電圧だけを増幅します。

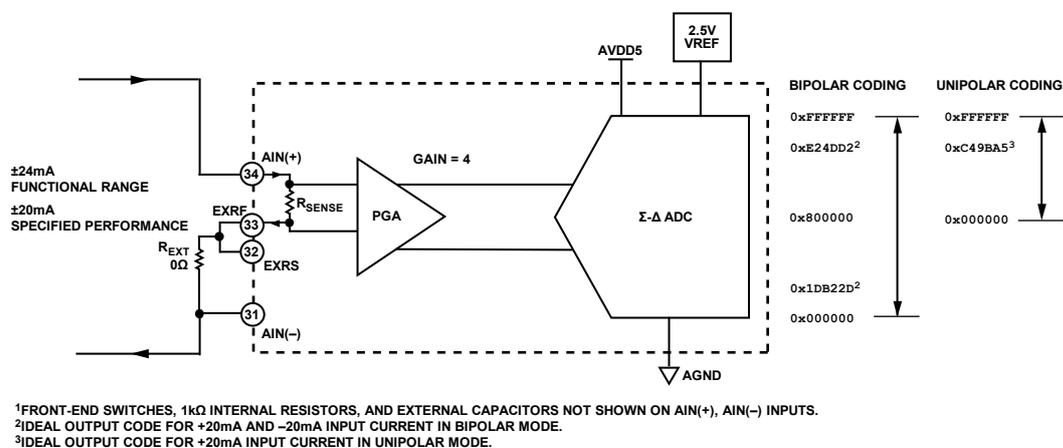


図 38. 電流入力モード・スケーリング、 R_{SENSE} 抵抗、ゲイン = 4

16289-038

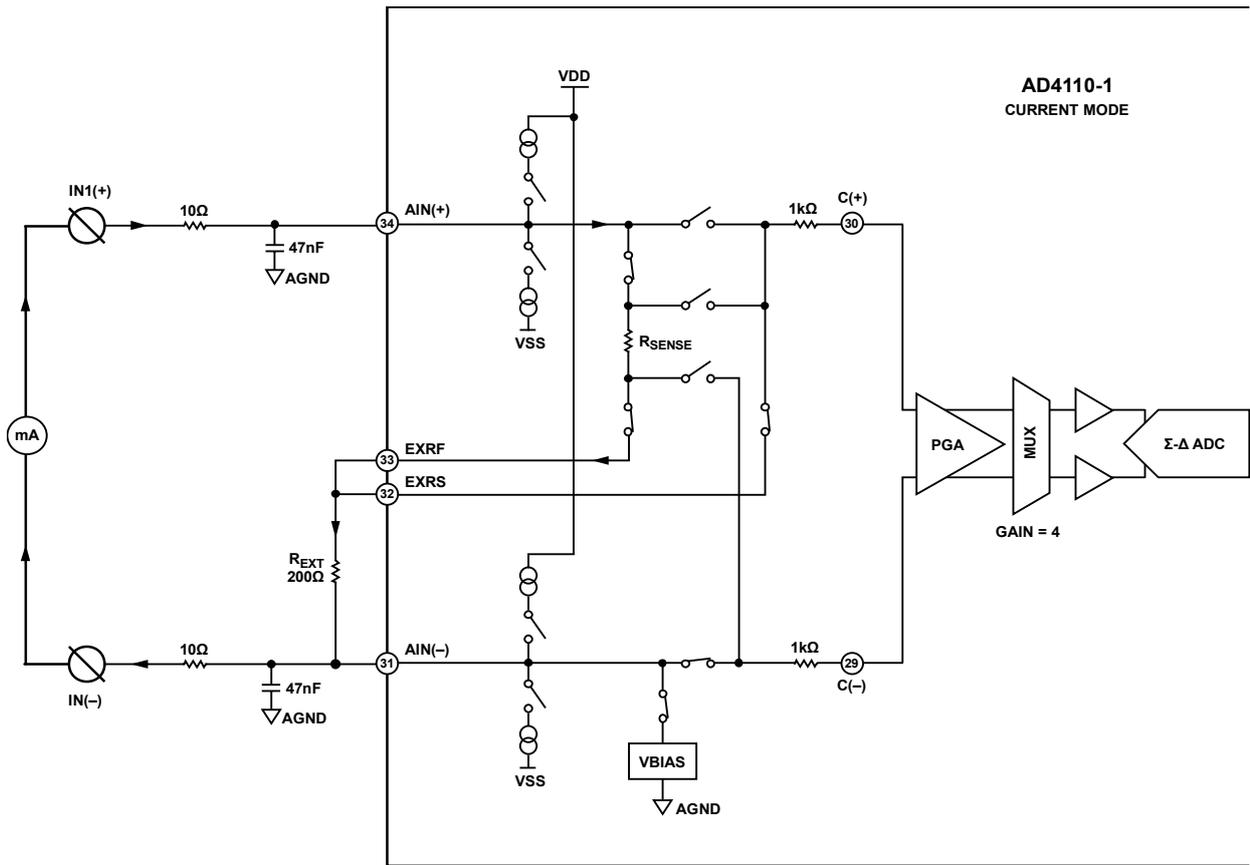


図 39. 電流入力モード、 R_{EXT} 抵抗

1626/039

電圧および熱電対モード

出荷時設定の動作モードは電流モードです。電圧モードは、AFE_CNTRL2 レジスタの IMODE ビットをクリアすることによって選択します (表 7 と表 29 を参照)。

パワーアップ時のデフォルト動作モードのセクションで説明したように、デフォルトの動作モードを変更しない限り、電源を一度オフにしてから再びオンにすると、AD4110-1 は電流モードに戻ります。

電圧入力モードに設定したときの AD4110-1 の内部スイッチのアーキテクチャを、図 40 に示します。AD4110-1 は、アナログ入力ピン AIN (+) と AIN (-) の差を電圧に変換します。

AIN (+) 入力ピンと AIN (-) 入力ピンは、公称値 1.6kΩ の直列抵抗によって内部 PGA の入力に接続されています。外付けコンデンサを使用し、コンデンサを C (+) ピンと C (-) ピンに接続することによって、1 次アンチエイリアシング・フィルタ

を実装することができます。差動コンデンサには 0.1μF のコンデンサを使用することを推奨します。また、グラウンドに接続した 0.01μF のコンデンサによって、-3dB カットオフ周波数は約 500Hz となります (アンチエイリアシング・フィルタのセクションを参照)。

AD4110-1 では、0.2~24 の範囲で合計 16 種類のゲインを設定できます。これらのゲイン設定により、±12.5V~±0.104V の入力電圧範囲が可能になります。したがって、ユニポーラまたはバイポーラ出力トポロジの標準的な産業用電圧出力センサーにアナログ入力を直接接続することができます。ただし、仕様規定された性能を得るには、入力電圧範囲を表 1 に示す指定値に制限する必要があります。

ゲインをプログラムするには、PGA_RTD_CTRL レジスタ (アドレス 0x5) の GAIN_CH ビットを設定します。詳細については PGA_RTD_CTRL レジスタのセクションを参照してください。

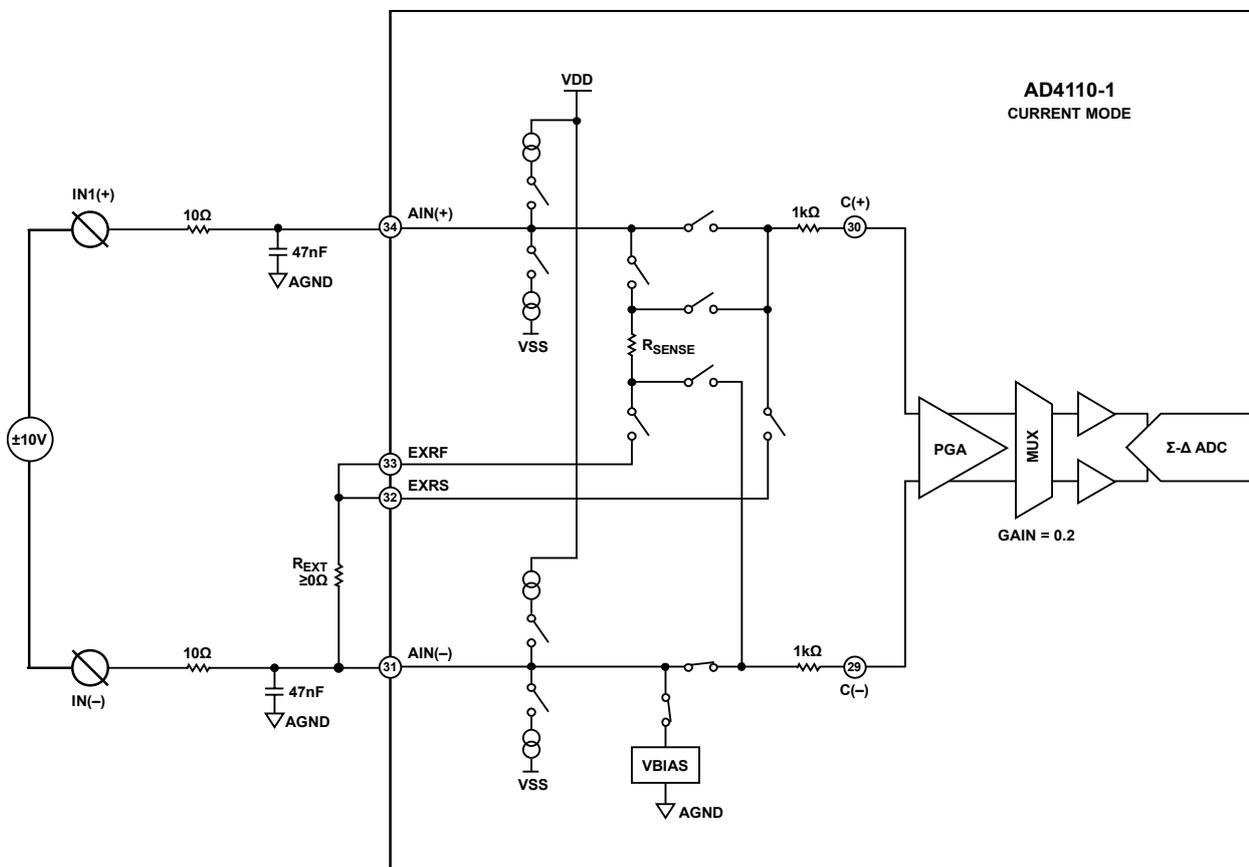


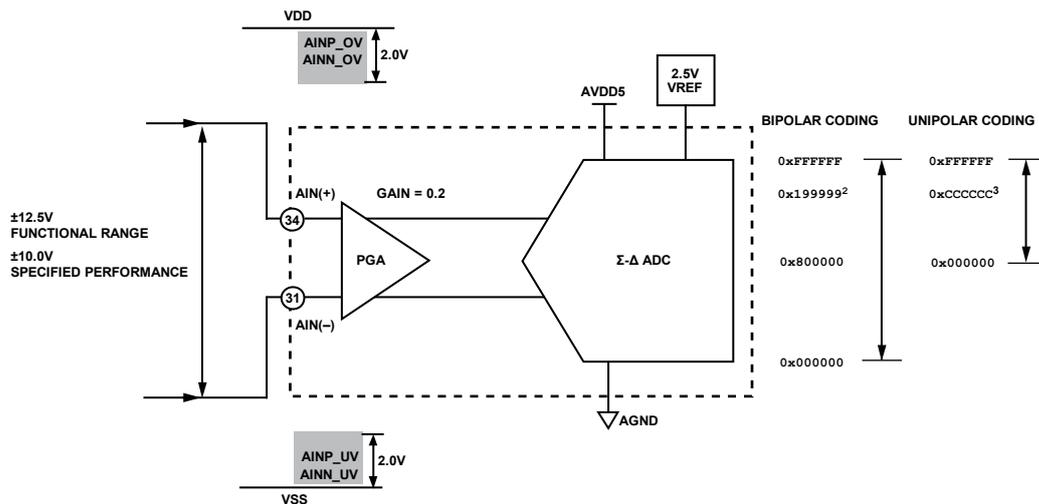
図 40. 電圧入力モード

16295-040

電圧モードの入カスケーリング

電圧モードのスケーリングを図 41 に示します。フロント・エンド PGA の出力は、マルチプレクサを通じて ADC のバッファ付き入力へ送られます。24 ビット Σ - Δ ADC の分解能を最大限まで高めるには、アナログ出力電圧が $\pm 2.5\text{V}$ の範囲内となるように PGA のゲインまたは減衰を選択します。図 41 は $\pm 12.5\text{V}$ の最大入力の場合を示し、これはゲイン 0.2 を選択することによって変換できます。表 1 に仕様規定した性能に対する入力範囲は $\pm 10\text{V}$ 、機能範囲は $\pm 12.5\text{V}$ です。

AIN (+) 入力または AIN (-) 入力に過電圧または低電圧が生じた場合は、それぞれに対応するエラー・フラグが AFE_DETAIL_STATUS レジスタにセットされます。詳細については、過電圧と低電圧の検出のセクションを参照してください。



¹FRONT-END SWITCHES, 1k Ω INTERNAL RESISTORS, AND EXTERNAL CAPACITORS NOT SHOWN ON AIN(+), AIN(-) INPUTS.
²IDEAL OUTPUT CODE FOR +10V AND -10V INPUT VOLTAGE IN BIPOLAR MODE.
³IDEAL OUTPUT CODE FOR +10V INPUT VOLTAGE IN UNIPOLAR MODE.

図 41. 電圧入力モードのスケーリング

18289-041

熱電対入力

AD4110-1 のアナログ入力 AIN (+) と AIN (-) は、標準的な産業用熱電対と直接インターフェースできます。熱電対への接続時は電圧動作モードを使用します。

熱電対入力用に設定したときの AD4110-1 の内部スイッチのアーキテクチャを、図 42 に示します。熱電対の端子は、AD4110-1 の差動入力ピン AIN (+) と AIN (-) に直接接続します。

AIN (+) 入力ピンと AIN (-) 入力ピンは、公称値 1.6kΩ の直列抵抗によって内部 PGA の入力に接続されています。外付けコンデンサを使用し、コンデンサを C (+) ピンと C (-) ピンに接続することによって、1 次アンチエイリアシング・フィルタを実装することができます。差動コンデンサには 0.1μF のコンデンサを使用することを推奨します。また、グラウンドに接続した 0.01μF のコンデンサによって、-3dB カットオフ周波数は約 500Hz となります (アンチエイリアシング・フィルタのセクションを参照)。

熱電対がシステム電源電圧を基準にしたり、熱電対をシステム電源電圧にバイアスしたりすることはほとんどありません。したがって、熱電対を AD4110-1 に接続するときは、VBIAS 機能を使用する必要があります。VBIAS を有効にすると、熱電対の AIN (-) 側が AD4110-1 の電源グラウンドに効果的にグラウンドされます。詳細については、バイアス電圧発生器のセクションを参照してください。

PGA のゲインは、ADC から見た PGA の出力電圧ができるだけ ±2.5V に近くなるように選択します。PGA の最大ゲイン値 24 を使用すると、AD4110-1 の入力範囲を ±0.104166V とすることができます。

熱電対で温度を測定するときは冷接点補償を行う必要があります。AD4110-1 には、このために使用できる低電圧チャンネルが 3 つあります (AIN1 (LV)、AIN2 (LV)、AINCOM (LV))。

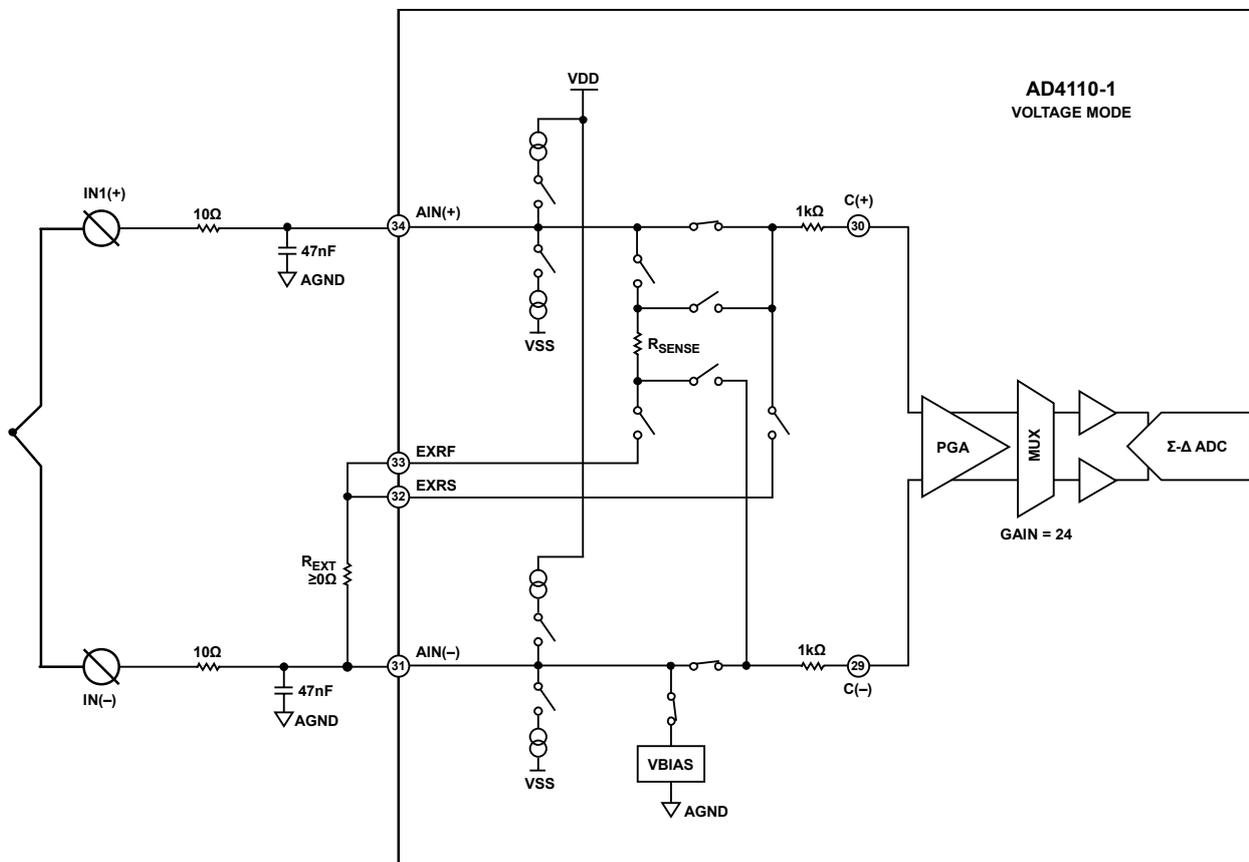


図 42. 熱電対の接続

RTD モード

AD4110-1には、RTDセンサーを必要とするアプリケーションに対応した機能が組み込まれています。デバイスをRTDセンサーに接続するときは、電圧動作モードを使用します。

AD4110-1は、3線式RTDによる測定用に、整合された高精度励起電流を様々な値でAIN (+) ピンとAIN (-) ピンに出力します。4線式RTDの場合、高精度励起電流はAIN (+) ピンからRTDピンに切り替えられます。電流は、100μA、400μA、500μA、600μA、900μA、および1000μAの6段階にプログラム可能です。

RTD測定モード(2線、3線、4線)と励起電流の大きさは、PGA_RTDCtrlレジスタを使ってプログラムします(表11と表30を参照)。

RTD励起電流は、25kΩの高精度内蔵薄膜抵抗にリファレンス入力を加えることによって生成されます。これにより、RTD電流は、AD4110-1に加えらるリファレンス電圧に常に比例した値となります。これに対し、より低ドリフトの抵抗をアプリケーションが必要とする場合は、25kΩの外付け高精度抵抗を使用することができます(外付け抵抗によるRTD電流の生成のセクションを参照)。

RTD機能を使用する場合の代表的な構成は、ADR4525などの外部高精度2.5Vリファレンスから、AD4110-1のREFIN (+) ピンとREFIN (-) ピンに電源を供給するものです。

外付け抵抗によるRTD電流の生成

AD4110-1では、アプリケーションがドリフトの小さい外付けの高精度25kΩ抵抗を使ってRTD励起電流を生成することもできます。デフォルトでは、内蔵抵抗を使ってRTD電流を生成します。外付け抵抗が必要な場合は、PGA_RTDCtrlレジスタのEXT_RTDCtrlビットをセットしてください(表11と表30を参照)。

外付け抵抗によりRTDモードでAD4110-1を使用するときは、PCBレイアウト時に、外付け高精度抵抗の一方の側にiREFSピンとiREFFピンをスター接続する必要があります(図43を参照)。抵抗のグラウンド側は、外部リファレンスのグラウンドとREFIN (-) ピンのグラウンド接続にできるだけ近づけて接続してください。ピンの容量を最小限に抑えるために、高精度抵抗はiREFSピンとiREFFピンのできるだけ近くに配置する必要があります。

RTD機能を必要としないアプリケーションの場合は、25kΩ±15%の通常精度の抵抗を、図43と同様に接続することを推奨します。

RTD励起電流(I_{EXC})は、アンプを使って外部リファレンス電圧(V_{REF})を外部リファレンス抵抗(R_{REF})に加えることによって生成されるリファレンス電流から引き出します。リファレンス電流(公称値100μA)は、ミラーと通倍(Ratio)によって個々の電流源を形成します。

外付け抵抗使用時のRTD励起電流の公称値は次式で得られます。

$$I_{EXC} (nominal) = (V_{REF}/R_{REF}) \times Ratio$$

ここで、Ratio = {1, 4, 5, 6, 9, 10}です。

I_{EXC}(公称値)には、内蔵アンプのオフセット誤差と比率誤差からなる誤差を考慮するために、±0.3%(代表値)の誤差範囲を見込んでおく必要があります。

最も厳しい条件下でのRTD励起電流の温度ドリフトは、次式で近似できます。

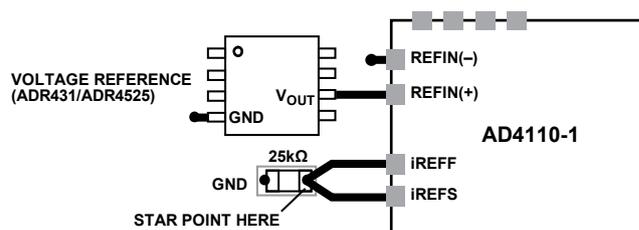
$$TC(I_{EXC}) = TC(I_{RTD}) + TC(V_{REF}) + TC(R_{REF})$$

ここで、TCは通常ppm/°Cで指定します。

TC(I_{RTD})の仕様規定値については表1を参照してください。また、使用する電圧リファレンスとリファレンス抵抗の温度係数については、関連データシートを参照してください。

表 11. PGA_RTDCtrlレジスタのビットの説明

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x5	PGA_RTDCtrl	[15:8]	RTD_3W4W	I_COM_SEL			I_EXC_SEL		EXT_RTDCtrl	
		[7:0]	GAIN_CH			Reserved				



- NOTES
1. STAR POINT CONNECTION FROM iREFF AND iREFS TO EXTERNAL PRECISION RESISTOR.
 2. KEEP REFIN(-), THE EXTERNAL REFERENCE GROUND, AND THE EXTERNAL RESISTOR CONNECTION TO GND AS CLOSE TOGETHER AS POSSIBLE TO MINIMIZE ANY DIFFERENCE IN POTENTIAL BETWEEN THE NODES.
 3. NOT DRAWN TO SCALE; REFERENCE DECOUPLING NOT SHOWN.

図 43. RTD励起電流生成のための外付けリファレンス抵抗の接続

励起電流

AD4110-1 は、RTD センサーに使用するための高精度電流源を 2 つ備えています。RTD 機能はデフォルトで有効化されており、AFE_CNTRL1 レジスタの DISRTD ビットをセットすることによって無効化できます (表 12 と表 27 を参照)。

デフォルトでは、AD4110-1 は 4 線式 RTD モードで動作するように設定されています。接続図については図 46 を参照してください。3 線式または 2 線式 RTD モードが必要な場合は、PGA_RTDCtrl レジスタの RTD_3W4W ビットをセットします (表 11 と表 30 を参照)。

3 線式 RTD モードには 2 つの電流源が必要で、これらは AIN (+) ピンと AIN (-) ピンから得ることができます。また、RTD 励起電流は AIN (+) ピンから、RTD 補償電流は AIN (-) ピンから得られます。接続図については図 47 を参照してください。

デフォルトの励起電流と補償電流のレベルはゼロに設定されており、PGA_RTDCtrl レジスタの I_EXC_SEL ビットと I_COM_SEL ビットでプログラムすることができます (表 11 を参照)。電流レベルは 100 μ A から 1mA まで 6 段階にプログラムすることができます (表 30 を参照)。3 線式 RTD による測定を正しく行うには、励起電流と補償電流を同じレベルにプログラムしてください。

デフォルトでは、AD4110-1 は 4 線式 RTD モードで動作するように設定されています (PGA_RTDCtrl レジスタの RTD_3W4W ビットがクリアされて 0 になっています)。

4 線式 RTD モードで必要なのは励起電流だけで、これは RTD ピンから得ることができます (接続図については図 46 を参照)。4 線式モード使用時は、補償電流のレベルを無効化する必要があります。

励起電流を使用する場合は、2.5V の外部リファレンス (例えば ADR4525) が必要です。外部リファレンスは、REFIN (+) ピンと REFIN (-) ピンに接続して励起電流を生成するために使用します (RTD モードのセクションを参照)。RTD 信号を変換するときは、AD4110-1 の ADC もこのリファレンスを使用します。したがって、電圧リファレンスの絶対精度と温度ドリフトが測定抵抗値の精度に直接影響することはありません。

表 1 に示す電圧モードの入力オフセット仕様は、電圧モードのみを対象に規定されています。IC または PCB トレース抵抗の不整合による $I \times R$ 誤差電圧のために、RTD 電流によって新たな入力オフセット電圧 ($\pm V$) が生じることがあります。

RTD の初期ドリフト

RTD 励起電流と補償電流のどちらかまたは両方を設定してイネーブルすると、図 44 および図 45 に示すように時間と共に出力電流が増大します。この初期ドリフトは、電流レベルを別の値に変更するか、一度ディスエーブルして再度イネーブルするとリセットされます。

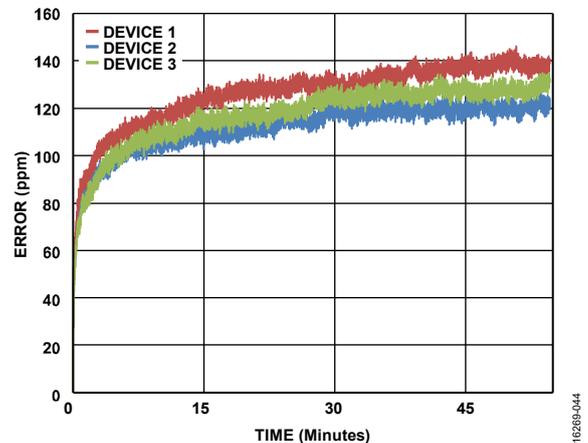


図 44. RTD 電流、初期長時間ドリフト

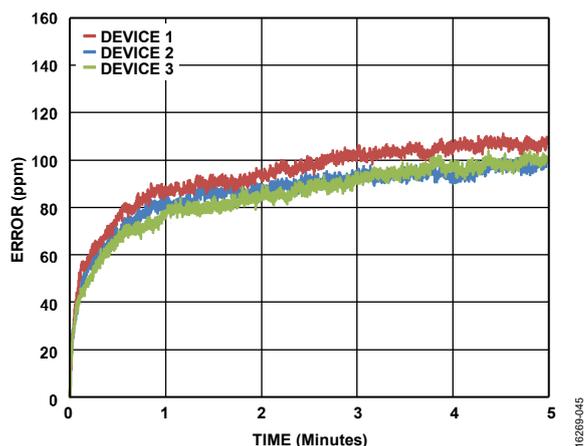


図 45. RTD 電流、初期短時間ドリフト

4 線式 RTD

4 線式センサーの接続図を図 46 に示します。AD4110-1 を電圧モードで動作させるには、AFE_CNTRL2 レジスタの IMODE ビットをクリアします (表 7 参照)。

AD4110-1 は、4 線式 RTD センサー用のプログラム可能な高精度電流源を高電圧チャンネルに備えています。デフォルトでは、AD4110-1 は 4 線式 RTD モードで動作するように設定されています (PGA_RTDCtrl レジスタの RTD_3W4W ビットがクリアされて 0 になっています。表 11 と表 30 を参照)。

4 線式モードに必要な励起電流は 1 つで、これは RTD ピンから取ることができます。電流レベルは 100 μ A から 1mA まで 6 段階にプログラムできます。表 30 を参照してください。4 線式モード使用時は、補償電流のレベルを無効化する必要があります。

励起電流はリード抵抗 RL1 および RL4 だけを通して流れます (図 46 を参照)。理論的には、RL2 と RL3 に電流は流れません。RTD センサーで発生する電圧は、AIN (+) と AIN (-) の間で検出される電圧に対応しています。

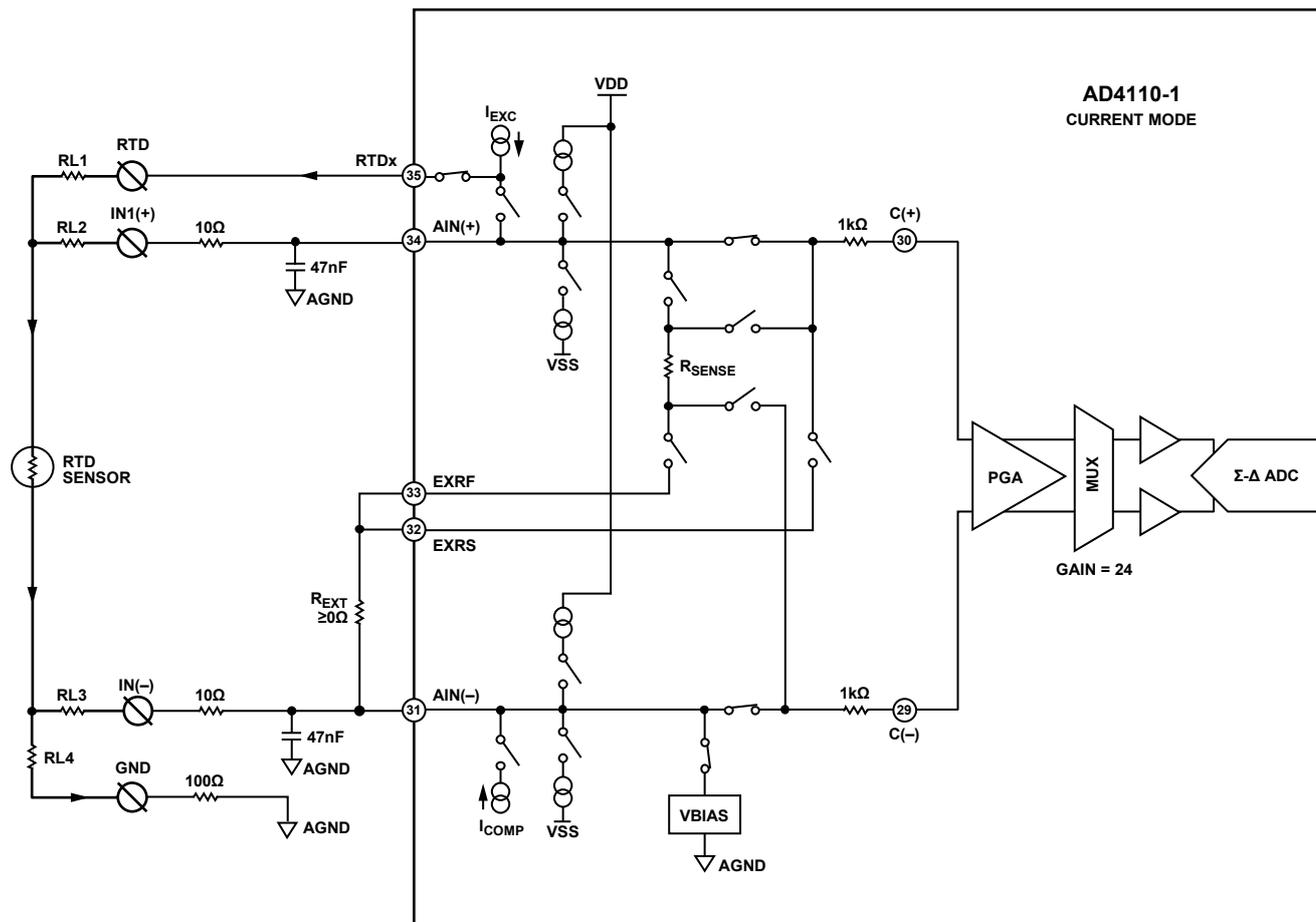


図 46. 4 線式 RTD

表 12. AFE_CNTRL1 レジスタのビットの説明

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x1	AFE_CNTRL1	[15:8]	Reserved		CRC_EN		Reserved		DISRTD	Reserved
		[7:0]					Reserved			

3 線式 RTD

3 線式センサーの接続図を図 47 に示します。AD4110-1 を電圧モードで動作させるには、AFE_CNTRL2 レジスタの IMODE ビットをクリアします (表 7 参照)。

AD4110-1 は、3 線式 RTD センサー用として高電圧チャンネルに 2 つの高精度電流源を備えています。デフォルトでは、AD4110-1 は 4 線式 RTD モードで動作するように設定されています。3 線式 RTD モードが必要な場合は、PGA_RTDC_CTRL レジスタの RTD_3W4W ビットをセットしてください (表 11 と表 30 を参照)。

RTD 励起電流は AIN (+) ピンから、RTD 補償電流は AIN (-) ピンから得ることができます。電流レベルは 100 μ A から 1mA まで 6 段階にプログラムすることができます。表 30 を参照してください。3 線式 RTD による測定を正しく行うには、励起電流と補償電流を同じレベルにプログラムしてください。

励起電流はリード抵抗 RL1 および RL2 を通って流れ (図 47 を参照)、補償電流はリード抵抗 RL2 および RL3 を通って流れます。

リード抵抗の値はすべて同様であり (リードは通常同じ素材で同じ長さ)、励起電流は良好に整合されているので、RL2 に生じる電圧は RL1 に生じる電圧に等しくなります。したがって、AIN (+) と AIN (-) の間に生じる電圧は RTD で生成される電圧に対応したものとなりますが、リード抵抗の誤差は除外されています。

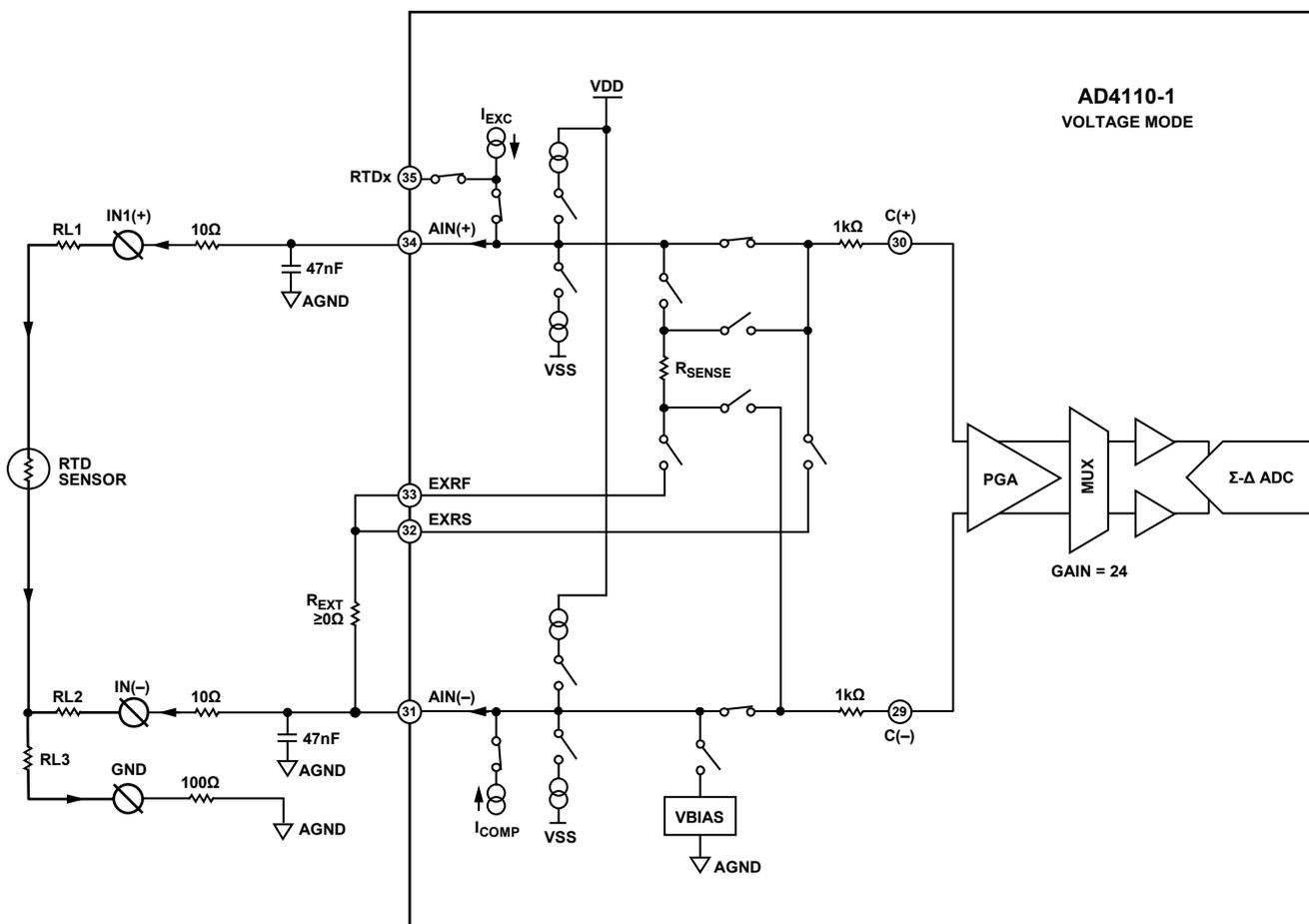


図 47. 3 線式 RTD

16289-0-07

2 線式 RTD

2 線式センサーの接続図を図 48 に示します。AD4110-1 を電圧モードで動作させるには、AFE_CNTRL2 レジスタの IMODE ビットをクリアします (表 7 参照)。

AD4110-1 は、2 線式 RTD センサー用として、高電圧チャンネルに 1 つの高精度電流源を備えています。デフォルトでは、AD4110-1 は 4 線式 RTD モードで動作するように設定されています。2 線式 RTD モードが必要な場合は、PGA_RTDCtrl レジスタの RTD_3W4W ビットをセットします (表 11 と表 30 を参照)。

2 線式モードで使用できる励起電流は $100\mu\text{A}$ のみで、この電流 AIN (+) ピンから取ることができます。2 線式モード使用時は、補償電流を無効にする必要があります (表 30 を参照)。

2 線式 RTD 使用時は VBIAS 機能を有効にします (バイアス電圧発生器のセクションを参照)。AFE_CNTRL2 レジスタの AINN_DN100 ビットをセットすることによって、AIN (-) の $100\mu\text{A}$ プルダウン電流源をイネーブルしてください (表 7 を参照)。

励起電流は、リード抵抗 RL1 と RL2、およびセンサーを通して流れます。2 線式モードでリード抵抗を補償することはできません。したがって、AIN (+) と AIN (-) の間で生成される電圧は、RTD に生成される電圧とリード抵抗によって生成される電圧の合計に等しくなります。

代替の 3 線式構成

AIN (-) と AGND の間をワイヤで接続すれば代替の 3 線式構成とすることができ、通常これはモジュールのスクリュー端子に取り付けられます。この構成で、3 線式線式 RTD モード動作が可能です。ただし、励起電流がリード抵抗 RL1 と RL2 を通って流れるので、AIN (+) と AIN (-) の間で生成される電圧は、RTD に生成される電圧とリード抵抗によって生成される電圧の合計に等しくなります。

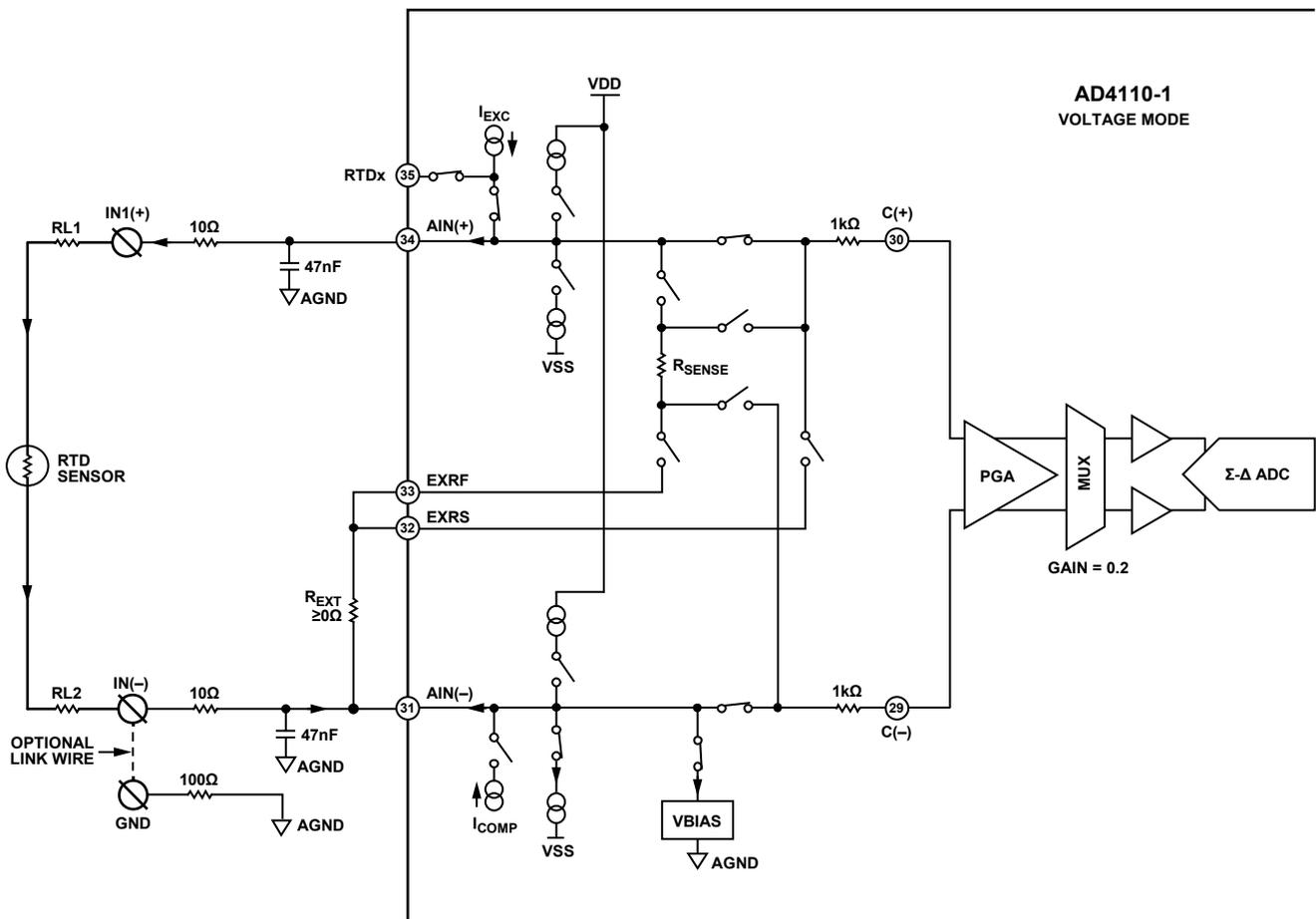


図 48.2 線式 RTD

フィールド電源モード

AD4110-1には、AIN (+) ピンと AIN (-) ピンの間に接続された電流出力センサーに、最大 24mA の電源を供給するオプションがあります。

AFE_CNTRL2 レジスタのビット 3 (EN_FLD_PWR) を 1 に設定すると、VDD ピンの電圧 (-1.5V) が内部回路を通して AIN (+) ピンに出力されます。1.5V の電圧降下は、仕様に規定された 24mA の最大出力電流に基づく代表値です。センサーのリターン電流は、AIN (-) ピンから内部回路を通り、2.5V レギュレータを介して VSS ピンへ流れます。下の図 49 を参照してください。通常、AIN (-) ピンの電圧は VSS + 3.6V です。また、AFE_CNTRL2 レジスタの IMODE ビットを 1 に設定することによって、動作モードを電流モードにする必要があります。

AD4110-1 の内部自己保護回路は、AIN (+) ピンからの電源電流を 55mA (代表値) に、AIN (-) ピンへのリターン電流を 40mA (代表値) に制限します。電源電流リミットを超えると、AFE_DETAIL_STATUS レジスタに過電流フラグ (FLD_PWR_OC) がセットされます。また、リターン電流リミットを超えると、AFE_DETAIL_STATUS レジスタに過電流フラグ (AIN_OC) がセットされます (表 32 を参照)。

C (+) と C (-) に外付けコンデンサを接続し、これに公称値 1.6k Ω の直列抵抗を接続して、PGA 入力に 1 次ローパス・アンチエイリアシング・フィルタを実装することができます。差動コンデンサには 0.1 μ F のコンデンサを使用することを推奨します。また、グラウンドに接続した 0.01 μ F のコンデンサによって、-3dB カットオフ周波数は約 500Hz となります (アンチエイリアシング・フィルタのセクションを参照)。

電流出力フィールド・トランスミッタへの電源電圧を最大まで高めるには、内蔵電流検出抵抗を選択します。図 49 に示すように、R_{EXT} 抵抗の代わりに 0 Ω 抵抗を使用してください。

VDD の電圧は AIN (+) ピンに VDD - 1.5V の電圧を発生させるために内部回路を通して流れ、AIN (-) は代表値で VSS より 3.6V 高いので、AIN (+) の過電圧フラグと AIN (-) の低電圧フラグが両方ともセットされる可能性があります。しかしこれは想定内の動作であり、この場合はこれらのフラグを無視することができます。もしくは、AFE エラー・ディセーブル・レジスタを使って、これらのフラグをマスクすることができます (表 31 を参照)。

過電圧保護

フィールド電源モードを有効にした場合は、電源 (VDD/VSS) を ± 15 V に制限する必要があります。この要求は、高電圧ピンが VSS に対する絶対最大定格 (表 3) を超えてしまうのを防ぎます。

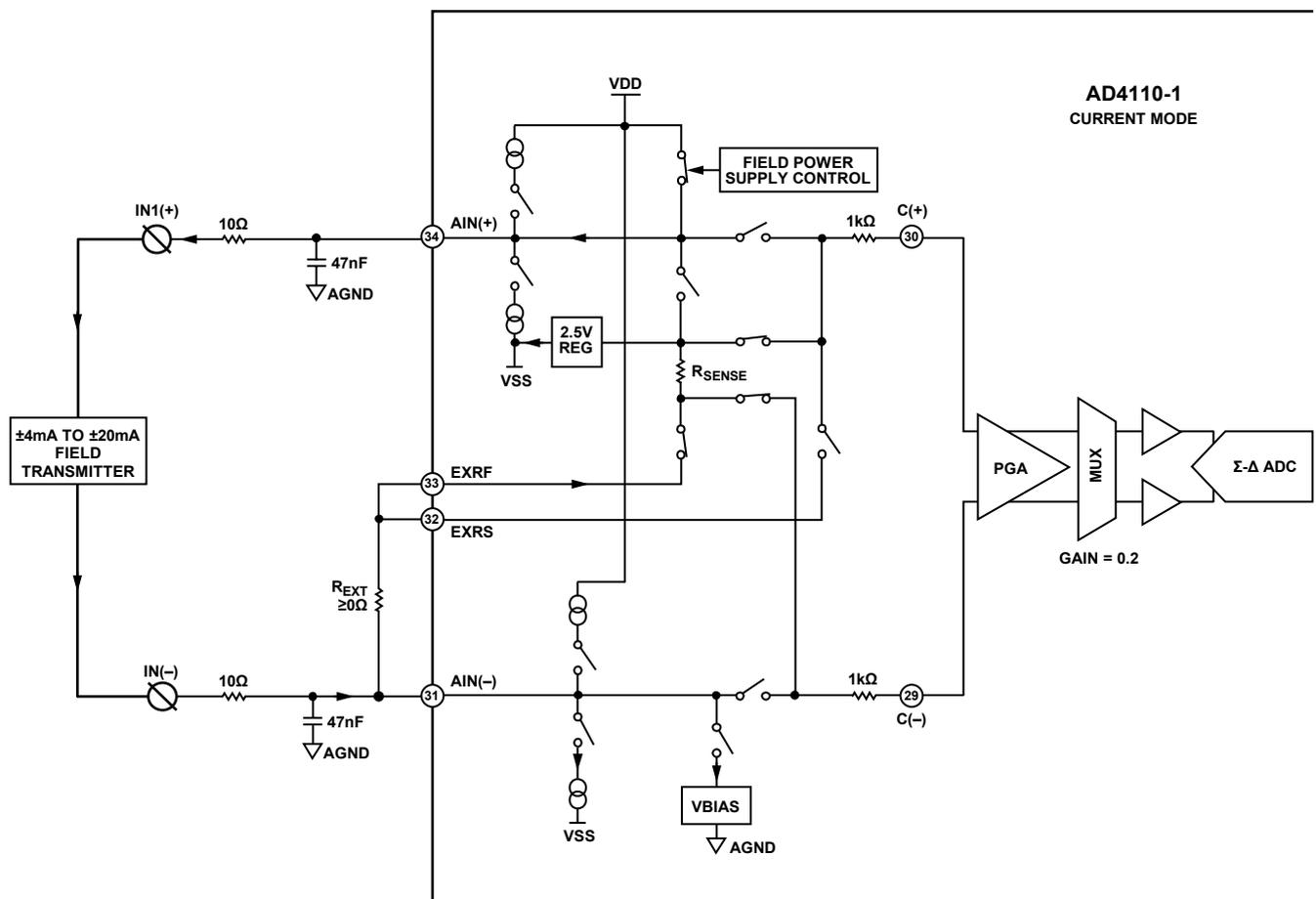


図 49. フィールド電源モード、R_{EXT} = 0 Ω

無電源モード

AD4110-1 の VDD ピンと VSS ピンに電源が接続されていない場合、AD4110-1 の高電圧アナログ入力、予めプログラムされたデフォルトの入力モード、つまり電圧モードまたは電流モードになります（パワーアップ時のデフォルト動作モードのセクションを参照）。

電圧モード

デフォルトの動作モードとして電圧モードが設定されている場合、高電圧入力は高インピーダンス入力として動作します。通常このモードでは、AIN (+) ピンと AIN (-) ピンの間に $\pm 0.5\text{mA}$ の電流が流れます。図 23 を参照してください。

電流モード

デフォルトの動作モードとして電流モードが設定されている場合でもループが失われることはなく、 $\pm 4\text{mA}$ ～ $\pm 20\text{mA}$ のループ電流はアナログ入力を通して流れ続けます。AD4110-1 はこのループ電流をモニタし、その自己保護回路が、高電圧入力に流れる最大電流を $\pm 55\text{mA}$ （代表値）に制限します。このモードでは、AIN (+) ピンと AIN (-) ピンの間の電圧降下は 5V（代表値）です。図 26 を参照してください。

システム冗長性

デバイスに電源が接続されていない状態でも ± 4 ～ $\pm 20\text{mA}$ のループが失われることはないので、ループに接続されたもう 1 つのシステムは動作を続け、システムに冗長性を提供します。接続例を図 50 に示します。

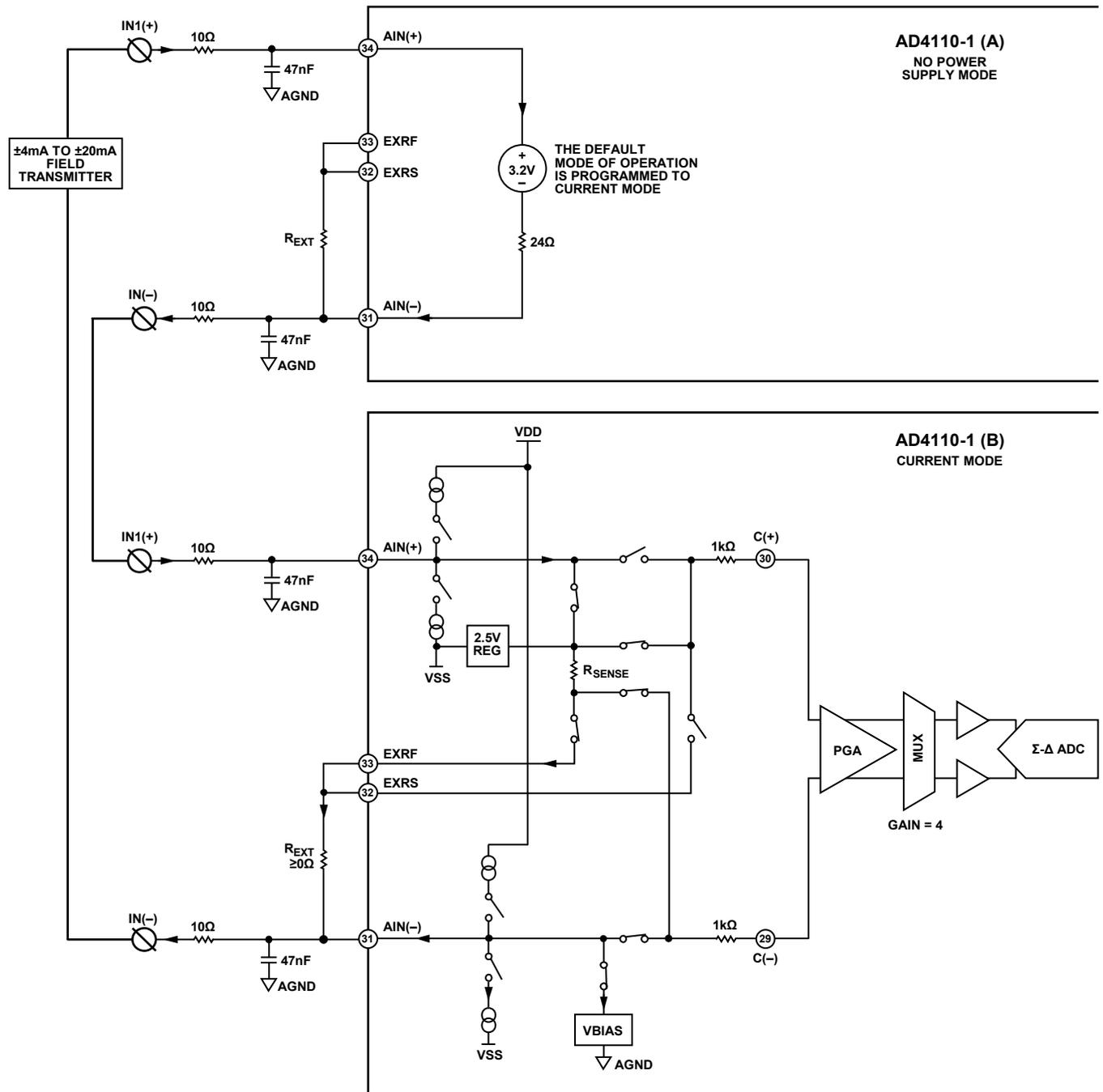


図 50. 冗長構成の無電源モード

162859-050

ゲイン・キャリブレーション・データ・レジスタ

AD4110-1にはゲイン・キャリブレーション・データ・レジスタのセットがあり、電圧モードにおけるすべてのゲイン設定と、電流モードにおけるゲイン設定 4 に対応するゲイン補正係数が格納されます。ゲイン・キャリブレーション・データは、高電圧チャンネルに対するものだけが保存されます。

AFE_CAL_DATA レジスタ (アドレス 0xC) は電圧モード用の 16 個の係数を保存し、AFE_RSENSE_DATA レジスタ (アドレス 0xD) は電流モードの係数を保存します。

電圧モードのゲイン・キャリブレーション

電圧モードのゲイン誤差はデバイス出荷テスト時にそれぞれのゲイン設定で測定され、対応する補正係数が保存されています。データ値へのアクセスに AFE_CAL_DATA レジスタ (アドレス 0xC) を使用した場合、一度にアクセスできる係数は 1 つだけです。各ゲインに対応する係数へのアクセスは、最初に必要なゲインに対するゲイン・ビットを PGA_RTD_CTRL レジスタ (アドレス 0x5) 内に設定し、次に AFE_RSENSE_DATA レジスタ (アドレス 0xC) を読み出すことによって行います。

キャリブレーション・データ・レジスタの値はバイナリ・コード化されて、10 ビットのストレート・バイナリ・フォーマットで保存されます。MSB は奇数パリティ・ビットです。使用可能なコードは 0~511 です。次式を使ってデコードし、実際の係数値を知ることができます。

$$\text{Coefficient} = (\text{Register Code}_{\text{DEC}} - 2^8 + 2^{14}) / 2^{14}$$

保存されているゲイン係数を得るには次式を使用します。このゲイン係数は、測定ゲイン誤差の補償に必要な補正係数を表します。

$$\text{Register} = ((\text{Nominal Gain}/\text{Actual Gain}) \times 2^{14}) - 2^{14} + 2^8$$

AD4110-1は、ADC変換プロセス時にはこれらの係数を使用しません。AFE_CAL_DATA レジスタは読み出し専用のメモリ位置です。

表 13. 係数の例

Stored Code	Corrective Coefficient	Measured AFE Gain Error (%)
0	0.984375000	+1.5625
1	0.984436035	+1.5564
2	0.984497070	+1.5503
...
255	0.999938965	+0.0061
256	1.000000000	0.0000
257	1.000061035	-0.0061
...
510	1.015502930	-1.5503
511	1.015563965	-1.5564

電流モードのゲイン・キャリブレーション

電流モードのゲイン誤差はデバイス出荷テスト時にゲイン設定 4 で測定され、対応する補正係数が保存されます。

係数へのアクセスは、最初に PGA_RTD_CTRL レジスタ (アドレス 0x5) 内のゲイン・ビットをゲイン 4 に設定し、次に AFE_CAL_DATA レジスタ (アドレス 0xD) を読み出すことによって行います。

キャリブレーション・データ・レジスタの値はバイナリ・コード化されて、16 ビットのストレート・バイナリ・フォーマットで保存されます。MSB は奇数パリティ・ビットです。キャリブレーション・データ・レジスタは、次式で求めた補正係数を使ってプログラムします。

$$\text{Register} = (\text{Nominal Gain}/\text{Actual Gain}) \times 2^{14}$$

電流モードのキャリブレーション・データ・レジスタ値は、内部電流検出抵抗を使用するアプリケーションにのみ関係します。外付けの電流検出抵抗を使用するアプリケーションでは、必要ゲイン設定に対応する電圧モード補正係数を使用します。

スケーリング・ファクタ

電圧モードでは、適切なキャリブレーション範囲とデバイス分解能をカバーするために、スケーリング・ファクタの値には 2^{14} が選択されます。最大補正システム誤差が 0.1% の場合、ステップ・サイズは約 0.0061% です。最大 PGA ゲイン誤差条件が $\pm 1\%$ の場合のキャリブレーション範囲は、1.56% をわずかに超えます。

除算は、マイクロコントローラベースまたはマイクロプロセッサベースの実装による除算ではなく、シフト演算として行うことができるので、スケーリング・ファクタの値には 2 が選択されます。この方法では、アプリケーションのリソースを大幅に節約できます。特に、ADC から読み出したすべてのデータ・サンプルに対してソフトウェアでゲイン修正を行う場合は、大きな効果があります。

電流モードでは、最大補正システム誤差が 0.1% の場合のステップ・サイズが約 0.0061% で、薄膜抵抗の最大誤差が $\pm 20\%$ と見積もられる場合のキャリブレーション範囲は $\pm 30\%$ を大きく超えます。

自動キャリブレーション・モード

それぞれの変換後、ADC 変換結果はそのチャンネルの ADC オフセット・レジスタとゲイン・レジスタを使ってスケールリングされ、その後データ・レジスタへ書き込まれます。

ユニポーラ・モードでは次式を使用します。

$$Data = \left[\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right] \times \frac{Gain}{0x400000} \times 2$$

バイポーラ・モードでは次式を使用します。

$Data =$

$$\left[\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right] \times \frac{Gain}{0x400000} + 0x800000$$

オフセット・レジスタのデフォルト値は $0x800000$ で、これは加算または減算するオフセットがないことを意味します。また、ゲイン・レジスタの公称値は $0x555555$ で、これは ADC ゲイン誤差がゼロであることを意味します。ただし、ADC の工場出荷時のキャリブレーションでは、ADC ゲイン誤差を補償することができるようにデフォルト値が調整されます。

AD4110-1 の ADC 内には、下に示すように、セットアップごとにシステムのオフセット誤差とゲイン誤差を除去するために使用できる 2 つのキャリブレーション・モードがあります (表 39 を参照)。

- システム・オフセット・キャリブレーション (ゼロスケール・キャリブレーション)。
- システム・ゲイン・キャリブレーション (フルスケール・キャリブレーション)。

キャリブレーションを開始するには、ADC_MODE レジスタの MODE ビットに対応する値を書き込みます (表 39 参照)。キャリブレーションが開始されると、DOUT/RDY ピンと、ステータス・レジスタの RDY ビットがハイ・レベルになります。キャリブレーションが完了すると、対応するオフセットまたはゲイン・レジスタの内容が更新され、ステータス・レジスタの RDY ビットがリセットされて DOUT/RDY ピンがロー・レベルに戻り、AD4110-1 はスタンバイ・モードに復帰します。どちらのキャリブレーション・モードでも、キャリブレーション時にアクティブにできるのは 1 チャンネルのみです。

システム・キャリブレーションでは、システム・ゼロスケール電圧 (オフセット) とシステム・フルスケール電圧 (ゲイン) が AIN (+) ピンと AIN (-) ピンに入力されるまで待ってから、キャリブレーション・モードが開始されます。この結果、ADC の外部誤差が除去されます。ADC ゲインのキャリブレーション範囲は、 $0.4 \times V_{REF}$ から $1.05 \times V_{REF}$ です。

ゼロスケール・キャリブレーション (オフセット・キャリブレーション) が必要な場合は、必ずフルスケール・キャリブレーション (ゲイン・キャリブレーション) の前に行ってください。ステータス・レジスタの RDY ビットまたは DOUT/RDY ピンをモニタするようにシステム・ソフトウェアを設定し、ポーリング・シーケンスまたは割り込みによるルーチンによってキャリブレーションが終了したかどうかを判断します。どのキャリブレーションも、完了するには、選択したフィルタと出力データ・レートのセトリング時間に等しい時間を必要とします。キャリブレーションはあらゆる出力データ・レートで実行できます。低い出力データ・レートを扱うほど精度の高いキャリブレーションが可能で、そのレート以上のすべての出力データ・レートの精度が向上します。

AD4110-1 では内蔵ゲイン・キャリブレーション・レジスタにアクセスできるので、アプリケーション内でマイクロプロセッサにデバイスのキャリブレーション係数を読み出させたり、独自のゲイン補正係数を書き込んだりすることができます。オフセット・レジスタとゲイン・レジスタの読み出しや書き込みは、セルフキャリブレーション時を除いていつでも実行できます。

このキャリブレーション方法を行うことができるのは 1 つの PGA ゲイン設定に対してのみで、PGA ゲインを変更したときはこのプロセスを繰り返す必要があります。もしくは、過去に保存したキャリブレーション・データをアプリケーション・ソフトウェアによって読み出し、ゲイン・レジスタとオフセット・レジスタを直接プログラムします。電源を一度オフにして再びオンにすると、これらのレジスタはデフォルト値に戻ります。

アプリケーション例

例 1

以下の例では、AFE のゲイン・キャリブレーション・レジスタのデータを読み出し、ゲイン補正係数を計算して、そのゲイン補正係数をアプリケーション・ソフトウェア内で ADC の変換結果に適用する方法を示します。

この例では以下の設定を使用します。

- PGA ゲインを 0.2 に設定した電圧モード
- 使用する入力信号は 5.00V
- ADC 結果 = 5.05V (この結果は±1%以内)
- AFE_CAL_DATA レジスタ = 94 (ゲイン = 0.2)

以下に計算を示します。

$$PGA_GAIN_{COEFFICIENT} = (94 - 2^8 + 2^{14}) / 2^{14}$$

$$PGA_GAIN_{COEFFICIENT} = 0.9901123047$$

$$\text{Multiply ADC Result} \times PGA_GAIN_{COEFFICIENT}$$

$$\text{New ADC Result} = 5.000067V$$

結果は±0.03%以内です。

例 2

以下の例では、AFE のゲイン・キャリブレーション・レジスタのデータを使用してゲイン補正係数を計算し、ゲイン補正係数が自動的に ADC 変換結果に適用されるように ADC ゲイン・レジスタを再プログラムする方法を示します。この方法では、工場で作成された ADC のゲイン補正係数と PGA のゲイン補正係数を組み合わせて、ADC のゲイン・レジスタをプログラムし直す必要があります。

この例では以下の設定を使用します。

- PGA ゲインを 0.2 に設定した電圧モード
- AFE_CAL_DATA レジスタ = 94 (ゲイン = 0.2)
- $PGA_GAIN_{COEFFICIENT} = 0.9901123047$
- $ADC_GAIN_{REGISTER} = 0x5556B0_{HEX}$ (10 進値は 5592752)
- $ADC_GAIN_{NOMINAL} = 0x555555_{HEX}$ (10 進値は 5592405)

以下に計算を示します。

$$PGA_GAIN_{ACTUAL} = PGA_GAIN_{NOMINAL} / PGA_GAIN_{COEFFICIENT} = 0.2019972876$$

$$ADC_GAIN_{ACTUAL} = ADC_GAIN_{NOMINAL} / ADC_GAIN_{REGISTER} = 0.9999379554$$

$$SYS_GAIN_{ACTUAL} = PGA_GAIN_{ACTUAL} \times ADC_GAIN_{ACTUAL} = 0.2019847548$$

$$ADC_GAIN_{MODIFY} = SYS_GAIN_{NOMINAL} / SYS_GAIN_{ACTUAL} = 0.9901737398$$

$$ADC_GAIN_{REGISTER} = ADC_GAIN_{NOMINAL} \times ADC_GAIN_{MODIFY} = 5592405 \times 0.9901737398 = 5537453$$

次のように再プログラムします。

$$ADC_GAIN_{REGISTER} = 0x547EAD$$

診断と保護

診断フラグ

診断フラグの使用を通じ、AD4110-1 では高電圧チャンネル用の診断機能によって、過電圧、低電圧、断線、過電流、過熱などの状態を示すことができます。AFE 診断フラグのステータスは、AFE_TOP_STATUS レジスタか AFE_DETAIL_STATUS レジスタのどちらか一方、または両方を読み出すことによってチェックできます。また、ADC 診断フラグのステータスは、ADC_STATUS レジスタを読み出すことによってチェックできます。

表 1 に示す仕様性能が確保されるのは診断フラグをセットしていない場合に限られますが、フィールド電源モードがアクティブな場合はこの限りではありません。このチャンネルでは、AIN (+) の過電圧フラグと AIN (-) の低電圧フラグの両方がセットされることがあります。しかしこれは想定内の例外動作であり、この場合はこれらのフラグを無視することができます。

各入力フロート状態にすることを避け、AGND に接続することを推奨します。

エラー・ピン

AD4110-1 には、AFE の高電圧チャンネルと ADC のエラー状態を示す、オープンドレイン、アクティブ・ローの ERR ピンがあります。これはオープンドレイン出力なので、このピンと必要電源レール間にプルアップ抵抗を接続する必要があります。この抵抗値を選択するときは、表 1 に示す仕様を参照してください。

AFE_TOP_STATUS レジスタと AFE_DETAIL_STATUS レジスタのエラー・ビットは、両方の論理和を取った上で反転され、エラー・ピンにマッピングされます。ADC のエラー・ステータス・レポート機能は、ADC_GPIO_CONFIG レジスタの ERR_EN ビットの設定に基づいてプログラムできます (表 44 を参照)。

ERR_EN ビットを 10 に設定すると、ADC がオープンドレインのアクティブ・ロー出力を ERR ピンに接続し、ADC ステータス・レジスタのエラー・ビットの論理和を取って反転した上で、エラー・ピンにマッピングします。ERR_EN ビットを 01 に設定すると、ADC が ERR ピンの入力ステータスと内部 ADC エラー・ビットの論理和を取り、その結果を ADC_STATUS レジスタの ADC_ERR ビットに使用できるようにします。このモードは、AFE のエラーと ADC のエラーを ADC_ERR ビット内にまとめます。ERR ピンを入力として設定すると、その入力はデジタル入力として扱われ、状態はラッチされません。ADC_STATUS レジスタの ADC_ERR ビットは ADC の結果が書き込まれた場合のみ更新されるので、ERR ピンをアクティブに維持する時間は、選択した出力データ・レートのセトリング時間より長くする必要があります。

過熱の検出とサーマル・シャットダウン

AD4110-1 のダイ温度は内蔵温度センサーによって監視されます。このデバイスには 2 つの温度検出閾値があります。

- 過熱検出閾値。温度が過熱検出閾値を超えると、AFE_TOP_STATUS レジスタの TEMPHI ビットがセットされます (表 14 を参照)。このエラー・ビットはラッチされます。エラー・ビット・ステータスをクリアするには、このレジスタを読み出す必要があります。
- サーマル・シャットダウン閾値。温度がサーマル・シャットダウン閾値を超えると入力チャンネルが電圧入力モードになり、すべてのオンチップ電流源とフィールド電源がディスエーブルされて、PGA の各部もシャットダウンされます。フラグにアクセスできるように、デジタル・インターフェースは引き続き機能します。更に、AFE_TOP_STATUS レジスタの TEMPSD ビットがセットされます (表 14 参照)。このエラー・ビットはラッチされます。エラー・ビット・ステータスをクリアするには、このレジスタを読み出す必要があります。
- 温度がどちらかの閾値未満になると、AFE_TOP_STATUS レジスタの AFE_ERROR フラグがクリアされて、デバイスが再びパワーアップされます。

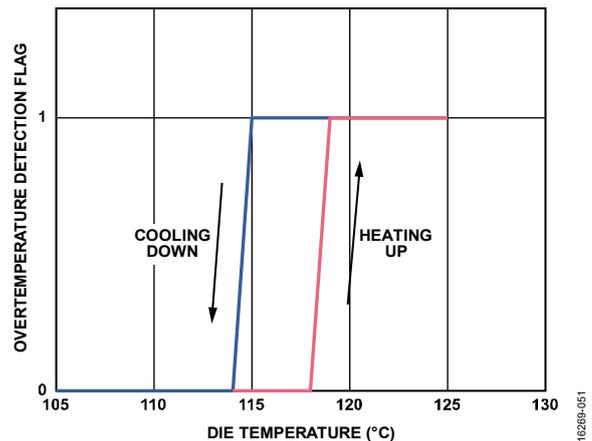


図 51. 過熱検出

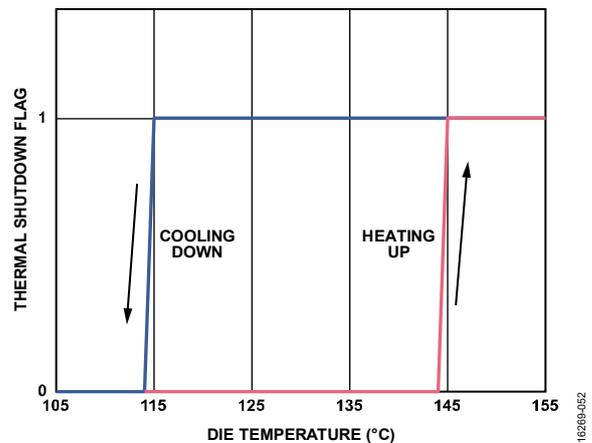


図 52. サーマル・シャットダウン

過電圧と低電圧の検出

AD4110-1 の高電圧入力が高電圧状態または低電圧状態になると、それぞれに対応するフラグ (AFE_DETAIL_STATUS レジスタのビット [11:8]) がセットされて異常状態を示します。

AFE_DETAIL_STATUS レジスタにエラー・フラグがセットされると、AFE_TOP_STATUS レジスタの AFE_ERROR ビット (ビット 0) もセットされます (表 26 を参照)。

アナログ入力が VSS または VDD の 2V (代表値) 以内の場合は、AIN_OV エラー・フラグと AIN_UV エラー・フラグが 1 に設定されます。これらのエラー・フラグはデフォルトでイネーブルされており、AFE_ERR_DISABLE レジスタの対応ビットをセットすることによってディスエーブルできます (表 15 を参照)。

AINP_OV ビットと AINN_UV ビットは、フィールド電源モードがアクティブの場合もセットされます。このモードでは、AIN (+) ピンが VDD 電源レールに接続されて有効になり、電圧を $VDD - 1.5V$ (代表値) とすることができるようになります。これは過電圧の検出範囲内です。また、AIN (+) ピンは 2.5V レギュレータを介して VSS 電源レールに接続されて有効になり、電圧を $VSS + 2.7V$ (代表値) とすることができるようになります。これは低電圧の検出範囲内です。

過電圧保護

AD4110-1 は $\pm 12V \sim \pm 20V$ の電源で動作しますが、アナログ入力にこれ以上の電圧がかかった場合に備えて保護機能が組み込まれています。

システム負電源の電位より低い (マイナス値が大きい) 負電位を持つ HV ピンに電圧を加える場合は、必ず外付けダイオードを VSS ピンからシステム負電源に接続した上で行ってください。図 29 に接続図を示します。

アナログ入力の電圧が VDD を超えると AD4110-1 の性能は低下しますが、デバイスは引き続き機能します。アナログ入力電圧が仕様に規定された範囲内に戻るとすぐに、デバイスは元どおりの仕様を満たします。

表 14. AFE_TOP_STATUS レジスタと AFE_DETAIL_STATUS レジスタのビットの説明

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
0x0	AFE_TOP_STATUS	[15:8]	Reserved								
		[7:0]	Reserved		ERRCH	ERRCRC	TEMPSD	TEMPHI	Reserved	AFE_ERROR	
0x7	AFE_DETAIL_STATUS	[15:8]	Reserved				AINN_UV	AINP_UV	AINN_OV	AINP_OV	
		[7:0]	I_EXC	I_COM	Reserved			FLD_PWR_OC	AIN_OC	Error	

表 15. AFE_ERR_DISABLE レジスタのビットの説明

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
0x6	AFE_ERR_DISABLE	[15:8]	Reserved				AINN_UV	AINP_UV	AINN_OV	AINP_OV	
		[7:0]	I_EXC	I_COM	Reserved			FLD_PWR_OC	AIN_OC	Reserved	

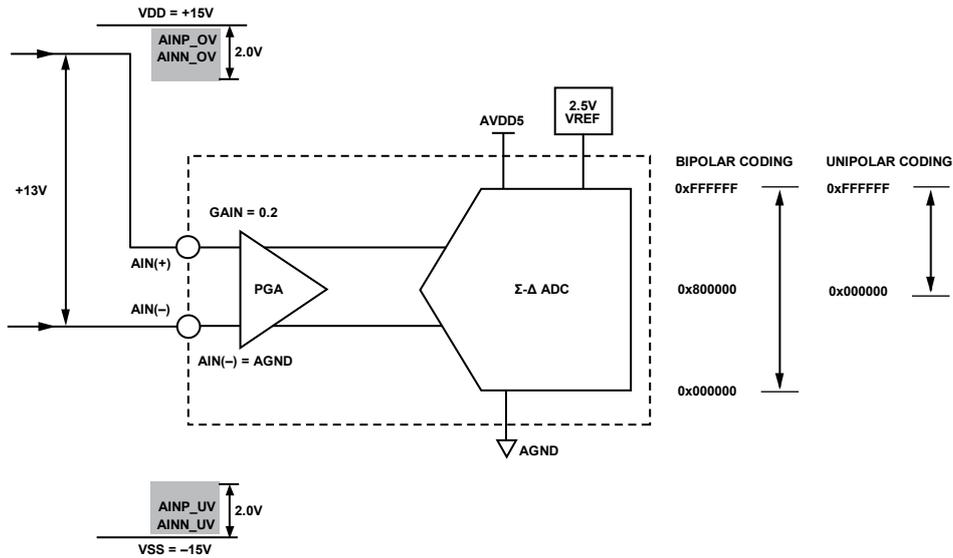
過電圧状態と低電圧状態の診断

AD4110-1 の過電圧フラグと低電圧フラグは、高電圧入力電圧が VSS または VDD 電源レールの 2V (代表値) 以内になるとセットされます。これらのフラグは、入力を使用可能な入力範囲内にないことを示します (表 14 を参照)。

AIN (+) 入力電圧が AIN (-) 入力より 13V 高い 2 つの例を、図 53 と図 54 に示します。これらの 2 つの例は、VDD 電源と VSS 電源が異なります。

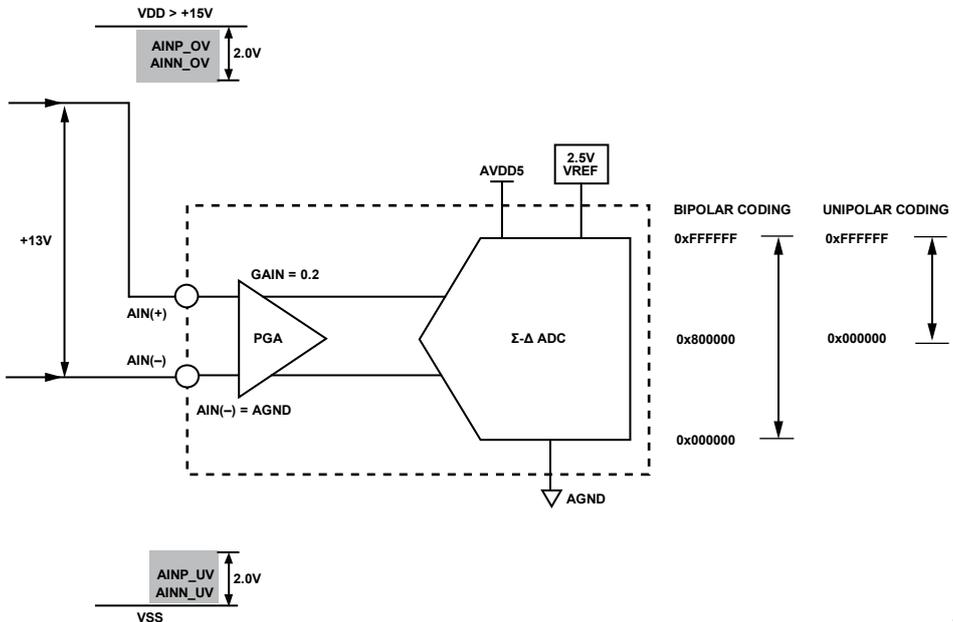
図 53 の例 1 では、VDD/VSS 電源電圧が ±15V です (AGND 基準)。AIN (+) ピンへの入力電圧が VDD の 2V 以内になると、これを示すために AINP_OV フラグがセットされます。

例 2 (図 54) では、VDD/VSS 電源電圧が ±15V を超えています (AGND 基準)。AIN (+) 入力電圧は、この場合も AIN (-) 入力より 13V 高いものとします。AIN (+) ピンの電圧は、VDD レールの 2V 以内にはありません。したがって、過電圧フラグはセットされませんが、ADC の出力は正のフルスケール (0xFFFFF) です。



NOTES
1. FRONT-END SWITCHES, 1kΩ INTERNAL RESISTORS, AND EXTERNAL CAPACITORS NOT SHOWN ON AIN(+), AIN(-) INPUTS.

図 53. 例 1 : AIN (+) ピンと AIN (-) ピンの電圧差が 13V (AIN (+) ピンは VDD の 2V 以内)



NOTES
1. FRONT-END SWITCHES, 1kΩ INTERNAL RESISTORS, AND EXTERNAL CAPACITORS NOT SHOWN ON AIN(+), AIN(-) INPUTS.

図 54. 例 2 : AIN (+) ピンと AIN (-) ピンの電圧差が 13V (AIN (+) ピンは VDD の 2V 以内にはない)

断線検出機能

AD4110-1 が電圧動作モードに設定されているときは、断線検出電流を使用して、電圧源と AD4110-1 入力との接続の断線を検出することができます。AIN (+) 入力と AIN (-) 入力には、2つの定常電流発生器を使用できます。これらの通常精度の電流源は 1 μ A または 100 μ A の電流をソースまたはシンクするようにプログラム可能で、デフォルトではディスエーブルされています。構成図については図 55 を参照してください。プログラミング・オプションは、AFE_CNTRL2 レジスタのセクションに示します。

これらの電流は、測定前に外付け変換器の接続に異常がないことを確認するために使用できます。断線検出電流がオンになると、外付け変換器回路に電流が流れ、アナログ入力チャンネルの入力電圧を計測できるようになります。センサー・ワイヤが断線している場合は、過電圧フラグまたは低電圧フラグがセットされます。

断線検出電流はセンサーのリード抵抗による誤差電圧を発生させるので、測定前の定期的な断線確認用としての使用に止めてください。

断線検出電流によって断線状態を検出する場合は外付けコンデンサを充電する必要があるため、検出までにはある程度時間がかかります。断線検出電流の大きさは、回路内の外付けコンデンサの容量と外部断線の診断に必要な応答時間に応じて、1 μ A か 100 μ A のどちらかを選ぶことができます。

RTD 測定の診断と RTD フラグ

RTD の励起電流と補償電流の出力コンプライアンス電圧は、VDD - 5V です。したがって、正しい動作のためには、RTD ピンに生じる電圧、または AIN (+) ピンと AIN (-) ピンに生じる電圧が VDD - 5V 未満でなければなりません。AFE_DETAIL_STATUS レジスタのコンプライアンス範囲外フラグを利用できます (表 32 を参照)。

AD4110-1 は、RTD ピン、AIN (+) ピン、および AIN (-) ピンの電圧をモニタすることができます。励起電流がアクティブのときは、RTD ピンまたは AIN (+) ピンの電圧がモニタされます。出力コンプライアンスを超えた場合は、AFE_DETAIL_STATUS レジスタの I_EXC ビットが 1 に設定されます。例えば、断線が生じた場合はこのビットが 1 に設定されて、励起電流がグラウンドに流れるのを防ぎます。

同様に、補償電流がアクティブのときは AIN (-) ピンの電圧がモニタされます。出力コンプライアンスを超えた場合は、AFE_DETAIL_STATUS レジスタの I_COM ビットが 1 に設定されます。例えば、断線が生じた場合はこのビットが 1 に設定されて、補償電流がグラウンドに流れるのを防ぎます。

4 線式 RTD モードでは、AIN (+) ピンから AIN (-) ピンへ電流が流れることはありません。したがって、断線検出機能のセクションで説明した断線検出電流も使う必要があります。4 線式 RTD モードでは励起電流だけが使われます。RTD ピン・ワイヤまたは GND ワイヤが断線すると、コンプライアンス範囲外フラグがセットされます (図 46 を参照)。

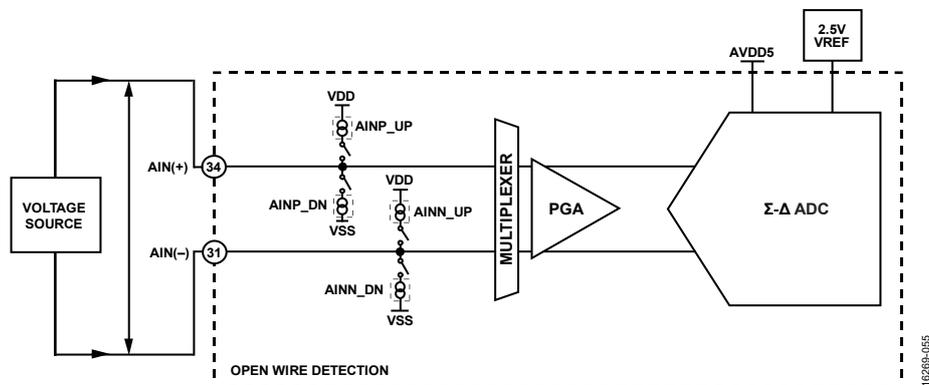


図 55. 電圧入力モード、断線検出オプション

ノイズ、セトリング時間、およびデジタル・フィルタリング デジタル・フィルタ

AD4110-1 は、柔軟性に富む以下の 3 つのフィルタ・オプションを備えており、ノイズ特性、セトリング時間、ノイズ除去性能の最適化が可能です。

- sinc5 + sinc1 フィルタ
- sinc3 フィルタ
- 50Hz/60Hz 除去用エンハンスト・フィルタ

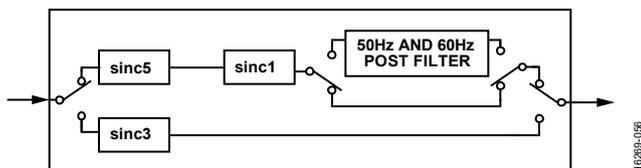


図 56. デジタル・フィルタ・ブロック図

フィルタと出力データ・レートは、選択されたチャンネルのフィルタ設定レジスタの該当ビットを設定することで設定されます。詳細についてはフィルタ・レジスタのセクションを参照してください。

sinc5 + sinc1 フィルタ

sinc5 + sinc1 フィルタは高速スイッチングのマルチプレクス・アプリケーションを対象とし、10kSPS 以下の出力データ・レートで、シングル・サイクル・セトリングを実現します。sinc5 ブロックの最大出力レートは 125kSPS に固定されています。

ADC フィルタ・レジスタ (アドレス 0x5) で、AD4110-1 のデジタル・フィルタの応答として高速セトリング・フィルタ (sinc1) を選択すると、40dB の 50Hz/60Hz (±0.5Hz) 除去比が得られます。

図 57 に、50SPS 出力データ・レートでの sinc5 + sinc1 フィルタの周波数領域応答を示します。sinc5 + sinc1 フィルタは、広い周波数にわたって緩やかにロールオフし、狭いノッチを持っています。

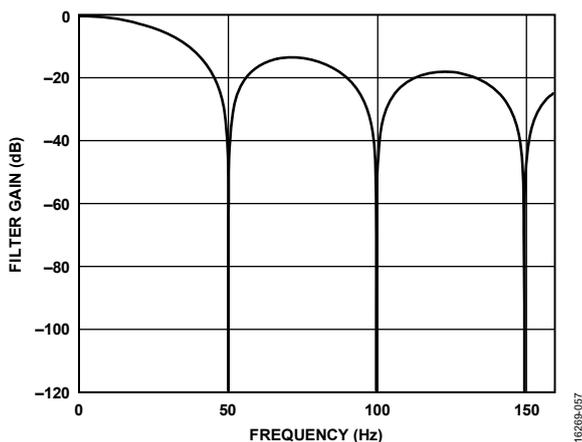


図 57. Sinc5 + Sinc1 フィルタの応答、
出力データ・レート = 50SPS

sinc5 + sinc1 フィルタの出力データ・レート、セトリング時間、ピーク to ピーク・ノイズ、および rms ノイズを表 16 と表 17 に示します。

sinc3 フィルタ

sinc3 フィルタは、より低い出力データ・レートで最良のシングルチャンネル・ノイズ性能を実現するので、シングルチャンネル・アプリケーションに最適です。sinc3 フィルタのセトリング・タイムは次のようになります。

$$t_{SETTLE} = 3 / \text{Output Data Rate}$$

図 58 に、50SPS 出力データ・レートでの sinc3 フィルタの周波数領域応答を示します。sinc3 フィルタは周波数に対して優れたロールオフ特性を持ち、ノッチの幅が広いので、ノッチ周波数の除去に適しています。ADC フィルタ・レジスタ (アドレス 0x5) で、AD4110-1 のデジタル・フィルタの応答として sinc3 フィルタを選択すると、100dB の 50Hz/60Hz (±1Hz) 除去比が得られます。

sinc3 フィルタの出力データ・レート、セトリング時間、ピーク to ピーク・ノイズ、および rms ノイズを表 18 と表 19 に示します。

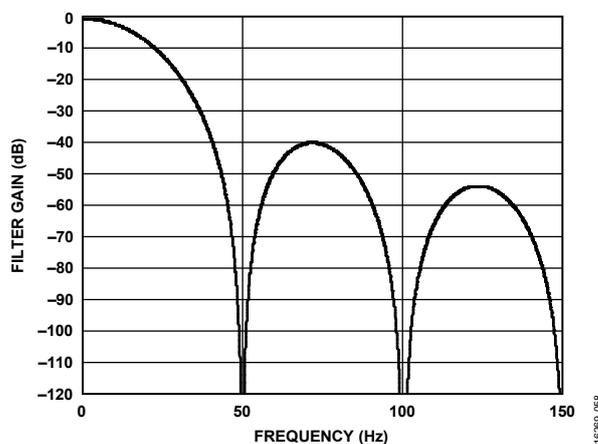


図 58. sinc3 フィルタの応答、出力データ・レート = 50SPS

表 16. sinc5 + Sinc1 フィルタの応答：ピーク to ピーク・ノイズと分解能
(1000 サンプルに基づくデータ、出力データ・レート (ODR) < 50SPS については 500 サンプル)

Output Data Rate (SPS)	Settling Time (ms)	Switching Rate (Hz)	-3 dB BW (Hz)	Notch Filter (Hz)	Peak-to-Peak Noise				Peak-to-Peak Resolution (Bits)			
					Voltage Mode (μV)			Current Mode (nA)	Voltage Mode			Current Mode
					G = 24	G = 1	G = 0.2	G = 4	G = 24	G = 1	G = 0.2	G = 4
125,000	0.040	24,814	27,000	125,000	44.0	110.0	490.0	2000.0	12.2	15.5	15.6	14.7
62,500	0.048	20,704	20,600	62,500	38.0	92.0	390.0	1708.3	12.4	15.7	16.0	14.9
31,250	0.064	15,552	12,500	31,250	28.0	66.0	300.0	1333.3	12.9	16.2	16.4	15.3
25,000	0.072	13,831	10,280	25,000	24.0	60.0	250.0	1166.7	13.1	16.4	16.6	15.5
15,625	0.096	10,384	6650	15,625	20.0	50.0	230.0	958.3	13.3	16.6	16.7	15.7
10,390	0.096	10,384	6650	15,625	19.0	49.0	210.0	916.7	13.4	16.7	16.9	15.8
4994	0.20	4994	2581	5952	15.0	38.0	180.0	625.0	13.7	17.0	17.1	16.3
2498	0.40	2498	1178	2717	8.9	23.0	110.0	458.3	14.5	17.7	17.8	16.8
1000	1.00	1000	450	1033	5.7	15.0	67.0	320.8	15.2	18.4	18.5	17.3
500	2.00	500	221	508	4.0	12.0	57.0	212.5	15.7	18.7	18.8	17.9
395.5	2.53	395.5	174	400.6	3.2	10.0	46.0	187.5	16.0	18.9	19.0	18.1
200	5.00	200	88	201	2.4	7.5	39.0	120.8	16.4	19.4	19.3	18.7
100.2	10.0	100.2	44	100.5	1.9	6.9	25.0	104.2	16.7	19.5	19.9	19.0
59.87 ¹	16.7	59.9	26	60	1.30	5.1	24.0	83.3	17.3	19.9	20.0	19.2
49.92 ²	20.0	49.9	22	50	1.20	4.5	24.0	70.8	17.5	20.1	20.0	19.5
20	50.0	20	9	20	0.87	3.9	18.0	54.2	17.9	20.3	20.4	19.9
16.7 ³	60.0	16.7	7.3	16.7	0.78	3.9	21.0	50.0	18.0	20.3	20.2	20.0
10	100	10	4.3	10	0.66	3.9	21.0	45.8	18.3	20.3	20.2	20.1
5	200	5	2.2	5	0.56	3.6	18.0	41.7	18.5	20.4	20.4	20.2

¹ 60Hz を除去。

² 50 Hz を除去。

³ 50Hz と 60Hz を除去。

表 17. sinc5 + Sinc1 フィルタの応答：RMS ノイズと分解能 (1000 サンプルに基づくデータ、ODR < 50SPS については 500 サンプル)

Output Data Rate (SPS)	Settling Time (ms)	Switching Rate (Hz)	-3 dB BW (Hz)	Notch Filter (Hz)	RMS Noise				RMS Resolution (Bits)			
					Voltage Mode (μV)			Current Mode (nA)	Voltage Mode			Current Mode
					G = 24	G = 1	G = 0.2	G = 4	G = 24	G = 1	G = 0.2	G = 4
125,000	0.040	24,814	27,000	125,000	7.0	15.0	69.0	312.5	14.9	18.3	18.5	17.4
62,500	0.048	20,704	20,600	62,500	5.7	13.0	58.0	258.3	15.2	18.6	18.7	17.6
31,250	0.064	15,552	12,500	31,250	4.4	9.9	44.0	204.2	15.5	19.0	19.1	18.0
25,000	0.072	13,831	10,280	25,000	3.9	9.0	41.0	179.2	15.7	19.1	19.2	18.1
15,625	0.096	10,384	6650	15,625	3.2	7.3	34.0	150.0	16.0	19.4	19.5	18.4
10,390	0.096	10,384	6650	15,625	3.0	7.9	36.0	150.0	16.1	19.3	19.4	18.4
4994	0.20	4994	2581	5952	2.0	5.2	24.0	100.0	16.7	19.9	20.0	19.0
2498	0.40	2498	1178	2717	1.4	3.4	16.0	66.7	17.2	20.5	20.6	19.6
1000	1.00	1000	450	1033	0.9	2.3	10.0	45.8	17.9	21.0	21.2	20.2
500	2.00	500	221	508	0.6	1.7	7.9	30.0	18.4	21.5	21.6	20.7
395.5	2.53	395.5	174	400.6	0.5	1.5	6.8	26.7	18.6	21.6	21.8	20.9
200	5.00	200	88	201	0.4	1.2	5.4	19.6	19.1	22.0	22.1	21.3
100.2	10.0	100.2	44	100.5	0.3	0.9	4.7	14.2	19.5	22.4	22.4	21.8
59.87 ¹	16.7	59.9	26	60	0.2	0.8	4.0	12.1	19.9	22.5	22.6	22.0
49.92 ²	20.0	49.9	22	50	0.2	0.8	3.9	11.3	20.0	22.6	22.6	22.1
20	50.0	20	9	20	0.1	0.7	3.6	8.3	20.6	22.9	22.7	22.5
16.7 ³	60.0	16.7	7.3	16.7	0.1	0.6	3.2	7.5	20.7	22.9	22.9	22.7
10	100	10	4.3	10	0.1	0.6	3.2	7.5	21.0	22.9	22.9	22.7
5	200	5	2.2	5	0.1	0.6	3.0	6.7	21.3	23.0	23.0	22.9

¹ 60Hz を除去。

² 50 Hz を除去。

³ 50Hz と 60Hz を除去。

表 18. sinc3 フィルタの応答：ピーク to ピーク・ノイズと分解能
(1000 サンプルに基づくデータ、ODR < 50SPS については 500 サンプル)

Output Data Rate (SPS)	Settling Time (ms)	Switching Rate (Hz)	-3 dB BW (Hz)	Notch Filter (Hz)	Peak-to-Peak Noise				Peak-to-Peak Resolution (Bits)			
					Voltage Mode (μV)			Current Mode (nA)	Voltage Mode			Current Mode
					G = 24	G = 1	G = 0.2	G = 4	G = 24	G = 1	G = 0.2	G = 4
125,000	0.024	41,152	37,000	125,000	62.0	690.0	3200.0	7500.0	11.9	12.9	12.9	12.9
62,500	0.048	20,704	18,500	62,500	35.0	120.0	590.0	1875.0	12.6	15.3	15.5	14.7
31,250	0.096	10,384	8650	31,250	20.0	60.0	280.0	1166.7	13.2	16.4	16.6	15.3
25,000	0.120	8313	6840	25,000	19.0	55.0	250.0	916.7	13.3	16.5	16.7	15.7
15,625	0.192	5200	4175	15,625	16.0	41.0	180.0	750.0	13.5	16.6	17.1	16.1
10,417	0.288	3469	2750	10,417	11.0	30.0	140.0	500.0	14.2	17.2	17.4	16.3
5000	0.6	1666	1296	5000	7.7	20.0	98.0	383.3	14.6	17.8	17.9	17.0
2500	1.2	833	644	2500	5.5	14.0	75.0	279.2	15.1	18.3	18.4	17.5
1000	3.0	333	258	1000	3.7	9.5	42.0	175.0	15.7	19.0	19.1	18.1
500	6.0	167	128	500	2.7	7.2	34.0	137.5	16.3	19.3	19.7	18.5
400.6	7.5	134	103	400.6	2.7	6.9	28.0	112.5	16.4	19.5	19.8	18.8
200	15	67	51	200	2.0	5.4	21.0	91.7	16.9	19.8	20.2	19.1
100.2	30	33	26	100.2	1.4	3.9	16.0	70.8	17.4	20.4	20.5	19.7
60 ¹	50	20	15	60	1.10	3.0	16.0	54.2	17.6	20.5	20.5	20.1
50 ²	60	17	13	50	0.93	2.7	15.0	45.8	17.9	20.8	20.7	20.1
20	150	7	5.1	20	0.68	2.1	12.0	37.1	18.2	21.0	21.0	20.7
16.7 ³	180	6	4.3	16.7	0.65	1.8	10.0	29.2	18.3	21.0	21.2	20.8
10	300	3	2.7	10	0.58	1.7	8.9	25.0	18.4	21.4	21.2	21.0
5	600	2	1.3	5	0.43	1.6	8.9	25.0	18.9	21.4	21.4	21.0

¹ 60Hz を除去。

² 50 Hz を除去。

³ 50Hz と 60Hz を除去。

表 19. sinc3 フィルタの応答：RMS ノイズと分解能 (1000 サンプルに基づくデータ、ODR < 50SPS については 500 サンプル)

Output Data Rate (SPS)	Settling Time (ms)	Switching Rate (Hz)	-3 dB BW (Hz)	Notch Filter (Hz)	RMS Noise				RMS Resolution (Bits)			
					Voltage Mode (μV)			Current Mode (nA)	Voltage Mode			Current Mode
					G = 24	G = 1	G = 0.2	G = 4	G = 24	G = 1	G = 0.2	G = 4
125,000	0.024	41,152	37,000	125,000	9.6	110.0	530.0	1208.3	14.4	15.5	15.5	15.5
62,500	0.048	20,704	18,500	62,500	5.6	19.0	90.0	291.7	15.3	18.0	18.1	17.5
31,250	0.096	10,384	8650	31,250	3.5	9.3	40.0	179.2	15.9	19.1	19.2	18.3
25,000	0.120	8313	6840	25,000	3.2	8.0	38.0	150.0	16.0	19.3	19.3	18.4
15,625	0.192	5200	4175	15,625	2.4	6.6	30.0	125.0	16.4	19.6	19.7	18.7
10,417	0.288	3469	2750	10,417	1.9	5.2	23.0	91.7	16.7	19.9	20.1	19.0
5000	0.6	1666	1296	5000	1.4	3.4	16.0	66.7	17.2	20.5	20.6	19.6
2500	1.2	833	644	2500	1.0	2.5	11.0	45.8	17.7	21.0	21.0	20.1
1000	3.0	333	258	1000	0.6	1.6	7.3	30.0	18.3	21.6	21.7	20.7
500	6.0	167	128	500	0.4	1.2	5.2	21.7	18.8	22.0	22.2	21.2
400.6	7.5	134	103	400.6	0.4	1.0	4.8	18.8	19.0	22.2	22.4	21.3
200	15	67	51	200	0.3	0.8	3.5	13.8	19.5	22.6	22.8	21.8
100.2	30	33	26	100.2	0.2	0.6	2.8	10.0	20.0	23.1	23.2	22.4
60 ¹	50	20	15	60	0.2	0.5	2.5	8.8	20.2	23.3	23.3	22.6
50 ²	60	17	13	50	0.1	0.4	2.2	7.5	20.4	23.4	23.4	22.8
20	150	7	5.1	20	0.1	0.4	1.8	5.8	21.0	23.7	23.7	23.0
16.7 ³	180	6	4.3	16.7	0.1	0.3	1.8	4.7	21.0	23.8	23.7	23.4
10	300	3	2.7	10	0.1	0.3	1.7	5.0	21.3	23.8	23.7	23.3
5	600	2	1.3	5	0.1	0.3	1.5	4.2	21.6	24.0	24.0	23.6

¹ 60Hz を除去。

² 50 Hz を除去。

³ 50Hz と 60Hz を除去。

50Hz と 60Hz を除去する エンハンスド・フィルタ

エンハンスド・フィルタは 50Hz と 60Hz を同時に除去し、アプリケーションのセトリング時間と除去比のトレードオフを行うことができるように設計されています。エンハンスド・フィルタは 27.27SPS まで動作可能で、50Hz ± 1Hz と 60Hz ± 1Hz における干渉信号を最大で 90dB 除去することができます。

エンハンスド・フィルタは、sinc5 + sinc1 フィルタの出力を更にフィルタリングすることによって実現されます。したがって、エンハンスド・フィルタ使用時は sinc5 + sinc1 を選択する必要があります。

エンハンスド・フィルタの出力データ・レート、セトリング時間、50Hz/60Hz 除去比、ピーク to ピーク・ノイズ、および rms ノイズを表 20 と表 21 に示します。図 59~図 66 はエンハンスド・フィルタの周波数領域応答プロットです。

表 20. エンハンスド・フィルタの応答：ピーク to ピーク・ノイズと分解能（500 サンプルに基づくデータ）

Output Data Rate (SPS)	Settling Time (ms)	Switching Rate (Hz) ¹	Simultaneous Rejection of 50 Hz/60 Hz (± 1 Hz) (dB)	Peak-to-Peak Noise				Peak-to-Peak Resolution (Bits)			
				Voltage Mode (µV)			Current Mode (nA)	Voltage Mode			Current Mode
				G = 24	G = 1	G = 0.2	G = 4	G = 24	G = 1	G = 0.2	G = 4
27.27	36.7	27.27	47	1.1	3.3	15.0	66.7	17.5	20.5	20.7	19.5
25	40.0	25	62	1.1	2.7	16.0	54.2	17.6	20.8	20.5	19.8
20	50.0	20	86	1.1	3.0	12.0	50.0	17.6	20.7	21.0	20.0
16.67	60.0	16.667	92	0.93	3.0	13.0	45.8	17.8	20.7	20.8	20.1

¹ スイッチング・レート = 1/t_{SETTLE}.

表 21. エンハンスド・フィルタの応答：RMS ノイズと分解能（500 サンプルに基づくデータ）

Output Data Rate (SPS)	Settling Time (ms)	Switching Rate (Hz) ¹	Simultaneous Rejection of 50 Hz/60 Hz (± 1 Hz) (dB)	RMS Noise				RMS (Bits)			
				Voltage Mode (µV)			Current Mode (nA)	Voltage Mode			Current Mode
				G = 24	G = 1	G = 0.2	G = 4	G = 24	G = 1	G = 0.2	G = 4
27.27	36.7	27.27	47	0.18	0.52	2.4	9.2	20.1	23.2	23.3	22.4
25	40.0	25	62	0.17	0.49	2.4	8.3	20.2	23.3	23.3	22.6
20	50.0	20	86	0.16	0.49	2.2	8.3	20.3	23.3	23.5	22.6
16.67	60.0	16.667	92	0.15	0.48	2.2	7.5	20.4	23.3	23.5	22.7

¹ スイッチング・レート = 1/t_{SETTLE}.

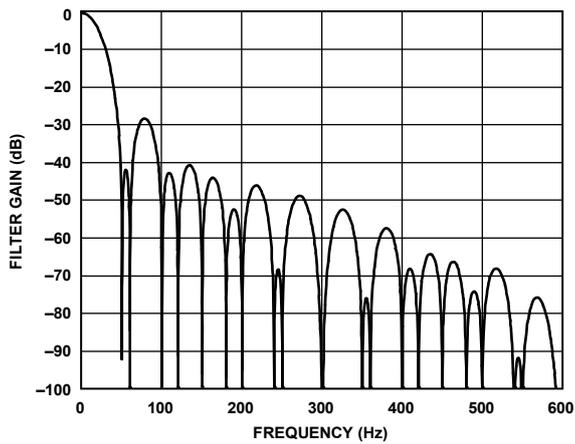


図 59. DC~600Hz、出力データ・レート = 27.27SPS、セトリング時間 = 36.7ms

16269-069

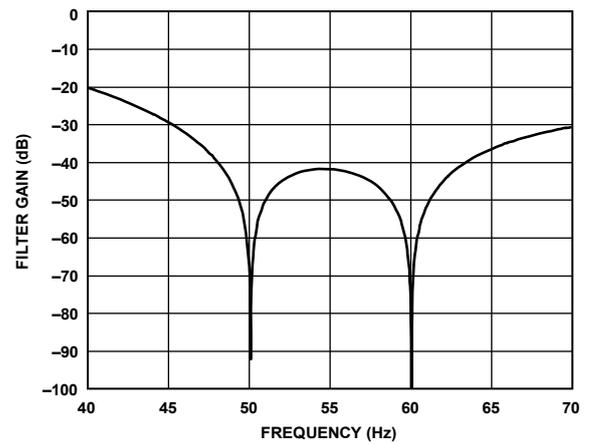


図 62. 拡大図、40Hz~70Hz、出力データ・レート = 27.27SPS、セトリング時間 = 36.7ms

16269-062

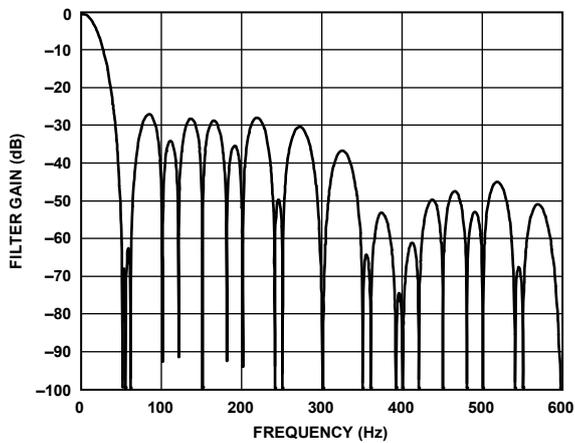


図 60. DC~600Hz、出力データ・レート = 25SPS、セトリング時間 = 40ms

16269-060

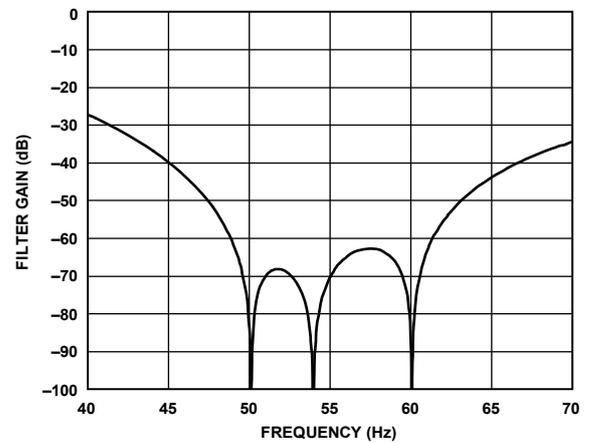


図 63. 拡大図、40Hz~70 Hz、出力データ・レート = 25SPS、セトリング時間 = 40ms

16269-063

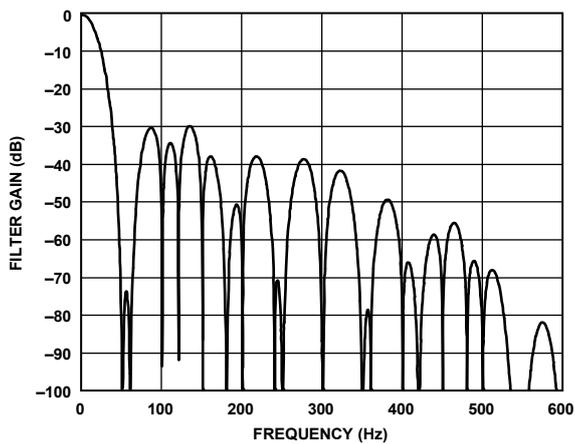


図 61. DC~600Hz、出力データ・レート = 20SPS、セトリング時間 = 50ms

16269-061

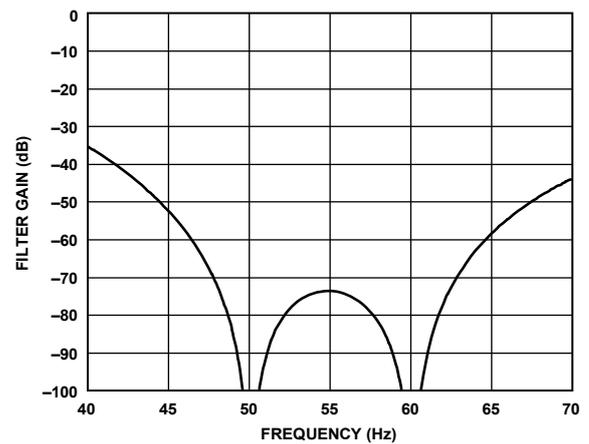


図 64. 拡大図、40Hz~70Hz、出力データ・レート = 20SPS、セトリング時間 = 50ms

16269-064

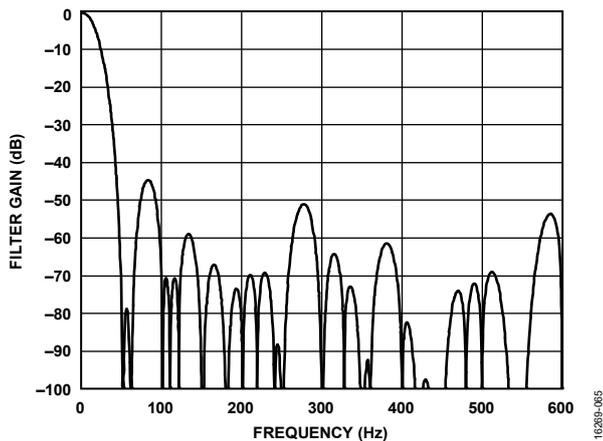


図 65. DC~600Hz、出力データ・レート = 16.67SPS、セトリング時間 = 60ms

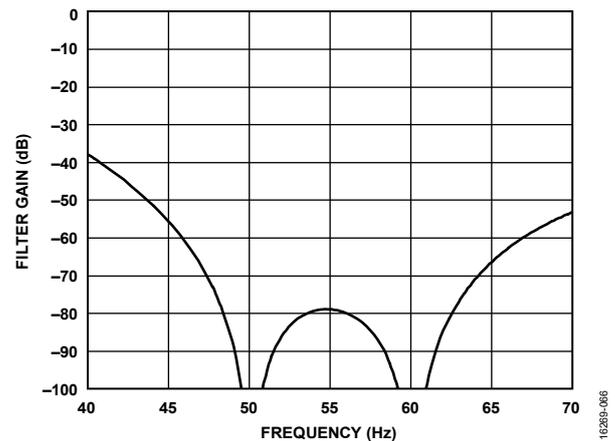


図 66. 拡大図、40Hz~70Hz、出力データ・レート = 16.67SPS、セトリング時間 = 60ms

RTD モードのノイズ性能

様々な出力データ・レートとフィルタ設定に対し、ADC 連続変換時にサンプル数 500 個で求めた AD4110-1 の代表的な rms ノイズ分解能とノイズ・フリー（ピーク to ピーク）分解能を表 22 と表 23 に示します。

ここに示した値は、2.5V の外部リファレンスを使用するバイポーラ入力範囲の場合です。

これらの代表値は、0.01%、500Ω、3ppm の抵抗を AIN (+) ピンと AIN (-) ピンに接続し、3 線式または 4 線式 RTD モードにデバイスを設定した状態で得られる値です。構成図については図 46 と図 47 を参照してください。

ピーク to ピーク分解能はピーク to ピーク・ノイズを基に計算されます。この分解能は、出力コード・フリッカが生じない分解能を表します。

表 22. 3 線式および 4 線式 RTD モード：500Ω 抵抗使用時のピーク to ピーク分解能（500 サンプルに基づくデータ）

Output Data Rate (SPS)	Digital Filter Type	Peak-to-Peak Resolution (Bits)					
		G = 4, 1000 μA	G = 4, 900 μA	G = 8, 600 μA	G = 8, 500 μA	G = 12, 400 μA	G = 24, 100 μA
59.87	Sinc5 + Sinc1	18.1	18.3	17.6	18.0	17.7	17.2
49.92	Sinc5 + Sinc1	18.1	18.3	17.6	18.0	17.7	17.2
60	Sinc3	18.5	18.5	18.2	18.2	17.9	17.7
50	Sinc3	18.5	18.5	18.2	18.2	17.9	17.7

表 23. 3 線式および 4 線式 RTD モード：500Ω 抵抗使用時の RMS 分解能（500 サンプルに基づくデータ）

Output Data Rate (SPS)	Digital Filter Type	RMS Resolution (Bits)					
		G = 4, 1000 μA	G = 4, 900 μA	G = 8, 600 μA	G = 8, 500 μA	G = 12, 400 μA	G = 24, 100 μA
59.87	Sinc5 + Sinc1	20.8	20.9	20.4	20.5	20.3	19.7
49.92	Sinc5 + Sinc1	20.8	20.9	20.4	20.5	20.3	19.7
60	Sinc3	21.0	21.0	20.6	20.9	20.5	20.3
50	Sinc3	21.0	21.0	20.6	20.9	20.5	20.3

シリアル・ペリフェラル・インターフェース

AD4110-1 は、4 線式のシリアル・ペリフェラル・インターフェース (SPI) を使用してプログラムします。シリアル・インターフェースは4つの信号 (CS、SCLK、DIN、DOUT/RDY) で構成されます。

チップ・セレクト (CS) 信号はデバイスを選択する他、通信シーケンスのフレームとしても使われます。各シーケンスは CS の立下がりエッジで始まり、CS の立上がりエッジで終わります。タイミング仕様のセクションに、AD4110-1 とインターフェースを取るためのタイミング図を示します。

SCLK は、デバイスのシリアル・クロック入力です。すべてのデータ転送 (DIN または DOUT/RDY 上での転送) は、この SCLK 信号を基準として行われます。

DIN ラインはオンチップ・レジスタにデータを転送し、SCLK の立上がりエッジで有効になっていなければなりません。DOUT/RDY ラインはオンチップ・レジスタからのデータにアクセスします。DOUT/RDY は SCLK の立下がりエッジで変化します。最後の DOUT/RDY ビットは、チップ・セレクト・フレームが終わるまで有効です。

AD4110-1 は、システム内では常にスレーブです。AD4110-1 のデバイス・アドレスは、アドレス・ピン ADR0 と ADR1 へのハードワイヤ接続によって設定します。これらのピンを使用することで、最大4個の AD4110-1 デバイスが、マスタへの4線式シリアル・インターフェース接続を共有できます。また、8 ビットの巡回冗長検査 (CRC) を使用することで、シリアル通信の完全性を更に高めることができます。CRC の詳細については、CRC チェックサムのセクションを参照してください。

AD4110-1 のリセット

パワーアップ・サイクル後に電源が安定したら、デバイスをリセットする必要があります。デバイスのリセット後は、レジスタの読出しまたは書き込みまでに 1ms の待機時間を設けることを推奨します。

AD4110-1 は、DIN 入力に一連の「1」を書き込むことによってリセットできます。DIN ラインに少なくとも 64 シリアル・クロック・サイクル分のロジック 1 が書き込まれると、デバイスがリセットされます。リセット後のインターフェースは、コミュニケーション・レジスタへの書き込み動作待ちの状態に戻ります。デバイスのリセット後は、すべてのレジスタ値がそれぞれのパワーオン時の値に戻ります。

表 24. コミュニケーション・レジスタ (書き込み専用レジスタ)

ビット	ビット名	設定	説明
7	AFE/ADC	0 1	AFE/ADC ビットは、通信書き込みを AFE レジスタ・マップと ADC レジスタ・マップのどちらへ送るかを決定します。 ADC レジスタ・マップを選択。 AFE レジスタ・マップを選択。
6	R/W	0 1	読出し/書き込みを有効化。このビットは、選択したレジスタの読出しまたは書き込みを有効にします。 選択したレジスタへ書き込み。 選択したレジスタを読み出し。
[5:4]	ADR[1:0]		デバイス・アドレス・ビット。最大で4個の AD4110-1 が同じシリアル・バスを共有できます。シリアル・バスで送られるコマンドは、これらのビットが ADR1 ピンおよび ADR0 ピンの状態と一致すると、デコードされて正しいデバイスへ送られます。
[3:0]	R[3:0]		レジスタ・アドレス・ビット。これらのビットは、AFE レジスタ・マップおよび ADC レジスタ・マップ両方のレジスタ・アドレスへのマッピングを行います。

コミュニケーション・レジスタへの SPI コマンド

AD4110-1 とのすべての通信は、AD4110-1 のキー・レジスタであるコミュニケーション・レジスタに 8 ビットのコマンドを書き込むことによって開始されます。このコマンドによって、レジスタ・マップ、通信が読出しか書き込みか、および読出しまたは書き込みを行うレジスタ・アドレスを選択します。CS ピンは、8 ビット・コマンドが書き込まれてからその後選択したレジスタの読出しまたは書き込みが完了するまでの間、常にローになっていなければなりません。

コマンド・ワードの MSB (AFE/ADC ビット) は、書き込み先をアナログ・フロント・エンド (AFE) レジスタか ADC レジスタにするかを決定します。R/W ビットは 0 (書き込み) または 1 (読出し) に設定されます。ADR [1:0] ビットは、AD4110-1 のデバイス・アドレスを指定します。ADR [1:0] ビットの値が ADR0 ピンおよび ADR1 ピンのロジック・レベルの組み合わせと一致しない場合、AD4110-1 はそのコマンド・シーケンスを無視して、次のチップ・セレクト・フレームで新しいコマンドが送られてくるのを待ちます。コマンド内の最後の 4 ビット R [3:0] は、アクセスする AD4110-1 レジスタのアドレスを AFE レジスタ・マップまたは ADC レジスタ・マップで指定します。

8 ビット・コマンドの後には、選択したレジスタに応じて 8 ビット、16 ビット、または 24 ビットのデータ読出し、もしくは 16 ビットまたは 24 ビットのデータ書き込みが続きます。

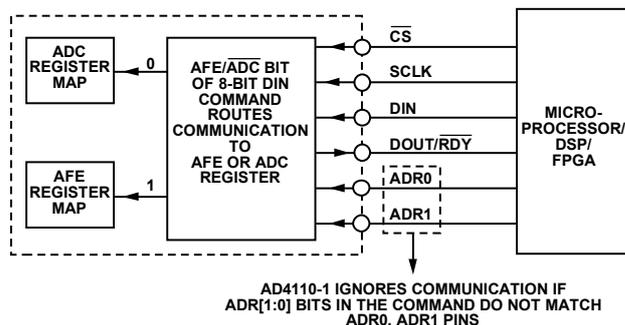


図 67. AFE/ADC ビットが2つの AD4110-1 レジスタ・マップのどちらかを決定

DOUT/RDYピン

DOUT/RDYピンには2つの機能があります。このピンはAD4110-1の出力シフト・レジスタへアクセスするためのシリアル・データ出力として機能するほか、ADC変換の完了を示すピンとしても機能します。

出力シフト・レジスタには、内蔵するどのデータ・レジスタまたはコントロール・レジスタからのデータでも格納できます。データワード情報はSCLKの立下がりエッジでDOUT/RDYピンに与えられ、SCLKの立上がりエッジで有効になります。CSがハイ・レベルのとき、DOUT/RDY出力はスリーステートになります。

CSがロー・レベルで、レジスタが読み出し中でない場合、DOUT/RDYピンはADCデータ・レディ・ピンとして機能し、変換が完了するとロー・レベルに下がってこれを示します。変換後にデータが読み出されないと、次の更新が行われる前にこのピンはハイ・レベルになります。DOUT/RDYの立下がりエッジはプロセッサに対する割込みとして使用でき、有効なデータが準備できていることを示します。

変換後にADCデータ結果レジスタが読み出されずADCが引き続き変換を行っている場合は、次の変換結果が書き込まれる前にDOUT/RDYピンが約2.2μsの間ハイになって、データ・レジスタが間もなく更新されること、およびこの時点ではレジスタを読み出せないことを示します。ADCの変換結果をデータ・レジスタへ書き込もうとしたときにそのレジスタが読み出し中の場合、書き込みは中断されて変換結果は失われます。

ADCの変換制御とSPIインターフェースは同期されていません。したがって、SPIインターフェースがデータ結果レジスタのMSBを読み込もうとしたときに、ADCが同じレジスタの更新プロセスを実行中である場合は、MSB読み出しがエラーとなることがあります。SCLKの初期状態がハイの場合、この読み出しエラーは、CSがローになってから9番目のSCLK立下がりエッジだけで発生します。

MSBエラーの発生を避けるには、CSがローになってから8番目のSCLK立上がりエッジの直後に、DOUT/RDY信号のロジック状態をチェックします。DOUT/RDY信号がロジック・ハイになっている場合、アプリケーションは、9番目のSCLK立下がりエッジの前に信号がローになるまで待つ必要があります。DOUT/RDY信号がロジック・ローになっている場合、アプリケ

ーションは、9番目のSCLK立下がりエッジまでの時間が2.2μs未満となるようにする必要があります。

書き込み動作

SPI書き込み動作のシーケンスを図68に示します。シーケンスは8ビットのコマンド、16ビットのデータ、およびオプションの8ビットCRCで構成されます。コマンド・ワードのMSB (AFE/ADC)は、書き込み先をAFEレジスタ・マップにするかADCレジスタ・マップにするかを決定します。R/Wビットは、書き込み動作を指定するため0に設定されます。コマンド内の最後の4ビットR [3:0]は、アクセスするAD4110-1レジスタのアドレスをAFEレジスタ・マップまたはADCレジスタ・マップで指定します。

この8ビット・コマンドの後には、指定されたレジスタへ書き込む16ビットまたは24ビットのデータが続きます。すべてのAFEレジスタは16ビットです。オプションのCRCは、次に示すAFEレジスタ・マップとADCレジスタ・マップ両方のCRC_ENビットをセットすることによって、すべてのレジスタ書き込みと読み出しについてイネーブルされます。

- AFE_CNTRL1レジスタ (アドレス0x1)、ビット [14:13]
- ADC_INTERFACEレジスタ (アドレス0x2)、ビット [3:2]

CRCがイネーブルされた状態では、書き込み動作の後に、マスター・デバイスによって計算された8ビットCRCが続かなければなりません。AD4110-1は、DINラインで受け取ったビットに基づいて自らのCRCを計算し、8ビット・コマンドと書き込むデータの両方を取り込みます。AD4110-1の計算したCRCがマスター・デバイスから受け取ったCRCと一致した場合は、データが受け入れられて、指定されたレジスタに書き込まれます。CRCが一致しない場合、データはレジスタには書き込まれず、該当するCRCエラー・ビット (AFE_TOP_STATUSレジスタのビット4またはADC_STATUSレジスタのビット5) がセットされます。

書き込み動作シーケンスが中断された場合 (つまり、正しい数のSCLKサイクルが経過する前にチップ・セレクト・フレームがロジック・ハイに遷移した場合)、データはどのレジスタにも書き込まれず、AD4110-1は次のチップ・セレクト・フレームで送られてくる新しいコマンドを待ちます。

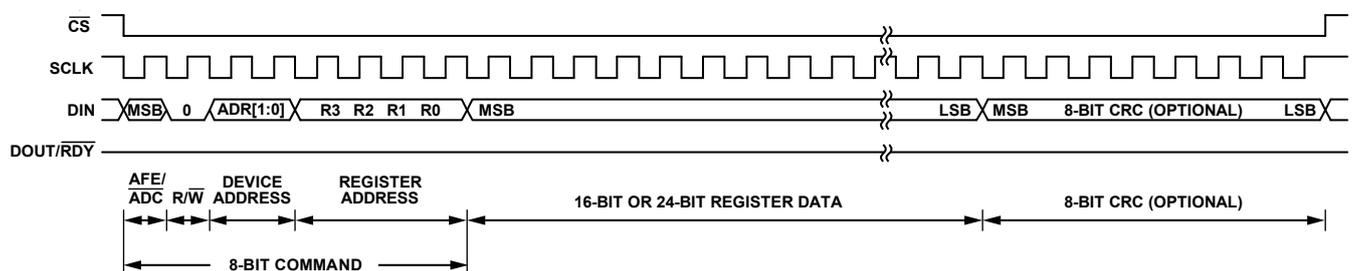


図 68. シリアル・インターフェースの書き込みシーケンス

読出し動作

ADC データ・レジスタを除くすべてのレジスタの SPI 読出し動作シーケンスを、図 69 に示します。このシーケンスは、AFE レジスタまたは ADC レジスタを選択して必要なレジスタを指定するための 8 ビット・コマンドで構成されます。このコマンドの後には、8 ビット、16 ビット、または 24 ビットのデータ出力と、アクセス先レジスタからの 8 ビット CRC (オプション) が続きます。

コマンド・ワードの MSB (AFE/ADC) は、読出し元が AFE レジスタ・マップか ADC レジスタ・マップかを指定します。R/W ビットは、読出し動作を指定するため 1 に設定されます。コマンド内の最後の 4 ビット R [3:0] は、アクセスする AD4110-1 レジスタのアドレスを AFE レジスタ・マップまたは ADC レジスタ・マップで指定します。

8 ビット・コマンドの次の SCLK 立下がりエッジで、指定されたレジスタへのシリアル・データ出力に従って DOUT/RDY ピンが RDY 状態からその機能へ切り替わります。データは、その後の SCLK サイクルで DOUT/RDY ピンを介して送られます。マスタは、DIN ピンを介してダミー・データを送ることができます。このダミー・データは無視されます。

ADC データ・レジスタには、ADC の変換結果が格納されます。ADC データ・レジスタからのリードバックは、DOUT/RDY 信号を使って新しい ADC 変換を読み出す準備ができたことを知らせるという点で、他のレジスタ読出しと異なります (図 70 を参照)。

DOUT/RDY ラインはハイからローへ遷移して、新しいデータ変換結果が使用できることを示します。データが読み出されて CS がロジック・ハイに戻ると、DOUT/RDY ピンが高インピーダンス状態に戻ります。

オプションの CRC は、次に示す AFE レジスタ・マップと ADC レジスタ・マップ両方の CRC_EN ビットをセットすることによって、すべてのレジスタ書込みと読出しについてイネーブルされます。

- AFE_CNTRL1 レジスタ (アドレス 0x1)、ビット [14:13]
- ADC_INTERFACE レジスタ (アドレス 0x2)、ビット [3:2]

AD4110-1 は、DIN で受信した 8 ビットのデータ・コマンドと送信されたレジスタ・データに基づいて CRC を計算し、送信します。データは、DOUT/RDY でマスタに送信されます。マスタ・デバイスは、この CRC を使って受信・データに関するエラー・チェックを行うことができます。

読出し動作シーケンスが中断された場合 (つまり、正しい数の SCLK サイクルが経過する前にチップ・セレクト・フレームがロジック・ハイに遷移した場合)、AD4110-1 は次のチップ・セレクト・フレームで送られてくる新しいコマンドを待ちます。DOUT/RDY は、チップ・セレクト・フレームの最後で高インピーダンス状態に戻ります。

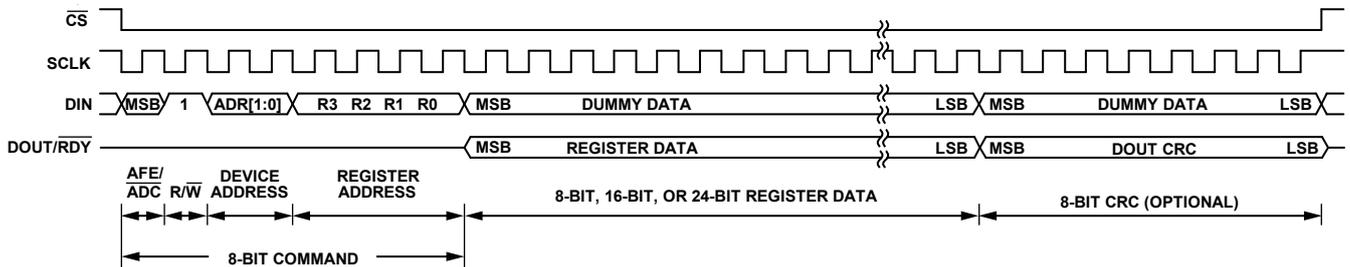


図 69. ADC_DATA レジスタを除くすべてのレジスタのシリアル・インターフェース読出しシーケンス

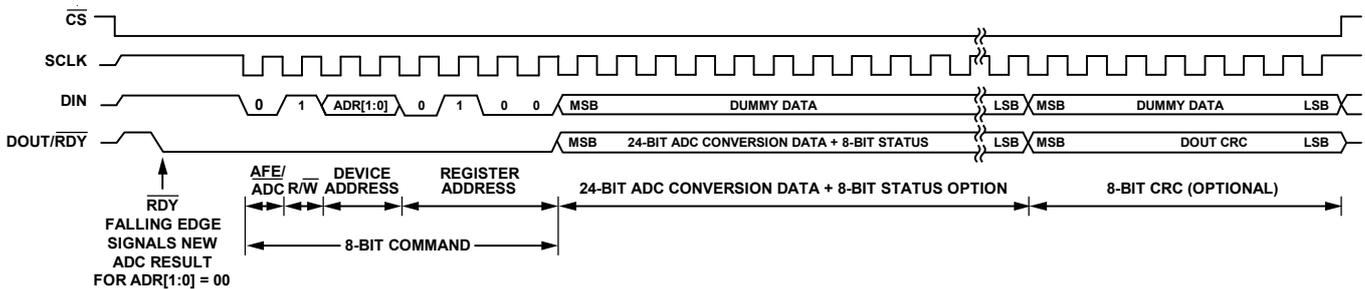


図 70. ADC_DATA レジスタ (変換結果) のシリアル・インターフェース読出しシーケンス

SPIバス上の複数デバイス

1本のSPIバスには最大4個のAD4110-1デバイスを接続できます。2つのアドレス・ピンADR0とADR1が、各デバイスのアドレスを設定します。これらのピンは、IOVDDにプルアップするかDGNDにプルダウンして使用します。バス上の各デバイスは、アドレス・ピンを互いに異なる値に設定する必要があります。配線例を図71に示します。この例では、抵抗を使用して簡単にアドレスを設定し直すことができますが、IOVDDまたはDGNDへのハードワイヤ接続も可能です。

デバイスとの通信は、SPIコマンドのデバイス・アドレス・ビットとデバイスのアドレス・ピン設定が一致すると確立されます。1つのCSフレーム内でSPIバスを使って通信ができるデバイスは1つだけです。つまり、ある時点でアドレスを指定できるのは1つのデバイスだけで、アドレス指定時はCS信号をローにし、次のデバイスのアドレスを指定する前に再びハイに戻す必要があります。1つのCSフレーム内でコマンド・バイトのデバイス・アドレス・ビットを変更することはできません。

DOUT/RDYピンには2つの機能があります。このピンはAD4110-1の出力シフト・レジスタへアクセスするためのシリアル・データ出力として機能するほか、ADC変換の完了を示すピンとしても機能します。

DOUT/RDY信号を制御できるデバイスは1つだけです。CSピンがハイのときは、すべてのDOUT/RDY出力がトライステートになります。CS信号がローになると、アドレス・ピンの設定がADR0 = 0、ADR1 = 0のデバイスがDOUT/RDY信号を制御できるようになります。DOUT/RDY信号の制御がアドレス指定されたデバイスに渡されるのは、ゼロ以外のアドレスを持つコマンド・バイトの受信後に限られます。これは、SCLKの8番目の立上がりエッジで行われます。図72を参照してください。

DOUT/RDY信号とSPI通信信号は同期されていないので、CSがローになった時点では、アドレス・ピンが00に設定されたデバイスからのDOUT/RDY信号がアクティブの場合もあれば、そうでない場合もあります。また、デバイスが連続変換モードになっている場合は、CS信号受信後のある時点でDOUT/RDY信号が遷移する可能性もあります。したがって、DOUT/RDYピンは、マイクロコントローラの立上がりエッジでトリガされる割込みピンへ接続することが推奨されます。この割込みピンはCS信号がローになる前にディスエーブルされ、SCLKの8番目の立上がりエッジ後のみイネーブルされます。更に、SCLKは8番目の立上がりエッジの後に停止させる必要があります。DOUT/RDY信号の次の立上がりエッジがマイクロコントローラ割込みをトリガすると、アドレス指定されたデバイスがデータを使用できる状態になり、データ読出しのためにSCLKが再開されます。

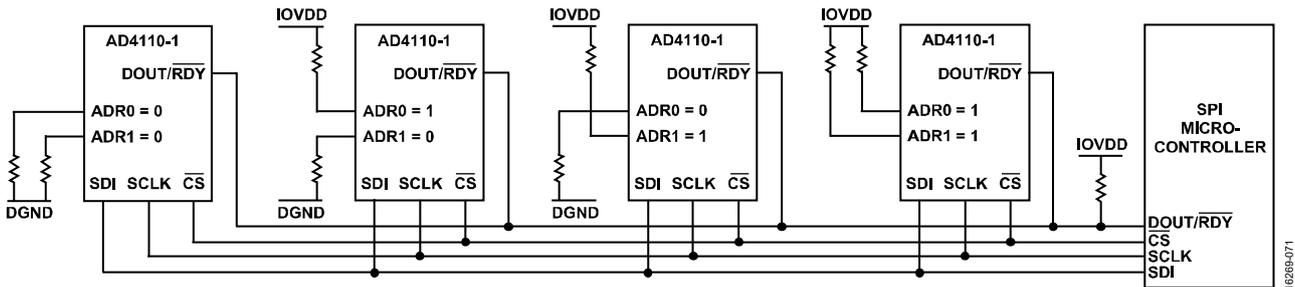


図 71. 複数デバイスを接続するための SPI 配線

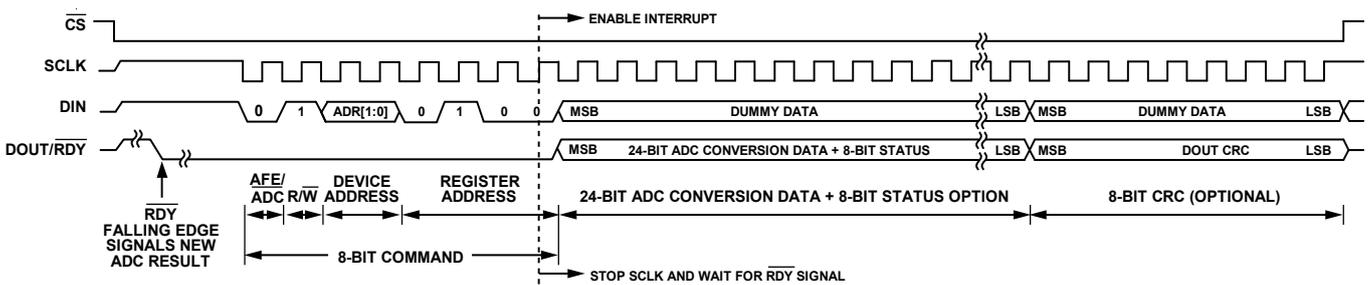


図 72. SPIバスに複数のデバイスを接続した状態での ADC_DATA レジスタのシリアル・インターフェース読出しシーケンス

CRC チェックサム

AD4110-1 は冗長巡回検査 (CRC) 機能を備えており、これによって読出しおよび書込み時のデバイスとの SPI インターフェース通信の信頼性を向上させることができます。

CRC を使用すると、レジスタには有効なデータのみが書き込まれ、検証済みのレジスタからのデータ読出しが可能になります。レジスタへの書込み時にエラーが発生すると、AFE_TOP_STATUS レジスタまたは ADC_STATUS レジスタの対応する CRC エラー・ビットがセットされます。

CRC を使用すれば有効な書込みだけが行われるようになりますが、書込み動作が正常に完了したかどうかを CRC で知ることはできません。書込み完了を知ることができないのは、SPI 書込みトランザクションの場合と異なり、SPI 読出しトランザクション発生時には CRC エラー・ビットがセットされないからです。レジスタへの書込みが行われたことを確認するには、同じレジスタの内容をリードバックする必要があります。リードバックされるデータには CRC チェックサムが含まれており、データの確認が可能です。

AFE の場合は、以下の多項式が読出し動作時または書込み動作時に使われる CRC チェックサムを計算します。

$$x^8 + x^2 + x + 1$$

ADC 書込みにも同じ多項式が使われます。ADC の読出し動作時には、アプリケーションはこの多項式タイプか、同様の排他的論理和 (XOR) 関数を選択することができます。

XOR 関数を使ったチェックサムは、多項式ベースのチェックサムよりも、ホスト・マイクロコントローラの方が短時間で処理できます。ADC_INTERFACE レジスタの CRC_EN ビットは、アプリケーションのチェックサムのイネーブル/ディスエーブルの選択と、多項式実装または XOR 実装の選択に使用します。

8 ビットの CRC チェックサムは、読出しと書込みの各トランザクションの最後に付加されます。書込みトランザクションのチェックサム計算は、8 ビットのコマンド・ワードと 8~24 ビットのデータを使って計算されます。読出しトランザクションでは、コマンド・ワードと 8~32 ビットのデータ出力を使って計算されます。

レジスタは、SPI 書込みトランザクションの一部として正しい CRC チェックサムが受信された場合のみ変更されます。CRC チェックサムは、AD4110-1 により読出しトランザクションの一部として送信されます。CRC を使用する SPI の書込みトランザクションを図 73 に、同じく読出しトランザクションを図 74 に示します。

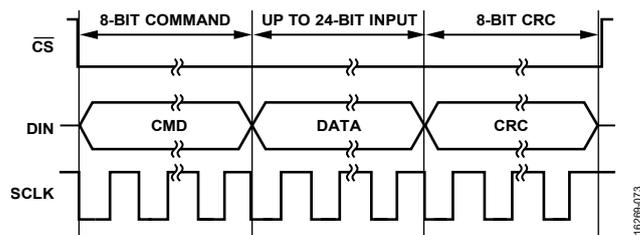


図 73. CRC 付き SPI 書込みトランザクション

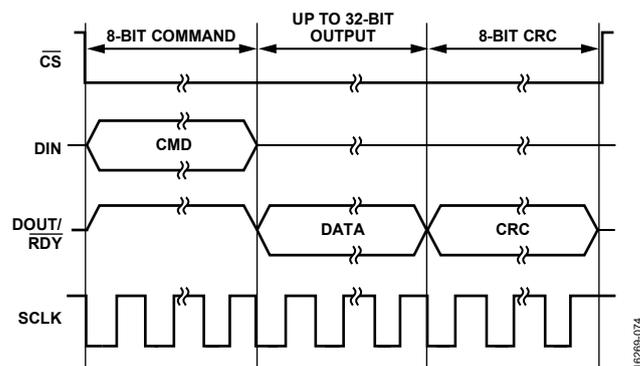


図 74. CRC 付き SPI 読出しトランザクション

CRC チェックサムの方法

多項式計算

8 ビット幅のチェックサムは、次の多項式を使用して生成されます。

$$x^8 + x^2 + x + 1$$

チェックサムを生成するには、データを 8 ビット左にシフトし、8 個のロジック 0 で終わる値を発生させます。多項式の MSB がデータの最も左にあるロジック 1 と揃うように、多項式の位置を合わせます。データと排他的論理和 (XOR) をとって、短くなった新しい数値を生成します。再度、多項式の MSB が得られたデータの最も左にあるロジック 1 と合うように、多項式の値の位置決めをします。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。この多項式が 8 ビットのチェックサムになります。

24 ビット・ワードの多項式 CRC 計算 : 0x654321 (8 ビット・コマンドと 16 ビット・データ)

多項式ベースのチェックサムを使用した 8 ビット・チェックサムの生成例を以下に示します。

	6	5	4	3	2	1
初期値 :	0	1	1	0	1	0
8 ビット左にシフト :	0	1	1	0	1	0
多項式 :	1	0	0	0	0	1
XOR 1	1	0	1	0	0	0
	1	0	0	0	0	1
XOR 2	1	0	0	1	1	0
	1	0	0	0	0	1
XOR 3	1	1	1	1	0	0
	1	0	0	0	0	1
XOR 4	1	1	1	1	0	0
	1	0	0	0	0	1
XOR 5	1	1	1	0	0	0
	1	0	0	0	0	1
XOR 6	1	1	0	1	1	0
	1	0	0	0	0	1
XOR 7	1	1	0	1	0	0
	1	0	0	0	0	1
XOR 8	1	0	1	0	1	0
	1	0	0	0	0	1
XOR 9	1	0	1	0	1	0
	1	0	0	0	0	1
XOR 10	1	1	0	1	1	0
	1	0	0	0	0	1
XOR 11	1	0	1	0	1	0
	1	0	0	0	0	1
XOR 12	1	0	1	0	0	0
	1	0	0	0	0	1
CRC チェックサム (0x86)	1	0	0	0	1	1

排他的論理和 (XOR) の計算

データをバイトに分割し、それぞれのバイトに XOR 演算を行うことにより、8 ビット幅のチェックサムを生成します。

24 ビット・ワードの XOR CRC 計算：

0x654321 (8 ビット・コマンドと 16 ビット・データ)

多項式ベースのチェックサムを使用した 8 ビット・チェックサムの生成例を以下に示します。

3 バイトに分割：0x65、0x43、0x21 の 3 バイトに分割します。

0x65	0110 0101
0x43	0100 0011
XOR の結果	0010 0110
0x21	0010 0001
CRC チェックサム (0x07)	0000 0111

レジスタの詳細

このセクションでは、RWは読出しと書込み、Rは読出し専用、Wは書込み専用を意味します。

AFE レジスタ・マップ

表 25. AFE レジスタ・マップ

Reg	Register Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW			
0x0	AFE_TOP_STATUS	[15:8]	Reserved								0xD000	R			
		[7:0]	Reserved		ERRCH	ERRCRC	TEMPSD	TEMPHI	Reserved	AFE_ERROR					
0x1	AFE_CNTRL1	[15:8]	Reserved	CRC_EN		Reserved			DISRTD	Reserved		0x0000	RW		
		[7:0]	Reserved												
0x2	Reserved	[15:8]	Reserved											0x0000	R
		[7:0]	Reserved												
0x3	AFE_CLK_CTRL	[15:8]	Reserved											0x0000	RW
		[7:0]	Reserved				CLK_CFG			Reserved					
0x4	AFE_CNTRL2	[15:8]	AINN_DN100	AINN_DN1	AINN_UP100	AINN_UP1	AINP_DN100	AINP_DN1	AINP_UP100	AINP_UP1	Reserved		0x0082	RW	
		[7:0]	VBIAS		Reserved			EN_FLD_PWR	EXT_R_SEL	IMODE	Reserved				
0x5	PGA_RTD_CTRL	[15:8]	RTD_3W4W	I_COM_SEL			I_EXC_SEL			EXT_RTD_RES		0x0000	RW		
		[7:0]	GAIN_CH				Reserved								
0x6	AFE_ERR_DISABLE	[15:8]	Reserved				AINN_UV	AINP_UV	AINN_OV	AINP_OV	Reserved		0x0000	RW	
		[7:0]	I_EXC	I_COM	Reserved			FLD_PWR_OC	AIN_OC	Reserved					
0x7	AFE_DETAIL_STATU S	[15:8]	Reserved				AINN_UV	AINP_UV	AINN_OV	AINP_OV	Reserved		0x0000	R	
		[7:0]	I_EXC	I_COM	Reserved			FLD_PWR_OC	AIN_OC	Error					
0x8	Reserved	[15:8]	Reserved											0x0000	R
		[7:0]	Reserved												
0x9	Reserved	[15:8]	Reserved											0x0000	R
		[7:0]	Reserved												
0xA	Reserved	[15:8]	Reserved											0x0000	R
		[7:0]	Reserved												
0xB	Reserved	[15:8]	Reserved											0x0000	R
		[7:0]	Reserved												
0xC	AFE_CAL_DATA	[15:8]	Reserved							Parity	GAIN_CAL[8]		0x0XXX	R	
		[7:0]	GAIN_CAL[7:0]												
0xD	AFE_RSENSE_DATA	[15:8]	Parity	RSEN_CAL[14:8]										0xXXX X	R
		[7:0]	RSEN_CAL[7:0]												
0xE	NO_PWR_ DEFAULT_SEL	[15:8]	Reserved											0x0000	W
		[7:0]	D_MODE												
0xF	NO_PWR_ DEFAULT_STATUS	[15:8]	Reserved								COMM_ERR		0x00XX	R	
		[7:0]	Count												

AFE レジスタの説明

AFE_TOP_STATUS レジスタ

アドレス：0x0、リセット：0xD000、レジスタ名：AFE_TOP_STATUS

読み出し専用の AFE_TOP_STATUS レジスタは、AFE のステータスを示します。このレジスタはシリアル・インターフェースを介して読み出し可能で、チップの内部温度が制限範囲内であることを確認して、アナログ入力チャンネルにエラー状態が検出されたかどうかをチェックするために使用します。個々のエラービット（ビット [5:2]）はすべてラッチされます。したがって、短時間でもエラー状態が生じるとエラー・ロジックがそのエラー状態を検出し、このレジスタが読み出されるまで該当エラー・ビットによってエラー発生が示されます。総合エラー・ビット（ビット 0、AFE_ERROR）はラッチされず、読み出し時点でマスクされていないエラーの合計が反映されます。AFE ステータス・レジスタを読み込んでも AFE_ERROR ビットはクリアされませんが、AFE_ERR_DISABLE レジスタ（アドレス 0x6）内に該当ビットをセットすることによって、個々のエラー・ビットが AFE_ERROR ビットを駆動しないようにする（マスクする）ことができます。

表 26. AFE_TOP_STATUS レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	Reserved		シリコン・リビジョン ID。	0xD	R
[7:6]	Reserved		予備。	0x0	R
5	ERRCH	0 1	チャンネルのエラー。 エラーなし。 1 高電圧チャンネルに 1 つまたは複数のエラーが検出されたことを示します。	0x0	R
4	ERRCRC	0 1	CRC チェックでのエラー発生。このビットは、AFE レジスタへの書き込み動作中に CRC エラーが発生するとセットされます。 エラーなし。 1 SPI 通信中にエラーが発生したことを示します。	0x0	R
3	TEMPSD	0 1	サーマル・シャットダウン。 エラーなし。 1 チップ温度が、表 1 に仕様規定されたサーマル・シャットダウン閾値を超えたことを示します。消費電力をできるだけ小さくするために、高電圧チャンネルが電圧入力モードになり、すべてのオンチップ電流源とフィールド電源がシャットダウンされて PGA の各部もシャットダウンされます。SPI インターフェースは引き続き機能します。	0x0	R
2	TEMPHI	0 1	過熱検出。 エラーなし。 1 チップ温度が、表 1 に仕様規定された過熱検出閾値を超えたことを示します。この場合はデバイスの消費電力を下げるために、システム・コントローラによって適切な措置を講じる必要があります。	0x0	R
1	Reserved		予備。	0x0	R
0	AFE_ERROR	0 1	チャンネルのエラー。 エラーなし。 1 AFE_ERR_DISABLE レジスタによってマスクされていないエラー状態が存在することを示します。このビットの状態は、ERR 出力ピンのステータスによって直接反映されます（極性の反転）。つまり、このビットが 1 に設定されると、オープンドレイン、アクティブ・ローの ERR 出力がローになってエラーが発生したことを示します。	0x0	R

AFE_CNTRL1 レジスタ

アドレス：0x1、リセット：0x0000、レジスタ名：AFE_CNTRL1

RTD 励起電流と補償電流のイネーブル、および AFE インターフェースの CRC チェックサム・モードの有効化には、AFE_CNTRL1 レジスタを使用します。CRC チェックサム・モードを有効にするには、このレジスタのビット [14:13] と、ADC_INTERFACE レジスタのビット [3:2] を設定する必要があります（表 40 を参照）。

表 27. AFE_CNTRL1 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	Reserved		予備	0x0	R
[14:13]	CRC_EN	00 01 10 11	CRC チェックサムをイネーブル。 CRC チェックサムをディスエーブル。 予備。 読出し時と書込み時に 8 ビット CRC をイネーブル。 予備。	0x0	RW
[12:10]	Reserved		予備。	0x0	R
9	DISRTD	0 1	すべての RTD 励起電流と補償電流をディスエーブル。 RTD 電流をオン。 RTD 電流をオフ。	0x0	RW
8	Reserved		予備。	0x0	R
[7:0]	Reserved		予備。	0x00	R

AFE_CLK_CTRL レジスタ

アドレス：0x3、リセット：0x0000、レジスタ名：AFE_CLK_CTRL

アプリケーション・ソフトウェアはデバイス初期化ルーチンでこのレジスタに書込みを行って、ビット [4:3] を 10 に設定する必要があります。この書込みは、AFE と ADC を同じクロックで同期するために必要です。

表 28. AFE_CLK_CTRL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	Reserved		予備。	0x0	R
[7:5]	Reserved		予備。	0x0	R
[4:3]	CLK_CFG	00 01 10 11	CLKIO ピンの設定。 内部。 予備。 ADC によって AFE をクロック（必要設定）。 予備。	0x0	RW
[2:0]	Reserved		予備。	0x0	R

AFE_CNTRL2 レジスタ

アドレス：0x4、リセット：0x0082、レジスタ名：AFE_CNTRL2

AFE_CNTRL2 レジスタは、断線検出、VBIAS、フィールド電源モードを有効にするために使用します。また、このレジスタは、電流入力モード用の外付け検出抵抗の選択と、電圧動作モード/電流動作モードの選択にも使用します。

表 29. AFE_CNTRL2 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	AINN_DN100	0 1	AIN (-) の断線検出を有効にします。検出電流 = -100 μ A。 オフ。 オン。	0x0	RW
14	AINN_DN1	0 1	AIN (-) の断線検出を有効にします。検出電流 = -1 μ A。 オフ。 オン。	0x0	RW
13	AINN_UP100	0 1	AIN (-) の断線検出を有効にします。検出電流 = +100 μ A。 オフ。 オン。	0x0	RW
12	AINN_UP1	0 1	AIN (-) の断線検出を有効にします。検出電流 = +1 μ A。 オフ。 オン。	0x0	RW
11	AINP_DN100	0 1	AIN (+) の断線検出を有効にします。検出電流 = -100 μ A。 オフ。 オン。	0x0	RW
10	AINP_DN1	0 1	AIN (+) の断線検出を有効にします。検出電流 = -1 μ A。 オフ。 オン。	0x0	RW
9	AINP_UP100	0 1	AIN (+) の断線検出を有効にします。検出電流 = +100 μ A。 オフ。 オン。	0x0	RW
8	AINP_UP1	0 1	AIN (+) の断線検出を有効にします。検出電流 = +1 μ A。 オフ。 オン。	0x0	RW
[7:6]	VBIAS	00 01 10 11	GND へのコモンモード・バイアス。 予備。 50 μ A バイアスをオン。 オフ (デフォルト)。 オフ。	0x2	RW
[5:4]	Reserved		予備。	0x0	R
3	EN_FLD_PWR	0 1	フィールド電源モードを有効化。 フィールド電源をオフ。 フィールド電源をオン。	0x0	RW
2	EXT_R_SEL	0 1	電流モードで使用する外付け電流検出抵抗を選択します。 内蔵検出抵抗を選択。 外付け検出抵抗を選択。	0x0	RW
1	IMODE	0 1	電流モードを有効にします。このビットのパワーオン・デフォルト設定は、アプリケーションによってプログラムできます。 電圧モードを選択。 電流モードを選択。	0x1	RW
0	Reserved		予備。	0x0	R

PGA_RTD_CTRL レジスタ

アドレス：0x5、リセット：0x0000、レジスタ名：PGA_RTD_CTRL

PGA_RTD_CTRL レジスタは、RTD 測定モード（4 線式、3 線式、2 線式）を有効にして、励起電流と補償電流の大きさを設定するために使用します。また、チャンネル・ゲインの設定にも使用します。

表 30. PGA_RTD_CTRL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	RTD_3W4W	0 1	2 線式、3 線式、または 4 線式 RTD 接続用にデバイスを設定します。 4 線式（電流は RTD ピン経由） 2 線式または 3 線式（電流は AIN (+) ピンと AIN (-) ピン経由）	0x0	RW
[14:12]	I_COM_SEL	000 001 010 011 100 101 110 111	RTD 補償電流。 無効。 100μA 400μA 500μA 500μA 600μA 900μA 1000μA	0x0	RW
[11:9]	I_EXC_SEL	000 001 010 011 100 101 110 111	RTD 励起電流。 無効。 100μA 400μA 500μA 500μA 600μA 900μA 1000μA	0x0	RW
8	EXT_RTD_RES	0 1	外付け RTD 抵抗を選択します。 内蔵 RTD 抵抗を選択。 外付け RTD 抵抗を選択。	0x0	RW
[7:4]	GAIN_CH	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	チャンネル・ゲインを設定します。 ゲイン = 0.2 ゲイン = 0.25 ゲイン = 0.3 ゲイン = 0.375 ゲイン = 0.5 ゲイン = 0.75 ゲイン = 1 ゲイン = 1.5 ゲイン = 2 ゲイン = 3 ゲイン = 4 ゲイン = 6 ゲイン = 8 ゲイン = 12 ゲイン = 16 ゲイン = 24	0x0	RW
[3:0]	Reserved		予備。	0x0	R

AFE_ERR_DISABLE レジスタ

アドレス：0x6、リセット：0x0000、レジスタ名：AFE_ERR_DISABLE

AFE_ERR_DISABLE レジスタ内のビットは、エラー・イベントをマスク（ディスエーブル）するように設定できます。このレジスタ内のいずれかのビットを 1（エラーをマスク）に設定すると、指定されたエラーは、AFE_TOP_STATUS レジスタ（アドレス 0x0）の AFE_ERROR ビットによって表されるエラー合計から除外されます。アプリケーションは、ERRピンと AFE_ERROR ビットによってリアルタイムでレポートされるエラーを選択するために AFE_ERR_DISABLE レジスタを使用し、アプリケーションの要求に応じてシステム診断機能をカスタマイズすることができます。

表 31. AFE_ERR_DISABLE レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:12]	Reserved		予備。	0x0	R
11	AINN_UV	0 1	AIN (-) の低電圧。 アラート・フラグをオン。 アラート・フラグをオフ。	0x0	RW
10	AINP_UV	0 1	AIN (+) の低電圧。 アラート・フラグをオン。 アラート・フラグをオフ。	0x0	RW
9	AINN_OV	0 1	AIN (-) の過電圧。 アラート・フラグをオン。 アラート・フラグをオフ。	0x0	RW
8	AINP_OV	0 1	AIN (+) の過電圧。 アラート・フラグをオン。 アラート・フラグをオフ。	0x0	RW
7	I_EXC	0 1	コンプライアンス範囲外の RTD 励起電流。 アラート・フラグをオン。 アラート・フラグをオフ。	0x0	RW
6	I_COM	0 1	コンプライアンス範囲外の RTD 補償電流。 アラート・フラグをオン。 アラート・フラグをオフ。	0x0	RW
[5:3]	Reserved		予備。	0x0	R
2	FLD_PWR_OC	0 1	フィールド電源モードでの出力過電流。 アラート・フラグをオン。 アラート・フラグをオフ。	0x0	RW
1	AIN_OC	0 1	入力過電流。 アラート・フラグをオン。 アラート・フラグをオフ。	0x0	RW
0	Reserved		予備。	0x0	R

AFE_DETAIL_STATUS レジスタ

アドレス：0x7、リセット：0x0000、レジスタ名：AFE_DETAIL_STATUS

読出し専用の AFE_DETAIL_STATUS レジスタは、詳細な診断と、高電圧アナログ入力チャンネルのすべてのエラー状態のモニタに使用できます。このレジスタ内の各エラー・ビットはラッチされます。したがって、短時間でもエラー状態が生じるとエラー・ロジックがそのエラー状態を検出し、このレジスタが読み出されるまで、該当エラー・ビットによってエラー発生が示されます。

表 32. AFE_DETAIL_STATUS レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:12]	Reserved		予備。	0x0	R
11	AINN_UV	0 1	AIN (-) の低電圧。 エラーなし。 エラー・フラグをセット。	0x0	R
10	AINP_UV	0 1	AIN (+) の低電圧。 エラーなし。 エラー・フラグをセット。	0x0	R
9	AINN_OV	0 1	AIN (-) の過電圧。 エラーなし。 エラー・フラグをセット。	0x0	R
8	AINP_OV	0 1	AIN (+) の過電圧。 エラーなし。 エラー・フラグをセット。	0x0	R
7	I_EXC	0 1	コンプライアンス範囲外の RTD 励起電流。 エラーなし。 エラー・フラグをセット。	0x0	R
6	I_COM	0 1	コンプライアンス範囲外の RTD 補償電流。 エラーなし。 エラー・フラグをセット。	0x0	R
[5:3]	Reserved		予備。	0x0	R
2	FLD_PWR_OC	0 1	フィールド電源モードでの出力過電流。 エラーなし。 エラー・フラグをセット。	0x0	R
1	AIN_OC	0 1	入力過電流。 エラーなし。 エラー・フラグをセット。	0x0	R
0	Error	0 1	高電圧チャンネルのエラー。 エラーなし。 エラー・フラグをセット。	0x0	R

AFE_CAL_DATA レジスタ

アドレス：0xC、リセット：0x0XXX、レジスタ名：AFE_CAL_DATA

読出し専用の AFE_CAL_DATA レジスタには、電圧モードのゲイン補正係数値が格納されます。ゲイン係数は 9 ビット幅で、オフセット・バイナリ・コーディングを使用します。ビット 9 はパリティ・ビットで、レジスタ内の 1 の合計数が奇数となるように設定されます。各ゲインのゲイン誤差はデバイスの出荷テスト時に測定され、対応する補正係数がこのレジスタに保存されます。各ゲインに対応する係数へのアクセスは、最初に必要なゲインに対するゲイン・ビットを PGA_RTD_CTRL レジスタ（アドレス 0x5）内に設定し、次にこのレジスタを読み出すことによって行います。

表 33. AFE_CAL_DATA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:10]	Reserved		予備。	0x0	R
9	Parity	0 1	パリティ・ビット。 偶数パリティ。 奇数パリティ。	0xX	R
[8:0]	GAIN_CAL		電圧モードのゲイン・キャリブレーション・データ。	0xX	R

AFE_RSENSE_DATA レジスタ

アドレス：0xD、リセット：0XXXX、レジスタ名：AFE_RSENSE_DATA

読出し専用の AFE_RSENSE_DATA レジスタには、電流モードのゲイン補正係数値が格納されます。ゲイン係数は 15 ビット幅で、オフセット・バイナリ・コーディングを使用します。ビット 15 はパリティ・ビットで、レジスタ内の 1 の合計数が奇数となるように設定されます。ゲイン設定 4 の場合のゲイン誤差はデバイスの出荷テスト時に測定され、その値がこのレジスタに保存されます。係数へのアクセスは、最初に PGA_RTID_CTRL レジスタ（アドレス 0x5）内の GAIN_CH ビットをゲイン 4 に設定して、このレジスタを読み出すことによっ

表 34. AFE_RSENSE_DATA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	Parity	0 1	パリティ・ビット。 偶数パリティ。 奇数パリティ。	0xX	R
[14:0]	RSEN_CAL		電流モードのゲイン・キャリブレーション・データ。	0xX	R

NO_PWR_DEFAULT_SEL レジスタ

アドレス：0xE、リセット：0x0000、レジスタ名：NO_PWR_DEFAULT_SEL

出荷時の AD4110-1 は電流入力モードがデフォルトで、初めて電源を入れたときはこのモードで動作します。パワーアップ時のデフォルト動作モードのセクションで説明したように、デフォルト動作モードは変更できます。

表 35. NO_PWR_DEFAULT_SEL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	Reserved		予備。	0x0	R
[7:0]	D_MODE		デフォルトのパワーアップ・モードを変更します（アドレス 0x4 の AFE_CNTRL2 レジスタの IMODE ビット（ビット 1）をセット後）。	0x0	W

NO_PWR_DEFAULT_STATUS レジスタ

アドレス：0xF、リセット：0x00XX、レジスタ名：NO_PWR_DEFAULT_STATUS

NO_PWR_DEFAULT_STATUS レジスタの内容は、デフォルトの動作モードに電流モードと電圧モードのどちらが選ばれているかを示します。このレジスタに偶数値が格納されている場合のデフォルト動作モードは電圧モードで、奇数値が格納されている場合のデフォルト動作モードは電流モードです。AD4110-1 のデフォルト動作モードを変更できる回数は 100 回です。デフォルト・モードを変更できる残り回数は、カウント・ビット（ビット [7:0]）で示されます。

表 36. NO_PWR_DEFAULT_STATUS レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:9]	Reserved		予備。	0x0	R
8	COMM_ERR	0 1	このレジスタ読出し時のエラー。 エラーなし。 このレジスタ読出し時に通信エラーが生じた場合は、エラー・フラグがセットされます。このビットが 1 に設定されている場合、エラーが発生しており、正確なデータ読出しを行うには読出しを繰り返す必要があります。	0x0	R
[7:0]	Count		デフォルトのパワーアップ・モードを設定するための残り書込み回数。 AD4110-1 のデフォルト動作モードを変更できる回数は 100 回です。	0xXX	R

ADC レジスタ・マップ

表 37. ADC レジスタ・マップ

Reg	Register Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x0	ADC_STATUS	[7:0]	RDY	ADC_ERR	CRC_ERR	Reserved			CHAN_ID		0x80	R	
0x1	ADC_MODE	[15:8]	REF_EN	Reserved			Delay			0x0000	RW		
		[7:0]	Reserved	Mode		CLK_SEL		Reserved					
0x2	ADC_INTERFACE	[15:8]	Reserved									0x0000	RW
		[7:0]	Reserved	DATA_STAT	Reserved		CRC_EN		Reserved	WL16			
0x3	ADC_CONFIG	[15:8]	Reserved		BI_UNIPOLAR	REFIN_BUFF		AIN_BUFF			0x1340	RW	
		[7:0]	Reserved	BIT_6	REF_SEL	CHAN_EN_3	CHAN_EN_2	CHAN_EN_1	CHAN_EN_0				
0x4	Data	[23:16]	DATA[23:16]									0x000000	R
		[15:8]	DATA[15:8]										
		[7:0]	DATA[7:0]										
0x5	Filter	[15:8]	Reserved			EN_ENHANCEFILT	SEL_ENHANCEFILT			0x0500	RW		
		[7:0]	Reserved	Order	ODR								
0x6	ADC_GPIO_CONFIG	[15:8]	Reserved			SYNC_EN	ERR_EN		Reserved		0x0800	RW	
		[7:0]	Reserved										
0x7	ID	[15:8]	ID[15:8]									0x98DX	R
		[7:0]	ID[7:0]										
0x8	ADC_OFFSET0	[23:16]	OFFSET0[23:16]									0x800000	RW
		[15:8]	OFFSET0[15:8]										
		[7:0]	OFFSET0[7:0]										
0x9	ADC_OFFSET1	[23:16]	OFFSET1[23:16]									0x800000	RW
		[15:8]	OFFSET1[15:8]										
		[7:0]	OFFSET1[7:0]										
0xA	ADC_OFFSET2	[23:16]	OFFSET2[23:16]									0x800000	RW
		[15:8]	OFFSET2[15:8]										
		[7:0]	OFFSET2[7:0]										
0xB	ADC_OFFSET3	[23:16]	OFFSET3[23:16]									0x800000	RW
		[15:8]	OFFSET3[15:8]										
		[7:0]	OFFSET3[7:0]										
0xC	ADC_GAIN0	[23:16]	GAIN0[23:16]									0x5XXXX0	RW
		[15:8]	GAIN0[15:8]										
		[7:0]	GAIN0[7:0]										
0xD	ADC_GAIN1	[23:16]	GAIN1[23:16]									0x5XXXX0	RW
		[15:8]	GAIN1[15:8]										
		[7:0]	GAIN1[7:0]										
0xE	ADC_GAIN2	[23:16]	GAIN2[23:16]									0x5XXXX0	RW
		[15:8]	GAIN2[15:8]										
		[7:0]	GAIN2[7:0]										
0xF	ADC_GAIN3	[23:16]	GAIN3[23:16]									0x5XXXX0	RW
		[15:8]	GAIN3[15:8]										
		[7:0]	GAIN3[7:0]										

ADC レジスタの詳細説明

ADC_STATUS レジスタ

アドレス：0x0、リセット：0x80、レジスタ名：ADC_STATUS

ADC_STATUS レジスタは 8 ビットの読み出し専用レジスタで、ADC とシリアル・インターフェースのステータスに関する情報が格納されています。アプリケーションは、ADC_INTERFACE レジスタ（アドレス 0x2）のビット 6 を設定することによって、このレジスタの内容をデータ・レジスタに追加できます。このオプションを選択すると、それぞれの ADC 変換結果と共に自動的に ADC_STATUS レジスタの内容が読み出されます。

表 38. ADC_STATUS レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RDY	0 1	データ・レディ。CSがロー・レベルでレジスタが読み出し中でない場合は、RDYビットのステータスが DOUT/RDY ピンに出力されます。このビットは、ADC がデータ・レジスタに新しい結果を書き込むとロー・レベルになります。ADC のキャリブレーション・モードでは、ADC がキャリブレーション結果を書き込むと、このビットがロー・レベルになります。RDYは、データ・レジスタの読み出しによって自動的にハイ・レベルになります。 新しい ADC データを読み出し可能。 新しいデータを待機中。	0x1	R
6	ADC_ERR	0 1	このビットは、デフォルトでは、ADC がオーバーレンジまたはアンダーレンジになったことを示します。ADC の変換結果は、オーバーレンジ・エラーの場合は 0xFFFF にクランプされ、アンダーレンジ・エラーの場合は 0x000000 にクランプされます。このビットは、ADC の変換結果を書き込むと更新され、オーバーレンジまたはアンダーレンジ状態が解消された後、次の更新時にクリアされます。ADC_MODE レジスタに書き込みを行った場合や SYNC ピンをアサートした場合も、このビットがクリアされます。このビットを入力として設定した場合は、エラー・ピンのステータスを示すために使用することもできます（エラー・ピンのセクションを参照）。 エラーなし。 エラー。	0x0	R
5	CRC_ERR	0 1	CRC チェックサム・エラー。このビットは、ADC レジスタ・マップへのレジスタ書き込み動作中に CRC エラーが発生するとセットされます（レジスタ読み出しの場合、CRC エラーが発生したかどうかの判断はホスト・マイクロコントローラが行います）。このレジスタを読み出すと、このビットはクリアされます。 エラーなし。 通信中にエラーが発生。	0x0	R
[4:2]	Reserved		予備。	0x0	R
[1:0]	CHAN_ID	00 01 10 11	最後の ADC 結果のチャンネル ID。これらのビットは、現在データ・レジスタに結果が格納されている ADC 変換を実行したチャンネルを示します。この値は、現在変換を行っているチャンネルと異なる場合があります。 チャンネル 0（高電圧チャンネル）：AIN (+) – AIN (-) チャンネル 1（低電圧チャンネル）：AIN1 (LV) – AIN2 (LV) チャンネル 2（低電圧チャンネル）：AIN1 (LV) – AINCOM (LV) チャンネル 3（低電圧チャンネル）：AIN2 (LV) – AINCOM (LV)	0x0	R

ADC_MODE レジスタ

アドレス：0x1、リセット：0x0000、レジスタ名：ADC_MODE

ADC_MODE レジスタは、ADC 変換モードの制御、内部電圧リファレンスのターン・オン、ADC サンプリング用クロック源の選択を行います。このレジスタへ書き込みを行うとデジタル・フィルタと ADC_STATUS レジスタ内の RDY ビットがリセットされて、新しい変換が開始されます。

アプリケーション・ソフトウェアはデバイス初期化ルーチンでこのレジスタに書き込みを行って、ビット [3:2] を 01 に設定する必要があります。この書き込みは、AFE と ADC を同じクロックで同期するために必要です。

表 39. ADC_MODE レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	REF_EN	0 1	内部電圧リファレンスをイネーブル。 ディスエーブル。 イネーブル、REFOUT ピンへバッファ出力。	0x0	RW
[14:11]	Reserved		予備。	0x0	R

ビット	ビット名	設定	説明	リセット	アクセス
[10:8]	Delay		<p>変換遅延。アプリケーションが ADC による変換のために一連のチャンネルを次々と切り替えていく場合、切り替えられるそれぞれのアナログ入力にセトリング時間が関連付けられます。これらのビットは、チャンネル切替え後に付加される遅延を設定します。この遅延により、ADC がその入力の処理を開始する前に外部回路をセトリングさせることができます。遅延を設定しても、変換結果の分解能にはわずかな影響を与えるだけで ADC のデータ・レートを必要更新レートに維持できます。出力データ・レートに対して適切な遅延値を選択すれば、分解能への影響を最小限に抑えられます。50Hz/60Hz の干渉除去時にこの機能を使用することはできません。</p> <p>000 オフ（遅延なし）。</p> <p>001 1 サイクル（1 サイクル = 8μs）</p> <p>010 4 サイクル</p> <p>011 10 サイクル</p> <p>100 25 サイクル</p> <p>101 50 サイクル</p> <p>110 125 サイクル</p> <p>111 250 サイクル</p>	0x0	RW
7	Reserved		予備	0x0	R
[6:4]	Mode		<p>ADC 変換モード。これらのビットは ADC の動作モードを制御します。</p> <p>000 連続変換。ADC は選択入力チャンネルを選択変換レートで連続的に変換し、複数のチャンネルがイネーブルされている場合は各チャンネルを順次変換していきます。</p> <p>001 シングル変換。選択した 1 つまたは複数のチャンネルのシングル変換を行います。シーケンスが完了すると、ADC はスタンバイ・モードに戻ります。</p> <p>010 スタンバイ・モード。</p> <p>011 パワーダウン・モード。すべての ADC ブロックがパワーダウンされて、レジスタはその内容を失います。ADC がパワーダウン・モードになるのは、その前のモードがスタンバイ・モードである場合に限られます。パワーダウン・モードを終了するには、SPI インターフェースをリセットする必要があります。AD4110-1 のリセットのセクションを参照してください。</p> <p>100 予備。</p> <p>101 予備。</p> <p>110 システム・オフセット・キャリブレーション（ゼロスケール・キャリブレーション）。このモードは、加えられたアナログ入力をゼロ・スケール・ポイントとして使用し、オフセット・キャリブレーションを行います。キャリブレーション結果はそのチャンネルの該当するオフセット・レジスタに保存され、その後に ADC がスタンバイ・モードになります。このキャリブレーションにより、チャンネル全体に内在するオフセット誤差を除去することができます。オフセット・キャリブレーション時に選択できるチャンネルは、一度に 1 つだけです。詳細については、自動キャリブレーション・モードのセクションを参照してください。このキャリブレーション方法は、1 つの PGA ゲイン設定に対してのみ有効です。PGA ゲインを変更したときはキャリブレーションをやり直してください。</p> <p>111 システム・ゲイン・キャリブレーション（フルスケール・キャリブレーション）。このモードは、加えられたアナログ入力をフル・スケール・ポイントとして使用し、オフセット・キャリブレーションを行います。キャリブレーション結果はそのチャンネルの該当するゲイン・レジスタに保存され、その後に ADC がスタンバイ・モードになります。このキャリブレーションにより、チャンネル全体に内在するゲイン誤差を除去することができます。ゲイン・キャリブレーション時に選択できるチャンネルは、一度に 1 つだけです。詳細については、自動キャリブレーション・モードのセクションを参照してください。このキャリブレーション方法は、1 つの PGA ゲイン設定に対してのみ有効です。PGA ゲインを変更したときはキャリブレーションをやり直してください。</p>	0x0	RW
[3:2]	CLK_SEL		<p>クロック源の選択。これらのビットは ADC のクロック源を選択します。</p> <p>00 内部クロック。</p> <p>01 CLKIO ピンに接続された内部クロック（AFE に必要）。</p> <p>10 CLKIO ピンからの外部クロック。</p> <p>11 予備</p>	0x0	RW
[1:0]	Reserved		予備	0x0	R

ADC_INTERFACE レジスタ

アドレス：0x2、リセット：0x0000、レジスタ名：ADC_INTERFACE

ADC_INTERFACE レジスタは、ADC の CRC チェックサム・モードを有効化するために使用します。CRC チェックサム・モードを有効にするには、このレジスタのビット [3:2] と AFE_CNTRL1 レジスタのビット [14:13] を設定する必要があります（表 27 を参照）。ADC_INTERFACE レジスタは、ADC 変換結果へ ADC_STATUS レジスタの内容を追加する機能を有効にしたり、変換データ長をデフォルトの 24 ビットではなく 16 ビットに設定したりする場合も使用します。

表 40. ADC_INTERFACE レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	Reserved		予備。	0x0	R
7	Reserved		予備。	0x0	R
6	DATA_STAT	0 1	変換結果にステータス・レジスタの内容を追加します。このビットをセットすると、変換結果の読出し時に ADC_STATUS レジスタの内容がデータ・レジスタに追加されます。このようにして、チャンネルとステータスの情報がデータと共に送信されます。このオプションを使用することが、ステータス・レジスタから読み出されたチャンネル・ビットをデータ・レジスタ内のデータに対応させる唯一の方法です。 無効。 有効。	0x0	RW
[5:4]	Reserved		予備。	0x0	R
[3:2]	CRC_EN	00 01 10 11	CRC チェックサムをイネーブル。これらのビットは、レジスタの読出しと書込みの CRC 保護を有効にします。CRC は、シリアル・インターフェース転送時のバイト数を 1 つ増やします。 無効。 読出し時の 8 ビット XOR チェックサム、書込み時の 8 ビット CRC。 読出し時と書込み時の 8 ビット CRC。 予備。	0x0	RW
1	Reserved		予備。	0x0	R
0	WL16	0 1	データワード長（24 ビットまたは 16 ビット）。デフォルトでは、AD4110-1 は 24 ビットのデータ変換を行います。このビットをセットするとデータ・レジスタの幅が 16 ビットに減り、すべてのデータ変換は 16 ビットに丸められます。このビットを 1 に設定しても、ADC の結果は直ちには正しいワード長に丸められません（ADC_INTERFACE レジスタへ書込みを行っても、ADC はリセットされません）。最初の新しい ADC 変換結果が 16 ビット幅になります。 変換結果は 24 ビット長です。 変換結果は 16 ビット長です。	0x0	RW

ADC_CONFIG レジスタ

アドレス：0x3、リセット：0x1340、レジスタ名：ADC_CONFIG

ADC_CONFIG レジスタは、ADC の出力コーディング、リファレンス・バッファとアナログ入力バッファの設定、およびリファレンス源の選択を行います。このレジスタは、チャンネルのイネーブル/ディスエーブルにも使用します。正と負の REFIN_BUFF バッファと AIN_BUFF バッファは、ベアとしてイネーブルまたはディスエーブルすることを推奨します。

表 41. ADC_CONFIG レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	Reserved		予備。	0x0	R
12	BI_UNIPOLAR	0 1	ユニポーラまたはバイポーラ出力コーディング。 ユニポーラ・コーディング出力（ストレート・バイナリ）。 バイポーラ・コーディング出力（オフセット・バイナリ）。	0x1	RW
[11:10]	REFIN_BUFF	00 01 10 11	リファレンス入力バッファの設定。 入力バッファをディスエーブル。 負の入力バッファだけをイネーブル。 正の入力バッファだけをイネーブル。 フル・バッファをイネーブル。	0x0	RW

ビット	ビット名	設定	説明	リセット	アクセス
[9:8]	AIN_BUFF	00 01 10 11	アナログ入力バッファの設定。 入力バッファをディスエーブル。 負の入力バッファだけをイネーブル。 正の入力バッファだけをイネーブル。 フル・バッファをイネーブル。	0x3	RW
7	Reserved		予備。	0x0	R
6	BIT_6		1に設定します。	0x1	RW
[5:4]	REF_SEL	00 01 10 11	リファレンス・ソースの選択。内部電圧リファレンスを選択した場合は、ADC_MODEレジスタ（アドレス0x1）のREF_ENビット（ビット15）もセットする必要があります。 REFIN (+) /REFIN (-) ピンに接続した外部電圧リファレンス。 予備。 2.5Vの内部リファレンス。 AVDD5とAGND。	0x0	RW
3	CHAN_EN_3	0 1	チャンネル3（低電圧チャンネル）をイネーブル：AIN2（LV） - AINCOM（LV） ディスエーブル。 イネーブル。	0x0	RW
2	CHAN_EN_2	0 1	チャンネル2（低電圧チャンネル）をイネーブル：AIN1（LV） - AINCOM（LV） ディスエーブル。 イネーブル。	0x0	RW
1	CHAN_EN_1	0 1	チャンネル1（低電圧チャンネル）をイネーブル：AIN1（LV） - AIN2（LV） ディスエーブル。 イネーブル。	0x0	RW
0	CHAN_EN_0	0 1	チャンネル0（高電圧チャンネル）をイネーブル：AIN（+） - AIN（-）ビット [3:0] = 00のときは、チャンネル0が自動的にイネーブルされます。 ディスエーブル。 イネーブル。	0x0	RW

データ・レジスタ

アドレス：0x4、リセット：0x000000、レジスタ名：データ

データ・レジスタは読出し専用で、ADCの変換結果が格納されます。データ・レジスタを読み出すと、RDYビットとDOUT/RDYピンがハイになります。ADCの変換結果は複数回読み出すことができます。ただし、RDYビットとDOUT/RDYピンがハイになった後に、ADCの次の変換結果がすぐ後に続いているかどうかを知ることはできません。データ・レジスタが読出し中の場合、ADCはデータ・レジスタに新しい結果を書き込みません。

表 42. データ・レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	Data		ADC変換の結果。ADC_INTERFACEレジスタのDATA_STATビットをセットすると、読出し時にADC_STATUSレジスタのデータがこのレジスタに付加されて、32ビット・レジスタになります。ADC_INTERFACEレジスタのWL16ビットをセットすると、このレジスタは16ビット長に丸められます。	0x0	R

フィルタ・レジスタ

アドレス：0x5、リセット：0x0500、レジスタ名：フィルタ

フィルタ・レジスタは、ADC のデータ・レートとフィルタ・オプションを設定します。フィルタ・レジスタへ書き込みを行うと、アクティブな ADC 変換はすべてリセットされ、シーケンス内の最初のチャンネルから変換が再開されます。AD4110-1 には 4 つのフィルタ・レジスタがあり、これらのレジスタを使用して 1 つの高電圧チャンネルと 3 つの低電圧チャンネル用に異なる出力データ・レートを選択することができます。これらのフィルタ・レジスタは同じメモリ・アドレスを共有します。したがって、フィルタ・レジスタへの書き込み時は、ADC_CONFIG レジスタのビット [3:0] で選択されたそれぞれのアクティブ・チャンネルに対応するフィルタ・レジスタに、内容がコピーされます (表 41 参照)。

表 43. フィルタ・レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス	
[15:12]	Reserved		予備。	0x0	R	
11	EN_ENHANCEFILT		エンハンスド・フィルタをイネーブルします。アプリケーションによる 50Hz と 60Hz の除去を同時に最適化し、セトリング時間も短縮することができます。	0x0	RW	
		0	50Hz/60Hz エンハンスド・フィルタをディスエーブル。			
		1	50Hz/60Hz エンハンスド・フィルタをイネーブル。			
[10:8]	SEL_ENHANCEFILT		50Hz/60Hz 除去用にエンハンスド・モードを選択します。	0x5	RW	
		000	予備。			
		001	予備。			
		010	ODR = 27.27SPS、セトリング時間 = 36.7ms			
		011	ODR = 25SPS、セトリング時間 = 40ms			
		100	ODR = 20.67SPS、セトリング時間 = 48.4ms			
		101	ODR = 20SPS、セトリング時間 = 50ms			
		110	ODR = 16.67SPS、セトリング時間 = 60ms			
		111	予備。			
7	Reserved		予備	0x0	R	
[6:5]	Order		フィルタ次数。	0x0	RW	
		00	sinc5 + sinc1 (高速セトリング・フィルタ)。			
		01	予備。			
		10	予備。			
11	sinc3 フィルタ。					
[4:0]	ODR		出力データ・レート。	0x0	RW	
			sinc3 フィルタ			sinc5 + sinc1 フィルタ
		00000	125.0kSPS (デフォルト設定)			125.0kSPS (デフォルト設定)
		00001	125.0 kSPS			125.0 kSPS
		00010	62.5 kSPS			62.5 kSPS
		00011	62.5 kSPS			62.5 kSPS
		00100	31.25 kSPS			31.25 kSPS
		00101	25.0 kSPS			25.0 kSPS
		00110	15.625 kSPS			15.625 kSPS
		00111	10.417 kSPS			10.390 kSPS
		01000	5.0 kSPS			4.994 kSPS
		01001	2.5 kSPS			2.498 kSPS
		01010	1.0 kSPS			1.0 kSPS
		01011	500 SPS			500 SPS
		01100	400.6 SPS			395.5 SPS
		01101	200 SPS			200 SPS
		01110	100.2 SPS			100.2 SPS
		01111	60 SPS			59.87 SPS
		10000	50 SPS			49.92 SPS
		10001	20.0 SPS			20.0 SPS
		10010	16.7 SPS			16.7 SPS
10011	10.0 SPS	10.0 SPS				
10100	5.0 SPS	5.0 SPS				

ADC_GPIO_CONFIG レジスタ

アドレス：0x6、リセット：0x0800、レジスタ名：ADC_GPIO_CONFIG

ADC_GPIO_CONFIG レジスタは、ADC の汎用 I/O ピン（SYNC と ERR）を制御します。

表 44. ADC_GPIO_CONFIG レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:12]	Reserved		予備。	0x0	R
11	SYNC_EN	0 1	SYNC ピンをイネーブルします。このビットをセットすると、SYNC ピンで ADC またはフィルタをリセット状態に保持できます。このピンは、複数デバイス上での変換開始を同期するために使用できます。 0 ディスエーブル。 1 イネーブル。	0x1	RW
[10:9]	ERR_EN	00 01 10 11	ERR ピンのモード選択。 00 ディスエーブル。 01 入力。ERR ピンと内部 ADC エラー・ビットの論理和を求め、結果を ADC_STATUS レジスタの ADC_ERR ビットに保存します。このモードは、AFE エラーと ADC エラーを ADC_ERR ビット内にまとめるために使用できます。 10 出力（オープンドレイン、アクティブ・ロー）。 11 予備。	0x0	RW
8	Reserved		予備。	0x0	R
[7:0]	Reserved		予備。	0x0	R

ID レジスタ

アドレス：0x7、リセット：0x98DX、レジスタ名：ID

この読み出し専用 ID レジスタは、16 ビットのデバイス ID を返します。AD4110-1 の場合、この値は 0x98DX です。

表 45. ID レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	ID	0x98DX	デバイスの製品識別番号。 AD4110-1 を選択（ここで、X は ADC のシリコン・バージョン）。	0x98DX	R

ADC_OFFSET0 レジスタ

アドレス：0x8、リセット：0x800000、レジスタ名：ADC_OFFSET0

ADC_OFFSET0 レジスタは、チャンネル 0（高電圧チャンネル、AIN (+) - AIN (-) 入力）のオフセットを設定します。

表 46. ADC_OFFSET0 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	OFFSET0		オフセット・データ値。	0x800000	RW

ADC_OFFSET1 レジスタ

アドレス：0x9、リセット：0x800000、レジスタ名：ADC_OFFSET1

ADC_OFFSET1 レジスタは、チャンネル 1（低電圧チャンネル、AIN1 (LV) - AIN2 (LV) 入力）のオフセットを設定します。

表 47. ADC_OFFSET1 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	OFFSET1		オフセット・データ値。	0x800000	RW

ADC_OFFSET2 レジスタ

アドレス：0xA、リセット：0x800000、レジスタ名：ADC_OFFSET2

ADC_OFFSET2 レジスタは、チャンネル2（低電圧チャンネル、AIN1（LV） - AINCOM（LV） 入力）のオフセットを設定します

表 48. ADC_OFFSET2 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	OFFSET2		オフセット・データ値。	0x800000	RW

ADC_OFFSET3 レジスタ

アドレス：0xB、リセット：0x800000、レジスタ名：ADC_OFFSET3

ADC_OFFSET3 レジスタは、チャンネル3（低電圧チャンネル、AIN2（LV） - AINCOM（LV） 入力）のオフセットを設定します

表 49. ADC_OFFSET3 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	OFFSET3		オフセット・データ値。	0x800000	RW

ADC_GAIN0 レジスタ

アドレス：0xC、リセット：0x5XXXX0、レジスタ名：ADC_GAIN0

ADC_GAIN0 レジスタは、チャンネル0（高電圧チャンネル、AIN（+） - AIN（-） 入力）のゲインを設定します。

表 50. ADC_GAIN0 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	GAIN0		ゲイン・データ値。	0x5XXXX0	RW

ADC_GAIN1 レジスタ

アドレス：0xD、リセット：0x5XXXX0、レジスタ名：ADC_GAIN1

ADC_GAIN1 レジスタは、チャンネル1（低電圧チャンネル、AIN1（LV） - AIN2（LV） 入力）のゲインを設定します

表 51. ADC_GAIN1 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	GAIN1		ゲイン・データ値。	0x5XXXX0	RW

ADC_GAIN2 レジスタ

アドレス：0xE、リセット：0x5XXXX0、レジスタ名：ADC_GAIN2

ADC_GAIN2 レジスタは、チャンネル2（低電圧チャンネル、AIN1（LV） - AINCOM（LV） 入力）のゲインを設定します

表 52. ADC_GAIN2 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	GAIN2		ゲイン・データ値。	0x5XXXX0	RW

ADC_GAIN3 レジスタ

アドレス：0xF、リセット：0x5XXXX0、レジスタ名：ADC_GAIN3

ADC_GAIN3 レジスタは、チャンネル3（低電圧チャンネル、AIN2（LV） - AINCOM（LV） 入力）のゲインを設定します

表 53. ADC_GAIN3 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	GAIN3		ゲイン・データ値。	0x5XXXX0	RW

外形寸法

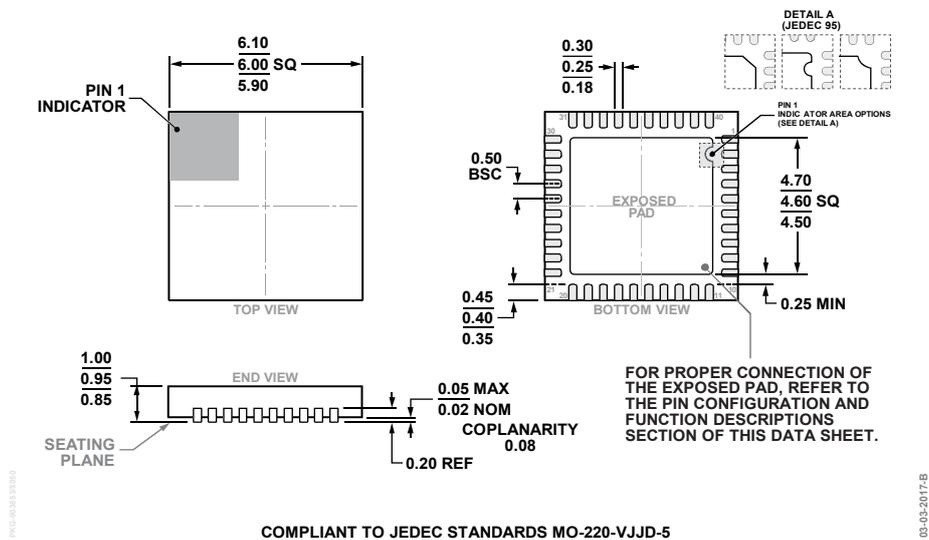


図 75. 40 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 6mm × 6mm ボディ、0.95mm パッケージ高
 (CP-40-15)
 寸法 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD4110-1BCPZ	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-15
AD4110-1BCPZ-RL	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-15
AD4110-1BCPZ-RL7	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-15

¹ Z = RoHS 準拠製品