

スイッチモード電源のモデリングとループ補償設計

Henry J. Zhang

はじめに

今日の電子システムはますます複雑化しており、電源レールやその供給源の数も増加しています。電源ソリューションの電力密度、信頼性、コストを最適化するために、システム設計者は多くの場合、単に市販の電源ユニットを使うのではなく、自分で電源ソリューションを設計することが必要になります。高性能なスイッチモード電源の設計と最適化は、以前にも増して日常的かつ困難な課題になっています。

電源のループ補償設計は、困難な作業と一般的にみなされており、特に経験の浅い電源設計者にとっては難しいものです。補償回路の実際的な設計では、補償部品の値の調整で何回もの繰り返し作業が必要とされます。これには長い時間がかかるだけでなく、電源の帯域幅や安定性余裕が複数の要因の影響を受けるような複雑なシステムでは不正確になりがちです。このアプリケーション・ノートではスイッチモード電源の小信号モデリングと、ループ補償設計の基本的な概念と手法について説明します。降圧コンバータを典型的な例として取り上げますが、それ以外のトポロジについても同じコンセプトを適用できます。設計と最適化の手助けとして、使いやすいLTpowerCAD™設計ツールも紹介します。

問題の特定

適切に設計されたスイッチモード電源(SMPS)は、電氣的にも音響的にもノイズのないものでなくてはなりません。補償不足のシステムでは、動作が不安定になります。電源の不安定性の代表的な兆候としては、磁性のある部品やセラミック・コンデンサの可聴ノイズ、スイッチング波形のジッタ、出力電圧の振動、パワーFETの加熱などが挙げられます。

しかし、望ましくない振動が発生する原因には、ループ安定性以外にも数多くの可能性があります。残念なことに、経験の浅い電源設計者の目には、それらはオシロスコープ上ではどれも同じように見えてしまいます。経験豊富な技術者であっても、不安定性の発生原因の特定は難しいものです。図1は、不安定な降圧電源の代表的な出力とスイッチング・ノードの波形を示しています。ループ補償の調整によって電源の不安定動作が解決する場合もしない場合もありますが、それは振動がPCBノイズなど別の要因によって発生していることがあるからです。可能性のリストを念頭に置いていなければ、動作ノイズの根本原因を見極めるのは時間がかかるもどかしい作業になってしまいます。

LT, LTC, LTM, Linear Technology, Linearロゴ, LTspiceは、リニア・テクノロジーの登録商標です。LTpowerCADはリニア・テクノロジーの商標です。その他の商標は、すべて各社の所有に属します。

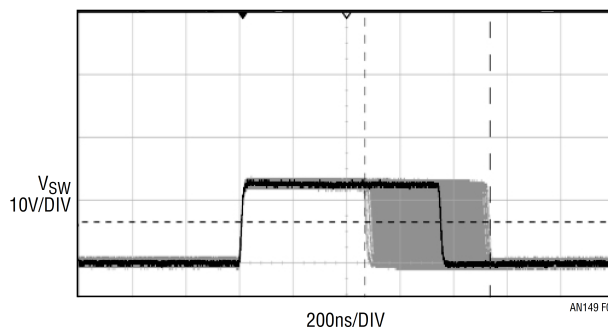
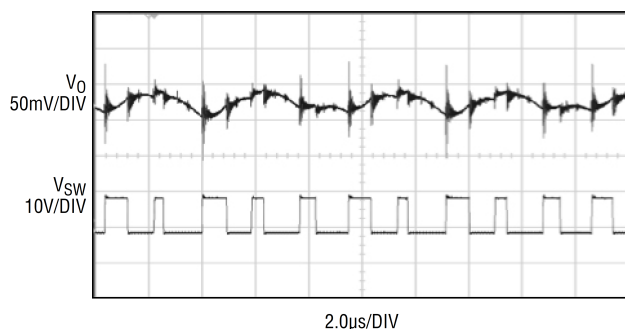


図1. 「不安定」な降圧コンバータの代表的な出力電圧とスイッチング・ノードの波形

an149fa

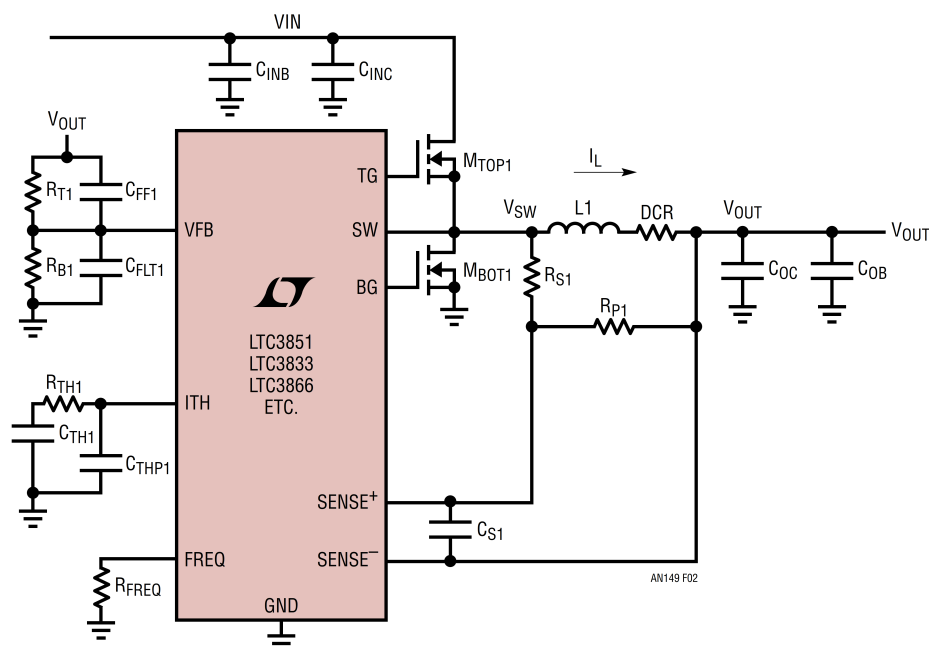
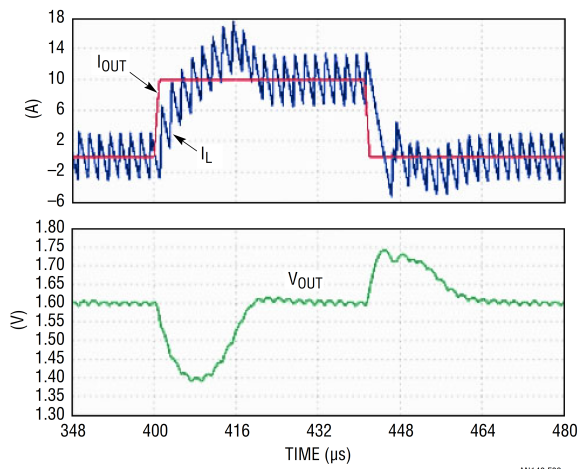


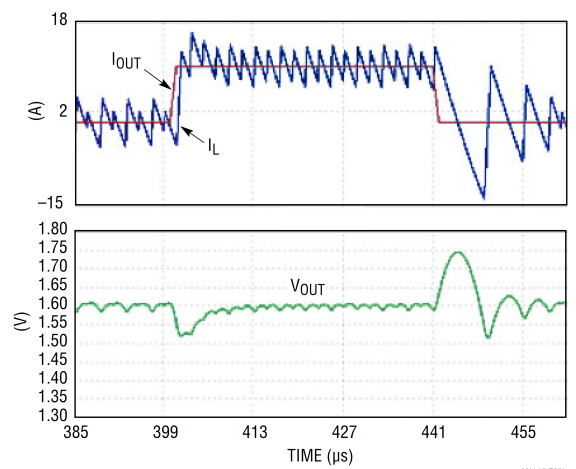
図2. 代表的な降圧コンバータ (LTC3851、LTC3833、LTC3866など)

図2に示した電流モード降圧電源でのLTC®3851やLTC3833などのようなスイッチモード電源コンバータでは、不安定動作の原因がループ補償であるかどうかを素早く判定するためには、0.1μFなどの大きいコンデンサを帰還エラー・アンプの出力ピン(ITH)とICのグラウンドの間に接続する方法があります(このコンデンサは、電圧モードの電源ではアンプの出力ピンと帰還ピンの間に配置することもできます)。0.1μFというコンデンサの値は、ループの帯域幅を低周波数域に引き下げ、電圧ループの安定性を確保するためには一般的に十分だと考えられます。もし、このコンデンサの付加によって電源が安定になれば、問題がループ補償で解決する可能性が高くなります。

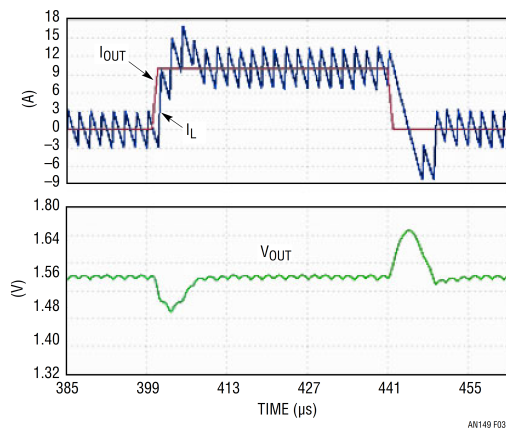
過補償なシステムは一般に安定しますが、帯域幅が狭く過渡応答が遅くなります。このような設計では、過渡応答時のレギュレーション要件を満たすために、過大な出力コンデンサが必要となり、電源全体のコストとサイズが増加します。[図3](#)は、負荷ステップの上昇／下降トランジエントにおける、降圧コンバータの典型的な出力電圧とインダクタ電流の波形を示しています。[図3a](#)は、安定しているが帯域幅 (BW) が狭い過補償のシステムの例で、トランジエント時に V_{OUT} の大きなアンダーシュートやオーバーシュートが発生しています。[図3b](#)は帯域幅が広い補償不足のシステムの例で、 V_{OUT} のアンダーシュートやオーバーシュートは小さいものの、定常状態での波形が不安定です。[図3c](#)は、ループの応答が速く安定した、適切に設計された電源の負荷過渡応答を示しています。



a) 帯域幅が狭く安定



b) 帯域幅が広いが不安定



c) ループの応答が速く安定した最適設計

図3. a) 過補償なシステム、b) 補償不足のシステム、
c) 高速かつ安定したループの最適設計、
それぞれの代表的な負荷過渡応答

PWMコンバータのパワー段の小信号モデリング

図4の降圧コンバータのようなスイッチモード電源 (SMPS) には、通常2つの動作モードがあり、メインの制御スイッチのオンオフ状態によって切り替わります。そのため、この電源は時変非線形システムです。従来の線形制御の手法で補償の分析や設計を行うために、SMPS回路に定常状態の動作点近傍での線形化手法を適用して、平均化小信号線形モデルが開発されました。

モデリングのステップ1: T_s にわたる平均化による時不変システムへの変換

降圧、昇圧、昇降圧コンバータなど全てのSMPS電力トポロジには、一般的な3端子のPWMスイッチング・セルが含まれており、これはアクティブな制御スイッチQと受動スイッチ (ダイオード) Dからなっています。効率改善のため、ダイオードDを

同期FETに置き換えることがありますが、その場合でも受動スイッチです。アクティブ端子の「a」はアクティブ・スイッチの端子です。パッシブ端子の「p」はパッシブ・スイッチの端子です。コンバータ中で、端子aと端子pは、降圧コンバータの V_{IN} やグラウンドなどの電圧源に常に接続されています。共通端子の「c」は、電流源である降圧コンバータのインダクタに接続されています。

時変系のSMPSを時不変系のシステムに変換するために、3端子PWMセルの平均化モデリング手法を適用できます。それには、アクティブ・スイッチQを平均化電流源に変換し、パッシブ・スイッチ (ダイオード) Dを平均化電圧源に変換します。図5に示すように、平均化されたスイッチQの電流は $d \cdot i_L$ に等しく、平均化されたスイッチDの電圧は $d \cdot v_{ap}$ に等しくなります。この平均化は1つのスイッチング期間 T_s にわたって適用されます。電流源と電圧源が2つの変数の積であるため、このシステムは依然として非線形システムです。

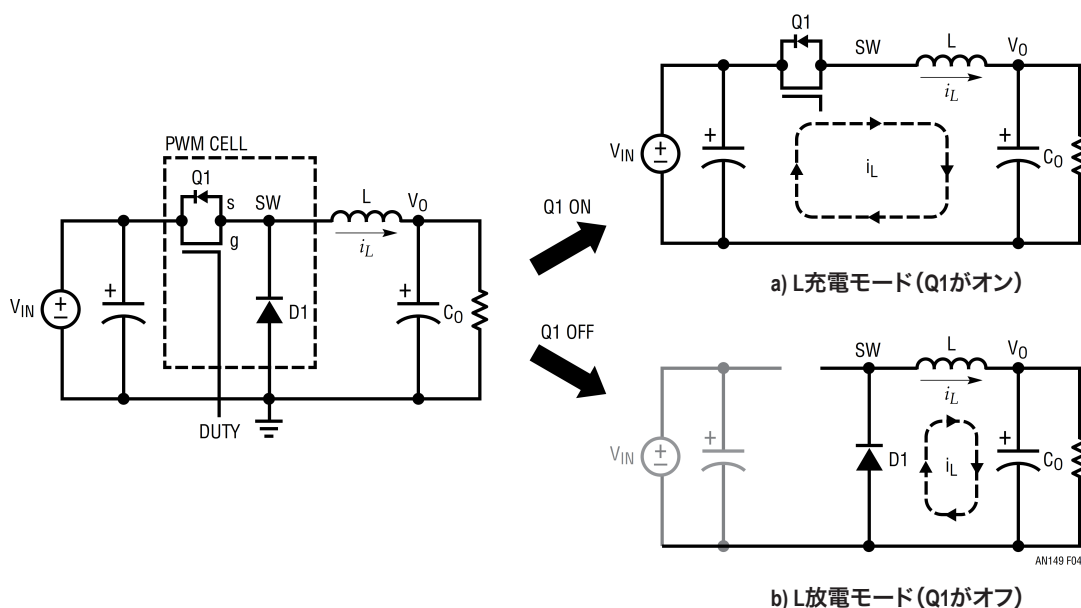


図4. 降圧DC/DCコンバータと、1つのスイッチング期間 T_s 内の2つの動作モード

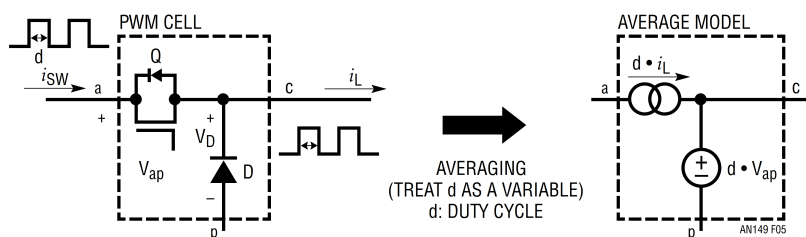


図5. モデリングのステップ1: 3端子PWMスイッチング・セルから平均化された電流源と電圧源への変換

an149fa

モデリングのステップ2: 線形小信号ACモデリング

次のステップでは、変数の積を展開して線形AC小信号モデルとします。例えば変数 x は、 X をDC定常状態の動作点、 x を x 近傍でのAC小信号の変位量とすると $x = X + \hat{x}$ となります。これにより、2つの変数の積 $x \cdot y$ は以下のように展開できます。

$$x \cdot y = (\hat{x} + X) \cdot (\hat{y} + Y) = \underbrace{\hat{x} \cdot Y}_{\text{SMALL SIGNAL AC}} + \underbrace{X \cdot \hat{y}}_{\text{DC(OP)}} + \underbrace{X \cdot Y}_{\text{IGNORE}} + \underbrace{\hat{x} \cdot \hat{y}}_{\text{IGNORE}}$$

図6. 線形小信号AC部とDC動作点への2変数の積の展開

図6に示すように、線形小信号AC部分とDC動作点(OP)部分を分離できます。そして、2つのAC小信号の変位要素の積($\hat{x} \cdot \hat{y}$)は、他と比べて更に小さい値の変数であるため、無視できます。このコンセプトによれば、平均化処理をしたPWMスイッチング・セルは、図7に示すように書き直せます。

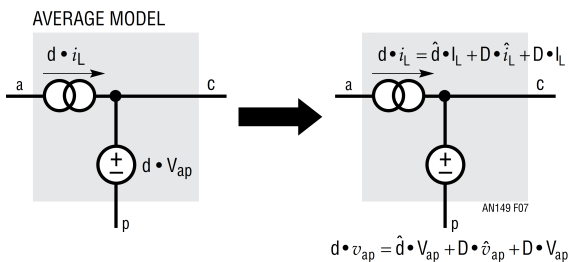


図7. モデリングのステップ2:
変数の積の展開によるAC小信号モデリング

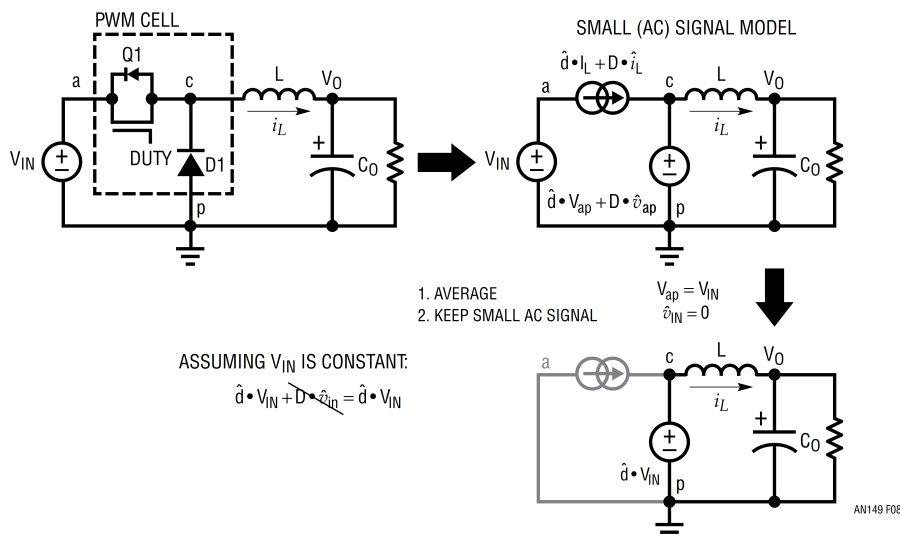


図8. 降圧コンバータから平均化されたAC小信号線形回路への変換

この2つのステップからなるモデリング手法を降圧コンバータに適用することにより、図8に示すとおり、降圧コンバータのパワー段は、単純な電圧源 $\hat{d} \cdot V_{IN}$ の後にLCの2次フィルタ・ネットワークを伴うものとしてモデル化できます。

図8の線形回路に基づけば、制御信号はデューティサイクル d であり、出力信号は v_{OUT} であるので、この降圧コンバータはデューティから出力への伝達関数 $G_{dv}(s)$ として次のように周波数ドメインで記述できます。

$$G_{dv}(s) = \frac{\hat{v}_o}{\hat{d}} = \frac{V_{IN} \cdot \left(1 + \frac{s}{s_{z_ESR}}\right)}{1 + \frac{s}{\omega_0 \cdot Q} + \frac{s^2}{\omega_0^2}} \quad (1)$$

ここで、

$$s_{z_ESR} = 2\pi f_{z_ESR} = \frac{1}{r_c \cdot C} \quad (2)$$

$$\omega_0 = 2\pi f_{W0} = \frac{1}{\sqrt{L \cdot C}} \cdot \sqrt{\frac{1 + \frac{r_L}{R}}{1 + \frac{r_c}{R}}} \approx \frac{1}{\sqrt{L \cdot C}} \quad (3)$$

$$Q = \frac{1}{\omega_0} \cdot \frac{1}{\frac{L}{r_L + R} + C \cdot \left(r_c + \frac{r_L \cdot R}{r_L + R}\right)} \quad (4)$$

アプリケーション・ノート149

関数 $G_{dv}(s)$ は、この降圧コンバータのパワー段が、周波数ドメインで2つのポールと1つのゼロがある2次システムであることを示しています。このゼロ s_{z_ESR} は、出力コンデンサ C とそのESRである r_c によって形成されます。共振点のダブル・ポール ω_o は、出力フィルタのインダクタ L とコンデンサ C によってできます。

ポールとゼロの周波数は出力コンデンサおよびそのESRの関数であるため、図9に示すように、関数 $G_{dv}(s)$ のボード線図は電源の出力コンデンサの選択によって変化します。降圧コンバータのパワー段の小信号挙動は、出力コンデンサの選択に強く依存します。電源の出力コンデンサが小さいかESRが非常に低い出力コンデンサである場合、ESRのゼロ周波数が共振ポールの周波数よりはるかに高くなる場合があります。そして、パワー段の位相遅延が -180 度に近くなります。このため、電圧の負帰還フィードバック・ループが閉じているときには、ループの補償が困難になります。

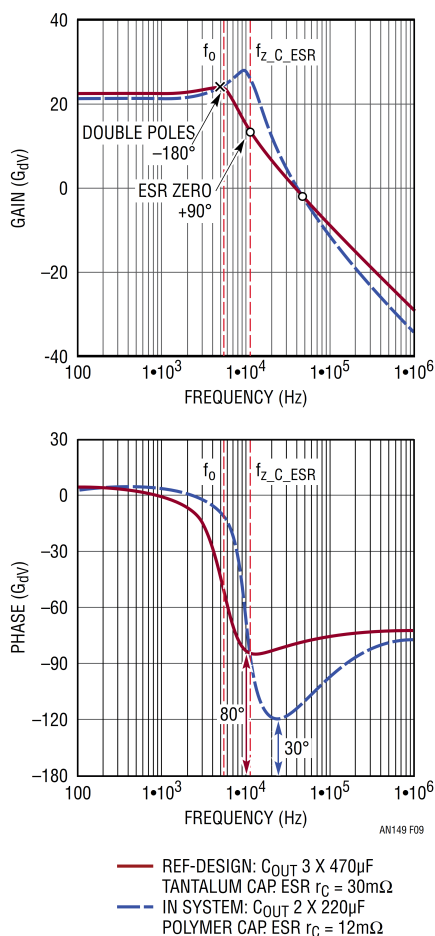


図9. コンデンサ C_{OUT} の変化によるパワー段の $G_{dv}(s)$ の大きな位相変位

昇圧コンバータの小信号モデル

昇圧コンバータについても同様に、3端子PWMスイッチング・セルの平均化小信号モデリング手法を利用してモデル化できます。図10に、昇圧コンバータをモデル化し、線形AC小信号モデル回路に変換する方法を示しています。

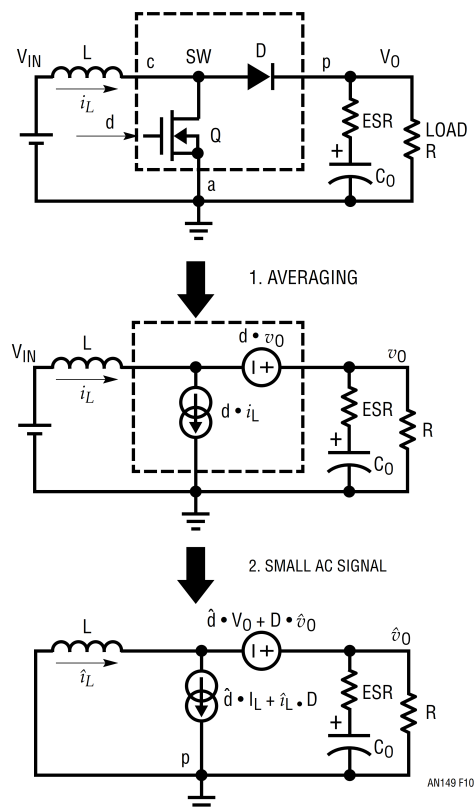


図10. 昇圧コンバータをAC小信号モデリングした回路

昇圧パワー段の伝達関数 $G_{dv}(s)$ は式5によって得られます。これもLC共振を伴う2次システムです。降圧コンバータの場合と異なり、昇圧コンバータには、 C_{OUT} のESRによるゼロの他に1つの右半平面ゼロ(RHPZ)が存在します。このRHPZによりゲインは増加しますが、位相が負方向に遅れます。式6から、RHPZがデューティサイクルと負荷抵抗によって変動することも分かります。デューティサイクルは V_{IN} の関数であるため、昇圧パワー段の伝達関数 $G_{dv}(s)$ は V_{IN} と負荷電流によって変動します。 V_{IN} が低く、高負荷で I_{OUT_MAX} が高いときに、RHPZの周波数が最も低くなり、位相遅延が大きくなります。このため、帯域幅が広い昇圧コンバータの設計は困難です。一般的な設計ルールとしては、安定性を確保するため、昇圧コンバータの帯域幅は最低RHPZ周波数の1/10より低くなるよう設計されます。反転昇降圧コンバータ、フライバック(絶縁昇降圧)コン

バータ、SEPICコンバータ、CUKコンバータなど他のトポロジのいずれにも、この好まざるRHPZが存在するため、帯域幅が広く過渡応答が高速なソリューションの設計ができません。

$$G_{dv}(s) = \frac{\hat{v}_o}{\hat{d}} \quad (5)$$

$$= \frac{\frac{V_{IN}}{(1-D)^2} \left(1 - s \cdot \frac{L}{R \cdot (1-D)^2} \right) \cdot (1 + s \cdot r_c \cdot C)}{1 + s \cdot \frac{L}{R(1-D)^2} + s^2 \cdot \frac{LC}{(1-D)^2}}$$

$$f_{RHPZ} = \frac{(1-D)^2 \cdot R_{LOAD}}{2\pi \cdot L} \quad (6)$$

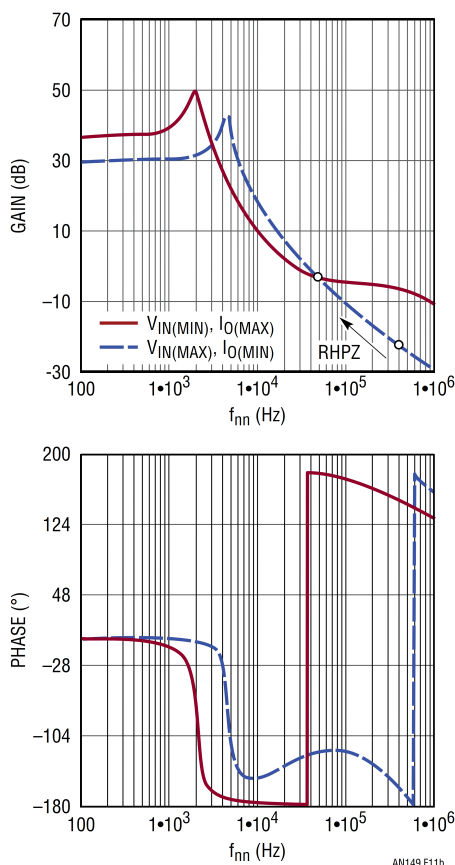


図11. 昇圧コンバータのパワー段の小信号におけるデューティから V_o への伝達関数の V_{IN} および負荷による変動

電圧モード制御による閉帰還ループ

出力電圧は閉帰還ループによって安定化できます。例えば図12では、出力電圧 V_{OUT} が増加すると帰還電圧 V_{FB} が増加し、負帰還エラー・アンプの出力が減少することでデューティサイクル d が減少します。これにより、 V_{OUT} は $V_{FB} = V_{REF}$ となるように引き戻されます。エラー・アンプの補償ネットワークには、タイプI、タイプII、タイプIIIのいずれかの帰還アンプ・ネットワークを使用します。 V_{OUT} を安定化する制御ループは1つだけです。この制御スキームは電圧モード制御と呼ばれています。リニアテクノロジーのLTC3861やLTC3882は、典型的な電圧モードの降圧コントローラです。

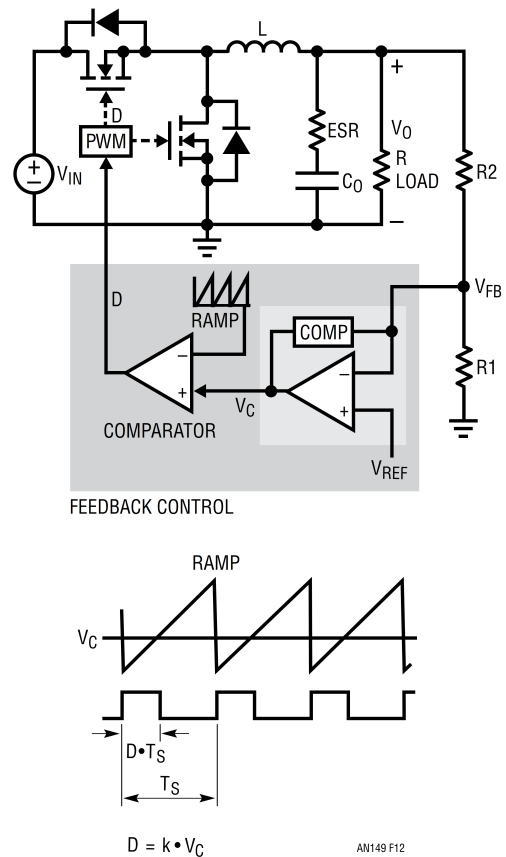


図12. 閉電圧帰還ループがある電圧モード降圧コンバータの構成図

アプリケーション・ノート149

電圧モードのPWMコンバータの最適化においては、十分な位相余裕を確保しつつ高速なループを設計するために、[図13](#)に示すように、複雑なタイプIIIの補償ネットワークが一般的に必要とされます。[式7](#)と[図14](#)に示されるように、この補償ネットワークでは周波数ドメインに3つのポールと2つのゼロがあります。低周波領域の積分項によるポール(1/s)は高いDCゲインによってDCレギュレーション誤差を最小化し、2つのゼロはシステムの共振周波数 f_0 を中心に配置されて、パワー段のLとCに起因する -180° の位相遅延を補償します。高周波領域の1次のポールは f_{ESR} に存在する C_{OUT} のESRゼロをキャンセルするために配置され、2次の高周波ポールは設定する帯域幅 f_c の外に配置されて帰還ループでスイッチング・ノイズを減衰させます。タイプIIIの補償では6つのR/C値の設定が必要のため、非常に複雑です。この値の最適な組み合わせを見つけるのは、時間がかかる作業になります。

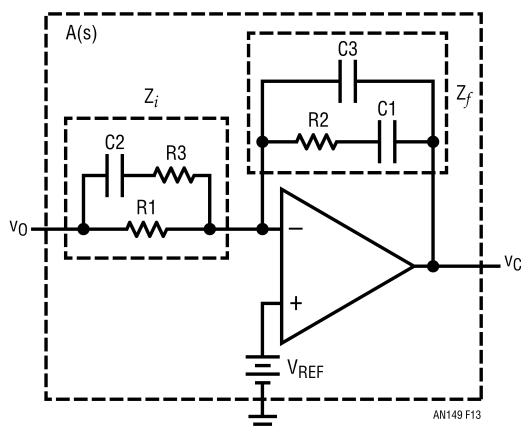


図13. 電圧モード・コンバータで使用するタイプIII帰還補償ネットワーク

$$\frac{\hat{V}_c}{\hat{V}_0} = - \frac{\omega_1 \left(1 + \frac{s}{\omega_{Z1}}\right) \left(1 + \frac{s}{\omega_{Z2}}\right)}{s \left(1 + \frac{s}{\omega_{P1}}\right) \left(1 + \frac{s}{\omega_{P2}}\right)} \quad (7)$$

ここで、

$$\omega_1 = \frac{1}{R_1(C_1 + C_3)},$$

$$\omega_{Z1} = \frac{1}{R_2 C_1}, \quad \omega_{Z2} = \frac{1}{C_2(R_1 + R_3)},$$

$$\omega_{P1} = \frac{1}{R_3 C_2}, \quad \omega_{P2} = \frac{1}{R_2 \frac{C_1 C_3}{C_1 + C_3}}$$

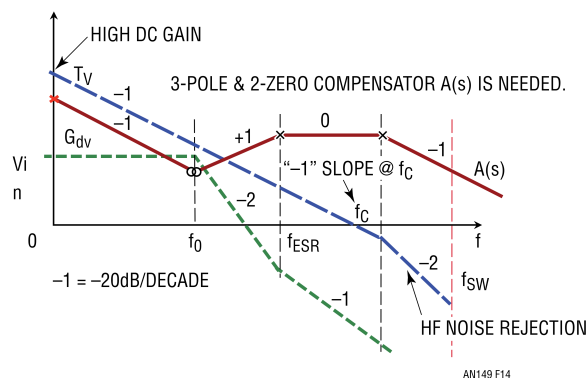
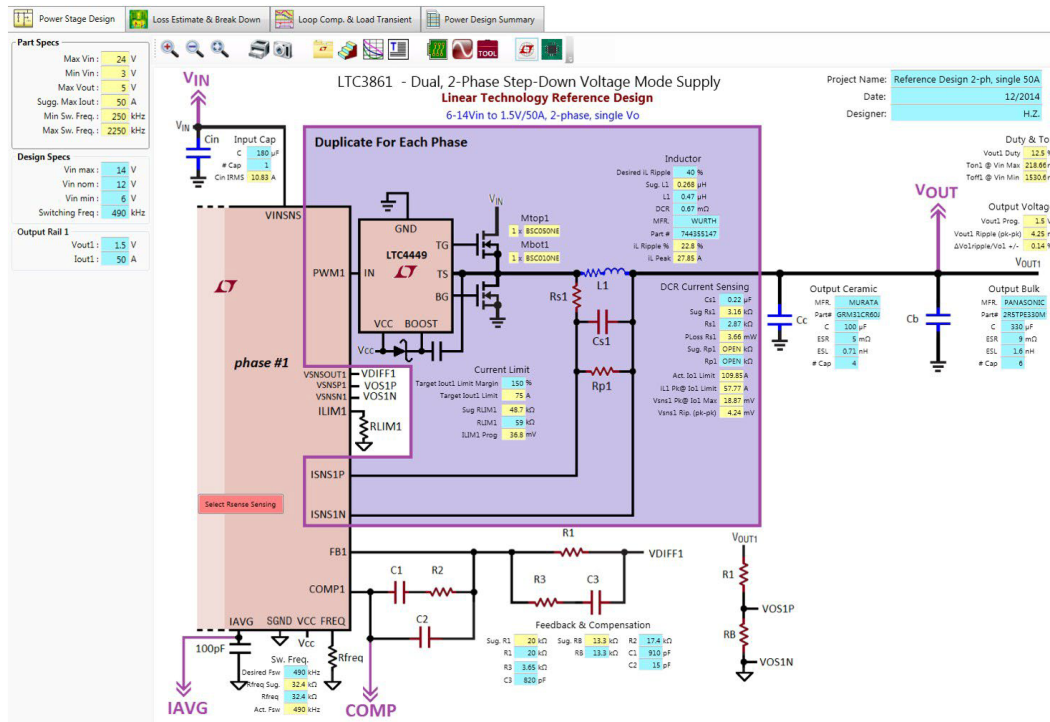
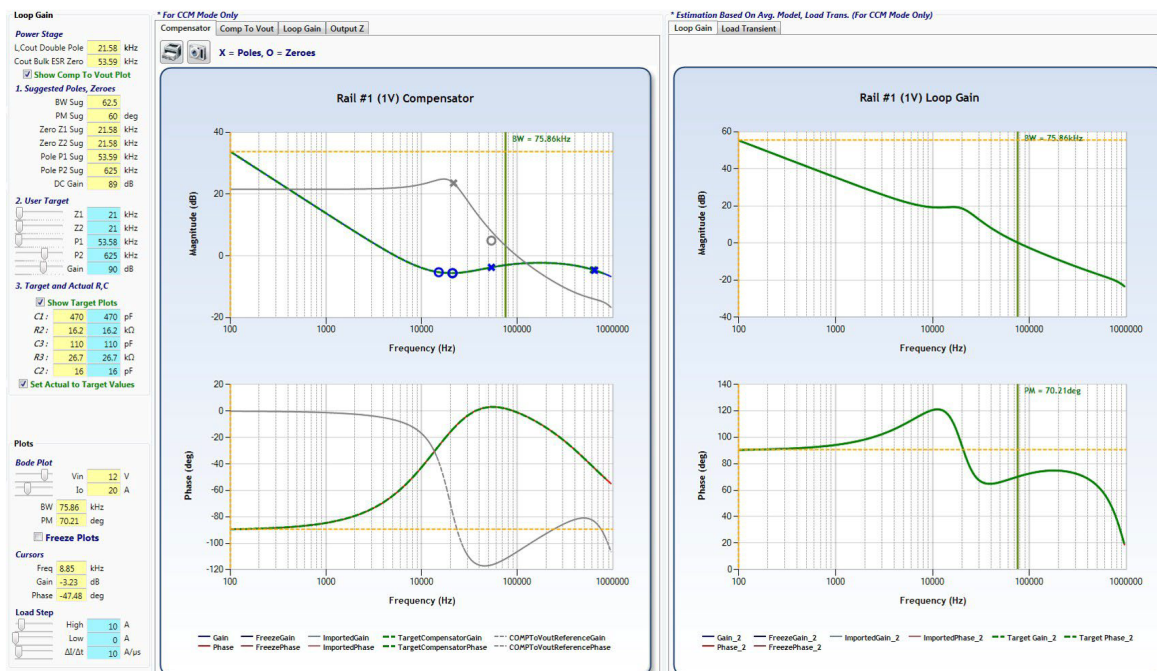


図14. タイプIII補償 $A(s)$ の3つのポールと2つのゼロによる最適なトータル・ループ・ゲイン $T_v(s)$ の実現

設計ツールのLTpowerCADは、スイッチモード電源の設計を簡略化し、自動化するために開発されました。このツールを使用すると、ループ補償の設計が格段に単純な作業になります。LTpowerCADはwww.linear.com/LTpowerCADで無料でダウンロードできます。利用すれば、電源ソリューションの選択、パワー段の構成部品の設計、電源の効率とループ補償の最適化ができます。[図15](#)にはLTC3861の例を示していますが、リニアテクノロジー®の電圧モード・コントローラであれば、この設計ツール内にループ・パラメータがモデル化されています。任意のパワー段について、ポールとゼロの位置(周波数)を指定し、プログラム・ガイドに沿って実際のR/Cの値を決め、全体のループ・ゲインと負荷過渡応答性能をリアルタイムで確認します。その後、設計をLTspice®のシミュレーション回路にエクスポートすれば、リアルタイムのシミュレーションが可能です。



(a) LTpowerCADのパワー段設計のページ



(b) LTpowerCADのループ補償と負荷過渡応答の設計のページ

図15. LTpowerCAD設計ツールで簡単にできる電源モード・コンバータのタイプIIIループ設計
 (無料ダウンロードはwww.linear.com/LTpowerCADから)

アプリケーション・ノート149

電流ループの追加による電流モード制御

単一ループの電圧モード制御には限界があります。この制御では、非常に複雑なタイプIIIの補償ネットワークが必要です。ループの性能は、出力コンデンサの特性と寄生成分、特にコンデンサのESRとPCBパターンの抵抗により大きく影響を受けます。電源の信頼性を高めるには高速な過電流保護も必要で、そのためには高速な電流検出方法と高速な保護コンパレータが必要となります。多くの相の並列化が必要な大電流ソリューションでは、電流分担ネットワーク／ループの追加が必要になります。

電圧モードのコンバータに内部電流検出パスと帰還ループを追加すると、電流モード制御のコンバータになります。[図16](#)と[図17](#)は、典型的なピーク電流モードの降圧コンバータとその動作を示しています。内部クロックにより上側の制御FETがオンになります。その後、検出されるピーク・インダクタ電流が、アンプのITHピンの電圧 V_C に達すると、すぐに上側FETがオフになります。考え方としては、この電流ループはインダクタを制御された電流源とみなしています。そのため、この閉電流ループ付きのパワー段は、LC共振のある2次システムではなく、1次システムとなります。その結果、パワー段のポールに起因する位相遅延は180度から約90度に減少します。位相遅延が小さくなることによって、外側の電圧ループの補償がはるかに容易になります。更に、[図18](#)に示すように、出力コンデンサやインダクタンスの変動の影響を、電源が受けにくくなります。

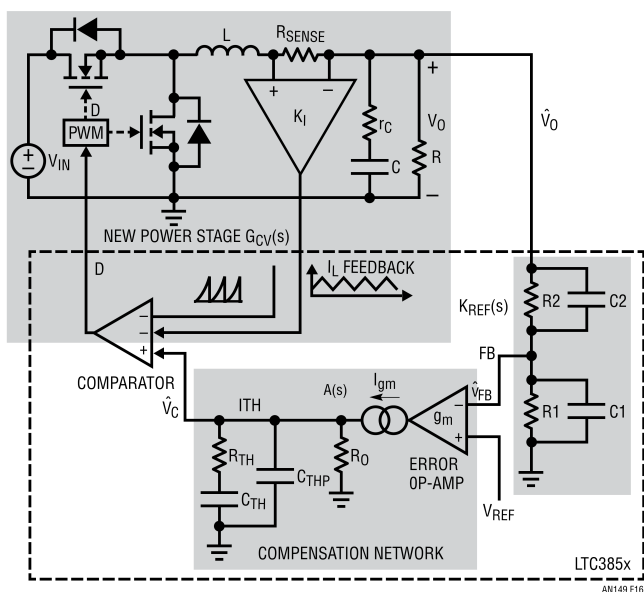


図16. 内側の電流ループと外側の電圧帰還ループを備えた電流モード・コンバータのブロック図

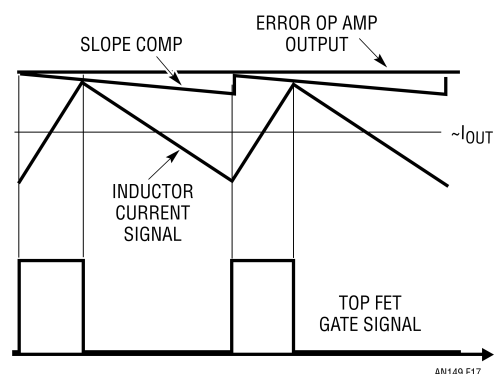


図17. ピーク電流モード制御の信号波形

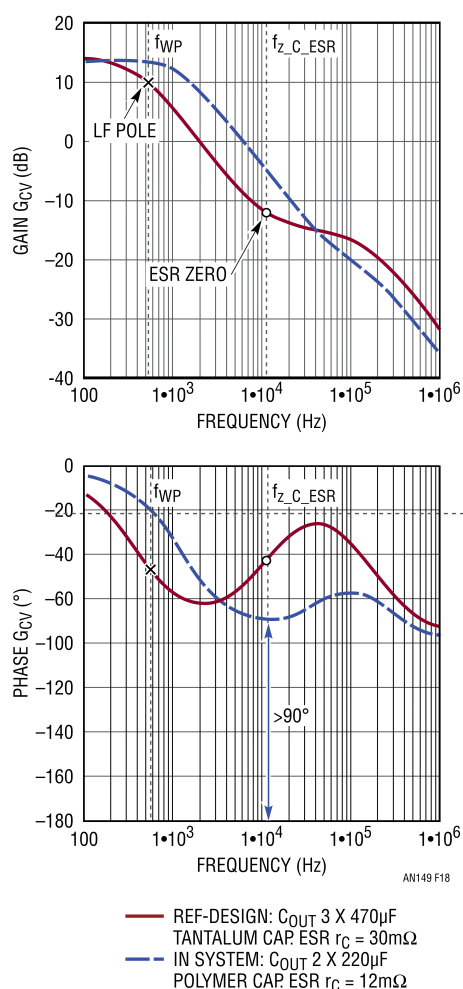


図18. 閉電流ループの追加で得られたパワー段の伝達関数 $G_{CV}(s)$

インダクタ電流は、追加の R_{SENSE} で直接検出することも、インダクタ巻線のDCRやFETの $R_{DS(ON)}$ を介して間接的に検出することもできます。どの方法でも、電流モード制御によるその他の

an149fa

大きなメリットが得られます。図17に示すように、インダクタ電流はアンプの出力電圧によってサイクルごとに検出され、制限されるため、このシステムは過負荷やインダクタの電流飽和に対してより正確かつ高速に電流制限できます。パワーアップ時や入力電圧のトランジェントにおいても、突入電流がより厳密に制御されます。複数のコンバータ／相を並列化する場合、電流モード制御を使用していれば、アンプのITHピンを相互に接続して信頼性の高いPolyPhase®設計ができるので、電源間での電流の分担が非常に容易です。代表的な電流モード・コントローラには、リニアテクノロジーのLTC3851A、LTC3833、LTC3855などがあります。

ピーク電流モード制御法と谷電流モード制御法

図16と図17に示した電流モード制御法はピーク・インダクタ電流モード制御です。コンバータは固定のスイッチング周波数 f_{sw} で動作し、クロック同期や位相インターリーブが容易で、これはコンバータ並列時には特に有効です。しかし、制御FETのゲートがオフになった直後に負荷ステップ上昇トランジェントが発生すると、コンバータは、次のクロック・サイクルでトランジェントに反応するまで、FETのオフ時間 T_{OFF} の間待つ必要があります。この T_{OFF} 遅延は通常は問題になりませんが、トランジェントが非常に高速なシステムでは問題になります。また電流コンパレータには、誤ったトリガを防止するためのノイズ・ブランキング時間が必要なため、制御FETの最小オン時間(T_{ON_min})を極限まで短くすることはできません。これにより、降圧比 V_{IN}/V_{OUT} が高いアプリケーションに対する最大スイッチング周波数 f_{sw} が制限されます。更に、ピーク電流モード制御には、デューティサイクルが50%を上回るときの電流ループの安定性を確保するため、一定のスロープ補償も必要です。リニアテクノロジーのコントローラでは、組み込みの適応型スロープ補償があり、デューティサイクルの範囲全域について電流ループの安定性が確保されるため、これは問題にはなりません。LTC3851AやLTC3855は、典型的なピーク電流モード・コントローラです。

谷電流モード・コントローラは制御されたFETオン時間を生成し、インダクタの谷電流が谷電流制限値(V_{ITH})に達するまで待つから制御FETを再びオンにします。したがって、電源は、制御FETの T_{OFF} 期間中も負荷ステップ上昇トランジェントに反応できます。また、オン時間が固定のため、制御FETの T_{ON_min} はピーク電流モード制御の場合よりも短くできるので、高い降圧比のアプリケーションに対してより高い f_{sw} が可能となります。また、谷電流モード制御では、電流ループの安定性確保のためのスロープ補償を追加する必要はありません。しか

し、スイッチング周期 T_s が変動しうるため、谷電流モード制御の場合のスイッチング・ノードの波形は、オシロスコープ上でジッタが多く見える場合があります。LTC3833やLTC3838は、典型的な谷電流モード・コントローラです。

閉電流ループのある新たなパワー段のモデリング

図19は、内側の電流ループがある降圧コンバータのパワー段について、インダクタをアンプのITHピンの電圧 v_c によって制御される電流源とみなすことにより、単純化した1次モデルとして示しています。同様の手法は、インダクタの電流モード制御がある他のトポロジに対しても適用できます。この単純化したモデルはどの程度正確でしょうか。図20は、伝達関数 $G_{CV}(s) = v_{OUT}/v_c$ の、1次モデルとより複雑で正確なモデルとの比較を示しています。対象は500kHzのスイッチング周波数で動作する電流モード降圧コンバータです。この例では、1次モデルはスイッチング周波数 f_{sw} の約1/50にあたる10kHzまでは正確です。そこから先は、1次モデルの位相図は正確ではなくなります。この単純化したモデルは、低周波数領域についてののみ有効です。

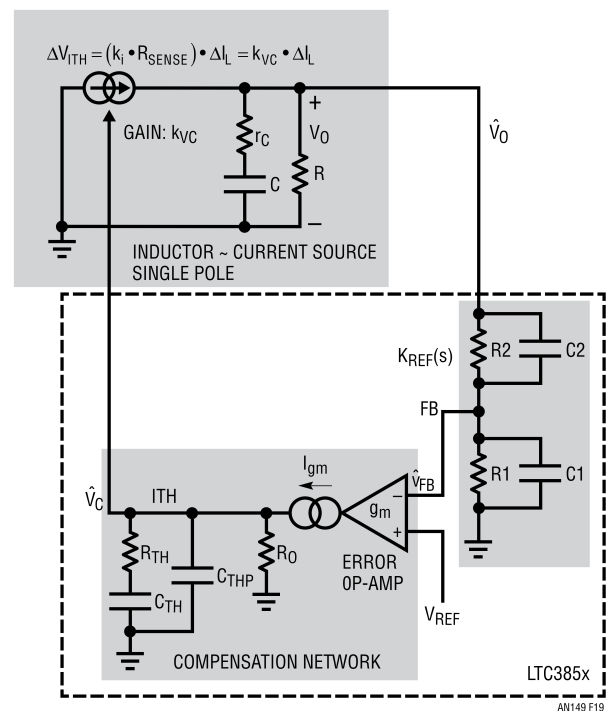


図19. 電流モード降圧コンバータの単純な1次モデル

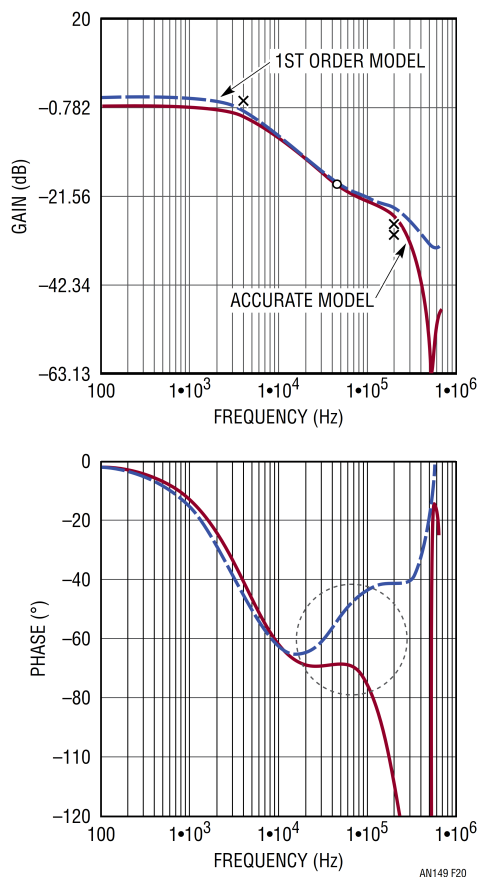


図20. 電流モード降圧コンバータについての1次モデルと正確なモデルの $G_{CV}(s)$ の比較

実際、電流モード・コンバータの全周波数範囲について正確な小信号モデルを作るのは複雑な作業です。R. Ridleyの電流モード・モデル[3]は、ピーク電流モード制御についても谷電流モード制御についても、電源業界で最も広く使われています。最近では、電流モード制御についてJian Liがより直感的な回路モデル[4]を提案しており、これは他の電流モード制御方式についても適用できるものです。利便性を考慮して、LTpowerCAD設計ツールにはこれらの正確なモデルが実装されているので、RidleyやJian Liのモデルについての知識をあまり持たない経験の浅いユーザでも、電流モード電源を容易に設計できます。

電流モード・コンバータのループ補償設計

図16と図21では、閉電流ループがあるパワー段の $G_{CV}(s)$ は、主に電源のDC仕様／性能で決まるパワー段の部品の選択によって決定されます。したがって、外側の電圧ループのゲイン

$T(s) = G_{CV}(s) \cdot A(s) \cdot K_{REF}(s)$ は、電圧帰還ステージの $K_{REF}(s)$ と補償ステージの $A(s)$ で決定されます。電源の安定性と過渡応答性能は、主にこの2つのステージの設計によって決まります。

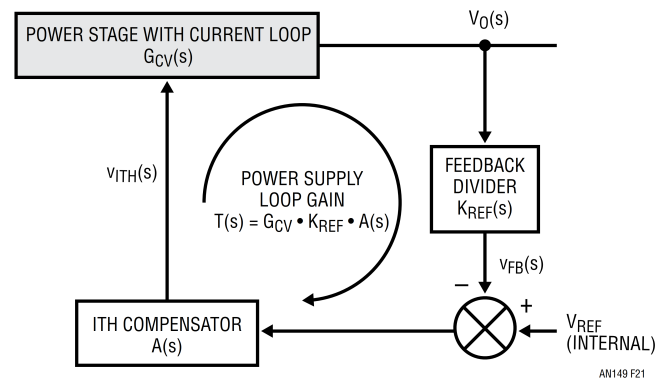


図21. 帰還ループ設計のための制御ブロックの図

一般的に、閉電圧ループ $T(s)$ の性能は、ループの帯域幅とループの安定性余裕という2つの重要な値によって評価します。ループの帯域幅は、ループのゲイン $T(s)$ が1 (0dB)に等しくなる点であるクロスオーバー周波数 f_c で定量化します。ループの安定性余裕は、一般的には位相余裕もしくはゲイン余裕で定量化します。ループの位相余裕 ϕ_m は、クロスオーバー周波数における $T(s)$ の総合的な位相遅延と -180° との差で定義します。安定性確保のためには、通常は45度あるいは60度の最小位相余裕が必要です。電流モード制御では、電流ループのスイッチング・ノイズを減衰させるため、ループ・ゲイン余裕は $\frac{1}{2} \cdot f_{SW}$ における減衰比で定義します。一般的には、 $\frac{1}{2} \cdot f_{SW}$ において最小8dBの減衰(-8dBのループ・ゲイン)が必要とされます。

適切な電圧ループのクロスオーバー周波数 f_c の選択

帯域幅が広ければ、高速な過渡応答が得られます。反面、帯域幅を拡大すると安定性余裕が減少し、制御ループがスイッチング・ノイズの影響を受けやすくなります。最適な設計では通常、帯域幅(過渡応答特性)と安定性余裕の良いバランスをとって実現されます。実際には、電流モード制御では、 $1/2 \cdot f_{SW}$ における電流信号のサンプリング効果によって、ダブル・ポールのペア ω_n が発生します[3]。このダブル・ポールによって $\frac{1}{2} \cdot f_{SW}$ 付近で余計な位相遅延が発生します。一般的には、位相余裕とPCBノイズの減衰を十分に得るために、クロスオーバー周波数には、位相スイッチング周波数 f_{SW} の $1/10 \sim 1/6$ より低い値が選択されます。

$$f_c \leq \frac{f_{SW}}{6} \quad (8)$$

R1、R2、C1、C2からなる帰還分割器ネットワーク $K_{REF}(s)$ の設計

図16において、 $K_{REF}(s)$ のDCゲイン K_{REF} は、内部リファレンス電圧 V_{REF} と目標のDC出力電圧 V_o の比です。抵抗R1とR2を使用して、目標のDC電圧を設定します。

$$R_1 = \frac{K_{REF} \cdot R_2}{1 - K_{REF}} \quad (9)$$

ここで、

$$K_{REF} = \frac{V_{REF}}{V_o} \quad (10)$$

帰還ループの動的応答の改善のために、コンデンサC2をオプションで追加することができます。考え方としては、高周波領域では、C2は出力電圧のAC信号に対して低インピーダンスのフィード・フォワード経路となり、過渡応答の速度を高めます。反面、C2によって望ましくないスイッチング・ノイズが制御ループに入り込む場合があります。そのため、スイッチング・ノイズを減衰させるために、C1フィルタ・コンデンサをオプションで追加することがあります。式11に示すように、C1とC2を追加した抵抗分圧器全体の伝達関数 $K_{REF}(s)$ には1つのゼロと1つのポールがあります。図22は $K_{REF}(s)$ のボード線図を示しています。 $f_{z_ref} < f_{p_ref}$ となるように設計すると、C1とC2はR1とR2との作用で f_{CENTER} を中心とする周波数帯で位相ブーストを生じ、この値は式14で決まります。 f_{CENTER} が目標のクロスオーバー周波数 f_c に配置されていれば、 $K_{REF}(s)$ によって電圧ループに位相進みが生じ、位相余裕が改善されます。一方、図22では、C1とC2が高周波数帯での分圧器のゲインを増加させることも示されています。高周波数帯でゲインが増加すると、制御ループがスイッチング・ノイズの影響を受けやすくなるため、これは望ましくありません。高周波数帯でのC1とC2によるゲインの増加は式15で与えられます。

$$K_{REF}(s) = \frac{V_{FB}}{V_o} = K_{REF} \cdot \frac{1 + \frac{s}{2\pi \cdot f_{z_ref}}}{1 + \frac{s}{2\pi \cdot f_{p_ref}}} \quad (11)$$

ここで、

$$f_{z_ref} = \frac{1}{2\pi \cdot R_2 \cdot C_2} \quad (12)$$

および

$$f_{p_ref} = \frac{1}{K_{REF}} \cdot \frac{1}{2\pi \cdot R_2 \cdot (C_1 + C_2)} \quad (13)$$

$$f_{CENTER} = \sqrt{f_{z_ref} \cdot f_{p_ref}} \quad (14)$$

$$= \frac{1}{2\pi \cdot R_2} \cdot \sqrt{\frac{1}{K_{REF} \cdot C_2 \cdot (C_1 + C_2)}} = f_c$$

$$\Delta \text{Gain}_{HF(dB)} = 20 \cdot \log \left(\frac{C_2}{C_1 + C_2} \cdot \frac{1}{K_{REF}} \right) \quad (15)$$

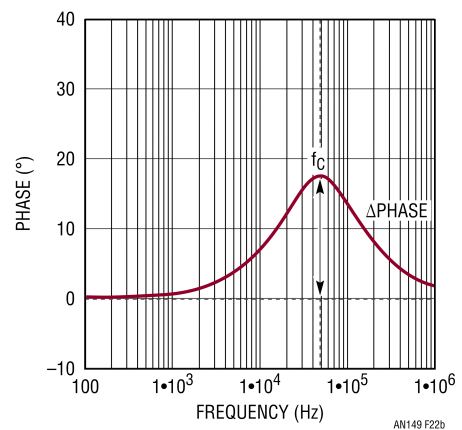
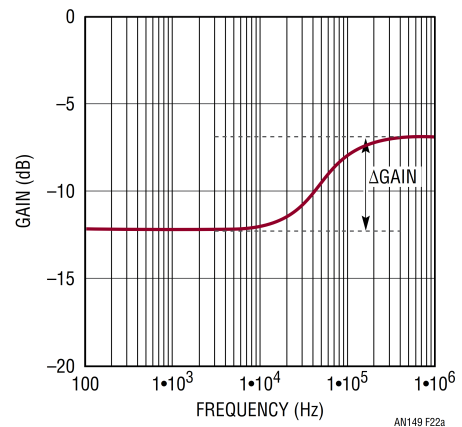


図22. 抵抗分圧器のゲイン $K_{REF}(s)$ の伝達関数のボード線図

C1およびC2に対し、分圧器ネットワークによる位相進み ϕ_{REF} は式16で計算されます。更に、与えられた出力電圧に対する位相ブーストが取りうる最大値は、 $C2 \gg C1$ の場合に式17で与えられます。この式で分かるように、位相ブーストの最大値 ϕ_{REF_max} は分圧比率 $K_{REF} = V_{REF}/V_O$ によって決まります。 V_{REF} はコントローラに対して固定されているので、出力電圧 V_O が高いほど高い位相ブーストが得られます。

$$\phi_{REF} = 2 \cdot \tan^{-1} \left(\sqrt{\frac{C_2}{C_1 + C_2} \cdot \frac{1}{K_{REF}}} \right) - 90 \quad (16)$$

$$\phi_{REF} = 2 \cdot \tan^{-1} \left(\sqrt{\frac{1}{K_{REF}}} \right) - 90 \quad (17)$$

ϕ_{REF} 、C1、C2の選択は、目標とする位相ブーストと高周波帯での不要なゲインの増加とのトレードオフになります。値を最適化するため、後で総合的なループ・ゲインの確認が必要です。

電圧ループITHエラー・アンプのタイプII補償ネットワークの設計
ITH補償 $A(s)$ は、電源の電圧ループのDCゲイン、クロスオーバー周波数(帯域幅)、位相余裕とゲイン余裕を決定するもので、ループ補償の設計において最も重要です。電流源の出力(g_m のトランスコンダクタンスを持つタイプのアンプ)に対し、その伝達関数 $A(s)$ は式18で与えられます。

$$A(s) = \frac{v_{ith}(s)}{v_{FB}(s)} = g_m \cdot Z_{ith}(s) \quad (18)$$

ここで g_m はトランスコンダクタ・エラー・アンプのゲインで、 $Z_{ith}(s)$ はアンプ出力のITHピンにおける補償ネットワークのインピーダンスです。

図21に示した制御ブロック図から、電圧ループのレギュレーション・エラーは次式によって定量化できます。

$$\frac{\text{Error}}{V_O} = \frac{V_{REF} - V_{FB}}{V_{REF}} = \frac{1}{[A(s) \cdot G_{CV}(s)]_{S=j2\pi f}} \quad (19)$$

したがって、DCレギュレーション・エラーを最小化するために、 $A(s)$ が大きなDCゲインを持つことが極めて適切になります。 $A(s)$ のDCゲインを最大化するため、まずコンデンサ C_{th} をアンプ出力のITHピンに配置して積分器を形成します。この場合、 $A(s)$ の伝達ゲインは次のようになります。

$$A(s) = \frac{v_{ith}(s)}{v_{FB}(s)} = \frac{g_m}{C_{th}} \cdot \frac{1}{s} \quad (20)$$

図23は $A(s)$ の回路図とボーデ線図を示しています。ここで示されるように、コンデンサ C_{th} が、DCゲインが圧倒的に高い積分項を $A(s)$ の中に作っています。残念なことに、元々の -180 度の負帰還に加え、 C によって更に -90 度の位相遅延が生じています。1次システムのパワー段 $G_{CV}(s)$ の -90 度の位相遅延を含めると、総合的な電圧ループの位相はクロスオーバー周波数 f_c で -360 度近辺となり、このループは不安定状態に近づいています。

実際には、電流ソースのアンプ g_m の出力インピーダンス値は無限ではありません。図24で R_o はアンプ g_m のITHピン内部の出力抵抗です。リニアテクノロジーのコントローラの R_o は一般的に高く、 $500k\Omega \sim 1M\Omega$ の範囲にあります。これにより、単一コンデンサの $A(s)$ の伝達関数は式21になります。ここには、 $R_o \cdot C_{th}$ によって決定する低周波ポール f_{po} が存在します。 $A(s)$ のDCゲインは、実際には $g_m \cdot R_o$ になります。図24に示されるように、この状態でも $A(s)$ には、目標とするクロスオーバー周波数 f_{c_exp} で -90 度の位相遅延が存在します。

$$A(s) = \frac{v_{ith}(s)}{v_{FB}(s)} = g_m \cdot R_o \cdot \frac{1}{1 + \frac{s}{s_{po}}} \quad (21)$$

ここで、

$$s_{po} = \frac{1}{R_o \cdot C_{th}} \quad (22)$$

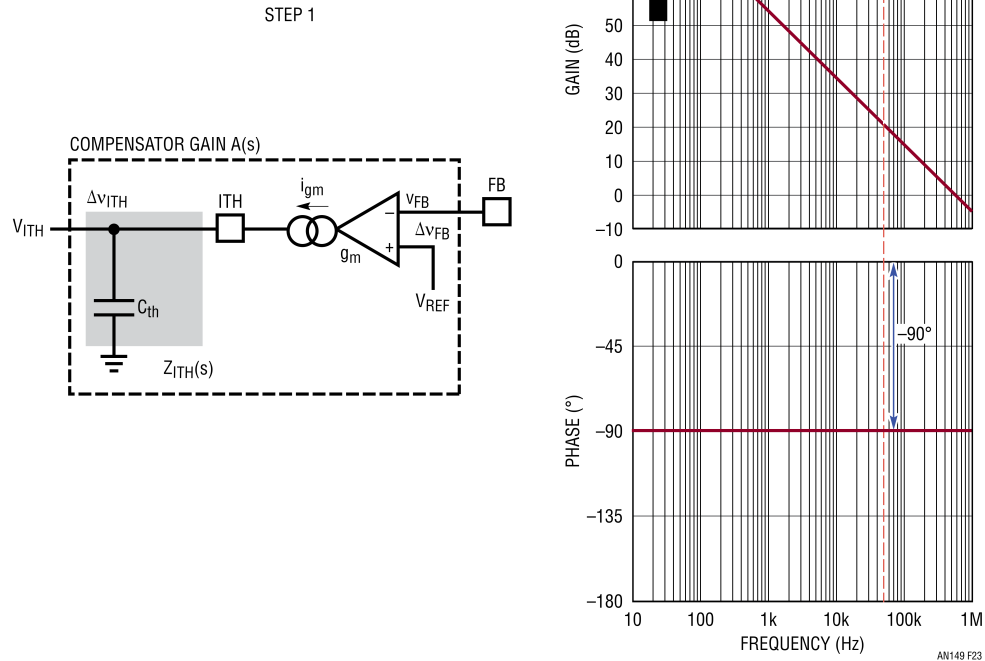


図23. ステップ1: 単純なコンデンサの補償ネットワーク $A(s)$ とそのボーデ線図

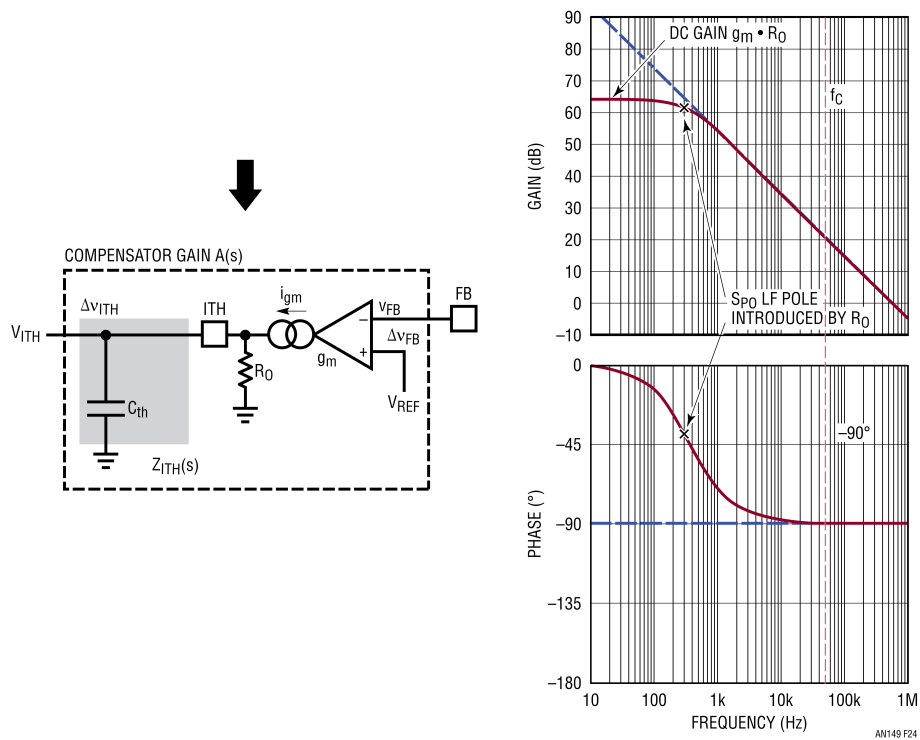


図24. アンプ g_m の出カインピーダンス R_0 を加味した1ポールの $A(s)$

an149fa

アプリケーション・ノート149

f_c における位相を進めるため、[式23](#)と[図25](#)に示すように抵抗 R_{th} を C_{th} と直列に接続してゼロを形成します。このゼロは、最大+90度の位相進みに寄与します。[図25](#)に示すように、ゼロ s_{thz} がクロスオーバー周波数 f_c より手前に設定されれば、 $A(s)$ の f_c における位相は大きく進みます。その結果、電圧ループの位相余裕が増加します。

$$A(s) = \frac{v_{ith}(s)}{v_{fb}(s)} = g_m \cdot R_0 \cdot \frac{1 + \frac{s}{s_{thz}}}{1 + \frac{s}{s_{po}}} \quad (23)$$

ここで、

$$s_{thz} = \frac{1}{R_{th} \cdot C_{th}} \quad (24)$$

残念ながら、ゼロ s_{thz} の追加には副作用もあり、 f_c 以上の高周波数帯での $A(s)$ のゲインが大きく増加します。そのため、スイッチング周波数での $A(s)$ の減衰が弱い場合、スイッチング・ノイズが制御ループに混入する可能性が高くなります。このゲインの増加の効果を抑えてPCBノイズを減衰させるためには、[図26](#)に示すように、小さなセラミック・コンデンサ C_{thp} をITHピンとICの信号グラウンドの間に追加で配置する必要があります。一般的には、 $C_{thp} \ll C_{th}$ になるように選びます。PCBレイアウトに際しては、フィルタ・コンデンサ C_{thp} はできるだけITHピンに近づけて配置します。 C_{thp} の追加によって得られる最終的な補償の伝達関数 $A(s)$ を、[式25](#)と[式26](#)に示し、ボード線図を[図26](#)に示します。 C_{thp} によって高周波数のポール s_{thp} が形成されますが、これはクロスオーバー周波数 f_c とスイッチング周波数 f_s の間に配置されます。 C_{thp} によって f_s での $A(s)$ のゲインは減少しますが、 f_c における位相も減少します。 s_{thp} の位置には、位相余裕と電源のPCBノイズ耐性のトレードオフがあります。

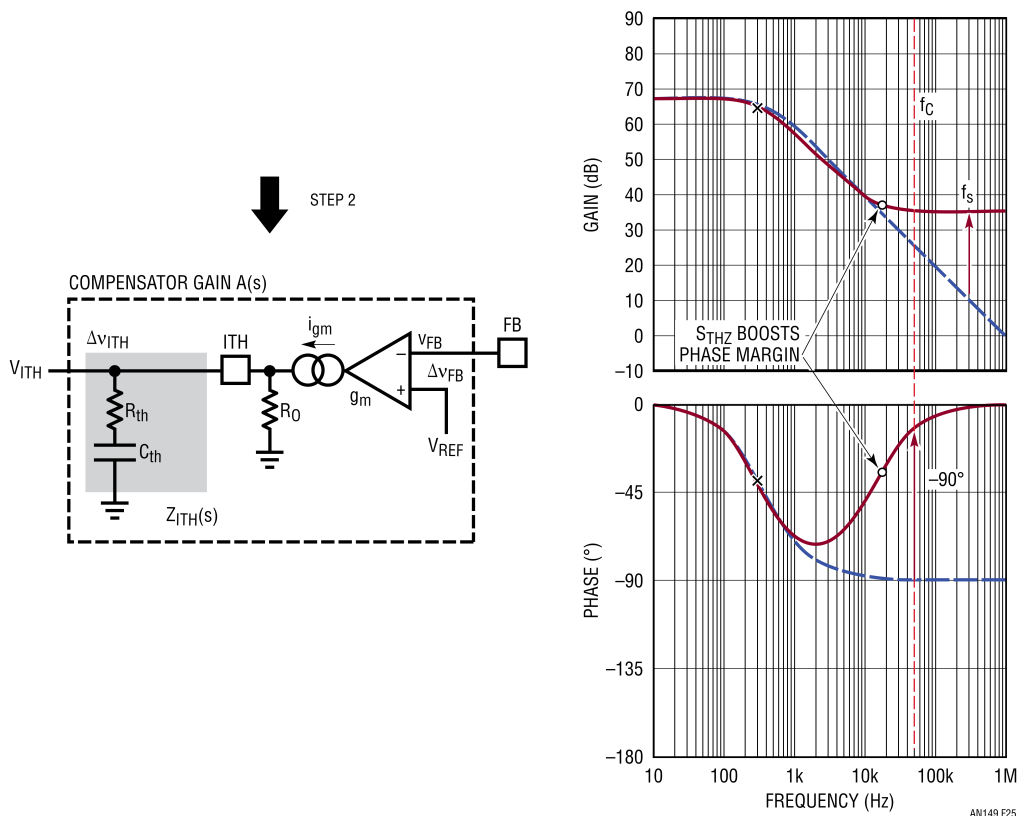


図25. ステップ2: R_{th} によるゼロの追加で位相を改善 – 1ポール、1ゼロの補償 $A(s)$

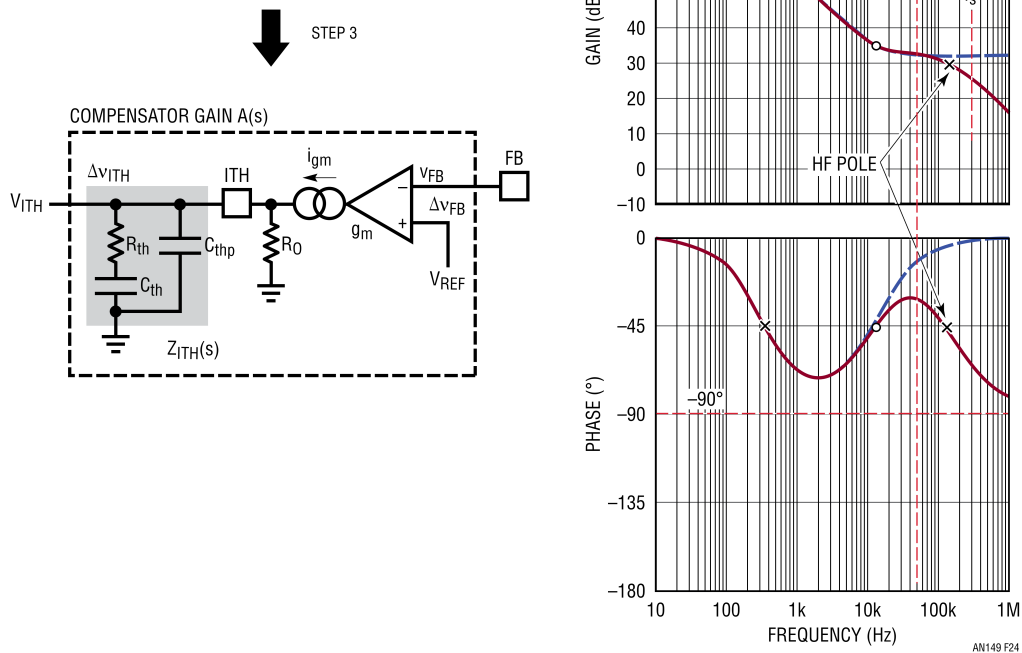


図26. ステップ3: 高周波デカップリング C_{thp} の追加 – 2ポール、1ゼロの補償 $A(s)$

$$A(s) = \frac{v_{ith}(s)}{v_{fb}(s)} = g_m \cdot R_o \cdot \frac{1 + \frac{s}{s_{thz}}}{\left(1 + \frac{s}{s_{po}}\right) \cdot \left(1 + \frac{s}{s_{thp}}\right)} \quad (25)$$

ここで、

$$s_{thp} = \frac{1}{R_{th} \cdot \frac{C_{th} \cdot C_{thp}}{C_{th} + C_{thp}}} \approx \frac{1}{R_{th} \cdot C_{thp}} \text{ if } C_{thp} \ll C_{th} \quad (26)$$

電流モード・パワー段は疑似シングル・ポールのシステムなので、必要な位相余裕を得るには図26の2ポール1ゼロの補償ネットワークで一般的には十分です。

ここでアンプのITHピンに配置した2ポール、1ゼロの補償ネットワークは、タイプII補償ネットワークとも呼ばれます。簡単に言えば、2つのコンデンサ C_{th} と C_{thp} 、1つの R_{th} を配置します。アンプの出力抵抗 R_o を含めたR/Cのネットワークによって、図27に示すように、1つのゼロが f_{z1} にあり、2つのポールが f_{po} と f_{p2} にある典型的な伝達関数ができます。

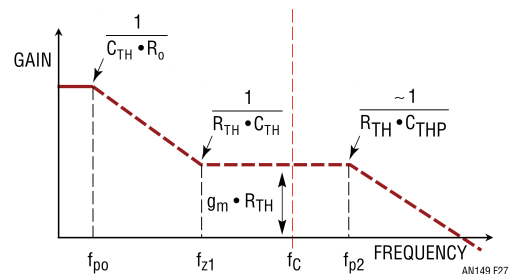


図27. タイプII補償ネットワークの伝達関数の概念図

補償用のR/C値と負荷ステップ・トランジェント応答性の関係

前のセクションではタイプII補償ネットワークの周波数ドメインでの挙動について説明しました。閉ループの電源設計において重要な性能指標の1つは、負荷ステップの上昇(または下降)のトランジェントにおける電源出力電圧のアンダーシュート(やオーバーシュート)ですが、これはループ補償の設計の影響を直接に受けます。

1) C_{TH} の負荷ステップ・トランジェントへの影響。 C_{TH} は低周波数ポール f_{p0} とゼロ f_{z1} の位置に影響します。図28に示すように、 C_{TH} が小さければ、伝達関数 $A(s)$ の周波数低域から中域のゲインが増加します。その結果、 V_{OUT} のアンダーシュート(オーバーシュート)の振幅に大きな影響を与えることなく、負荷過渡応答のセトリング・タイムを短縮できます。一方、 C_{TH} が小さいと f_{z1} の周波数が高くなります。これにより、目標とするクロスオーバー周波数 f_c における f_{z1} による位相ブーストが減少する場合があります。

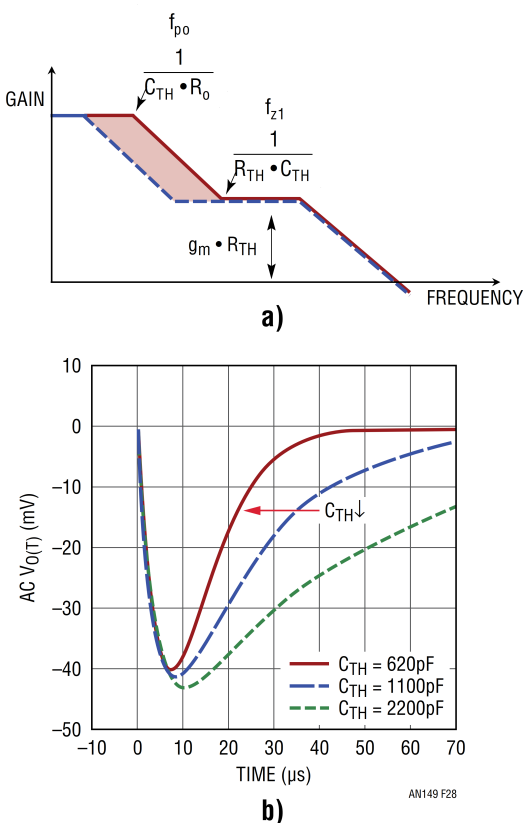


図28. C_{TH} が伝達関数と負荷応答特性に及ぼす影響

2) R_{TH} が負荷ステップ過渡応答性能に及ぼす影響。図29

は、 R_{TH} によってゼロ f_{z1} とポール f_{p2} の位置が変化することを示しています。更に重要なのは、 R_{TH} が大きいと f_{z1} と f_{p2} の間で $A(s)$ のゲインが増加することです。この結果、 R_{TH} が大きければ、電源の帯域幅 f_c が拡大し、 V_{OUT} の負荷過渡応答時のアンダーシュート／オーバーシュートが減少します。しかし、 R_{TH} が過大であると、電源の帯域幅 f_c が高くなりすぎ、位相余裕が不足します。

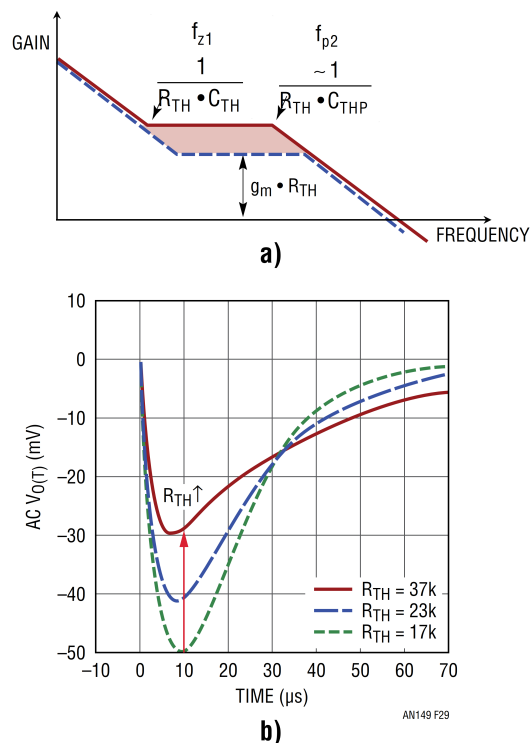


図29. R_{TH} が伝達関数と負荷過渡応答に及ぼす影響

3) C_{THP} が負荷ステップ・トランジェントに及ぼす影響。

図30は C_{THP} がポール f_{p2} の位置に影響を及ぼすことを示しています。 C_{THP} は、ITHピンのスイッチング・ノイズを低減してスイッチングのジッタを最小化するためのデカップリング・コンデンサとして使用されます。電源の帯域幅が $f_c > f_{p2}$ であれば、 C_{THP} は負荷過渡応答にはさほど影響しません。 C_{THP} の設計が過大で f_{p2} が f_c に近くなっていると、帯域幅と位相余裕が減少し、過渡応答時のアンダーシュートやオーバーシュートの増加につながります。

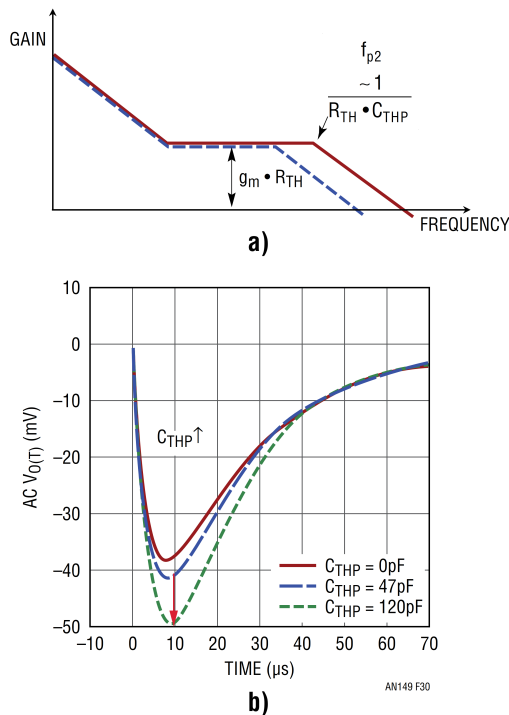


図30. C_{THP} が伝達関数と負荷応答特性に及ぼす影響

LTpowerCADによる電流モード電源の設計

LTpowerCAD設計ツールを使用すると、リニアテクノロジーの電流モード電源の設計や、ループ補償や負荷過渡応答性能の最適化が容易にできます。リニアテクノロジーの多くの製品について、ループ・パラメータが正確にモデル化されています。まずパワー段を設計する必要がありますが、そこでは電流検出ネットワークを設計し、ICが十分なAC検出信号を得られるようにします。そして、ループ設計のページでは、スライド・バーを動かして総合的なループ帯域幅、位相余裕、対応する負荷過渡応答性能を調べるだけで、ループ補償のR/C値を調整できます。降圧コンバータの場合は、帯域幅を f_{sw} の1/6より低くし、少なくとも45度(あるいは60度)の位相マージンを取り、 $\frac{1}{2}f_{sw}$ で最小で8dBの総合ループ・ゲインとします。昇圧コンバータの場合には、右半平面ゼロ(RHPZ)が存在するため、電源の帯域幅は最も厳しいRHPZ周波数の1/10より低くなるよう設計する必要があります。LTpowerCADの設計ファイルはLTspice®にエクスポート可能で、リアルタイム・シミュレーションによって詳細な電源の動的性能、例えば負荷過渡応答やパワーアップとパワーダウン、過電流保護などを確認できます。

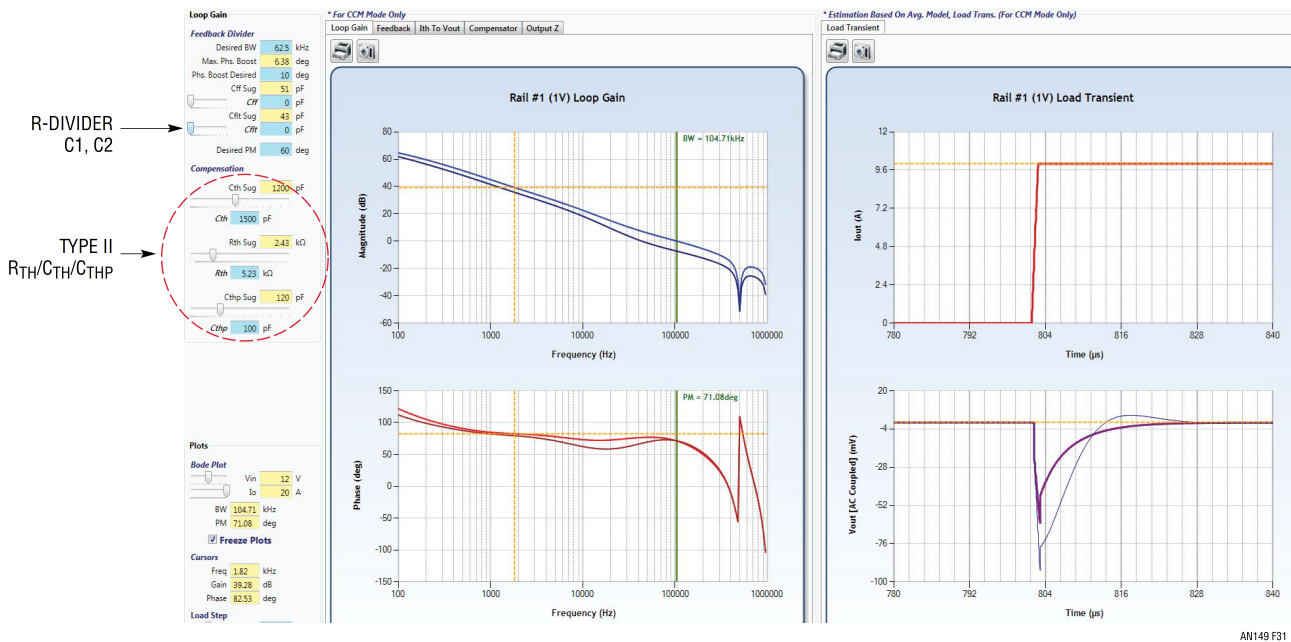


図31. LTpowerCAD設計ツールで簡単に実施できるループ補償設計と過渡応答の最適化

アプリケーション・ノート149

電源ループ・ゲインの測定

LTpowerCADとLTspiceのプログラムの目的は、最終のベンチ評価における実物の電源のループ・ゲイン測定を置き換えることではありません。最終の生産用に設計をリリースする前には、測定の実施が必須です。電源のモデルは理論的には正確なはずですが、回路の寄生成分や部品の非線形性、例えば出力コンデンサのESRのばらつきやインダクタやコンデンサの非線形性が、完全には表現されていない可能性があります。更に、回路基板のノイズや測定精度の限界によって測定誤差が発生する可能性もあります。これらの要因のため、理論的なモデルや測定は大きく現実から外れることがあります。差分が出た場合には、負荷過渡応答テストを使用して、ループの安定性を更に確認します。

図32は、周波数アナライザ・システムを使用した非絶縁電源のループ・ゲイン測定の典型的な構成を示しています。ループ・ゲイン測定のため、 50Ω から 100Ω の抵抗を電源帰還ループに挿入し、この抵抗に 50mV の絶縁型AC信号を供給しています。チャンネル2は電圧出力に接続し、チャンネル1は抵抗の反対側に接続します。ループ・ゲインは、Ch2/Ch1として周波数アナライザ・システムで計算されます。図33は、典型的なLTC3851A電流モード電源のループのボーデ線図の実測結果とLTpowerCADでの計算結果を示しています。 1kHz から 100kHz の重要な周波数範囲では、両者はよく一致しています。

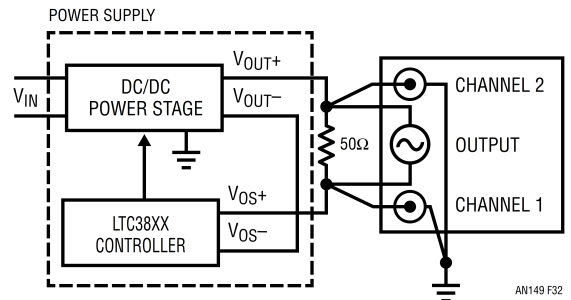


図32. 電源ループ・ゲイン測定のテストの構成

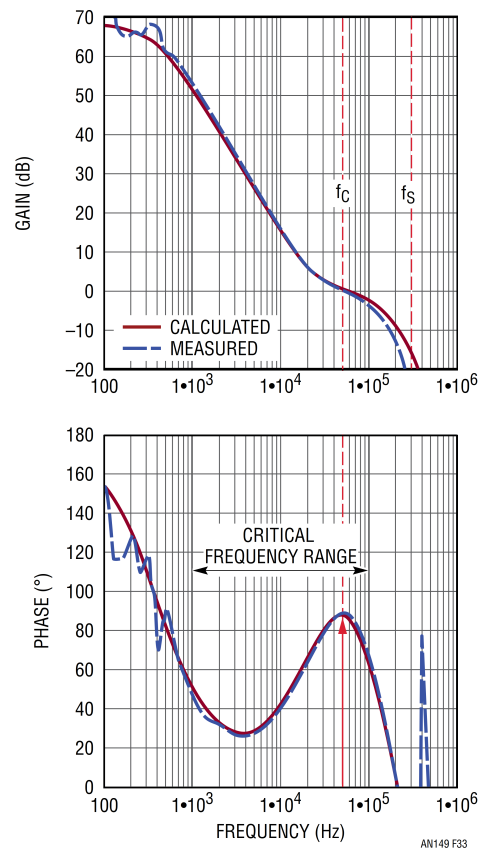


図33. 電流モード降圧コンバータのループ・ゲインの測定値とLTpowerCADでのモデル

不安定性のその他の要因

動作条件:

オシロスコープで電源のスイッチング波形や出力電圧が不安定あるいはジッタがあるように見える場合は、まず、負荷や入力電源のトランジェントがない定常的な状態で電源が動作していることを確認する必要があります。デューティサイクルが非常に小さいか非常に大きいアプリケーションでは、パルススキッピング動作が発生していれば、最短オン時間や最短オフ時間の制限に達しているかを確認します。外部の同期信号を必要とする電源では、それがきれいな信号で、コントローラのデータシートに記載の線形性範囲に入っていることを確認します。フェーズ・ロック・ループ(PLL)フィルタ・ネットワークの調整が必要な場合もあります。

電流検出信号とノイズ:

電流モード電源では、検出抵抗の電力損失を最小限にするため、最大電流検出電圧は一般的に非常に低くなります。例えば、LTC3851Aでは最大検出電圧が50mVになり得ます。PCBノイズが電流検出ループに妨害を与えて不安定なスイッチング動作を招く可能性があります。問題がループ補償によるものかどうかをデバッグするために、0.1μFの大きいコンデンサをITHピンとICグラウンドの間に配置する方法があります。このコンデンサを入れても電源が不安定であれば、次のステップは設計の見直しを行うことです。一般的には、インダクタと電流検出ネットワークは、ICの電流検出ピンのピークtoピークACインダクタ電流信号が最小でも10mV～15mVになるように設計する必要があります。更に、電流検出パターンをツイストペアのジャンパー線で配線し直して、問題が解決するかどうかなを確認することもできます。

PCBレイアウトにはいくつかの重要な考慮事項があります[6]。一般的には、SENSE+ピンとSENSE-ピンまで近接して配線された電流検出パターンを使用するケルビン検出が必要とされます。SENSE-ネットにPCBビアが使用される場合には、このビアが他のV_{OUT}層に当たらないようにします。SENSE+とSENSE-の間のフィルタ・コンデンサはICのピンにできるだけ近づけて配置し、配線パターンで直接接続します。フィルタ抵抗が必要になる場合もありますが、この抵抗もICに近づけて配置します。

コントローラ・チップの部品配置とレイアウト:

コントローラICの周辺部品の配置とレイアウトも重要です[6]。デカップリング用のセラミック・コンデンサは全て可能な限りピンに近づけます。特にITHピンのコンデンサC_{thp}を、ITHピンとICの信号グラウンド・ピンにできるだけ近く配置することが重要です。コントローラICには、電源グラウンド(PGND)と分離した信号グラウンド(SGND)を設けます。SW、BOOST、TG、BGといったスイッチング・ノードは、影響を受けやすい小信号のノード、例えば電流検出、帰還、ITH補償などのためのパターンから離すようにします。

まとめ

ループ補償の設計は、スイッチモード電源の開発における難しい作業であると一般に考えられています。高速な過渡応答が要求されるアプリケーションでは、帯域幅が広く安定性余裕を十分に確保した設計が非常に重要です。通常これは時間のかかる作業です。本稿では、システム・エンジニアがこの設計タスクを理解できるよう、主要な概念について説明しました。LTpowerCAD設計ツールを使用すれば、電源のループの設計と最適化の作業が格段にシンプルになります。

参考資料

[1] J. Seago, “Opti-Loop Architecture Reduces Output Capacitance and Improves Transient Response,” Application Note 76, Linear Technology Corp., May 1999.

[2] V. Vorperian, “Simplified Analysis of PWM Converters Using the Model of the PWM Switch: Parts I and II,” IEEE Transactions on Aerospace and Electronic Systems, Mar. 1990, Vol. 26, No.2.

[3] R. B. Ridley, “An Accurate and Practical Small-Signal Model for Current-Mode Control,” www.ridleyengineering.com.

[4] J. Li, “Current-Mode Control: Modeling and its Digital Application,” Ph.D. Dissertation, Virginia Tech, Apr. 2009.

[5] LTpowerCAD™設計ツールとユーザ・ガイド
(www.linear.com/LTpowerCAD)

[6] H. Zhang, 「非絶縁型スイッチング電源のPCBレイアウトにおける考慮事項」、AN136、www.linear.com

[7] H. Zhang, 「リニア・レギュレータとスイッチング電源の基本概念」、AN140、www.linear.com