

iCoupler デバイスでの放射制御に対する推奨事項

著者: Brian Kennedy、Mark Cantrell

はじめに

iCoupler® データ・アイソレーション製品は PCB を適切にデザインすると、CISPR 22 クラス A (および FCC クラス A) 放出規格を容易に満たすことができ、またシールドなし環境でさらに厳しい CISPR 22 クラス B (および FCC クラス B) 規格を満たすことができます。このアプリケーション・ノートでは、ボード・レイアウト問題や積層問題などの PCB 関連の EMI 軽減技術について調べます。

放射に対する規格は複数存在します。米国では、FCC (Federal Communications Commission) が規格とテスト方法を管理しています。ヨーロッパでは、IEC (International Electrotechnical Commission) が規格を制定して、放出の評価に CISPR テスト方法を使用しています。方法と合否判定規定値は、2 つの規格間で少し異なります。このアプリケーション・ノートでは IEC 規格を基準にしますが、すべての結果は両規格に適用することができます。

iCoupler デジタル・アイソレータ入力でのデータ変化は、アイソレーション障壁を超えて情報の送信に使われる狭いパルスとして符号化されます。これらの 1 ns のパルスのピーク電流は最大 70 mA であるため、プリント回路ボード (PCB) のレイアウト時と製造時に考慮しないと、放射ノイズと伝導ノイズを発生させることがあります。

このアプリケーション・ノートでは放射のメカニズムを特定し、高周波 PCB デザイン時にこれらに対処するための特定のガイドラインを提供します。

信号ケーブルからの放出制御とシャース・シールド技術は、このアプリケーション・ノートの範囲外とします。

EMI軽減の概要

EMI 軽減の最善の技術としては、入力-出力間グラウンド・プレーンのステッチング容量の使用、エッジ・ガード、ノイズ削減のための電源電圧レベルの低下の組み合わせ使用などがあります。このアプリケーション・ノートのために、4 層ボードをデザインして、業界で一般的な材料と構造を使って製造しました。

このアプリケーション・ノートで使用した EMI 削減例では、4 チャンネル iCoupler 製品を採用していますが、情報はすべての iCoupler 製品ファミリーに適用できます。図 1 に、この例を示します。

絶縁型電源内蔵の isoPower を採用した製品からの放出の削減については、AN-0971 アプリケーション・ノートを参照してください。この資料にはその他の推奨事項と技術が記載されています。

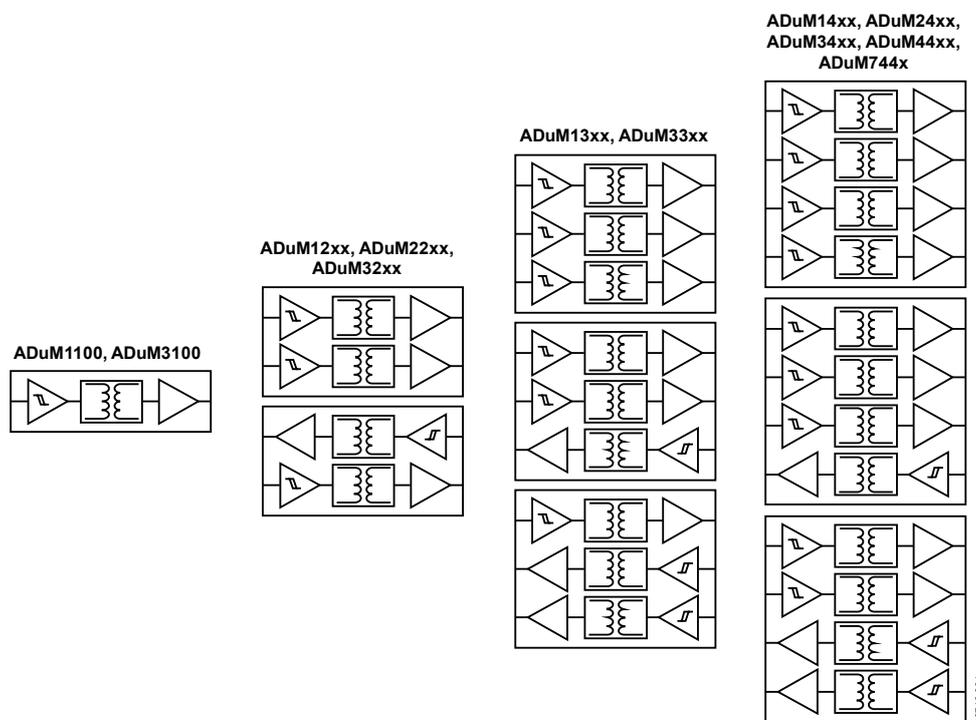


図 1. iCoupler デバイス・ファミリーの例

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

はじめに.....	1	3.3 V動作.....	9
EMI軽減の概要.....	1	推奨デザイン方法.....	10
改訂履歴.....	2	アイソレーション規格の満足.....	10
放出ソース.....	3	ボード例.....	11
エッジ放出.....	3	間隙を持つボード・レイアウトの結果.....	12
入カ—出力間ダイポール放出.....	3	結論.....	14
伝導ノイズのソース.....	5	アペンディックスA—PCB 例.....	15
EMI軽減技術.....	6	低ノイズ PCB の例.....	15
入カ—出力間のステッチング.....	6	間隙を持つ PCB の例.....	17
エッジ・ガード.....	8	参考資料.....	19
プレーン間容量.....	8		

改訂履歴

4/11—Revision 0: Initial Version

放出ソース

PCBには、エッジ放出と入力出力間ダイポール放出の2つの放出ソースがあります。

エッジ放出

エッジ放出は、グラウンド・プレーンと電源プレーンのエッジ(縁)で不要な電流が合流するときに発生します。これらの不要な電流は次のソースから発生します。

- グラウンドと電源のノイズ。これは大きな電源電流シンクでのバイパスが不十分なことから発生します。
- 円筒放射磁界。この磁界は、ボード層間に放射された浸透成分から誘導され、最終的にボード・エッジで合流します。
- ストリップ・ライン・イメージ電荷電流。この電流は、ボード・エッジの極く近くを通過する高周波信号ラインから拡散します。

エッジ放出は、多くのソースからの差動ノイズがボードのエッジで合流し、導波管として機能するプレーン-プレーン間の間隙から漏れ出る場所で発生します(図2参照)。

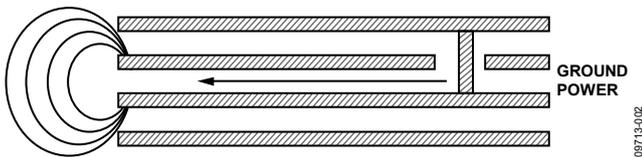


図2.エッジが一致したグラウンドと電源の対からのエッジ放射

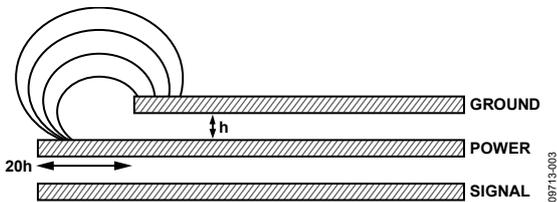


図3.エッジが一致しないグラウンドと電源の対からのエッジ放射

エッジ境界には、2つの制約条件があります。1つ目は図2に示すように、グラウンド・プレーンと電源プレーンの各エッジが一致している場合です。2つ目は図3に示すように、片方のエッジが引込んでいる場合です。エッジが一致している1つ目のケースでは、反射してPCBへ戻る部分と電界がPCB外部へ送出される部分があります。2つ目のケースでは、各ボードのエッジがパッチ・アンテナのエッジと同じ構造を形成します。エッジから20hずれる場合(hはプレーンとプレーン間の間隔)、電界はPCB外部へ有効に放出されるため、高い放出が発生します(参考資料のセクションの「高速デジタル・ロジック PCB内での放射伝搬波により発生するEMIの最小化」を参照してください)。これらの2つの制約ケースは、エッジ・ガードのセクションのPCBエッジの処理で説明するように、重要な考慮事項です。

入力出力間ダイポール放出

放射の1つ目のメカニズムは、グラウンド・プレーン間の間隙を跨いで電流源を駆動することにより発生する入力出力間ダイポールです。アイソレータは本来の性質により、グラウンド・プレーン間の間隙を跨いで電流を駆動します。送信された電流が境界を横切って戻ることに対応して高周波イメージ電荷が生ずることは避けられません。この電荷により、間隙を挟んで差動信号が発生して、ダイポールを駆動します。図4に示すように、これが大きなダイポールを形成することがあります。同様なメカニズムにより、グラウンド・プレーン内と電源プレーン内にある分割部分を超えると高周波信号ラインから放射が発生します。このタイプの放射は、グラウンド・プレーンに垂直な方向で支配的です。

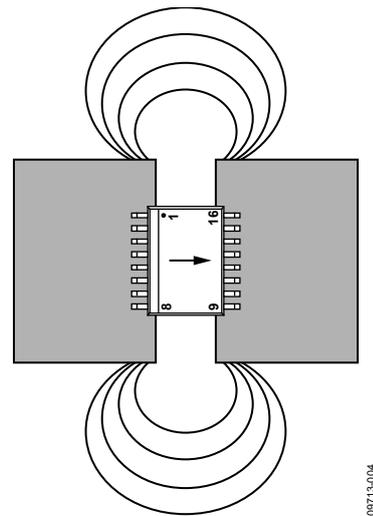


図4.入力出力間のダイポール放射

ADuM140x デバイスは、放出の発生と軽減に関する問題の良い例を提供します。

5VのV_{DD}電源電圧で動作するとき、トランスミッタ・パルスのピーク電流は約70mAです。これらのパルスの幅は1nsで、高速なエッジ・レートを持っています。

バイパス・コンデンサは、この高周波電流を局部的に供給するためのものです。コンデンサは大きな電荷を供給する必要があります。同時に、コンデンサは100MHz~1GHzの範囲で非常に小さい直列抵抗を持つ必要があります。ピンの近くに複数の低ESRコンデンサがあっても、バイパスが誘導性により制限されるため過渡電圧が発生して、ノイズがグラウンド・プレーンと電源プレーンへ混入します。コンデンサの自己共振周波数を考慮する必要があります。種々のサイズ(100nF、10nF、1nF)の複数コンデンサを使えば、この影響を少なくすることに役立ちます。

図5に、4チャンネルADuM1402、5V電源、1Mbpsの信号周波数、標準4層PCBを使用、入力出力間グラウンド・プレーンのステッチング容量なしで、無響室内で取得した放出データを示します。

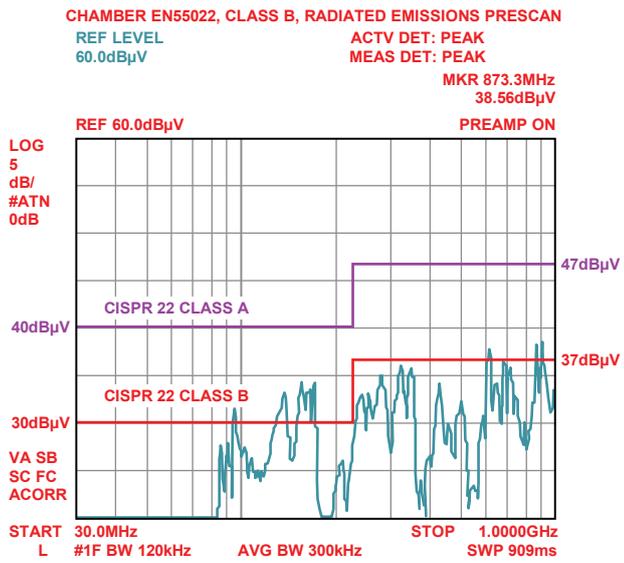


図 5.無響室、標準 4 層ボード、4 チャンネル ADuM1402、1 Mbps 動作で取得した放出データ

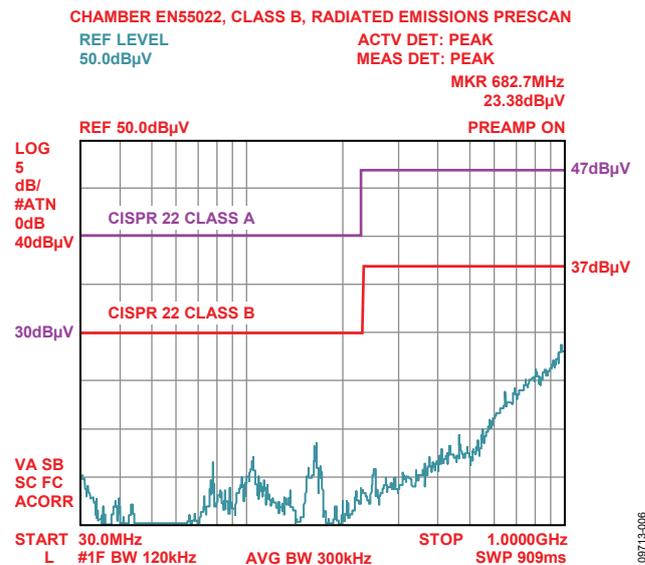


図 6.無響室、低ノイズ 4 層ボード、300 pF のステッチング容量、4 チャンネル ADuM1402、1 Mbps で取得した放出データ

このボードの放出データ(図 5)は、30 MHz~230 MHz 範囲で約 6 dBμV (要求は 40 dBμV)であるためCISPR 22 クラス A 放出規格に合格します。これに対して、低ノイズ 4 層ボード、300 pF のステッチング容量使用での結果を図 6 に示します。これは標準ボードと同じ条件でテストされましたが、CISPR 22 クラス A と CISPR 22 クラス B に余裕を持って合格しています。EMI 軽減技術のセクションでは、放射を制御するため低ノイズ・ボードで使用したような推奨 PC レイアウト技術について使い方を説明します。

伝導ノイズのソース

大きな電流と高い周波数も、グラウンド・プレーンと電源プレーンで伝導ノイズを発生します。PCB の同じグラウンド構造と電源構造を使うと、両タイプの EMI の原因と対策を改善できるため、伝導ノイズも放射と同じ技術を使って対処することができます。

バイパス・コンデンサとグラウンド/電源プレーンは十分な高周波電流を *iCoupler* デバイスに供給することが避けられないため、 V_{DD} にノイズが発生します。

iCoupler アイソレータは、70 mA の振幅を持つ 1 ns パルスのバーストとして、トランスを介してデータを送信します。100 nF の理想バイパス・コンデンサは、電流の AC 成分を供給するために十分なものですが、バイパス・コンデンサは理想的ではなく、誘導性ビアを介してグラウンド・プレーンまたは電源プレーンへ接続されます。さらに、グラウンド・プレーンと電源プレーン間の距離が長いと、これら間にインダクタンスが発生し、これにより電流を迅速に供給する能力が制限されます。これらのファクタは、 V_{DD} プレーン上の高周波ノイズ電圧の大きな部分に影響を与えます。

EMI軽減技術

多くの軽減技術があります。このセクションでは、iCoupler デバイスに直接使用できる幾つかの技術を特定します。IEC または FCC の放出レベルを満たすために EMI 対策をどの程度積極的に実施すべきかと、コストや性能などのデザイン条件との間にトレードオフが存在します。

PCB 関連の EMI 軽減対策をフル活用するためには、PCB のグラウンド・プレーンと電源プレーンが比較的連続しており、両プレーンを重ねるときの相対位置と間隔を指定する必要があります。これは、グラウンド・プレーン、電源プレーン、信号プレーンの技術を活用するためには、少なくとも 3 層を使う必要があることを示しています。

ボード製造での現実的な考慮では、最小でも 4 層ボードが必要です。層を増やすことは可能で、推奨事項の効果を大きくするために使うことができます。2 層ボードを使用する場合、安全なステッチング・コンデンサを使って、入力-出力間のスティッチングのセクションに示すように、放出を削減することができます。

次の技術が EMI 放射とボード・ノイズの削減に効果的です。

- 入力-出力間グラウンド・プレーンのスティッチング
- エッジ・ガード
- プレーン間の容量バイパス
- 電源制御 (3.3 V 動作)

ADuM140xを使用するこれらのEMI軽減技術を評価するためテスト構造を持つ回路ボードを用意しました。各ボードのレイアウトは、結果の比較を可能にするため、できるだけ統一しました。テストは、CISPR 22 クラスB認定の規格条件に準拠するEMIテスト施設で行いました。図 14～図 17に結果を示し、表 4～表 7にまとめを示します。

入力-出力間のスティッチング

PCB パターンを電流が流れるとき、これに従ってイメージ電荷がパターンの真下のグラウンド・プレーンに現れます。パターンがグラウンド・プレーンの欠損を跨ぐ場合、イメージ電荷はこれに追従できません。このためにPCB内に差動の電流と電圧が発生して、放射ノイズと伝導ノイズが発生します。解決策は、イメージ電荷が信号に追従できるようにパスを設けることです。標準的な方法は、グラウンド・プレーンの欠損を跨ぐ信号の近くにステッチング・コンデンサを設けることです (参考資料のセクションに示す「PCB Design for Real-World EMI Control」参照)。この同じ技術は、iCoupler アイソレータが動作するため、グラウンド・プレーン間の放射の削減にも有効です。

ステッチング容量を形成するためには、少なくとも次の 3 つのオプションがあります。

- 障壁を跨いで安全な定格のコンデンサを接続します。
- 内部層のグラウンド・プレーンと電源プレーンを PCB のアイソレーション・ギャップまで延ばして重なるステッチング・コンデンサを形成します。
- フローティング金属プレーンで、図 8 のように内部層の絶縁側と非絶縁側との間のギャップを覆います。

各オプションには、その効果と実現に必要な面積について利点と欠点があります。医用アプリケーションの場合、絶縁グラウンドとアース・グラウンド間に許容できる合計アイソレーション容量は、大きくとも 10 pF～20 pF であることに注意してください。

安全なステッチング・コンデンサ

ステッチング容量は、アイソレーション障壁を跨ぐシンプルなセラミック・コンデンサで実現することができます。沿面距離、空間距離、耐圧が保証されたコンデンサは、主要コンデンサ・メーカーから提供されています。これらの安全定格のコンデンサには、用途に応じて複数のグレードがあります。Y2 グレードは電氣的衝撃の危険性のあるライン・グラウンド間アプリケーションで使用されるため、安全定格のアプリケーションのステッチング・コンデンサ向けの安全なコンデンサ・タイプとして推奨されます。このタイプのコンデンサには、表面実装型と半径方向にピンが付いたディスク型があります。Y2 グレードの安全なコンデンサの一覧については、表 1 を参照してください。

安全コンデンサはディスクリート部品であるため、パッドまたはスルーホールを使って PCB へ接続する必要があります。これにより、固有インダクタンスの他にコンデンサに直列に寄生インダクタンスが加わります。また、ステッチング・コンデンサが局所化されて、コンデンサに電流が流れるので、非対称なイメージ電荷パスが発生してノイズが増加します。これらのディスクリート・コンデンサは、200 MHz までの周波数に対して有効です。200 MHz 以上では、容量を PCB 層に組込むと非常に効果的です。

容量のPCB層への組込み

PCB 自体はステッチング・コンデンサ構造を形成するように複数の方法でデザインすることができます。PCB 内で 2 枚のプレーンを重ねるとコンデンサが形成されます。このタイプのコンデンサには、形成される並行プレート・コンデンサのインダクタンスが極めて小さく、容量が比較的広い面積に分布しているという非常に便利な特徴があります。

これらの構造は、PCB の内部層に形成する必要があります。表面層では沿面距離条件と空間距離条件が小さくなるため、このタイプの構造に表面層を使うことは実用的ではありません。

表 1.安全コンデンサ

Safety Rating	Working Voltage Rating (VAC)	Isolation Voltage Rating (VAC)	Package Type/Size	Value (pF)	Manufacturer	Part No.
X1/Y2	250	1500	SMT/1808	150	Johanson Dielectrics	502R29W151KV3E-SC
X1/Y2	250	2000	Radial/5 mm	150	Murata	DE2B3KY151KA2BM01
X1/Y2	300	2600	Radial/7.5 mm	150	Vishay	VY2151K29Y5SS63V7

ステッチング・コンデンサの重複

優れたステッチング容量を実現するシンプルな方法は、リファレンス・プレーンを一次側と二次側から PCB 表面上の沿面距離として使用される領域まで延ばすことです。

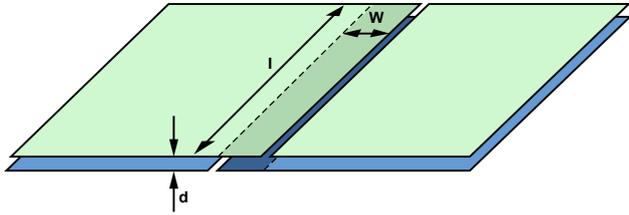


図 7. 重複プレーン・ステッチング容量

図 7 に示す構造の容量結合は、並行プレート・コンデンサの次の基本関係式を使って計算されます。

$$C = \frac{A\varepsilon}{d}、\text{かつ } \varepsilon = \varepsilon_0 \times \varepsilon_r$$

ここで、

Cは合計ステッチング容量。

Aはステッチング容量の重複部分の面積。

ε_0 は自由空間の誘電率 8.854×10^{-12} F/m。

ε_r は PCB 絶縁材料の比誘電率で、FR4 の場合約 4.5(表 2 参照)。

$$C = \frac{lw\varepsilon}{d} \tag{1}$$

ここで、

w、d、lは一次と二次のリファレンス・プレーンの重複部分の寸法(図 7 参照)。

この構造の主な利点は、アイソレータの真下の、沿面距離と空間距離を確保するため上と下の層を分離する間隙内に容量が形成されることです。このボード領域は大部分のデザインでは使用されません。また、形成される単位面積あたりの容量は、フローティング・プレーンに比べて 2 倍です。

このアーキテクチャでは、結合点は 1 箇所だけで、一次と二次のリファレンス・プレーン間の層数は FR4 の 1 層だけです。これは、基本的な絶縁だけがが必要な小型ボードに適しています。

表 2. 電気的特性

Type	Dielectric Constant at 1 MHz	Dielectric Strength (V/mil)
FR4	4.5	1000 to 1500
GETEK	3.6 to 4.2	1000 to 1200
BT-Epoxy	4.0	750

フローティング・ステッチング・コンデンサ

もう 1 つのオプションは、ボードの内部層でフローティング金属構造を使って、一次と二次の電源プレーンを接続することです。このアプリケーション・ノートではグラウンド用または電源用のプレーンをリファレンス・プレーンと呼んでいることに注意してください。両プレーンは、AC ノイズの面では同じ働きをするため、ステッチング容量に対しては同じ扱いができるためです。

フローティング・ステッチング容量の例を図 8 に示します。リファレンス・プレーンは青と緑で示し、フローティング結合プレーンは黄で示します。この構造の容量には、構造の非重複部分でつながれた 2 つの容量領域(濃い色で表示)があります。結合プレーン上に DC 電圧が蓄積されないようにするため、一次と二次の面積をほぼ等しくする必要があります。

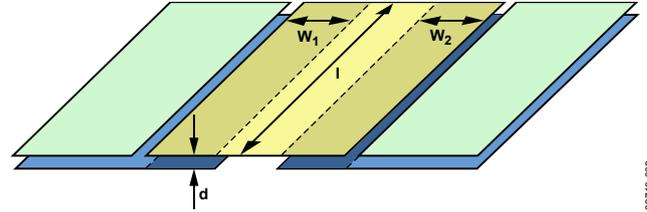


図 8. フローティング・ステッチング容量

図 8 に示す構造の容量結合は、並行プレート・コンデンサの次の基本関係式を使って計算されます。

$$C_x = \frac{A_x\varepsilon}{d}、\varepsilon = \varepsilon_0 \times \varepsilon_r、C = \frac{c_1 \times c_2}{c_1 + c_2}$$

ここで、

Cは合計ステッチング容量。

Aはステッチング容量の重複部分の面積。

ε_0 は自由空間の誘電率 8.854×10^{-12} F/m。

ε_r は PCB 絶縁材料の比誘電率で、FR4 の場合約 4.5(表 2 参照)。

$$C = \frac{l\varepsilon}{d} \times \left(\frac{w_1 \times w_2}{w_1 + w_2} \right) \tag{2}$$

ここで、w、d、lは一次と二次のリファレンス・プレーンの重複部分の寸法。一次と二次のリファレンス・プレーンを図 8 に示します。

w₁ = w₂ の場合、式は次のように簡素化されます。

$$C = \frac{lw_1\varepsilon}{2d} \tag{3}$$

実際のアプリケーションでは、この構造に利点と欠点があります。主な利点は、一次と二次に 1 つずつ 2 つのアイソレーション間隙があることです。これらの間隙は結合点と呼ばれ、FR4 層間の結合によりアイソレーションを提供します。

また、PCB 材料の厚さ方向に 2 つの直列パスがあります。これらの間隙と厚さの存在は、幾つかのアイソレーション規格のもとでアイソレーション障壁を強化する際に利点となります。このタイプの構造の欠点は、アクティブ回路領域の下に容量が形成されるため、貫通や間隙を跨ぐパターンがあることです。また、式 3 は直列な 2 個のコンデンサから得られる正味容量が、同じ PCB 面積で 1 個のコンデンサを実現した場合の 1/2 になってしまうことを示しています。このため、この技術は単位面積あたりの容量の点では効率が劣ります。全体としては、ボード面積が十分あるアプリケーションか、または絶縁の強化が必要な場合に適しています。

エッジ・ガード

電源プレーンとグラウンド・プレーン上のノイズで回路ボードのエッジに到達する成分は、図 2 と 図 3 に示すように放射されます。エッジをシールド構造で処理すると、ノイズはプレーン内部に反射されて戻されます (参考資料 のセクションに示す「Minimizing EMI Caused by Radially Propagating Waves Inside High Speed Digital Logic PCBs」参照)。これによりプレーン上の電圧ノイズが大きくなりますが、エッジ放射は減ります。

PCBの伝導性エッジ処理は可能ですが、高価です。安価なソリューションは、ボードのエッジをビアと組み合わせたガード・リング構造で処理する方法です。代表的な 4 層ボードでのこの構造を図 9 に示します。図 10 に、回路ボードの一次側の電源層とグラウンド層にこの構造を実現する方法を示します。

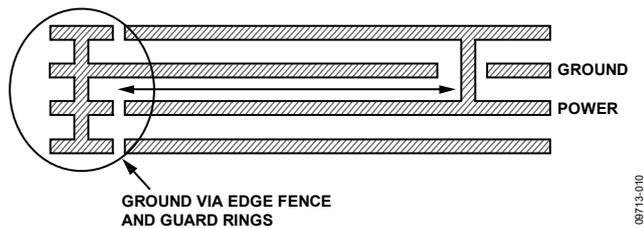


図 9.ビア・フェンス構造、側面図

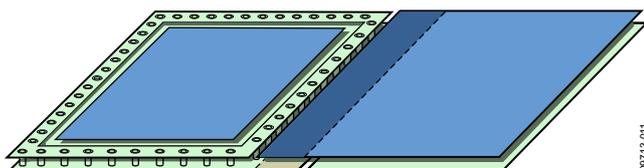


図 10.ビア・フェンスとガード・リング、一次電源プレーン層上に表示

エッジ・ガードの形成には 2 つの目的があります。1 つ目は、ビアからの円筒形放射を反射させてプレーン間空隙内に戻し、エッジから逃げないようにすることです。2 つ目は、ノイズまたはパターンを流れる大きな電流から発生する、内部プレーン上のエッジ電流をシールドすることです。

エッジ・ガードを形成するために使用するビアの間隔の決定は、大規模なモデルなしでは困難です。アナログ・デバイゼスのテスト・ボードでは、評価ボードに 4 mm のビア間隔を使用しています。この間隔は、18 GHz 以下の信号を減衰させるため十分小さくなっています。

プレーン間容量

プレーン間容量によるバイパスは、高周波でのバイパス・インテグリティを向上させることにより、ボードの伝導ノイズと放射ノイズを小さくするための技術です。これには 2 つの利点があります。1 つ目は、グラウンド・プレーンと電源プレーンの対の中で高周波ノイズが広がる距離を短くすることです。2 つ目は、300 MHz~1 GHz で効果的なバイパス容量を提供することにより、電源グラウンド・プレーンに混入する初期ノイズを削減することです (参考資料のセクションに示す「PCB Design for Real-World EMI Control」参照)。

電源とグラウンドのノイズ削減により、iCoupler アイソレータの近くにあるノイズに敏感な部品の動作環境が良くなります。電源とグラウンドのノイズ削減に比例して伝導ノイズと放射ノイズが削減されます。放射ノイズの削減はスティッチング技術またはエッジ・ガード技術の場合に比べて大きくはありませんが、ボードの電源環境を大幅に改善します。

EMI テスト・ボードで使用した積層構成は、信号—グラウンド—電源—信号です (図 11 参照)。薄いコア層が電源プレーンとグラウンド・プレーンに使用されました。これら密に構成されたプレーンがプレーン間容量層を提供し、アイソレータの動作に必要なとされるバイパス・コンデンサを補完しています。



図 11.プレーン間容量用の PCB 積層構成

グラウンド・プレーンと電源プレーンの他に、別のグラウンド層と電源層を信号層に追加することにより、容量をさらに大きくすることができます。図 11 の上と下の層は signal/power と signal/ground と表示して、これらの層の上に追加したことを表しています。これらの追加層により、ビア・フェンス構造のエッジ周囲から漏れる EMI に対するシールドを強化して、PCB 内部に閉じ込める利点が加わります。グラウンドと電源の層追加を行うときは注意が必要です。追加層もリファレンス・プレーンに接続する必要があります。これは追加層をフローティングにしておくと、シールドではなくパッチ・アンテナとして機能してしまうためです。追加層に対する推奨事項には次が含まれます。

- エッジに沿って 10 mm ごとにビアを使って追加層は該当するリファレンス・プレーンに接続する必要があります。
- 追加層の細い突出部はなくなります。
- 追加層の形が不規則である場合は、エッジ部分にビアを使用します。

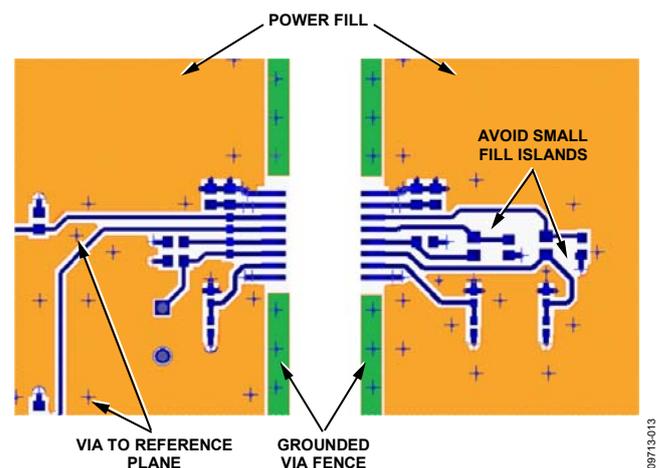


図 12.Features of 追加層

プレーン間容量の効果を 図 13 に示します。ADuM140x シリール・デバイスのエンコーダ・パルスから V_{DD1} 電源に発生するノイズを示しています。上の部分で、2 層ボードで発生する V_{DD1} ピンのノイズが約 0.17 V p-p であること示しています。

下の部分に、グラウンド・プレーンと電源プレーンが 0.1 mm のコア間隔で分離されている PCB で、ノイズが 0.03 V p-p へ大幅に改善されていることを示します。この図は、グラウンド・プレーンと電源プレーンの間隔が小さくなると、電源ノイズが大幅に改善されることを示しています。

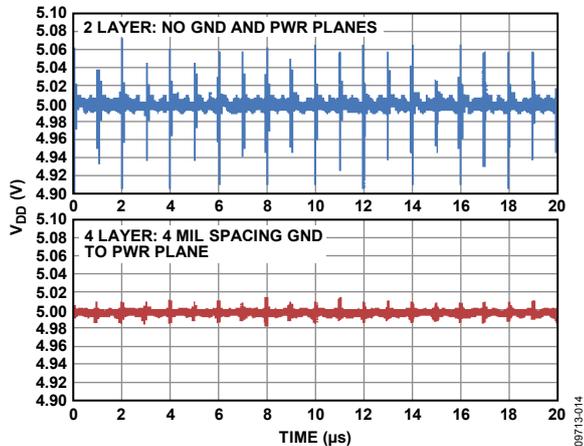


図 13.様々な PCB レイアウトでの V_{DD} 電圧ノイズ

3.3 V 動作

多くの iCoupler 製品は、3.3 V の入力電源と出力電源で動作することができます。低い電圧で動作させると、ノイズの発生と放射が少なくなります。図 14～図 17 に、4 チャンネル ADuM1402 を使用した標準 4 層評価ボードを 5 V 電源の代わりに 3.3 V 電源で動作させた場合、放射が少なくなる様子を示します。

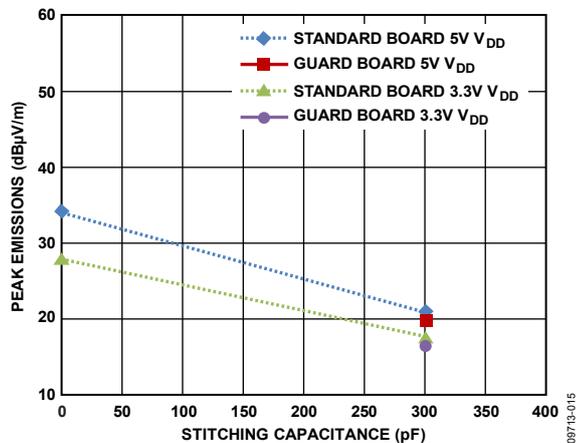


図 14.ステッチング容量とガード・オプションに対するピーク放出、周波数 30 MHz～230 MHz、1 Mbps レート

図 14～図 17 には、一次側と二次側でステッチング容量とガード・オプションの大きさが異なる様々な 4 層評価ボードに対する放射も示してあります。これらの図のデータを ボード例のセクションの表 4～表 7 に対して使用して、CISPR 22 クラス B 放出規格を満たすように放射を削減するレイアウト技術の適用方法を示します。

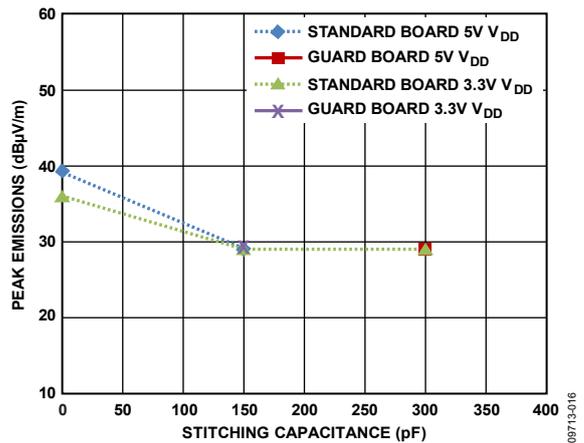


図 15.ステッチング容量とガード・オプションに対するピーク放出、周波数 230 MHz～1,000 MHz、1 Mbps レート

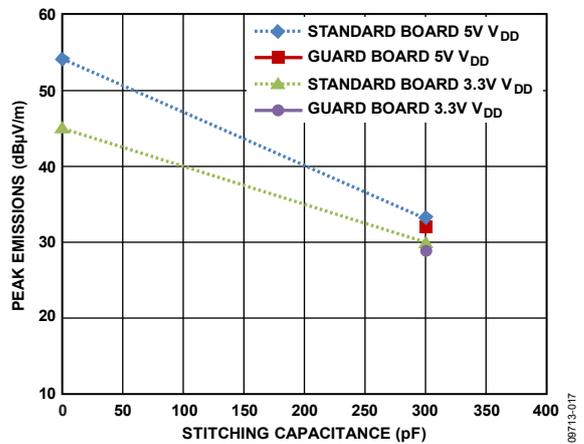


図 16.ステッチング容量とガード・オプションに対するピーク放出、周波数 30 MHz～230 MHz、10 Mbps レート

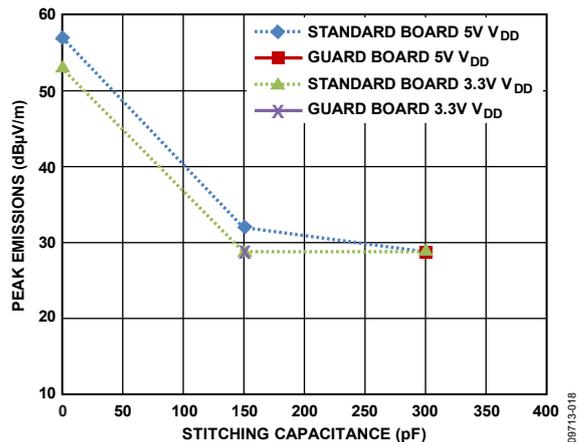


図 17.ステッチング容量とガード・オプションに対するピーク放出、周波数 230 MHz～1,000 MHz、10 Mbps レート

推奨デザイン方法

次の一般的なデザイン方法を考慮してください。

- 4層の最小積層を使用します。
- GND層とV_{DD}層をできるだけ近づけて、バイパス容量値を大きくします。
- 電源パス内のすべてのビアをできるだけ大きくする。小さいビアは大きなインダクタンスを持つためノイズを発生します。ビア・インダクタンスの削減では、複数の小さいビアの使用は、大きいビアを1個使うほど効果的ではありません。これは、複数パスがあっても最寄りのビアを大きな電流が流れてしまうためです。
- 1枚のリファレンス・プレーンに対して信号ラインを注意深く配線してください。イメージ電荷が別のプレーンの元の信号に追いつくために、遠まわりしなくて済むようにイメージ電荷パスを維持することが不可欠です。
- PCBのエッジ近くに高速ラインを配置しないようにします。
- データまたは電源をボード外で配線します。特にケーブルを使用すると、さらに放射の問題が導入されます。貫通型フィルタ・コンデンサまたは同様のフィルタ構造を使用すると、ケーブル放射を少なくすることができます。

アイソレーション規格の満足

ステッチング・コンデンサを除いて、このアプリケーション・ノートで説明した大部分の技術は、ボード・アイソレーションには影響を与えません。ステッチングを安全コンデンサで実現する場合、コンデンサには定格の動作電圧と過渡電圧、さらに規定の沿面距離と空間距離があります。このため、認定を受ける点では安全コンデンサの扱いは比較的容易ですが、EMI抑圧素子としての性能は限られています。

PCBステッチング・コンデンサは、導体が互いに近くに配置されている場合、それ自体の性質から最も効果的です。これらの素子の最大性能を得るためには、内部間隔条件をできるだけ大きくして、安全性を確保する必要があります。内部間隔の規定値は、システムを構築する規格に大きく依存します。規格が異なると、PCBの構成で全く異なる方法を採用することができます。

認定機関は、多層PCBの表面層を内部層とは異なる扱いにしています。表面には、空気のイオン化と汚れた表面での電圧ブレイクダウンから導出された沿面距離条件と空間距離条件があります。

表 3. アイソレーション規格間のアイソレーション沿面距離の比較

Type of Insulation	IEC 60950		IEC 61010 2nd Edition		IEC 61010 3rd Edition		IEC 60601
	Through insulation (2.10.6.4)	Along a cemented joint (2.10.6.3)	Through insulation (6.7.2.2.3)	Along a cemented joint (6.7.2.2.3)	Through insulation (6.7)	Along a cemented joint (6.7)	Cemented and solid insulation
Functional Insulation	No requirement	No requirement	No requirement	No requirement	0.4 mm minimum	0.4 mm minimum	Verified by test
Basic Insulation	No requirement	No requirement	No requirement	No requirement	0.4 mm minimum	0.4 mm minimum	Verified by test
Supplemental/R einforced insulation	0.4 mm minimum or multiple layers of insulation, precurd	0.4 mm min (2.10.5.2)	No requirement	No requirement	0.4 mm minimum or multiple layers of insulation, precurd	0.4 mm minimum	Verified by test

内部層は、丈夫な絶縁または丈夫な絶縁間の恒久的な結合点として扱います。

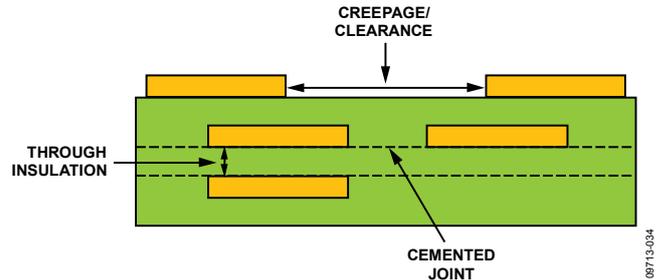


図 18. PCB デザインで重要な寸法

PCB絶縁では、過渡テスト条件に合格する十分な絶縁ブレイクダウンを持つ材料であること、およびこれらが時間経過とともに絶縁が破壊されない方法で構成されていることが認定機関にとって重要です。表 3 に、4つの規格の比較を示します。各々には、PCB内部で基本絶縁障壁または強化した絶縁障壁を設けるために必要とされる事項に対して異なるソリューションがあります。

PCBのIEC 60950規格の場合、機能的または基本的絶縁規格に対して絶縁距離の最小規定値がありません。このため、デザインではボード・レイアウトに大きな柔軟性があります。FR4のような材料は、製品寿命に対して要求される過電圧に耐えるように十分な厚さを持つ必要があります。

絶縁の強化が必要な場合、内部PCB層上での銅構造間のような、接着面に沿う0.4mm(約16ミル)の絶縁最小距離または層相互間の絶縁を直接通過する距離を、多くの場合維持する必要があります。さらに、アクティブ構造の間で複数の絶縁層を使用しないかぎり、回路ボードに対してタイプ・テスト条件があることもあります。この要求により注意深いボード・デザインと4層以上が必要になりますが、デザインの開始時に考慮しておけば、負担にはなりません。

アイソレーション障壁を跨ぐ容量結合により、1つのグラウンド・プレーンから別のプレーンへのACリークと過渡電圧の混入が発生します。300pFは小さく見えますが、それでも高電圧高速の過渡電圧により、この容量を経由して大きな電流が障壁を超えて混入します。アプリケーションでこれらの環境に遭遇する場合には、このことを考慮しておく必要があります。

ボード例

PCB 構造と技術の組み合わせを選択すると、シャーシ・シールドを使わなくともシステムの放射 EMI 目標を実現することができます。この例では、CISPR 22 クラス B 認定済みの ADuM140x を採用したシステムを選択しました。

この例の開始点は、グラウンド・プレーンと電源プレーンを内側層に持つ 4 層 PCB です。EMI のすべての削減は、放出とこの 4 層ボードからのノイズを基準としています。CISPR 22 クラス B 規格を選択した理由は、2 つの周波数範囲のみが関係していますが、FCC クラス B は図 19 のようにも使用できるためです。CISPR 22 クラス B (緑) を満たすためには、30 MHz ~ 230 MHz の周波数範囲の放出は 30 dB μ V/m 以下で、かつ 230 MHz ~ 1000 MHz の周波数範囲の放出は 37 dB μ V/m 以下である必要があります(10 m アンテナ距離で正規化)。これらの放出レベルを実現するため、幾つかの EMI 削減技術を採用することができます。

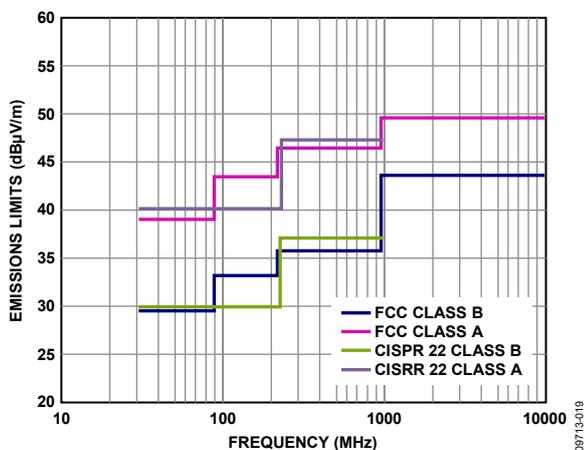


図 19. CISPR 22 と FCC の規定値
10 m アンテナ距離に正規化

最初の例では、ステッチング容量を使用しない標準 PCB ボードを使用して、1 Mbps の入力信号周波数の 4 チャンネルで CISPR 22 クラス B を満たしています。表 4 に示すように、ADuM1402 は 4 チャンネルに対して 1 Mbps データ・レートでテストされました。基準として使用された 4 層ボードは、3.3 V の V_{DD} 電源で CISPR 22 クラス B 放出を満たします。5 V の V_{DD} 電源で、1 Mbps データ・レートの場合、ADuM1402 は CISPR 22 クラス A を満たしますが、CISPR 22 クラス B 規定値を 30 MHz ~ 230 MHz の範囲で 4 dB μ V/m だけ上回り、230 MHz ~ 1000 MHz の範囲ではクラス B を 2 dB μ V/m だけ上回ります。

放出を削減して 4 データ・チャンネルの場合に 1 Mbps で CISPR 22 クラス B の規定値を満たすために、種々のボード・レイアウト技術と ADuM1402 を使ってデータを取得しました。表 5 にこの結果を示します。VDD = 5 V と 1 Mbps でのデータは、CISPR 22 クラス B 規定値を満たすために必要な削減が 2 dB ~ 4 dB と小さいため、150 pF ステッチング容量を追加して放出を 5 dB ~ 10 dB 削減すると、クラス B の放出規定値を満たす以上のことができることを示しています。

表 4. CISPR 22 クラス A とクラス B の放出規定値、標準 4 層 PCB、4 チャンネル、1 Mbps

Requirements	3.3 V V_{DD} , 30 MHz to 230 MHz	3.3 V V_{DD} , 230 MHz to 1000 MHz	5 V V_{DD} , 30 MHz to 230 MHz	5 V V_{DD} , 230 MHz to 1000 MHz
4-Layer PCB Emissions	28 dB	36 dB	34 dB	39 dB
CISPR 22 Class A Limit	40 dB	47 dB	40 dB	47 dB
CISPR 22 Class B Limit	30 dB	37 dB	30 dB	37 dB
Required EMI Reduction to Meet CISPR 22 Class B	0 dB	0 dB	4 dB	2 dB

表 5. 放出削減技術、4 層 PCB、ステッチング容量を追加、4 チャンネル、1 Mbps

Techniques	3.3 V V_{DD} , 30 MHz to 230 MHz	3.3 V V_{DD} , 230 MHz to 1000 MHz	5 V V_{DD} , 30 MHz to 230 MHz	5 V V_{DD} , 230 MHz to 1000 MHz
Add 150 pF Stitching Capacitance	-5 dB	-7 dB	-7 dB	-10 dB
Add Another 150 pF Stitching Capacitance	-5 dB	0 dB	-6 dB	0 dB
Add Fence and Guard Rings	-1 dB	0 dB	-1 dB	0 dB
Available EMI Reduction	-11 dB	-7 dB	-14 dB	-10 dB

表 6. CISPR 22 クラス A とクラス B の放出規定値、標準 4 層 PCB、4 チャンネル、10 Mbps

Requirements	3.3 V V _{DD} , 30 MHz to 230 MHz	3.3 V V _{DD} , 230 MHz to 1000 MHz	5 V V _{DD} , 30 MHz to 230 MHz	5 V V _{DD} , 230 MHz to 1000 MHz
4-Layer PCB Emissions	45 dB	53 dB	54 dB	57 dB
CISPR 22 Class A Limits	40 dB	47 dB	40 dB	47 dB
CISPR 22 Class B Limits	30 dB	37 dB	30 dB	37 dB
Required EMI Reduction to Meet CISPR 22 Class B	15 dB	16 dB	24 dB	20 dB

表 7. 放出削減技術、4 層 PCB、ステッチング容量を追加、4 チャンネル、10 Mbps

Techniques	3.3 V V _{DD} , 30 MHz to 230 MHz	3.3 V V _{DD} , 230 MHz to 1000 MHz	5 V V _{DD} , 30 MHz to 230 MHz	5 V V _{DD} , 230 MHz to 1000 MHz
Add 150 pF Stitching Capacitance	-8 dB	-24 dB	-11 dB	-25 dB
Add another 150 pF Stitching Capacitance	-7 dB	0 dB	-10 dB	-3 dB
Add Fence and Guard Rings	-1 dB	0 dB	-1 dB	0 dB
Available EMI Reduction	-16 dB	-24 dB	-22 dB	-28 dB

2 つ目の例では、4 チャンネルの 10 Mbps 入力信号周波数で CISPR 22 クラス B を満たします。表 6 に示すように、ステッチング容量なしの標準 4 層 ADuM1402 評価ボードを高いデータ・レート 10 Mbps で 4 チャンネルに対してテストしました。結果は、標準レイアウトでは CISPR 22 クラス A またはクラス B の放出を満たさないことを示しました。ステッチング容量を使い、さらに電源電圧を 3.3 V へ下げると、放出レベルの削減に役立ちます。

これらの EMI 削減技術を使用した結果を表 7 に示します。放射の対応する削減量も示してあります。V_{DD} = 3.3 V ですべての技術を使うと、この削減により CISPR 22 クラス B を満たします。V_{DD} = 5 V ですべての技術を使うと、CISPR 22 クラス A を満たしますが、まだ 30 MHz ~ 230 MHz で 2 dB μ V/m だけ上回ります。10 Mbps の 4 チャンネルで CISPR 22 クラス B 規定値を満たすためには、100 pF のステッチング容量を追加して図 16 の青線 (標準ボード、5 V) を 400 pF まで延ばして、さらに 5 dB μ V/m ~ 6 dB μ V/m の放出削減を行う必要があります。

放出は、トランスミッタ側グラウンド・プレーンのサイズとグラウンド・プレーンと電源プレーンとの間の間隔に依存します。トランスミッタ側プレーン間容量の面積を可能な限り大きくすることが推奨されます。ボード・エッジまでの距離が大きいほど、およびグラウンド・プレーンと電源プレーンとの間隔が小さいほど、EMI が制限されます。トランスミッタ側グラウンド・プレーンが小さい場合、ピア・フェンスとプレーン間容量を使用すると、放出の削減に役立ちます。

クラス A の許容放出レベルはクラス B より約 10 dB 高くなっています。このため、EMI 軽減技術を選択する際の柔軟性が増えます。このボード例では、ステッチング容量を増やすだけでクラス A レベルを満たすことができます。

PCB 関連技術を図 20 に示します。下層構造を見易くするためにいくつかの構造を省略した断面図です。図 20 には、ステッチング容量と一次側ヘンスの実現方法が分かり易く示してあります。

プレーン間容量によるバイパスは示してありません。この構造を図で表示するのが難しいためです。

図に示すように、ステッチング・コンデンサは電源と層を共用しています。これは的確で小型なソリューションですが、電源プレーンを分割するためコンデンサ形成用の面積が限られてしまいます。面積が不十分でこのプレーンに十分大きなコンデンサを形成できない場合は、ステッチング構造をそれ自体のボード・プレーンへ移動するか、または信号プレーンと共用することができます。信号プレーンを使用する場合、ステッチング構造内に離島ができないように注意する必要があります。ステッチング構造は常に iCoupler アイソレータの近くに配置し、可能な場合にはステッチング構造を形成するプレーンには無関係に、間隙を埋める必要があります。

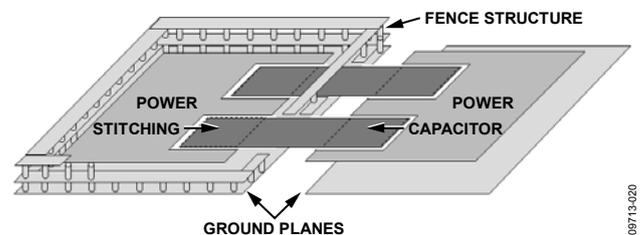


図 20. 容量ステッチング技術とピア・フェンス技術

ADuM140x 評価ボードに形成された PCB 構造については、アペンディックス A—PCB 例のセクションを参照してください。このアペンディックスには、このセクションで説明した構造と、結合容量とバイパス容量の使用値が記載してあります。

間隙を持つボード・レイアウトの結果

入力—出力間ステッチング・レイアウトを採用するいくつかのアプリケーションで生ずる問題は、アプリケーションで PCB 規格を満たすために PCB 層内でプレーン間の間隔を広くすることが要求されたときのステッチング容量の性能です。このため、ステッチング容量の形成に使用したグラウンドと電源の内部層内に広い空白領域が必要になります。

これをテストするため、エミッション・チェンバ測定を実施しました。このテストでは、内側プレーン内に標準 0.4 mm の間隔を持つ 4 層ボードと、内部 GND 層と V_{DD} 層との間に 4 mm の間隔を持つ 4 層ボードとを比較しました(図 21、図 22、図 23 参照)。標準ボード、ガードとフェンスを追加した標準ボード、間隙を持つボード、ガードとフェンスを追加した間隙を持つボードの 4 種類のボードをテストしました。使用した間隙は 4 mm ですが、大部分のアプリケーションでは間隙はこれより小さくなります。テスト結果を図 24 と図 25 にまとめます。この結果から、標準ボードと間隙を持つボードとの差は 1 dB 以下であるため、間隙を持つボード・レイアウトを使って放出を制御できることが判ります。ガード・ボードは、放出周波数範囲 30 MHz~230 MHz で標準ボードより約 2 dB 優れていることが判ります。これは、エッジ放出のセクションで説明したようにエッジ・ガードは 20h 効果の相殺に役立つため、エッジ・ガードにより間隙でのエッジ放出が改善されていることを示しています。

間隙を持つボードについては、レイアウト図と重複部領域内のビアと部品の間隔などを記載している アペンディックス A—PCB 例を参照してください。

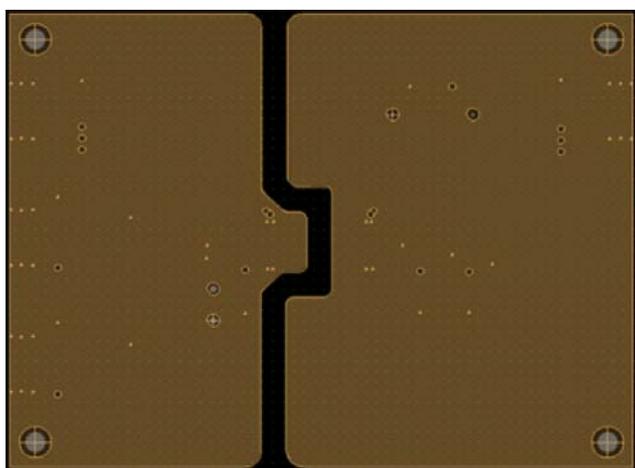


図 21. ADuM1xxx の 4 mm 間隙を持つボード・レイアウト GND 層 2 を表示

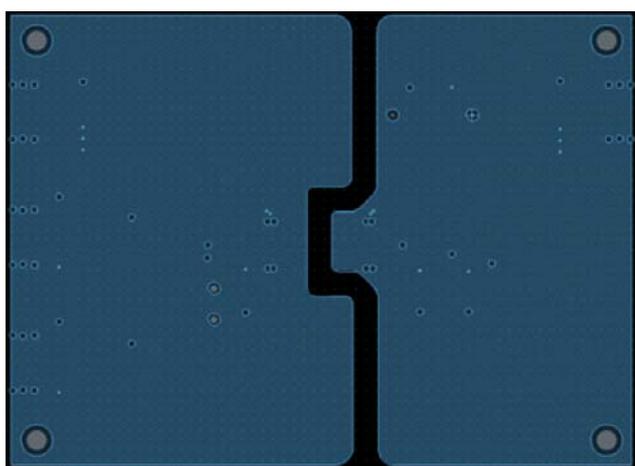


図 22. ADuM1xxx の 4 mm 間隙を持つボード・レイアウト V_{DD} 層 3 を表示

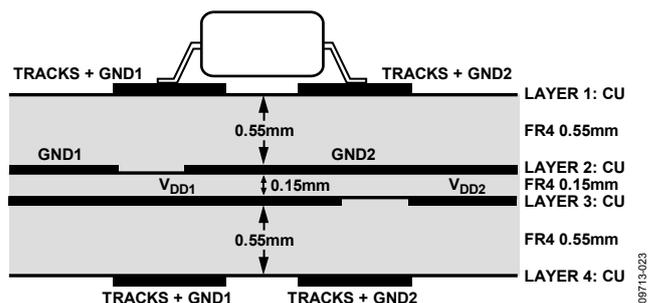


図 23. ADuM1xxx の間隙を持つボード・レイアウトの断面図 絶縁体厚 0.15 mm、GND 層 2 と V_{DD} 層 3 を表示

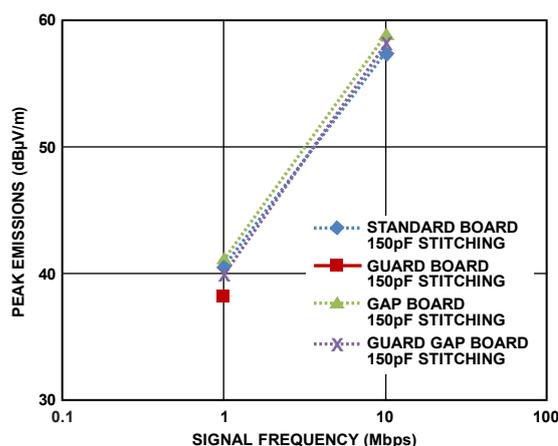


図 24. 間隙を持つボードのピーク放出比較 V_{DD} = 5 V、放出周波数範囲 30 MHz~230 MHz

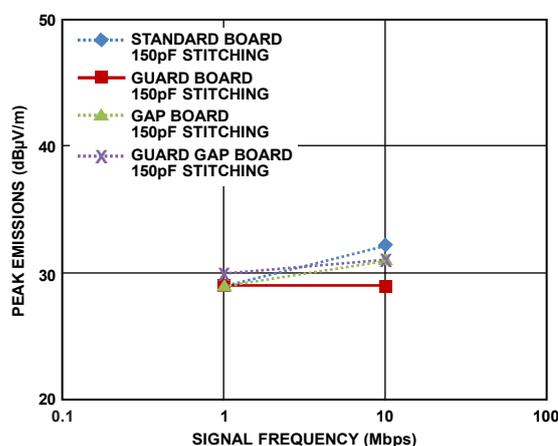


図 25. 間隙を持つボードのピーク放出比較 V_{DD} = 5 V、放出周波数範囲 230 MHz~1,000 MHz

結論

このアプリケーション・ノートで説明した方法は、特定の放射ソースに対処するもので、対応する放出で所望の削減を実現するためにここで説明した他の技術と組み合わせて使用することができます。テスト・ボードは、ステッチング・コンデンサとエッジ・フェンスを使用することにより外部シールドなしで、容易に CISPR 22 クラス B 規格を満たします。さらに、グラウンド・プレーンと電源プレーンに層間デカップリング容量を使用すると、高精度計測アプリケーションに対してノイズの非常に少ない環境を提供することができます。

このアプリケーション・ノートは、4 チャンネル ADuM140x デバイスを使って取得したデータに依存していますが、この技術は他の *iCoupler* データ・アイソレータにも適用することができます。絶縁型電源製品を内蔵する isoPower での EMI 除去の詳細については、[AN-0971](#) アプリケーション・ノート「Control of Radiated Emissions With isoPower Devices」を参照してください。

医用アプリケーションのように低 AC リークが必要な場合、ステッチング容量は有効なソリューションにはならないと思われます。その他のアプリケーションでは、高ノイズ側から低ノイズ側へのステッチング容量によるノイズ混入の問題が生ずることがあります。この場合には、電源追加層とグラウンド追加層によるプレーン間容量バイパスとエッジ・ガードを使うと、伝導ノイズの削減に役立ちます。ステッチング容量を使用できなく、かつ他の技術が有効でないアプリケーションでは、金属シャーシ筐体の接地が放出の削減に最も実用的なソリューションになります。

アペンディックスA—PCB例

低ノイズ PCB の例

CISPR 22 クラス A 規定値を満たす標準評価ボード・レイアウトは既に示しました (さらにFCC クラス A 規定値は 図 19 に示してあります)。標準ボードと同様に、低ノイズ・ボードでは、信号、グラウンド、電源、信号から構成される層 1~層 4 の 4 層を使用します。グラウンド層と電源層の間隔は 0.1 mm で、これが層 2 と層 3 の間でプレーン間容量を形成して、内部トランスの駆動に使用される 1 ns 幅のパルスのバイパスに役立ちます。グラウンド層は実質的に、GND1 と GND2 との間隔が約 8 mm のダイポールを形成します。このダイポールが、高周波トランス・パルスによりグラウンドに発生する電源ノイズで駆動されて、RF 放出が発生します。

CISPR 22 クラス B 規定値を満たす低ノイズ評価ボード・レイアウトは既に示しました (さらにFCC クラス B 規定値は 図 19 に示してあります)。放出を削減するため低ノイズ評価ボードでは、放出をシールドし、かつ絶縁グラウンド・プレーン間に小さい高周波容量バイパスを提供するレイアウトを採用しています。ボード表面での沿面距離と空間距離の問題を回避するため、このステッチング容量は PCB の内部層に設けてあることに注意してください。低ノイズ評価ボードでは標準評価ボードと同じ 4 層を採用していますが、グラウンド・プレーンと電源プレーンとの間隔と位置が異なっています。図 27 に示すように、GND 層 2 の GND1 プレーンは ADuM140x の下の間隙をカバーするように広がっています。層 2 では、GND1 と GND2 との間隔は FR4 材料の 0.4 mm であり、表 2 に示すように、この間隔は 40 kV/mm (1000 V/mil) の絶縁強度を持つため、16 kV 以上のアイソレーションを提供します。グラウンド層と同様に V_{DD2} プレーンは ADuM140x の下まで広がり、V_{DD1} と V_{DD2} との間隙は FR4 材料で 0.4 mm になっていることを 図 28 に示します。

ステッチング容量は次式で計算することができます。

$$C = \epsilon_r \epsilon_0 \frac{A}{d}$$

ここで、

ϵ_r = 表 2 から 4.5。

$\epsilon_0 = 8.85 \times 10^{-12} \text{ Fm}^{-1}$ 、自由空間の誘電率。

A はステッチング容量の重複面積。

d はグラウンド・プレーンと電源プレーンとの間隔。

間隔 = $0.1 \times 10^{-3} \text{ m}$ 、面積 = $8 \text{ mm} \times 100 \text{ mm}$ (0.0008 m^2) の場合、容量は約 300 pF になります。障壁間容量が少なくとも 150 pF あると、放出の削減に効果があることが示されました (図 14 参照)。

アイソレーション電圧の制約要因は、層 2 と層 3 との間の FR4 絶縁体間隔 0.1 mm であり、この値は大部分のアプリケーションにとって十分な 4000 V アイソレーションを提供します。さらにアイソレーションの強化が必要な場合は、層 2 と層 3 との間の絶縁体を厚くして、絶縁体容量を直接削減することによりアイソレーションを大きくします。

次に、評価ボードの一次側のプレーン間容量を計算します。アプリケーション PCB の一次側でのグラウンド・プレーンと電源プレーンの相互接近により、この容量が形成されます。この例では、 56 cm^2 のグラウンド・プレーンと電源プレーンにより、2.2 nF の低インダクタンス・コンデンサが形成されます。このバイパスを利用するときは、デバイスのパッドと電源プレーンとの間のピア接続をできるだけ太くして、デバイスとプレーン間コンデンサとの間の寄生インダクタンスを小さくする必要があります。

$$C_{\text{INTERPLANE}} = \frac{A_{\text{PRIMARY}} (\epsilon_0 \times \epsilon_r)}{d}$$

$$C_{\text{INTERPLANE}} = \frac{5.6 \times 10^{-3} \text{ m}^2 (8.854 \times 10^{-12} \text{ F/m} \times 4.5)}{0.1 \times 10^{-3} \text{ m}}$$

$$C_{\text{INTERPLANE}} = 2.2 \text{ nF}$$

簡略化した低ノイズ PCB の回路図を 図 30 に示します。

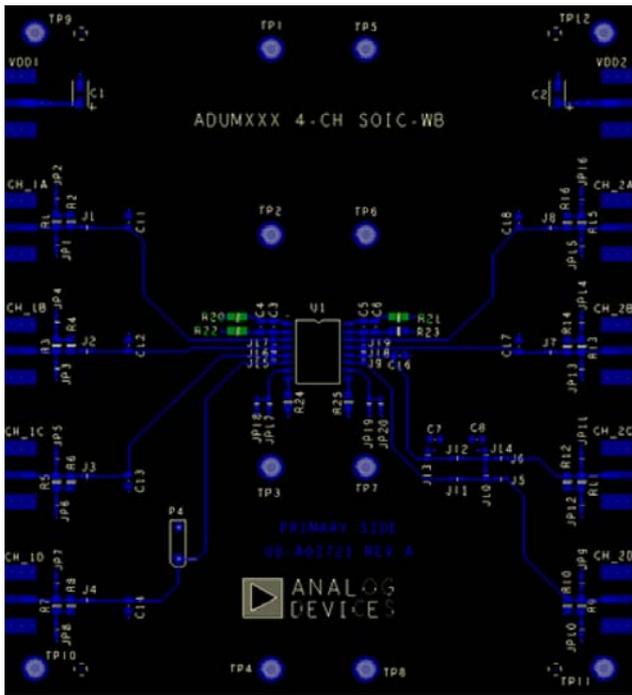


図 26.4 層低ノイズ PCB レイアウトの表面層 1

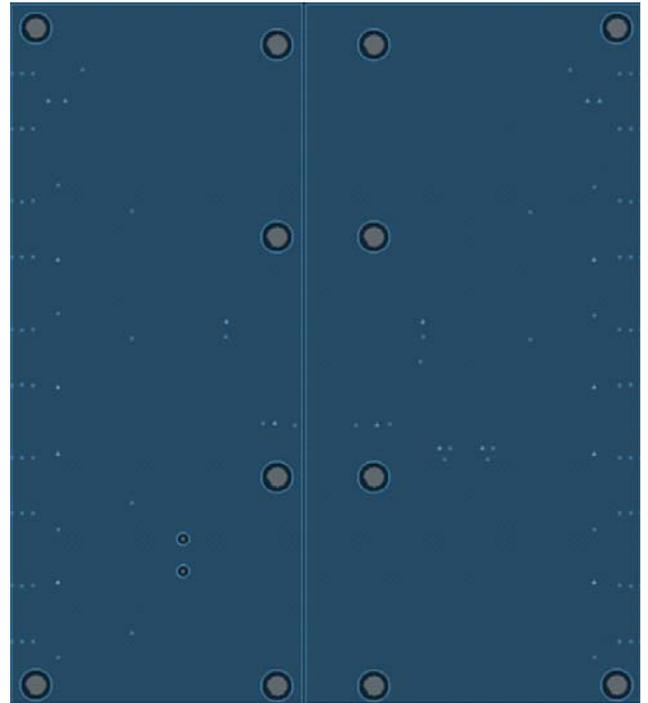


図 28.4 層低ノイズ PCB レイアウトの V_{DD} 層 3

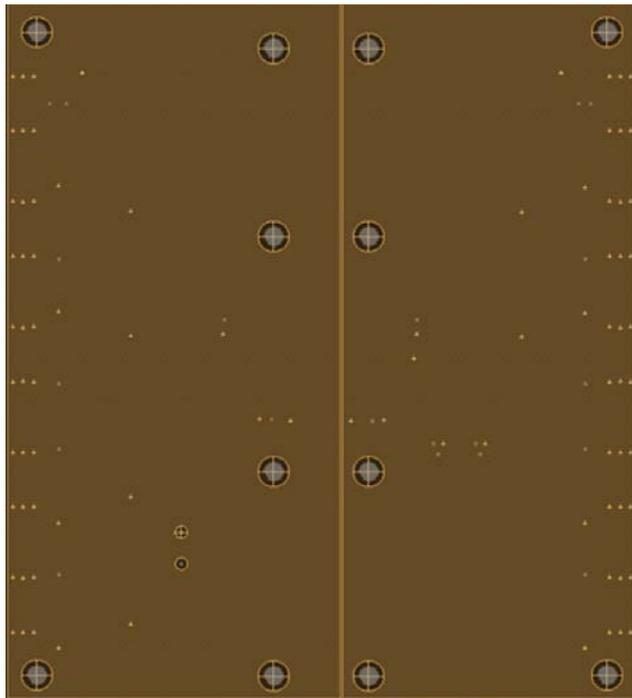


図 27.4 層低ノイズ PCB レイアウトの GND 層 2

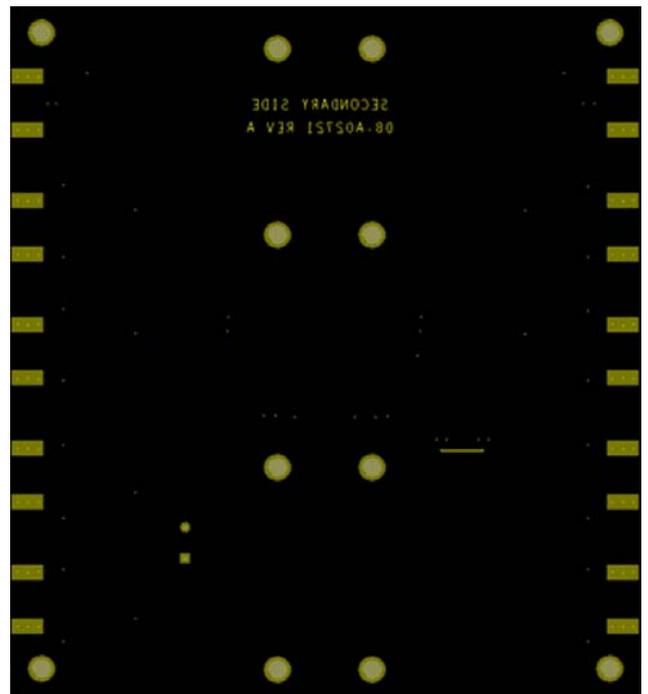


図 29.4 層低ノイズ PCB レイアウトの底面層 4

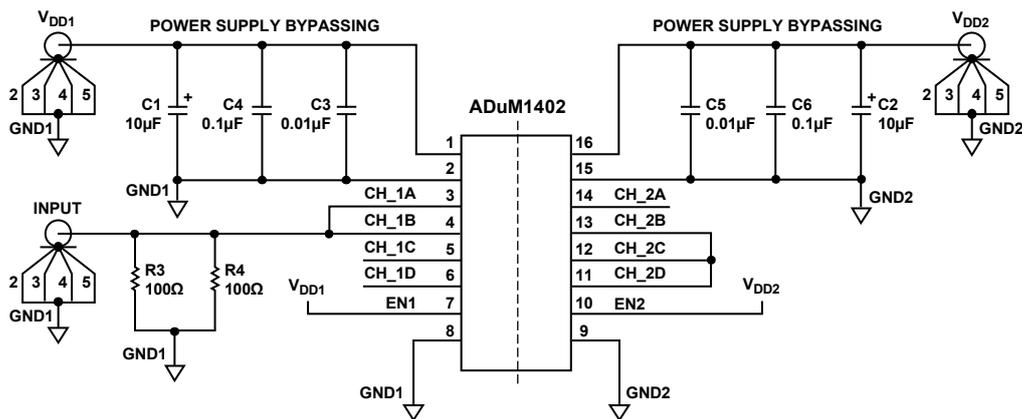


図 30.簡略化した低ノイズ PC ボードの回路図

間隙を持つ PCB の例

間隙を持つボード・レイアウトの結果のセクションで説明したように、アプリケーション内でPCB規格を満たすためにPCB層内部でプレーン間隔を広げる必要がある場合には、広い間隙を持つレイアウトが必要になります。このため、ステッチング容量の形成に使用したグラウンド層と電源層の内部層内に広い空白領域が必要になります。150 pF の重複部容量を使用し、V_{DD} 層 3 で 4 mm の間隙を持つ推奨レイアウトでは、ボード面積を小さくするために使用される推奨FR4 絶縁体厚 0.15 mmを採用しています。この推奨レイアウトでは、適切なボード重複部面積を持つため、他の部品に使用できるスペースを残しています。

重複部容量と所要ボード面積は計算することができます。

150 pF の重複部容量に対して必要な面積に対する制約要因は、層 2 と 層 3 との間の FR4 絶縁体間隔です。絶縁体容量は次式で計算することができます。

$$C = \epsilon_r \epsilon_0 \frac{A}{d}$$

ここで、

$\epsilon_r = 4.5$ 、FR4 誘電率。

$\epsilon_0 = 8.854 \times 10^{-12} \text{ Fm}^{-1}$ 、自由空間の誘電率。

d はグラウンド・プレーンと電源プレーンとの間隔。

150 pF の重複部容量の場合、面積は、

$$A = \frac{150 \text{ pF}}{\epsilon_r \epsilon_0} d = 3.75 \times 10^3 \times d$$

ここで、

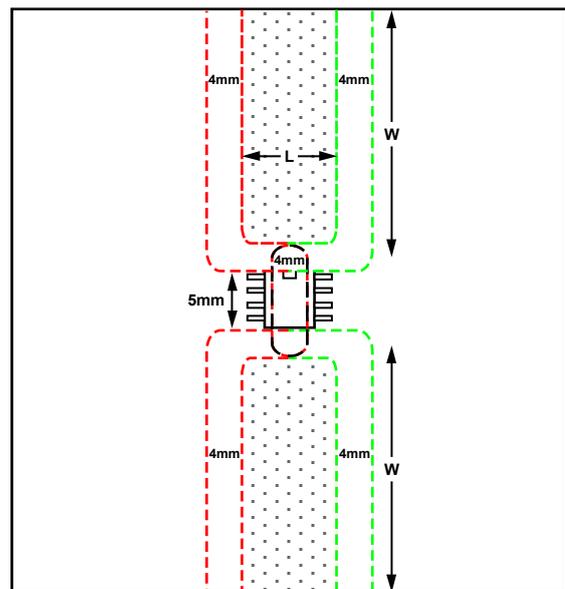
d は絶縁体厚 (mm)。

図 31 の場合、絶縁体厚は 0.15 mm、面積計算値は $A = 560 \text{ mm}^2$ です。

ボードの縦寸法は 2 つの 4 mm 空白領域とADuM1xxxへ接続する領域の分だけ小さくなり、削減された領域は幅Wの 2 つの領域に分割されます(図 31 参照)。

図 32 に、重複部領域で部品を配置できる サイド 1 と サイド 2 の場所を示します。重複部領域にはビアを配置することは推奨されません。ビアの周囲には空き領域が必要なためです。

重複部領域にビアを配置するPCレイアウトの場合、ビアの周囲に空白領域が必要です。重複部領域内のビアに対する空き領域の例については 図 33 を参照してください。ここで、 C = 空き領域 (間隙と同じ)。 r = ビアと空き領域の合計半径。



PC BOARD OVERLAP LAYOUT WITH V_{DD} TO GND
DIELECTRIC $d = 0.15 \text{ mm}$



図 31.ADuM1xxx のレイアウト
V_{DD}—GND 間絶縁体厚 0.15 mm

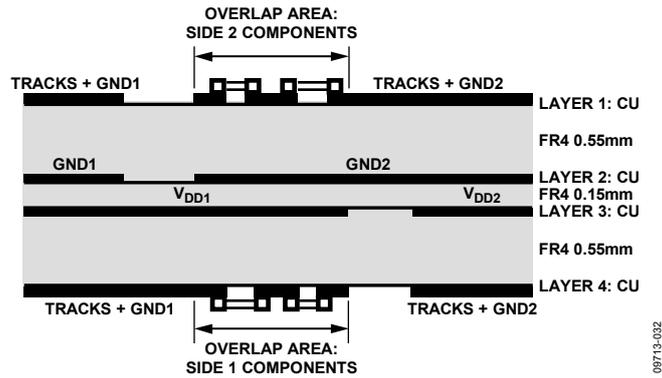


図 32. ADuM1xxx PCB の推奨レイアウトの断面図
 サイド 1 とサイド 2 の部品を重複部領域に配置
 V_{DD} —GND 間絶縁体厚 0.15 mm

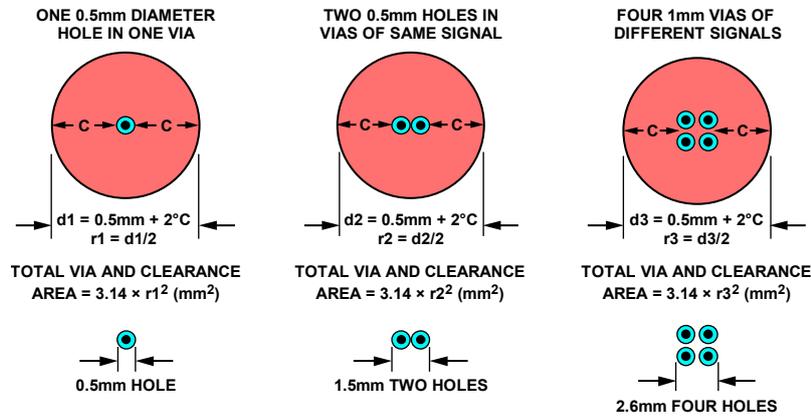


図 33. 重複部領域のビアに必要な空き領域

参考資料

Archambeault, Bruce R. and James Drewniak. 2002. *PCB Design for Real-World EMI Control*. Boston: Kluwer Academic Publishers.

Gisin, Franz and Zorica Pantic-Tanner. 2001. "Minimizing EMI Caused by Radially Propagating Waves Inside High Speed Digital Logic PCBs." *Telecommunications in Modern Satellite, Cable and Broadcasting Service*. Nis, Yugoslavia.