アナログ・デバイセズの DSP、プロセッサ、開発ツール用テクニカル・ノート
http://www.analog.com/jp/ee-notes 、 http://www.analog.com/jp/processors にはさまざまな情報を掲載しています。

SDRAM メモリと ADSP-21368/ADSP-2137x SHARC®プロセッサとのインターフェース

著者: Aseem Vasudev Prabhugaonkar、Jeyanthi Jegadeesan

Rev 4—2008 年 1 月 9 日

はじめに

ADSP-21367、ADSP-21368、ADSP-21369 (以後 ADSP-21368 プロセッサと呼びます)、ADSP-2137x の各プロセッサは、特に製品開発の簡素化、マーケット投入時間の短縮、さらにオーディオ/ビデオレシーバ (AVR)、業務用ミキシング・コンソール、デジタル・シンセサイザなどの多様なオーディオ・アプリケーションの製造コストの削減を目的にデザインされたハイエンドの第 3 世代 SHARC® プロセッサです。これらのプロセッサでは、種々の市販 SDRAM メモリに対するグルーレス・インターフェースを提供するため、組込型オーディオ・デザインで最もコスト/パフォーマンスの優れたメモリ技術を利用することができます。このため、リップシンクやディレイラインのような大量のオーディオ・データの保存に多くのメモリを必要とするアプリケーションのシステム全体のコストが削減されます。これらの SHARC プロセッサは、オーディオ製品メーカが検証/テスト済みの新しい高性能製品を迅速かつ低システム・コストでマーケットに投入するのを支援します。

この EE ノートでは、ADSP-21368 プロセッサと ADSP-2137x プロセッサの SDRAM インターフェースについて説明し、さらにこれらのプロセッサに内蔵されている SDRAM コントローラ (SDC)間の相違についても説明します。また、ADSP-21368 プロセッサでサポートする共用メモリ機能も説明します。次に、ADSP-2137x プロセッサの外部 SDRAM からの実行を説明します。コード例は、対応する.ZIP ファイルに用意してあります。

使用する SDRAM メモリは、 Micron Technology 社の MT48LC4M32B2 と MT48LC8M16A2 です。他の SDRAM メモリも同様に使用することが出来ます。

外部ポートとSDRAM コントローラ (SDC)

ADSP-21368 と ADSP-2137x の外部ポートでは、SRAM やフラッシュのような非同期メモリ・デバイス、さらに SDRAM のような同期メモリ・デバイスをサポートしています。これらのプロセッサは、専用のプログラマブルな SDRAM コントローラ (SDC)を内蔵しているため、さまざまな SDRAM メモリ・デバイスに対するグルーレス・インターフェースが可能です。ADSP-21368 プロセッサの外部ポートでは、内蔵バス調停プロトコルを使用して最大 4 個までのプロセッサとインターフェースする共用メモリ・インターフェースをサポートしています。ADSP-2137x プロセッサの外部ポートでは、外部メモリ・バンク 0 のみからのコード実行をサポートしています。

SDC は、x4、x8、x16、x32 構成の標準SDRAM (64Mビット、128Mビット、256Mビット、512Mビット)とのグルーレス・インターフェースをサポートしています。SDCは、4 バンクで最大 254 MワードのSDRAMをサポートすることができます。バンク 0 は最大 62 M ワードを、バンク 1、2、3 は各々最大 64 Mワードを、それぞれサポートすることができます。SDCには、プロセッサとSDRAMとの間にバッファを追加できるようにするタイミング・オプションがあります。この機能を使うと、プロセッサは大きなメモリ・アレイの容量負荷を処理できるようになります。プロセッサは、16 と 32 ビット幅のSDRAM デバイスをサポートします。表 1に、サポートしているSDRAM 構成を示します。

©2005 -2008, Analog Devices, Inc. All rights Reserved.

アナログ・デバイセズはお客様の製品設計、製品の使用、製品の応用、またはアナログ・デバイセズの協力に起因するいかなる種類の特許侵害に対しても責任を持ちません。すべての商標およびロゴ はその所有者に帰属します。アナログ・デバイセズのアプリケーションおよび開発ツール技術者が作成する情報の質と信頼性については厳密を期していますが、アナログ・デバイセズのすべての EE ノートの内容の技術的な品質に関しては何ら保証するものではありません。

SDC は、

- カラム・アドレス幅により設定可能なさまざまなページ・サイズをサポートします。
- 可変クロック周波数と SDRAM の所要リフレッシュ・レートとの間を調整するプログラマブルなリフレッシュ・カウンタを使用しています。
- ADSP-21368 プロセッサおよび ADSP-2137x プロセッサと SDRAM との間にバッファを追加できるようにする複数のタイミング・オプションを提供します。
- SDC が自動リフレッシュ・コマンドまたはセルフ・リフレッシュ・コマンドを発行する前に SDRAM をプリチャージできるようにするピン(SDA10)を使うと同時に、非同期メモリをアクセスするために他のチップの外部アドレス・ピンを AMI コントローラから使用することができます。
- セルフ・リフレッシュ・モードをサポートします。
- 2 種類の SDRAM パワーアップ・オプションを提供します。
- プロセッサ・コアからの 32 ビット・データ・アクセスをサポートします。
- DMA モードで SDRAM メモリ・アクセスをサポートします。
- DMA モードとコア・モードでは、SDCLK の 1 サイクルあたり 1 ワードの読み出し動作スループットを提供します。
- ダイレクト・コア・アクセスと DMA アクセスを使用した場合、SDCLK の 1 サイクルあたりそれぞれ 1 ワードおよび 2 ワードの書き込み動作スループットを提供します。

ADSP-21368 プロセッサの SDRAM コントローラは、シリコン・レビジョン 0.2 以降では最大 166 MHz で動作することができます。0.0 と 0.1 のシリコン・レビジョンでは、SDRAM コントローラは最大 133 MHz で動作することができます。ADSP-2137x プロセッサの SDRAM コントローラ(すべてのシリコン・レビジョン)は最大 133 MHz で動作します。

SDRAM Configuration						
Bank Width (Bits)	Bank Size (Mbits)	Column address width (Bits)	Page Size (Bytes)	Size (Mbits)	Width (Bits)	No of SDRAMs
32	64	10	1K	64	4	8
				128	8	4
32	64	9	512	256	16	2
16	64	11	2K	128	4	4
16	64	10	1K	256	8	2
				512	16	1

表1.サポートしている SDRAM 構成

ADSP-2137x プロセッサのSDC 機能

ADSP-2137x プロセッサの SDC は次の新機能を持っています。

- オプションのフル・ページ・バーストを使用します。SDCTL レジスタでオプションのフル・ページ・バーストを選択すると、SDC は読み出しと書き込みごとにバス上にアドレスを表示します。ただし、非 SDRAM アクセスがラッチされると、SDC はバースト・ストップ・コマンドを実行してフル・ページ・バースト・プロトコルを停止し、そのページはオープンしたままになります。
- SDRAM 内のマルチバンク動作をサポートします。この機能により、各バンクの 1 ページを何時でもオープンしたままにできるため、最大 4 ページの実効ページ・サイズが可能になります。異なる内部 SDRAM バンク間にオペコード/データを配置することにより、プリチャージ・サイクルとアクチベーション・サイクルを削減します。この動作は、外部バンク 0 と 1 でのみサポートしています。
- 外部バンク 0 からの命令実行をサポートします。
- 上記機能をサポートするために、ADSP-2137x プロセッサの SDC に次のコマンドが追加されました。
- マルチバンク・アクチベーション—別のバンクへのアクセスが発生すると、SDC は現在のページをオープンしたままにして、バンク・アクチベー

ト・コマンドを発行した後にそのバンクに対する読み出しまたは書き込みコマンドを実行します。マルチバンク動作と呼ばれるこの方法では、1 回に 1 バンクあたり 1 ページをオープンできるため、最大 4 ページになります。

- シングル・プリチャージ—特定の内部 SDRAM バンクでの読み出しまたは書き込み時のページ・ミスでは、SDC は 1 回のプリチャージ・コマンドでそのバンクを閉じることができます。その他の全内部バンクは変更されません。このコマンドは、バンク 0 と 1 に対してのみサポートされています。
- フル・ページ・バースト—SDCTL レジスタでオプションのフル・ページ・バーストを選択すると、SDC は読み出しと書き込みごとにバス上にアドレスを表示します。バースト動作をしない場合は、バーストの各スタート・アドレスが別のスタート・アドレスから割り込まれます。このモードは、非バースト・モードと同じです。
- バースト・ストップ–SDCTL レジスタでオプションのフル・ページ・バーストを選択すると、SDC は読み出しと書き込みごとにバス上にアドレスを表示します。ただし、非 SDRAM アクセスがラッチされると、フル・ページ・バースト・プロトコルを停止します。バースト・ストップ・コマンドを実行することにより、そのページをオープンしたままにします。

表 2に、ADSP-21368 プロセッサとADSP-2137x プロセッサのSDCの違いを示します。

ADSP-21368 SDC	ADSP-2137x SDC
バースト・モード (BL = 1) のサポートなし	オプションのフル・ページ・バースト・モードもサポート。
マルチバンク動作のサポートなし。1 ページのみを何時でもオープンにしたままにすることが可能。4 個の外部メモリ・バンクすべてを SDRAM に接続すると、実効ページ・サイズは最大 4 ページになります。	SDRAM 内のマルチバンク動作をサポートするため、各バンクの 1 ページを何時でもオープンのままにできるので、実効ページ・サイズは最大 4 ページになります。外部バンク 0 と 1 のみがマルチバンク動作をサポートします。 4 個の外部メモリ・バンクすべてを SDRAM に接続した場合、実効ページ・サイズは最大 10 ページになります。
データのみが外部 SDRAM に保存可能。	データとコードを外部 SDRAM に保存することができます。命令フェッチはバンク 0 からのみサポートしています。

表2.ADSP-21368 プロセッサと ADSP-2137x プロセッサとの間の SDC 機能の比較

ハードウェア・インターフェース

プロセッサは、16 と 32 ビットのSDRAM デバイスをサポートします。両ケースとも、内部アドレシングは 32 ビット・アドレシングです。内部アドレスと外部アドレス・ピンとの対応は、ロウ・アドレス幅、カラム・アドレス幅、 X16DE ビットの設定に依存します。プロセッサのADDR0 は、32 ビット SDRAM デバイスでは使用されません。32 ビット SDRAM デバイスでは、プロセッサのADDR1 をメモリ・デバイスのA0 に接続します。16 ビット SDRAM デバイスでは、プロセッサのADDR0 をメモリ・デバイスのA0 に接続します。プロセッサのSDA10 は SDRAMのA10 に接続します。図 1と 図 2に、それぞれ 32 ビット SDRAMデバイスと 16 ビット SDRAM デバイスに対するハードウェア・インターフェースを示します。詳細については、32 ビット SDRAM インターフェースを持つADSP-21369 EZ-KIT Lite® 評価システムの回路図を参照してください。16 ビット SDRAM インターフェースを持つADSP-21375 EZ-KIT Lite評価システムの回路図を参照してください。

プロセッサの SDC は、SDRAM の I/O イネーブル信号である SDRAM の DQM 信号をサポートしていません。書き込み動作の場合、対応する DQM 信号がロー・レベルのときデータがメモリへ書き込まれます。DQM 信号がハイ・レベルのとき、対応するデータ入力は無視されます。メモリ読み出し動作の場合、対応する DQM 信号がロー・レベルのとき、有効なデータがデータ・ラインへ出力されます。その他の場合は、データ・ラインはハイ・インピーダンス状態になります。ADSP-21368 プロセッサと ADSP-2137x プロセッサは DQM をサポートしないため、これらの信号をボードのデジタル・グラウンドに固定接続して、メモリの読み出しまたは書き込み動作に対してデータ I/O 信号をイネーブルしてください。

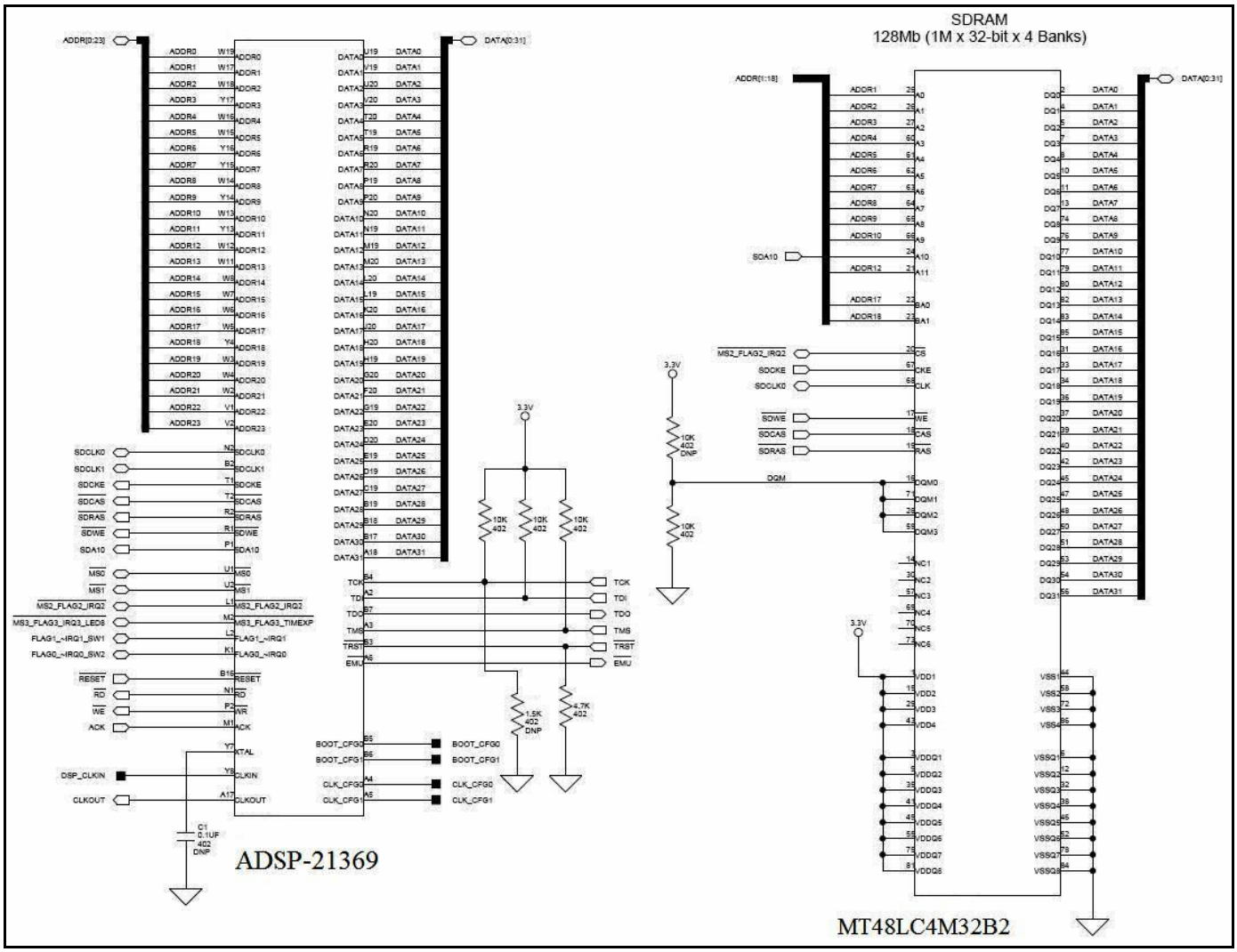

図1.アドレスの対応と 32 ビット SDRAM のその他の信号接続

SDRAM デバイスによっては、パワーアップ初期化時に DQM 信号をハイ・レベルにする必要があるものがあります(例えば Winbond Electronics 社の W9864G2GH-7 や Samsung Electronics 社の K4S643232H)。これらの SDRAM の場合、プロセッサの FLAG ピンを使用して、メモリのデータ・シートの記載に従ってパワーアップ時に SDRAM をハイ・レベルに駆動してください。

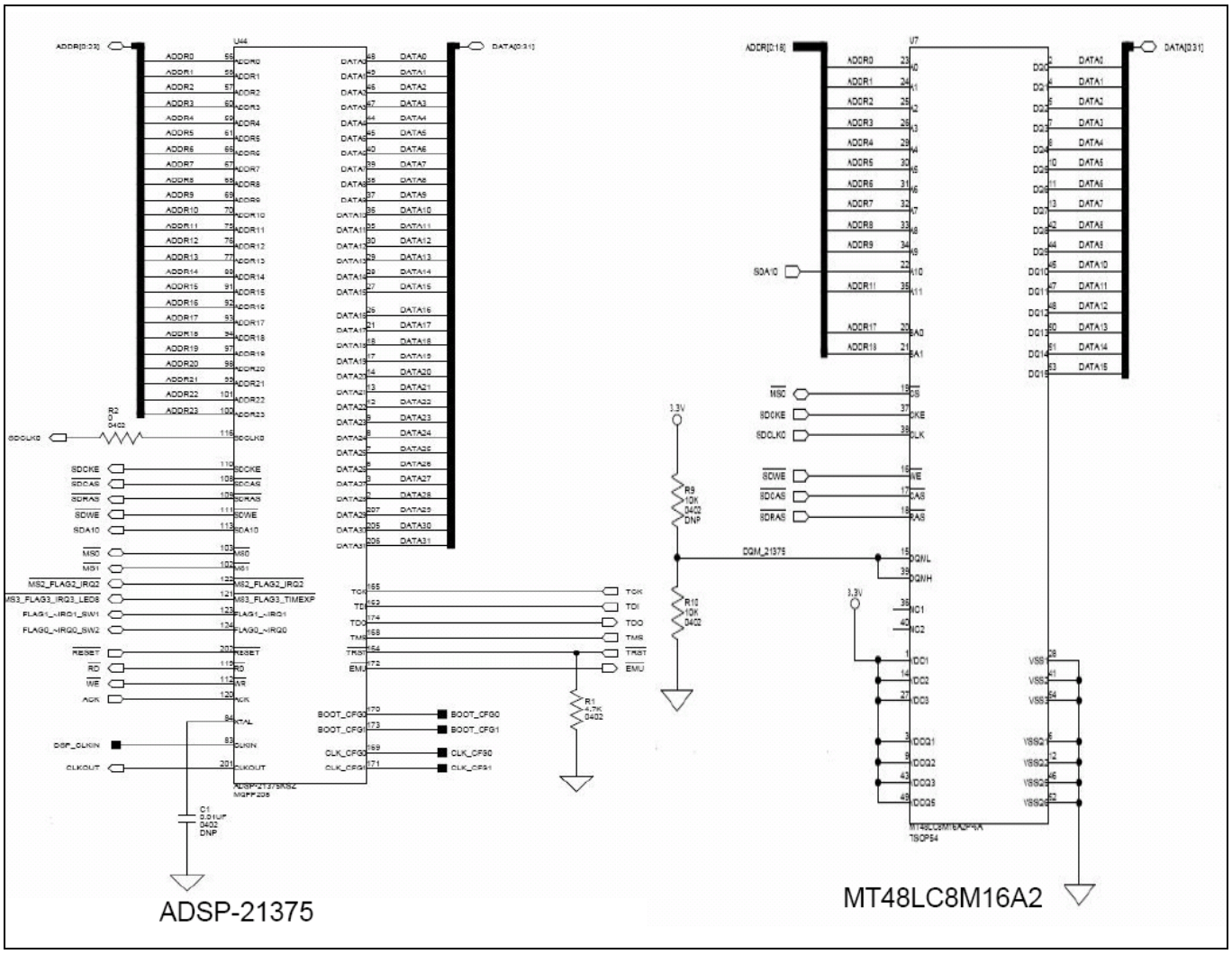

図2.アドレスの対応と 16 ビット SDRAM のその他の信号接続

SDRAMは、プロセッサの 4 個の内の任意の外部メモリ・バンクに配置することができます。各メモリ・バンクにはメモリ・セレクト (MSx/) ラインがあり、メモリ・デバイスのチップ・セレクト (CS/) 信号の駆動に使います。外部メモリ・アドレス空間は通常のワード・アドレシング・モードでのみサポートされていることに注意してください (表 3)。

Bank	Size	Address Range
Bank 0	62 Mwords	0x0020 0000 – 0x03FF FFFF
Bank 1	64 Mwords	0x0400 0000 – 0x07FF FFFF
Bank 2	64 Mwords	0x0800 0000 – 0x0BFF FFFF
Bank 3	64 Mwords	0x0C00 0000 – 0x0FFF FFFF

表3.SDRAM メモリに対する外部メモリ・アドレス空間

SDCの設定

次のステップに従い SDRAM コントローラを正しく設定してください。

コア・クロック対SDRAMクロック比の設定

SDRAM クロック (SDCLK)はコア・クロック (CCLK)から発生されます。1:2.0、1:2.5、1:3.0、1:3.5、1:4.0の 5 種類の固定比がサポートされています。所望のSDCLKを得るためには、PLL を該当するCCLK 周波数に設定する必要があります。PMCTL レジスタのCCLK-to-SDCLK 比ビットを設定する間、DIVENビットをセットする必要があります。リスト 1に、PMCTL レジスタのCCLK-to-SDCLK比ビットを設定する方法を示します。

```
Set_CoreCLK_SDRAMClk_Ratio:

     // Set the Core clock to SDRAM clock ratio
     ustat1 = dm(PMCTL);
     #ifdef CCLK_SDCLK_RATIO_2_0
           bit clr ustat1 SDCKR2 | SDCKR2_5 | SDCKR3 | SDCKR3_5 | SDCKR4;
           bit set ustat1 SDCKR2 | DIVEN;
     #endif
     #ifdef CCLK_SDCLK_RATIO_2_5
           bit clr ustat1 SDCKR2 | SDCKR2_5 | SDCKR3 | SDCKR3_5 | SDCKR4;
           bit set ustat1 SDCKR2_5 | DIVEN;
     #endif
     #ifdef CCLK_SDCLK_RATIO_3_0
           bit clr ustat1 SDCKR2 | SDCKR2_5 | SDCKR3 | SDCKR3_5 | SDCKR4;
           bit set ustat1 SDCKR3 | DIVEN;
     #endif
     #ifdef CCLK_SDCLK_RATIO_3_5
           bit clr ustat1 SDCKR2 | SDCKR2_5 | SDCKR3 | SDCKR3_5 | SDCKR4;
           bit set ustat1 SDCKR3_5 | DIVEN;
     #endif
     #ifdef CCLK_SDCLK_RATIO_4_0
           bit clr ustat1 SDCKR2 | SDCKR2_5 | SDCKR3 | SDCKR3_5 | SDCKR4;
           bit set ustat1 SDCKR4 | DIVEN;
     #endif
     dm(PMCTL) = ustat1;

     RTS;
```

リスト1　　CCLK 対 SDCLK 比の設定

プロセッサのPLLの設定

前述のように、SDRAM クロック (SDCLK)はコア・クロック (CCLK)から発生されます。所望のCCLKと所望のSDCLKに対してPLLを正しく設定してください。PMCTL レジスタのDIVEN ビットの設定とPLLをバイパス・モードに設定する間には、コア・サイクルで少なくとも 1 サイクルのアイドルが必要です。PMCTL レジスタに書き込みを行ってバイパス・モードをセットまたはクリアするとき、DIVEN ビットをクリアしてください。これによりPLLのセットアップが正しく行われます。リスト 2に推奨PLL 設定コードを示します。 SDCLK 出力をディスエーブルした後に、PLLを再設定し、PLL 設定が完了した後にPLLを再イネーブルしてください。

SDRAMを外部メモリ・バンクの 1 つに配置

外部ポート・コントロール (EPCTL) レジスタの該当する BxSD ビットを設定して、外部メモリ・バンクの 1 つにSDRAMを割り当てます。リスト 3を参照してください。

SDCの設定

この作業は 2 ステップから構成されます。最初のステップでは、SDRRC レジスタにリフレッシュ・カウント (RDIV)の正しい値を設定し、SDRAM 読み出しの最適化を設定します。2 番目のステップでは、SDRAM コントロール (SDCTL) レジスタに種々のコントロール・パラメータを書き込みます。これらは主にSDRAM デバイスのタイミング条件です。SDCLK 周期は、RDIV 値の他にこれらの種々のタイミング条件の値を決定します。 プロセッサのSDCTL レジスタのパワーアップ・シーケンス・ビット (SDPSS)に、 ID = 00 (シングル・プロセッサ・システム) またはID = 01 のプロセッサ (共用メモリの複数プロセッサ・システム)を設定します。パワーアップ・シーケンス・ビットを設定した後、外部 SDRAMに対してダミー読み出しまたは書き込みアクセスを行います。これにより、SDRAMのパワーアップ・シーケンスが開始されます。リスト 4にSDC 設定コードを示します。

```
PLL_Configuration:

     ustat2 = dm(PMCTL);
     bit clr ustat2 PLLM63 | PLLD8; //Clear multiplier and divisor bits

     #ifdef MHz266
     bit set ustat2 INDIV |PLLM43;  /* set a multiplier of 64 and a divider of 3 */
     #endif

     #ifdef MHz325
     bit set ustat2 PLLM26;  /* set a multiplier of 26 */
     #endif

     dm(PMCTL) = ustat2;
     bit set ustat2 PLLBP;   /* Put PLL in bypass mode. */
     dm(PMCTL) = ustat2;     /* The DIVEN bit should be cleared while placing the PLL in bypass mode */

     //Delay -
    //wait for PLL to lock at new rate (requirement for modifying multiplier only)
     lcntr = PLLSetlDelay, do pllwait until lce;
     pllwait: nop;
     //Delay - Done

     ustat2 = dm(PMCTL);     /* DIVEN bit returns as zero */
     bit clr ustat2 PLLBP;   /* take PLL out of Bypass, PLL is now at CLKIN*4
                               (CoreCLK = CLKIN * M/N =        CLKIN* 16/4) */
     dm(PMCTL) = ustat2;     /* DIVEN bit should be cleared while taking the PLL out of bypass mode */
     RTS;
```

リスト2　　PLL 設定のコード

```
SDRAM_Bank_Mapping:

     // Mapping Bank 0 to 32-bit SDRAM
     // Make sure that jumper is set appropriately so that MS0 is connected to
     // chip select of 32-bit SDRAM device
     ustat1 = dm(EPCTL);
     bit set ustat1 B0SD;
     bit clr ustat1 B1SD|B2SD|B3SD;
     dm(EPCTL) = ustat1;
     RTS;
```

リスト3　　外部メモリ・バンクの 1 つに対する SDRAM の割り当て

```
SDC_Configuration:

     // Programming SDRAM control registers.
     // RDIV = ((f SDCLK X t REF )/NRA) - (tRAS + tRP )
     ustat1 = 0x815; // (133*(10^6)*64*(10^-3)/4096) - (7+3)
     // SDRAM clock at 133MHz
     /*For other CCLK_SDCLK ratio values, the RDIV value needs to be re-calculated based
       on the SDRAM clock frequency. Above formula should be used for to calculate
       the RDIV value */

     bit set ustat1 SDROPT | BIT_17; // Enabling SDRAM read optimization
     // Setting the Modify to 1
     dm(SDRRC) = ustat1;

     ustat1 = 0;
     bit set ustat1 SDCL3|DSDCLK1|SDTRAS6|SDTRP3|SDCAW8|SDPSS|
                    SDTWR2|SDTRCD3|SDRAW12;
     /*SDCTL value will depend on the SDRAM clock and hence, these values need to be
       re-calculated for a different SDRAM clock frequency */

     dm(SDCTL) = ustat1;

     RTS;
```

リスト4　　SDC の設定

SDRRCレジスタとSDCTL レジスタの設定

SDRAM 自動リフレッシュ・レートとその他のタイミング条件パラメータは、SDRRC レジスタと SDCTL レジスタで設定します。SDRRC レジスタには自動リフレッシュ・カウント値が、SDCTL レジスタには SDRAM で規定されているその他のタイミング条件パラメータが、それぞれ配置してあります。すべてのタイミング・パラメータは、SDCLK サイクル数で設定されます。すべてのパラメータは SDCLK の周波数/周期に依存し、SDRAM のデータ・シートに記載される最小タイミング仕様に基づきます。このセクションでは、これらのパラメータ値の導出方法を説明します。デバイス仕様は Micron Technology 社の MT48LC4M32B2 に基づきます。

AC CHARACTERISTICS PARAMETER	SYMBOL	-6		-7		UNITS	NOTES
		MIN	MAX	MIN	MAX		
ACTIVE to PRECHARGE command	t_{RAS}	42	120K	42	120K	ns	
ACTIVE to ACTIVE command period	t_{RC}	60		70		ns	
AUTO REFRESH period	t_{RFC}	60		70		ns	
ACTIVE to READ or WRITE delay	t_{RCD}	18		20		ns	
Refresh period (4,096 rows)	t_{REF}		64		64	ms	
PRECHARGE command period	t_{RP}	18		20		ns	
ACTIVE bank a to ACTIVE bank b command	t_{RRD}	12		14		ns	25
Transition time	t_T	0.3	1.2	0.3	1.2	ns	7
Write recovery time	t_{WR}	1 CLK+ 6ns		1 CLK+ 7ns		t_{CK}	24
		12ns		14ns		ns	27
Exit self refresh to ACTIVE command	t_{XSR}	70		70		ns	20

表4.133 MHz での MT48LC4M32B2 の SDRAM タイミング条件

SDCの設定に必要なタイミング条件パラメータは、t_{RP}、t_{RAS}、t_{RC}、t_{RFC}、t_{REF}、t_{WR}、t_{RCD}です。これらのタイミング条件はSDRAM のデータ・シートに記載されています。タイミング条件については 表 4を、さまざまな周波数範囲のCAS 遅延値については 表 5を、それぞれ参照してください。

SPEED	ALLOWABLE OPERATING FREQUENCY (MHZ)		
	CAS LATENCY = 1	CAS LATENCY = 2	CAS LATENCY = 3
- 6	≤ 50	≤ 100	≤ 166
- 7	≤ 50	≤ 100	≤ 143

表5.CAS 遅延

333 MHz のコア動作では、CCLK 対 SDCLK 比を 1:2.5(SDCLK = 133 MHzから導出)に設定します。これにより、SDCLK サイクル周期が約 7.5 nsになります。したがって、所要タイミング・パラメータは 表 6のようになります。

SDC Timing Parameters		
t_{RP}	18 ns/7.5 ns	3 cycles
tRAS	42 ns/7.5 ns	6 cycles
t_{RC}	60 ns/7.5 ns	8 cycles
tRFC	60 ns/7.5 ns	8 cycles
tREF	64 ms	
tRCD	18 ns/7.5 ns	3 cycles
t_{WR}	1 CLK + 6 ns = 13.5 ns	2 cycles

表6.SDC の所要タイミング・パラメータ

SDRRC レジスタの DIV フィールドには SDRAM リフレッシュ・カウントの正しい値を設定します。式 1 を使ってこの値を求めます。

$$RDIV \leq \left(\frac{f_{SDCLK} \times t_{REF}}{NRA}\right) - (t_{RAS} + t_{RP})$$

式 1. RDIV カウント値の計算

ここで、

f_{SDCLK} = SDCLK 周波数

t_{REF} = SDRAM リフレッシュ周期

NRA = SDRAM のロウ・アドレス数 (SDRAM 全体をリフレッシュするためのリフレッシュ・サイクル数)

t_{RAS} = クロック・サイクル数で表したアクティブ—プリチャージ間の時間 (SDRAM メモリコントロール [SDCTL] レジスタの SDTRAS ビット)

t_{RP} = クロック・サイクル数で表した RAS—プリチャージ間の時間 (SDRAM メモリコントロール [SDCTL] レジスタ)

したがって、この例で使用したデバイスの場合、

f_{SDCLK} = 133 MHz

t_{REF} = 64 ms

NRA = 4096

t_{RAS} = 6

t_{RP} = 3

これにより、式 1 から R_{DIV} は 2069 以下すなわち 0x815 以下になります。

133 MHz では、使用する CAS 遅延 t は 3 サイクル、したがってビット定義 SDCL3 をセットする必要があります。

表 6から、SDCTLに設定する他のビット定義は SDTRAS6、SDTRP3、SDTWR2、SDTRCD3 になります。カラム・アドレス幅は 256 (8 ビット)、したがって SDCAW8 をセットする必要があります。ロウ・アドレス幅は 12 ビット、したがってSDRAW12 をセットする必要があります。これらのビット定義は、プロセッサのヘッダー・ファイルで指定されます (たとえば ADSP-21369 プロセッサの場合def21369.h)。このビット定義はSDCTLの対応するビットを設定します。図 3と 図 4に、ADSP-21368 プロセッサのSDRAM コントロール・レジスタのビットを示します。

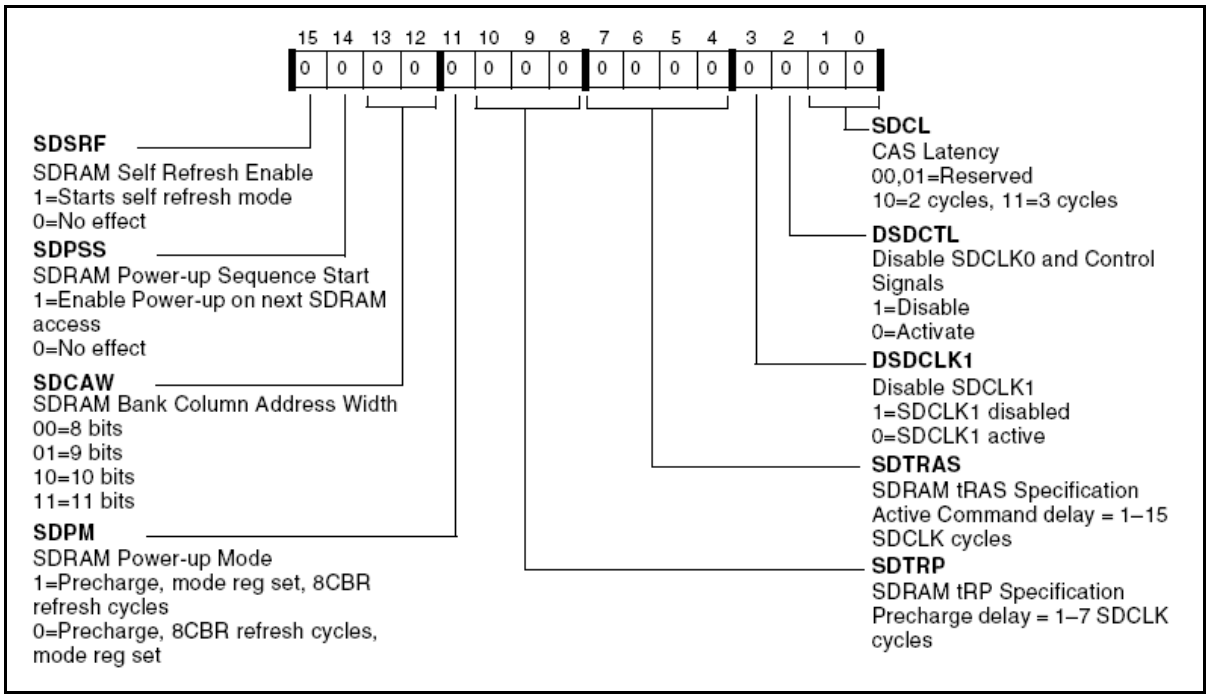

図3. ADSP-21368 プロセッサの SDCTL ビット 15:0

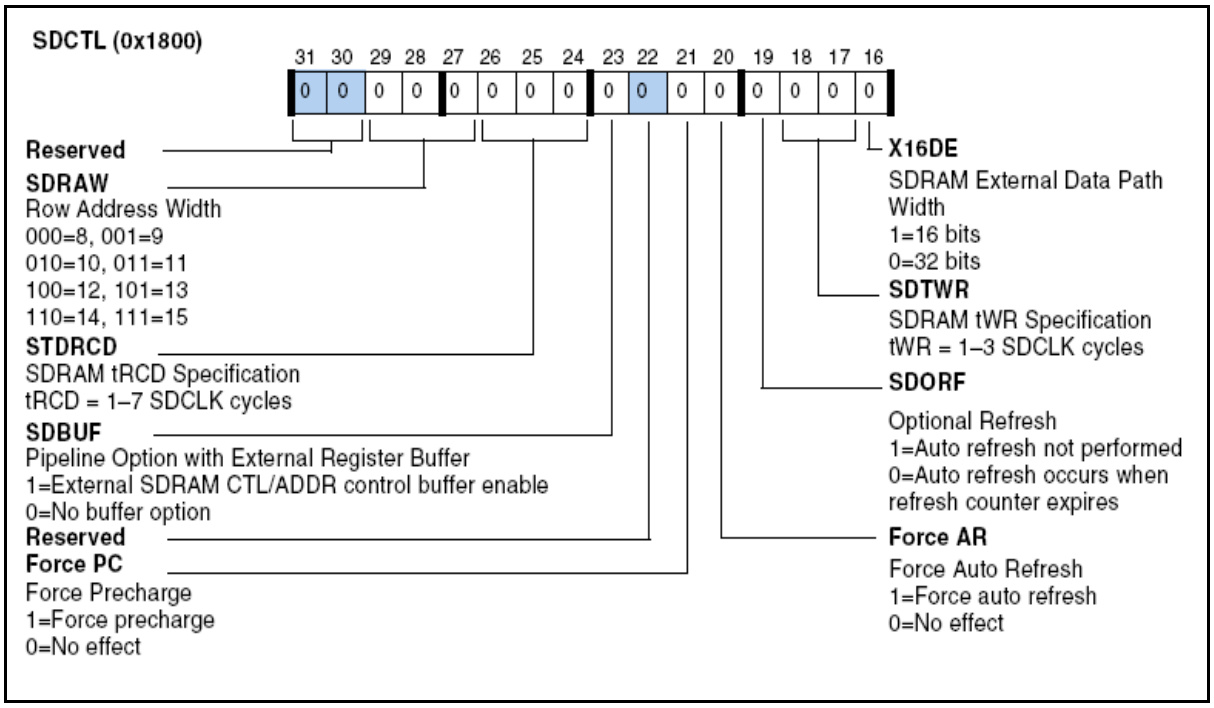

図4. ADSP-21368 プロセッサの SDCTL ビット 31:16

図 5と 図 6に、ADSP-2137x プロセッサのSDRAM コントロール・レジスタのビットを示します。ADSP-21375 プロセッサの外部ポートは 16 ビット幅で、ADSP-21371 プロセッサの外部ポートは 32 ビット幅であることに注意してください。SDCTL レジスタの X16DE ビットには 1 を設定して、ADSP-21371 の外部ポートを 16 ビット幅に設定する必要があります。

SDCTL レジスタには次のビットがあります (ADSP-2137x プロセッサの場合):

- NO BSTOP (ビット 31)—このビットを使って、フル・ページ・バーストまたは非バースト・モード (BL = 1)を選択します。セットすると (=1)、非バースト・モードがアクティブになり、バースト・ストップ・コマンドが無視されます。クリアすると、フル・ページ・バーストがアクティブになり、バースト・ストップ・コマンドを使ってアクセスを中断させます。SDRAM が非バースト・モードをサポートしないでフル・ページ・バーストをサポートする場合には、このビットをクリアする必要があります。
- PGSZ 128 (ビット 30)—このビットを使うと、プログラムから SDC を 128 ワード (7 ビット)のページ・サイズに設定することができます。これにより市販の大部分の 32M バイト SDRAM をサポートすることができます。

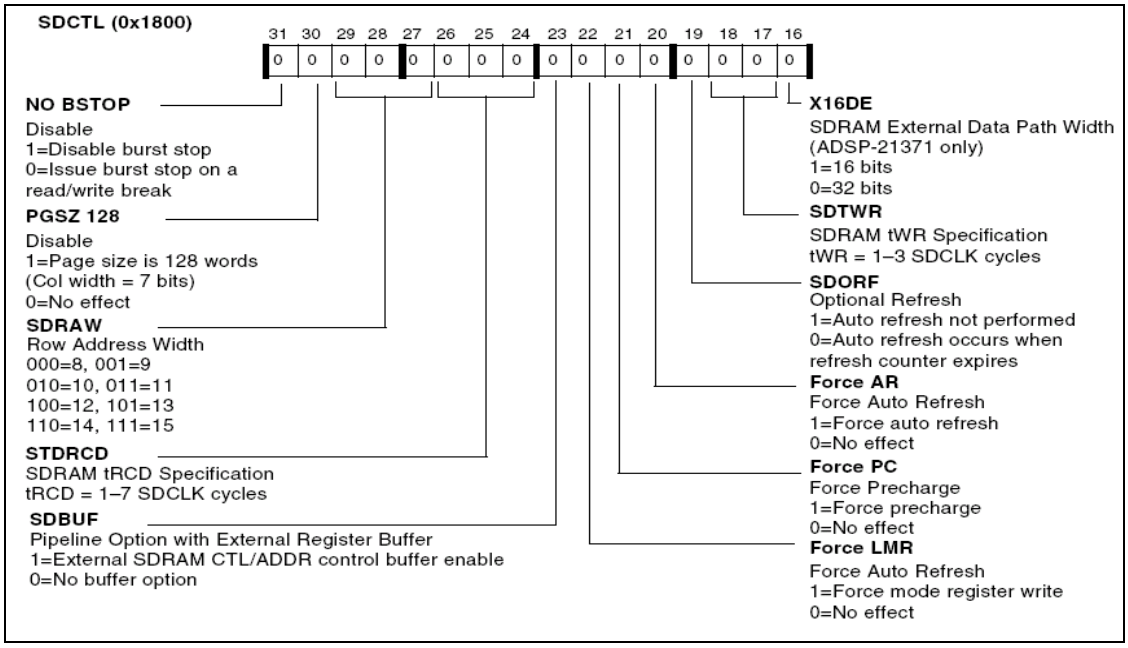

図5.ADSP-2137x プロセッサの SDCTL ビット 31:16

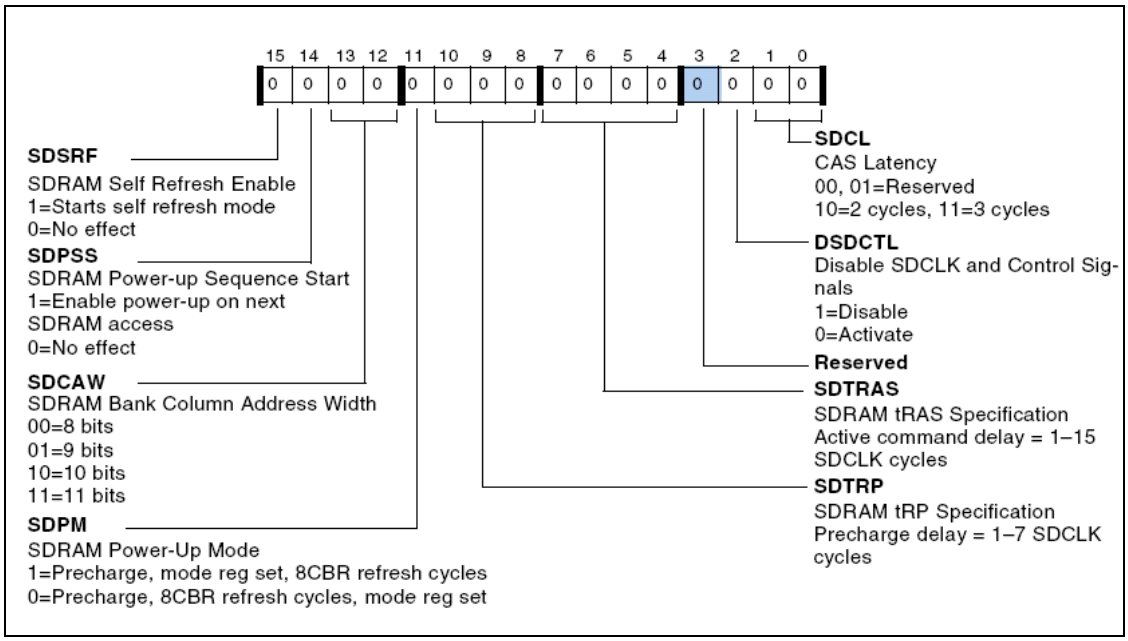

図6.ADSP-2137x プロセッサの SDCTL ビット 15:0

次の図に、ADSP-21368 プロセッサの種々の SDRAM アクセスから取得したロジック・アナライザの写真を示します。

図 7に、SDRAM パワーアップ・シーケンスを示します。SDCTLでSDPSS ビットを設定した後、SDRAM メモリに対してダミー読み出しまたは書き込みアクセスを行うと、パワーアップ・シーケンスが開始されます。

このシーケンスは、SDRAM パワーアップ・モード (SDPM) ビットに依存します。このビットをクリアすると(=0)、コマンド・シーケンスは次のようになります。

プリチャージ → 8 CBR サイクル → モード・レジスタ・セット → バンク・アクチベーション・コマンド → ダミー・リード/ライト動作。

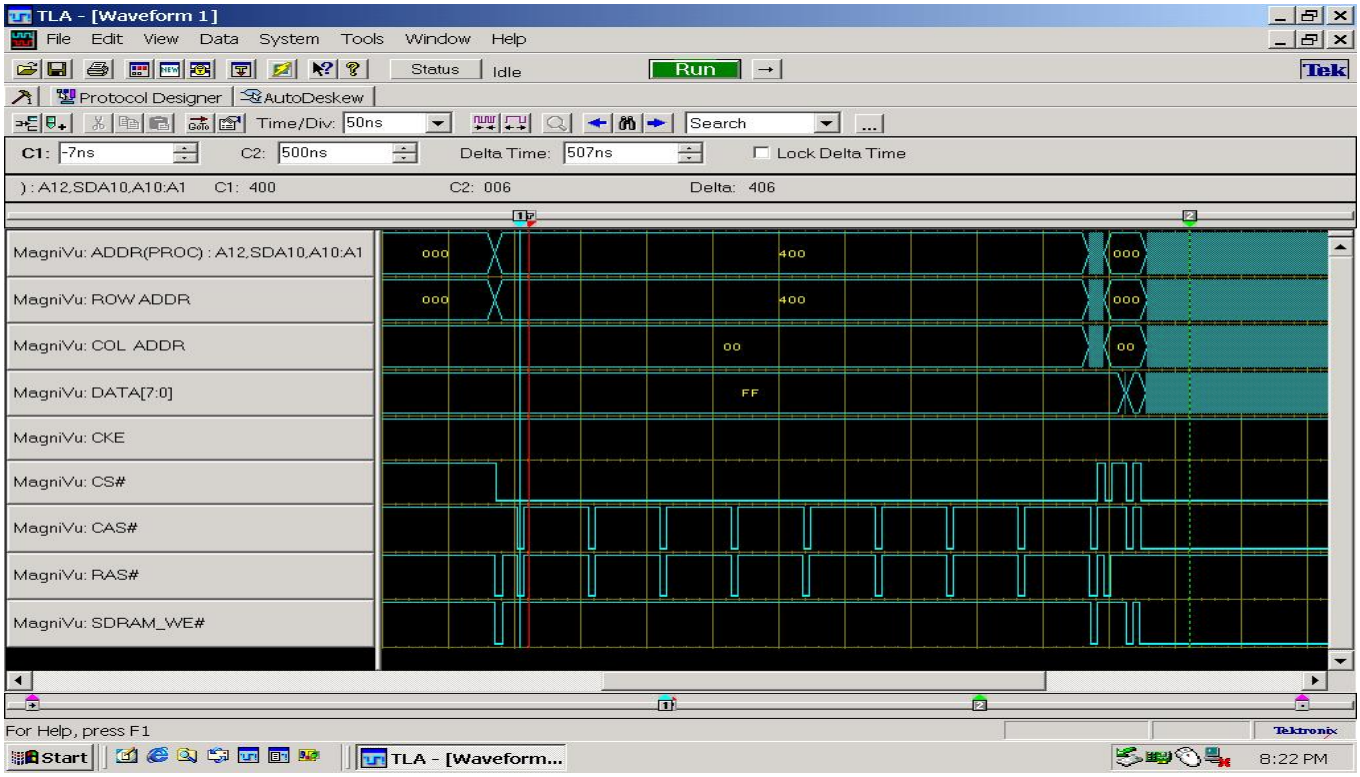

図7.ADSP-21368 プロセッサの SDRAM パワーアップ・シーケンス

図 8に、SDRRC レジスタで最適化ビット (SDROPT)をセットしない場合のSDRAM シーケンシャルな読み出し動作を示します。各読み出し動作には複数のSDCLK サイクルが必要です (CL = 3 で各読み出しに 7 サイクル、CL = 2 で各読み出しに 6 サイクル)。

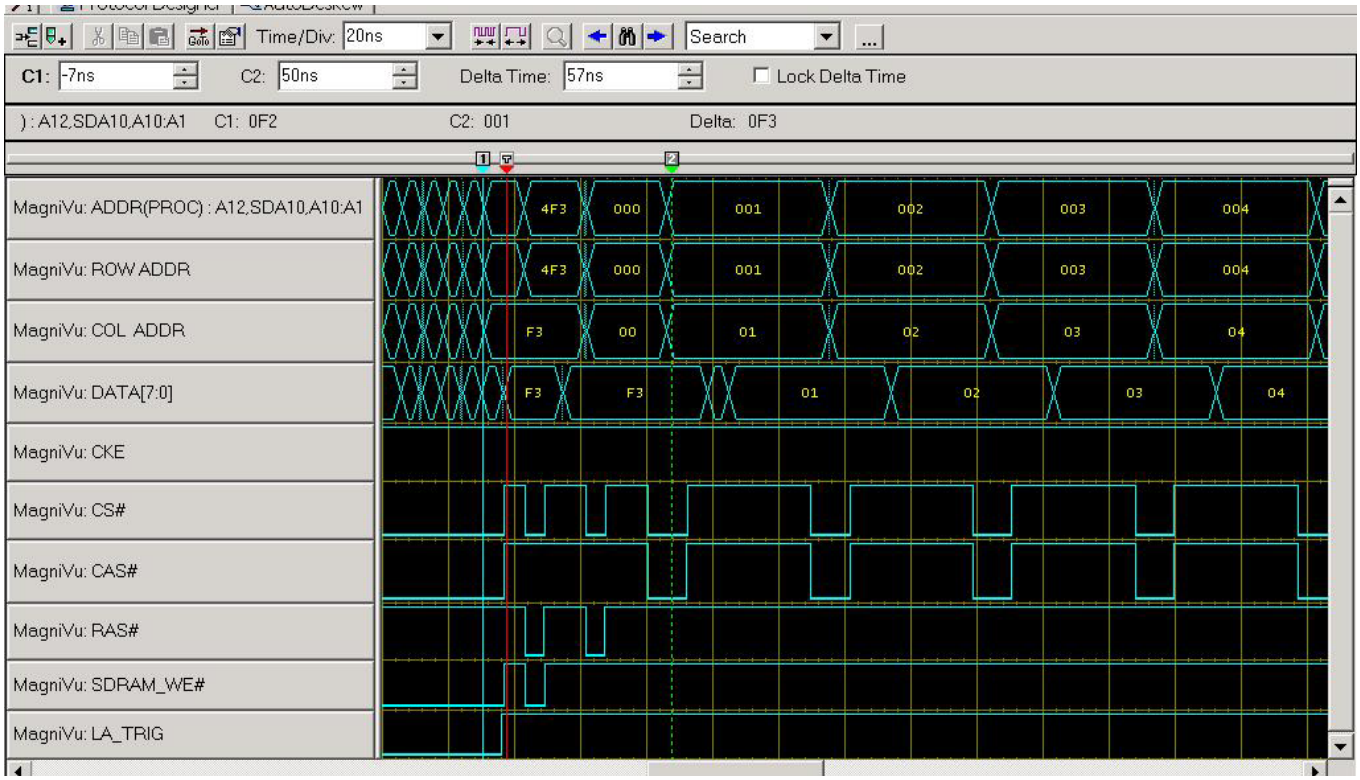

図8.ADSP-21368 プロセッサで読み出し最適化を選択しない場合

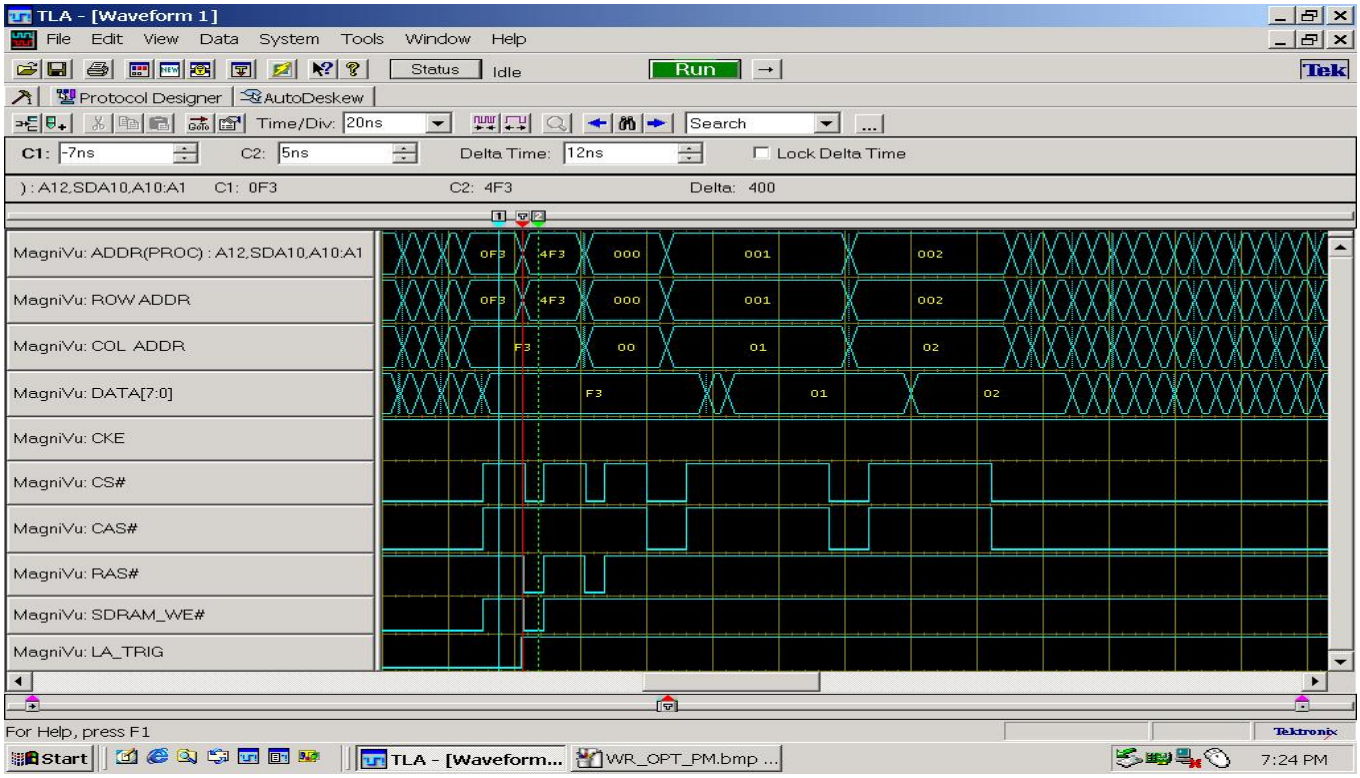

図9.ADSP-21368 プロセッサで読み出し最適化を選択した場合

図 9に、読み出し最適化ビット (SDROPT)をセットした場合のSDRAM シーケンシャルな読み出し動作を示します。最適化をイネーブルすると、読み出し動作が32 ワードごとに各SDCLK サイクルで発生します。

共用メモリのサポート

ADSP-21368 プロセッサでは外部ポートで共用メモリをサポートします。これらのプロセッサはバス調停ロジックを内蔵しているため、外部バスを共用することができます。共用外部メモリ機能は SDRAM メモリでも使用することができます。内蔵のバス調停ロジックを使用すると、他の最大 4 個のプロセッサを接続して共用外部バス・システムを構成することができます。

共用メモリは ADSP-21367 プロセッサと ADSP-21369 プロセッサではサポートしていません。

共用 SDRAM システムをデザインするときは次のポイントを考慮してください。

- プロセッサを ID = 01 に設定して、共用 SDRAM 用のパワーアップ・シーケンシングを実行します。
- 共用バス・システム内の別のプロセッサが SDRAM をアクセスしようとする場合は、そのプロセッサは SDRAM の強制自動リフレッシュを起動する必要があります。これは 1 回だけ実行する必要があります。
- 共用 SDRAM メモリ・インターフェースは、プリント回路ボード (PCB)上の負荷条件を満たしている場合、最大 133 MHz で動作することができます。
- CCLK 対 CLKIN 比は必ず整数である必要があります。
- CCLK 対 SDCLK 比 = 2 および 4 のみをサポートしています。
- 未使用 BRx ピン (バス要求信号)はハイ・レベルにプルアップします。これらは、外部ポート・バス調停ロジックにより使用されます。
- RPBA 信号を使って設定される外部バス優先順位は、すべてのプロセッサに対して同じである必要があります。

図 10に、2 個のプロセッサと 1 個のSDRAM メモリ・デバイスで構成される代表的な共用メモリ・システムを示します。

共用メモリ・システムでは、CCLK 対 CLKIN 比と CCLK 対 SDCLK 比に対して整数比のみが許容されるため、133 MHz での SDCLK 動作に対して CCLK を 266 MHz に制限する必要があります。CCLK を 333 MHz に設定した共用メモリ・システムでは、最小 CCLK 対 SDCLK クロック比を 4 にすると、SDCLK は 83.25 MHz になります。

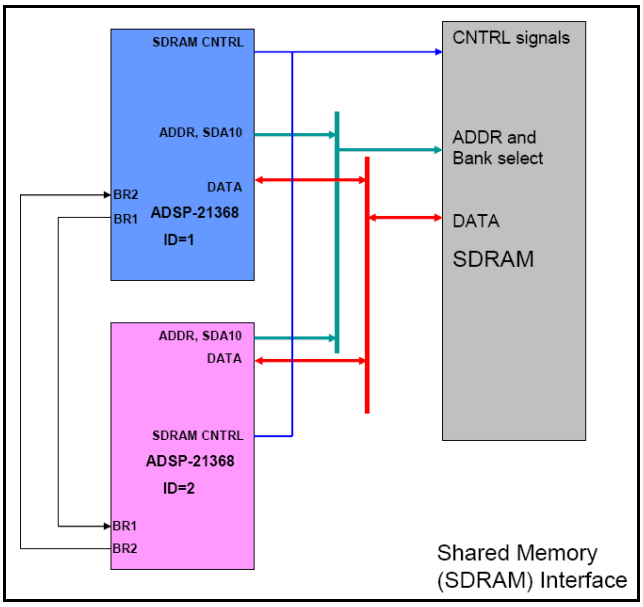

図10. 2 個の ADSP-21368 プロセッサに対する共用メモリとして使用した SDRAM

外部メモリからの実行

ADSP-2137x プロセッサは、16 ビット外部ポート (ADSP-21375) または 32 ビット外部ポート (ADSP-21371)を使って、外部メモリ・バンク 0 空間からの命令実行をサポートしています。この外部メモリとしては、SDRAM または非同期メモリ (例えば SRAM やフラッシュ)を使用することができます。

SDRAM の場合、プロセッサは 16 ビットから 48 ビットへのパッキングと 32 ビットから 48 ビットへのパッキングをサポートしています。外部 SDRAM メモリからコードを実行するときの命令スループットは、32 ビット幅外部ポートを使用した場合 3 SDCLK (ペリフェラル) クロック・サイクルごとに 2 命令、16 ビット幅外部ポートを使用した場合 6 SDCLK クロック・サイクルごとに 2 命令です。

この EE ノートでは、外部 SDRAM からの実行について 2 つのコード例を提供します。最初のコード例では、.LDF ファイルを使ってコードを外部メモリに配置します。 このケースでは、SDRAM コントローラを初期化した後にアプリケーションをロードする必要があります。VisualDSP++® ツールは、ADSP-21375 EZ-KIT Lite ボード上の SDRAM に対してデフォルト値で SDRAM コントローラを初期化した後にアプリケーションをロードします。ターゲット・ボード上で使用されている SDRAM が異なるケースでは、.xml ファイル(プロセッサの System\ArchDef フォルダにあります)で設定されたデフォルト値を変更することによ

り SDRAM コントローラの初期化値を変えることができます。

2 つ目のコード例では、外部 SDRAM から実行する必要のある関数が、.dat ファイル内で、内部メモリの一部として配置されます。このデータが外部 SDRAM にコピーされた後に、SDRAM からその関数が実行されます。実行するアプリケーションの一部が外部メモリ・バンク内にあり、かつこのバンクでは外部メモリからの実行がサポートされていない場合には、この手法を使ってください。

PCBデザインの一般的なガイドライン

ADSP-21368 プロセッサと ADSP-2137x プロセッサを使用して SDRAM インターフェースをデザインする場合の一般的な PCB ガイドラインを次に示します。

- アドレス・ラインとデータ・ラインはできるだけ短くします。SDCLK と SDRAM コントロール・ラインは SDRAM のリフレッシュに使われるため、特に注意する必要があります。SDCLK のパターン長は 2～4 インチに制限してください。DATA と ADDR のパターン長は 4～8 インチに制限してください。 パターン幅は 5 mm にすることができます。
- SDCLK、DATA、ADDR の終端は、明確に推奨するものではありません。信号インテグリティ (SI) ツールを使って必要な終端を識別してください。終端が大きすぎると、立ち上がり時間と立ち下がり時間が低速になるため遅延が増えます。アナログ・デバイセズは、信号インテグリティや電気的タイミングなどのすべてのデザイン面を PCB の製造の前にシミュレーション・ツールを使ってシステム/ボードの設計者が確認することをお薦めします。
- プロセッサの I/O ドライバは、各 I/O で最大 30 pF の負荷をサポートしています。
- メモリ・デバイスに対しては十分なデカップリングを行ってください。図 11に、アプリケーション PCB上の各 SDRAM デバイスに対するデカップリングを示します。プロセッサの「*Hardware Reference* manual[1]」のシステム・デザインの章に説明するようにプロセッサに対して正しいデカップリングを行ってください。
- プロセッサのデータ・シートに説明するように A_{VDD} 電源に対して前述のフィルタ回路を使用してください。詳細については、プロセッサのデータ・シートを参照してください。

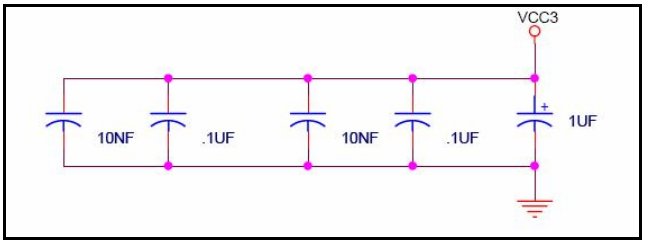

図11. 各メモリ・デバイスのデカップリング

ソフトウェア・コード

コード例 は、この EE ノートに対応する.ZIP ファイルに収容されています。これには、ADSP-21368 プロセッサと ADSP-2137x プロセッサのコア・モードと DMA モードでの 16 ビットと 32 ビット幅 の SDRAM に対するコードが含まれています。コード例の 1 つでは、ADSP-21368 プロセッサ上で 32 ビット SDRAM を使って、共用メモリをデモストレーションします。他の 2 つのコード例では、ADSP-2137x プロセッサ上の SDRAM からの実行をデモストレーションします。

参考文献

[1] *ADSP-21368 SHARC Processor Hardware Reference, Rev 1.0, September 2006. Analog Devices, Inc.*

[2] *ADSP-21369 EZ-KIT Lite Evaluation System Manual, Rev 2.1, August 2006. Analog Devices, Inc.*

[3] *ADSP-21375 EZ-KIT Lite Evaluation System Manual, Rev 1.1, September 2007. Analog Devices, Inc.*

[4] *ADSP-21367/ADSP-21368/ADSP-21369 SHARC Processors Data Sheet, Rev B, October 2007. Analog Devices, Inc.*

[5] *ADSP-21371 SHARC Processor Data Sheet, Rev 0, June 2007. Analog Devices Inc.*

[6] *ADSP-21375 266 MHz, High performance SHARC processor Preliminary Datasheet, Rev PrB, December 2005. Analog Devices Inc.*

[7] *MT48LC4M32B2TG SDRAM Data Sheet, 128MbSDRAMx32_E.p65, Rev. E; Pub. 10/02 x32 SDRAM. Micron Technology, Inc.*

[8] *MT48LC8M16A2 SDRAM Data Sheet, 128MSDRAM_G.p65, Rev. G, Pub. 10/03, SDRAM. Micron Technology, Inc.*

[9] *K4S643232H SDRAM Data Sheet, Rev. 1.1, August 2004. Samsung Electronics.*

[10] *W9864G2GH-7 SDRAM Data Sheet, Rev. A01, August 2006. Winbond Electronics Cor.*

ドキュメント改訂履歴

Revision	Description
Rev 4 – January 9, 2008, by Deepa Venkataraman	Removed references to obsolete Winbond W986432DH and modified the PLL configuration code.
Rev 3 – April 19, 2007, by Jeyanthi Jegadeesan	Updated the document to add the ADSP-2137x SDRAM interface details and modified document title accordingly.
Rev 2 – March 14, 2006, by Jeyanthi Jegadeesan	Revised info pertaining to 133 MHz SDCLK operation and updated document title accordingly.
Rev 1 – November 28, 2005, by Aseem Vasudev Prabhugaonkar	Initial release as Interfacing 166 MHz SDRAM Memory to ADSP-21367/21368/21369 SHARC Processors (EE-286).