



アナログ・デバイゼスの DSP、プロセッサ、開発ツール用テクニカル・ノート
<http://www.analog.com/jp/ee-notes>、<http://www.analog.com/jp/processors>にはさまざまな情報を掲載しています。

Blackfin®プロセッサのハードウェア・デザイン・チェックリスト

著者: Robert Kilgore

Rev 2 – 2008 年 7 月 7 日

はじめに

この EE ノートでは、Blackfin®プロセッサをデザインする際に回避すべき最も一般的な誤りについて説明します。このドキュメントの他に、使用する特定の Blackfin プロセッサの最新のデータ・シート、ハードウェア・リファレンス・マニュアル、シリコン・アノマリ・リスト(アナログ・デバイゼスのウェブ・サイトから提供)も参照してください。

ハードウェアの全体的な問題

次のセクションでは、メモリ・インターフェースまたは特定のペリフェラルに関係しないデザイン問題について説明します。

NMIの極性

使用するプロセッサのマスク不能割り込み(NMI)信号の極性はダブルチェックしてください。幾つかのBlackfinプロセッサ(ADSP-BF531/BF532/BF533/BF535 および ADSP-BF561)のNMI信号は、アクティブ・ハイです。その他のすべてのBlackfinプロセッサのNMI信号は、標準の監視回路との接続を考慮してアクティブ・ローになっています。また、NMI信号を使用しない場合には、非アクティブ状態に固定しておく必要があります。



NMI信号をフローティング状態のままにしないでください。また、アクティブ状態に固定しないでください。

5V対応

5V を許容していない信号に 5V を入力すると、デバイスに損傷を与えて故障することがあります。Blackfin プロセッサ出力は、5V デバイスの入力に接続しないでください。大部分の Blackfin プロセッサ信号は 5V を許容できません。幾つかの 2 線式インターフェース(TWI)信号の場合のように、2、3 の例外があります。他のすべてのプロセッサ信号に対してはレベル・シフトを使用して、特定の Blackfin プロセッサのデータ・シートに規定されている絶対最大定格を超えないように信号電圧を維持する必要があります。CAN トランシーバと ATAPI インターフェースに対しては一般にレベル・シフトが必要です。電流制限抵抗は、高電圧に対して十分な保護機能を提供しません。

未使用信号

データ・シートの信号リストの説明セクションをチェックして未使用信号に対する必要な処置を確認してください。一般に、未使用信号に対する終端の必要性は記載されていませんが、終端が必要な信号はデータ・シートに記載されています。/NMI、NMI または /BR のような未使用信号の接続を行わないと、電源シーケンス問題またはリセット問題のような症状が発生する原因になります。高い EMC 感受性/耐性を必要とするアプリケーションでは、必要に応じてすべての未使用信号の終端が必要になります。

信号インテグリティ

信号の高速な立ち上がり時間と立ち下がり時間は、間欠的な通信故障のような信号インテグリティ問題の基本的な原因になります。

Blackfin プロセッサのエッジ・レートは、信号ごとに異なります。同様に、幾つかの信号は他の信号よりノイズと反射に対して高い感度を持ちます。異常なクロック信号と同期信号を発生させる伝送線反射を防止するシンプルな信号のインテグリティを維持する方法を使用してください。また、次の信号では、パターン長を短くすると直列終端が不可欠です。

- CLKIN 信号では、インピーダンス整合用直列抵抗がドライバ側に必要です。
- SPORT インターフェース信号(TCLK、RCLK、RFS、TFS)には終端が必要です。
- PPI_CLK 信号や同期信号などの PPI 信号にも、これらの標準信号インテグリティ技術が役立ちます。
- SDRAM クロック、コントロール、アドレス、データにも直列終端が有効であり、不要な EMI も抑えることができます。

複数のソースを持つ信号の場合、パターンを短くすることは困難であるため、シミュレーションによる対応が適します。信号シミュレーションに役立つ IBIS モデルはアナログ・デバイセズのウェブ・サイトから提供されています。

Blackfin プロセッサ・ファミリーの新しい製品や将来追加される製品では、プログラマブルな入力ヒステリシスやプログラマブルな出力駆動強度のような信号インテグリティ機能のサポートが追加される予定です。詳細については、該当するハードウェア・リファレンス・マニュアルを参照してください。

テスト・ポイントと信号アクセス

CLKOUT や SCLK、バンク・セレクト、PPI_CLK、/RESET のような信号にテスト・ポイントを追加すると、デバッグ・プロセスで役立ちます。ブート・モード(BMODE)のようなセレクト入力電源またはグラウンドに直接接続されている場合、BGA パッケージ・チップではこれらの信号をアクセスすることができません。デバッグ用として、入力を電源またはグラウンドへ直接接続する代わりにプルアップ抵抗とプルダウン抵抗を使うと役に立ちます。

バイパス・コンデンサ

内部電源に適切なバイパス・コンデンサを使用することが、高速動作では不可欠になります。コンデンサとパターンに不要なインダクタンスが存在すると、高周波での有効性が損なわれます。プロセッサが 100 MHz 以上で動作する場合は、次の 2 つのことが必要になります。1 つ目は、コンデンサは小型で、インダクタンスを小さくするためリードが短い必要があります。サイズ 0402 の表面実装コンデンサは、それより大きいサイズより優れています。2 つ目は、容量値を小さくすると、LC 回路の共振周波数が高くなることです。幾つかの 0.1 uF コンデンサは 50 MHz 以下で優れていますが、500 MHz 範囲での V_{DDINT} に対しては 0.1uF、0.01uF、0.001 uF、100 pF の組み合わせが望まれます。

/RESETの駆動

大部分の Blackfin プロセッサの入力にはヒステリシスがないため、これらの入力には単調な立ち上がり立ち下がりが必要です。したがって、/RESET 信号であっても、R/C 遅延回路に直接接続しないようにする必要があります。このような回路はノイズに弱いからです。代わりに、リセット監視チップを使って /RESET を発生します。

ボード間通信

CAN や TWI のような幾つかの通信規格には、電源が投入されていない時の特別な規定があります。たとえば、電源が投入されていない時のプルアップ抵抗のため大きなリーク電流が発生するので、バス上の他のユニットとの通信が妨げられます。電源が投入されていない時の状況は、“ホット・スワップ”アプリケーションでは一般的な考慮事項です。

JTAG

Blackfin プロセッサの JTAG リセット・ピン/TRST は、通常動作ではプルダウンしておく必要があります。JTAG 接続の考慮事項についてのアプリケーション・ノートがあります。詳細については、「*Analog Devices JTAG Emulation Technical Reference (EE-68)*^[1]」を参照してください。

入力/出力として使用するGPIOポート信号

パワーオン・リセット時、すべての汎用信号が入力になります。ブート・プロセス時に、選択されたブート・モードに応じて、これらの信号の幾つかが出力に変わります。HWAIT を持つデバイスの場合、この信号はすべてのブート・モードで出力になります。出力信号が外部デバイスから駆動される場合は、この出力信号を入力として使わないでください。ブート・フェーズの動作で HWAIT の値が重要な場合には、HWAIT を出力として使わないでください。

出力として使う GPIO 信号には、リセット時の状態を定めるプルアップ抵抗またはプルダウン抵抗が必要です。ここで言う出力には、デバイス・イネーブル信号(たとえば NAND フラッシュ)と通信ハンドシェイク信号が含まれます。このような信号の例としては、HWAIT、UARTxTX、UARTxRTS、CANxTX、SPI スレーブ・セレクト入力と出力、シリアル TWI、すべてのチップ・セレクト信号などがあります。

SDA や SCL のような 5 V で使用できる幾つかの汎用出力は、すべてのモードでオープン・ドレインです。これらの出力はデータ・シートに記載されており、汎用出力として機能するためにはプルアップが必要です。信号の容量により、これらの信号の出力速度が制限されます。

EZ-KIT Lite®回路の使用

EZ-KIT Lite 評価システムの回路図は、開始時の参考資料として利用することができます。EZ-KIT Lite ボードは評価と開発を対象としているため、余分な回路が設けられていることがあります。変更または測定を容易にするため、部品の実装があることも、ないこともあるため、EZ-KIT Lite ボードの回路図には注意が必要です。

非同期メモリ

バス要求

バス要求信号(/BR)には、すべてのデザインでプルアップ抵抗が必要です。この信号にプルアップがないか、またはこの信号が外部デバイスから駆動されると、誤ったバス要求によりバス動作が阻害されます。

非同期バス信号/ GPIO信号共用時の考慮事項

幾つかの Blackfin プロセッサでは、非同期バス信号と GPIO 機能を共用することができます。この場合、バス要求 GPIO をバス要求として設定することが必要であり、さらに上記のように GPIO にプルアップが必要になります。

信号説明で示すように、プロセッサによっては、幾つかの未使用バス信号を汎用入力/出力信号として使用できる場合がありますが、同期バスをブートに使用するときは、すべてのアドレス信号が駆動されます。また、幾つかのプロセッサでは、ブート・プロセス中に/BG と/BGH が駆動され、/BR が入力として使用されます。これは、BMODE がパラレル・メモリに設定されたとき、またはワнтаイム・プログラマブル(OTP)メモリを内蔵するプロセッサで、OTP プログラミング機能により同期バスがイネーブルされたときに発生します。

その他のプロセッサでは、他の同期バス信号と GPIO が共用されます。詳細については、ハードウェア・リファレンス・マニュアルのブート・セクションを参照してください。

8/16 ビット・メモリ

ASYNCR メモリ・バンクの 8 ビット・メモリを接続するときは、正しいアドレスを使ってください。外部メモリに対して真のバイト・アドレッシング機能がないため、8 ビット・メモリには 16 ビット・メモリと同じアドレッシングが使用されます。アドレスの LSB としては、A1 (/ABE0 または/ABE1 ではなく)を使ってください。バイト・イネーブル信号を持つ 16 ビット・メモリは、8 ビットずつアクセスすることができます。その他の場合は、16 ビット・メモリはワード幅のみになります。32 ビット EBIU を持つ Blackfin デバイスは、外部デバイスの最下位アドレスとして/ABE3 を使って、16 ビット・メモリに接続するように設定することができます。詳細については、プロセッサのハードウェア・リファレンス・マニュアルを参照してください。

ARDY

ARDY は使用しない場合、終端することができます。さらに、ARDY を無視するようにソフトウェアから設定することもできます。ARDY を使用する場合は、ハードウェア・リファレンス・マニュアルを参照してください。幾つかの Blackfin デバイスでは、ARDY 入力を SCLK (CLKOUT)に同期させることが必要です。

休眠状態での考慮事項

データ・シートでは、休眠状態ですべての外部信号がスリープ状態になると記載していることがあります。これには、バス・ストロブが含まれます。/AMSx のようなペリフェラル・チップ・セレクトにはプルアップ抵抗が必要です。

その他の外部バス・インターフェース・コントロール信号

必須ではありませんが、パワーアップとパワーダウン時に状態を保証するために、すべてのアクティブ・ローのバス・コントロール信号にプルアップ抵抗を接続することを考慮してください。将来の Blackfin プロセッサでは、多くのデバイス・コントロール信号が GPIO やその他の機能と共用されます。これらの信号では、リセット時または設定前にデータの破壊とバスの輻輳を回避するため、プルアップ抵抗が必要になります。

SDRAM メモリ

SDRAMバンクのアドレッシング

- ADDR18 を使って BA0 に接続してください。
- ADDR19 を使って BA1 に接続してください。

SDRAM アドレス SA10

SA10 を使って SDRAM デバイスの A10 に直接接続してください。16 ビットまたは 32 ビット (32 ビット幅の外部メモリ・インターフェース派生品) デバイスのいずれが SDRAM インターフェースに接続されているかに応じて、SA10 により Blackfin プロセッサの ADDR_x が置き換えられます。たとえば、ADSP-BF561 Blackfin プロセッサの場合、16 ビット SDRAM デバイスが使用されると SA10 により ADDR11 が置き換えられ、32 ビット・デバイスが使用されると SA10 により ADDR12 が置き換えられます。ADSP-BF533 Blackfin プロセッサでは、SA10 により ADDR11 が置き換えられます。置き換えられた ADDR_x 信号は使用されないことに注意してください。

このため、その直ぐ上位のプロセッサ・アドレスがメモリの A11 に接続されます。詳細については、ハードウェア・リファレンス・マニュアルの SDRAM アドレス・マッピングのセクションを参照してください。

休眠状態での考慮事項

/SMS にはプルアップ抵抗を接続することが推奨されません。

同期 DDR メモリ

DDR PCB のレイアウト

適切な PCB レイアウトは、すべての DDR メモリ・デザインの条件です。プロセッサのデータ・シートに記載されている AC タイミングと仕様をレビューしてください。信号タイミングは、デバイスのタイミングとプリント回路ボード特性との組み合わせです。パターン長の差、クロストーク、電圧変化は、300~500 ps のタイミング誤差に相当します。メモリ・メーカーの推奨レイアウトに従ってください。DQS0 から DQ0~7 のスキューと DQS1 から DQ8~15 のスキューを小さくすることが決定的に重要です。高速グレードのメモリを使用すると許容スキューを大きくすることができます。パターン長を一致させ、間隔を大きくしてクロストークを小さくしてください。曲がりくねったパターンでは、パターン幅の 4 倍の間隔を設けて十分な遅延を与える必要があります。DCLK0~1、DQS0~1、DQM0~1、DQ0~15 信号のパターン長は、3.5 インチ以下にする必要があります。DDR_VSSR は、プロセッサ側でグラウンドに直接接続する必要があります。DDR_VREF は、30 ミル幅の低インピーダンス接続である必要があります。

DDR の終端

最大 4 個のメモリ・デバイスのすべてのデータ信号、アドレス信号、コントロール信号には直列終端を行います。

休眠状態での考慮事項

/DDRCS チップ・セレクトには、プルアップ抵抗の使用が推奨されます。

同期バースト・フラッシュ・メモリ

幾つかの Blackfin プロセッサは、バースト・モードとページ・アクセス・モードのフラッシュ・デバイスに直接接続することができます。そのデバイスがブート・ソースとして機能するときは、注意が必要です。Blackfin プロセッサがソフトウェア・リセット・コマンドまたはウォッチドッグ・タイマ・イベントによりリセットされると、プロセッサとメモリが互換性のないアクセス・モードで動作するようになる可能性があります。

OTP_RESETOUT_WAIT 機能を使って、プロセッサがフラッシュ・デバイスを設定した後に再ブートするようにしてください。ブート、タイミング、接続の詳細については、ハードウェア・リファレンス・マニュアルとデータ・シートを参照してください。

休眠状態での考慮事項

/AMsx のようなペリフェラル・チップ・セレクトにはプルアップ抵抗が必要です。

SPI インターフェース

ブート

SPI マスタ・ブート・モードでは、SPI メモリ・デバイスのチップ・セレクトとして使われる GPIO 信号にプルアップ抵抗が必要です。チップ・セレクト名は、Blackfin プロセッサごとに変わります。ブート用の SPI の /CS 接続については、Blackfin プロセッサのデータ・シートの SPI ブート・セクションで確認してください。大部分の現在のプロセッサでは、MISO にプルアップ抵抗が必要です。すべての SPI システムで、SPI_SCK の初期状態を決めノイズを削減するために、SPI_SCK にプルダウン抵抗を接続することが最適です。また、アプリケーション・ノート「ADSP-BF533 Blackfin Booting Process (EE-240)^[2]」の SPI マスタ・ブート・セクションも参照してください。

MOSI と MISO

SPI インターフェースでは、すべての MOSI 信号を相互に接続し、さらにすべての MISO 信号を相互に接続することが必要です。輻輳とデバイスの損傷を防止するために、これらの信号が置き換わっていないことをダブルチェックしてください。MISO と MISO を、MOSI と MOSI を、それぞれ接続してください。

ペリフェラル信号名が DIN または DOUT である場合は、それぞれのマスター機能またはスレーブ機能に応じて、これらの信号を接続してください。適切な回路図信号名を使用すると、混乱を防止できます。

2 線式インターフェース

2 線式インターフェースは I2C 互換ペリフェラルです。SCL と SDA はオープン・ドレイン出力であるため、両 TWI 信号には、I2C 規格で規定されているようにプルアップ抵抗が必要です。

SD/SDIO インターフェース

セキュア・デジタル(SDIO)インターフェースは、大部分のアプリケーションで外付けのプルアップ抵抗またはプルダウン抵抗が不要となるようにデザインされています。SD/MMC カードでは、SD_CMD に弱いプルアップが必要になることがあります。その他の抵抗機能はプロセッサに内蔵されています。ただし、インピーダンス整合用の直列終端抵抗をすべての信号に接続する必要があります。スタンダード SD デバイスとハイスピード SD デバイスをサポートする最大周波数については、データ・シートの SD 仕様とタイミング値を参照してください。SD コネクタが離れて存在する場合には、伝送時間も考慮してください。

SPORT インターフェース

クロックとフレーム同期を制御するマルチチャンネル・モードの SPORT では、TFS と RFS を接続しないでください。このモードでは、TFS が送信データ有効(TDV)信号として、アクティブ送信チャンネル・データのフレーム化を行います。

クロック入力信号

CLKIN

Blackfin プロセッサへのクロック入力、パワーアップ後にトグルを開始して、電源が加わっている間動作を継続する必要があります。

XTAL

水晶の代わりに発振器出力を使う場合は、XTAL 出力信号とグラウンドの間にコンデンサを接続しないでください。幾つかの EZ-KIT Lite ボードの回路図に、この方法が示してあります。このボード上には部品の実装がなく、最終デザインでは部品を実装しないことに注意してください。

水晶入力

プロセッサ・コア CCLK とペリフェラル・クロック SCLK のクロック・ソースの他に、Blackfin プロセッサによってはさらに追加クロック・ドメインを持つものもあります。例としては、リアルタイム・クロック、イーサネット、USB、MXVR などがあります。CLKIN や XTAL のように、これらのクロック・ドメインでは、水晶を使用するか、または外部クロックから入力信号を駆動することができます。外部クロックとしては方形波または正弦波を使うことができます。正弦波を使う場合は、電圧レベルがデータ・シートに記載される最小値と最大値を満たす必要があります。ペリフェラルの XTAL ピンによっては、幾つかのプロセッサの CLKBUF 出力から駆動できるものもあります。水晶の代わりに発振器出力を使う場合は、該当する XTAL 出力信号はフローティングのままにしてください。水晶を使う場合、推奨直列抵抗または推奨並列抵抗について、データ・シートと水晶の仕様を確認してください。小型の水晶をオーバードライブしないようにすることは重要です。アプリケーションで使用しないクロック・ドメインがある場合には、入力クロックをハイ・レベルまたはロー・レベルに固定して発振を防止してください。

電源レギュレータ

幾つかの Blackfin プロセッサでは、ソフトウェアから制御される内蔵レギュレータ回路(外付けの FET、ダイオード、インダクタを使用)が提供されています。コア電圧 (V_{DDINT}) も、標準の外部レギュレータから供給することができます。クロック速度とコア電圧を制御する電源管理を採用しているデザインにとっては、内蔵電圧レギュレータは望ましいオプションです。

内蔵電圧レギュレータはスイッチング・レギュレータ回路(リニア・レギュレーション回路ではありません)であることに注意してください。データ・シートに規定されているダイオードが使用されていることを確認してください。VROUT の信号パターンは短くしてください。この信号は放射ノイズ源になるためです。部品選択の詳細については、アプリケーション・ノート「*Switching Regulator Design Considerations for ADSP-BF533 Blackfin Processors (EE-228)*^[3]」を参照してください。

幾つかの Blackfin プロセッサには、新しい電源制御機能が追加されています。VRSEL 入力を使って、内蔵レギュレータ・モードまたは外部レギュレータ・モードを選択します。休眠状態を採用する場合には外部レギュレータを無効にする EXT_WAKE 出力が用意されていることもあります。多くのレギュレータのロー・レベルでシャットダウンするシャットダウン入力に直接接続できるのは、ハイ・レベルでパワーアップするパワーアップ信号です。

幾つかのプロセッサでは、PG 信号または SS/PG 信号が使用されます。内蔵モードでは、SS/PG はパワーアップ時と休眠状態終了時にソフト・スタートを行うために使うことができます。外付けモードでは、休眠モードからウェイクアップした後にコア・プロセスを安全に開始させる電源正常信号(ロー・レベルが真)として使うことができます。

複数電源ドメイン

デザインで連続時間情報用にバッテリーが必要なことがあります。必要ないときは、RTC を使わない場合でも RTC 電源を V_{DDEXT} に接続してください。すべての電源信号とグラウンド信号は、データ・シートに規定されている電圧レベルに接続する必要があります。これは、該当するペリフェラルを使用しない場合でも必要で、またデザインで使用中のプロセッサ上にペリフェラルが存在しない場合でも必要なことです。すべての電圧接続を駆動しないと、JTAG 故障、初期化異常や異常動作の原因になります。

USB OTGインターフェース

Blackfin プロセッサの幾つかの製品では、ダイレクト物理 USB インターフェースが使用可能です。これは、ハードウェア・リファレンス・マニュアルでユニバーサル・トランシーバ・マクロ・インターフェースとも呼ばれています。

USB_XIのUSBクロック機能

内部 USB2 ハイ・スピード・クロックを発生させるためには、外付けの水晶または水晶発振器が必要です。周波数は、内部クロックが 960 MHz で動作するように選択する必要があります。外部周波数と設定倍率は、クロック速度 480 MHz の 1/2 を与える任意の組み合わせが可能です。該当するデータ・シートに示す CLKIN 接続の回路は、このクロックの例として使用することができます。

USB_ID

USB_ID は USB OTG に固有です。この機能を使うと、OTG ケーブルにより、インターフェースのホスト(A デバイス)初期ステータスまたはペリフェラル(B デバイス)初期ステータスを決定することができます。OTG を使わないで USB インターフェースをホスト(A デバイス)として使う場合は、このピンをグラウンドに接続する必要があります。OTG を使わないでインターフェースを USB ペリフェラル(B デバイス)として使う場合は、USB_ID をフローティングのままにするか、弱いプルアップを接続することができます。

D+接続とD-接続

Blackfin の USB_DP 信号と USB_DM 信号は、インピーダンスを制御した差動対として USB コネクタの D+ と D- に直接接続する必要があります。パターンには分岐を設けないようにする必要があります。さらに、この差動対を高速信号や VROUT のようなその他のノイズ源から離すよ

うに注意してください。Blackfin プロセッサは、OTG コンプライアンスに必要な終端抵抗を提供しています。

USB_VBUS接続

USB_VBUS はプロセッサへの入力です。ただし、出力セッション要求パルスとして設定された場合は例外です。ホストすなわち OTG (A デバイス)モードを使う場合、ケーブル上の USB_VBUS を駆動するために 8 mA 以上の外部 5 V 電源が必要です。この電源は、OTG (B デバイス)モードではディスエーブルする必要があります。GPIO 信号を使ってイネーブル/ディスエーブルする必要があります。USB_VBUS は、USB コネクタに直接接続する必要があります。

USB_VBUS の 5 V の偏差については、データ・シートで確認してください。幾つかのプロセッサは、 V_{DDUSB} 外部電源が 0V の場合 5 V を許容できません。プロセッサにローカル電源がない場合 USB_VBUS の 5 V に長時間接続されることを想定するアプリケーションは多くないと思われます。これらのアプリケーションでは、USB_VBUS からの 5 V 電源を使って V_{DDUSB} 電源を供給することを想定しています。このような保護回路の例は、ADSP-BF548 EZ-Kit lite の回路図に記載されています。

USBのESD保護機能

ケーブル信号 USB_DP、USB_DM、USB_ID、USB_VBUS には、ESD 保護機能を追加することが推奨されます。保護デバイスはコネクタの近くに配置する必要があります。

参考

- [1] *Analog Devices JTAG Emulation Technical Reference (EE-68)*. Rev 10. April 2008. Analog Devices, Inc.
- [2] *ADSP-BF533 Blackfin Booting Process (EE-240)*. Rev 3. January 2005. Analog Devices, Inc.
- [3] *Switching Regulator Design Considerations for ADSP-BF533 Blackfin Processors (EE-228)*. Rev 1. February 2005. Analog Devices, Inc.
- [4] *Estimating Power for ADSP-BF531/BF532/BF533 Blackfin Processors (EE-229)*. Rev 4. December 2007. Analog Devices, Inc.

ドキュメント改訂履歴

| Revision | Description |
|---|---|
| <i>Rev 1 – October 19, 2005 by Robert Kilgore</i> | Initial release |
| <i>Rev 2 – July 7, 2008 by Robert Kilgore</i> | Added information to cover new peripherals and features in the Blackfin processor portfolio |