

共振方式によるアンプとスイッチド・キャパシタADCのインターフェース

著者：Eric Newman, Rob Reeder

はじめに

今日、無線レシーバ設計において複雑な変調信号を中間周波数 (IF) でサンプリングするには、一般に高サンプリング・レートのア/Dコンバータ (ADC) が使用されます。このような設計に対しては、価格と消費電力を考慮して、CMOSスイッチド・キャパシタを中核にしたADCが選択されるのが普通です。これらのADCでは、サンプリング・ネットワークに直結された非バッファ・フロントエンドを利用するため、ADCを駆動するアンプへの入力トラック&ホールド・インピーダンスは時間とともに変動します。必要な信号のノイズと歪みの劣化を最小限に抑えてADCを効果的に駆動するには、受動回路網インターフェースを設計することが必要です。これにより、ワイドバンド・ノイズの除去が容易になり、トラック&ホールド・インピーダンスの変換により駆動アンプにとって良性的な負荷インピーダンスが与えられます。トラック&ホールド・インピーダンスをより予測可能な負荷に変換してアンチエイリアシング・フィルタの正確な設計を可能にするための共振方式は、いくつかの共通なIF周波数で与えられます。

スイッチド・キャパシタADC

スイッチド・キャパシタADCは、消費電力を抑えるためにADCからバッファが取り除かれているため、バッファ付き入力ADCとは異なります。ADCのサンプル&ホールド・アンプ回路 (SHA) は、入力スイッチ、入力サンプリング・コンデンサ、サンプリング・スイッチ、およびアンプで構成されます。図1に示すように、入力スイッチは、ドライバをサンプリング・コンデンサに直結します。入力スイッチがオン (トラック・モード) のとき、ドライバ回路は入力コンデンサを駆動します。入力はこのモードの最後に入力コンデンサ上でサンプリング (キャプチャ) されます。入力スイッチがオフ (ホールド・モード) のとき、ドライバは入力コンデンサから分離されます。ADCのトラック・モード期間とホールド・モード期間は、ほぼ等しい時間となります。

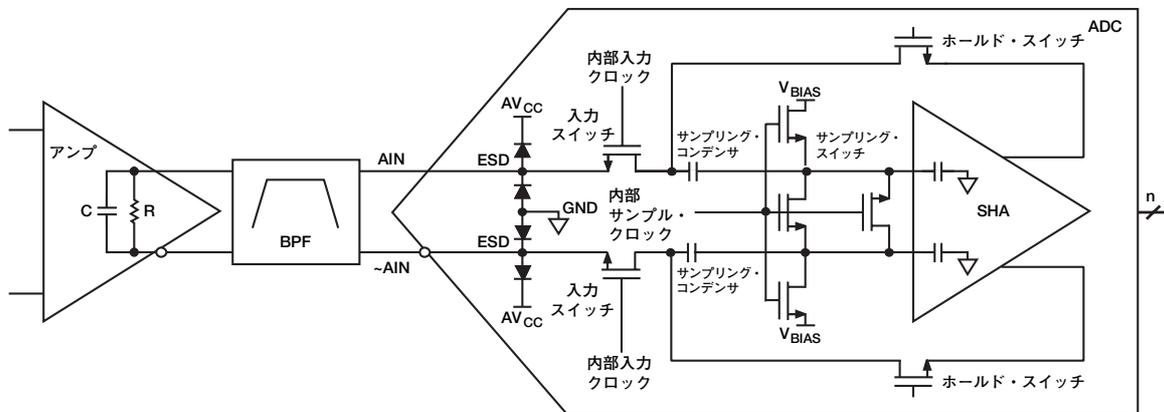


図1. アンプ・ドライバに接続されたスイッチド・キャパシタADCの簡略入力モデル

REV. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
 電話03 (5402) 8200
 大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
 電話06 (6350) 6868

SHAがトラック・モードにあるときのADCの入力インピーダンスは、ホールド・モードにあるときのADCの入力インピーダンスとは異なります。このため、ADC入力とドライバ回路を常時インピーダンス整合させることは困難です。ADCは、トラック・モード時には入力信号を単に見ているだけですから、このモードでは入力インピーダンスは整合します。入力インピーダンスの周波数依存性は、主に信号経路内の寄生容量とサンプリング・コンデンサによって左右されます。インピーダンスを正しく整合させるには、入力インピーダンスは周波数に依存するという考えを持つことが大切です。図2に示すように、AD9236の測定結果から、1GHzまでの入力周波数に対する入力インピーダンスの特性がわかります。

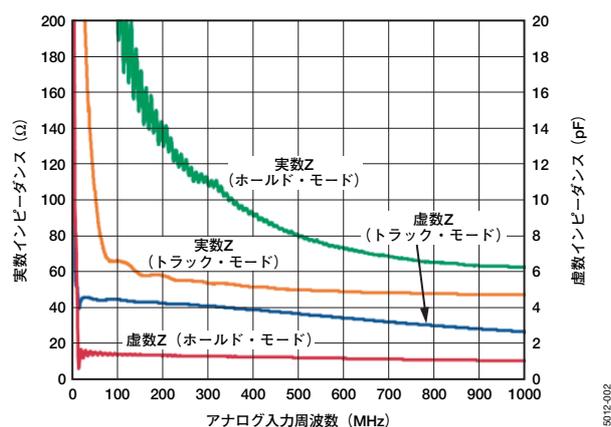


図2. トラック・モードとホールド・モードに対するAD9236の差動入力周波数

図2の青と赤の曲線は、それぞれADC入力SHAネットワークのトラック・モードとホールド・モードに対する虚数入力容量(右の縦軸)値を示します。なお、ホールド・モード時に、虚数インピーダンスは(100MHz未満の周波数で4pFを超える)大きな容量から約1pFまで変化します。図2では、入力SHAネットワークの実数部分はオレンジと緑の曲線で示されています(左の縦軸を参照)。トラック・モード時には、ホールド・モード時(入力スイッチがオフ)に比べてインピーダンスがずっと低くなります。バッファ付きADCのインピーダンスは定格帯域幅の全域で一定ですが、入力インピーダンスは入力帯域幅の最初の100MHzで大きく変動します。このため、与えられた周波数範囲の全域でシステムの実数インピーダンスに対して十分な整合をとることは、設計者にとって困難な課題となります。

共振マッチング

必要な信号をADCの希望するナイキスト・ゾーンに効果的にカップリングするには、対象となる周波数においてADCに発生するトラック&ホールド・インピーダンスを理解することが必要です。いくつかのADCメーカーでは、Sパラメータやインピーダンス・パラメータをネットワーク解析に使用できるようにしています。計測された入力インピーダンス・データを使用し、必要な信号のカップリングを改善するとともに、他の周波数では不要な信号の除去に有効なインピーダンス変換ネットワークを設計できます。

入力システムの差動入力インピーダンスが与えられると、信号損失の低いリアクタンス整合回路を設計できます。得られた入力インピーダンスが複素数であり、 $Z_{IN}=R+jX$ として表される場合には(ここで、Rは複素入力インピーダンスの等価な直列抵抗部分、Xは虚数直列リアクタンス)、複素インピーダンスをより望ましい負荷に変換するネットワークを見つけることができます。通常、入力インピーダンスは等価な並列RCネットワークとして記述することを推奨します。等価なRC並列ネットワークを見つけるには、次の式を使用して、インピーダンスをアドミッタンスに変換します。

$$Y_{IN}=Z_{IN}^{-1}=(R+jX)^{-1} \quad (1)$$

複素量の反転の処理には、MATLAB®やMathCAD™などのさまざまなプログラムのほか、Microsoft® Excelなどの表計算ソフトの最近のバージョンも使用できます。次のように基本的な複素数代数を使用して、簡単に解を得ることができます。

$$(R+jX)^{-1}=\frac{1}{R+jX}\frac{R-jX}{R-jX}=\frac{R-jX}{R^2+X^2}=G+jB \quad (2)$$

ここで、

$$G=\frac{R}{R^2+X^2} \text{であり、コンダクタンスと呼ばれます。}$$

$$B=\frac{-X}{R^2+X^2} \text{であり、サセプタンスと呼ばれます。}$$

複素アドミッタンス $Y_{IN}=G+jB$ の単位は Ω^{-1} ですが、ohmのつづりを逆にしてmho(モー)と呼ばれたり、siemens(ジーメン)を略してSと呼ばれたりします。等価なRC並列ネットワークを見つけるには、Gを反転して並列抵抗を求め、jBと等しいサセプタンスを発生させる等価容量を求めます。コンデンサのサセプタンスは $j\omega C$ と等しくなります。したがって、等価な並列RCネットワーク値は次のとおりです。

$$R_{EQ}=\frac{1}{G}=\frac{R^2+X^2}{R} \quad (3)$$

および

$$C_{EQ}=\frac{1}{\omega}=\frac{-X}{R^2+X^2} \quad (4)$$

ここで、 $\omega=2\pi f$ で、対象となる周波数におけるラジアン周波数です。

アドミッタンスは並列に追加されるため、式2で jB 虚数成分をキャンセルするための共振サセプタンスを見つけることは簡単です。虚数サセプタンスは、反対の極性で B の絶対値を持つ必要があります。シャント・インダクタのアドミッタンスは次のとおりです。

$$\frac{1}{j\omega L} = \frac{-j}{\omega L} \quad (5)$$

$1/\omega B$ と等しいインダクタが虚数アドミッタンスを共振除去し、複素アドミッタンスの導電部分だけを残します。たとえば、AD9236は140MHzで $(59-j270)\Omega$ のトラック・インピーダンスを与えます。式1と式2を使用すると、複素アドミッタンスは $G+jB=(0.77+j3.5)m\Omega^{-1}$ となります。並列RCの等価抵抗は $G^{-1}=(0.77\times 10^{-3})=1300\Omega$ であり、等価な並列容量は $(B/\omega)=(3.5\times 10^{-3})/(2\pi f)=4pF$ です。並列インダクタ $L_p=1/\omega B$ を接続することで、容量性サセプタンスを共振除去し、等価なRC並列回路の高インピーダンス抵抗部分だけを残します。

証明：

$$(1/\omega B) = (2\pi f \times 3.5 \times 10^{-3})^{-1} = 322nH \quad (6)$$

および

$$R_{EQ}/C_{EQ}/L_p = ((1300\Omega^{-1} + (j2\pi f C_{EQ}) + (j2\pi f L_p)^{-1})^{-1})^{-1} = 1300\Omega \quad (7)$$

IFサンプリングとナイキストのポイント

ベースバンド・サンプリングが考慮されるのは、対象となる信号または周波数が1次ナイキスト・ゾーン内にある場合にに限られます。しかし、コンバータによっては、1次より上の高いナイキスト・ゾーンでサンプリングできます。これをアンダーサンプリングまたはIFサンプリングと呼びます。図3に、80MHzのサンプリング周波数 (F_s) を基準にして140MHzのIF周波数を持つADCナイキスト・ゾーンを示します。基本的に、信号は4次ナイキスト・ゾーンにあります。IF周波数のイメージまたはエイリアスは、1次ナイキスト・ゾーンに反射して戻されるように見えます。これは、1次ナイキスト・ゾーンでは20MHzの信号のように見えます。また、ADC Analyzer™など、大部分のFFTアナライザでは、1次ナイキスト・ゾーン (つまり $0\sim 0.5F_s$) のFFTだけをプロットします。したがって、対象となる周波数が $0.5F_s$ を超える場合は、イメージは1次ナイキスト・ゾーン (ベースバンドとも呼ばれます) まで下方反射されます。対象帯域にスプリアス・トーンがある場合は、これによって混乱が生じることもあります。

では、どうやってADCは $0.5F_s$ を超えてサンプリングし、しかもナイキスト基準に反しないのでしょうか？ Walt Kesterの「High Speed Design Seminar」から引用します。

ナイキストの法則：信号のすべての情報を保持するには、信号はその帯域幅の2倍以上のレートでサンプリングする必要があります。

これを式8に示します。ここで、 F_s はサンプル周波数、 F_{BW} は対象となる最大周波数です。

$$F_s > 2 \times F_{BW} \quad (8)$$

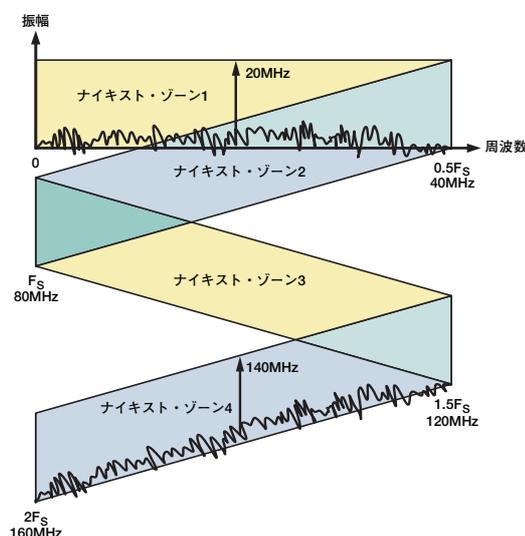


図3. ナイキスト・ゾーンの定義

ここで重要となるのは、対象となる周波数の位置です。信号が重なり合わずに1つのナイキスト・ゾーン内にとどまる限り、ナイキスト基準は満たされます。唯一の変化は、1次ナイキスト・ゾーンの位置が高次のナイキスト・ゾーンに移動したことです。

IFサンプリングが広く使用されている理由は、シグナル・チェーンにおいてミックスダウン段を排除できるからです。これにより、シグナル・チェーン内の部品総数が減少して性能が向上し、システムへのノイズが緩和されます。同様に、システムの全体的なS/N比 (SNR) も良好に保持されます。場合によっては、ミックスダウン段を排除することでミキサを介する局部発振器 (LO) の漏れが減少するため、スプリアスフリー・ダイナミック・レンジ (SFDR) の性能が向上することもあります。

IFサンプリングを行うときには、高周波におけるアンチエイリアシング・フィルタ（AAF）の設計が重要となります。通常、AAFは対象となる周波数帯域を中心として設計され、数MHzから希望するナイキスト・ゾーン的全帯域幅にまで及ぶことがあります。これは、システムに要求される最小解析帯域幅にすべて依存します。IFサンプリング・アプリケーションでは、適切なフィルタ設計を行い、低次ナイキスト・ゾーンからの低周波数ノイズが、対象となる周波数がある高次ナイキスト・ゾーンに該当しないようにすることが重要です。フィルタ設計が適切でないと、ノイズ・フロアのベースバンド・イメージに余分なノイズが現れます。これを図4に示します。この図で、アンチエイリアシング・フィルタのストップバンド減衰量特性は、システムの全体的なダイナミック・レンジを示します。

必要なシステム・ダイナミック・レンジとバンドパス・フィルタの次数との間には、直接的な関係があります。システムの分解能によっては、これと同じ関係が存在します。分解能が低いほど、ノイズ・フロアは高くなります。つまり、折り返し信号はそれほど効果的ではないため、フィルタ次数条件も低くなります。しかし、いくつかの高次フィルタでは、パスバンドに発生するリップルが増加することがあります。この場合は、位相と振幅の歪みが生じることによって、システム性能に悪影響を与えることがあります。つまり、アンチエイリアシング・フィルタの設計に際しては注意が必要です。

アンチエイリアシング・フィルタの設計

アンチエイリアシング・フィルタは、不要なナイキスト・ゾーンから信号分を減らすのに役立ちます。なお、この信号分は、帯域内でエイリアスして動的性能を損なう可能性があります。アンチエイリアシング・フィルタは一般にLCネットワークを使用して設計されますが、希望するストップバンド/パスバンド特性を実現するには、明確なソース・インピーダンスと負荷インピーダンスを持つ必要があります。フィルタ・ネットワークを得るには、既存のさまざまなフィルタ合成方式を使用できます。通常、フィルタ伝達関数の定義にはチェビシェフまたはバターワースの多項式が使用されます。問題の簡素化に役立つものとして、Nuhertz Technologies社の「Filter Free 4.0」やAgilent Technologies社の「Advanced Design System (ADS)」などのソフトウェアベースのフィルタ設計プログラムを使用できます。

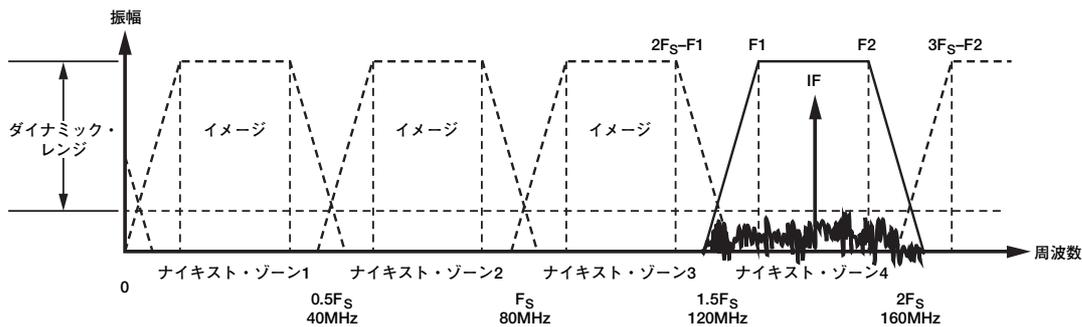


図4. システム・ダイナミック・レンジ 対 アンチエイリアシング・フィルタのストップバンド減衰量

05012-004

あるいは、フィルタ設計ハンドブックを使用して単位正規化されたプロトタイプ・フィルタ値を見つけ出してから、希望するカットオフ周波数と負荷インピーダンスに合わせてスケールリングすることもできます。図5 (a) に、単位正規化された4次のプロトタイプ・フィルタの例を示します。このフィルタは、チェビシェフ多項式に従い、5:1の負荷/ソース・インピーダンス比を実現するために、理想的には0.5dB未満のリップルを提供します。図5 (b) は、144MHzのカットオフ周波数と600Ωの負荷インピーダンスに対する、シングルエンド等価ネットワークです。高いダイナミック・レンジIFサンプリングに対応できる多くの高速ADCでは、差動入力インターフェースを利用します。したがって、図5 (c) に示すように、シングルエンド・ネットワークを差動ネットワークに変換する必要があります。直列インピーダンスは、最終的な差動ネットワークへの変換時に半減されます。図5 (d) は、現実的なL値とC値を使用した最終的な実装形態を示します。PCボードの寄生容量をモデル化して最適なLとCを選択することを推奨します。最終

的な実装形態では、回路パターンの直列インダクタンスに対処するために、若干低いインダクタ値を使用します。なお、図5 (c) の負荷は、シャント・インダクタとコモンモード・バイアス抵抗を含めて、図5 (d) のADCインターフェースに置き換えられます。バイアス抵抗は、個々の差動入力に必要なDCオフセットを提供し、生のトラック・インピーダンスや共振シャント・インダクタと組み合わせて、フィルタ用に明確な負荷を与えます。

ネットワークのQを尊重することが重要です。負荷/ソース・インピーダンス比が大きいほど、Q成分とレイアウト寄生容量に注意する必要があります。通常、ネットワーク・インターフェースを最適化してノイズ性能と歪み性能の最適な組み合わせを実現するには、いくらか経験的な試行錯誤が必要となります。実際のLとCの寄生効果を正しくキャプチャする現実的なコンポーネント・モデルを使用し、ネットワーク応答をシミュレートすることを推奨します。

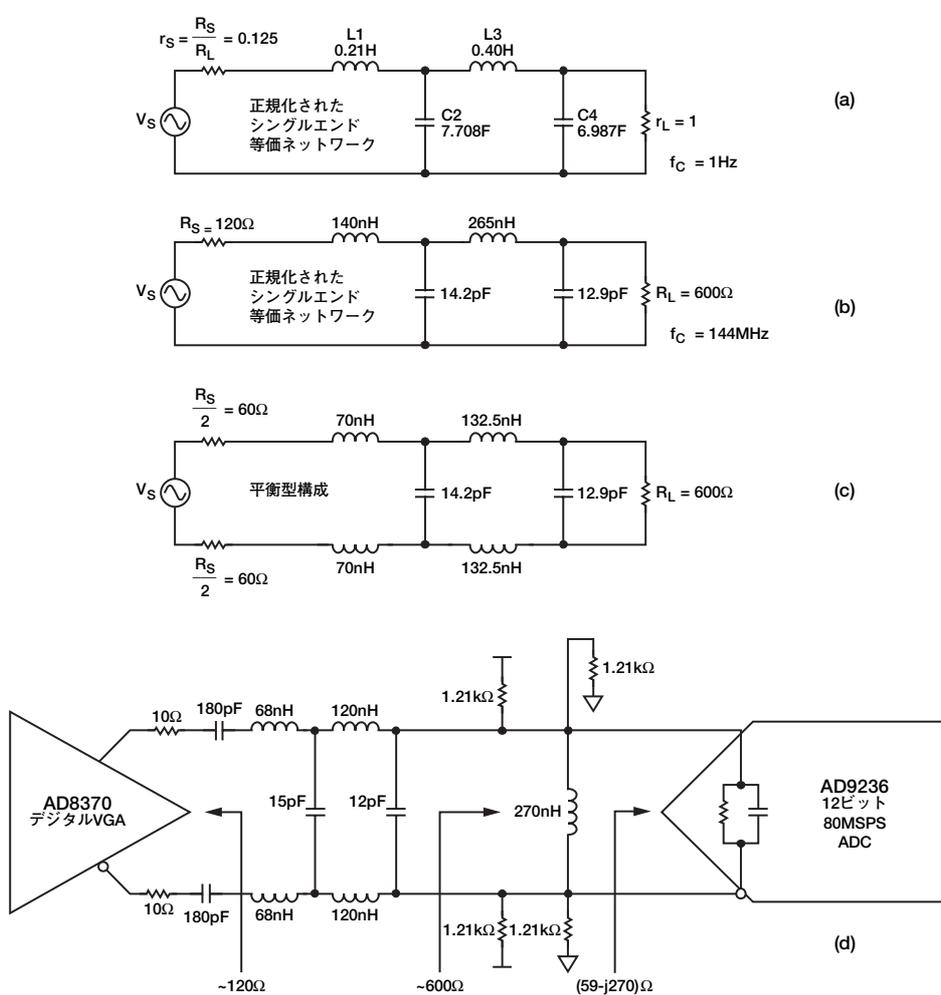


図5. スイッチド・キャパシタADCの整合により定義済み負荷を供給

計測性能

図6に示すように、図5の回路設計により優れた動的性能が得られます。適切なインターフェース・ネットワークの有無により、スプリアスフリー・ダイナミック・レンジと全高調波歪みがどのように異なるかに注目してください。共振シャント・インダクタは、ADCの生のインピーダンスを変換し、フィルタに予測可能な負荷インピーダンスを提供します。さらに、シャント・インダクタは、0Hz近辺のノイズ・フロアを破壊するDCオフセットや低周波フリッカ・ノイズの吸収に役立ちます。アンチエイリアシング・フィルタは、帯域内でエイリアシングを起こす高周波ワイドバンド・ノイズの除去に役立ち、駆動アンプの出力に存在する高周波の高調波除去にも役立ちます。これにより、140MHzの中心周波数で動作する高IFサンプリング・レシーバ向けに適切なソリューションが提供されます。周波数応答は、2MHzの帯域幅にわたって±0.2dBの範囲内でフラットで、群遅延は10ns未満です。

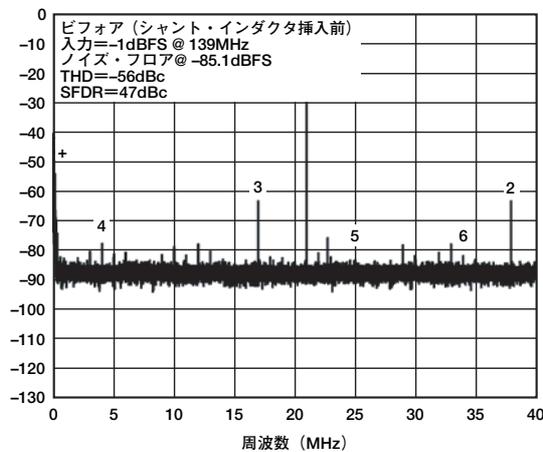


図6. 140MHzでAD9236を駆動するAD8370 (ビフォア&アフター)

図7に、低周波数での例を示します。このソリューションでは、5MHzの実用的な帯域幅、100ns未満の群遅延、および±0.25dB未満のパスバンド・リップルを持つ、ダブルダウン・コンバージョンIFサンプリング設計をターゲットにしています。この実装形態では、AD8351差動アンプが、AD9244 (14ビット、65MSPS、CMOS ADC) の駆動に使用されています。前の例と同じ設計方式が使用されます。カスケードにされたノイズ・フロアは6dB以上改善されますが、SFDRは10dB以上改善されず。

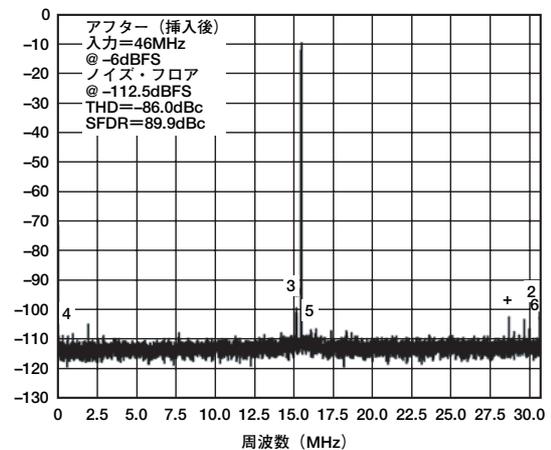
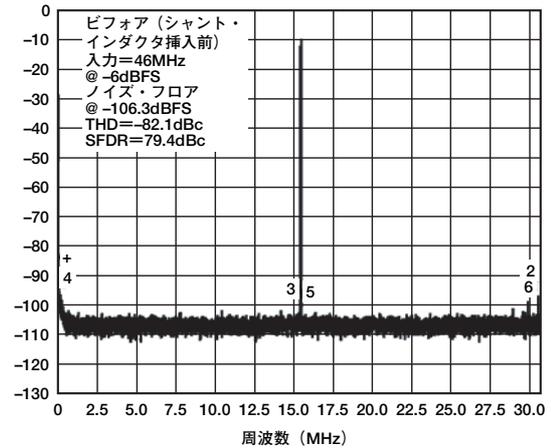


図7. 48MHzでAD9244を駆動するAD8351 (ビフォア&アフター)

まとめ

レシーバの設計者にとっては、アンプ駆動のスイッチド・キャパシタADC間で十分に整合させることが困難な場合があります。ここでは、アンプを適切に整合させる方法について説明しました。特定のスイッチド・キャパシタADCに与えられたトラック・モードのSパラメータを使用すれば、ADCのSHA内で支配的な寄生C項に取って代わる、共振整合ネットワークを決定することができます。この方法では、入力インピーダンスを可能な限り抵抗性があるように見せかけることによって、迅速かつ簡単なソリューションを提供します。これにより、帯域幅の改善、パスバンド平坦性の改善、SFDR性能の向上が得られます。

参考文献

- 第4章、High Speed Design Seminar、Walt Kester、Editor
- Filter Free 4.0、Nuhertz Technologies - オンライン・フィルタ設計ソフトウェア・パッケージ
- MS Excel
- MATLAB
- MathCAD
- RF Circuit Design、Chris Bowick、66~97ページ
- AN-742、Frequency Response of Switched-Capacitor ADCs

AD9215/AD9226/AD9235/AD9236/AD9237/AD9244/AD9245 に対するスイッチド・キャパシタADCの入力インピーダンスの詳細については、www.analog.comを参照してください。トラック & ホールド・モードでの1GHzまでの周波数に対するMicrosoft Excelの表計算プログラムをダウンロードするには、製品ページで評価用ボード・タブをクリックしてください。