

高速 A/D コンバータのための LVDS データ出力

Cindy Bloomingdale、Gary Hendrickson 共著

通信、計測機器、およびコンシューマ市場における新しい広帯域アプリケーションへの要求に応えるため、ここ数年間、A/D コンバータ (ADC) のサンプル・レートは着実に高くなっています。さらに、デジタル信号処理技術を活用するにはシグナル・チェーンの早い段階で信号をデジタル化する必要があるため、少なくとも 100~200MHz のクロック・レートと 8~12 ビットの分解能で変換可能な高速 ADC コアの開発が求められるようになりました。

単体のコンバータの場合、ADC は、受信側ロジックとそれに付随するプリント基板上的パターン配線の容量を駆動できる必要があります。負荷の駆動に起因する過渡的なスイッチング電流は、ADC のアナログ・フロントエンドに結合して性能に悪影響を与えることがあります。この影響を最小限に抑えるために、2つの出力ポートを多重化してクロック・レートの半分で出力データを供給することにより、必要なエッジ・レートを減らし、出力ポートがスイッチングしてからデータが有効になるセトリング時間を増やすという方法が従来から用いられています。最近の製品では、AD9054A、AD9884、AD9410、AD9430 がこの方法を採用しています。

ADC のアプリケーションにおいて性能上の制約を最小限に抑えながら高速データ出力を実現する方法として、LVDS (低電圧差動信号) を使用する方法が新たに開発されました。アナログ・デバイセズは、170MSPS の新しい 12 ビット ADC である AD9430 に LVDS 出力機能を組み込んでいます。また、今後開発する高速 ADC と DAC (D/A コンバータ) の一部にも LVDS を組み込みます。

LVDS は、その名前が示すように、低電圧差動信号方式です。ここで重要な意味を持つ語は、「低電圧」 (~350mV) と「差動」です。標準化団体が作成した仕様については後述します。低電圧の信号振幅は、スイッチング時間が短いことに加えて、EMI 問題の軽減 (隣接する差動パターンは互いの EMI を相殺する傾向があります) という、本質的なメリットがあります。



図 1. LVDS の出力レベル

また、差動信号方式にはコモンモード・ノイズ除去という利点があることもよく知られています。差動信号に結合したノイズは、差動対相互の信号パスに同相で重畳する傾向があり、適切に設計された差動レシーバによって相殺されます。LVDS 出力は、レシーバにおいて 100Ω の終端抵抗を必要とする電流出力段であり、一般に終端を必要としない CMOS 出力とは異なります。この電流出力という特徴は、結果的に出力電源の DC 負荷電流を固定することになります。そのため、センシティブなアナログ・フロントエンドに電源上の電流スパイクが結合することを避けられます。

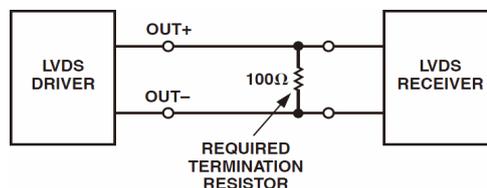


図 2. LVDS は遠方終端を必要とします

標準

LVDS を定義する標準はこれまでに 2つ作成されています。その 1つは "Electrical Characteristics of Low Voltage Differential Signaling (LVDS) Interface Circuits" というタイトルの ANSI/TIA/EIA-644 です。もう 1つは、"IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI)" というタイトルの IEEE 標準 1596.3 です。次に、この 2つの標準の概要を示します。

ANSI/TIA/EIA-644

ANSI/TIA/EIA 標準は、米国電気通信工業会 (TIA) の小委員会 TR-30.2 のもとで作成されたもので、LVDS の一般的な電氣的仕様のみを定義しています。その目的は、データ通信機器間のポイント・ツー・ポイント接続で使用される一般的な高速インターフェースの標準を作成することでした。最大のデータ信号レートは 655Mbps です。TR-30.2 小委員会では、他の標準化団体が送受信機器間のより包括的なインターフェース仕様を策定する場合、ANSI/TIA/EIA-644 を基準にさせることを意図していました。

IEEE標準 1596.3

IEEE 標準 1596.3 は、1992 SCI プロトコル (IEEE 標準 1596-1992) を拡張して作成されたものです。SCI プロトコル自体は、ハイエンド・コンピューティングにおける高速パケット伝送に適しており、ECL レベルで使用されました。しかし、ローエンドのアプリケーションや消費電力を重視するアプリケーションには、新しい標準が必要でした。LVDS 信号が選択された理由は、ECL 出力の場合に比べて電圧振幅が小さく、消費電力を重視する設計では低い電源電圧を使用できるからです。

AD9430 の LVDS 仕様

上述のように、AD9430 は、LVDS 出力オプション付きで設計された高速 A/D コンバータ・シリーズの最初の製品です (CMOS 出力も使用できます)。これは 170MSPS の 12 ビット ADC であり、ワイドバンド・キャリア・システムにおいて優れた動的性能を発揮するように最適化されています。図 3 に、AD9430 の LVDS 出力の簡略化した等価回路を示します。

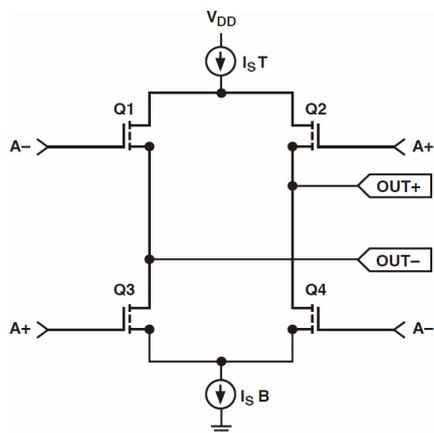


図 3. LVDS データ出力

図 3 の差動出力については、正または真 (true) のデータ出力を OUT+ で示し、OUT+ と対になる相補的なもう一方のデータ出力を OUT- で示します。回路動作は次のように説明できます (図 4 も参照してください)。図 4 の上側にある電流ソース (I_{sT}) は V_{DD} から定電流を作り出すようにチップ上に作られた回路です。この電流ソースは、Q2 によって制御されます。この例では、ロジック入力「1」が送信されています ($V+ > V-$)。100 Ω のレシーバ終端抵抗は、電流がドライバから Q3 を介し、図 4 の下側にある電流シンク (I_{sB}) を通ってグラウンドに戻るための電流パスを提供します。標準的な電流ソース/シンクは約 3.5mA に設定されるため、100 Ω の外部終端抵抗では 350mV の振幅が生じます。

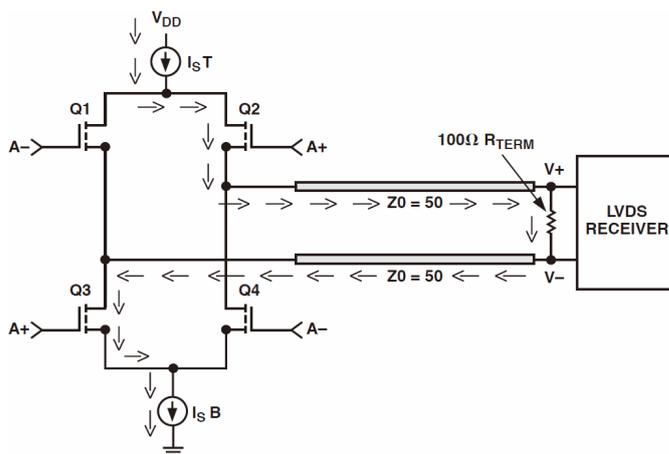


図 4. LVDS 出力電流

約 1.2V の出力コモンモード電圧を想定すると (コモンモード制御回路の図は省略)、出力抵抗は、2 本の 50 Ω 抵抗を直列接続し、そのセンタータップを 1.2V にバイアスしたものとしてモデリングできます。これによって、50 Ω という代表的なプリント基板パターンの特性インピーダンス (Z_0) との整合が得られ、反射を最小限に抑えられます。

AD9430 の LVDS 出力は、ANSI/TIA/EIA-644 仕様の方により近いものです。表 1 では、ANSI/TIA/EIA-644 と AD9430-170 の仕様を比較します。

表 1. ANSI/TIA/EIA-644 仕様と AD9430 仕様のみまとめ

Specification	ANSI/TIA/EIA-644		AD9430-170
	Min	Max	Typ
Output Current	2.47 mA	4.54 mA	Determined by RSET (nominally 3.5 mA)
Differential Output Voltage Magnitude	247 mV	454 mV	350 mV
Output Offset Voltage (Common Mode)	1.125 V	1.375 V	1.2 V
Transition Time: Rise Time (t_R) and Fall Time (t_F); 20% to 80%		$\leq 0.3 \times t_{UI} = 0.3 \times 5.88 \text{ ns} = 1.76 \text{ ns}$	0.5 ns

出力電流

一般に電圧出力である CMOS とは異なり、LVDS は電流出力技術を用いています。AD9430 の出力電流は、typ 値が $3.7\text{k}\Omega$ の抵抗によって設定されます。この $3.7\text{k}\Omega$ 抵抗は、出力電流を 3.5mA に設定します。なお、AD9430 では 3.5mA という公称出力電流 (I_S) を変更できるため、いくらか柔軟なシステム設計が可能です。詳細については、AD9430 のデータシートを参照してください。

差動出力電圧とオフセット電圧

ANSI 仕様では、差動出力電圧の振幅を $247\sim 454\text{mV}$ の間で定義します。ADC 出力が 3.5mA の出力電流に設定され、レシーバの入力インピーダンスが 100Ω であると想定すると、公称の差動出力電圧は 350mV です。

AD9430 の出力ドライバは 1.2V の公称共通モード電圧での使用を想定して設計されており、ANSI 仕様に十分収まります。ドライバ・グラウンドとレシーバ・グラウンドの間に生じることのある $\pm 1\text{V}$ 程度のグラウンド・シフトを考慮して、AD9430 の共通モード電圧の仕様は $1.1\sim 1.375\text{V}$ のレンジで規定されています。最高性能を得るために、ADC 出力は同じプリント基板上にあるレシーバ入力のすぐ近くに配置してください。そうすれば、このアプリケーションでグラウンド・シフトは問題になりません。

遷移時間

表 1 に示した ANSI/TIA/EIA-644 仕様では、 200MHz 以下のデータ信号レートの信号遷移時間を $0.3 \times t_{UI}$ 以下として定義しています。 t_{UI} の値は、データ信号レートの逆数として定義されます。AD9430 の場合、最大信号レートは 170MHz であるため、 t_{UI} は 5.88ns に等しくなります。仕様で定義されている式の t_{UI} に 5.88ns を代入すると、 $0.3 \times 5.88\text{ns} = 1.76\text{ns}$ となります。したがって、差動信号の和を求め等価的なシングル信号としたときの立上がり時間 (t_R) と立下がり時間 (t_F) は、 1.76ns を下回らなければなりません。AD9430 の場合、立上がり時間と立下がり時間の値は、公称 0.5ns です。図 5 は、LVDS 差動出力電圧の立上がり/立下がり時間の定義を示します。LVDS の立上がり/立下がり時間は、信号の最大値の 20% から 80% まで信号が変化する時間と定義されます。対照的に CMOS 出力では、一般に 10% から 90% までの変化と定義されます。

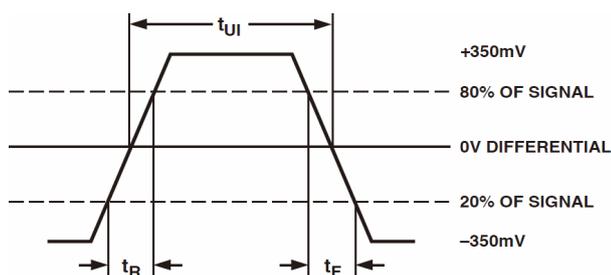


図 5. タイミング図

LVDS PCボード設計上の留意事項

高性能 ADC 用の LVDS 出力は、デジタル・ロジックで使用される標準的な LVDS 出力とは異なる取扱いが必要です。高速デジタル・アプリケーションにおいて、標準的な LVDS では $1\sim 10$ メートルを駆動できますが（データレートに依存）、高性能 ADC でその距離を駆動させることは推奨できません。LVDS 出力のパターン長を短くして（2インチ未満）、隣接する回路から LVDS 出力ラインへのノイズの結合を最小限に抑えるようにしてください。出力に結合したノイズがアナログ入力に回り込んでくる可能性があるからです。

差動出力パターンを互いに近接して配線することで、レシーバの近くに置いた 100Ω の終端抵抗による共通モード除去を最大限に高める必要があります。遅延によるスキューを最小限に抑えるよう、ユーザはプリント基板のパターン長に注意する必要があります。

図 6 は、プリント基板上に作られた代表的な差動マイクロストリップ・ラインの断面を示します。

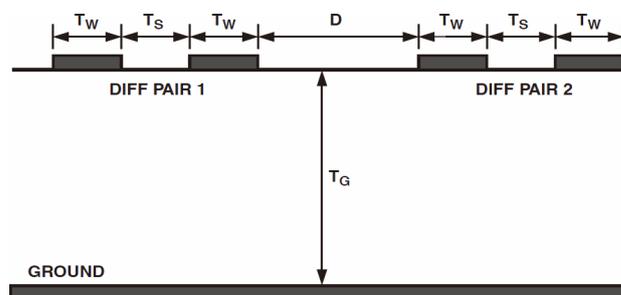


図 6. プリント基板上のパターンの間隔

レイアウトのガイドライン

- T_W 、 T_S 、 D を全パターン長において一定に保ちます
- $T_S \sim 2 T_W$ に保ちます
- ビアの使用をできるだけ避けます
- $D > 2 T_S$ に保ちます
- できれば 90 度の曲がり avoids
- T_W と T_G を $\sim 50\Omega$ 用に設計します

このように高速な ($< 0.5\text{ns}$) エッジ・レートでは、電源のデカップリングはきわめて重要です。すべての電源とグラウンド・ピンに低インダクタンスの表面実装型のコンデンサを配置してください。それらのコンデンサは、ADC と同じ面のできるだけ近くに配置してください。デカップリング・コンデンサをプリント基板の反対面に置くことは推奨できません。なぜなら、ビアのインダクタンスによって効果的なデカップリングが損なわれるからです。差動 Z_0 は、近接効果によって各導体のシングルエンド・ラインとしての Z_0 の 2 倍よりも若干低い傾向があります。各ラインの Z_0 は、 50Ω より若干高めに設計してください。重要なアプリケーションでは、シミュレーションを用いてインピーダンス整合を検証します。パターン長が短い場合、この近接効果はあまり問題になりません。

その他の留意事項

LVDS には EMI を抑えられるというメリットもあります。差動ラインの各々に流れる電流によって生成される電磁界は、互いに相殺する傾向があります（エッジ・レートが一致する場合）。パターン長、スキュー、および不連続性はこのメリットを減らすため、避ける必要があります。

LVDS では、同等のデータレートのデマルチプレックスされた CMOS ソリューションに比べて、タイミング条件が簡単になります。デマルチプレックスされたデータバスでは同期信号が必要ですが、LVDS ならば不要です。デマルチプレックスされた CMOS バスでは、ADC サンプル・レートの半分に等しいクロックが必要のため、コストと複雑さが生じますが、LVDS ならばこれらを伴いません。一般に、LVDS は使用条件が寛容であるため、簡単でクリーンな設計が可能になります。

まとめ

高速信号伝送において LVDS が提供するメリットは、コンバータ・アプリケーションにおいても性能とシステム上のメリットとなります。ADC および TxDAC[®]製品ラインに組み込まれたこのアナログ・デバイゼスの技術は、高速コンバータの性能要求の高度化に応えるものです。

参考文献

1. ANSI/TIA/EIA-644、*Electrical Characteristics of Low Voltage Differential Signaling (LVDS) Interface Circuits*、1996年3月
2. IEEE Std 1596.3-1996、*IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI)*、1996年3月