



AN-1457 アプリケーション・ノート

ADuCM3027/ADuCM3029 に内蔵された ADC の性能の最適化

はじめに

バイタル・サインの監視、温度検出、イメージングなどの多くのアプリケーションでは、高ダイナミック・レンジ、高分解能の A/D コンバータ (ADC) が必要ですが、コストが高く、消費電力が大きくなります。

このアプリケーション・ノートは、ADuCM3027/ADuCM3029 システムの 12 ビット ADC で取得されるサンプルに適用できるオーバーサンプリングと平均化の利点について説明します。これらの技法はプロセッサのオーバーヘッドを低減するので、特定のアプリケーションの消費電力量を低減できます。

ADUCM3027/ADUCM3029 について

ADuCM3027/ADuCM3029 プロセッサは、処理、制御、接続に使用される超低消費電力の内蔵型ミックスド・シグナル・マイクロコントローラ・システムです。ARM[®] Cortex[™]-M3 プロセッサをベースにしたマイクロコントローラ・ユニット (MCU) サブシステムは、一連のデジタル周辺機器、キャッシュ組み込み SRAM、フラッシュ・メモリ、アナログ・サブシステム、ADC だけではなく、クロック、リセット、パワー・マネージメントの機能も備えています。

超低ダイナミック・モードと休止モードのパワー・マネージメントに対応するため、ADuCM3027/ADuCM3029 プロセッサは、ダイナミック/ソフトウェア制御のクロック・ゲートや電力ゲートなど、多数の電力モードと機能を備えています。

ADuCM3027/ADuCM3029 のすべての仕様は、デバイスのデータシートに記載されています。

ADC の最適化

ADuCM3027/ADuCM3029 マイクロコントローラは、最大 1.8 MSPS で動作可能な高速、マルチチャンネルの 12 ビット ADC です。ADC コントローラを設定して一連の変換を実行すれば、専用のダイレクト・メモリ・アクセス (DMA) チャンネル経由でシステムにデータが転送されます。この設定では、プロセッサを (デバイスの全体的な消費電力を最低限に抑える) Flexi[™]モードにして、その他のタスクを実行できます。

オーバーサンプリングと平均化、電圧リファレンスの選択、サンプリング・クロック、消費電力に関して、ADC の性能を向上させることができます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

はじめに.....	1	サンプリング・クロックの選択	5
ADuCM3027/ADuCM3029 について.....	1	電力の最適化.....	6
ADC の最適化.....	1	リファレンス・バッファの低消費電力モード	6
改訂履歴.....	2	Flexi モード	6
オーバーサンプリングと平均化	3	高電力降圧.....	6
オーバーサンプリングの概念	3	オーバーサンプリングと平均化の実装	7
リファレンス電圧の選択	4	オーバーサンプリングのプログラミング・フロー.....	7
内部リファレンス電圧.....	4	アプリケーション例の概要	10
内部リファレンス・バッファの高速放電.....	4	結果.....	11
外部リファレンス電圧	4	参考文献.....	12
PCB の推奨事項	4		

改訂履歴

7/2017-Revision 0: Initial Version

オーバーサンプリングと平均化

アプリケーションにおいて 12 ビットの内蔵 ADC を効果的に使用するには、オーバーサンプリング技術が最適で、コスト効率のよいソリューションになります。

ADuCM3027/ADuCM3029 マイクロコントローラの ADC サブシステムには、ハードウェア・コントローラでオーバーサンプリングと平均化を実装するオプションがあります。MCU で専用のソフトウェアを実行する必要はありません。つまり、ADC サブシステムは、アルゴリズムの計算で発生するプロセッサのオーバーヘッドと消費電力量を軽減します。ここでは、オーバーサンプリングと平均化を使用した ADC 性能の向上について説明します。

オーバーサンプリングの概念

オーバーサンプリングは、ナイキスト周波数 $f_s/2$ よりも周波数の高い入力信号をサンプリングするプロセスです。ここで、 f_s はサンプリング周波数です。

入力信号を $M \times f_s$ でサンプリングし、 M 個のサンプルを平均化して 1 つのサンプルを取得します。係数 M は、オーバーサンプリング係数と呼ばれます。

ナイキスト帯域幅 $DC \sim f_s/2$ で均一に分散する理想的な量子化ノイズが発生する N ビット ADC を考えます (図 1 の Part A を参照)。非常に高いサンプリング・レート (Mf_s) でこの ADC を使用して入力信号をサンプリングすると (図 1 の Part B を参照)、ノイズは DC から $Mf_s/2$ の広い帯域幅で分散します。次に、各 M サンプルを平均化するとデジタル・フィルタとして機能し、入力信号の帯域幅に影響を与えずに多数の広帯域ノイズが低減されます。このプロセスにより、次式に示すように、デシベル単位で S/N 比が増加します。

$$SNR = 6.02N + 1.76 + 10\log_{10}M \quad (1)$$

N は、理想的な ADC の有効ビット数 (ENOB) です。

このため、低分解能の ADC で高分解能のアナログ・デジタル変換を実行できます。

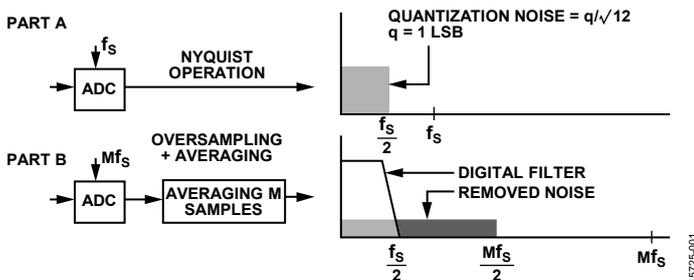


図 1. 周波数領域でのオーバーサンプリングと平均化の効果

この技法では、信号の帯域幅に含まれないノイズを除去し、 $10\log_{10}M$ だけダイナミック・レンジを増やし、 $\sqrt{\sqrt{M}}$ だけ ENOB を増やします。ここで、 M はオーバーサンプリング係数です。

一般に、サンプリング周波数を倍にするごとに、SNR は 3 dB 増加し、ENOB は 0.5 ビット向上します。

例えば、理想的なケースでは、4 つの 12 ビット ADC サンプルを平均化すると、ENOB は 1 ビット増加し、ダイナミック・レンジは 6 dB 向上します。

一般に、ADC では非直線性による量子化ノイズ、熱ノイズ、歪みだけでなく、クロックやリファレンスなどのさまざまな要素による外部ノイズが発生します。これらのノイズにより、実際の測定値は理論値よりも精度が低くなります。50 kSPS でノイズ・フリー・ビットが 10.5 の 12 ビット ADC を考えてみます。入力信号に隣接する 2 つのサンプルを平均化すると、有効サンプリング周波数が 25 kSPS に減少し、ノイズ・フリー・ビットが 11 ビットに増加します。さらに、隣接する 4 つのサンプルを平均化すると、有効サンプリング・レートは 12.5 kSPS に減少し、ノイズ・フリー・ビットは 12.5 ビットに増加します。

隣接するサンプルを平均化すると、信号内の相関関係のないノイズだけが減少するので、ADC のノイズ・フロアが減少し、SNR が向上します。ただし、積分非直線性 (INL) は変わりません。この技法を使用すれば、ADC のダイナミック・レンジが効果的に向上しますが、全体的な出力サンプリング・レートと外部デジタル・ハードウェアでデメリットがあります。

ADC によって観察されるノイズが量子化ノイズだけの場合は、平均化を実行しても性能は向上しません。この場合、微量のディザと呼ばれる白色ノイズを入力に導入すると、平均化により高い分解能を得ることができます。導入されるノイズは、入力信号に相関関係がなく、変換出力をランダムにトグルできるように振幅を大きくする必要があります。このようなディザ入力を変換したサンプルのヒストグラムは、ガウス分散に従います。これらのサンプルを平均化すると、ローパス・フィルタして機能します。この場合、ノイズがフィルタリングされ、 S/N 比が増加します。

十分なノイズが入力に導入され、オーバーサンプリングされた値を平均化した場合でも、ノイズ・フリー・ビットは理論値ほど正確ではありません。この制限はコンバータの全高調波歪み (THD) に起因します。

リファレンス電圧の選択

適切なリファレンス電圧は、ADC 性能にとって重要な役割を果たします。

ADuCM3027/ADuCM3029 プロセッサには、内蔵バンドギャップ・リファレンスを使用して 1.25 V または 2.5 V をリファレンス電圧として生成できるリファレンス・バッファが内蔵されています。バッテリー電圧 (VBAT) または外部電圧もリファレンスとして使用できます。これらの設定に共通な部分はありません。内部バッファと VBAT の両方をリファレンス・ソースとして選択すると、内部リファレンス・バッファがディスエーブルになり、VBAT がリファレンス電圧として選択されます。

内部リファレンス電圧

電源モニタのステータス・レジスタ (PMG_PSM_STAT、図 2 を参照) によっては、2.5 V または 1.25 V をリファレンス電圧として選択できます。詳細については、[ADuCM302x Ultra Low Power ARM Cortex-M3 MCU with Integrated Power Management Hardware Reference](#) を参照してください。

バッテリー電圧が 2.75 V を上回る場合は、2.5 V をリファレンス電圧として選択します。バッテリー電圧が 2.75 V を下回る場合は、1.25 V をリファレンスとして選択します。

内部リファレンス・バッファの高速放電

ADuCM3027/ADuCM3029 MCU では、高いリファレンス電圧から低いリファレンス電圧への迅速な切替えが可能です。ADC 構成レジスタの高速放電ビットをイネーブルにすると、この切替えを実行できます (ADC_CFG レジスタ、FAST_DISCH ビットを 1 に設定する)。

次の切替えで高速放電をイネーブルにできます。

- 2.5 V から 1.25 V
- VBAT から 1.25 V
- VBAT から 2.5 V (VBAT > 2.5 V)

例えば、室温で 2.5 V から 1.25 V に切り替えると、切替え時間が 2% (45 ms から 0.9 ms に) 減少します。

外部リファレンス電圧

外部リファレンス電圧を選択するには、ADC 構成レジスタの内部リファレンス・イネーブル・ビット (ADC_CFG レジスタ、REFBUFEN ビット) をゼロに設定して内部リファレンス・バッファをディスエーブルにします。外部リファレンス電圧がバッテリー電圧を上回ってはいけません。外部リファレンス・ソースは VREF_ADC に接続します。内部バッファを使用する場合はフロート状態にする必要があります。内部リファレンス・バッファをディスエーブルにすると、ADC サブシステムの消費電力を約 200 μ A 削減できます。

PCB の推奨事項

GND_VREFADC ピンの付近で、0.1 μ F コンデンサと 4.7 μ F コンデンサを並列に接続して VREF_ADC ピンをデカップリングすることを推奨します。ADuCM3027/ADuCM3029 の他の GND ピン (GND_DIG、GND_ANA および露出パッド) に接続する必要があります。デカップリングの性能を最大限に活用するには、これらのコンポーネントを可能な限りデバイスの近く (理想的には真上) に配置する必要があります。

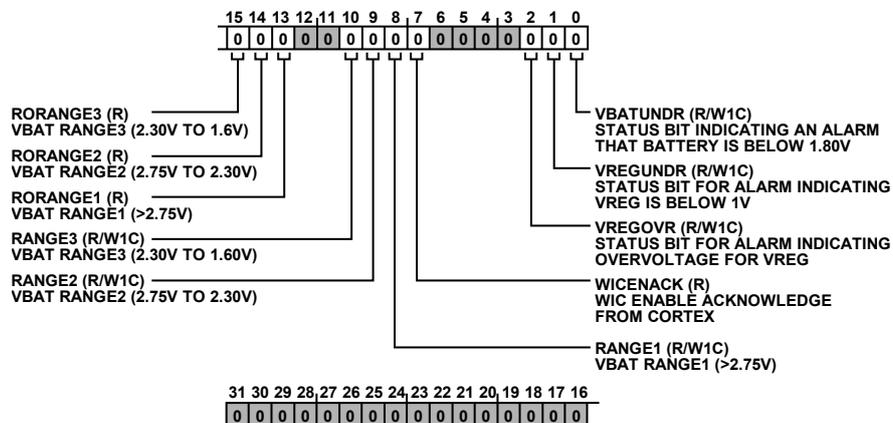


図 2. PMG_PSM_STAT レジスタ

サンプリング・クロックの選択

ジッタについては、サンプリング・クロックの品質によって ADC 性能が決定されます。最適なサンプリング・クロックを選択することは、アプリケーションにとって重要です。ジッタはクロック・エッジの位置のずれで、サンプリング時間の誤差につながります。このサンプリング・エッジの不確定要素により、サンプルの間隔が不均一なり、コンバータのノイズ性能が劣化します。

コンバータのノイズ性能の劣化を観察すると、クロック・ジッタを推測できます。ジッタによる SNR の制限は、次の式で決定されます。

$$SNR = -20\log(2\pi f_{IN}t_{JITTER(RMS)}) \text{ dB} \quad (2)$$

ここで、

f_{IN} は、入力周波数。

$t_{JITTER(RMS)}$ はサンプリング・クロックの rms ジッタ。

サンプリング・レートが 154 kSPS の理想的な 12 ビット ADC では、クロック・ジッタの条件は、70 kHz の入力周波数で約 412 ps になります。入力周波数が 300 Hz の場合、ジッタ条件は約 105 ns になります。

従来の方法では、スペクトルを測定することでクロック・ジッタを観察していました (図 3 を参照)。この図では、サンプリング・クロックでジッタが発生するので、理想的なインパルス応答が分散し、スペクトル漏れが発生します。電力量の大部分は、対象の周波数付近で分散し (近接ノイズ)、大部分は広帯域 (高帯域ノイズ) にも含まれます。近接位相ノイズにより、基本波信号が不鮮明な周波数ビンに代わるので、全体的なスペクトル分解能が減少します。

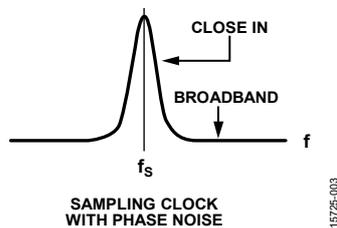


図 3. 周波数領域のサンプリング・クロックとジッタ

サンプリング処理では、サンプリング・クロックとアナログ入力信号が乗算されます。この時間領域での通信は、周波数領域での畳み込みと同じです。このため、サンプリング・クロックのスペクトルが純粋なサイン波入力信号のスペクトルに畳み込まれると、出力されるスペクトルにサンプリング・クロックのスペクトル漏れも含まれます。この漏れにより、コンバータのノイズ性能が低下します。

図 4 と図 5 に、クロック・ジッタが ADC サンプルのスペクトルに与える影響を示します。オーバーサンプリング・モードで ADC をイネーブルにして 16 ビットのサンプルを取得し、157 Hz の入力信号を 604 SPS でサンプリングします。1 秒間に約 4 ns のジッタが発生する自励発振器を使用して入力周波数をサンプリングすると、サンプリング周波数の S/N 比が低下します (図 4 を参照)。同じセットアップで、ジッタが大幅に低いクロック源 (約 200 ps) を使用して入力信号をサンプリングすると、前のケースのスペクトルで見られるような信号品質の劣化は観察されません (図 5 を参照)。

詳細については、[AN-756 アプリケーション・ノート](#)、[サンプル化システムに及ぼすクロック位相ノイズとジッタの影響](#)を参照してください。

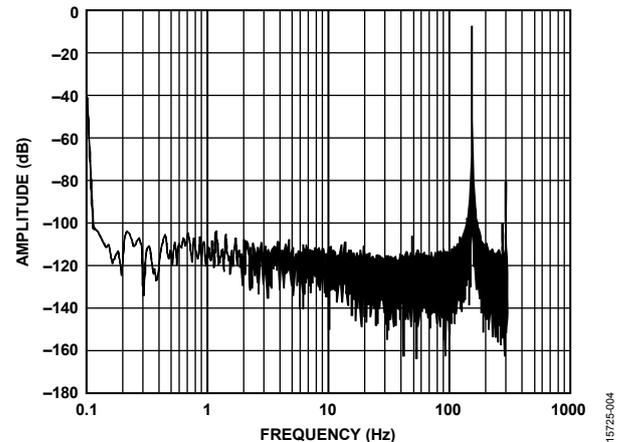


図 4. 約 4 ns のジッタが発生する周波数領域において、ADC クロック・ジッタが ADC サンプルに与える影響

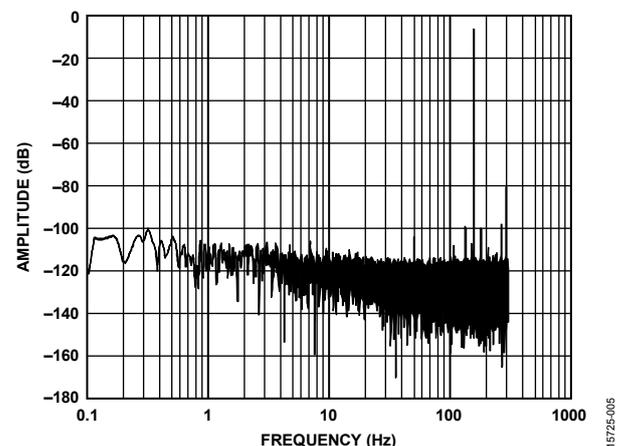


図 5. 約 200 ns のジッタが発生する周波数領域において、ADC クロック・ジッタが ADC サンプルに与える影響

電力の最適化

超低消費電力の MCU では、消費電力も ADC の性能を最適化できます。ここでは、ADuCM3027/ADuCM3029 マイクロコントローラのさまざまな機能を使用して、システム全体の消費電力を減らす方法について説明します。

リファレンス・バッファの低消費電力モード

リファレンス・バッファは、通常の動作モードと比較してバッファの消費電力を下げる機能を提供します。この低消費電力動作モードは、リファレンス・バッファの低消費電力モード・レジスタ (レジスタ ADC_CFG1) の RBUFLP ビット・フィールドを 1 に設定することでイネーブルになります。

FLEXI モード

ADC が複数のサンプルを変換する場合、DMA をイネーブルにして、ADC 出力バッファからメモリへサンプルを転送できます。この間、ARM Cortex-M3 コアを Flexi モードに移行するか、その他の機能を使用することで、全体的な消費電力を減らすことができます。Flexi モードでは、コアはスリープし、残りのペリフェラルと DMA はクロック動作を継続します。このため、ペリフェラルとメモリの間や、あるメモリと別のメモリの間で DMA 転送を続行できます。

高電力降圧

高電力降圧 (HP 降圧) は、コンデンサ降圧コンバータです。VBAT レベルに基づいてデバイスの全体的な消費電流を削減できます。2.8 V を上回るバッテリー電圧では、デバイスの消費電力が約 50% 減少します。

オーバーサンプリングと平均化の実装

オーバーサンプリングのプログラミング・フロー

この手順では、1つのチャンネルで複数の変換を平均化する方法について説明します。

1. 次式のように、クロック・コントロール・レジスタ (CLKG_CLK_CTL1 レジスタ、ACLKDIVCNT ビット) で ADC クロック分周器を設定し、ADC クロック ACLK を定義します。

$$ACLK = \frac{\text{Root Clock}}{ACLKDIV} \quad (3)$$

ルート・クロックはルート・クロック周波数 (26 MHz) で、HFOSC、HFXTAL、PLL または外部汎用の入出力 (GPIO) クロック源から給電できます。デフォルトでは、ルート・クロックは HFOSC です。

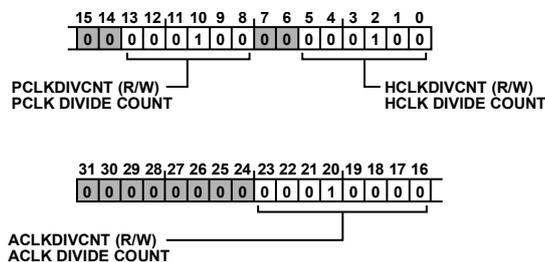


図 6. CLKG_CLK_CTL1 レジスタ

ADC のサンプリング・レートは、ACLK から内部で計算されます。ここでアキュイジション・フェーズは、ADC_CNV_TIME レジスタ、SAMPTIME ビット、1 ACLK サイクルで、変換フェーズは、逐次比較で取得される 13 ACLK サイクルです。変換フェーズは、アキュイジション・フェーズの最後に開始されます。サンプル・レートの計算には、次式を使用します。

$$ADC \text{ Sampling Rate} = \frac{\text{Root Clock} \div ACLKDIV}{((14 + \text{Sampling Time}) \times \text{Oversampling Factor})} \quad (4)$$

オーバーサンプリング係数によって、オーバーサンプリングおよび平均化されるサンプルの数が決定されます。1 ~ 256 の値を指定できます。

ADC サンプル間の遅延時間を指定する場合は、次式でサンプリング・レートを計算する必要があります。

$$ADC \text{ Sampling Rate} = \frac{\text{Root Clock} \div ACLKDIV}{((14 + \text{Sampling Time}) \times \text{Oversampling Factor}) + (\text{Delay Time} + 2)} \quad (5)$$

遅延時間の値を 1 未満にすることはできません。

2. ADC 設定レジスタ (ADC_CFG レジスタ、PWRUP ビット) のパワーアップ ADC ビットを 1 に設定して ADC をパワーアップします (図 7 を参照)。

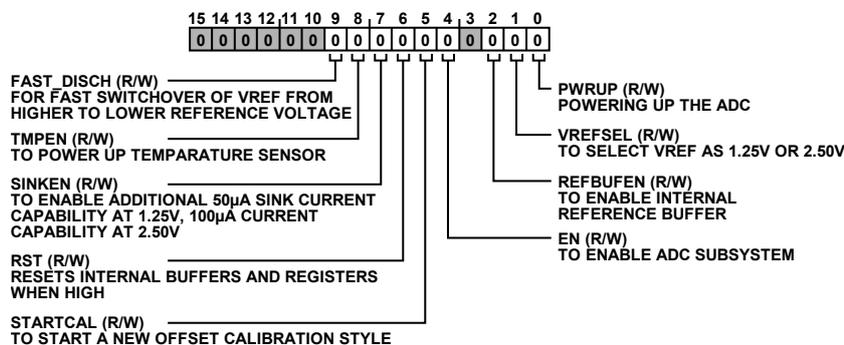


図 7. ADC 設定レジスタの図

- ADC パワーアップ時間レジスタの待機ビット (ADC_PWRUP レジスタ、WAIT ビット) は、526 を CLKG_CLK_CTL1 レジスタ、PCLKDIVCNT ビットの値で除算した値に設定します。

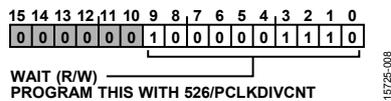


図 8. ADC_PWRUP レジスタ

ADC を適切に機能させるには、パワーアップ待機が必要です。CLKG_CLK_CTL1 レジスタ、PCLKDIVCNT ビットが 1 の場合、ADC で必要な最大パワーアップ時間は 526 クロック・サイクルになります。

- ADC_CFG レジスタの VREFSEL ビットを使用して、1.25 V または 2.5 V のリファレンス・バッファをリファレンス電圧として選択します。
- ADC_CFG レジスタの REFBUFEN ビットを設定して、内部リファレンス・バッファをイネーブルにします。
- ADC_CFG1 レジスタの RBUFLP ビットを設定して、リファレンス・バッファの低消費電力モードを設定します。

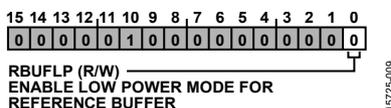


図 9. ADC_CFG1 レジスタ

- ADC_CFG レジスタの EN ビットを設定して、ADC サブシステムをイネーブルにします。
- 3.5 ms 待機します。内部リファレンス・バッファが指定されたリファレンス・バッファ電圧 (1.25 V または 2.5 V) に到達するまでの待機時間が必要です。汎用 (GP) タイマーのいずれかを使用して、3.5 ms 間待機します。この待機期間中、システムを Flexi モードに移行して電力を節約し、GP タイマーの割込みでウェイクアップできます。
- ADC ステータス・レジスタの ADC 変換開始準備ビット (ADC_STAT レジスタ、RDY ビット) の状態を確認します。このビットが 1 の場合、ADC 変換を開始する準備が整っています。
- このビットに 1 を書き込むと、ADC_STAT レジスタの RDY ビット (図 10 を参照) をクリアできます。
- 補正サイクルを開始するには、ADC_CFG レジスタの STARTCAL ビットを設定します。
- ADC_STAT レジスタの CALDONE ビットを確認します。アサートされている場合は、1 を書き込んでビットをクリアします。
- ADC 変換設定レジスタ ADC_CNV_CFG の SEL ビット (図 11 を参照) を設定して、変換のチャンネルを選択します。例えば、これらのビットに 1 を書き込むと、チャンネル 0 が選択されます。

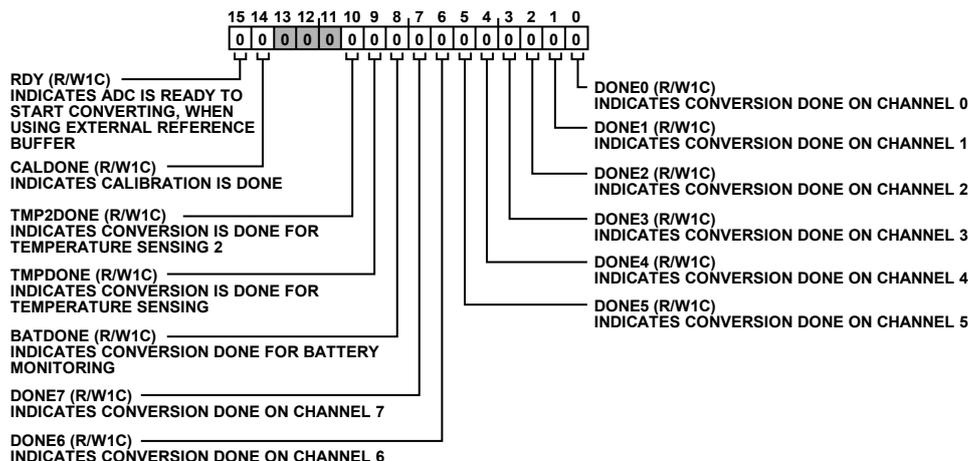


図 10. ADC_STAT レジスタ

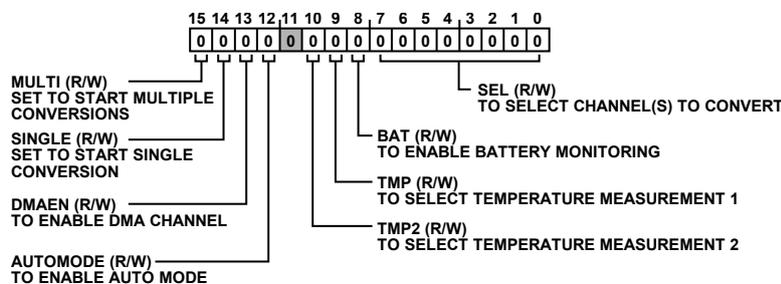


図 11. ADC_CNV_CFG レジスタ

14. 変換が完了したら、ADC 割込みイネーブル・レジスタ（レジスタ ADC_IRQ_EN）で CNVDONE ビットを 1 に設定し、割込み機能をイネーブルにします（図 12 を参照）。
15. ADC 平均化設定レジスタ（ADC_AVG_CFG）の OS ビットと EN ビットを 1 に設定して、オーバーサンプリングと平均化をイネーブルにします（図 13 を参照）。
16. ADC 平均化設定レジスタ（ADC_AVG_CFG）の FACTOR ビット・フィールドでオーバーサンプリングと平均化の係数（M）を設定します。必要な分解能をプログラムする係数は表 1 で指定されています。

表 1. 分解能を向上するためのオーバーサンプリングと平均化の係数

Resolution Required	Oversampling and Averaging Factor (M)	Number of Samples Used for Averaging
13-Bit	0x02	4
14-Bit	0x08	16
15-Bit	0x20	64
16-Bit	0x80	256

17. ADC_CNV_CFG レジスタの SINGLE ビットを 1 に設定して、シングル変換を開始します。
18. ADC_IRQ_EN レジスタの CNVDONE ビットが設定されている場合は、変換完了の割込みが生成されます。変換完了の割込みが生成される場合は、対応するチャンネルの ADC_STAT の変換完了ビット（例: ADC_STAT レジスタ、DONE0 ビット）を確認します。

19. 対応するチャンネルの変換結果レジスタから（例: ADC_CH0_OUT）読出しを実行します。
20. ADC_STAT レジスタの変換完了ビットに 1 を書き込みます（例: DONE0 ビットを 1 に設定する）。
21. オーバーサンプリングおよび平均化された複数のサンプルを取得するには、手順 1 から手順 15 を繰り返します。
22. 次のように DMA を設定します。
 - 変換数が 10 の場合は、DMA カウント=9 (DMA カウント=変換数-1)。
 - ソース・アドレス = ADC_DMA_OUT レジスタのアドレス。
 - ソース・サイズ=ハーフ・ワード
 - DMA の出力先アドレスを SRAM メモリ・ロケーション・アドレスに設定して、変換結果を保存します。
 - 出力先アドレスに必要なインクリメントをプログラムします。
23. ADC 変換設定レジスタ ADC_CNV_CFG の DMAEN ビットを 1 に設定して、DMA をイネーブルにします。
24. ADC 変換設定レジスタ ADC_CNV_CFG の MULTI ビットを 1 に設定して、変換を開始します。
25. DMA_DONE 割込みが生成される場合は、MULTI ビットをクリアして、割込みサービス・ルーチンで今後の変換を無効にします。

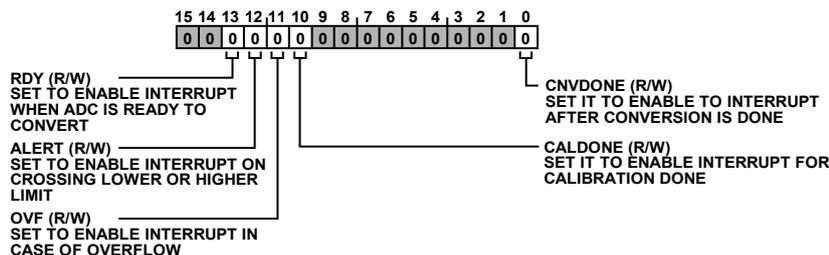


図 12.ADC_IRQ_EN レジスタ図

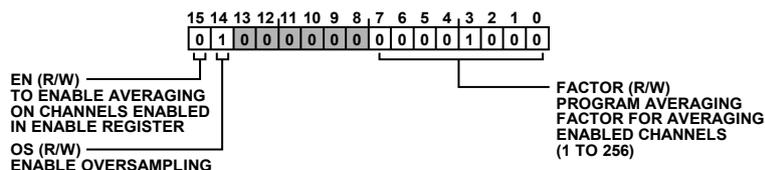


図 13.ADC_AVG_CFG レジスタ図

アプリケーション例の概要

ここでは、電力最適化モードで ADC オーバーサンプリングと平均化を実行するアプリケーション・シーケンスについて説明します。

この例では、ADC でオーバーサンプリングと平均化モードがイネーブルになっています。オーバーサンプリング係数 (M) を 256 に設定して、16 ビットのサンプルを取得します。DMA は、16 ビットのサンプル 1024 個をキャプチャして SRAM のロケーションに保存します。-後に、サンプルはユニバーサル非同期レシーバー/トランスミッタ (UART) インターフェースによって取得されます。ADC 変換と DMA 転送の間、コアは Flexi モードになります。

マルチ変換モードでのオーバーサンプリングのアプリケーション・フローを図 14 に示します。

図 15 に、アプリケーション・シーケンスを示します。

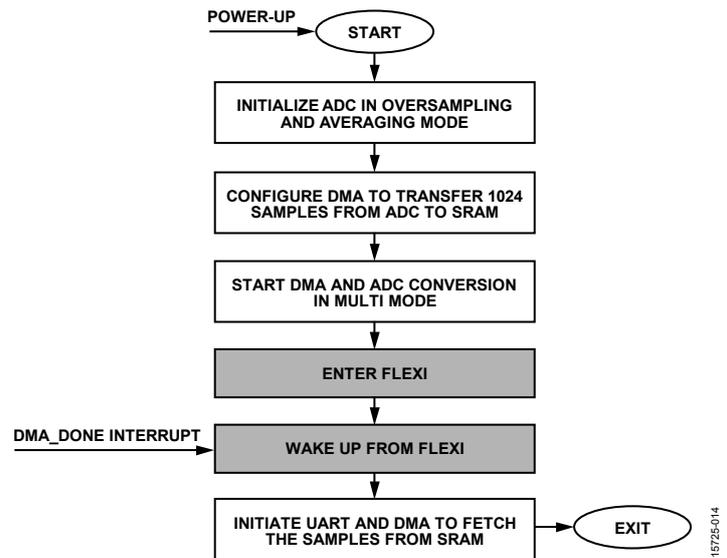


図 14. マルチ変換モードでのオーバーサンプリングのアプリケーション・フロー

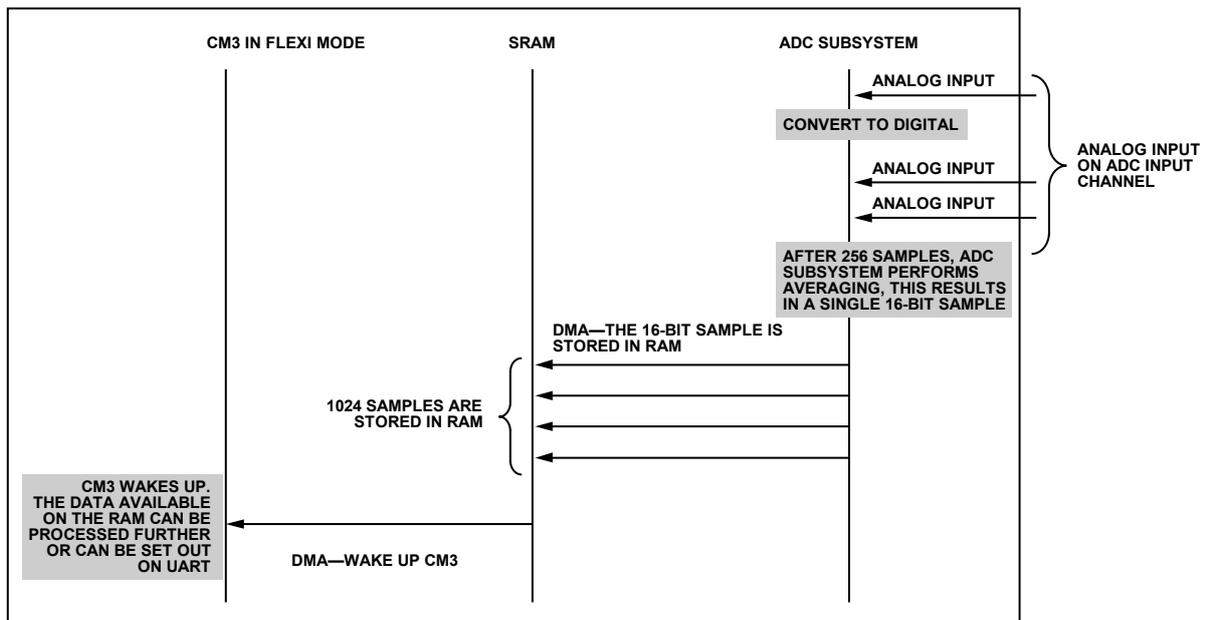


図 15. アプリケーション・シーケンス

結果

図 16 に、ADC の性能である有効ビット数 (ENOB) をオーバーサンプリングと平均化係数の関数として示しています。ENOB は、式 1 で説明されているように、信号/ノイズ + 歪み (SINAD) に基づいて計算されます。周波数 157 Hz のサイン波を信号発生器から ADC チャンネル 0 に入力すると、SINAD を取得できます。

オーバーサンプリング係数 (M) ごとに、スループットが常に 604 SPS になるよう、ADC クロック周波数が調整されます。

ADC は理想的ではないので、実際の ADC 性能を測定するには、SINAD を考慮します。

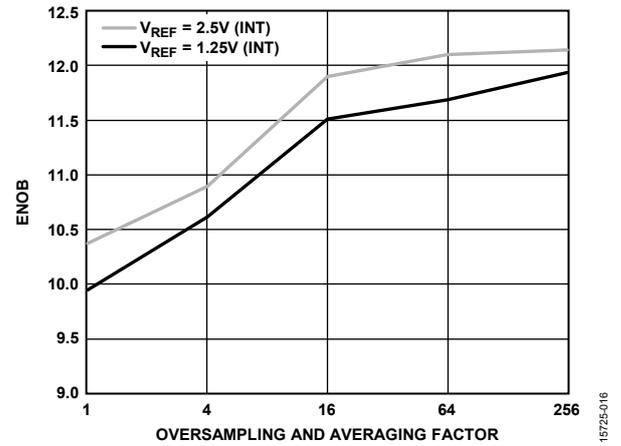


図 16. オーバーサンプリングと平均化の係数に対する ENOB

参考文献

AN-756 アプリケーション・ノート、サンプル化システムに及ぼすクロック位相ノイズとジッタの影響
アナログ・デバイセス、2004年

Kester, Walt ADCの入力ノイズ:良いノイズと悪いノイズと厄介なノイズ 良いノイズとはノイズ・ゼロのこと?
アナログ・ダイアログ Vol. 40、2006年2月

Kester, Walt *The Data Conversion Handbook*.
アナログ・デバイセス、2005年

Reeder, Rob, Wayne Green, Robert Shillito 「A/Dコンバータのクロックの最適化: 試験工学的な観点」
アナログ・ダイアログ Vol. 42、2008年2月