

2001年1月

研究所標準グレードのドリフト0.1ppm/°C 20ビットDAC

1ppmの専用デジタル変換技術

Jim Williams

- J. Brubaker
- P. Copley
- J. Guerrero
- F. Oprescu

はじめに

近年、高精度、計装グレードのD/A変換は長足の進歩を遂 げました。10年前、12ビットのD/Aコンバータ(DAC)は、高級 なデバイスと考えられていました。現在では16ビットDACが 市販され、システム設計への普及が加速しています。これらは 真に高精度のデバイスであり、直線性誤差は1LSB 未満、ドリ フトは1ppm/°Cを達成しています。1それでも更に高い性能を 要求するDACアプリケーションがあります。自動テスト機器、 計測器、較正装置、レーザー・トリマ、医療電子機器、その他 のアプリケーションは、しばしば16ビットを超えるDAC 精度 を必要とします。18ビットDACも回路アセンブリという形態で 生産されているものの、高価であると同時に、頻繁な較正が 必要です。手動切り替えのケルビン・バーレイ分圧器に代表さ れる、20ビットや23+ビット(0.1ppm!)DACさえ存在します。こ れらのデバイスは驚くべき精度を持つものの、大型、低速か つきわめて高価です。その用途は通常、標準研究所に限られ ます。2有意義な開発は、容易に構築でき、頻繁な較正を必要 としない、実用的な20ビット(1ppm)DACと思われます。

20ビットDACのアーキテクチャ

図1は20ビット(1ppm) DACのアーキテクチャを示したもの です。この方式は、スケール・ドリフトおよびゼロ・ドリフトが 0.02ppm/°C未満の、真の1ppm A/Dコンバータが入手可能で あることを前提としています。このデバイスLTC[®]2400は、20ビッ トDACを実現するためのデジタル補正ループ内の帰還用部 品として使用します。³

実際には、「スレーブ」の20ビットDAC出力を「マスタ」の LTC2400 A/Dコンバータによってモニタし、このマスタがデジ タル情報をコード・コンパレータに供給します。コード・コンパ レータはユーザーが入力したワードとLTC2400の出力の差を 求め、補正済みのコードをスレーブDACに入力します。この 方法により、スレーブDACのドリフトと非直線性は、A/Dコン バータとVREFによって決定される精度まで、ループによって 連続的に補正されます⁴。DACに求められる唯一の要件は、 単調であることです。ループ内の他の部品は、いずれも安定で ある必要はありません。



図1. ループに基づく20ビットDACの概念図。 デジタル比 較を用いて A/D コンバータによるDAC の誤差補正が可能。 LTC2400 A/D コンバータの低い不確実性が1ppmの 出力精度を実現

↓ LTCおよびLTはリニアテクノロジー社の登録商標です。

Note 1:高精度 D/A変換を復習するには、付録 Aの「高精度 D/A変換の歴史」を参照のこと。

Note 2: ケルビン・バーレイ分圧器の検討については、付録Cの「1ppmに達する データ・コンバータ直線性の検証」を参照のこと。更に、付録Aの「高精度D/A変 換の歴史」も参照のこと。

Note 3:LTC2400 A/D コンバータの特徴は、付録 B の「LTC2400 — モノリシック24 ビット A/D コンバータ」を参照のこと。

Note 4: D/A コンバータはA/D コンバータを構成するために、長年にわたってルー プ内に配置されてきた。このシステムではA/D コンバータがループに帰還信号を 供給し、D/A コンバータを構成する。このように、今回の開発には合理的な対称 性があるように思われる。D/AとA/D の役割を逆転させた開発である。



このループは数々の好ましい特徴を備えています。前述のと おり、精度の限界はA/Dコンバータとそのリファレンス電圧に よって決まります。それ以外の部品はいずれも安定である必 要がありません。更にループ動作は下位ビットのインデクシン グとジッタを平均化するため、ループ固有の小信号不安定性 を除去します。最後に、A/Dコンバータを負荷に配置すること で、従来のリモート・センシングを使用したり、デジタル信号に 基づくセンシングを実現したりすることも可能です。A/Dコン バータのSO-8パッケージと、外付け部品が不要であることが、 デジタル化されたケルビン・センシング方式を実用的なものに しています。⁵

回路の詳細

図2に1ppm DACの詳細な回路図を示します。スレーブDAC は2つのDACから構成されます。コード・コンパレータ出力の 上位16ビットは16ビットDAC(「MSB DAC」)に入力され、下 位ビットはこれとは別のDAC(「LSB DAC」)によって変換され ます。2つのDACには合計32ビットが入力されるものの、その うち8ビットは重複しており、あらゆる状況でループ動作を確 保できるようにしています。2つのDAC結果を合成して得られ る24ビットの分解能は、20番目のビットより下位に4ビットの インデクシング・レンジを提供し、スケールの1ppmに相当す る安定したLSBを保証します。A1とA2はDACの出力電流を 電圧に変換し、これがA3で加算されます。A3のスケールは、 補正ループがゼロ誤差とフルスケール誤差のあらゆる組み 合わせを捕捉および補正できるように調整されます。A3の出 力、この回路の出力がLTC2400 A/Dコンバータに供給されま す。LT®1010は負荷とケーブルを駆動するバッファ機能を提供 します。A/Dコンバータのデジタル出力と入力ワードとの差を コード・コンパレータによって求め、これにより補正済みコード を生成します。この補正済みコードをMSBおよびLSB DAC に入力することで帰還ループが閉じます。6ループの完全性は A/Dコンバータと電圧リファレンスの誤差によって決まります。7 5V電源で動作するA/Dコンバータに接続された抵抗とダイ オードは、A3の偶発的な出力(電源投入、過渡現象、電源遮 断など)からコンバータを保護します。A4はリファレンス・イン バータ、A5は両方のDACにクリーンな接地電位を与えます。



図2.1ppm DACの詳細。合成DACは2つのDAC値を出力アンプで加算することで構成される。 LTC2400 A/D コンバータとコード・コンパレータによって安定化帰還を実現する

Note 5: ケルビン卿は、氏の成果がデジタル化されているのを見て何と言うだろう。進歩の陰に隠れた謎である。

Note 7: 電圧リファレンスのオプションについては、付録1の「電圧リファレンス」で 検討している。LTC2400のチュートリアルは、付録Bを参照のこと。

Note 6:コード・コンパレータについては、付録 Dの「プロセッサに基づくコード・コンパレータ」で詳述する。

TECHNOLOGY

直線性に関する検討事項

A/D コンバータの直線性がDAC 全体の直線性を決定します。 A/Dコンバータの非直線性は約±2ppmです。この誤差を許 容できるアプリケーションならば、この値は無視してかまいま せん。1ppmの直線性が必要な場合は、ソフトウェア手法によっ て直線性の残留誤差を補正します。LTC2400の直線性および この特長の詳細は、付録DとEに記載されています

DC性能特性

図3は直線性と出力コードのプロットです。このデータから、 直線性が全コード範囲で1ppm以内であることがわかります。8 0.1Hz~10Hzの帯域で測定した出力ノイズは約0.2LSBです (図4)。9この測定は、機器の制約による若干の誤差を含み、 約0.2µVのノイズ・フロアが発生しています。

ダイナミック性能

A/D変換レートおよびループのデータ・サンプリング特性と低 速のアンプの効果が相まって、DAC応答は比較的低速です。 図5のスルー応答には約150µsを要しています。

図6からは、フルスケールから1ppm (±5µV)以内へのDACセ トリング時間に約1400msを必要とすることがわかります。一方、 より小さなステップ(図7)である500µVから1ppmへのセトリン グには、わずか100msしかかかりません。¹⁰

まとめ

1ppm DACの仕様の概要を図9に示します。DACの性能は、 注記されたオプションや変動の影響を受けるため、以下の仕 様はガイドラインと見なしてください。設計の詳細とトレードオ フについては、該当する付録を参照してください。







図4.1uV未満、約0.2LSBの出力ノイズ。機器の 制約による測定ノイズ・フロアは0.2μV

Note 8:1ppmの直線性測定の信頼性を確立し、維持することは恐ろしくなるほど 最新技術の限界に近づく行為である。測定に使用した手法を、付録Cの「1ppm に達するデータ・コンバータ直線性の検証」に示した。

Note 9: ノイズ測定に関する検討事項は、付録Hの「マイクロボルト・レベルのノイ ズ測定」に記載されている。

Note 10:1ppmでDACのセトリング時間を測定することは、今回のように比較的 低速の場合であっても一筋縄ではいかない。付録Gの「DACのセトリング時間測 定」を参照のこと。





図5.DACフルスケール出力のスルー特性



図6.フルスケール・ステップ遷移後のセトリング動作の高分解能 詳細図。1ppm以内(±5µV)へのセトリング時間は1400ms

パラメータ	規定値
Resolution	1ppm
Full-Scale Error	4ppm of V_{REF} (Trimmable to 1ppm by V_{REF} Adjustment)
Full-Scale Error Drift	0.04ppm/°C Exclusive of Reference (0.1ppm/°C with LTZ1000A Reference ¹)
Offset Error	0.5ppm
Offset Error Drift	0.01ppm/°C
Nonlinearity	±2ppm, Trimmable to Less Than 1ppm ²
Output Noise	0.2ppm (≈0.9µV, 0.1Hz to 10Hz BW)
Slew Rate	0.033V/µs
Settling Time—Full-Scale Step	1400 Milliseconds
Settling Time—500µV Step	100 Milliseconds
Output Voltage Range	0V to 5V.For Other Ranges See Note 3
Note 1:付録I参照。	

Note 2:付録E参照。

Note 3:付録EおよびF参照。

図8.20ビットDACの仕様のまとめ

Note: このアプリケーションノートは、当初 EDN 誌に掲載するために作成された ものに加筆変更を加えたものである。

NOP 50ms/DIV EXERT

図7.小ステップ(500µV)遷移後の1ppm(±5µV)以内への セトリング時間は100ms

AN86-4



参考文献

- Linear Technology Corporation, "LTC2400 Data Sheet," Linear Technology Corporation, January 1999.
- 2. Linear Technology Corporation, "LTC2410 Data Sheet," Linear Technology Corporation, April 2000.
- 3. Keithley Instruments, "Low Level Measurements," Keithley Instruments, 1984.
- Williams, J., "Testing Linearity of the LTC2400 24-Bit A/D Converter," Linear Technology Corporation, Design Solution 11, November 1999.
- Seebeck, T. Dr., "Magnetische Polarisation der Metalle und Erze durch Temperatur-Differenz," Abhaandlungen der Preussischen Akademic der Wissenschaften (1822–1823), pp. 265–373.
- 6. Williams, J., "Component and Measurement Advances Ensure 16-Bit DAC Settling Time," Linear Technology Corporation, Application Note 74, July 1998.
- Lee, M., "Understanding and Applying Voltage References," Linear Technology Corporation, Application Note 82, November 1999.
- Williams, J., "Applications Considerations and Circuits for a New Chopper-Stabilized Op Amp," Linear Technology Corporation, Application Note 9, August 1987.
- Huffman, B., "Voltage Reference Circuit Collection," Linear Technology Corporation, Application Note 42, June 1991.

- Spreadbury, P. J., "The Ultra-Zener—A Portable Replacement for the Weston Cell?" IEEE Transactions on Instrumentation and Measurement, Vol. 40, No. 2, April 1991, pp. 343–346.
- Williams, J., "Thermocouple Measurement," Linear Technology Corporation, Application Note 28, February 1988.
- 12. Hueckel, J. H., "Input Connection Practices for Differential Amplifiers," Neff Inst.Corporation, Duarte, California.
- 13. Gould Inc., "Elimination of Noise in Low Level Circuits," Gould Inc., Instrument Systems Division, Cleveland, Ohio.
- 14. Williams, J., "Prevent Low Level Amplifier Problems," Electronic Design, February 15, 1975, p. 62.
- Pascoe, G., "The Choice of Solders for High Gain Devices," New Electronics (Great Britain), February 6, 1977.
- 16. Pascoe, G., "The Thermo-E.M.F. of Tin-Lead Alloys," Journal Phys.E, December 1976.
- 17. Brokaw, A. P., "Designing Sensitive Circuits?Don't Take Grounds for Granted," EDN, October 5, 1975, p. 44.
- Morrison, R., "Noise and Other Interfering Signals," John Wiley and Sons, 1992.
- 19. Morrison, R., "Grounding and Shielding Techniques in Instrumentation," Wiley-Interscience, 1986.
- 20. Vishay Inc., "Vishay Foil Resistors," Vishay Inc., 1999.



付録A

高精度 D/A 変換の歴史

デジタル量をアナログ量に変換する技術の歴史は古く、おそら く最も早くにこの技術が応用された分野の1つが、計量アプ リケーションにおける較正済み分銅(図A1、左中央)の加算 と思われます。初期の電気D/A変換では、スイッチやさまざま な値の抵抗を使わざるを得なかったでしょう。それらの抵抗 値は通常デケード系列に設定されていました。アプリケーショ ンは、多くの場合、ヌル検出による較正されたブリッジの平衡 動作または読み出し動作によって未知の電圧を測定するもの でした。抵抗を用いたこの種のDACのうち、最も精度の高い ものがケルビン卿のケルビン・バーレイ分圧器(図内の大きな 筐体)です。スイッチによって切り替え可能な抵抗比によって、 比率の精度は0.1ppm (23ビット超)を達成し、標準研究所で は現在でも広く使われています。¹高速のD/A変換では、抵抗 ネットワークを電子スイッチによって切り換えます。初期の電 子式DACはディスクリートの高精度抵抗とゲルマニウム・トラ ンジスタを用いて、基板レベルで構築されました(写真中央の 前列は、ミニットマン・ミサイルD-17Bの慣性航法システムに 使われていた(1962年頃) 12ビットDACです)。標準製品とし て出回るようになった最初の電子スイッチ式DACは、おそら くPastoriza Electronics 社が1960年代中頃に製造した製品で しょう。その他のメーカも追随し、1970年代までにはディスク リートおよびモノリシック部品によるモジュール式DAC (写真 右と左)が一般化しました。ユニットは堅牢性と性能を向上す るとともに、(願わくば)専有知識を保護できるように、しばしば ポッティングされていました。やがて、ハイブリッド技術により、 更に小型のパッケージ(写真左前)が製造されるようになり ます。シリコン・クロム抵抗の開発により、LTC1595(写真最前 列)などの高精度モノリシックDACが可能になります。全てを モノリシック化することに伴う、現在の高分解能 IC DACのコ スト・パフォーマンス・トレードオフはきわめてお買い得な状況 です。考えてもみてください。16ビットDACが8ピンのICパッ ケージに収まるのです。ケルビン卿にクレジット・カードを渡し、 LTCの電話番号を教えたら、何をおいても発注したことで しょう。

Note 1: ケルビン・バーレイ分圧器の詳細は、付録Cの「1ppm に達するデータ・コンバータ直線性の検証」を参照のこと。



AN86 FA01.tif

図 A1. 歴史的意義の大きい D/A コンバータ:分銅(中央左)、23+ビットのケルビン・バーレイ分圧器(大きな筐体)、ハイブリッドの 基板およびモジュール式コンバータとLTC1595 IC(前列)。いったい、どこまで発展するのだろうか





付録B

LTC2400-モノリシック24ビットA/Dコンバータ

LTC2400はオシレータ内蔵のマイクロパワー24ビットA/Dコンバータで、4ppmの非直線性と0.3ppmのRMSノイズを実現しています。そのきわめて高い安定性は、ΔΣ技術によるものです。デバイスは50Hzまたは60Hz±2%において110dBを超える遮断率に設定するか、外部オシレータによって駆動することによって、1Hz~120Hzの範囲でユーザー定義の遮断周波数を使用することができます。

このSO-8ピン・パッケージに収められた超高精度A/Dコン バータは、本文で解説した20ビットDACの心臓部をなすもの です。このデバイスが従来のスタンドアローン的な役割を与え られた高精度A/Dコンバータではなく、回路中の1つの**部品** として使われていることは、大きな意味を持ちます。その自由 度は、ICの経済性や使いやすさと相まって、特筆すべきチャ ンスをもたらします。目ざとい設計者ならば、この開発を高く 評価し、十分に活用するでしょう。A/Dコンバータの主な仕様 を図B1に示します。

パラメータ	条件	
Resolution (No Missing Codes)	$0.1V \le V_{REF} \le V_{CC}$	24 Bits
Integral Nonlinearity	V _{REF} = 2.5V V _{REF} = 5V	2ppm of V _{REF} 4ppm of V _{REF}
Offset Error	$2.5V \le V_{REF} \le V_{CC}$	0.5ppm of V _{REF}
Offset Error Drift	$2.5V \le V_{REF} \le V_{CC}$	0.01ppm of V _{REF} /°C
Full-Scale Error	$2.5V \le V_{REF} \le V_{CC}$	4ppm of V _{REF}
Full-Scale Error Drift	$2.5V \le V_{REF} \le V_{CC}$	0.02ppm of V _{REF} /°C
Total Unadjusted Error	V _{REF} = 2.5V V _{REF} = 5V	5ppm of V _{REF} 1ppm of V _{REF}
Output Noise		1.5µV _{RMS}
Normal Mode Rejection 60Hz ±2%		110dB (Min)
Normal Mode Rejection 50Hz ±2		110dB (Min)
Input Voltage Range	0.125V ·	V _{REF} to 1.125V · V _{REF}
Reference Voltage Range		$0.1V \le V_{REF} \le V_{CC}$
Supply Voltage		$2.7V \le V_{CC} \le 5.5V$
Supply Current Conversion Mode Sleep Mode	$\frac{\overline{CS}}{\overline{CS}} = 0V$ $\overline{CS} = V_{CC}$	200µA 20µA

図 B1. LTC2400 A/D コンバータの主な仕様。 優れた直線性と高い安定性によって1ppm DACを実現



付録C

1ppmに達するデータ・コンバータ直線性の検証

19世紀からの助っ人

はじめに

DACおよびこれを構築するために使われるA/Dコンバータの 直線性を1ppmに至る精度で検証するには、特別な配慮が求 められます。テストには、デジタル入力のインクリメントに合わ せて等分の振幅出力ステップを発生する、何らかの形の電圧 源が必要です。更に、測定の信頼性を得るには、この電源が 1ppmの要件よりもはるかに高い直線性を備えていることが望 まれます。当然これは、最新技術の限界に肉薄する、厳しい 要求です。

しかし、最も直線性のよい「D/A」コンバータは、きわめて歴史 あるコンバータでもあります。ケルビン卿の、ケルビン・バーレ イ分圧器(KVD)の最も発展した形式では、0.1ppmに及ぶ直 線性を達成しています。この手動切り替え型のデバイスは、7 デケードにわたって個別に1000万通りの設定が可能なダイ アルを備えています。「エンド・ツー・エンド」抵抗が一定で7デ ケードの設定位置があるスイッチ型ワイパを持った、3端子ポ テンショメータと考えればよいでしょう(図C1)。





0.1ppm KVDを実際に構築する作業は、科学よりも芸術や魔法に近い領域かも知れません。市場は比較的小さく、ベンダ数が少ないことから、価格も高くなります。大量のスイッチと抵抗だけに13,000ドルという価格が納得できない方は、ご自分でKVDを作り、認証を受けてみてください。図C2に詳細な回路図を示します。

ここに示した KVDの入力インピーダンスは100kΩです。そ のため、ワイパ出力の抵抗が高くなり、設定によって変動しま す。したがって、大きな誤差を発生させずに KVDの負荷を軽 くするには、バイアス電流が非常に小さい電流フォロワが必 要です。リニアテクノロジーの KVD は図 C3のように構成され ています。出力バッファのLT1010によってケーブルと負荷を駆 動できるとともに、より微妙な特徴として、アンプの高い開ルー プ利得を保つことができます。







図 C3. バッファ付き KVD による出力駆動機能



AN86-8

手法と誤差に関する検討事項

この回路図は一見単純そうに見えます。しかし、実際には回路 構成上の細かい部分がきわめて重要です。寄生熱電対(ゼー ベック効果)、レイアウト、接地、シールド、ガード・リング、ケー ブル選定、その他の要因が到達性能に影響を与えます。¹実際、 ドリフト、オフセット、バイアス電流、CMRRについてはチョッ パーによって安定化したLTC1152でも同等の性能が得られ ますが、1ppm未満の非直線性性能を追求する場合、選択が 必要です。図C4の誤差予算解析から、一部の選択基準の詳 細がわかります。



ERROR SOURCE	WORST-CASE SPEC	REALISTIC SELECTION TARGET	ERROR IN PPM
E _{OS}	5μV	0.5µV	0.1
E _{OSAT}	0.05µV/°C	0.05µV/°C	0.01/°C
Ι _Β	50pA	10pA	0.1
CMRR	110dB	140dB	0.1
FINITE GAIN	140dB	140dB	0.1 AN86 FC04

図 C4. KVD バッファの誤差予算分析。上記の選択に より約 0.4ppm の予想直線性誤差を実現可能



図 C5. フローティング・マイクロボルト・ヌル検出器による入力-出力偏差の測定からバッファ誤差を決定する。この手法により 固定誤差および動作点に起因する誤差の評価が可能

バッファは図C5の回路によってテストされます。KVDを全レンジにわたって動作させる際、フローティングのヌル検出器は余裕を持って1ppm(5µV)以内、可能ならば0.5ppm未満を保つ必要があります。このテストは、全ての誤差要因、特に動作点によって影響度が変動するIBとCMRRを考慮しています。測定によって得られた性能は、図C4の下に示した誤差の合計が必要な制限値を十分に満たしていることを示しています。

図C6は、オフセットのトリマ、安定な電圧源、メインKVD を駆動する第2のKVDを追加した構成です。更に、3つの HP3458A電圧計を組み合わせて出力をモニタしています。

オフセット・トリマを介してメインKVDのグランド・リターンに 小電流が流れ、数マイクロボルトのオフセット・トリマ・レンジ を発生させます。これが機能的にトリミング動作となり、全て のゼロ誤差の要因(アンプのオフセット、寄生熱電対の不一 致など)を排除します。これによって、メインKVDがオール・ゼ ロに設定されたときに真のゼロボルト出力が可能になります。

10Vレンジで0.1ppm未満の非直線性仕様を持つ電圧計が、 電源出力を決定します。

回路の詳細

図C7に、より詳細な回路図を示します。図C6に似た図ですが、 課題と懸念事項を指摘しています。1点接地方式が、リターン 電流と付随する誤差が混合することを防ぎます。KVDと電圧 計間の相互接続に使用するシールドされたケーブルは、熱活 性が低い仕様のものを使用する必要があります。Keithleyタ イプSC-93およびGuildline #SCWが適しています。ハンダ付 けタイプではなく圧着タイプの端子を使用することで、KVDと DVMの接点における寄生熱電対の効果を抑えます。ただし、 これらの端子は清浄に保って酸化を防ぎ、熱電圧の過剰な発 生を予防する必要があります。²このような清浄性を維持するに は、銅脱酸素剤(Caig Labs「Deoxit」D100L)がきわめて有効 です。低熱活性の、ケーブル終端済みの端子やジャックも市販 されており(Hewlett-Packard 11053、11174A)、便利です。

KVDとDVMの接続部を熱バッフル内に収納すると、関連するバナナ・ジャック端子を熱平衡状態に導く効果があり、残留

Note 1: 関連するチュートリアルは、付録Jの「ケーブル、接続、ハンダ付け、レイ アウト、部品選定、隠れた危険と奥義」を参照のこと。 Note 2: 上記の脚注を参照のこと。



する寄生熱電対効果を最小限に抑えることができます。また 信号経路内の接続の数を制限してください。差動動作による 相殺効果をねらって、必要な接続数は一致させます。このガイ ドラインに従おうとすると、最適な差動相殺を実現するために、 意図的にハンダ-銅接合を追加する必要が生じる場合があり ます(図C7の「X」印)。³これは、単に該当するワイヤまたは基 板トレースを切断した上で、それらをハンダ付けすれば実現で きます。この措置によって追加される熱電対の温度が、相殺し ようとする接合部の温度に追随することを確認してください。 追随させるには、通常全ての接合部を物理的に近接させて配 置します。

メインKVDのノイズ・フィルタ用コンデンサは漏れ電流の小さ いタイプとし、その金属ケースを出力バッファによって駆動す ることで表面リークから保護します。 今回使用した手法を検討する場合、直線性と絶対精度を区別することが重要です。これによって、絶対標準を懸念する必要がなくなり、測定方式にある程度の自由度が得られます。 具体的には、1点接地は使用したものの、リモート・センシングは使用しなかった点が挙げられます。これは、誤差を生む可能性がある信号経路内の寄生熱電対の数を最小限に抑えるための意図的な選択です。同様に、KVDのLTZ1000A電 圧源と電圧計間にレシオメトリックなリファレンス接続を用いなかったのも同様の理由からです。理論的にはレシオメトリック接続の方がドリフトは小さくなります。しかし、実際にはこの接続方法が招く寄生熱電対効果が、本来目的とするメリットを打ち消してしまいます。LTZ1000Aリファレンスと電圧計のリファレンス(偶然にも、こちらもLTZ1000Aを使用)を合わせた総安定性は、10分間の期間で0.1ppm以内を十分に達成しています。⁴10分間もあれば、直線性の10点測定には十分です。





Note 3: 詳細な検討は、付録Jの「ケーブル、接続、ハンダ付け、レイアウト、部品 選定、隠れた危険と奥義」を参照のこと。

Note 4:LTZ1000Aリファレンスの詳細は、付録1の「電圧リファレンス」を参照のこと。



構造

図C8とC9は、電圧源およびリファレンス・バッファ筐体の内 部構造の写真です。図のキャプションに主な特徴を併記して あります。

結果

KVDに基づいた、この高い直線性を備えた電圧源は、筆者らの実験室で2年近く使われてきました。この間、電圧源とそのモニタ用電圧計によって規定される直線性の総不確実性は

わずか0.3ppmでした(図C10の測定方法参照)。これは目標 性能である1ppmよりも3倍も優れた特性であり、筆者らの測 定に対する信頼を更に高めるものです。5

謝辞

筆者はケルビン卿、および標準研究所であるC. S. Draper Laboratory (旧M. I. T. Instrumentation Laboratory)のWarren Little氏に感謝します。Warren氏は、およそ30年前、KVDの 魅力を辛抱強く教えてくれた人物であり、筆者は現在でもその ときの彼の努力を仕事の糧としています。





Note 5: ウェブ・サーフィンには何の魅力も感じない筆者であるが、「ケルビン卿 サーフィン」は何時間も楽しむことができた。これは、ケルビン・バーレイ分圧器で 数々のダイアル設定を試し、モニタ用 A/D コンバータとの一致度が1ppm 以内であ ることを確認する活動である。驚くほどのオタク的行動であるが、ある種の人々に とっては胸躍らされる瞬間なのである。





図 C8. サブ ppm の直線性を備えた電圧源。右上の筐体はLTZ1000Aを用いたリファレンスとバッファ。左上はオフセット・トリマ。 リファレンスとメイン・ケルビン・バーレイ分圧器は写真中央のそれぞれ上と中央。3 台の HP3458 デジタル電圧計 (DVM) (写真下)が出力 をモニタする。コンピュータ (写真左前列)を使って直線性を計算する





図 C9. リファレンス・バッファ筐体の内部構造。LTZ1000Aリファレンス回路は写真左下、バッファ・アンプは写真中央。 コンデンサ・ケースのブートストラップ接続(写真中央〜右)に注目のこと。1点接地している箇所が写真左上に見える。電源(写真上)は 筐体外部に取り付けられ、磁界の外乱を最小限に抑えている

- 1. VERIFY KVD LINEARITY BY INTERCOMPARISON AND INDEPENDENT CAL. LAB.
- 2. TAKE WORST-CASE VOLTMETER ENSEMBLE DEVIATIONS OVER 0V TO 5V, EVERY 0.5V
- 3. 100 RUNS (10 PER DAY, ONCE PER HOUR)
- 4. INDICATED RESULT IS 0.3ppm NONLINEARITY

図 C10. 高直線性電圧源のテスト方法



AN86 FC10

付録D

プロセッサに基づくコード・コンパレータ

コード・コンパレータは、スレーブ DAC の入力を、ユーザー入力とLTC2400 A/D出力を一致させるコードに設定することで、 ループを制御します。この動作は、本文の1ページで詳述しています。

図D1は、コード・コンパレータのデジタル・ハードウェアです。 3つの入力データ・ラッチとPIC-16C5Xプロセッサから構成されます。入力には、ユーザー・データ(例:DAC入力)、直線性曲率補正(DIPスイッチによる)、変換コマンド(「DA WR」)、 選択可能なフィルタ時定数などがあります。出力(「DAC RDY」)は、DAC出力がユーザーの入力値へのセトリングを 完了したことを示します。その他の出力と入力がアナログ部分 (本文の図2)を制御およびモニタし、閉ループ動作に影響を 与えます。2つの16ビット・スレーブDACには合計32ビットが 入力されているものの、8ビットは重複しているため、総ダイナ ミック・レンジは24ビットです。これによって20番目のビットよ り下位に4ビットのインデクシング・レンジを提供し、スケール の1ppmに相当する安定したLSBを保証します。8ビットの重 複部分によって、ループは常に適切な出力値を取得できます。

プロセッサはFlorin Oprescuが作成したソフトウェア・コードに よって動作します。このコードを以下に示します。



図 D1. コード・コンパレータのハードウェア。ユーザー制御ラインは左側、アナログ部分の接続は右側にある。



;20bit DAC code comparator Filename: dac20.asm Date 12/4/2000 File Version: 1.1 Author: Florin Oprescu Linear Technology Corp. Company: ; Variables ; uses 17 bytes of RAM as follows: {UB2, UB1, UB0} user input word buffer ; ; 24 bits unsigned integer (3 bytes): ; The information is transferred from the external input register ; into {UB2, UB1, UB0} whenever a "user input update" event ; is detected by testing the timer0 content. Following the data ; transfer, the UIU ("user input update") flag is set and the DAC ; ready flags RDY and RDY2 are cleared. UB0 uses the same physical ; location as U0. The user input double buffering is necessary ; because the loop error corresponding to the current ADC reading ; must be calculated using the previous user input value. ; The old user input value can be replaced by the new user input ; value only after the loop error calculation. ; The worst case minimum response time to an UIU event must be ; calculated. The user shall not update the external input register ; at intervals shorter than this response time. For the moment the ; program can not block the user access to the external input ; register during a read operation. In such a situation the result ; of the read operation can be very wrong. UB0 - least significant byte. Same physical location as U0 UB1 - second byte. UB2 - most significant byte. {U2, U1, U0} user input word ; 24 bits unsigned integer (3 bytes): ; The information is transferred from {UB2, UB1, UB0[7:4], [0000]} ; into {U2, U1, U0} whenever the UIU flag is found set within the ; CComp ("code comparator") procedure. The UIU flag is reset ; following the data transfer.



;

;

;

;

; ;

; ;

;

U0 - least significant byte of current DAC input ; The 4 least significant bits U0[3:0] are set to zero. ; ; U1 - second byte of current DAC input ; ; U2 - most significant byte of current DAC input {CON} control byte ; (1 byte): ; ; The 3 least significant bits CON[2:0] represent the ADC linearity ; correction factor transferred from UB[2:0] when the UIU flag is found set within the CComp procedure - at the same time as the ; {U2, U1, U0} variable is updated. The effect of CON[2:0] is additive and its weight is as follows: ; ; CON[0] = 1 linearity correction effect is about 1ppm ; CON[1] = 1 linearity correction effect is about 2ppm CON[2] = 1 linearity correction effect is about 4ppm ; ; The LTC2400 has a typical 4ppm INL error therefore the default curvature correction value can be set at CON[2:0] = 100 ; ; CON[3] is the control loop integration factor transferred from ; UB[3] when the UIU flag is found set within the CComp procedure. ; If CON[3]=0, after the control loop error becomes less than 4ppm ; the error correction gain is reduced from 1 to 1/4; If CON[3]=1, after the control loop error becomes less than 4ppm ; the error correction gain is reduced from 1 to 1/16; CON[7] is used as the UIU ("user input update") flag. It is set ; when $\{UB2, UB1, UB0\}$ is updated and it is reset when $\{U2, U1, U0\}$; and CON[3:0] are updated. CON[6] is used as the RDY ("DAC ready") flag. It is set when ; ; the DAC loop error becomes less than 4ppm and it is reset when ; the UIU flag is set. ; CON[5] is used as the RDY2 ("DAC ready twice") flag. It is set ; ; whenever the DAC loop error becomes less than 4ppm and the RDY flag has been previously set. It is reset when the UIU flag is set. ; The bit CON[4] is not used and is always set to 0. ; ; ;

; {ADC3, ADC2, ADC1, ADC0} formatted ADC conversion result ; 32 bits signed integer (4 bytes). ; The ADC reading is necessary only for the calculation of the control ; loop error and in order to save RAM space, it can share the same ; physical space as the loop error variable. ; ; The LTC2400 output format is offset binary. It must be converted ; to 2's complement before any arithmetic operation. A number of ; possible codes are not valid LTC2400 output codes. If such codes ; are detected it can be inferred that a serial transfer error has ; occurred, the data must be discarded and a new conversion must ; be started. For all LTC2400 devices B31=0 and B30=0 always. In ; addition, with the exception of some early samples of the device the sequence B[29:28]=00 should not occur in a valid transaction. ; ; ADC0 - least significant byte ; contains ADC output bits B11(MSBIT) to B4 (LSBIT) ; ; ADC1 - second byte ; contains ADC output bits B19(MSBIT) to B12 (LSBIT) ; ADC2 - third byte contains ADC output bits B27(MSBIT) to B20 (LSBIT) ; ADC3 - most significant byte contains ADC output bits ~B29(as 7 MSBITS for 2's complement sign extension) and B28 (LSBIT) ; {ADCC} ADC curvature correction ; ; 8 bits unsigned integer (1 byte) ; The LTC2400 transfer characteristic has a typical INL of about ; 4ppm and a parabolic shape symmetric with respect to mid-scale. This error can be corrected to a first and second order and ; ; ADDC contains the magnitude of this correction. ; ; {ER3, ER2, ER1, ER0} control loop error value ; ; signed integer (4 bytes) ; Contains the value of the current control loop error calculated ; as the difference between the previous user input and the last ; ADC reading. It is used to adjust the Low DAC setting. Uses the same physical location as {ADC3, ADC2, ADC1, ADC0}: ; least significant byte, same location as ADCO ER0 -; ; ER1 - second byte, same location as ADC1



```
third byte, same location as ADC2
      ER2 -
;
     ER3 -
             most significant byte, same location as ADC3
 {DL3, DL2, DL1, DL0} Low DAC control value
;
; signed integer (4 bytes):
;
 Contains the Low DAC setting in a 2's complement, 32 bit
;
 format. Must be initialized to 0!
;
;
     DL0 -
             least significant byte - used for Low DAC
;
              control
;
;
     DL1 -
              second byte - used for Low_DAC control after
;
              conversion to offset binary format {DL1, DL0}
;
;
     DL2 - third byte - may be only 00 or FF
;
;
     DL3 - most significant byte - may be only 00 or FF
 {INDX} Index variable for various program functions
; 1 byte.
 {TMPV} Temporary variable for various program functions
;
 1 byte.
;
;
; Algorithm
;============
;
; After each ADC conversion cycle the processor calculates the control
; loop error value as the difference between the desired output and
; the latest conversion result. Than it updates the DACs command
; such as to reduce the error magnitude. A new ADC conversion cycle
; is started following the DACs update operation.
; In order to maintain adequate control loop stability it is necessary
; for the DACs and the associated amplifiers to settle to better than
; 20 bits accuracy before the ADC starts sampling the system output. For
; an LTC2400 based system this settling time is 66ms.
; Initialization:
  Initializes the PIC controller and the hardware interface
;
  and starts the Scan procedure.
;
;
```



```
アプリケーションノート86
```

```
1. Load ADC control port with default values
         SCKAD = 0
;
         SDOAD = 1
;
    2. Set ADC control port I and O pins
;
         SCKAD = output
;
         SDOAD = input
;
    3. Load register control port with default values
;
         NCSR[2:0] = 111
;
         NCSD[1:0] = 11
;
         ADDAC
                   =
                       1
;
                   =
         NLDAC
                       1
;
         DACRDY
                       0
                   =
;
    4. Set register control port in output mode
;
    5. Set data bus to default value DBUS[7:0]=0x00
;
    6. Set data bus in output mode
;
    7. Initialize internal registers and variables:
;
        OPTION
                  = 0x2F
;
         Timer0 used as counter is incremented by low-to-high edge
;
         Prescaler works with watch dog timer in div128 mode
;
         CON
                   = 0 \times 80
;
           Simulate a UIU "user interface update" event to force
           the update of both Low DAC and High DAC
;
         \{DL3, DL2, DL1, DL0\} = 0
               U2, U1, U0\} = 0
         {
;
    8. Update hardware using the initialized variables
;
    9. Start new ADC conversion by reading and discarding
;
       32 serial bits.
;
    10.Start the Scan procedure
;
;
; Scan:
   Continuously looks for "user input update" events. When
;
   a "user input update" event is detected updates the
;
   input buffer {UB2, UB1, UB0}, resets timer, sets UIU flag
;
   and resets RDY and RDY2 flags.
;
;
  The active low write signal for the external input register
;
  (which is the same as the user interface NWR input signal)
;
  is driven by the user and it is connected to the counter
;
  input of Timer0. The Timer0 is used in counter mode without a
;
  prescaler and it increments whenever a low-to-high transition
;
  is detected at its input. This is the same transition which
;
  latches in the input register a new user command.
;
  Because of the PIC controller timing constraints, this write
;
   signal must be maintained low for at least 2*Tosc + 20ns
;
  where Tosc is the maximum PIC clock period. When a 4 MHz
  clock is used for the PIC processor, the low time must be
;
  longer than about 520ns.
;
;
  1. Test for "user input update" events by testing the Timer0
;
     value.
;
         If Timer0>0 an UIU event has occurred. Reset the timer
;
         and answer Yes.
;
         If Timer0=0 answer No.
;
```



```
1.1 If Yes, read input latch into {UB2, UB1, UB0},
         reset DACRDY output line, set UIU flag and
;
         and reset RDY and RDY2 flags (CON[7:5]=100)
         Than continue
;
    1.2 If No continue
;
;
   Continuously looks for the ADC end of conversion event. When
;
   the "end of conversion" is detected it reads the 28 most
;
   significant bits from the ADC and it constructs the ADC
;
   result {ADC3, ADC2, ADC1, ADC0} in 2's complement format
;
         If ADC3[1] == 0 => ADC3[7:1]=1111 111
;
         If ADC3[1] == 1 => ADC3[7:1]=0000 000
;
         For very early LTC2400 samples only, it is possible
;
         to obtain as a valid 0 conversion result ADC3[1:0]=00
         In this case:
         If ADC3[1:0] == 0 => ADC3=0
;
  It also calculates the first (x1) and second (x2) order ADC
;
   curvature correction ADCC as follows:
;
        x1 = \{0x00, 0x80\} -
;
            -abs({ADC3, ADC2, ADC1, ADC0}/(2^16)-{0x00, 0x80})
;
         x2 = \{0x00, 0x40\} -
;
            -abs({0x00, {0, ADC2[6:0]}, ADC1, ADC0}/(2^16) - {0x00, 0x40})
;
         ADCC = floor((x1 + x2/2) * {00000 CON[2:0]} / 4)
  The actual implementation uses only the least significant
;
  byte of x without any substantial additional error.
;
   Thus the above relation can be modified as follows:
;
         ADCC = floor((abs(ADC2) + abs({ADC2[6], ADC2[6:0]})/2) *
;
                * {00000 CON[2:0]} / 4 )
;
  The maximum correction range is about 7ppm INL at mid
;
   scale for CON[2:0] = 111.
;
;
   2. Test for ADC "end of conversion" event by testing the
;
     value of the ADC SDO signal.
;
         If ADC_SDO = LOW answer Yes.
;
         If ADC SDO = HIGH answer No.
;
     2.1 If Yes read 28 most significant bits from the ADC,
;
        update {ADC3, ADC2, ADC1, ADC0} and calculate the
;
        curvature correction byte ADCC. Than start the CComp
;
        procedure.
;
       It should be noticed that while reading the first 28
;
       most significant bits from the ADC the controller
;
        generates 27 serial clock pulses. An additional 5 serial
;
        clock pulses (for a total of 32) are necessary to restart
;
        the conversion.
;
     2.2 If No restart the Scan procedure.
;
;
 CComp:
;
  Calculates the current control loop error as:
;
;
   error = current user input - ADC reading +
;
         + new user input LSB - current user input LSB
;
;
```



```
The curvature correction is included in the ADC
  conversion result and is always positive therefore:
;
  ADC reading = \{ADC3, ADC2, ADC1, ADC0\} +
;
              + {
                   Ο,
                          Ο,
                               0, ADCC}
;
;
  The term "new_user_input_LSB - current_user_input_LSB"
;
  represents the residue of the new user command which
;
  is added to the Low DAC.
;
;
   \{ER3, ER2, ER1, ER0\} =
;
         = {0, U2, U1, U0} - {ADC3, ADC2, ADC1, ADC0} -
;
                    Ο,
                          0, ADCC} +
         - {
             Ο,
;
         + \{0, 0, 0, UB0\} - \{0, 0\}
                                        Ο,
                                               Ο,
                                                    U0} =
         = {0, U2, U1, UB0} - {ADC3, ADC2, ADC1, ADC0} -
                    0, 0, ADCC}.
         - { 0,
;
;
  The loop error {ER3, ER2, ER1, ER0} is a 32 bit signed number
;
  and the weight of the least significant bit is 1/16ppm of
;
  the ADC reference voltage. A 4ppm error value is represented
;
  as \{0, 0, 0, 0x40\}.
;
  The ADC output noise is dominated by thermal noise and has a
;
  white distribution. The control loop noise can be reduced by
;
  the square root of N by averaging N successive ADC readings.
;
  The obvious penalty is a slow settling time. Due to the
;
  limited amount of RAM available a direct implementation
;
  of this noise reduction strategy is difficult. In an equivalent
;
  implementation, when the absolute value of the loop error
;
  {ER3, ER2, ER1, ER0} decreases below a certain threshold, the
;
  gain of the error correction loop can be decreased. The default
;
  threshold is set at a very conservative 4ppm. This value must
;
  always be larger than the peak noise level of the ADC. A very
;
  quiet implementation can probably operate with a threshold of
;
  2ppm. If CON[3]=0 the gain of the error correction loop is
;
  decreased from 1 to 1/4. If CON[3]=1 the gain of the error
;
  correction loop is decreased from 1 to 1/16.
;
;
  The High DAC is always controlled by the 16 most significant
;
  bits of the most recent user command {UB2, UB1}
;
;
  The Low_DAC is controlled by the {DL3, DL2, DL1, DL0}
;
  variable which integrates the control loop error. Under
;
  correct operating condition abs({DL3, DL2, DL1, DL0})<2^15.
  In order to avoid roll-overs during large transients the
;
  {DL3, DL2, DL1, DL0} must be clamped within the +/- 2^15 range.
;
  The 16 bit Low DAC can than be controlled by {DL1, DL0}
;
  after conversion to offset binary format.
;
;
```



```
The DACRDY output line reflects the state of the
  internal RDY2 flag.
;
;
  After the updates are completed we must start a new ADC
;
  conversion by completing the serial transfer.
;
;
  1. Test if UIU flag is set
;
      1.1 If Yes, move UB[3:0] into CON[3:0]
;
          and {UB0[7:4], 0000} into U0. The last ADC result
;
          is curvature corrected using the previous CON[3:0] value!.
;
  2. Calculate {ER3, ER2, ER1, ER0}.
;
  3. Test if UIU flag is set
;
      3.1 If Yes, move {UB2, UB1} into {U2, U1} and
;
          clear UIU, RDY and RDY2 flags (CON[7:5]=000 )
;
      3.2 If No, test if abs({ER3, ER2, ER1, ER0}) < 4ppm
;
          3.2.1 If Yes, test if CON[6]=1 (RDY flag)
;
                  3.2.1.1 If Yes, set RDY2 flag (CON[5]=1 )
;
                  3.2.1.2 If No, set RDY flag (CON[6]=1 )
;
                 and test if CON[3]=0 (filter flag)
;
                  3.2.1.3 If Yes, {ER3, ER2, ER1, ER0} =
;
                                  = \{ ER3, ER2, ER1, ER0 \} / 4
;
                  3.2.1.4 If No, {ER3, ER2, ER1, ER0} =
;
                                   = \{ ER3, ER2, ER1, ER0 \} / 16
;
          3.2.2 If No, clear UIU, RDY and RDY2
;
                flags (CON[7:5]=000)
;
  4 {DL3, DL2, DL1, DL0} = {DL3, DL2, DL1, DL0} +
;
                            +{ER3, ER2, ER1, ER0}.
;
  5. Update High_DAC, Low_DAC and DACRDY output line
;
  6. Read the 4 least significant bits from ADC and start
;
     a new conversion
;
  7. Restart the Scan procedure
;
;
;
 Hardware resources
; Uses 8 input/output pins, 9 output pins, 1 input pin and 1
; counter input pin
;
; DBUS[7:0] data bus
;
; 8 bit bi-directional data bus is used to read the 20 bit input
; command IC[19:0], the one bit filter selection FS[0] and the 3 bit
; curvature correction selection CC[2:0]. It is also used to write
; the 16 bit Low_DAC command LDAC[15:0] and the 16 bit High_DAC
 command HDAC[15:0].
;
; assigned to PIC port C[7:0]
```



```
; The data format for the read and write operations is as follows:
; DBUS[ 7:0] = IC[19:12] when NCSR[2] = 0
; DBUS [7:0] = IC[11:4] when NCSR[1] = 0
; DBUS [7:0] = \{ IC[3:0], FS[0], CC[2:0] \} when NCSR[0] = 0
; LDAC [7:0] = DBUS [7:0] when NCSD [0] = 0 and ADDAC = 0
; LDAC[15:8] = DBUS[7:0] when NCSD[0] = 0 and ADDAC = 1
; HDAC [7:0] = DBUS [7:0] when NCSD [1] = 0 and ADDAC = 0
; HDAC[15:7] = DBUS[7:0] when NCSD[1] = 0 and ADDAC = 1
;
; NCSR[2:0] active low output enable controls for input registers
;
; 3 output lines used to selectively enable the three 8-bit input
; registers in order to read the user updated DAC command, the 3
 curvature correction bits and the one filter control bit.
 NCSR[0] enables the low input byte (LSB) and is assigned to port B[0]
;
;
 NCSR[1] enables the second input byte and is assigned to port B[1]
;
;
 NCSR[2] enables the high input byte (MSB) and is assigned to port B[2]
;
;
 NCSD[1:0] active low input enable controls for the DACs
;
 2 output lines used to selectively enable the two DACs
;
; NCSD[0] enables the Low_DAC and is assigned to port B[3]
; NCSD[1] enables the High DAC and is assigned to port B[4]
;
;
 ADDAC DAC address control
;
;
; output line. A low enables a write operation to the low byte of
; Low DAC or High DAC. A high enables a write operation to the high
; byte of Low DAC or High DAC.
; ADDAC is assigned to port B[5]
;
;
```



```
; NLDAC active low DAC load control
; output line. A high to low transition on this line updates the
; Low DAC and High DAC output values
;
 NLDAC is assigned to port B[6]
;
; DACRDY active high ready output signal
;
; output line. Indicates that the control loop error has been
; within a +/- 4ppm range for at least 250 ms
;
 DACRDY is assigned to port B[7]
;
;
;
; SCKAD external serial clock line for the ADC
;
; output line. ADC external serial clock. An external 10Kohm
; pull-down resistor is necessary on this line for correct
; power-up configuration.
 SCKAD is assigned to port A[0]
;
;
;
 SDOAD serial data line from ADC
;
;
 input line. Used to read ADC serial data.
;
;
 SDOAD is assigned to port A[1]
;
;
;
;
 NWRUI active low user interface write control
;
;
; input line. The user must bring this line low in order to update
; the DAC input value. A minimum low and high time is required !
;
 NWRUI is assigned to TOCKI counter input pin
;
;
;
;
```



list	p=16c55A	;	list directive to define processor
#include	<pl6c5x.inc></pl6c5x.inc>	;	processor specific variable definitions
CONTRAC		~	VE 000
CONFIG	_CP_OF.F. & _WD.ION	òc	_xT_OSC

;VARIABLE DEFINITIONS

UB	0	EQU	H'0008'	;	user input word buffer LSB
UB	1	EQU	H'0009'	;	user input word buffer second byte
UB	2	EQU	H'000A'	;	user input word buffer MSB
U0		EQU	H'0008'	;	user input word LSB
U1		EQU	H'000B'	;	user input word second byte
U2		EQU	H'000C'	;	user input word MSB
CO	N	EQU	H'000D'	;	control byte
AD	C0	EQU	H'000E'	;	ADC conversion result LSB
AD	C1	EQU	H'000F'	;	ADC conversion result second byte
AD	C2	EQU	H'0010'	;	ADC conversion result third byte
AD	C3	EQU	H'0011'	;	ADC conversion result MSB
AD	CC	EQU	H'0012'	;	ADC curvature correction byte
ER	0	EQU	H'000E'	;	control loop error LSB
ER	1	EQU	H'000F'	;	control loop error second byte
ER	2	EQU	H'0010'	;	control loop error third byte
ER	3	EQU	H'0011'	;	control loop error MSB
DL	0	EQU	H'0013'	;	Low_DAC LSB
DL	1	EQU	H'0014'	;	Low_DAC second byte
DL	2	EQU	H'0015'	;	Low_DAC third byte
DL	3	EQU	H'0016'	;	Low_DAC MSB
IN	DX	EQU	H'0017'	;	index variable
ΤM	PV	EQU	H'0018'	;	temporary variable
	#define	OPRDF	0x2F	:	OPTION register default value
	#define	CONDF	0x80	;	CON register default value
			-	'	



;HARDWARE ASSIGNMENT DEFINITIONS

#define	DBUS	PORTC	;	8bit I/O data bus
#define #define #define #define #define	REGCN REGDF NCSR0 NCSR1 NCSR2	PORTB 0x7F PORTB,0 PORTB,1 PORTB,2	;;;;;	register control port register control port default value LSB input register active low output enable second byte input register active low output enable MSB input register active low output enable
#define #define #define #define	NCSD0 NCSD1 ADDAC NLDAC	PORTB,3 PORTB,4 PORTB,5 PORTB,6	;;;;	Low_DAC active low write enable High_DAC active low write enable address bit for Low_DAC and High_DAC active low load control for Low_DAC and High_DAC
#define	DACRDY	PORTB,7	;	20bit_DAC ready indicator
#define #define	ADCCN ADCTR	PORTA 0x02	;;;;	ADC control port ADC control port configuration SDOAD input, the rest outputs
#define #define #define	ADCDF SCKAD SDOAD	0x02 PORTA,0 PORTA,1	, ; ; ;	ADC control port default value ADC external serial clock ADC serial data output

; THE CODE

RESET	ORG goto	0x1FF start	; processor reset vector
	ORG	0x000	
			;Initialization procedure
start	movlw	ADCDF	, ;write ADC control port default value
	movwf	ADCCN	;
	movlw	ADCTR	;set the I and O pin states for the
	tris	ADCCN	;ADC control port
			;
	movlw	REGDF	;write register control port default value
	movwf	REGCN	;
	clrw		;set register control port pins as
	tris	REGCN	;output only
			;
	movwf	DBUS	;set DBUS default value of 0
	tris	DBUS	;set DBUS as output
			;
	movlw	OPRDF	;set OPTION register default value
	option		;
			;



	clrf btfss movwf	TMR0 STATUS,NOT_TO TMR0	; ;if this is not a power-on reset ;load Timer0 with a nonzero value ;to force an initial read of the ;external input register ;
	clrf clrf	DL3 DL2	; ;initialize {DL3, DL2, DL1, DL0}=0 ;
	clrf	DL1	i
	clrf	DL0	;
	clrf	U2	;initialize {U2, U1, U0}=0
	clri	U1	i
	CITI	00	
	movlw	CONDF	; ;set CON variable default value
	movwf	CON	i
	movlw	0x20	;prepare to trigger a new ADC conversion ;after completing a hardware update ;read and discard 32 serial bits from
	IIIOVWL	INDA	, the ADC
	goto	iupdt	; ;go to the hardware update function
			;ADC output buffer flush function
fladc	movlw movwf	0x20 INDX	;reads and discards 32 serial bits from ;the ADC
			;ADC dummy serial read function
			, ;reads and discards the number of serial ;bits indicated by the INDX variable
rddmy	bsf	SCKAD	;low-to-high ADC serial clock edge
	bcf	SCKAD	;high-to-low ADC serial clock edge
	decfsz	INDX,1	;test if we read enough bits
	goto	rddmy	;if No, read one more bit
	btfss	SDOAD	; if Yes test that a new conversion has started
	goto	fladc	; if No, there is an interface problem. Flush the
	goto	scan	;ADC output buffer and start a new conversion ;if Yes restart the scan procedure
			;external input register read function
rduiu	moviw	Over	;
raara	tris	DBUS	set data bus in read mode (input)
	bcf	NCSRO	output enable for input reg. LSB
	nop		;wait for data bus to settle
	movf	DBUS,0	;read input req. LSB
	bsf	NCSR0	;output disable for input reg. LSB
	bcf	NCSR1	;output enable for input req. second byte
	movwf	UB0	store input req. LSB into input buffer
	movf	DBUS,0	;read input req. second byte
	bsf	NCSR1	;output disable for input reg. second byte



	bcf movwf movf movwf	NCSR2 UB1 DBUS,0 UB2	;output enable for input reg. MSB ;store input reg. second byte into input buffer ;read input reg. MSB ;store input reg. MSB into input buffer
	clrw bsf tris	NCSR2 DBUS	;terminate input reg. read operation ;output disable for input reg. MSB ;return data bus to write mode
	clrf bcf	TMR0 DACRDY	;clear Timer0 to continue wait for a UIU event ;signal user that input data has been read
	bsf bcf bcf	CON,7 CON,6 CON,5	;set UIU flag ;clear RDY flag ;clear RDY2 flag
			;scan procedure ;
scan	movf btfss goto	TMR0,1 STATUS,Z rduiu	<pre>;monitors UIU and end-of-conversion events ;test if Timer0 = 0 ;if Timer0=0 no UIU has occurred, skip next ;a user interface update has occurred ;go and read the new DAC input data</pre>
	btfsc goto	SDOAD scan	;test ADC end of conversion signal ;conversion not ready, rescan
			;ADC serial read function
rdadc	movlw movwf	0x1B INDX	;ADC conversion is done, read first 28 bits ;the first bit must be "0" to get here ;so do not bother with it
rdbit	bsf bcf btfsc bsf rlf rlf rlf decfsz goto	SCKAD SCKAD STATUS,C SDOAD STATUS,C ADC0,1 ADC1,1 ADC2,1 ADC3,1 INDX,1 rdbit	<pre>;low-to-high ADC serial clock edge ;high-to-low ADC serial clock edge ;move ADC output bit to carry. First clear carry ;read ADC output bit ;if ADC output is "1" set carry ;load carry as msb of ADC result ;and shift left all 4 bytes of the ADC result ; ; ; ;test if all 28 bits have been read ;if not, continue ; ;we have skipped the first ADC bit (ADC bit31=0) ;which has been tested as =0 when we detected the end of conversion</pre>
			;we have read 27 additional bits and have generated ;27 clock pulses. To restart the conversion we must ;produce the 5 remaining clock pulses



; verify validity of ADC serial data and format it

btfsc goto	ADC3,2 fladc	, ;test if the ADC bit30 is "0" ;if not there is an interface problem. Flush the ;ADC output buffer and start a new conversion ;if yes, put the ADC result in 2's complement form
movlw andwf	0x03 ADC3,1	;first clear the 6 most significant bits in ADC3 ;
btfsc	STATUS, Z	;tests for the [ADC_B29,ADC_B28]=00 ADC output
goto	rdend	;if Yes the formatting is completed. ;in very early LTC2400 samples the ADC output code ;[ADC_B29,ADC_B28]=00 is valid
goto	fladc	<pre>;for current LTC2400 devices improved error ;detection capability is obtained if the ;previous line is replaced with this line. ;The replacement is not mandatory. ;For current LTC2400 parts the output code ;[ADC_B29,ADC_B28]=00 is not valid thus it may ;be assumed that an ADC interface error has ;occurred. Flush the ADC output buffer and start ;a new conversion</pre>
movlw btfss	0x02 ADC3,1	;if No, convert ADC3 in 2's complement form ;
movlw xorwf	0xFE ADC3,1	;
		;curvature correction calculator ;
moví	ADC2,0	; calculate abs(ADC2)
btisc	ADC2,7	1 ADC2[7] = 0 W = ADC2
COMI	ADC2,0	; else $W = !ADC2$
IIIOVWI	ADCC	;second order curvature correction multiplier ;use ADC2[6:0] as a 2's complement number
movf	ADC2,0	;calculate abs(ADC2[6:0])
btfsc	ADC2,6	;if ADC2[6]=0 w = ADC2
comf	ADC2,0	;else w = !ADC2
movwf	TMPV	;TMPV=w=abs(ADC2[6:0])
rrf	TMPV,0	;w=TMPV/2 in order to scale the second order ;curvature correction
andlw	0x1f	;clear 3 MSB of w to complete calculation
addwf	ADCC,0	;w=abs(ADC2)+abs(ADC2[6:0])/2
movwf	TMPV	;TMPV contains the curvature correction multiplier :
clrf	ADCC	
bcf	STATUS, C	;clear carry for div-by-2 operation
btfsc	CON, 2	; if CON[2]=1



;

rdend

	movwf rrf	ADCC TMPV,1	;ADCC=ADCC+abs(ADC2) ;TMPV=TMPV/2
	movi bcf	TMPV, U STATUS C	; .clear carry for div-by-2 operation
	btfsc	CON.1	:if CON[1]=1
	addwf	ADCC.1	ADCC=ADCC+abs(ADC2)/2
	rrf	TMPV,1	:TMPV=TMPV/2
	movf	, TMPV,0	;
	btfsc	CON, 0	;if CON[0]=1
	addwf	ADCC,1	;ADCC=ADCC+abs(ADC2)/4
			;code comparator procedure
adomp	htfaa	CON 7	;; is aloor
CCOIIIP	goto	ercalc	stin CON[3:0] and H0 undate
	movlw	OxFO	else undate CON[3:0]
	andwf	CON, 1	clear CON[3:0]
	movlw	0x0F	;extract new CON[3:0]
	andwf	UB0,0	;from input buffer
	iorwf	CON,1	;and load it
	movlw	0xF0	;move UB[7:4] to U0[7:4]
	andwf	UB0,1	;UB0 and U0 use the same
			;physical location
			;calculate control loop error
ercalc	comf	ADCC,1	;ADCC 1's complement
	comf	ADC0,1	;ADC0 1's complement
	movlw	0x02	;add carry-in for ADCC and for ADCO
			;2's complement conversion
	clrf	TMPV	;prepare carry-out accumulator
	addwf	UB0,0	;w=carry-in + UB0
	btfsc	STATUS, C	; if there is a carry-out
	inct	TMPV,1	;accumulate it
	addwi	ADCC, 0	;w=carry-in + UBO - ADCC
	DCISC	STATUS, C	; IL LNERE IS A CARRY-OUT
	111CI addwf	IMPV,I	; accumutate it
	auuwi	ADCU,I	has same location as ADCO
	htfsc	STATIS C	if there is a carry-out
	incf	TMPV.1	accumulate it
	CT		,



comf	ADC1,1	;ADC1 1's complement
movlw	Oxff	;w=0xff (1's complement of ADCC second byte)
addwf	TMPV,0	;w=0xff + carry-in
clrf	TMPV	;prepare carry-out accumulator
btfsc	STATUS, C	; if there is a carry-out
incf	TMPV,1	;accumulate it
addwf	U1,0	;w=0xff + carry-in + UB1
btfsc	STATUS, C	; if there is a carry-out
incf	TMPV,1	;accumulate it
addwf	ADC1,1	;ER1=U1 - ADC1 - 0 + carry-in
		;has same location as ADC1
btfsc	STATUS, C	; if there is a carry-out
incf	TMPV,1	;accumulate it
comf	ADC2,1	;ADC2 1's complement
movlw	Oxff	;w=0xff (1's complement of ADCC third byte)
addwf	TMPV,0	;w=0xff + carry-in
clrf	TMPV	;prepare carry-out accumulator
btfsc	STATUS, C	; if there is a carry-out
incf	TMPV,1	;accumulate it
addwf	U2,0	;w=0xff + carry-in + UB2
btfsc	STATUS, C	; if there is a carry-out
incf	TMPV,1	;accumulate it
addwf	ADC2,1	;ER2=U2 - ADC2 - 0 + carry-in
		;has same location as ADC2
btfsc	STATUS, C	; if there is a carry-out
incf	TMPV,1	;accumulate it
comf	ADC3,1	;ADC3 1's complement
decf	TMPV,1	;ADCC 2's complement term. The next
		;carry-in is not useful - discard
movf	TMPV,0	;w=carry-in
addwf	ADC3,1	;ER3= 0 - ADC3 - 0 + carry-in
		;has same location as ADC3
btfsc	CON,7	;test if the UIU flag is set
goto	lduiu	;go to U1, U2 update

;error comparator

		;
		;calculate absolute value of loop error and
		; compare loop error magnitude with the 4ppm
		:threshold
movf	EB3 0	W = ER3
htfed	ERS,0 FD3 7	toot if (FD3 FD2 FD1 FD0) - 0
DCISC		, cest II $\{ERS, ERZ, ERI, ERO\} < 0$
COULL bbfaa	ERS, U	; IL YES W = -ERS
DUISS	STATUS, Z	; LESL II W=U
goto	nray	; II not absolute error >= 4ppm
movf	ER2,0	;W = ER2
btfsc	ER3,7	;test if {ER3, ER2, ER1, ER0} < 0
comf	ER2,0	; if yes $W = -ER2$
btfss	STATUS, Z	;test if W=0
goto	nrdy	;if not absolute error >= 4ppm
movf	ER1,0	;W = ER1
btfsc	ER3.7	: test if $\{ER3, ER2, ER1, ER0\} < 0$
comf	ER1.0	if ves W = -ER1
btfss	STATUS Z	test if $W=0$
aoto	nrdy	; if not absolute error >= 4ppm
9020	III dy	, if not absolute error >= appm
movf	ER0,0	;W = ERO
btfsc	ER3,7	;test if {ER3, ER2, ER1, ER0} < 0
comf	ER0,0	;if yes W = -ERO
andlw	0xC0	;keep only W[7:6] which are bits >= 4ppm
btfss	STATUS, Z	;test if W[7:6]=0
goto	nrdy	; if not absolute error >= 4ppm
		if we are here the absolute loop error is
		:less than 4 ppm. Set the flags and
		scale the loop error
htfer	CON 6	test if RDY flag is already set
haf	CON 5	if Veg get PDV2 flag
baf	CON 6	act DDV flag in any gage
DRT	CON, 6	; Set KDI Hay III ally Case



;error scaling ; reduce error correction value for loop ;damping and ADC noise reduction btfsc CON,3 ;test if CON[3]=0 qoto div4 ; if Yes ER0=ER0/4 ;if No ER0=ER0/16 rrf ER0,1 ;*1/2 rrf ER0,0 ;*1/2 ;clear 2 most significant bits andlw 0x3F btfsc ER3,7 ;if {ER3, ER2, ER1, ER0} < 0 iorlw 0xC0 ;set 2 most significant bits movwf ER0 ;ER0=ER0/4 div4 rrf ER0,1 ;*1/2 rrf ER0,0 ;*1/2 andlw 0x3F ;clear 2 most significant bits btfsc ER3,7 ;if {ER3, ER2, ER1, ER0} < 0 iorlw 0xC0 ;set 2 most significant bits movwf ER0 ;ER0=ER0/4 qoto ;go to error accumulator eracc ;load latest user input ; lduiu movf UB1,0 ; movwf U1 ;U1=UB1 movf UB2,0 ; ;U2=UB2 movwf U2 nrdy movlw 0x1F ; andwf CON,1 ;clear UIU, RDY and RDY2 flags ;error accumulator :--;adds the current loop error to the ;previous Low_DAC control value ;{DL3, DL2, DL1, DL0}={DL3, DL2, DL1, DL0}+ +{ER3, ER2, ER1, ER0} ; eracc movf ER0,0 ;the carry-in is 0 clrf TMPV ;clear carry-in accumulator addwf DL0,1 ;DL0=DL0+ER0 btfsc STATUS,C ; if there is a carryout incf TMPV,1 ;accumulate in carry-in movf TMPV,0 ;load carry-in clrf TMPV ;clear carry-in accumulator addwf ER1,0 ;W=ER1+carry-in btfsc STATUS,C ; if there is a carryout TMPV,1 incf ;accumulate in carry-in addwf DL1,1 ;DL1=DL1+ER1 btfsc STATUS,C ; if there is a carryout ;accumulate in carry-in incf TMPV,1 movf TMPV,0 ;load carry-in clrf TMPV ;clear carry-in accumulator addwf ER2,0 ;W=ER2+carry-in



btfsc incf addwf btfsc incf movf addwf addwf	STATUS,C TMPV,1 DL2,1 STATUS,C TMPV,1 TMPV,0 ER3,0 DL3,1	<pre>;if there is a carryout ;accumulate in carry-in ;DL2=DL2+ER2 ;if there is a carryout ;accumulate in carry-in ;load carry-in ;W=ER3+carry-in ;DL3=DL3+ER3</pre>
		<pre>;Low_DAC control truncation ; ; ;limits the {DL3, DL2, DL1, DL0} range to ; abs({DL3, DL2, DL1, DL0}) < 2^15 by ;truncation</pre>
btfss	STATUS, Z	;test if DL3=0
goto	negpot	; if No, DL may be negative ; if Yes, DL is positive ; test for overflow (>= 2^15)
movf	DL2,1	
btfss	STATUS, Z	;test if DL2=0
goto	ovflow	;if No, DL >= 2 ¹⁵ , must truncate ;if Yes continue testing for overflow
btfsc	DL1,7	;test if DL1[7]=1
goto	ovflow	;if No, DL >= 2^15, must truncate
goto	updt	; if Yes we are done with DL range control
clrf	DL3	;if we arrive here DL >= 2^15. Must
clrf	DL2	;truncate to $DL=2^{15-1} => DL3=DL2=0$
movlw	OxFF	;and DL1=0xEF, DL0=0xFF
movwf	DL0	;
movwf	DL1	;
bcf	DL1,7	;
goto	updt	;done with overflow correction



ovflow

udflow	clrf bsf clrf movlw movwf movwf goto	DL1 DL1,7 DL0 0xFF DL3 DL2 updt	<pre>;if we arrive here DL < -2^15. Must ;truncate to DL=-2^15-1 => DL3=DL2=0xFF ;and DL1=0x80, DL0=0 ; ; ; ; ; ; ;done with underflow correction</pre>
negpot	btfss goto incf btfss goto incf btfss goto btfss goto	DL3,7 ovflow DL3,0 STATUS,Z udflow DL2,0 STATUS,Z udflow DL1,7 udflow	<pre>;DL may be negative. Test if DL3[7]=1 ;if No, DL > 2^15, must truncate ;if Yes, DL <0. ;test if DL3=FF ;if No, DL < -2^15, must truncate ;if Yes continue testing for underflow ;test if DL2=FF ;if No, DL < -2^15, must truncate ;if Yes continue testing for underflow ;test if DL1[7]=0 ;if No, DL < -2^15, must truncate ;if Yes we are done with DL range control</pre>
updt	movlw movwf	0x05 INDX	<pre>;Hardware update function ; Low_DAC and High_DAC update ; ;This is the hardware update function ;entry point for normal operation. ; ;prepare to generate the last 5 ADC external ;serial clock pulses ;when going to restart the scan procedure ;at the end of the hardware update function ;This will trigger a new ADC conversion. ; ;This is the hardware update function ;entry point for initial operation. ;The INDX variable has been initialized ;before to 0x2F which will generate ;32 serial clock pulses to the ADC thus ;starting a new conversion ;</pre>



iupdt	clrw		;set the data bus in write mode
	tris	DBUS	;
	bcf	ADDAC	;set DAC address for LSB
	movf	U1,0	;load High DAC LSB
	movwf	DBUS	;
	bcf	NCSD1	;write to High DAC
	bsf	NCSD1	;
	movf	DL0,0	;load Low DAC LSB
	movwf	DBUS	;
	bcf	NCSD0	;write to Low DAC
	bsf	NCSD0	-
	bsf	ADDAC	;set DAC address for MSB
	movf	U2,0	;load High DAC MSB
	movwf	DBUS	;
	bcf	NCSD1	write to High DAC
	bsf	NCSD1	;
	movlw	0x80	change DL1 to offset binary
	xorwf	DL1,0	;load Low DAC MSB
	movwf	DBUS	;
	bcf	NCSD0	;write to Low DAC
	bsf	NCSD0	-
	bcf	NLDAC	;load Low DAC and High DAC
	bsf	NLDAC	;
			;DACRDY output update
	btfsc	CON, 5	;test if RDY2 flag is set
	bsf	DACRDY	; if Yes, set DACRDY output
	btfss	CON, 5	;if No
	bcf	DACRDY	;and only if No, clear DACRDY output
			;
	clrwdt		;clear watch dog timer
			;
	goto	rddmy	;generate the necessary number
	5	-	;of ADC serial clock pulses in order
			;to start a new conversion
	END		; directive `end of program'



付録E

直線性と出力レンジのオプション

帰還 A/D 部品として DAC で用いられているLTC2400には、 ±2ppm (代表値)の残留非直線性があります。図E1の下側の 曲線がこれを示したものです。図には非直線性を1ppm以内 (中央の曲線)にするために必要となる1次補正(上側の曲 線)を併記してあります。真の1ppm性能が必要な場合は、付 録Dで解説したソフトウェアによる補正を使用できます。ソフ トウェアによって必要な「反転ボウル型」の補正特性を生成し ます。あらゆるLTC2400単体について残留非直線性を補完す るために、コード・コンパレータのDIPスイッチによって補正条 件を設定することも可能です。 LTC2410には、直線性を改善するもう1つの方法が用意されています。このLTC2400のバリアントは直線性が改善されているものの、最大入力レンジの仕様が2.5Vです。図E2では、高精度抵抗の比率設定によりDAC出力を分圧することで、フルスケール出力の5Vを保ちつつ、LTC2410を使用できるようにしています。この手法の不利な点は、比率設定によって誤差が0.1ppm/°Cおよび5ppm/年だけ増加することです。「図E3も同様の回路ですが、比率設定に新たな値を用いることでフルスケール出力10Vへの対応を可能としています。







図 E2. 高精度抵抗の比率設定が DAC 出力を分圧し、固有直線性 が強化されたLTC2410の適用を可能とする。デメリットは 5ppm/年および 0.1ppm/°Cのドリフト増加である



ようにする

Note 1:「誤差への寄与」が1ppm未満および年間ドリフト率が上記の値で表されるようになり、層はより薄くなりつつある。





付録F

出力段

アプリケーションの中には、本文に示した回路のOV ~ 5V レン ジ以外の出力を必要とするものもあるでしょう。最も簡単な変 形例が、図F1に示すバイポーラ出力です。この加算インバー タの回路は、リファレンスからDAC出力を差し引いてバイポー ラ出力を得ています。抵抗およびリファレンスの値を変更して、 異なる出力レンジに設定することも可能です。LT1010出力バッ ファが駆動能力を提供し、チョッパーによって安定化された アンプが0.05µV/°Cの安定性を保持します。抵抗によって、 0.3ppm/°Cの誤差が生じます。¹

図F2では、DAC出力を帰還A/Dコンバータに印加する前に 分圧することで電圧利得を得ています。この場合、分圧比を 1:1に設定すると出力は10Vになります(A/Dコンバータのリ ファレンスが5Vの場合)。図F1に示すとおり、抵抗によって 温度誤差がわずかに増加します。規定の比率設定の場合、約 0.1ppm/°Cです。²

図F3では、±100Vに達する電圧出力に対応するために、能動 デバイスを使用しています。ディスクリートな高電圧段は、チョッ パー安定化アンプにより閉ループ方式で駆動されます。Q1と Q2が電圧利得を与えるとともに、Q3-Q4のエミッタ・フォロワ 出力を供給します。Q5とQ6は、27Ωのシャント抵抗両端の電 圧が過度に高くなると出力駆動を迂回させ、電流を25mAに 制限します。1M-50kのローカル帰還抵抗のペアが、この出力 段の利得を20に設定し、LTC1152の駆動によって±120Vのフ ル出力振幅が得られるようにします。ローカル帰還によって、出 力段の利得帯域幅が小さくなり、動的制御が容易になります。 電圧利得に寄与する部品がQ1とQ2だけであることから、こ の段の周波数補償は比較的簡単に実現できます。更に、高耐 圧トランジスタは接合部が大きいため、ftsが小さく、高周波に おけるロールオフに対して特別な注意は不要です。反転出力 段であることから、帰還はアンプの正側入力に戻します。周波 数補償は、0.005μF-10kΩのローカルによってアンプをロール オフすることで実現します。

4つの独立した抵抗を使用することで、帰還の項に含まれる 発熱および電圧係数による誤差を最小限に抑えます。トリミン グは、DACのフルスケール出力が正確に100.0000Vになるよ うに、図示した抵抗を選択して行います。

図F4はDAC出力アンプの帰還ループ内に電流利得段を設けることで出力電流能力を強化しています。この出力段を、本文に示した150mA出力のLT1010バッファと置き換えます。図には、出力能力の異なる2通りのオプションを示しました。出力電流が増加すると、配線抵抗が大きな潜在的誤差の項になることを指摘しておくのは無駄ではないでしょう。例えば、わずか10mAの出力と配線抵抗0.001Ωでも10µVの電圧降下が生じ、これは2ppmの誤差に相当します。このため、大きな負荷には短く導電性の高い経路によって給電し、リモート・センシングを適用する必要があります。



*= VISHAY TYPE VHP-100 MATCHED SET

図 F1. 高精度抵抗とチョッパー安定化出力アンプにより バイポーラ DAC 出力に対応。トレードオフ:抵抗追加に よる約0.3ppm/Cの誤差増加



図 F2. A/D コンバータにおける帰還分圧によって ×2の電圧利得を実現。その結果、総温度係数が 若干増加する

Note 1:付録EのNote 1参照。 Note 2:上記の脚注参照。

AN86 FF01









図F4. LT1206/LT1210による出力段が、それぞれ250mAおよび1.1A負荷を駆動。 通常、IR電圧降下を補償するためにリモート・センシングが必要



付録G

DACのセトリング時間測定

20ビットDACの出力セトリング時間を測定するのは困難な作業です。使用する時間軸は比較的低速であるものの、5µVというLSBのステップ・サイズが問題になります。この課題は、 モニタ用オシロスコープでオーバードライブが発生しないようにしつつ、大きな利得を実現するという課題に還元できます。 このようなオーバードライブは測定値を乱し、表示される結果 を無意味なものにします。

図G1が、この課題の解決策です。DACの出力と、0.5µVス テップで調整可能な高精度可変リファレンス電源を、抵抗に よって平衡させます。¹回路の残りの部分は、クランプされ、利 得2000を分散させたアンプを構成します。各利得段の入力 に配置されたダイオード・クランプは、DACとリファレンス電 源のアンバランスが大きい場合でも飽和が発生しないように します。また、利得を分散させることで、クランプの効果を保ち つつ10kHzの帯域幅を可能とします。モニタ用オシロスコー プは5mV/DIVまたは10mV/DIV (DAC出力部分では5µV ~ 10µV)で動作し、有害なオーバードライブを生じることなく、 5µVのセトリングを十分に識別できます。 この回路のレイアウトと構造には注意が必要です。図G2に詳細な構造を示します。直線状のレイアウトによって、寄生帰還 経路を最小限に抑え、発振を防止します。DAC入力ステップ 信号は完全にシールドされ、アンプ内のさまざまな高感度ノー ドへのフィードスルーを防止します。最後に、回路全体をシー ルドされた筐体に収め、浮遊RFやピックアップ・ノイズの効果 を最小化します。

この回路は、DACよりもはるかに短時間でセトリングするテス ト・ステップを印加することでテストします。図G3では、水銀 リード・リレーを用いたパルス・ジェネレータによってステップ 信号を供給しています。図に示したユニットは、市販品として 生産されています。ただし標準の水銀リード・リレーでも同様 の結果を得ることができます。リレーが開くと、この回路の出 力は、DACのスピードやアンプ帯域幅のセトリング時間に比 べれば、基本的に瞬時にセトリングします(図G4)。

図G1の応答は、入力の一方を接地し、もう一方をパルス・ ジェネレータによって駆動することでテストしたものです。図 G5は、1ppm(±5µV)以内へのセトリング時間が2msである ことを示しています。これはDACのセトリングよりもはるかに 高速であり、本文の図6および図7に示した結果の信憑性を 高めます。



図 G1. クランプされた分散利得 2000 のアンプによって飽和の影響 を受けずに DAC のセトリング時間測定が可能

Note 1:このような電源の詳細は、付録Cを参照のこと。









AN86 FG02.tif

図 G2. セトリング時間アンプの構造利得が2000でありながら帯域幅はわずか10kHzであることから、寄生帰還による発振を予防する 注意深いレイアウトが必要。入力(写真左下)は完全にシールドされ、アンプへの放射フィードスルーを防止している。筐体は回路を 浮遊 RFとピックアップ・ノイズからシールドする





図 G3. リード・リレーを用いたパルサはセトリング時間テスト回路にクリーンなステップ信号を供給する



図 G4. 水銀リード・リレーは 5ns で開放され、即座にゼロにセトリングする。500MHzの リングオフはソース終端インピーダンスの不整合によって生じたものである



図 G5. テスト・ステップ信号に対するセトリング時間測定回路の応答。±1ppm(±5µV)に2msで セトリングしている



付録H

マイクロボルト・レベルのノイズ測定

DAC出力/イズの検証には、オシロスコープ部分に/イズの 少ない、高利得のアンプが必要です。図H1に、このような測 定に適用される1つの方法を示します。信号は、利得1000で 動作する入力プリアンプによって0.1Hzでハイパス遮断され、 10Hzのディスクリート・ロー・パス・フィルタを通過してオシロ スコープを駆動します。1mV/DIVに設定されたオシロスコー プに、信号はプリアンプ入力を基準として1µV/DIVで表示さ れます。図H2より、DACの出力/イズが、約0.9µVのLSBより も十分に小さいことがわかります。機器の制約により、測定の ノイズ・フロアが0.2µVに設定されます。

図H3は、ノイズ測定のテスト装置です。関連する信号レベル が、完全にシールドされた同軸経路でブレッドボードからオシ ロスコープまで配線されていることに注意してください。

図H4にノイズ測定に適した高感度アンプの例を示します。現 世代のオシロスコープが2mV/DIVより高い感度を備えてい ることは稀ですが、旧式の測定器はより高い能力を提供して います。図には、ノイズ測定に適した代表的なプリアンプとオ シロスコープ・プラグインの一覧を示してあります。これらのユ ニットは、高帯域、低ノイズの性能を提供します。これらの測 定器の多くに共通する顕著な特徴は、もはや製造されていな いということです。これは、アナログ測定能力よりもデジタル信 号の取得に重点を置いた、現在の測定器のトレンドを裏付け る現象でしょう。

モニタ用オシロスコープのトレースはずば抜けた明瞭さを備 えていなければなりません。トレースの明瞭性という性能に関 しては、高品質アナログ・オシロスコープに並ぶものはありま せん。これらの測定器のきわめて小さな輝点は低レベルの/ イズ測定に最適です。¹DSOに伴うデジタイズの不確実性とラ スタ・スキャンの制約が、表示分解能を劣化させます。多くの DSO表示は、ノイズ波形の微細構造を記録することさえでき ません。



図H1. マイクロボルトのノイズ測定にはオシロスコープ用に高 利得のプリアンプが必要である。プリアンプとディスクリート・ フィルタが0.1Hz~10Hzの測定帯域を設定する



図H2. 写真に示された0.1Hz~10Hz帯域のDAC出力ノイズ は約0.2LSBに相当する1µV未満である。機器の制約により、 測定のノイズ・フロアが0.2µVに設定される

Note 1: 筆者らの研究から、Tektronixのタイプ453、453A、454、454A、547、556が 優れた選択であることが明らかになった。信号本来の状態を保ったトレース表 示は、測定対象の小信号を、ノイズ・フロアによって制限されるバックグラウンド と区別するのに最適です。

LINEAR TECHNOLOGY



AN86 FH03.tif

図 H3. シールドされた DAC ブレッドボード(前列)、プリアンプ(左)、オシロスコープに接続されたローパス・ フィルタ(中央)を含むノイズ測定テスト装置。測定信号経路は、全て同軸



計測器のタイプ	メーカ	モデル番号	最大帯域幅	感度/利得	供給状態	注釈
Differential Amplifier	Tektronix	1A7/1A7A	500kHz/1MHz	10µV/DIV	Secondary Market	Requires 500 Series Mainframe, Settable Bandstops
Differential Amplifier	Tektronix	7A22	1MHz	10µV/DIV	Secondary Market	Requires 7000 Series Mainframe, Settable Bandstops
Differential Amplifier	Tektronix	5A22	1MHz	10µV/DIV	Secondary Market	Requires 5000 Series Mainframe, Settable Bandstops
Differential Amplifier	Tektronix	ADA-400A	1MHz	10µV/DIV	Current Production	Standalone with Optional Power Supply, Settable Bandstops
Differential Amplifier	Tektronix	AM-502	1MHz	100,000	Secondary Market	Standalone with Optional Power Supply, Settable Bandstops
Differential Amplifier	Preamble	1822	10MHz	Gain = 1000	Current Production	Standalone, Settable Bandstops
Differential Amplifier	Stanford Research Systems	SR-560	1MHz	Gain = 50000	Current Production	Standalone, Settable Bandstops, Battery or Line Operation

図 H4. 適用可能な高感度、低ノイズのアンプの例。互換性、 感度、供給状態などのトレードオフがある

付録I

電圧リファレンス

図IIにDACで使用する電圧リファレンスのオプション例を示します。自己完結式のものが便利で適用も簡単でしょう。 LM199AとLTZ1000Aには外付け回路が必要ですが、より高い性能が得られます。いずれを選択した場合もDACの絶対 精度を確立するためにトリミングが必要です。ここでは、最大の安定性を提供するLTZ1000Aについて説明します。

図I2は、LTZ1000Aと、そのサポート回路です。A1はLTZ1000A のダイ温度を検出し、2N3904を介してICヒーターを適宜制 御します。A2はリファレンス電流を制御します。ツェナー・リファ レンスの検出にはケルビン接続を使用し、電圧降下の影響を 最低限に抑えます。1点接地によってリターン電流の混合と、 生じる可能性のある付随誤差を排除します。 図I3は、リファレンスのバッファ駆動のオプションです。いずれ もバッファ出力段によって強化されたチョッパー安定化アンプ を採用しています。バッファの誤差は、付録Cで検討している とおり、ごくわずかです。I3aは単純なユニティ・ゲイン段であり、 誤差を小さく、リファレンスへの負荷を最小限に抑えて、入力 を出力に伝達します。I3bは中程度の利得を持ち、7Vのリファ レンス入力から(この場合)、10Vを出力します。I3cでは、公称 7V入力から5Vを得る2つの方法を示しています。一方の方 法では、高精度分圧器が若干リファレンスの負荷増加は、出力 に分圧器を配置し(図にはオプションとして表示)、分圧器の 出力からA/Dコンバータのリファレンス入力を駆動することで 防止できます。

型番	電圧	初期精度	温度ドリフト	長期安定性	注釈
LTZ1000A	7.2V	Minimum 7V Maximum 7.5V	0.05ppm/°C	4ppm/Yr Typical	Highest Stability Zener Available.Requires External Heater Control and Reference Buffer Circuitry
LM199A	6.95V	2%	0.5ppm/°C	10ppm/Yr Typical	Self-Contained, Including Heater Control Circuitry. Zener Output Is Unbuffered
LT1021	5V, 7V, 10V	0.05V (7V)	2ppm/°C (7V)	20ppm/kHr Noncumulative	Fully Self-Contained.Trimmable
LT1027	5V	0.02%	2ppm/°C	20ppm/kHr Noncumulative	Fully Self-Contained.Trimmable
LT1236	5V, 10V	0.05%	5ppm/°C	20ppm/kHr Noncumulative	Fully Self-Contained.Trimmable

図11. リファレンス・オプションの出力電圧、精度、安定性による比較。 最高の安定性が得られるオプションには外付け回路が必要







10k



3つの出力オプションがある。絶対精度を確立するためにトリミングが必要である



付録J

ケーブル、接続、ハンダ付け、レイアウト、部品選定、 部品選定、隠れた危険と奥義

低レベルの回路の性能では、わずかな寄生効果が顕著で一 見説明しがたい影響を及ぼす場合があります。マイクロボルト・ レベルの回路に見られる、おそらく最も一般的な障害の原因は、 意図せぬ熱電対でしょう。熱電対に関する詳細な議論は付録 Cに収録されているため、このセクションの内容の予備検討と して目を通してください。

1822年、エストニアの物理学者トーマス・ゼーベックは、ガル バニック配列の熱効果の研究中に偶然、半円形のビスマス と銅の線材を接続して、近くの方位磁石が磁界による外乱 を受けることを発見しました(図J1)。ゼーベックは別の金属 の組み合わせについても温度をさまざまに変えて実験を繰 り返し、相対磁界強度を記録しました。興味深いことに、ゼー ベックは電流が流れているとは考えず、この効果を「熱磁界」と して説明することを好みました。彼はこの成果を「Magnetische Polarisation der Metalle und Erze durch Temperatur-Differenz」 と題する論文に発表します(参考文献参照)。





その後の研究で、「ゼーベック効果」は基本的に電気的な特性 であり、再現性があることからきわめて有用であることが明ら かになりました。これよりはるかに広く知られたトランスデュー サである熱電対は、ゼーベックの末裔です。残念ながら、意図 せぬ、好ましくない熱電対も、ゼーベックの血を引いています。 低ドリフト回路では、無用の熱電対がおそらく最も主要な誤 差要因になります。コネクタ、スイッチ、リレー接点、ソケット、 ワイヤ、そしてハンダまでもが、いずれも熱EMF発生の候補 となりえます。コネクタやソケットが熱接合を形成する可能性 があることはそれなりに納得できるものの、異なるメーカのワ イヤを接続するだけで簡単に200nV/℃が発生する事実は当 たり前では片づけられません。この値は高精度アンプのドリフ ト仕様の4倍にも達します。図J2は、このようなワイヤ接続か ら得られたプロットです。ハンダでさえ、銅、コバール・ワイヤ、 PCトレースと接合を形成して低レベル回路では誤差項となり ます(図J3参照)。図J4に、電子回路アセンブリに使われるい くつかの一般的な材料の熱電対電位を示します。Cu-CuOの



図J2.2つの「まったく同一」の銅ワイヤであるにも かかわらず酸化と不純物によって発生した熱EMF



図 J3. ハンダ - 銅接続による熱 EMF。Cd/Sn は活性が著しく 低いものの毒性があるため入手できず推奨もできない

組み合わせが示す著しい反応から、付録Cに述べた(図C7と 本文の関連部分)DVMとケルビン・バーレイ分圧器の接点に 対するクリーニング措置が必要になります。この図の示す情 報が学術的すぎると感じる読者でも、図J5を見ればピンと来 るものがあるでしょう。この図は広く普及している実験室用コ ネクタの熱電位です。一部の種類の熱電対動作は、他の種類 の20倍以上に達します。注意してください。

熱EMF起因の誤差は、回路基板レイアウトに十分な注意を 払えば最小限に抑えることができます。通常、信号経路内の 接点の数を少なくすることは、優れた方針です。コネクタ、ソ ケット、スイッチ、その他の潜在的誤差要因をできるだけ避け ます。しかし、これが不可能な場合もあります。その場合は、 信号経路内の接点の数と種類を揃えるように努め、差動動 作によって誤差が相殺されるようにします。それには、不可欠 な接点によって生じる誤差をオフセットするために、意図的に 接点を作る場合もあります。これには微妙な匙加減が必要に なることがあります。追加する接点の最適な数と位置を決め るために、繰り返し意図的に温度を変動させる必要があるかも 知れません。健全な忍耐力と豊富な時間を注ぎ込んだ実験が 不可欠です。標準研究所で使われる手順を借りたこの手法は、 熱EMF起因のドリフト低減にきわめて有効です。図J6に、こ のような熱的バランスを促進するために公称上は必要ない抵 抗を導入した簡単な例を示します。離れた場所にある信号源 についてはコネクタの使用が不可避な場合もあるでしょう。そ の場合は、熱EMF効果の仕様値が比較的小さなコネクタを 選定し、コネクタから回路基板、回路までの信号配線が同様 にバランスの取れたものになるようにします。アンバランスが避 けられない場合は、これを相殺する意図的な接点を設けます。 いずれの場合も、差動動作する接点は物理的に近接させ、両 者が同じ温度になるようにします。空気流や温度勾配を避け てください。これらは、熱のアンバランスを生み、問題を招くお それがあります。図J7にLTC1150の温度安定性を測定する ためのテスト回路における同チップの接続を示します。アンプ の入力に接続される抵抗のリード長は同じ長さに揃えてあり ます。更に、これらの抵抗は対称に接続され、サイズも同一で あることから、アンプの各入力側から見た熱容量のバランスも 取られています。したがって、熱EMF起因の変位は位相と振 幅が等しいため、相殺されます。これだけの措置を講じても、 依然としてごくわずかな空気流による影響が現れる場合があ ります。図J8は、出力ノイズを、小さな発泡スチロールのカップ (HANDI-KUP[™]社、モデルH8-S)で回路をおおって測定し た場合と、カップなしの「静止」空気中で測定した場合の測定 記録紙です。このデータは、低レベルの回路では、多くの場合、 何らかの形の熱バッフルで囲む慎重さが求められる理由を示 しています。

	熱電位(µV/℃)		
Cu-Cu	< 0.2		
Cu-Ag	0.3		
Cu-Au	0.3		
Cu-Cd/Sn	0.3		
Cu-Pb/Sn	1 to 3		
Cu-Kovar	40		
Cu-Si 400			
Cu-CuO	1000		
出典:Low Level Measurements, Keithley Instruments, 1984			

(「参考文献」参照)

図J4. 各種材料の熱電位から、信号経路に異なる材料を 混用すべきでないことがわかる。銅-銅(表の1行目)接点は 清浄に保たないと酸化によって5000:1の劣化が発生する (表の最後の行)



接続タイプ	説明	熱電位(μV/°C)
BNC-BNC Mate		0.4
BNC-Banana Adapter		0.35
BNC-BNC "Barrel" Adapter		0.4
Male/Female Banana Mate Sample #1		0.35
Male/Female Banana Mate Sample #2		1.1
Male/Female Banana Mate (Type Specified for Low Thermal Activity) Sample #3		0.07
Copper Lug-Copper Banana Binding Post		0.08
Copper Lug-Standard Banana Binding Post		0.5
Plated Lug-Copper Banana Binding Post		1.7

図 J5. 一般的な実験室用コネクタの熱電位測定値。「バナナ」系のサンプル間で大きな差があるのは メーカの材料選定による。銅製端子/銅製バナナ・ポストはメッキ済み端子/銅製バナナ・ポストに比べて 20×活性が低いことに注目



熱EMFは低レベル誤差要因の第1候補ですが、他にも誤差 を生む原因はあります。静電気と電磁界のシールドが必要に なる場合もあります。電源トランスの磁界は、アンプのDCド リフトやノイズに間違われることが多い、悪名高い誤差要因 です。トランスのPCトレースに注入される磁界は、よく知られ た磁界理論に従って、その導体の両端に簡単にマイクボルト・ レベルの電圧を発生させます。回路はこのスプリアスな信号と、 目的とする入力を見分けることができません。回路応答をロー ルオフさせることでこの問題を回避する試みは、成功する場合 もありますが、好ましくないピックアップ・ノイズのフィルタ後の 波形は、しばしばDC成分が不安定であるかのように振る舞 います。最も直接的な対策はシールドされたトランスを使用す ることですが、慎重なレイアウトによっても同程度の効果が得 られ、コストを低く抑えることができる可能性があります。高品 位の接地方式を実現するために、トランスを近接させて配置 する必要がある回路は、トランスの磁界による外乱を受けるお それがあります。スコープ・プローブの両端にRFチョークを接続することで、トランス磁界の有無やその相対的強度を判断でき、レイアウト試行の参考になります。

寄生誤差のもう1つの要因が浮遊漏れ電流です。このような 漏れ電流が回路動作に影響を与えないようにする必要があ ります。最も単純な対策は、漏れ電流に敏感なノードをテフ ロン・スタンドオフ越しに接続することです。このノードはPC 基板に決して接触しないため、浮遊漏れ電流の影響を受けま せん。効果的な対策ではあるものの実装は量産向きとは言え ない可能性があります。ガード・リングは基板の漏れ電流の影 響を抑えるもう1つの手法です。ガード・リングとは漏れ電流に 敏感なノードを完全に取り囲むPCトレースです。このトレース は保護対象のノードと同じ電位に駆動し、ガード・リングから 「ガードされる」ノードへの漏れ電流が発生しないようにし ます。PC 基板上で、ガード・リングは保護するノードを囲み ます。ガード・リングの手法は、付録Cの図C7でコンデンサの 表面漏れ電流の影響を排除するために使われています。



図 J6. 代表的な熱レイアウト検討項目では寄生熱電対の形成抑制と信号の差動化が 重点課題である。アンプ入力部の熱質量を等しくすることで、差動化された寄生熱電対出力を 同じ位相と振幅で到達させることができる



図J7. アンプのドリフト・テスト回路。各入力の熱EMFと熱容量は 相殺させるために等しくする必要がある













 リニアテクノロジー株式会社

 〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F

 TEL 03-5226-7291 • FAX 03-5226-0268 • www.linear-tech.co.jp

an86f an86f LT/TP 0101 4K • PRINTED IN JAPAN TECHNOLOGY © LINEAR TECHNOLOGY CORPORATION 2001