

## スイッチド・キャパシタ ADC の周波数領域応答

by Rob Reeder

### はじめに

スイッチド・キャパシタ入力段の無バッファ・アナログ・デジタル・コンバータ (ADC) の周波数領域応答を知ることは、これらのタイプのパイプライン ADC とのインターフェース回路を設計する方法を理解する上で重要な第一歩です。アクティブ・パッシブ、DC カップルド、又は AC カップルドなどのどの高周波数インターフェースであろうとも、それを設計する前に、ADC の特性入力インピーダンスが決定されなければなりません。

このアプリケーション・ノートでは高周波数範囲にわたる入力応答について、より理解が得られるように、ネットワーク・アナライザを使って得た測定値を利用した方法を説明します。

この方法によって、スイッチド・キャパシタ入力の無バッファ・コンバータに対するより効果的なインターフェースを設計することができます。すべての測定とモデルの計算は、32 ピン・チップスケール・パッケージ (CSP) の AD9236 を使用して行いました。

コンバータに内蔵しているサンプル&ホールド・アンプ回路 (SHA) は、主に入力スイッチ、入力サンプリング・コンデンサ、サンプリング・スイッチ、アンプで構成されています。図 1 に示すように、入力スイッチは、ドライバ回路と入力コンデンサとをインターフェースします。入力スイッチが ON (トラック・モード) の時は、ドライバ回路は、入力コンデンサを駆動します。このモードの終わりに、入力信号が入力コンデンサにサンプリング (取得) されます。入力スイッチが OFF (ホールド・モード) の時、ドライバ回路は、入力コンデンサから絶縁されます。コンバータのトラック・モードの期間とホールド・モード期間はほぼ同じです。

無バッファ (スイッチド・キャパシタ) コンバータのインターフェース問題は 2 つ面として現れます — 周波数領域応答 (このアプリケーションノートで説明します) と時間領域応答。最初の問題は、SHA のトラック・モード時の入力インピーダンスが SHA のホールド・モード時の入力インピーダンスとは違うことです。この事により、高 IF 設計のフロント・エンド回路をコンバータの入力に正確にインピーダンス・マッチングさせるのが難しくなります。

コンバータはトラック・モード時のみに入力信号をサンプリングするので、入力インピーダンスは、このモードでマッチングしていなければなりません。入力インピーダンスの周波数依存性は主にサンプリング・コンデンサと信号経路の寄生キャパシタンスの大きさによって決まります。正確なインピーダンス・マッチングを行うのに、入力インピーダンスの周波数依存性についての特性を知る事は大いに助けになります。AD9236 から得られた測定結果は、広範囲の入力周波数にわたっての入力インピーダンスの特性を説明します。

このアプリケーション・ノートのセクション "例" でトラック・モード時のコンバータとの入力インターフェースを決める方法を示します。

2 番目の問題は、時間領域にあります。内部スイッチド・キャパシタ入力回路からの "キックバック" がドライバ回路に現れる事です。この問題は、コンバータが 1 つのモードから他のモードに切り替わり、一つ前のサンプルから現在のサンプルへ入力コンデンサが充電される時に起こります。従ってコンバータ入力で起こる電流グリッチは 3 つの要因によって変わります：一つ前と現在のサンプルの電圧差、入力サンプリング・コンデンサの値、信号経路の全抵抗の合計 (これは信号経路のスイッチの ON 抵抗と信号経路の直列抵抗から成り立ちます。)

アナログ入力ピンに現れる電流グリッチの時間領域での例を図 2、図 3 に示します。図 4 は回路全体の電流グリッチの周波数領域での内容ですが、この場合、トランス結合回路の一次側での測定です。

例えドライバ回路が直線的な応答特性であっても、電流グリッチの非直線的な部分が入力サンプル信号を壊すならば、その結果サンプリングされた信号は歪みます。それ故、コンバータの特性を維持するために、電流グリッチが半クロックサイクル内に収まるように、入力回路 (すなわち トランス、アンプドライバ) を設計することが重要です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. B

©2010 Analog Devices, Inc. All rights reserved.

**アナログ・デバイセズ株式会社**

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

## 目次

はじめに.....	1	例.....	6
方法.....	4	結論.....	6
測定.....	4	コンバータ S パラメータ.....	6
結果.....	5	参考資料.....	7

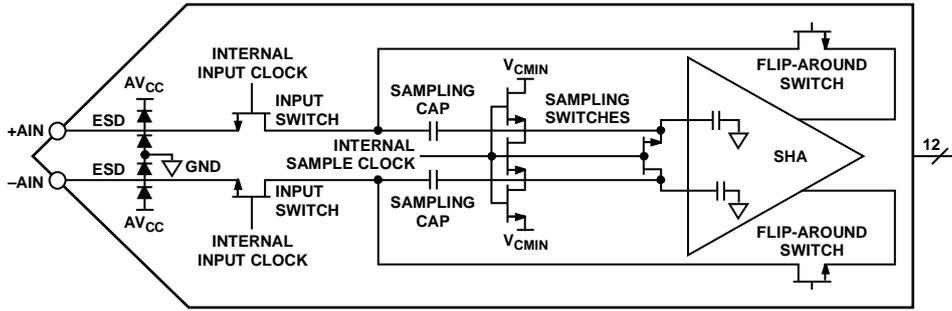


図1 無バッファ・コンバータ入力段基本回路

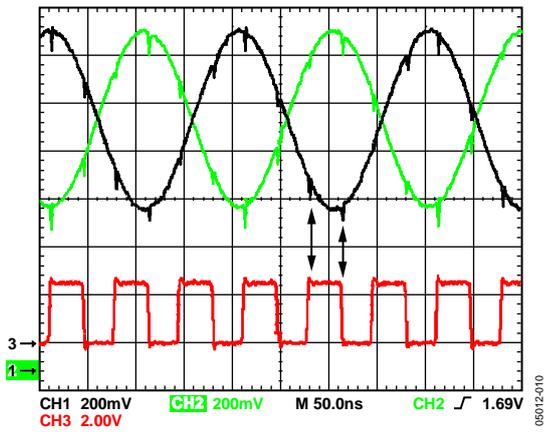


図2 アナログ入力ピンでのシングル・エンド時間領域測定

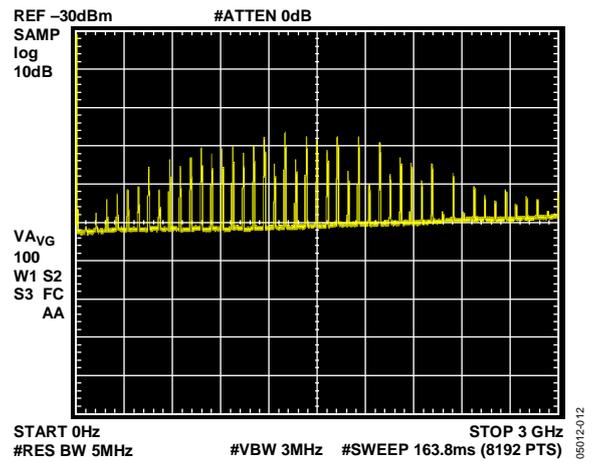


図4 回路全体の周波数領域測定

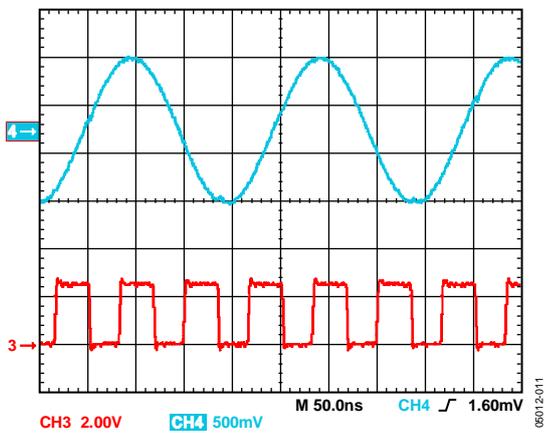
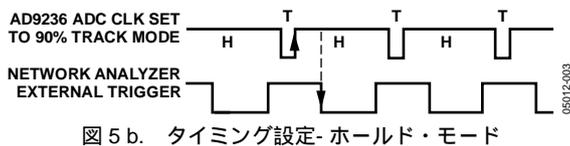
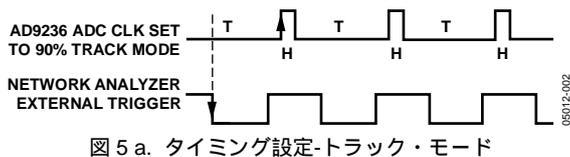


図3 アナログ入力ピンでの差動 (+AIN 又は -AIN)時間領域測定

## 方法

コンバータの周波数応答を理解するために、AD9236 の内部入力回路を、ネットワーク・アナライザを使用して正確に測定しました。入力パターンを短く保ち、基板の寄生容量をできるだけ小さくするために、AD9236 の評価ボードを特別に再設計しました。評価ボードは、公称電源電圧でバイアスし、1MSPS のクロックは印加しました。

図 5a にトラック・モード時に、ネットワーク・アナライザがサンプリングを確実に行うようにしたタイミング設定を示します。コンバータの入力のセトリングする時間とネットワーク・アナライザの取り込み遅延に時間的余裕をもたすために、クロックのデューティ・サイクルを 90% に設定しました。図 5b で示すように、ホールド・モード時の測定にも、クロックが反転されている事以外は、同じ設定を用いました。



測定セットアップを図 6 に示します。ネットワーク・アナライザは、300 kHz ~ 1 GHz の周波数範囲で 1601 ポイントを取りこむように設定されています。評価ボードとネットワーク・アナライザの外部トリガに同時にストロブするために、2 チャネル・パルス発生器をマッチング・ケーブルと共に使用しました。

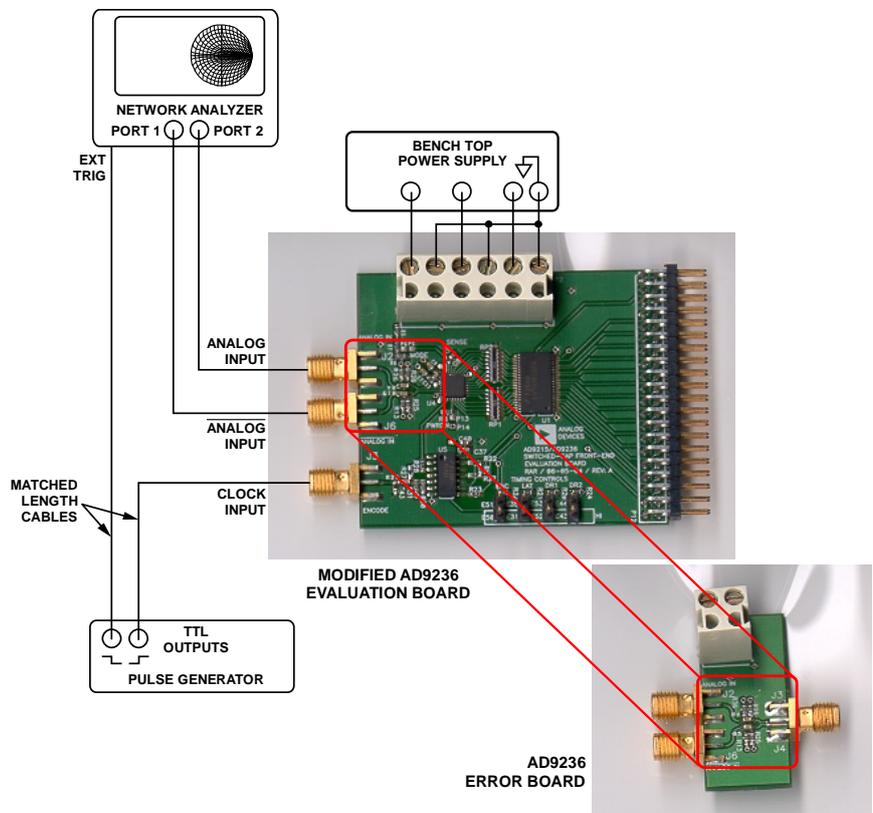
電源を接続して、コンバータを適切にバイアスし、各アナログ入力に +1.5 V (AVDD/2) 共通電圧を供給しました。

測定は、評価ボードと、そしてエラー・ボードで行われました。エラー・ボードは評価ボードの一部で、AC 結合容量から見て評価ボードと同じ配線寄生容量になっており、又アナログ入力のコモン・モード電圧を生成するための 2 つのコモン・モード分割抵抗が接続されています。エラー・ボードのデータは、これらのソースから生ずるエラーを除去するために使用されますが、これはあることで、ADC の入力回路を切り離して測定することができます。(式 1 を参照)

Evaluation Board (parasitics + AD9236) -  
Error Board (parasitics) = Evaluation Board (AD9236) (1)

## 計測

測定は、シングル・エンド形式です。しかしネットワーク・アナライザの能力は限られているので、これらの測定値をシングル・エンドから差動に変換するのに一般的に知られている方法を利用します。次の式は、ネットワーク・アナライザから得られる LogMag 散乱パラメータ (S パラメータ) S11、SS12、21、および S22 を使って、シングル・エンドの測定値を差動に変換します。



$$\Gamma_s = \frac{(2 \times S_{11} - S_{21})(1 - S_{22} - S_{12}) + (1 - S_{11} - S_{21})(1 + S_{22} - 2 \times S_{12})}{(2 - S_{21})(1 - S_{22} - S_{12}) + (1 - S_{11} - S_{21})(1 + S_{22})} \quad (2)$$

差動インピーダンス  $Z_{DIFF}$  は、式 2 をさらに一歩進めることにより式 3 のように導きだすことができます。これは直列タイプの測定から等価並列の実数と虚数インピーダンス ( $Z_{DIFF}$ ) 回路を生成します。

$$Z_{DIFF} = 50 \times [(1 + \tau)/(1 - \tau)] = R \pm jX \quad (3)$$

Agilent Technologies のシミュレーションソフトウェアパッケージ Advanced design system (ADS) を使用して、データをネットワーク・アナライザからエクスポートし、差動に変換し、そしてコモン・モード成分誤差を減算します。(図 8 参照)

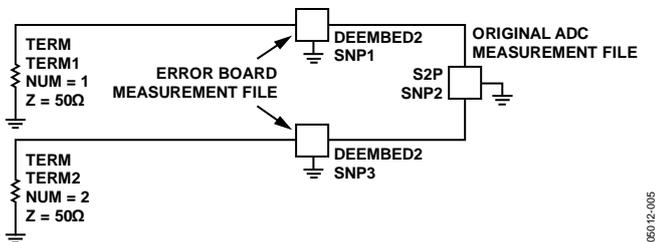


図 7.ADS 構成セットアップ

結果

この計算の結果はトラックとホールド両方のモード共に実数要素と虚数要素を示しています。図 8 の左側に実数部分の値をオームで表しています。図 8 の右側に虚数又は容量部分の値を pF で表しています。

トラック・モード (低周波数にて) では実数部分は非常に高いインピーダンス (200 MHz で約 700Ω に安定) のように見えます。図 1 のコンバータ入力段基本回路に戻って考えると、トラック・モードでは入力インピーダンスはおおよそトランジスタの直並列組み合わせの抵抗等価分に等しい事がわかります。虚数部分は 200 MHz で 4pF から始まり、1 GHz で 1.5pF までロールオフしています。これらの値は推定可能です。なぜならトラック・モード時の入力段はトランジスタ寄生容量の直列並列の組み合わせの合計だからです。ホールド・モードではインピーダンスの実数部分はトラック・モード時より高く、1GHz で約 570Ω 程度に下がっていま

す。しかし虚数部分は全測定範囲に渡ってトラック・モードの時に比べ、急に 1pF 又はそれ以下 (これは ESD ダイオードやパッケージの寄生容量から来るものと予想されます) に落ちていますが、これは入力構造が基本的には (図 1 に示すように) 開回路のように見えることによります。

図 9 は図 8 の利用可能なインピーダンス・マッチング範囲について拡大したグラフです。

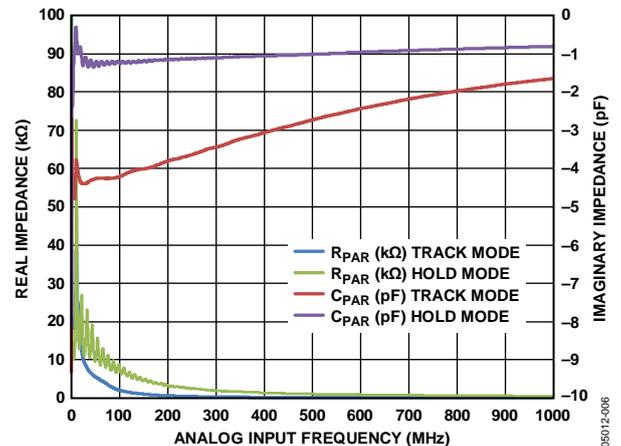


図 8 差動入力インピーダンス対アナログ入力周波数

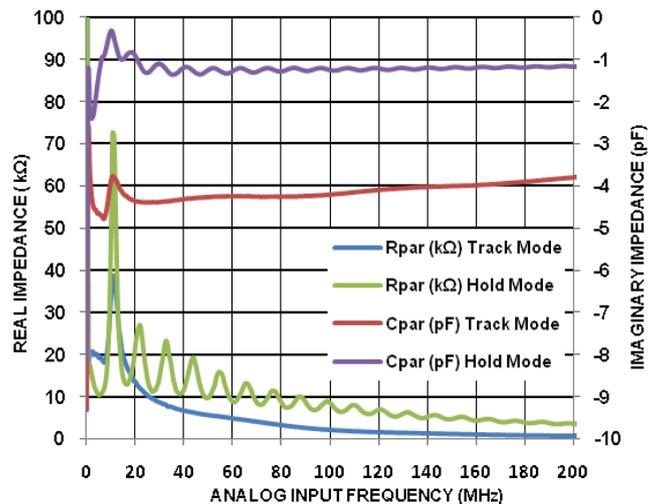


図 9 差動入力インピーダンス対アナログ入力周波数 (拡大)

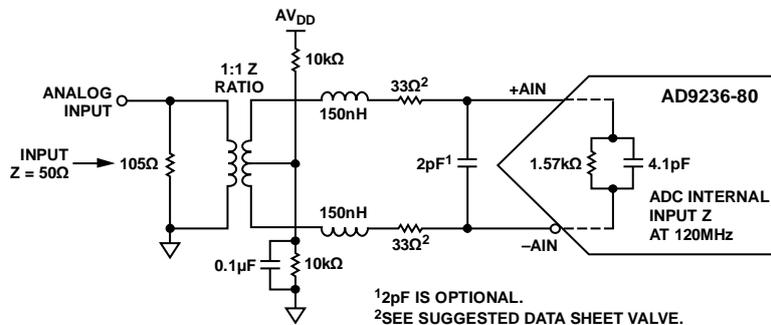


図 10 インピーダンス・マッチング例

## 例

このセクションでは測定結果をもとに、トランス結合入力を使ってどのように AD9236 とインターフェースするかの一例を示します。アナログ入力周波数が 120 MHz の時、AD9236 はトラック・モード時、1.57kΩ 差動抵抗 + 4.1pF キャパシタンスのように見えます。入力インピーダンスを 50Ω に設計するとした場合の一例を図 10 のように表すことができます。スイッチド・キャパシタ ADC の入力インターフェース回路を設計する際に、図 10 の回路構成を使用する事により得られる他の利点は、差動入力端子がマッチングしているため、歪み積を低く保てる事と、スイッチング過度電圧に対して同相電圧除去（2つの 33Ω 直列抵抗に注目）が高い事です。さらに、キャパシタンスの値は個々のアプリケーションで要求される帯域の量に基づいて決められます。この例では、コンバータによって発生する任意の広帯域折り返しノイズを低減するために 2pF を選びました。

重要な事は高い中間周波数 (IFs) で設計する時は入力ができるだけ実数に見えるように設計することです。入力は容量性インピーダンスに支配されているので、目標はマッチングさせるための誘導性項を見つけて、虚数インピーダンスをキャンセルする事です。

この作業を完遂するのに関係する複雑な項を使った数学を次に示します：

$$X_{C1} = \frac{1}{2\pi 120M 4.1p} = -j323\Omega, X_{C2} = \frac{1}{2\pi 120M 2p} = -j663\Omega$$

$$(1.57k - j0) \parallel (0 - j323\Omega) = (64 - j310)\Omega$$

$$(64 - j310) \parallel (0 + j663) = (29.5 - j213.33)\Omega$$

$X_L = 213\Omega$  にセットして 120 MHz での “L” を求めます；これは 283 nH に等しくなります。

ここで “L” が求められたので、それをそれぞれ等しい値に分割し図 10 に示すようにトランスの 2 次側の抵抗 33Ω と直列に接続します。ここで 33Ω の値は設計に使用されるコンバータに依存する事に注意してください。最適のスプリアス特性を得るためには、製品データシートで推奨している値を参照してください。

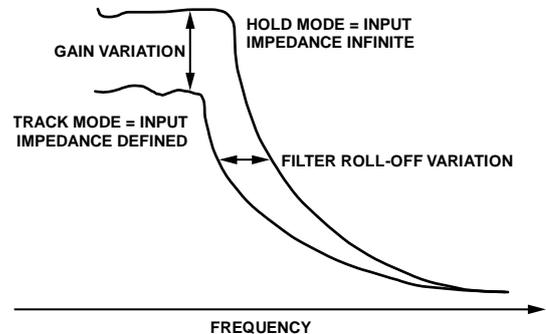
すべての部品を一緒に加えて、その結果得られるトランスの 2 次側から見たインピーダンスを求めます。思い出してください、L を追加し、容量性項をキャンセルして入力がおおよそ実数に見えるようにします。

$$(29.5 - j213.33) + (66 + j213.33) = 95.5\Omega$$

トランスのインピーダンス比は 1:1 です。従って 95Ω はトランスの一次側から見たインピーダンスで、105Ω 抵抗が並列に接続されます。これら 2 つの抵抗の並列は 50Ω 終端抵抗になります、 $95 \parallel 105 = 50\Omega$ 。

この例が示すように、コンバータ入力の S パラメータを使えば、前段のフィルタ又はアンプの負荷終端インピーダンスのためのより適した推定値を定めることができます。これは通過帯域のゲインとロールオフの変動をもたらす負荷ミスマッチを最小限に抑えます。結局、コンバータの想定された特性を劣化させるノイズや歪を生じさせるのはこれらのタイプの変動です。

特定のフィルタの応答の誇張した例を図 11 に示します。負荷終端が変化すると、フィルタの周波数応答が変化することに注意してください。この簡単なイラストから、適切な補償なしに入力段インターフェースの設計をすると、どのような事が生じるかということについての感じをつかめます。



NOTES  
1. THE SAME CHARACTERISTIC VARIATIONS WILL APPLY TO BOTH SIDES IF USING A BAND-PASS FILTER.

06012-008

図 11 負荷変動に対するフィルタ応答のイラスト

## 結論

このアプリケーション・ノートで無バッファ、スイッチド・キャパシタ、パイプライン・コンバータの内部入力段について、いくつかの背景をご説明しました。このタイプのコンバータを高い IF 周波数 (>70 MHz) で使用する時の入力インターフェースのやり方の例とともに、変動するトラック&ホールド回路の入力インピーダンスを測定する方法も紹介しました。IF 周波数帯域の中心周波数でトラック・モード時にインピーダンスをマッチングさせ、回路設計することを思い出してください。

コンバータを 70 MHz か、それ以下（ベースバンド）で使用する時は、単純なローパスフィルタで十分です。無バッファ・コンバータ使用の時、低周波数では最適な特性を得るために入力段インターフェースをマッチングさせることは、それほど重要ではありません。

ここで紹介したデータと例は CSP パッケージの AD9236 に特定したのですが、スイッチド・キャパシタ ADC ファミリの一般的な動作を説明しています。他の無バッファ、スイッチド・キャパシタ製品には、AD9204/AD9212/AD9215/AD9219/AD9222/AD9228/AD9233/AD9235/AD9236/AD9237/AD9238/AD9244/AD9245/AD9246/AD9248/AD9251/AD9252/AD9258/AD9268/AD9287.があります。

## コンバータの S パラメータ

S パラメータ データは [www.analog.com](http://www.analog.com) から取得できます。直列、並列両方の実数、虚数データ値の両方を含むスプレッドシートをダウンロードするには、AD9236 製品ページのような製品ページをご覧ください。これらの値は表形式になっており、周波数に対してグラフ化されています。たとえ上のリストになくても将来予定されている製品もアナログ・デバイセズ社 web サイトにリストアップされています。他のスイッチド・キャパシタ ADC ファミリーについては、将来検討している製品、製品リリースを確認するためにアナログ・デバイセズ web サイトをチェックしてください。

**参考資料**

AD9236 データシート。Analog Devices, Inc. (June).Norwood, MA. [www.analog.com](http://www.analog.com)。  
Advanced Design System (ADS) Software.2003。Agilent Technologies.Santa Clara, CA。  
ENA Series RF Network Analyzers User's Guide。Agilent Technologies.Santa Clara, CA.。  
HP 8753C Network Analyzer Reference。Agilent Technologies.Santa Clara, CA。  
Kester, Walt, ed. Analog-Digital Conversion。Analog Devices, Inc., 2004.ISBN 0-916550。

NOTE