

高速 ADC 用プリント基板のレイアウト・テクニック

著者: Rob Reeder

はじめに

今日のエレクトロニクス業界では、プリント基板のレイアウトもシステム設計の一要素となっています。高速 A/D コンバータ (ADC) をはじめとするアナログ回路の性能に影響を与える事象について、設計者が理解を深めることは極めて重要だと言えるでしょう。

高速アナログ回路用のプリント基板のレイアウトにおいては、いくつかの選択肢を持つ考慮すべき事柄が数多く存在します。常に重視すべき項目もあれば、アプリケーションに応じて選択すべき解の異なる項目もあります。つまり、すべてのケースに当てはまる 1 つの答えが存在するわけではないということです。しかし、設計者にとっては、レイアウトの細部に過度に気を配ることなく、最も効果的な方法を適用できることが望ましいでしょう。そのような観点から、本稿では、特に高速 ADC を前提として、アナログ回路用のプリント基板設計に着手する際に役立つテクニックを紹介します。

E-PAD に対応したプリント基板設計

エクスポーズド・パッド (露出パッド。以下、E-Pad) は、その存在を見落としがちなものだと言えるかもしれません。しかし、実際にはデバイスの熱を効果的に放出し、シグナル・チェーンの最高の性能を引き出すために不可欠なものです。

現在、アナログ・デバイスでは、ほとんどの製品の下部に E-Pad を設け、それを「0 番ピン」と呼んでいます。E-Pad がなぜ重要なのかと言えば、ダイから製品下部の中心点に至るまで、すべての内

部グラウンドを結んでいるからです。最近では、グラウンド・ピンを備えていない ADC 製品やアンプ製品も数多く存在しますが、これは E-Pad が設けられているからです。

重要なのは、プリント基板に E-Pad を固定することです。すなわち、E-Pad をプリント基板にしっかりとはんだ付けし、強固な電気的/熱的接続を形成することが重要です。接続が不十分だと、回路が破壊され、正常に動作しなくなる可能性があります。

最良の接続の実現

E-Pad を使用して電気的/熱的に最良の接続を形成するためには、3 つの基本ステップを踏むとよいでしょう。1 つ目のステップは、もし可能であれば、プリント基板の各層に E-Pad を“複製”することです。ここで言う複製とは、図 1 に示したように、ADC の E-Pad と同様のパターンを各層に形成するという意味です。これにより、すべてのグラウンドに対して優れた熱的接続を持たせることができ、短時間で熱を放出することが可能になります。この方法は、消費電力の多い IC や、チャンネル数の多いアプリケーションに適しているでしょう。また、電気的な面からは、すべてのグラウンド層に対して良好かつ均等な接続を実現できることがメリットになります。

また、E-Pad は最下層に複製することも可能です。最下層の E-Pad は、サーマル・リリーフにおけるデカップリング・コンデンサのグラウンド接続部として使用できます。あるいは底面のヒートシンクの取り付け場所として使用することも可能です。

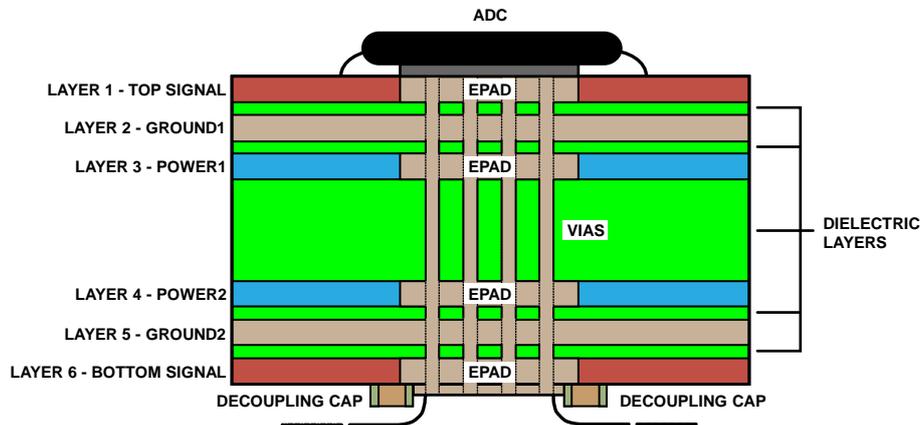


図 1. E-Pad を複製したプリント基板

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2012 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

はじめに	1	プレーン間のクロス・カップリング	4
E-PAD に対応したプリント基板設計	1	グラウンドの分離は必要か?	5
改訂履歴	2	結論	6
デカップリングは適切な手法で	3	参考資料	6

改訂履歴

1/12-Revision 0: Initial Version

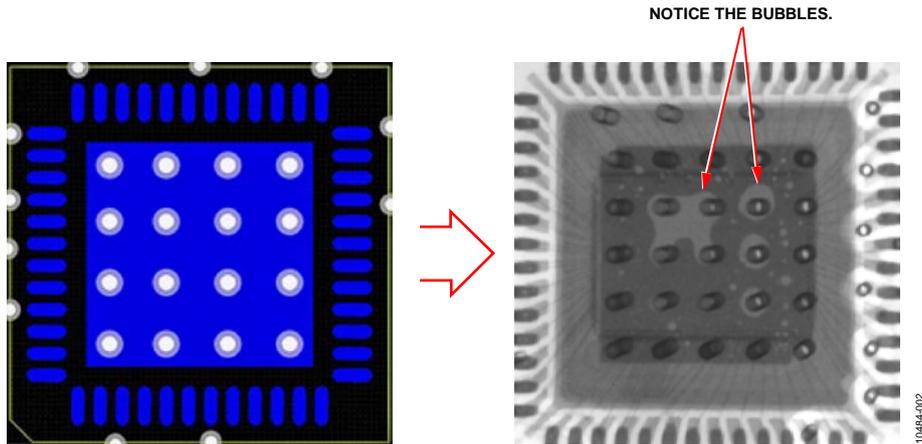


図 2. E-Pad のレイアウトによって起きる問題

2 つ目のステップでは、E-Pad 上にシルクスクリーン・クロスハッチ、または、はんだマスクを適用することによって、E-Pad を均等な格子状に分割します。これは、E-Pad とプリント基板との接続を強固なものにするためです。一般に、リフローによる実装/組み立て工程では、最終的にプリント基板に接続するまでに、はんだペーストがどのように流れるかを保証する方法はありません。そのため、接続は実現されていても、はんだが均一には分散していない可能性があります (図 2)。また、接続点が 1 つだけで、しかもその接続点が小さかったり、その接続点が隅のほうに存在したりすることもあるかもしれません。E-Pad をいくつかの領域に分割すれば、各領域に対するプリント基板の接続点をより強固かつ均等なものにすることができます (図 3)。

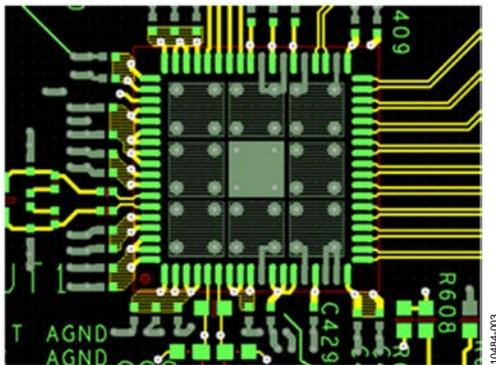


図 3. E-Pad のより良いレイアウト例

3 つ目のステップは、分割によってできた各領域に、グラウンドに接続するためのビアを設けることです。通常、各領域は比較的大きくとれるため、複数のビアを配置できます。実装/組み立ての前には、各ビアがはんだペーストまたはエポキシ樹脂で満たされていることを確認してください。これは、E-Pad のはんだペーストがビアのすき間に逆流して適切な接続を妨げることがないようにするための重要な作業です。

デカップリングは適切な手法で

設計者は、明確な意図のないままデカップリング・コンデンサを使用していることがあります。確かに、何らかの理論に基づいているわけではなくても、プリント基板全体に値の異なるコンデンサを多数配置すれば、インピーダンスの低い電源/グラウンド接続を実現することは可能です。しかし、そのような方法では、「多数というのは何個なのか」といったことが問題として残ります。多くの文献

には、「値の異なる多数のコンデンサを使用すれば、給電システム (PDS : Power Delivery System) のインピーダンスを低く抑えることができる」と書かれています。しかし、これは完全に正しい記述だとは言えません。実際には、適切な値のコンデンサを適切な数だけ使用したほうが、PDS のインピーダンスをより低く抑えることが可能です。

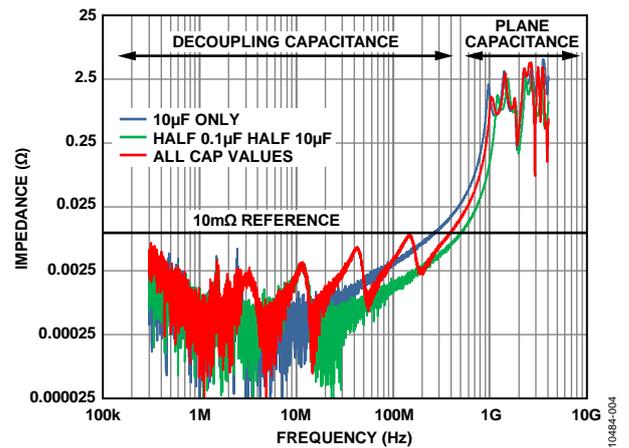


図 4. コンデンサの値/数による効果の違い

例として、10mΩ のインピーダンスを基準とするプレーンについて考えてみます。図 4 において、赤色の曲線は、プリント基板上に 0.001μF、0.01μF、0.1μF など、値の異なる多数のコンデンサを配置したケースを表しています。確かに、このような方法でも、周波数が 500MHz までの範囲にわたってインピーダンスを抑えることができています。しかし、この図は、それが最善の策ではないということを示しています。緑色の曲線をご覧ください。これは、同じ設計において 0.1μF と 10μF のコンデンサのみを使用した場合のもので、この図から、コンデンサは適切なものを選択して使用すればよく、値の異なる多くのコンデンサを使用する必要はないということがわかります。このことは、実装面積や BOM コストの削減にもつながります。

1 つのメーカーからコンデンサを購入したとしても、それらは必ずしもすべての面で同じものというわけではありません。それぞれに形状や寸法などが異なることを頭に入れておく必要があります。また、設計どおりの正しいコンデンサが使用されていなかったり、わずかに数種類のコンデンサしか使用していても、それぞれのばらつきが大きかったりする場合には、PDS に対し、意図していたのとは逆の効果が加わる可能性があります。また、そうしたことにより、

問題の発生原因となりうる LC (インダクタ - コンデンサ) 回路が形成されてしまうこともあるでしょう。実際、コンデンサの配置が不適切であったり、形状やモデルによって周波数特性が異なるコンデンサを使用したりするだけで、共振が発生する可能性もあります (図 5)。

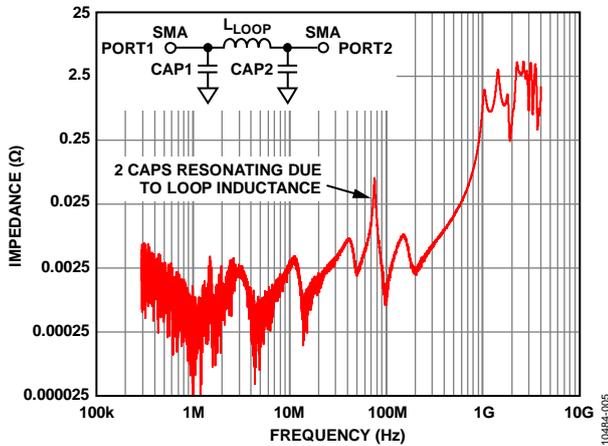


図 5. 共振の発生

システムで使用する各種コンデンサの周波数特性について理解するには、多くの時間を費やさなければなりません。しかし、それは非常に重要なことです。さまざまなコンデンサを闇雲に使用することによって、インピーダンスの低い PDS システムを設計するために費やした労力を無駄にすることがないようにしてください。

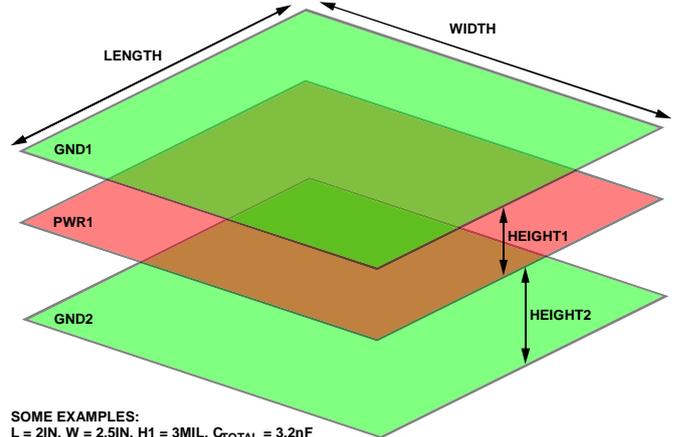
高周波領域にはプレーン容量で対応

優れた PDS を設計するためには、さまざまなコンデンサを使用しなければなりません。図 4 に示したように、一般的なコンデンサを使用するだけでは、DC または DC 付近から約 500MHz の周波数範囲におけるインピーダンスしか低く抑えることができません。実は、500MHz 以上の周波数帯については、プリント基板に形成されるプレーン容量を活用することで対処できます。すなわち、電源プレーンとグラウンド・プレーンを重ねることで形成される寄生容量を利用するという事です。これが高周波領域では有効であることを、ぜひ覚えておくとよいでしょう。

上記の理由から、プリント基板スタックでは、大きなプレーン容量が形成されるように設計を行います。例えば、6 層基板を用いる場合であれば、最上層の信号用、グラウンド 1 用、電源 1 用、電源 2 用、グラウンド 2 用、最下層の信号用の各層を構成できます (前掲の図 1 を参照)。これらのうち、グラウンド 1 用と電源 1 用はスタック内で近接するように指定します。両層の間隔を 2~4mil とすれば、高周波領域に対応できるプレーン容量を形成することが可能です。このプレーン容量のメリットは、コストがかからないことです。必要なのは、プリント基板の製造指示書に上記のような指定 (注意書き) を書いておくことだけです。1 つのプレーン内に複数の電源レールが含まれるように電源プレーンを分割しなければならない場合には、そのプレーンのスペースを最大限使用してください。基本的には空きスペースがないようにするのですが、ノイズに弱い回路が存在する場合にはその点に注意を払う必要があります。このようにすることで、電源プレーンの容量を最大化することができます。

プリント基板の層を増やせる場合、つまり本稿の例で言えば 6 層から 8 層に増やせるといった場合には、2 つのグラウンド・プレーンを電源 1 と電源 2 の間に追加します。2~3mil 程度の間隔にすることができれば、スタックのプレーン容量を 2 倍にすることが可能です (図 6)。

このように、プレーン容量を使用して、高い周波数におけるインピーダンスを低く抑えれば、個別部品の高周波用コンデンサを使用するよりも大幅に設計を簡素化することができます。



SOME EXAMPLES:
 L = 2IN, W = 2.5IN, H1 = 3MIL, C_{TOTAL} = 3.2nF
 L = 10IN, W = 10IN, H1 = 3MIL, C_{TOTAL} = 64.2nF
 L = 2IN, W = 2.5IN, H1 = 10MIL, C_{TOTAL} = 1.0nF
 L = 10IN, W = 10IN, H1 = 10MIL, C_{TOTAL} = 5.2nF
 THEREFORE, ADDING A SECOND GND PLANE INCREASES (DOUBLES) INNER PLANE CAPACITANCE.

図 6. プレーン容量の例

見落とされがちなことかもしれませんが、PDS は、電源電流の変化に応じて生じる電圧リップルを最小化するという重要な役割を担っています。すべての回路は電流を必要としますが、その量は回路によって異なります。また、回路により、スイッチング速度についての要求なども異なります。デカップリングが適切に行われている低インピーダンスの電源プレーン、グラウンド・プレーン、そしてプリント基板のスタック全体は、電源電流の変化によって生じる電圧リップルを最小化するのに効果的なものです。例えば、スイッチング電流が 1A のシステムが、デカップリングの方針に基づき、PDS のインピーダンスが 10mΩ 以下になるよう設計されているとします。その場合、電圧リップルの最大値は 10mV となります。この値は、オームの法則 ($V=IR$) によって簡単に求めることができます。

プリント基板スタックの設計が完璧であれば、それだけで高周波領域に対応できると同時に、従来のデカップリング手法を用いることによって低周波領域 (500MHz 以下) もカバーできます。つまり、全周波数範囲で PDS のインピーダンスを最小に抑えることが可能です。多数のコンデンサをプリント基板上に“まき散らす”と、IC の実装領域とのバッティングが起きて製造ルールを守れなくなってしまうかもしれませんが、そのような心配もなくなります。なお、多数のコンデンサをまき散らすという極端な手段が必要であれば、回路において別の根本的な問題が起きていると考えたほうがよいでしょう。

プレーン間のクロス・カップリング

プリント基板のレイアウトにおいて、回路プレーンがほかの回路プレーンと重なり合ってしまうことは避けられません。図 7 のように、

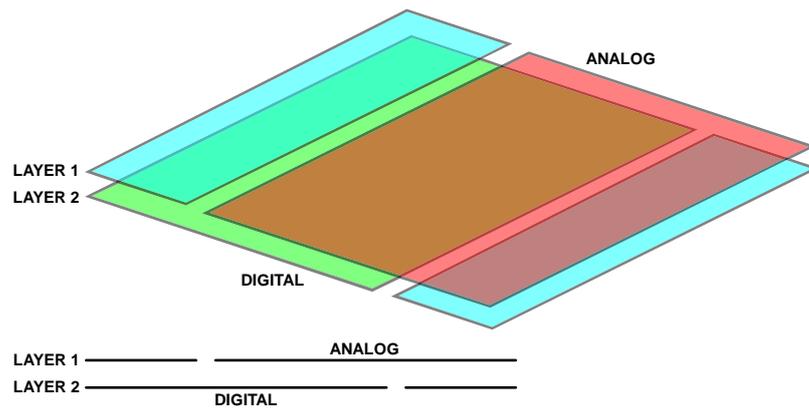


図 7. クロス・カップリングが起きるプレーンの例

ノイズに弱いアナログ・プレーン（電源プレーン/グラウンド・プレーン/信号プレーン）のすぐ下に、ノイズの多いデジタル・プレーンが存在してしまうこともあります。

通常、ノイズの多いプレーンは、ノイズに弱いアナログ・プレーンの層とは別の層に設けます。このような対策を施していることから、ノイズの問題に対してそれ以上の注意が払われないことはよくあります。しかし、簡単なテストを行うだけで、その対策では不十分だということが判明するケースがあります。そのテストでは、まず 1 つの層を選択し、その層に設けたプレーンに信号を印可します。続いて、その層にクロス・カップリングするであろうもう 1 つの層をスペクトラム・アナライザに接続します。図 8 は、このようなテストを行った結果です。この図からは、隣接した層へのクロス・カップリングの量を見て取ることができます。2 つの層は 40mil 離しているのですが、それでもある程度の容量は存在します。そして、周波数によっては隣接したプレーンの中で信号のカップリングが発生するのです。

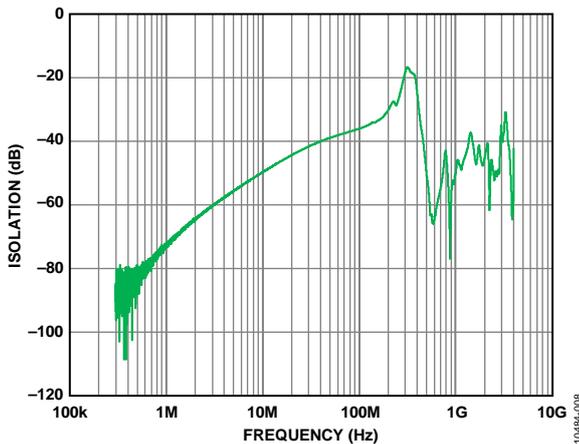


図 8. クロス・カップリングのテストの結果

図 8 の例において、一方の層にノイズの多いデジタル・プレーンが存在するとしましょう。そのデジタル・プレーンでは、高速で切り替わる振幅 1V の信号を扱うとします。この場合、もう一方の層には、1mV の振幅でカップリングの影響が現れます（アイソレーションが -60dB の場合）。これは、フルスケール振幅が 2Vpp の 12 ビット ADC では 2LSB 分に相当します。このことが問題にならないシステムもあるかもしれませんが、システムにおける誤差は、ADC の分解能が 1 ビット増えると 2 倍になります。そのため、何らかの事情で 12 ビットの ADC から 14 ビットの ADC に変更したとすると、カップリングによる影響だけで 2LSB の 4 倍となる

8LSB もの誤差が生じることになります。この点には注意が必要です。

このようなプレーン間のカップリングを無視しても、システムにおいて設計に起因する不具合は起きないこともあるでしょう。しかし、2 つのプレーンの間には、意外に大きなレベルのカップリングが存在することは覚えておいてください。

注意を払わなければならない周波数範囲にノイズが観測された場合には、上述した内容を思い出してください。レイアウトによっては、想定外の信号やプレーンから、別の層に対してカップリングの影響が及ぶことがあります。繰り返しになりますが、ノイズに弱いシステムのデバッグを行う際には、プレーンによるカップリングの問題を思い出してください。

グラウンドの分離は必要か？

アナログ信号チェーンの設計者からの質問で最も多いのは、「ADC を使用する場合、グラウンド・プレーンは、アナログ・グラウンドとデジタル・グラウンドに分離すべきなのか」というものです。これに対してごく簡単に答えると、「場合によってはそうすべき」となるでしょう。これは、「常に分離する必要があるわけではない」と言い換えることができます。その理由は、特段の考えもなくグラウンド・プレーンを分離しても、余分なインダクタンスが増えるだけで、ほとんどの場合、メリットよりもデメリットのほうが大きくなるからです。

$V=L (di/dt)$ という式について考えてみます。この式からわかるように、インダクタンスが増えると電圧（ノイズ）も増大します。また、苦勞して低く抑えていた PDS のインピーダンスも増加してしまいます。より高速な ADC の使用が求められるなかで、スイッチング電流 (di/dt) によるノイズを削減するためにできる最小限のことがあります。それは、理由がないのならグラウンド・プレーンは分離しないということです。

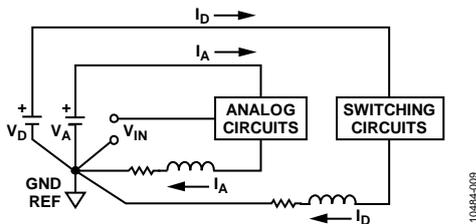
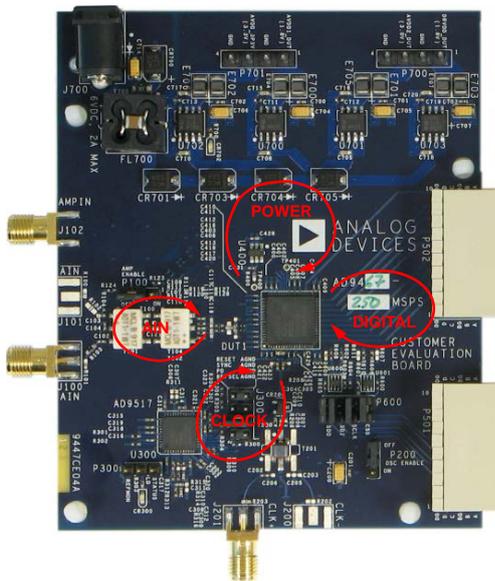


図 9. 良い回路分割の例

グラウンド・プレーンを分離しないで済ますうで鍵となるのは、図 9 に示すように、回路をうまく分割することです。それぞれの回路をそれぞれの領域内に収まるようにレイアウトすれば、グラウンドを分離する必要はありません。このように回路を分割できれば、スター・グラウンド (図 9 の回路図のような 1 点でのグラウンド接続) が実現可能になり、リターン電流を各回路の領域内にとどめることができます。

グラウンド・プレーンの分離が必要となる例としては、フォーム・ファクタの制約からレイアウトにおける分割がうまく行えないケースが挙げられます。例えば、フォーム・ファクタ (あるいは従来の設計) に合わせるために、ノイズの多いバス電源やデジタル回路を特定の領域に配置しなければならないといった場合です。このような状況であれば、グラウンド・プレーンを分離することが、性能の向上に有効であるかもしれません。しかし、いずれにせよ、ブリッジまたはタイ・ポイント (tie point : 結合点) をプリント基板上のいずれかのグラウンドに接続しなければなりません。その場合、タイ・ポイントは、分離したグラウンド・プレーン全体にわたって均等に配置してください。

プリント基板上の 1 つのタイ・ポイントは、性能を落としたり、ノイズに弱い回路に影響を及ぼしたりすることなく、リターン電流を流すのに最適な点となります。このタイ・ポイントが ADC の周辺か下部にあれば、グラウンドを分離する必要はありません。

結論

どのようなレイアウトが最適なのかということについては、さまざまな考え方があります。そのため、設計時には、何らかの混乱を来すこともあるかもしれません。企業ごとに異なる手法や考え方が存在し、それらによって各企業の設計文化が形成されると言ってもよいでしょう。実績のある回路を好んで使用する技術者の場合、特に納期についての圧力を感じるようなケースでは、旧来の手法を変更したり、新しい手法の導入を試みたりするのをためらうかもしれません。

評価用のボードや、モジュール、システムといったいずれのレベルでも、グラウンドが 1 つだけの場合に最も良好な動作が得られます。ポイントとなるのは回路の分割です。回路の分割は、プレーンや隣接する層のレイアウトにも影響を与えます。ノイズに弱いプレーンがノイズの多いデジタル・プレーンと重なり合っている場合には、クロス・カップリングが起きる可能性があることを覚えておいてください。

また、実装/組み立てでも重要な要素です。IC の E-Pad とプリント基板を確実に接続するには、プリント基板メーカーや実装/組み立て業者に提供する製造指示書が重要になります。実装/組み立ての質が悪いために、システムの性能が悪くなることもよくあります。電源プレーンの起点、ADC やほかの IC の電源ピンのなるべく近くにデカップリング・コンデンサを接続するのは、常に高い効果が得られる手法です。しかし、高い周波数に対するデカップリングについては、間隔が 4mil 以下の電源プレーンとグラウンド・プレーンで形成されるプレーン容量を活用するとよいでしょう。その場合、追加のコストは発生しません。2~3 分程度の時間をかけて、プリント基板の製造指示書を更新すればよいだけです。

高速/高分解能の ADC を使用する場合、プリント基板のレイアウト設計について、細部にわたりあらゆることを考慮するのは容易ではありません。また、アプリケーションにはそれぞれに違いがあり、その違いのすべてに対応した異なる指針を適用するのも困難です。本稿が、レイアウト設計に対する理解を助け、今後のシステム設計の役に立つことを願っています。

参考資料

AN-772 アプリケーション・ノート : リード・フレーム・チップ・スケール・パッケージ (LFCSP) の設計および製造ガイド

Kester, Walt. 2004. *Analog-Digital Conversion: Seminar Series*, Analog Devices, ISBN 0-916550-27-3. (Also available as *The Data Conversion Handbook*, 2005, Elsevier/Newnes, ISBN 0-7506-7841-0)